

32 ビット RISC マイクロコントローラー

TXZ/TXZ+ファミリー

リファレンスマニュアル
高精度非同期シリアル通信回路
(FUART-B)

Revision 4.1

2023-09

東芝デバイス&ストレージ株式会社

目次

序章	5
関連するドキュメント	5
表記規約	6
用語・略語	8
1. 概要	9
2. 構成	10
3. 動作説明・機能説明	11
3.1. クロック供給	11
3.2. 転送クロック（ボーレート生成）	11
3.3. データフォーマット	12
3.4. 受信バッファ/送信バッファ	13
3.4.1. 受信バッファ	13
3.4.2. 送信バッファ	14
3.5. データ送受信	14
3.6. 受信	15
3.6.1. 基本動作	15
3.6.2. 受信エラー処理	15
3.7. 送信	16
3.7.1. 基本動作	16
3.7.2. ブレークエラーの送信	17
3.8. 割り込み	18
3.8.1. 割り込み要求フラグ発生回路	18
3.8.2. UART 割り込み	19
3.9. ハンドシェーク機能	20
3.10. DMA 要求	22
3.11. IrDA 回路	23
3.11.1. IrDA SIR 送信エンコーダー	24
3.11.2. IrDA SIR 受信デコーダー	24
4. レジスタ説明	25
4.1. レジスタ一覧	25
4.2. レジスタ詳細	26
4.2.1. [FURT _x DR] (データレジスタ)	26
4.2.2. [FURT _x RSR] (受信ステータスレジスタ)	27
4.2.3. [FURT _x ECR] (エラークリアレジスタ)	28
4.2.4. [FURT _x FR] (フラグレジスタ)	28
4.2.5. [FURT _x ILPR] (IrDA 低電力カウントレジスタ)	29

4.2.6. [FURTxBRD] (整数ボーレートレジスター)	29
4.2.7. [FURTxFBRD] (小数ボーレート値設定レジスター)	30
4.2.8. [FURTxLCR_H] (ライン制御レジスター)	30
4.2.9. [FURTxCR] (制御レジスター).....	32
4.2.10. [FURTxIFLS] (割り込み FIFO レベル選択レジスター)	33
4.2.11. [FURTxIMSC] (割り込みマスク設定レジスター).....	33
4.2.12. [FURTxRIS] (源割り込みステータスレジスター)	34
4.2.13. [FURTxMIS] (割り込みマスクステータスレジスター).....	34
4.2.14. [FURTxICR] (割り込みクリアレジスター).....	35
4.2.15. [FURTxDMACR] (DMA 制御レジスター).....	35
5. プログラミング方法.....	36
5.1. ボーレート設定値	36
6. 使用上のご注意およびお願い事項.....	38
7. 改訂履歴.....	39
製品取り扱い上のお願い.....	41

図目次

図 2.1	FUART ブロック図	10
図 3.1	転送クロック生成回路	11
図 3.2	データフォーマット	12
図 3.3	受信バッファ/送信バッファの構成	13
図 3.4	受信タイミング	14
図 3.5	割り込み要求フラグ発生回路(1)	18
図 3.6	割り込み要求フラグ発生回路(2)	18
図 3.7	UART 結合割り込み	19
図 3.8	ハードウェアフロー制御	20
図 3.9	IrDA 回路	23
図 3.10	IrDA データ変調波形	24

表目次

表 2.1	信号一覧表	10
表 3.1	転送モード	12
表 3.2	割り込み発生タイミング	19
表 3.3	ハードウェアフロー制御ビットと説明	21
表 4.1	真理値表 [FURTxLCR_H]<SPS>, <EPS>, <PEN>	31
表 5.1	$\Phi T0 = 10\text{MHz}$ のボーレート設定例	36
表 5.2	$\Phi T0 = 80\text{MHz}$ のボーレート設定例	37
表 7.1	改訂履歴	39

序章

関連するドキュメント

文書名
例外
クロック制御と動作モード
製品個別情報
入出力ポート

表記規約

- 数値表記は以下の規則に従います。
 - 16進数表記: 0xABC
 - 10進数表記: 123 または 0d123 (10進表記であることを示す必要のある場合だけ使用)
 - 2進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は [m:n]とまとめて表記する場合があります。
例: S[3:0] は S3,S2,S1,S0 の4つの信号名をまとめて表記しています。
- 本文中 [] で囲まれたものはレジスターを定義しています。
例: [ABCD]
- 同種で複数のレジスター、フィールド、ビット名は「n」で一括表記する場合があります。
例: [XYZ1],[XYZ2],[XYZ3] → [XYZn]
- 「レジスター一覧」中のレジスター名でユニットまたはチャンネルは「x」で一括表記しています。
ユニットの場合、「x」は A,B,C...を表します。
例: [ADACR0],[ADBCR0],[ADCCR0]→[ADxCR0]
チャンネルの場合、「x」は 0,1,2,...を表します。
例: [T32A0RUNA],[T32A1RUNA],[T32A2RUNA]→[T32AxRUNA]
- レジスターのビット範囲は [m:n] と表記します。
例: [3:0] はビット3から0の範囲を表します。
- レジスターの設定値は16進数または2進数のどちらかで表記されています。
例: [ABCD]<EFG> = 0x01 (16進数)、 [XYZn]<VW> = 1 (2進数)
- ワード、バイトは以下のビット長を表します。
 - バイト: 8ビット
 - ハーフワード: 16ビット
 - ワード: 32ビット
 - ダブルワード: 64ビット
- レジスター内の各ビットの属性は以下の表記を使用しています。
 - R: リードオンリー
 - W: ライトオンリー
 - R/W: リード / ライト
- 断りのない限り、レジスターアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスターは書き換えを行わないでください。また、読み出した値を使用しないでください。
- Default 値が「—」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスターに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
Default 値が「—」となっている場合は、個々のレジスターの定義に従ってください。
- ライトオンリーのレジスターの Reserved ビットフィールドには Default 値を書き込んでください。
Default 値が「—」となっている場合は、個々のレジスターの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスターへのリードモディファイライト処理は行わないでください。

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

ACK	Acknowledgement
CTS	Clear To Send
DMA	Direct Memory Access
FIFO	First-In First-Out
FUART	Full Universal Asynchronous Receiver Transmitter
IrDA	Infrared Data Association
LSB	Least Significant Bit
MSB	Most Significant Bit
RTS	Request To Send
RZI	Return to Zero Inverted
SIR	Serial Infrared

1. 概要

高精度非同期シリアル通信回路(FUART)は、1 ユニット単位で1 チャンネル(FUTxTXD/FUTxRXD/
FUTxCTS_N/FUTxRTS_N)の送受信回路として動作することができます。また、IrDA 回路を持った非同
期シリアル送受信回路として動作することができます。以下に、機能の一覧を示します。

機能分類	機能	動作説明
通信速度制御	プリスケラー分周選択	プリスケラークロックを 1/1,1/2,1/4~1/512 に分周。
	ボーレートジェネレーター (注 1)	ボーレートジェネレーターへのクロック入力に対し、 (N + (K / 64)) 分周が可能。(N =2~65535、K =0~63)
データ フォーマット	データ長	5ビット、6ビット、7ビット、8ビットの選択が可能
	パリティ	パリティ付加: ありなしの選択が可能 偶数パリティ: 偶数/奇数の選択が可能
	ストップビット長	1ビット、2ビットの選択が可能
	データ転送方向	LSB first
送受信制御	FIFO 機能	FIFO の ON、OFF の選択が可能
	FIFO 段数	受信: 32 段(12ビット幅) 送信: 32 段(8ビット幅)
	エラー判定	受信: パリティエラー、フレーミングエラー、ブレイクエラー、オーバーランエラー
	ハンドシェイク機能	FUTxCTS_N、FUTxRTS_N 信号によるハンドシェイクによる通信制御が可能
IrDA 1.0 回路	データレート	最大 115.2kbps (半二重)
	モード	ノーマル IrDA モード、低電力 IrDA モード
連動制御	割り込み	送受信終了、エラー発生、受信タイムアウトの結合割り込み
	DMA 要求(注 2)	受信 DMA 要求: シングル転送、バースト転送 送信 DMA 要求: シングル転送、バースト転送

注 1) 最大ボーレートは製品によって異なります。詳細はリファレンスマニュアルの「製品個別情報」を参照ください。

注 2) サポートされている DMA 要求は製品によって異なります。詳細はリファレンスマニュアルの「製品個別情報」を参照ください。

2. 構成

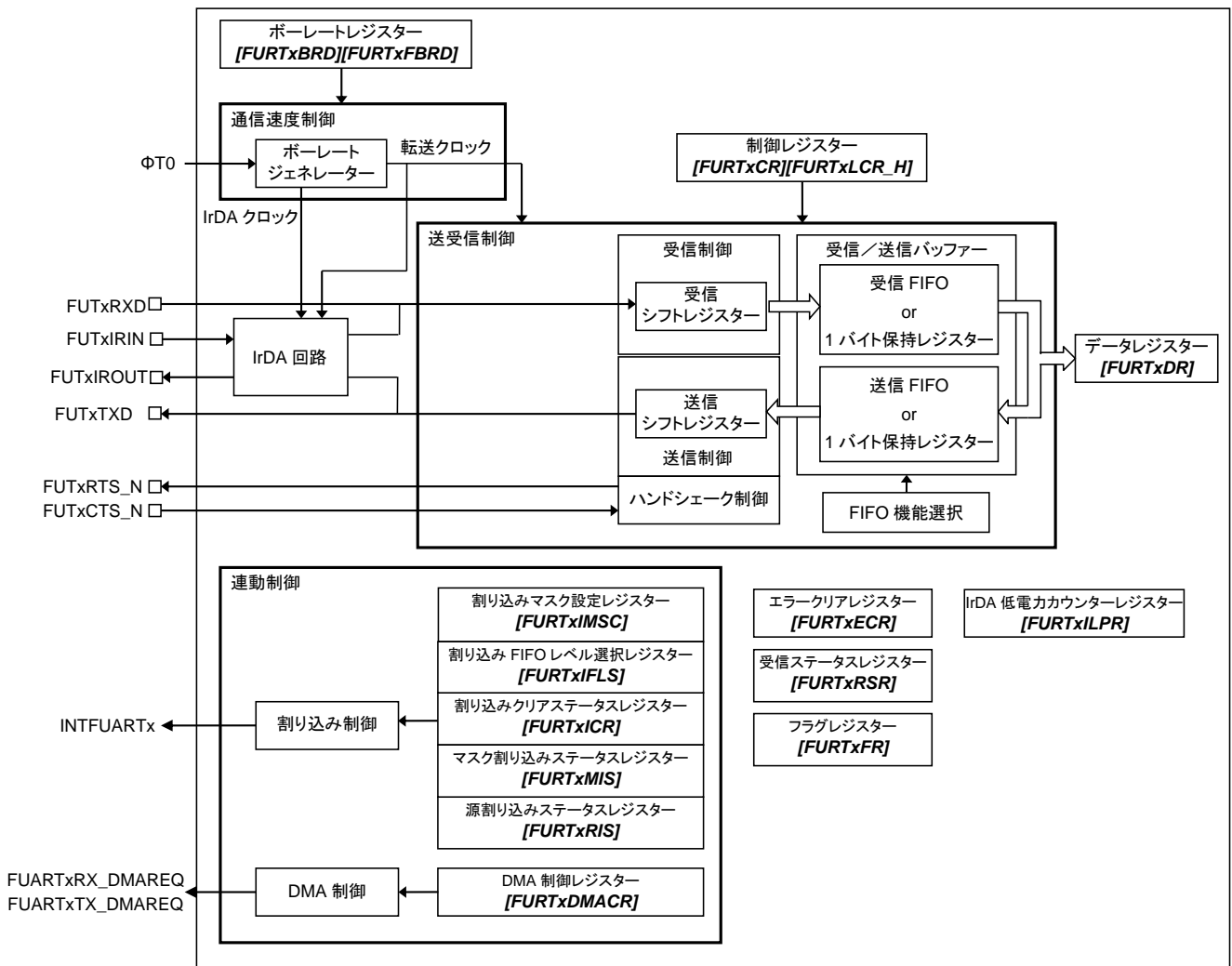


図 2.1 FUARTブロック図

表 2.1 信号一覧表

No	信号名	信号名称	I/O	参照リファレンスマニュアル
1	ΦT0	プリスケラークロック	入力	電源とリセット動作 クロック制御と動作モード (注)
2	FUTxRXD	データ入力端子	入力	製品個別情報
3	FUTxTXD	データ出力端子	出力	製品個別情報
4	FUTxRTS_N	送信要求出力端子	出力	製品個別情報
5	FUTxCTS_N	送信可能入力端子	入力	製品個別情報
6	FUTxIRIN	IrDA 受信デコーダ入力端子	入力	製品個別情報
7	FUTxIROUT	IrDA 送信エンコーダ出力端子	出力	製品個別情報
8	INTFUARTx	送受信/エラー割り込み	出力	例外
9	FUARTxRX_DMAREQ	受信 DMA 要求	出力	製品個別情報
10	FUARTxTX_DMAREQ	送信 DMA 要求	出力	製品個別情報

注) TXZ ファミリーは、”電源とリセット動作”、TXZ+ファミリーは、”クロック制御と動作モード”を参照してください。

3. 動作説明・機能説明

3.1. クロック供給

FUART を使用する場合は、fsys 供給停止レジスタA(*[CGFSYSENA]*、*[CGFSYSMENA]*)、fsys 供給停止レジスタB(*[CGFSYSENB]*、*[CGFSYSMENB]*)、fc 供給停止レジスタ(*[CGFCEN]*)で該当するクロックイネーブルビットを”1”(クロック供給)に設定してください。

該当レジスタ、ビット位置は製品によって異なります。そのため製品によって、レジスタが存在しない場合があります。詳細はリファレンスマニュアルの「クロック制御と動作モード」を参照してください。

クロックの供給を停止する場合、FUART が停止していることを確認してください。また、ストップモードに遷移する際も同様に FUART が停止していることを確認してください。

3.2. 転送クロック（ボーレート生成）

転送クロックの生成回路を示します。

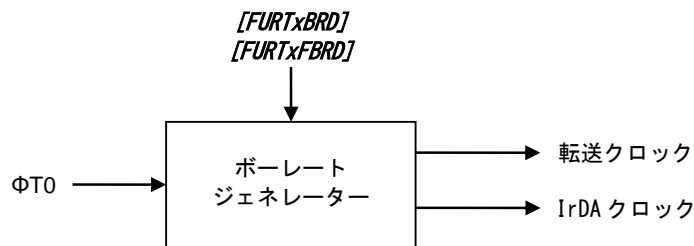


図 3.1 転送クロック生成回路

ボーレートジェネレーターは、UART 送信/受信制御のタイミングを生成する転送クロックと、低電力 IrDA モード時に IrDA エンコード送信ビットストリームのパルス幅を生成する IrDA クロックで構成されています。

入力されたクロック(ΦT0)を $(N + (K/64))$ 分周して転送クロックを生成します。分周の設定は *[FURTxBRD]* (整数ボーレートレジスタ(N))および *[FURTxFBRD]* (小数ボーレートレジスタ(K))で行います。転送クロック周波数はボーレートの 16 倍です。

ボーレートは以下の計算式であらわされます。

$$\text{ボーレート} = \frac{\Phi T0}{\left(N + \frac{K}{64}\right)} \div 16$$

3.3. データフォーマット

表 3.1 と図 3.2 にデータフォーマットをまとめます。
データ長、転送方向、パリティ、ストップビット長、データ信号反転を選択できます。

表 3.1 転送モード

データ長	転送方向	パリティ	ストップビット長(送信)
5ビット	LSB first	ありなし	1ビットまたは 2ビット
6ビット			
7ビット			
8ビット			

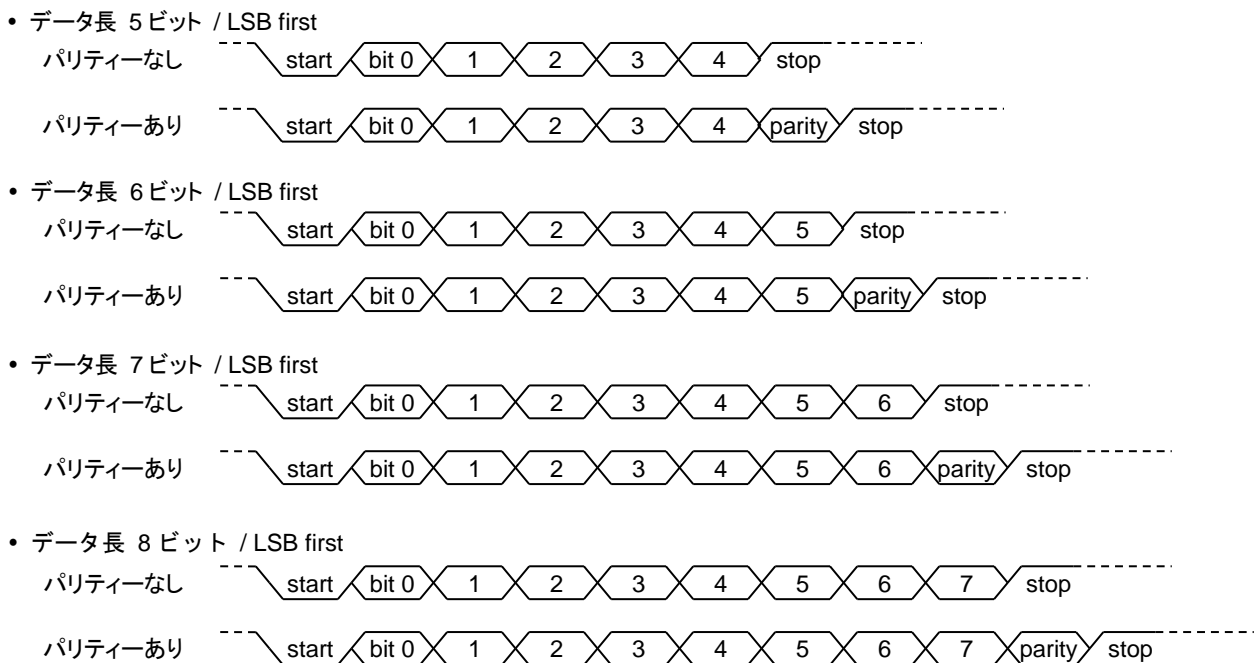


図 3.2 データフォーマット

- (1) データ長
5、6、7、8 ビットが選択できます。
- (2) パリティ制御
[FURTxLCR_H]<PEN>(パリティイネーブル)に"1"を設定するとパリティが有効になります。[FURTxLCR_H]<EPS>(偶数パリティ選択)で偶数/奇数パリティを選択することができます。

受信時は受信データからパリティを自動発生し、受信したパリティビットと比較します。異なっているとパリティエラーが発生します。

- (3) ストップビット長
[FURTxLCR_H]<STP2>(ストップビット選択)で、UART 送信モードのストップビット長を 1 ビットまたは 2 ビットに設定できます。受信の場合にはこのビットの設定にかかわらず 1 ビットのストップビット長として認識します。

3.4. 受信バッファ/送信バッファ

受信データ/送信データは受信バッファ/送信バッファに格納されます。

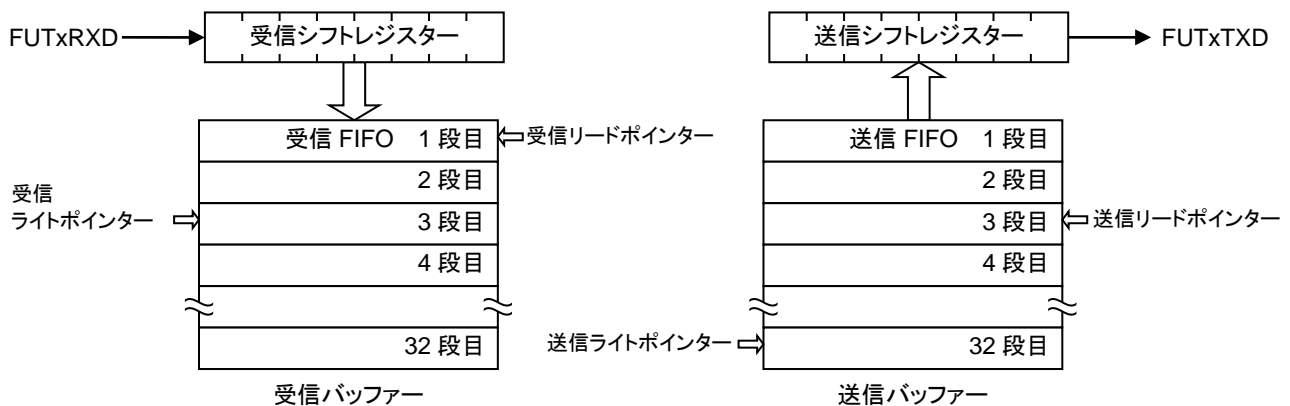


図 3.3 受信バッファ/送信バッファの構成

3.4.1. 受信バッファ

FUTxRXD から入力されたデータと 4 ビットのステータス(ブレイクエラー、フレーミングエラー、パリティエラー、オーバーランエラー)が受信シフトレジスタに全ビット(1 フレーム)格納されると受信 FIFO に転送され、受信ライトポインターは次の段に移動します。受信 FIFO をリードすると受信リードポインターが次の段に移動します。受信 FIFO のデータは[FURTxDR](データレジスタ)から読み出します。

[FURTxLCR_H]<FEN>(FIFO 機能)を"0"(禁止)にすることで、FIFO 1 段の 1 バイト保持レジスタとして使用することができます。

受信 FIFO がフルレベルになると[FURTxFR]<RXFF>(受信 FIFO フルフラグ)に"1"がセットされ、受信 FIFO が空になると[FURTxFR]<RXEF>(受信 FIFO 空フラグ)に"1"がセットされます。このとき、受信割り込みマスクが禁止([FURTxIMSC]<RXIM>=1)されていると、受信割り込みが発生します。受信割り込みを発生させる FIFO レベルは、[FURTxIFLS]<RXIFLSEL[2:0]>で選択します。

3.4.2. 送信バッファ

[FURTxDR](データレジスタ)に書き込んだ送信データは送信 FIFO に格納され、送信ライトポインターが次の段に移動します。送信を許可すると送信 FIFO から送信シフトレジスタへデータが転送され、FUTxTXD から出力されます。送信シフトレジスタへのデータ転送で送信リードポインターは次の段に移動します。

[FURTxLCR_H]<FEN>(FIFO 機能)を"0"(禁止)にすることで、FIFO 1 段の 1 バイト保持レジスタとして使用することができます。

送信 FIFO がフルレベルになると[FURTxFR]<TXFF>(送信 FIFO フルフラグ)に"1"がセットされます。

3.5. データ送受信

受信または送信されたデータは 2 つの 16 バイト FIFO にストアされますが、受信 FIFO には 1 バイトにつき 4 ビットのステータスが追加されます。

送信の場合、データは送信 FIFO に書き込まれます。これにより、データフレームは[FURTxLCR_H]レジスタで指定されたパラメータを用いて送信を開始します。データは送信 FIFO が空になるまで送信され続けます。データが送信 FIFO に書き込まれると(FIFO が空ではなくなると)すぐに[FURTxFR]<BUSY>が"1"に切り替わり、データ送信中は"1"の状態を保持します。[FURTxFR]<BUSY>は送信 FIFO が空になり、ストップビットを含めた最後のデータがシフトレジスタから送信されると、"0"になります。なお、[FURTxFR]<BUSY>は、UART 動作が許可されているかに関係なく、送信 FIFO が空でなくなると"1"にセットされます。

各データのサンプルは、転送クロック連続 3 回の読み出しを行い多数値をとります。

UART 受信待ち状態(FUTxRXD が継続的に"1")で、データ入力で "Low"(スタートビットを受信)が検出された場合、転送クロックの 8 サイクル目(ビット周期の中間)でサンプリングします。スタートビットは FUTxRXD が転送クロックの 8 サイクル目でまだ "Low"である場合に有効です。

スタートビットが有効な場合は、[FURTxLCR_H]<WLEN[1:0]>で設定されたデータ長に従い、転送クロックの 15 サイクル目(1 ビット周期後)にデータビットをサンプリングします。その後、[FURTxLCR_H]<PEN>が"1"(パリティイネーブル許可)されていた場合、パリティビットがチェックされます。

最後に FUTxRXD が "High"であればストップビットが有効と確認され、これ以外はフレーミングエラーが発生します。全てのデータが受信されると、そのデータに関連する全てのエラービットと一緒にデータが受信 FIFO に保持されます。

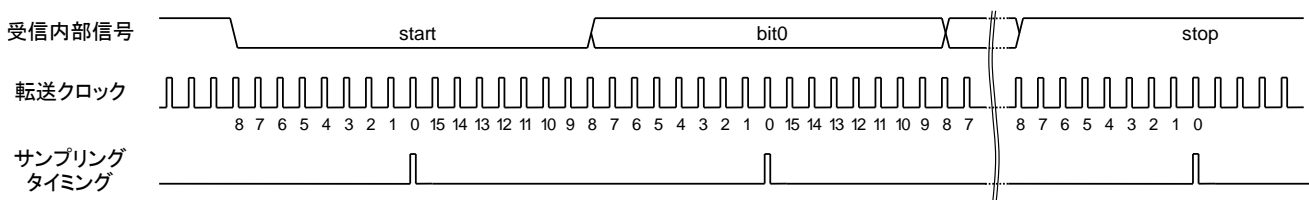


図 3.4 受信タイミング

3.6. 受信

3.6.1. 基本動作

受信動作を行うには、 $[FURTxCR]<RXE>$ (受信イネーブル)に"1"を設定して受信を許可します。

受信許可後、 $FURTxRXD$ からスタートビットを検出すると受信動作を開始しデータビット、ストップビットを受信します。なお、 $[FURTxCR]<RXE> = 1$ 設定時に $FURTxRXD$ が"Low"の場合、直ちにスタートビット検出とみなします。

1フレームの受信が完了すると受信データを受信シフトレジスタから受信FIFOに転送します。FIFOが禁止されているときには、1バイト保持レジスタに転送します。受信割り込みマスクが禁止されている状態($[FURTxIMSC]<RXIM> = 1$)で、受信FIFOに設定されたFillレベル($[FURTxIFLS]<RXIFLSEL[2:0]>$ (受信Fillレベル設定))までデータが格納されると、受信割り込みが発生します。

受信中に $[FURTxCR]<RXE>$ に"0"を設定した場合、受信中の1フレームの受信が完了してから停止します。

受信割り込みの具体的な発生例

- FIFOが禁止の場合($[FURTxLCR_H]<FEN> = 0$)
受信シフトレジスタから1バイト保持レジスタにデータが転送されたとき。
- FIFO受信レベルが"1/8"の場合($[FURTxIFLS]<RXIFSEL[2:0]> = 000$)
FIFOレベルに1/8フル(4バイト)が設定されていた場合、4バイト目のデータが受信FIFOに格納されたとき(STOPビット受信後)。

上記の発生例の場合、受信割り込みは以下の操作でクリアされます。

- FIFOが禁止の場合($[FURTxLCR_H]<FEN> = 0$)
 $[FURTxDR]$ の読み出し、または $[FURTxICR]<RXIC>$ へ"1"書き込み。
- FIFO受信レベルが"1/8"の場合($[FURTxIFLS]<RXIFSEL[2:0]> = 000$)
 $[FURTxDR]$ の読み出しによりFIFOレベルが3バイト以下になる、または $[FURTxICR]<RXIC>$ へ"1"書き込み。

3.6.2. 受信エラー処理

エラーと判定された場合は $[FURTxRSR]$ (受信ステータスレジスタ)と $[FURTxDR]$ (データレジスタ)の該当するエラーフラグのビットに"1"がセットされます。また、エラー割り込みマスクが禁止されている場合($[FURTxIMSC]<OEIM><BEIM><PEIM><FEIM> = 0$)は、設定されたエラー割り込みが発生します。エラー割り込みは、 $[FURTxICR]$ の該当するビットへの"1"書き込みでクリアされます。

受信中は以下のエラー判定を行います。

- パリティエラー
パリティが有効な場合 $[FURTxLCR_H]<PEN>$ (パリティ付加機能) $= 1$ は、データの全ビットを受信後、受信データから生成したパリティと $[FURTxLCR_H]<EPS>$ および $[FURTxLCR_H]<SPS>$ によって定義されたパリティビットの値を比較します。一致しなければパリティエラーと判定します。

- フレーミングエラー
受信したストップビットが"0"の場合、フレーミングエラーと判定します。
- ブレークエラー
スタートビットからストップビットまで全てのデータが"0"の場合、ブレークエラーと判定します。
- オーバーランエラー
受信 FIFO の全ての段にデータが格納された状態で、次のフレームのスタートビットを検出した場合、オーバーランエラーと判定します。
オーバーランエラーと判定されても次のデータは受信シフトレジスターで受信されます。受信動作は継続し受信データは受信シフトレジスターに上書きされますが、受信 FIFO には書き込まれません。受信シフトレジスター内のデータは、受信データ[FURTxDR](データレジスター)の読み出しにより FIFO に空きができると受信シフトレジスターから受信 FIFO に転送されます。
FIFO が禁止の場合、データが受信され、その前のデータがまだ読みだされていない場合は、オーバーランエラーと判定します。

3.7. 送信

3.7.1. 基本動作

送信動作を行うには、[FURTxCR]<TXE>(送信イネーブル)に"1"を設定して送信を許可します。送信 FIFO にデータを書き込むか、すでに送信 FIFO にデータがあれば送信を開始します。

送信開始とともに、送信 FIFO から送信シフトレジスターにデータが転送されます。スタートビットの出力後、データ、パリティ(パリティありの場合)、ストップビットを送信します。送信 FIFO に設定された Fill レベル([FURTxIFLS]<TXIFLSEL[2:0]> (送信 Fill レベル設定))のデータ以下に遷移すると、送信割り込みマスクが禁止([FURTxIMSC]<TXIM>=1)されている場合には送信割り込みが発生します。

送信動作は、送信 FIFO に格納されたデータが全て送信されるまで続きます。

送信中に[FURTxCR]<TXE>に"0"を設定した場合、送信中の 1 フレームの送信が完了してから停止します。

送信割り込みの具体的な発生例

- FIFO 機能が禁止の場合([FURTxLCR_H]<FEN>=0)
送信シフトレジスターから 1 バイト保持レジスターにデータが転送されたとき。
- FIFO 送信レベルが"1/8"の場合([FURTxIFLS]<TXIFSEL[2:0]>=000)
FIFO レベルに 1/8 フル(4 バイト)が設定されていた場合、5 バイト目のデータが送信 FIFO から読み出され(STOP ビット送信開始時)、FIFO 内のデータが 4 バイトとなったとき。

上記の発生例の場合、送信割り込みは以下の操作でクリアされます。

- FIFO が禁止の場合([FURTxLCR_H]<FEN>=0)
[FURTxDR]の書き込み、または[FURTxICR]<TXIC>へ"1"書き込み。
- FIFO 送信レベルが"1/8"の場合([FURTxIFLS]<TXIFSEL[2:0]>=000)
[FURTxDR]の書き込みにより FIFO レベルが 5 バイト以上になる、または [FURTxICR]<TXIC>へ"1"書き込み。

3.7.2. ブレークエラーの送信

<BRK>が"1"に設定されると、現在送信しているフレームの送信が終わると、FUTxTXD 出力に Low レベルが出力され続けます。ブレーク条件が生成するためには、少なくとも 2 フレームの送信時間、<BRK>を"1"にする必要があります。ブレーク条件が生成されても、送信 FIFO の内容は影響を受けません。ブレークを送信しない場合には、<BRK>を"0"に設定する必要があります。

3.8. 割り込み

3.8.1. 割り込み要求フラグ発生回路

- (1) ブレークエラー、パリティエラー、フレーミングエラー フラグの発生回路

割り込み要求フラグ($[FURT_xRIS]$)はリアルタイムに変化し、F/F に連動します。各フラグは、対応する割り込みクリアレジスタ($[FURT_xICR]$)に書き込みがあった場合にクリアされます。

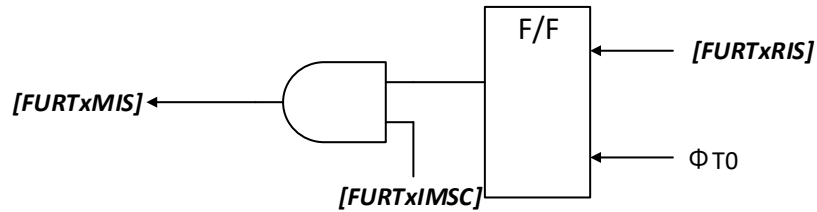


図 3.5 割り込み要求フラグ発生回路(1)

- (2) オーバーランエラーフラグの発生回路

オーバーランエラーによる割り込み要求フラグ($[FURT_xRIS]$)は、リアルタイムに変化し状態は保持されません。オーバーランフラグは、受信 FIFO をリードするとクリアされます。

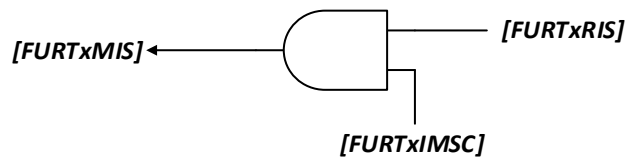


図 3.6 割り込み要求フラグ発生回路(2)

3.8.2. UART 割り込み

割り込み要因別にマスク可能な結合割り込みを出力します。

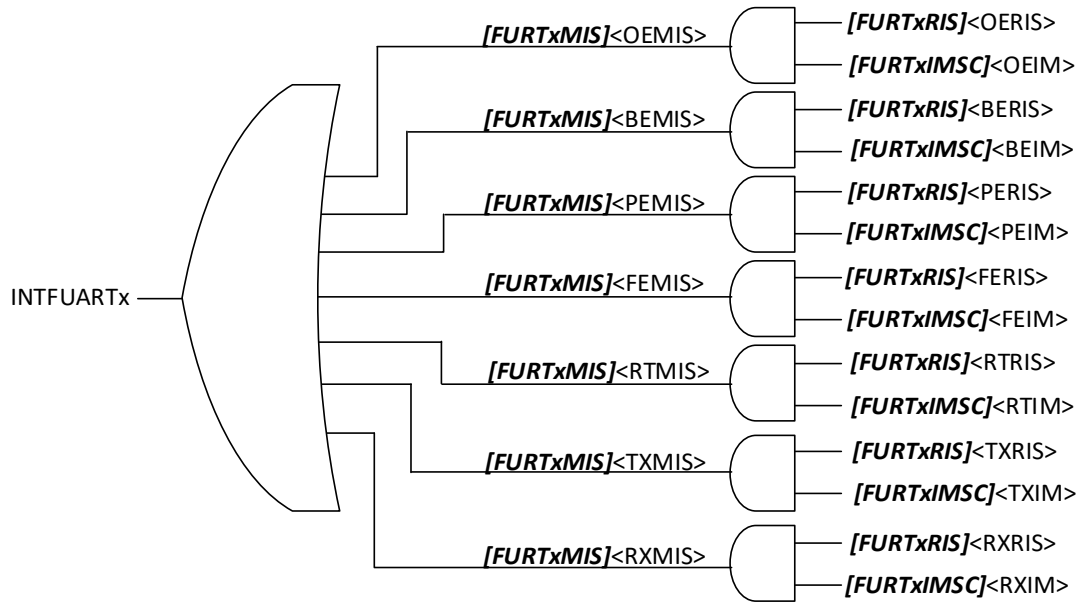


図 3.7 UART結合割り込み

割り込み発生タイミングは、表 3.2 のようになります。

表 3.2 割り込み発生タイミング

割り込み種類	割り込み発生タイミング
オーバーランエラー発生	FIFO がフルになったときの STOP ビット受信後
ブ레이크エラー割り込み	STOP ビット受信後
パリティエラー発生	パリティデータ受信後
フレーミングエラー発生	フレームオーバーとなる Bit データを受信した後
受信タイムアウト割り込み	受信 FIFO にデータを取り込んでから、転送クロックの 511 クロック後
送信割り込み	1 バイト保持レジスター使用時(FIFO 未使用時) 送信バッファ(FIFO1 段目)から送信シフトレジスターにデータが転送されたときに(送信バッファに空きができたとき)送信割り込みが発生します。(注 2)
	FIFO 使用時 STOP ビット送信開始時(MSB データ転送後)に FIFO 内が設定された FIFO レベルのデータ数となったとき (注 1)
受信割り込み	1 バイト保持レジスター使用時(FIFO 未使用時) STOP ビット受信後
	FIFO 使用時 設定した FIFO レベルがフルとなるデータの STOP ビット受信後

注 1) STOP ビットは最終 STOP ビットのことを意味します。[FURTxLCR_H]<STP2>で STOP ビット長を選択できます。

注 2) データ送信中にソフトウェアで送信割り込みクリア([FURTxICR]<TXIC> = "1")を実行した場合、送信完了時の STOP ビット発生タイミングと送信バッファへのデータ書き込みタイミングが重なると、送信割り込みが発生しません。

3.9. ハンドシェーク機能

ハードウェアフロー制御機能は選択可能であり、FUTxRTS_N 端子と FUTxCTS_N 端子を用いてシリアルデータフローを制御することができます。

図 3.8は、2つのデバイスがハードウェアフロー制御を用いてどのように通信するかを示しています。

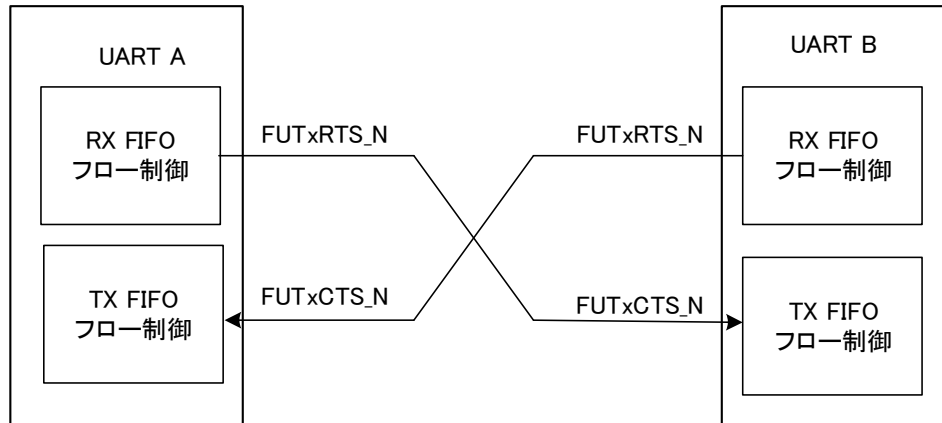


図 3.8 ハードウェアフロー制御

- RTS フロー制御

RTS フロー制御は、 $[FURT_xIFLS]$ で設定可能な受信 FIFO レベルにリンクしています。RTS フロー制御がイネーブルされている場合は、受信 FIFO が FIFO レベル未満の場合 FUTxRTS_N がアサートされます。受信 FIFO が FIFO レベル以上になると、FUTxRTS_N がアサート解除され、データを受信するための空き場所がないことを示します。

受信 FIFO からデータが読み出され、FIFO レベル未満になると、FUTxRTS_N は再度アサートされます。受信 FIFO レベルは、 $[FURT_xIFLS]<RXIFLSEL[2:0]>$ で設定します。

RTS フロー制御がディセーブル状態でも通信は可能です。

- CTS フロー制御

CTS フロー制御がイネーブルされている場合、送信する前に FUTxCTS_N をチェックします。FUTxCTS_N がアサートされていれば送信しますが、アサートされていなければ送信は発生しません。

FUTxCTS_N がアサートされ、かつ送信 FIFO が空でない間はデータが送信され続けます。送信 FIFO が空であれば、FUTxCTS_N がアサートされていてもデータは送信されません。

CTS フロー制御がイネーブルされているときに FUTxCTS_N がアサート解除された場合には、現在送信中のデータの送信が完了してから停止します。

CTS フロー制御がディセーブル状態でも通信は可能です。

表 3.3 ハードウェアフロー制御ビットと説明

[FURTxCR]		FUTxRTS_N	説明
<CTSEN>	<RTSEN>		
1	1	0(注)	RTS および CTS のフロー制御がイネーブルされます。
1	0	1	CTS フロー制御のみがイネーブルされます。
0	1	0(注)	RTS フロー制御のみがイネーブルされます。
0	0	1	RTS および CTS の両方のフローが制御がディセーブルされます。

注) [FURTxCR]<RTSEN>=1(Enable)の時は受信 FIFO が FIFO レベルに達するまで FUTxRTS_N=0(Enable)となりません。

3.10. DMA 要求

DMA 要求にはシングル要求とバースト要求があります。サポートされている DMA 要求は製品によって異なります。詳細はリファレンスマニュアルの「製品個別情報」を参照してください。

- 受信 DMA 要求

[FURTxDMACR]<RXDMAE>(受信 DMA イネーブル)に"1"を設定すると許可されます。

FIFO に 1 つ以上のデータが存在する場合、シングル要求が発生します。

fill レベルが**[FURTxIFLS]<RXIFSEL[2:0]>**(受信 Fill レベル設定)に設定された受信割り込み発生条件(Fill レベル)以上になったとき、または DMA 転送終了時にまだ Fill レベル以上であればバースト要求が発生します。

- 送信 DMA 要求

[FURTxDMACR]<TXDMAE>(送信 DMA 制御)に"1"を設定すると許可されます。

FIFO に 1 段以上の空きがある場合、シングル要求が発生します。

fill レベルが**[FURTxIFLS]<TXIFSEL[2:0]>**(送信 Fill レベル設定)に設定された送信割り込み発生条件(Fill レベル)以下になったとき、または DMA 転送終了時にまだ Fill レベル以下であればバースト要求が発生します。

バースト要求とシングル要求は同時に有効になることがあります。受信 FIFO レベルを**[FURTxIFLS]<RXIFSEL[2:0]>=000**(受信 FIFO レベル 1/8 設定=4 バイト)で内に 4 バイト以上のデータが格納されているときです。受信 FIFO 内のデータが 4 バイトに満たなくなるとシングル DMA 要求のみが有効となります。

例えば、19 バイトを受信する必要があるときに、DMA コントローラーは 4 バイトのバーストを 4 回転送し、3 回のシングル転送を行ってストリームを完了させます。

3.11. IrDA 回路

IrDA1.0 規格に準拠したデータ通信が可能で最大 115.2kpbs(半二重)の通信ができます。IrDA 回路は以下で構成されています。

[FURTxCr] <UARTEN>および<SIREN>に”1”を設定すると、IrDA 回路が許可されます。この場合、データは FUTxIROUT および FUTxIRIN で送信または受信されます。FUTxTXD は”High”で固定され、FUTxRXD は無効となります。

[FURTxCr] <SIREN>に”0”を設定すると、FUTxTXD,FUTxRXD が有効となり、FUTxIROUT は”0”にクリアされたまま保持され、FUTxIRIN は無効となります。

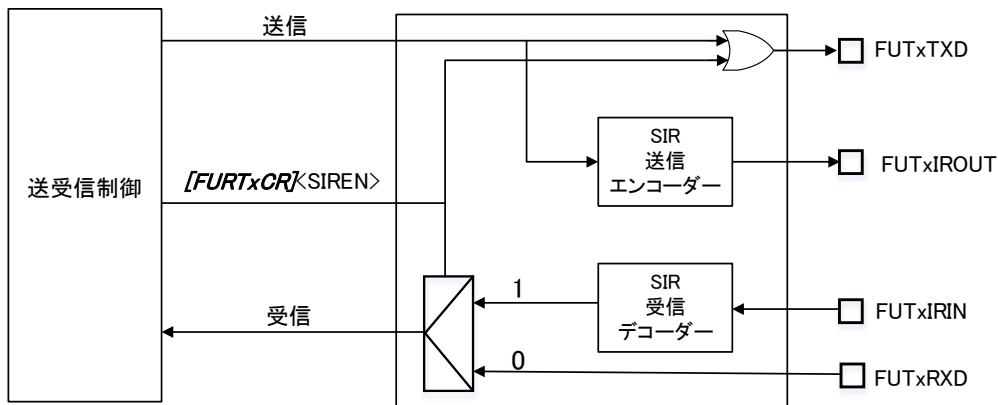


図 3.9 IrDA回路

3.11.1. IrDA SIR 送信エンコーダー

SIR 送信エンコーダーは、送受信制御から出力された送信ビットストリームを RZI 変調方式で変調し出力します。

ノーマル IrDA モード ($[FURTxCR] < SIRLP = 0$) で送信されるパルス幅は、 $3/16$ ビット周期を使用して転送します。ビット周期は転送クロック 16 サイクル分で、転送クロックの 3 倍の値がパルス幅となります。図 3.10 に IrDA データ変調波形を示します。

低電力 IrDA モード ($[FURTxCR] < SIRLP = 1$) で送信されるパルス幅は、ビットレートに関係なく、IrDA クロック周期の 3 倍のパルス幅を使用して送信します。低電力 IrDA モードにすると消費電力を軽減できますが、送信距離が短くなる可能性があります。IrDA クロック範囲は、 $1.42\text{MHz} < f_{\text{irdack}} < 2.12\text{MHz}$ になるように、 $[FURTxILPR] < ILPDVSR[7:0]$ で IrDA 低電力カウンタ除数を設定してください。

IrDA モードの選択は、 $[FURTxCR] < SIRLP$ で設定してください。

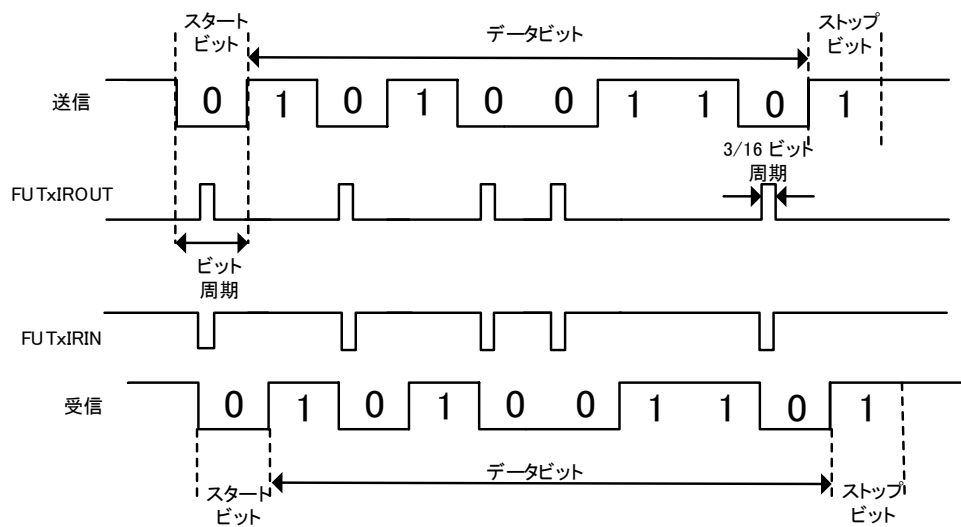


図 3.10 IrDAデータ変調波形

3.11.2. IrDA SIR 受信デコーダー

SIR 受信デコーダーは、赤外線デコーダーからのゼロ復帰ビットストリームを復調し、送受信制御に入力します。通常、IDLE 状態におけるデコーダー入力は“High”に設定されます。送信エンコーダーの出力 (FUTxIROUT) は、受信デコーダーの入力 (FUTxIRIN) と逆の極性を持ちます。

スタートビットは、デコーダー入力が“Low”の時に検出されます。ノーマル IrDA モード、低電力 IrDA モードに関係なく、この“Low”が最初に検出されてから、1 IrDA クロック周期が経過してもデコーダーが“Low”であれば、スタートビットは有効とみなされます。

4. レジスタ—説明

4.1. レジスタ—一覧

制御レジスタ—とアドレスは以下のとおりです。

周辺機能		チャンネル/ユニット	ベースアドレス	
			TYPE 1	TYPE 2
高精度非同期シリアル通信回路	FUART	ch0	0x40048000	0x400A8000
		ch1	0x40049000	0x400A9000

注) 製品によって搭載されるチャンネル/ユニット数、および、ベースアドレスタイプは異なります。詳細はリファレンスマニュアルの「製品個別情報」を参照してください。

レジスタ—名		アドレス(Base+)
データレジスタ—	[FURT _x DR]	0x0000
受信ステータスレジスタ—	[FURT _x RSR]	0x0004
エラークリアレジスタ—	[FURT _x ECR]	
フラグレジスタ—	[FURT _x FR]	0x0018
IrDA 低電力カウントレジスタ—	[FURT _x ILPR]	0x0020
整数ボーレートレジスタ—	[FURT _x BRD]	0x0024
小数ボーレートレジスタ—	[FURT _x FBRD]	0x0028
ライン制御レジスタ—	[FURT _x LCR_H]	0x002C
制御レジスタ—	[FURT _x CR]	0x0030
割り込み FIFO レベル選択レジスタ—	[FURT _x IFLS]	0x0034
割り込みマスク設定レジスタ—	[FURT _x IMSC]	0x0038
源割り込みステータスレジスタ—	[FURT _x RIS]	0x003C
割り込みマスクステータスレジスタ—	[FURT _x MIS]	0x0040
割り込みクリアレジスタ—	[FURT _x ICR]	0x0044
DMA 制御レジスタ—	[FURT _x DMACR]	0x0048

注) 制御レジスタ—を再設定するときは、FUART を動作禁止にしてください。FUART を送信または受信途中で動作禁止にすると、動作中の転送が終了しだい、停止状態となります。

4.2. レジスタ詳細

4.2.1. [FURTxDR] (データレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:12	-	0	R	リードすると"0"が読めます。
11	OE	0	R	オーバーランエラー 0: エラーではない 1: エラー データ受信時に FIFO がすでにフルの場合には、このビットに"1" がセットされます。 FIFO が空き、新しいデータを書き込めるようになると、このビットは"0" にクリアされます
10	BE	0	R	ブレークエラー 0: エラーではない 1: エラー ブレーク状態(FUTxRXD_N 入力がスタートビット、データビット、パリティビット、ストップビット、全ての合計の送信時間よりも長く"Low"で保持される)が検出されると、このビットに"1"がセットされます。 FIFO が許可されているときは、このエラーは FIFO の最上位の段に入ります。ブレークエラーが発生すると、FIFO のデータとして"0"が入ります。 次のデータ受信は、FUTxRXD 入力が"1"(マーキング状態)になり、スタートビットが受信された後に許可されます。
9	PE	0	R	パリティエラー 0: エラーではない 1: エラー このビットに"1"がセットされた場合は、受信されたデータのパリティが [FURTxLCR_HJ]<EPS>、<SPS>で設定されたパリティと一致しないことを示しています。 FIFO が許可されているときには、このエラーは FIFO の最上位の段に入ります。
8	FE	0	R	フレーミングエラー 0: エラーではない 1: エラー このビットに"1"がセットされた場合には、受信したデータに有効なストップビット(有効なストップビット長は"1"です)が含まれなかったことを示しています。 FIFO が許可されているときには、このエラーは FIFO の最上位の段に入ります。
7:0	DATA[7:0]	0x00	R	受信データ
			W	送信データ

注) エラーステータスは[FURTxRSR]を読み出すことでも知ることができます。

4.2.2. [FURTxRSR] (受信ステータスレジスター)

[FURTxRSR]と[FURTxECR]は同じアドレスにマッピングされています。

Bit	Bit Symbol	リセット後	Type	機能
31:4	-	0	R	リードすると"0"が読めます。
3	OE	0	R	オーバーランエラー 0: エラーではない 1: エラー データ受信時にFIFOがすでにフルの場合には、このビットに"1"がセットされます。このビットは、[FURTxECR]への書き込みにより、"0"にクリアされます。FIFOがフルになっている場合は、それ以上データが書き込まれないため、FIFOの内容は有効であり、シフトレジスタの内容だけが上書きされます。CPUはFIFOを空にするためにデータを読み出さなければいけません。
2	BE	0	R	ブレイクエラー 0: エラーではない 1: エラー ブレイク状態(FURTxRXD入力がスタートビット、データビット、パリティビット、ストップビット、全ての合計の送信時間よりも長く"Low"で保持される)が検出されると、このビットに"1"がセットされます。このビットは、[FURTxECR]への書き込みにより、"0"にクリアされます。FIFOが許可されているときは、このエラーはFIFOの最上位の段に入ります。ブレイクエラーが発生すると、FIFOのデータとして"0"が入ります。次のデータ受信は、FURTxRXD入力が"1"(マーキング状態)になり、スタートビットが受信された後に許可されます。
1	PE	0	R	パリティエラー 0: エラーではない 1: エラー このビットに"1"がセットされた場合は、受信されたデータのパリティが[FURTxLCR_H]<EPS>、<SPS>で設定されたパリティと一致しないことを示しています。このビットは、[FURTxECR]への書き込みにより、"0"にクリアされます。FIFOが許可されているときには、このエラーはFIFOの最上位の段に入ります。
0	FE	0	R	フレーミングエラー 0: エラーではない 1: エラー このビットに"1"がセットされた場合には、受信したデータに有効なストップビット(有効なストップビット長は"1"です)が含まれなかったことを示しています。このビットは、[FURTxECR]への書き込みにより、"0"にクリアされます。FIFOが許可されているときには、このエラーはFIFOの最上位の段に入ります。

注1) オーバーランエラーは、エラーが発生するとすぐにセットされます。

注2) [FURTxRSR]は、[FURTxDR]からデータを読み出したときに更新されます。したがって、[FURTxRSR]からエラーステータスを読み出す前に、[FURTxDR]から受信データを読み出す必要があります。この読み出しシーケンスを逆にはできません。なお、エラーステータスは、[FURTxDR]を読み出すことでも知ることができます。

4.2.3. [FURTxECR](エラークリアレジスター)

[FURTxRSR]と[FURTxECR]は同じアドレスにマッピングされています。これらのレジスターの機能は、リード時と書き込み時の動作により異なります。

Bit	Bit Symbol	リセット後	Type	機能
31:4	-	0	R	リードすると"0"が読めます。
3	OE	0	W	[FURTxECR]への書き込みが行われると、フレーミング、パリティ、ブレーク、オーバーランの各エラーがクリアされます。データ値には関係なくクリアを実行します。 このレジスターのアドレスは、[FURTxRSR]と同じです。
2	BE	0	W	
1	PE	0	W	
0	FE	0	W	

4.2.4. [FURTxFR](フラグレジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:8	-	0	R	リードすると"0"が読めます。
7	TXFE	0	R	[FURTxLCR_H]<FEN>=1 の時 0: 送信 FIFO が 空でない 1: 送信 FIFO が 空 [FURTxLCR_H]<FEN>="0" の時 0: 送信保持レジスターが空でない 1: 送信保持レジスターが空
6	RXFF	0	R	[FURTxLCR_H]<FEN>="1" の時 0: 受信 FIFO が フルでない 1: 受信 FIFO が フル [FURTxLCR_H]<FEN>="0" の時 0: 受信保持レジスターがフル でない 1: 受信保持レジスターがフル
5	TXFF	0	R	[FURTxLCR_H]<FEN>="1" の時 0: 送信 FIFO がフルでない 1: 送信 FIFO がフル [FURTxLCR_H]<FEN>="0" の時 0: 送信保持レジスターがフルでない 1: 送信保持レジスターがフル
4	RXFE	0	R	[FURTxLCR_H]<FEN>="1" の時 0: 受信 FIFO が空でない 1: 受信 FIFO が空 [FURTxLCR_H]<FEN>="0" の時 0: 受信保持レジスターが空でない 1: 受信保持レジスターが空
3	BUSY	0	R	FUART ビジー 0: FUART 送信が停止している 1: FUART 送信している このビットは、FUART 動作が許可されているかに関係なく、送信 FIFO が空でなくなると"1"にセットされます。
2:1	-	0	R	リードすると"0"が読めます。
0	CTS	0	R	FUTxCTS_N 端子フラグ 0: FUTxCTS_N 端子が"High" 1: FUTxCTS_N 端子が"Low"

注) <TXFE>はシフトレジスターの状態は示しません。

4.2.5. [FURTxILPR] (IrDA 低電力カウンタレジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:8	-	0	R	リードすると"0"が読めます。
7:0	ILPDVSR[7:0]	0x00	RW	IrDA 低電力カウンタ除数値 <ILPDVSR[7:0]> = (ΦT0 / firdaclk) 1.42MHz < firdaclk < 2.12MHz となるように、IrDA クロック用のカウンタ除数値を設定してください。 リセット時には、全てのビットが 0 にクリアされます。

- 注1) [FURTxCR]<SIRLP> を"1"にセットする前に<ILPDVSR[7:0]>をセットしてください。
注2) <ILPDVSR[7:0]>に"0x00"を設定することができません。

4.2.6. [FURTxBRD] (整数ボーレートレジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:16	-	不定	R	リードすると不定値が読めます。
15:0	BAUDDIVINT[15:0]	0x0000	RW	整数ボーレート除数 ボーレート除数値(0x0002~0xFFFF)の整数部です。

- 注1) [FURTxBRD]に書き込んだ値は、現在行われている送信または受信が終わるまで有効になりません。
注2) [FURTxBRD]に書き込んだ値は、[FURTxLCR_H]への書き込みが行われると有効になります。
注3) [FURTxCR]<UARTEN> を"1"にする前に設定してください。
注4) ボーレート除数の値は、送信側と受信側とのボーレートのずれ（総合誤差）によって設定値のワーストケース(データ 8bit+Parity)が下表のようになります。

総合誤差	<BAUDDIVINT[15:0]> (下限値)
2.0%以下	0x0002
2.8%以下	0x0003
3.3%以下	0x0004

4.2.7. [FURTxFBRD] (小数ボーレート値設定レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:6	-	不定	R	リードすると不定値が読めます。
5:0	BAUDDIVFRAC[5:0]	000000	RW	小数ボーレート除数 ボーレート除数値の小数部です。

- 注1) [FURTxFBRD]に書き込んだ値は、現在行われている送信または受信が終わるまで有効になりません。
- 注2) [FURTxFBRD]に書き込んだ値は、[FUATxLCR_H]への書き込みが行われると有効になります。
- 注3) [FURTxCR]<UARTEN>を"1"にする前に設定してください。
- 注4) ボーレート除数に設定できる最大値は“65535”です。そのため、ボーレート除数の整数部に“65535”を設定したときには、小数部は“0”を設定してください。

4.2.8. [FURTxLCR_H] (ライン制御レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:8	-	0	R	リードすると"0"が読めます。
7	SPS	0	RW	スティックパリティ選択 0: スティックパリティ禁止 1: <EPS> = "0"のとき、パリティビットとして、"1"を送信または受信 <EPS> = "1"のとき、パリティビットとして、"0"を送信または受信 <SPS>は、<PEN>が"0"に設定され、パリティチェックと生成が禁止されている場合には、意味をもちません。 <SPS>、<EPS>および<PEN>ビットの真理値表については、表 4.1 を参照してください。
6:5	WLEN[1:0]	00	RW	ワード長 00: 5bit 01: 6bit 10: 7bit 11: 8bit これらのビットは、フレームで送信または受信されたデータビットの数を示します。
4	FEN	0	RW	FIFOの許可選択 0: FIFO 禁止(FIFOは1段の1バイト保持レジスターとなります) 1: FIFO 許可
3	STP2	0	RW	送信ストップビット長選択 0: 1bit 1: 2bit 受信のときは、2bit 長のストップビットをチェックしません。
2	EPS	0	RW	偶数パリティ選択 0: 奇数パリティ 1: 偶数パリティ 送信、受信時のパリティビットの選択を制御します。 <PEN>が"0"に設定され、パリティチェックと生成が禁止されている場合は意味を持ちません。

Bit	Bit Symbol	リセット後	Type	機能
1	PEN	0	RW	パリティイネーブル 0: 禁止 (パリティは禁止され、パリティビットの付加はされません) 1: 許可 (パリティチェックと生成が許可されます)
0	BRK	0	RW	ブレーク送信選択 0: ブレーク送信しない 1: ブレーク送信する <BRK>が"1"に設定されると、現在送信しているフレームの送信が終わると、FUTxTXD 出力に Low レベルが出力され続けます。ブレーク条件が生成するためには、少なくとも 2 フレームの送信時間、<BRK>を"1"にする必要があります。ブレーク条件が生成されても、送信 FIFO の内容は影響を受けません。 ブレークを送信しない場合には、<BRK>を"0"に設定する必要があります。

注) [FURTxBRD]または[FURTxFBRD]の内容を更新するには、[FURTxLCR_H]の書き込みを常に最後に実行する必要があります。

表 4.1 真理値表 [FURTxLCR_H]<SPS>, <EPS>, <PEN>

パリティイネーブル <PEN>	偶数パリティ <EPS>	スティック パリティ選択 <SPS>	パリティ選択(送信またはチェック)
0	-	-	パリティの送信およびチェックなし
1	1	0	偶数パリティ送信または偶数パリティ受信
1	0	0	奇数パリティ送信または奇数パリティ受信
1	0	1	パリティビットとして"1"を送信または受信
1	1	1	パリティビットとして"0"を送信または受信

4.2.9. [FURTxCR] (制御レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:16	-	0	R	リードすると"0"が読めます。
15	CTSEN	0	RW	CTS ハードウェアフロー制御イネーブル 0: Disable 1: Enable このビットが1にセットされると、CTS ハードウェアフロー制御がイネーブルされます。データは FUTxCTS_N がアサートされて初めて制御されます。
14	RTSEN	0	RW	RTS ハードウェアフロー制御イネーブル : 0: Disable 1: Enable このビットが1にセットされると、RTS ハードウェアフロー制御がイネーブルされます。データは、受信 FIFO にそのデータを受信する空間がある場合にのみ要求されます。
13:12	-	0	R	リードすると"0"が読めます。
11:10	-	00	RW	"00"を書いてください。
9	RXE	0	RW	受信許可設定 0: 禁止 1: 許可 <RXE>が"1"に設定されると受信が許可されます。<SIREN>の値に応じて、FUART 機能によってデータが受信されます。受信の途中で受信が禁止されると、現在のデータ受信終了後に停止します。
8	TXE	0	RW	送信許可設定 0: 禁止 1: 許可 <TXE>が"1"に設定されると送信が許可されます。<SIREN>の値に応じて、FUART 機能によってデータが送信されます。送信の途中で送信が禁止されると、現在のデータ送信終了後に停止します。
7	-	0	RW	"0"を書いてください。
6:3	-	0	R	リードすると不定値が読めます。
2	SIRLP	0	RW	IrDA モード 0: ノーマル IrDA モード 1: 低電力 IrDA モード
1	SIREN	0	RW	IrDA 許可設定 0: 禁止 1: 許可
0	UARTEN	0	RW	FUART 許可設定 0: 禁止 1: 許可 <UARTEN>が"0"に設定されると FUART が禁止されます。送信または受信の途中で禁止にされた場合、送信または受信中のデータの転送が完了した後に停止します。 <UARTEN>が"1"に設定されると、データの送信と受信が行われます。

4.2.10. [FURTxIFLS] (割り込み FIFO レベル選択レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:6	-	0	R	リードすると“0”が読めます。
5:3	RXIFLSEL[2:0]	000	RW	受信割り込み FIFO レベル選択 000: 受信 FIFO $\geq 1/8$ フル 001: 受信 FIFO $\geq 1/4$ フル 010: 受信 FIFO $\geq 1/2$ フル 011: 受信 FIFO $\geq 3/4$ フル 100: 受信 FIFO $\geq 7/8$ フル 上記以外 : Reserved
2:0	TXIFLSEL[2:0]	000	RW	送信割り込み FIFO レベル選択 000: 送信 FIFO $\leq 1/8$ フル 001: 送信 FIFO $\leq 1/4$ フル 010: 送信 FIFO $\leq 1/2$ フル 011: 送信 FIFO $\leq 3/4$ フル 100: 送信 FIFO $\leq 7/8$ フル 上記以外 : Reserved

4.2.11. [FURTxIMSC] (割り込みマスク設定レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:11	-	0	R	リードすると“0”が読めます。
10	OEIM	0	R/W	オーバーランエラー割り込みマスク 0: マスク許可 1: マスク禁止
9	BEIM	0	R/W	ブレイクエラー割り込みマスク 0: マスク許可 1: マスク禁止
8	PEIM	0	R/W	パリティエラー割り込みマスク 0: マスク許可 1: マスク禁止
7	FEIM	0	R/W	フレーミングエラー割り込みマスク 0: マスク許可 1: マスク禁止
6	RTIM	0	R/W	受信タイムアウト割り込みマスク 0: マスク許可 1: マスク禁止
5	TXIM	0	R/W	送信割り込みマスク 0: マスク許可 1: マスク禁止
4	RXIM	0	R/W	受信割り込みマスク 0: マスク許可 1: マスク禁止
3:0	-	0	RW	”0”を書いてください。

4.2.12. [FURTxRIS] (源割り込みステータスレジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:11	-	0	R	リードすると“0”が読めます。
10	OERIS	0	R	オーバーランエラー割り込みステータス 0: 割り込み要求なし 1: 割り込み要求
9	BERIS	0	R	ブレークエラー割り込みステータス 0: 割り込み要求なし 1: 割り込み要求
8	PERIS	0	R	パリティエラー割り込みステータス 0: 割り込み要求なし 1: 割り込み要求
7	FERIS	0	R	フレーミングエラー割り込みステータス 0: 割り込み要求なし 1: 割り込み要求
6	RTRIS	0	R	受信タイムアウト割り込みステータス 0: 割り込み要求なし 1: 割り込み要求
5	TXRIS	0	R	送信割り込みステータス 0: 割り込み要求なし 1: 割り込み要求
4	RXRIS	0	R	受信割り込みステータス 0: 割り込み要求なし 1: 割り込み要求
3:0	-	0	R	リードすると不定値が読めます。

4.2.13. [FURTxMIS] (割り込みマスクステータスレジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:11	-	0	R	リードすると“0”が読めます。
10	OEMIS	0	R	オーバーランエラーマスク割り込みステータス 0: 割り込み要求なし 1: 割り込み要求
9	BEMIS	0	R	ブレークエラーマスク割り込みステータス 0: 割り込み要求なし 1: 割り込み要求
8	PEMIS	0	R	パリティエラーマスク割り込みステータス 0: 割り込み要求なし 1: 割り込み要求
7	FEMIS	0	R	フレーミングエラーマスク割り込みステータス 0: 割り込み要求なし 1: 割り込み要求
6	RTMIS	0	R	受信タイムアウトマスク割り込みステータス 0: 割り込み要求なし 1: 割り込み要求
5	TXMIS	0	R	送信マスク割り込みステータス 0: 割り込み要求なし 1: 割り込み要求
4	RXMIS	0	R	受信マスク割り込みステータス 0: 割り込み要求なし 1: 割り込み要求
3:0	-	0	R	リードすると“0”が読めます。

4.2.14. [FURTxICR] (割り込みクリアレジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:11	-	0	W	"0"を書いてください。
10	OEIC	0	W	オーバーランエラー割り込みクリア 0: 無効 1: クリア
9	BEIC	0	W	ブレークエラー割り込みクリア 0: 無効 1: クリア
8	PEIC	0	W	パリティエラー割り込みクリア 0: 無効 1: クリア
7	FEIC	0	W	フレーミングエラー割り込みクリア 0: 無効 1: クリア
6	RTIC	0	W	受信タイムアウト割り込みクリア 0: 無効 1: クリア
5	TXIC	0	W	送信割り込みクリア 0: 無効 1: クリア
4	RXIC	0	W	受信割り込みクリア 0: 無効 1: クリア
3:0		0	W	"0"を書いてください。

4.2.15. [FURTxDMACR] (DMA 制御レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:3	-	0	R	リードすると"0"が読めます。
2	DMAONERR	0	RW	DMA オンエラー 0: エラー時非制御 1: エラー時制御 このビットが1にセットされると、FUART エラー割り込みがアサートされたときに、DMA 受信要求出力, FUARTxRX_DMAREQ がディセーブルされます。
1	TXDMAE	0	RW	送信 DMA イネーブル 0: 禁止 1: 許可
0	RXDMAE	0	RW	受信 DMA イネーブル 0: 禁止 1: 許可

注) DMAC を用いた送信/受信 FIFO のデータ送信の場合、バス幅は 8bit にしてください。

5. プログラミング方法

5.1. ボーレート設定値

代表的なクロック($\Phi T0$)でのボーレート設定値の例を参考として示します。 $\Phi T0$ の誤差は含んでいません。 $[FURTxBRD](N)$ および $[FURTxFBRD](K)$ の算出方法を以下の例で示します。

- 設定ボーレートとクロック条件
設定ボーレート(bps) : 115200bps
 $\Phi T0=10\text{MHz}(f_{\text{sys}} = 80\text{MHz} \text{ の } 8 \text{ 分周})$

- 計算方法

$$\text{ボーレート} = \frac{\Phi T0}{\left(N + \frac{K}{64}\right)} \div 16$$

- ボーレート除数 = $(10 \times 10^6) / (16 \times 115200) = 5.4253452$
整数部(N) = 0x05(5)、小数部 = 0.4253452
- 1)の小数部から $[FURTxFBRD]$ を算出
 $((0.4253452 \times 64) + 0.5) = 27.7220928 \rightarrow K = 0x1B(27)$
- 生成されるボーレート除数 = $5(N) + 27(K)/64 = 5.421875$
- 生成されるボーレート = $(10 \times 10^6)[\Phi T0] / (16 \times 5.421875) = 115273.776$
- 誤差 = $(115273.776 - 115200) / 115200 \times 100 = 0.064\%$

表 5.1 $\Phi T0 = 10\text{MHz}$ のボーレート設定例

ボーレート (bps)	$[FURTxBRD]$ の設定(N)	$[FURTxFBRD]$ の設定(K)	計算値 (bps)	誤差 (%)
9600	0x0041	0x07	9599.232	-0.008
19200	0x0020	0x23	19203.072	0.016
38400	0x0010	0x12	38387.716	-0.032
57600	0x000A	0x36	57636.888	0.064
115.2k	0x0005	0x1B	115273.775	0.064
128k	0x0004	0x39	127795.527	-0.160
256k	0x0002	0x28	256410.256	0.160

表 5.2 $\Phi T0 = 80\text{MHz}$ のボーレート設定例

ボーレート (bps)	[FURTxBRD] の設定(N)	[FURTxFBRD] の設定(K)	計算値 (bps)	誤差 (%)
9600	0x0208	0x35	9600.096	0.001
19200	0x0104	0x1B	19199.616	-0.002
38400	0x0082	0x0D	38401.536	0.004
57600	0x0056	0x34	57595.392	-0.008
115.2k	0x002B	0x1A	115190.785	-0.008
128k	0x0027	0x35	128000.000	0.000
256k	0x0013	0x22	256000.000	0.000
512k	0x0009	0x31	512000.000	0.000
2M	0x0002	0x20	2000000.000	0.000

6. 使用上のご注意およびお願い事項

- 製品によって、FUTxRTS_N 端子や FUTxCTS_N 端子がアサインされない場合があります。そのような場合は、当該の機能を使用しない設定でご使用をお願いします。

7. 改訂履歴

表 7.1 改訂履歴

Revision	Date	Description
1.0	2017-11-30	新規
2.0	2018-03-08	<ul style="list-style-type: none"> ・用語・略語 RZI を追加 ・1.概要 ボーレートの最大値を定義し、注 1)を追加。旧 注)は注 2)に修正 ・3.5 データ送受信 2 段落目 5 行目の"最後の文字"を"最後のデータ"に修正 ・3.7.2 ブレークエラーの送信 2 行目の[FURTxCR_H]を[FURTxLCR_H]に修正 ・3.9 ハンドシェイク機能 3 行目の"図 3.7"を"図 3.8"に修正 ・3.10 DMA 要求 送信 DMA 要求の 1 行目、[FURTxCR1]を[FURTxDMACR]に修正 ・4.2.2 [FURTxRSR] 注 2)のレジスター名"UARTxRSR"を[FURTxRSR]、UARTxDR を[FURTxDR]に修正 ・4.2.4 [FURTxFR] <BUSY>の機能説明中の"UART"を"FUART"に修正 ・4.2.6 [FURTxBRD] 注 4)下の表の見出し修正 ・4.2.8 [FURTxLCR_H] <SPS>の機能説明の体裁修正 ・4.2.9 [FURTxCR] <CTSEN>の機能説明中の"FUTxCTS"を"FUTxCTS_N"に修正 <RXE><TXE>の機能説明中の"UART 機能"を"FUART 機能"に修正 <UARTEN>の機能説明中の"UART"を"FUART"に修正 ・4.2.11 [FURTxIMSC] ビットシンボル 4~10 の Type を"R"から"R/W"に修正 ・4.2.15 [FURTxDMACR] ビットシンボル[31:3]の機能説明"不定値"を"0"に修正 <DMAONERR>の説明修正 5.1 ボーレート設定 表 5.1 の 1Mbps の例を削除、256Kbps、512Kbps の例を追加 表 5.2 の 1Mbps,2Mbps の例を削除、256Kbps、512Kbps の例を追加
3.0	2018-05-28	<ul style="list-style-type: none"> ・関連するドキュメント リファレンスマニュアルドキュメントに修正 ・1.概要 機能、ボーレートの行を削除、ボーレートジェネレーターに(注 1)を追加 表下の注 1)を変更 ・5.1 ボーレート設定値 表 5.1 から 62500bps,512Kbps の設定例を削除 表 5.2 から 62500bps の設定例を削除 表 5.2 にボーレート 2Mbps の設定例を追加 表 5.1,表 5.2 のボーレート(bps)の単位 K→k に変更
3.1	2021-08-04	<ul style="list-style-type: none"> ・「非同期シリアル通信機能に関する誤記について」の追記

<p>4.0</p>	<p>2023-06-12</p>	<ul style="list-style-type: none"> ・TXZ+ファミリーに対応 ・「非同期シリアル通信機能に関する誤記について」を削除し、内容を表 3.2 にフィードバック ・表 3.2 割り込み発生タイミング 「送信割り込み」で「1 バイト保持レジスター時(FIFO 未使用時)」の説明を修正注 2 を追加 ・3.4.1. 受信バッファ [FURTxIMSC]<RXIM> =0 を 1 へ変更 ・3.4.2. 送信バッファ 一部説明文を削除 ・3.6.1. 基本動作 [FURTxIMSC]<RXIM> =0 を 1 へ変更 ・3.7.1. 基本動作 [FURTxIMSC]<TXIM> =0 を 1 へ変更 ・3.7.2. ブレークエラーの送信 説明文を変更 ・4.2.2. [FURTxRSR] (受信ステータスレジスター) <BE>の説明を変更 ・4.2.11. [FURTxIMSC] (割り込みマスク設定レジスター) Bit4~10 0: マスク許可、1: マスク禁止、へ変更
<p>4.1</p>	<p>2023-09-15</p>	<ul style="list-style-type: none"> ・表 2.1 信号一覧表 修正し、注)を追加 ・3.6.1. 基本動作 説明文を追加 ・3.6.2. 受信エラー処理 説明文を追加 ・3.7.1. 基本動作 説明文を追加

製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。