

32 ビット RISC マイクロコントローラ

**TXZ ファミリ**

リファレンスマニュアル  
インタバルセンサ検知回路  
(ISD-A)

Revision 1.1

---

2018-04

東芝デバイス&ストレージ株式会社

## 目次

序章	4
関連するドキュメント	4
表記規約	5
用語・略語	7
1. 概要	8
2. 構成	9
3. 機能説明・動作説明	10
3.1. クロック供給	10
3.2. 基本動作	11
3.3. ISD の設定	12
3.3.1. 基準クロック、連携動作の設定	12
3.3.2. イネーブル設定	12
3.3.3. 割り込み設定	12
3.3.4. 制御タイミング出力の設定	12
3.3.5. レベル検知入力の設定	13
3.3.6. 動作開始	13
3.4. バッファレジスタ	13
3.5. 入力検知ステータス	13
3.6. 連携動作	14
4. レジスタ説明	15
4.1. レジスタ一覧	15
4.2. レジスタ詳細	16
4.2.1. <i>[ISDxEN]</i> (イネーブルレジスタ)	16
4.2.2. <i>[ISDxCLKCR]</i> (クロックコントロールレジスタ)	16
4.2.3. <i>[ISDxOCR0]</i> (出力コントロールレジスタ 0)	17
4.2.4. <i>[ISDxOCR1]</i> (出力コントロールレジスタ 1)	17
4.2.5. <i>[ISDxICR]</i> (入力コントロールレジスタ)	18
4.2.6. <i>[ISDxCR]</i> (コントロールレジスタ)	19
4.2.7. <i>[ISDxBR]</i> (バッファレジスタ)	19
4.2.8. <i>[ISDxSR]</i> (ステータスレジスタ)	20
4.2.9. <i>[ISDxINTCR]</i> (割り込みコントロールレジスタ)	20
5. 改訂履歴	21
製品取り扱い上のお願ひ	22

## 図目次

図 2.1	インタバルセンサ検知回路ブロック図 .....	9
図 3.1	制御タイミング出力とレベル検知入力の例 .....	11
図 3.2	ISD の連携動作例 .....	14

## 表目次

表 2.1	接続仕様 .....	9
表 3.1	ソースクロック .....	10
表 5.1	改訂履歴 .....	21

## 序章

### 関連するドキュメント

文書名
クロック制御と動作モード
例外
電源とリセット動作
製品個別情報
入出力ポート

## 表記規約

- 数値表記は以下の規則に従います。
  - 16 進数表記: 0xABC
  - 10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
  - 2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「\_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は [m:n] とまとめて表記する場合があります。  
例: S[3: 0] は S3, S2, S1, S0 の 4 つの信号名をまとめて表記しています。
- 本文中 [ ] で囲まれたものはレジスタを定義しています。  
例: [ABCD]
- 同種で複数のレジスタ、フィールド、ビット名は「n」で一括表記する場合があります。  
例: [XYZ1], [XYZ2], [XYZ3] → [XYZn]
- 「レジスタ一覧」中のレジスタ名でユニットまたはチャンネルは「x」で一括表記しています。  
ユニットの場合、「x」は A, B, C... を表します。  
例: [ADACRO], [ADBCRO], [ADCCRO] → [ADxCRO]  
チャンネルの場合、「x」は 0, 1, 2... を表します。  
例: [T32AORUNA], [T32A1RUNA], [T32A2RUNA] → [T32AxRUNA]
- レジスタのビット範囲は [m:n] と表記します。  
例: [3: 0] はビット 3 から 0 の範囲を表します。
- レジスタの設定値は 16 進数または 2 進数のどちらかで表記されています。  
例: [ABCD]<EFG> = 0x01 (16 進数)、[XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
  - バイト: 8 ビット
  - ハーフワード: 16 ビット
  - ワード: 32 ビット
  - ダブルワード: 64 ビット
- レジスタ内の各ビットの属性は以下の表記を使用しています。
  - R: リードオンリー
  - W: ライトオンリー
  - R/W: リード / ライト
- 断りのない限り、レジスタアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスタは書き換えを行わないでください。  
また、読み出した値を使用しないでください。
- Default 値が「—」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスタに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。  
Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- ライトオンリーのレジスタの Reserved ビットフィールドには Default 値を書き込んでください。  
Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスタへのリードモディファイライト処理は行わないでください。

\*\*\*\*\*  
**Arm, Cortex および Thumb は Arm Limited(またはその子会社)の US またはその他の国における登録商標です。 All rights reserved.**  
\*\*\*\*\*



FLASH メモリについては、米国 SST 社 (Silicon Storage Technology, Inc) からライセンスを受けた Super Flash®技術を使用しています。Super Flash®は SST 社の登録商標です。

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

## 用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

ISD          Interval Sensor Detection Circuit

## 1. 概要

インタバルセンサ検知回路(ISD)は、センサなどの外部回路を間欠動作させるための制御タイミングを出力するとともに、外部回路からの入力信号のレベルを検知して割り込みを発生させます。  
この割り込みにより、低消費電力モードの解除が可能です。

以下に、ISD の機能一覧を示します。

機能分類	機能	内容
外部回路制御	基準クロック	低速クロック(32.768kHz)、または、クロックソース用タイマリガ(ISDxCLKTRG)を 1,2,4,8 分周したものを基準クロック(fisdclk)として使用
	制御タイミング出力	制御タイミング出力(ISDxOUT) 1 本 <ul style="list-style-type: none"> <li>・アクティブレベル: High、Low を選択可能</li> <li>・アクティブ期間 : 基準クロックの 2~256 倍から選択可能</li> <li>・アクティブ周期 : アクティブ期間の 1~256 倍から選択可能</li> </ul>
	レベル検知入力	レベル検知入力(ISDxIN0~3) 4 本 <ul style="list-style-type: none"> <li>・入力信号のレベルを検知して割り込み(INTISDx)を発生 (割り込みにより低消費電力モードを解除可能)</li> <li>・入力レベルの検知パターン: 「Low レベル」、「High レベル」、「前回 Low レベル→今回 High レベル」、「前回 High レベル→今回 Low レベル」、「前回と今回のレベルが異なる」を入力ごとに選択可能</li> <li>・入力レベルの検知タイミング: 制御タイミング出力のアクティブ期間中の任意位置に設定可能 入力されたレベルはバッファで保持</li> </ul>
	連携動作	複数 Unit を連携させ同一タイミングでの動作が可能 <ul style="list-style-type: none"> <li>・マスタ: 制御タイミング出力/レベル検知入力のタイミング信号をスレーブへ供給</li> <li>・スレーブ: マスタのタイミング信号に合わせて動作</li> </ul>



## 2. 構成

インタバルセンサ検知回路の構成は以下です。

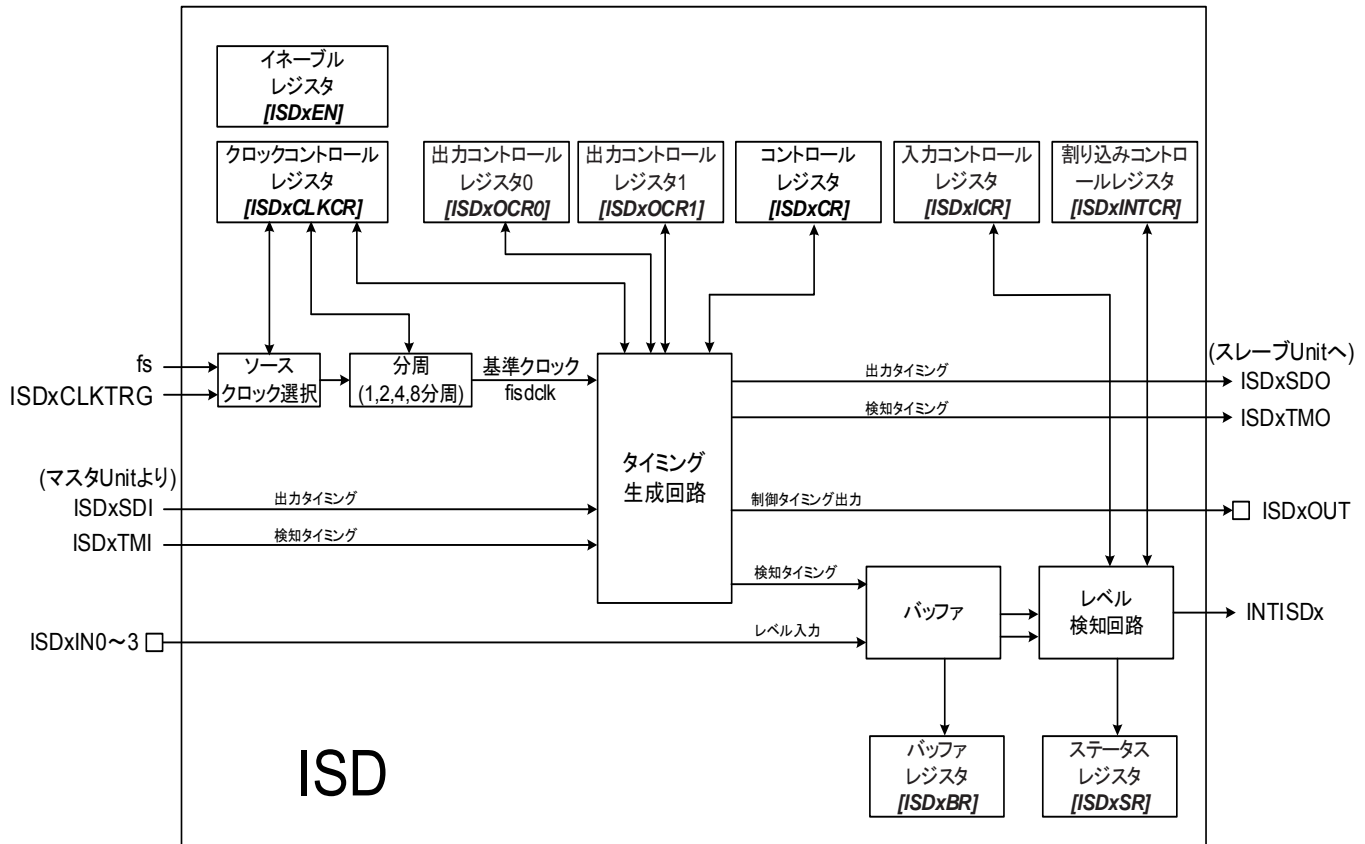


図 2.1 インタバルセンサ検知回路ブロック図

表 2.1 接続仕様

No.	信号名	信号名称	I/O	参照リファレンスマニュアル
1	fs	低速クロック(32.768kHz)	入力	クロック制御と動作モード
2	ISDxCLKTRG	クロックソース用タイマトリガ	入力	製品個別情報
3	ISDxOUT	制御タイミン出力	出力	製品個別情報、入出力ポート
4	ISDxIN0~3	レベル検知入力 0~3	入力	製品個別情報、入出力ポート
5	INTISDx	ISD 割り込み	出力	例外
6	ISDxSDO	スレーブ Unit への出カタイミン接続	出力	製品個別情報
7	ISDxTMO	スレーブ Unit への検知タイミン接続	出力	製品個別情報
8	ISDxSDI	マスタ Unit からの出カタイミン接続	入力	製品個別情報
9	ISDxTMI	マスタ Unit からの検知タイミン接続	入力	製品個別情報

### 3. 機能説明・動作説明

#### 3.1. クロック供給

ISD を使用する場合、`fsys/fc` のシステム供給停止レジスタの設定は不要です。  
ソースクロックについては表 3.1 を参照してください。

表 3.1 ソースクロック

ソースクロック	供給設定
低速クロック(fs)	低速クロック(fs)を供給してください。 詳細はリファレンスマニュアル”クロック制御と動作モード” を参照してください。
タイマトリガ(ISDxCLKTRG)	接続先の機能に合わせてクロック供給設定を行ってください。 接続先の詳細はリファレンスマニュアル”製品個別情報”を参 照してください。

## 3.2. 基本動作

ISD<sub>x</sub>OUT 端子から、センサなどの外部回路を間欠動作させるための制御タイミング信号をアクティブ期間 T<sub>1</sub> で出力します。そして、アクティブ期間 T<sub>0</sub> の検知タイミング T<sub>2</sub> でレベル検知入力(ISD<sub>x</sub>IN<sub>0</sub>~3)の信号レベルが取り込まれ、その信号レベルが設定されている検知パターンであれば割り込み(INTISD<sub>x</sub>)を発生します。割り込みにより低消費電力モードの解除や入力信号に対する処理を行います。取り込まれた信号レベルはバッファで保持され前回値として使用されます。

図 3.1 に制御タイミング出力とレベル検知入力の例を示します。

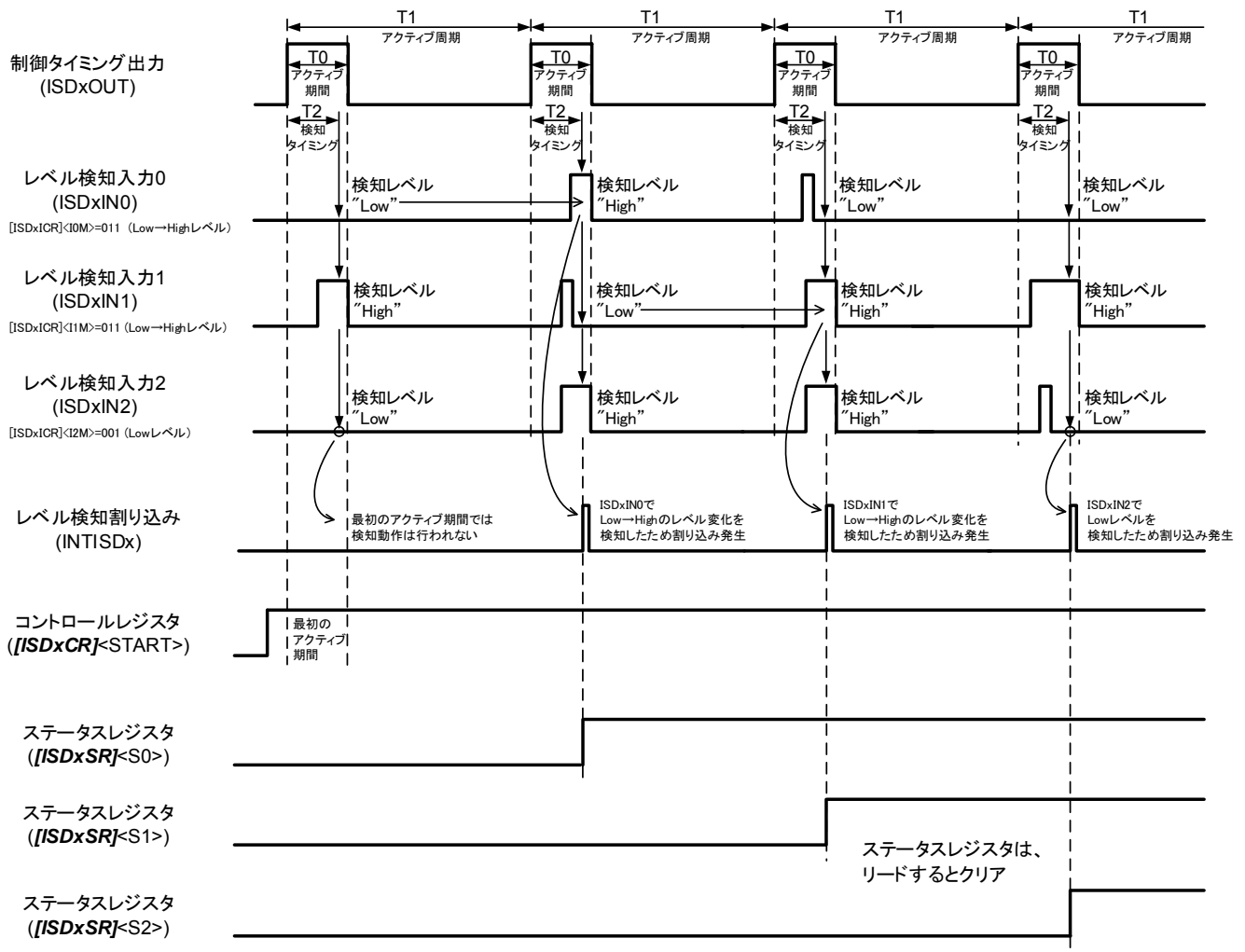


図 3.1 制御タイミング出力とレベル検知入力の例

### 3.3. ISD の設定

#### 3.3.1. 基準クロック、連携動作の設定

[ISDxCLKCR]の<SC>で基準クロックのソースクロック、<DIV>で基準クロックの分周比、<MS>で連携動作(マスタ、スレーブ)の設定を行います。[ISDxCLKCR]は、[ISDxEN]<EN>=0 の状態で設定する必要があります。

ISDxCLKTRG は、100kHz 以下で入力してください

ISDxCLKTRG に接続されるタイマについては、リファレンスマニュアル「製品個別情報」を参照してください。低速クロック(fs)を使用する場合は、fs クロックを許可にしてください。詳細はリファレンスマニュアル「クロック制御と動作モード」を参照してください。

#### 3.3.2. イネーブル設定

[ISDxCLKCR]を設定後、[ISDxEN]<EN>を"1"とすることで ISD の動作が許可されます。[ISDxCLKCR]以外のレジスタは、[ISDxEN]<EN>=1 の状態で設定を行ってください。

[ISDxEN]<EN>を"1" (許可)から"0" (禁止)に変更する場合は、[ISDxCR]<START>が"0" (信号入出力の動作停止)であることを確認した後に行ってください。

#### 3.3.3. 割り込み設定

[ISDxINTCR]<INTEN>により割り込み発生の許可・禁止を設定します。レベル検知入力の信号レベルが設定された検知パターンに合致すると ISD 割り込み(INTISDx)が発生します。

入力検知ステータスレジスタ[ISDxSR]<S0>~<S3>を読み出すことでステータスがクリアされるとともに割り込みもクリアされます。発生した割り込みをクリアするには、[ISDxSR]<S0>~<S3>の読み出しを行ってください。

#### 3.3.4. 制御タイミング出力の設定

センサなどの外部回路の電源や動作を制御する制御タイミング出力(ISDxOUT)は、[ISDxOCR0]<OP>で出力のアクティブレベル、[ISDxOCR1]の<T0[7:0]>でアクティブ期間 T0、<T1[7:0]>でアクティブ周期 T1 を設定します。アクティブ期間 T0、アクティブ周期 T1 は、ISDxOUT 出力の立ち上がり(アクティブレベルを Low レベルに設定している場合は立ち下がり)が基準となります。

連携動作時、アクティブ期間 T0 とアクティブ周期 T1 は、マスタ動作 Unit の設定が有効となり、スレーブ動作 Unit の設定は無効となります。ただし、アクティブレベルについては、スレーブ/マスタにかかわらず各 Unit での設定が有効となりますので注意願います。

ISDxOUT を使用するには、割り当てられているポートの制御レジスタの設定も必要です。詳細はリファレンスマニュアルの「入出力ポート」を参照してください。

### 3.3.5. レベル検知入力の設定

レベル検知入力(ISD<sub>x</sub>IN0~3)に入力された信号のレベル検知を行うには、**[ISD<sub>x</sub>OCR1]<T2[7:0]>**で検知タイミング T2、**[ISD<sub>x</sub>ICR]<I3M><I2M><I1M><I0M>**で端子毎の検知パターンを設定します。

検出タイミング T2 の信号レベルが検知パターンに合致すると入力検知ステータスが変化するとともに割り込み(INTISD<sub>x</sub>)を発生させることができます。検知タイミング T2 の信号レベルはバッファで保持され前回値として使用されます。

検知タイミング T2 は、ISD<sub>x</sub>OUT 出力の立ち上がり(アクティブレベルを Low レベルに設定している場合は立ち下がり)が基準となります。

検知タイミング T2 は、制御タイミング出力のアクティブ期間 T0 で、入力が安定するタイミングに設定してください。

連携動作時、検知タイミング T2 は、マスタ動作 Unit での設定が有効となり、スレーブ動作 Unit の設定は無効となります。

ISD<sub>x</sub>IN0~3 を使用するには、割り当てられているポートの制御レジスタの設定も必要です。詳細はリファレンスマニュアルの「入出力ポート」を参照してください。

また、ISD<sub>x</sub>IN0~3 の入力が不定とならないよう、ポート設定や外部回路により対応を行ってください。

### 3.3.6. 動作開始

**[ISD<sub>x</sub>CR]<START>**を"1"とすることで制御タイミング出力(ISD<sub>x</sub>OUT)の出力とレベル検知入力の入力、および検知が開始されます。**[ISD<sub>x</sub>CR]<START>**を読み出すことで動作状態を確認することができます。

なお、<START>を"1"にした後の最初のアクティブ期間 T0 では、信号レベルのバッファ取り込みのみが行われ、レベル検知動作は行われません。

## 3.4. バッファレジスタ

**[ISD<sub>x</sub>OCR1]<T2[7:0]>**で設定された検知タイミング T2 でレベル検知入力(ISD<sub>x</sub>IN0~3)から取り込まれたレベルはバッファにより保持されます。保持されたレベルは、検知パターンの前回値となります。

**[ISD<sub>x</sub>BR]<B0>~<B3>**を読み出すことで端子毎(ISD<sub>x</sub>IN0~3)のバッファ状態を確認することができます。

## 3.5. 入力検知ステータス

レベル検知入力の信号レベルが検知パターンに合致すると**[ISD<sub>x</sub>SR]<S0>~<S3>**に"1"がセットされます。**<S0>~<S3>**を読み出すことで端子毎(ISD<sub>x</sub>IN0~3)の検知状態を確認することができます。**<S0>~<S3>**は読み出すとクリアされます。ステータスのクリアと同時に割り込みもクリアされます。

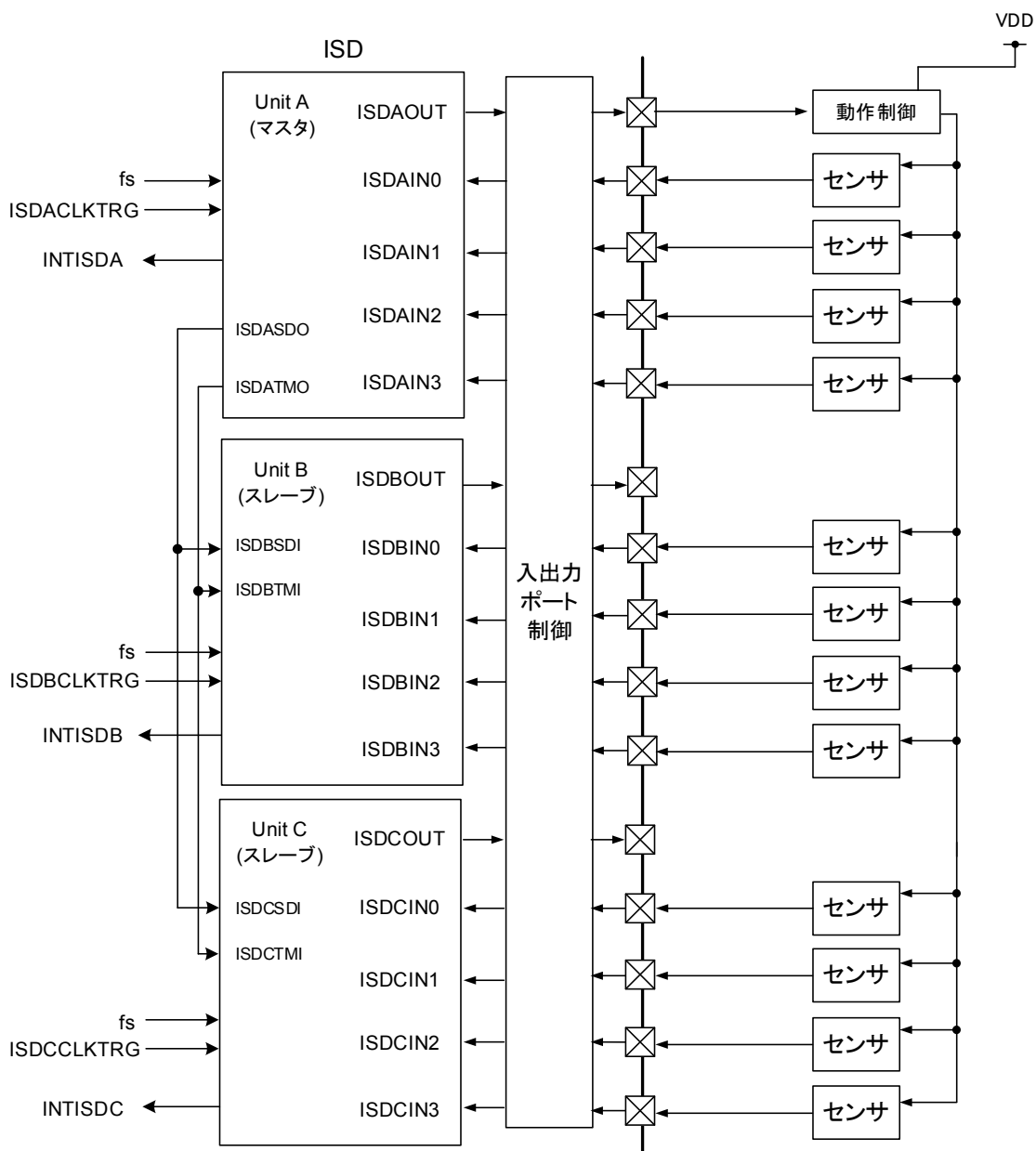
なお、読み出しからクリアまで、ソースクロック(fs、または、ISD<sub>x</sub>CLKTRG)で 3 クロックかかります。クリアまでの間にレベル変化が検知されるとその状態に入力検知ステータスは変わり、割り込みが許可されていれば割り込みも発生します。

## 3.6. 連携動作

ISD を複数 Unit 搭載し、連携用の出力タイミング／検知タイミングが Unit 間で接続されている場合、同一タイミングでの連携動作をさせることが可能です。 $[ISDxCLKCR]<MS>$  でマスタ、スレーブの設定を行うと、マスタとした Unit の  $[ISDxCLKCR]<DIV><SC>$ 、 $[ISDxOCRI]<T2[7:0]><T1[7:0]><T0[7:0]>$  の設定がスレーブとした Unit にも適用され連携動作となります。ただし、ISDxOUT 出力アクティブレベルの設定は、マスタ／スレーブの設定にかかわらず、各 Unit での設定が有効となります。

マスタ Unit、スレーブ Unit の接続は製品毎に異なります。詳細は、リファレンスマニュアル「製品個別情報」を参照ください。

図 3.2 に Unit A をマスタ、Unit B と Unit C をスレーブとした連携動作の例を示します。



\* ポート入力が入力不定にならないよう、外部回路やポート設定により対策を行ってください。

図 3.2 ISDの連携動作例

## 4. レジスタ説明

### 4.1. レジスタ一覧

制御レジスタとアドレスは以下のとおりです。

周辺機能		チャンネル/ユニット	ベースアドレス(Base)	
			TYPE1	TYPE2
インタバルセンサ検知回路	ISD	Unit A	0x400FB800	0x400F0000
		Unit B	0x400FB900	0x400F0100
		Unit C	0x400FBA00	0x400F0200

注) 製品によって搭載されるチャンネル/ユニット数、および、ベースアドレスタイプは異なります。  
詳細はリファレンスマニュアルの「製品個別情報」を参照してください。

レジスタ名		ベースアドレス(Base+)
イネーブルレジスタ	<i>[ISDxEN]</i>	0x0000
クロックコントロールレジスタ	<i>[ISDxCLKCR]</i>	0x0004
出力コントロールレジスタ 0	<i>[ISDxOCR0]</i>	0x0008
出力コントロールレジスタ 1	<i>[ISDxOCR1]</i>	0x000C
入力コントロールレジスタ	<i>[ISDxICR]</i>	0x0010
コントロールレジスタ	<i>[ISDxCR]</i>	0x0014
バッファレジスタ	<i>[ISDxBR]</i>	0x0018
ステータスレジスタ	<i>[ISDxSR]</i>	0x001C
割り込みコントロールレジスタ	<i>[ISDxINTCR]</i>	0x0020

## 4.2. レジスタ詳細

### 4.2.1. [ISDxEN] (イネーブルレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:1	—	0	R	リードすると"0"が読めます。
0	EN	0	R/W	インタバルセンサ検知回路動作 0: 禁止 (注 1) 1: 許可 ISD 動作の禁止/許可を制御します。ISD を使用する場合は、まずこのビットを許可に設定してください。 ISD をいったん動作させた後に、動作禁止にした場合は各レジスタの設定は保持されます。

注1) [ISDxEN]<EN>を"0"クリアする場合は、[ISDxCR]<START>が"0"であることを確認した後に行ってください。

注2) [ISDxCLKCR]以外のレジスタは、[ISDxEN]<EN>=1 の状態で設定を行ってください。

### 4.2.2. [ISDxCLKCR] (クロックコントロールレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:4	—	0	R	リードすると"0"が読めます。
3:2	DIV	00	R/W	基準クロック選択 (注 2) 00: 分周なし 01: 2 分周 10: 4 分周 11: 8 分周 <SC>で選択されたソースクロックの分周値を設定します。 マスタ動作時の基準クロック(fisdclk)となります。
1	SC	0	R/W	ソースクロック選択 (注 2) 0: 低速クロック (fs) 1: クロックソース用タイマトリガ (ISDxCLKTRG) (注 3) 基準クロックのソースクロックを選択します。
0	MS	0	R/W	連携動作設定 0: マスタ動作 (単独動作) 1: スレーブ動作 (連携動作)

注1) [ISDxCLKCR]レジスタに限り、[ISDxEN]<EN>=0 の状態で設定してください。

[ISDxEN]レジスタと[ISDxCLKCR]レジスタを除く他の ISD 関連レジスタの設定は、[ISDxEN]<EN>=1 の状態で設定してください。

注2) スレーブ動作時、<DIV>、<SC>の設定は無効となり、マスタ Unit の設定が有効となります。

注3) ISDxCLKTRG は、100kHz 以下で入力してください。

なお、低消費動作モードなどで ISDxCLKTRG の供給元が停止すると ISD 動作も停止します。



### 4.2.3. [ISDxOCR0] (出力コントロールレジスタ 0)

Bit	Bit Symbol	リセット後	Type	機能
31:1	—	0	R	リードすると"0"が読めます。
0	OP	0	R/W	ISDxOUT 出力アクティブレベル 0: Low レベル 1: High レベル ISDxOUT 端子から出力する信号のアクティブレベルの設定です。

- 注1) [ISDxOCR0]<OP>は、[ISDxEN]<EN>=1、[ISDxCR]<START>=0 の状態で設定してください。  
 注2) マスタ/スレーブ動作にかかわらず、[ISDxOCR0]<OP>の設定は有効です。

### 4.2.4. [ISDxOCR1] (出力コントロールレジスタ 1)

Bit	Bit Symbol	リセット後	Type	機能
31:24	—	0	R	リードすると"0"が読めます。
23:16	T2[7:0]	0x00	R/W	入力信号の検知タイミング T2 (注 1) 0x00~0xFF: 検知タイミングの設定値 $T2 = (<T2>+1) / \text{fisdclk}$ ISDxIN0~3 端子から入力される信号検知タイミングの設定です。
15:8	T1[7:0]	0x00	R/W	制御タイミング出力のアクティブ周期 T1 0x00~0xFF: アクティブ周期の設定値 (注 2) $T1 = (<T0>+1) \times (<T1>+1) / \text{fisdclk}$ ISDxOUT 端子から出力されるアクティブ周期の設定です。
7:0	T0[7:0]	0x01	R/W	制御タイミング出力のアクティブ期間 T0 (注 1) 0x00: 設定禁止 0x01~0xFF: アクティブ期間の設定値 $T0 = (<T0>+1) / \text{fisdclk}$ ISDxOUT 端子から出力されるアクティブ期間の設定です。

- 注1)  $T0 \geq T2$  となるように設定してください。  
 注2)  $<T1>=0$  に設定すると常時アクティブ出力となります。常時アクティブ出力の場合は、基準クロック:分周なし([ISDxCLKCR]<DIV>=00)の設定は禁止です。分周なし以外を選択してください。  
 注3) T0,T1,T2 は、ISDxOUT 出力信号の立ち上がり([ISDxOCR0]<OP>=0 の場合は立ち下がり)が基準となります。  
 注4) スレーブ動作時は、マスタ動作 Unit の設定が有効となります。  
 注5) [ISDxOCR1]は、[ISDxEN]<EN>=1、[ISDxCR]<START>=0 の状態で設定してください。

## 4.2.5. [ISD<sub>x</sub>ICR] (入カコントロールレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:15	—	0	R	リードすると"0"が読めます。
14:12	I3M	000	R/W	ISDINx3 の検知パターン 000: 検知しない 001: Low レベル 010: High レベル 011: 前回の入力信号が Low レベル → 今回 High レベル 100: 前回 High レベル → 今回 Low レベル 101: 前回と今回の入力信号レベルが異なる 110-111: Reserved
11	—	0	R	リードすると"0"が読めます。
10:8	I2M	000	R/W	ISDINx2 の検知パターン 000: 検知しない 001: Low レベル 010: High レベル 011: 前回の入力信号が Low レベル → 今回 High レベル 100: 前回 High レベル → 今回 Low レベル 101: 前回と今回の入力信号レベルが異なる 110-111: Reserved
7	—	0	R	リードすると"0"が読めます。
6:4	I1M	000	R/W	ISDINx1 の検知パターン 000: 検知しない 001: Low レベル 010: High レベル 011: 前回の入力信号が Low レベル → 今回 High レベル 100: 前回 High レベル → 今回 Low レベル 101: 前回と今回の入力信号レベルが異なる 110-111: Reserved
3	—	0	R	リードすると"0"が読めます。
2:0	I0M	000	R/W	ISDINx0 の検知パターン 000: 検知しない 001: Low レベル 010: High レベル 011: 前回の入力信号が Low レベル → 今回 High レベル 100: 前回 High レベル → 今回 Low レベル 101: 前回と今回の入力信号レベルが異なる 110-111: Reserved

注) [ISD<sub>x</sub>ICR]は、[ISD<sub>x</sub>EN]<EN>=1、[ISD<sub>x</sub>CR]<START>=0 の状態で設定してください。

## 4.2.6. [ISDxCR](コントロールレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:1	—	0	R	リードすると"0"が読めます。
0	START	0	R	動作状態モニタ 0: 動作停止状態 (注 1) 1: 動作中
			W	制御タイミング出力動作と検知動作の停止/開始 0: 動作停止 (注 1) 1: 動作開始 (注 2)(注 3)

注1) 動作停止(=0)にした場合、その時点の ISD<sub>x</sub>OUT アクティブ期間が終了した後、<START>が"0"になります。再度、動作開始する際は、動作停止状態(=0)であることを確認してください。

注2) [ISDxCR]<START>は、[ISD<sub>x</sub>EN]<EN>=1 の状態で設定してください。

注3) <START>=1 とした最初のアクティブ期間では、検知動作は行われません。

## 4.2.7. [ISDxBR](バッファレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:4	—	0	R	リードすると"0"が読めます。
3	B3	0	R	ISD <sub>x</sub> IN3 バッファ状態 0: Low レベル 1: High レベル
2	B2	0	R	ISD <sub>x</sub> IN2 バッファ状態 0: Low レベル 1: High レベル
1	B1	0	R	ISD <sub>x</sub> IN1 バッファ状態 0: Low レベル 1: High レベル
0	B0	0	R	ISD <sub>x</sub> IN0 バッファ状態 0: Low レベル 1: High レベル

注) 検知タイミング T2 でバッファに取り込まれたレベルを確認できます。

## 4.2.8. [ISDxSR] (ステータスレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:4	—	0	R	リードすると"0"が読めます。
3	S3	0	R	ISDxIN3 検知状態 0: 未検知 1: 検知 (検知パターンに合致)
2	S2	0	R	ISDxIN2 検知状態 0: 未検知 1: 検知 (検知パターンに合致)
1	S1	0	R	ISDxIN1 検知状態 0: 未検知 1: 検知 (検知パターンに合致)
0	S0	0	R	ISDxIN0 検知状態 0: 未検知 1: 検知 (検知パターンに合致)

注1) レベル検知入力の信号レベルが[ISDxICR]で設定された検知パターンと合致すると"1"となります。

注2) [ISDxSR]はリードすると"0"クリアされます。また、同時に割り込みもクリアされます。

注3) [ISDxSR]はポーリングせず、割り込み処理内でリードして確認をしてください。

注4) リード後、ソースクロック 3 クロックの間は、[ISDxSR]にアクセスしないでください。

## 4.2.9. [ISDxINTCR] (割り込みコントロールレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:1	—	0	R	リードすると"0"が読めます。
0	INTEN	0	R/W	割り込み許可/禁止 0: 禁止 1: 許可 ISD 割り込み(INTISDx)発生の許可・禁止を設定します。

注) [ISDxINTCR]<INTEN>は、[ISDxEN]<EN>=1、[ISDxCR]<START>=0 の状態で設定してください。

## 5. 改訂履歴

表 5.1 改訂履歴

Revision	Date	Description
1.0	2017-12-08	新規作成
1.1	2018-04-03	<ul style="list-style-type: none"> <li>・用語・略語: 修正: “Internal Sensor Detection” -&gt; “Interval Sensor Detection Circuit”</li> <li>・1.概要 修正: 表の基準クロック “TBxOUT” -&gt; “ISDxCLKTRG”</li> <li>・2.構成 修正: 図 2.1 “TBxOUT” -&gt; “ISDxCLKTRG” 修正: 表 2.1 “TBxOUT” -&gt; “ISDxCLKTRG”</li> <li>・3.1.クロック供給 修正: 表 3.1 “TBxOUT” -&gt; “ISDxCLKTRG”</li> <li>・3.3.1. 基準クロック、連携動作の設定 修正: “TBxOUT” -&gt; “ISDxCLKTRG” (文章中 2 箇所)</li> <li>・3.5.入力検知ステータス 修正: “TBxOUT” -&gt; “ISDxCLKTRG” (文章中)</li> <li>・3.6. 連携動作 修正: 図 3.2 Unit A “TBxOUT” -&gt; “ISDACLKTRG”、“ISD 割り込み” -&gt; “INTISDA” Unit B “TBxOUT” -&gt; “ISDBCLKTRG”、“ISD 割り込み” -&gt; “INTISDB” Unit C “TBxOUT” -&gt; “ISDCCLKTRG”、“ISD 割り込み” -&gt; “INTISDC” その他、信号名を Unit 番号あわせ修正。 削除: 図 3.2 “出力タイミング” (3ヶ所)、“検知タイミング” (3ヶ所)</li> <li>・4.2. レジスタ詳細 追記: “4.2. レジスタ詳細” 修正: 節番号 “4.2 ~ 4.10” -&gt; “4.2.1 ~ 4.2.9”</li> <li>・4.2.2. <b>[ISDxCLKCR]</b> (クロックコントロールレジスタ) 修正: Bit Symbol “SC” “TBxOUT” -&gt; “ISDxCLKTRG” 修正: 注 3) “TBxOUT” -&gt; “ISDxCLKTRG” (2ヶ所)</li> </ul>

## 製品取り扱い上のお願ひ

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いいたします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、電力機器、金融関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口までお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。