

32 ビット RISC マイクロコントローラ

TXZ ファミリ

リファレンスマニュアル

CEC 制御回路

(CEC-A)

Revision 1.1

2018-07

東芝デバイス&ストレージ株式会社

目次

序章	5
関連するドキュメント	5
表記規約	6
用語・略語	8
1. 概要	9
2. 構成	10
3. 機能説明・動作説明	11
3.1. クロック供給	11
3.2. サンプリングクロック	11
3.3. 受信	12
3.3.1. 基本動作	12
3.3.2. カウンタ動作の開始と停止 受信の準備	12
3.3.2.1. ロジカルアドレスの設定	12
3.3.2.2. ノイズキャンセル時間	13
3.3.2.3. 周期違反	14
3.3.2.4. データ判別タイミングの設定	14
3.3.2.5. ACK 応答	14
3.3.2.6. 受信エラー割り込みの保留	16
3.3.2.7. タイムアウトの設定	16
3.3.2.8. ロジカルアドレスが一致しない場合の動作	16
3.3.2.9. スタートビット検出の設定	17
3.3.2.10. 波形エラー検出の設定	18
3.3.3. 受信許可	19
3.3.4. 受信エラー検出	19
3.3.5. 受信エラー詳細	19
3.3.5.1. 周期違反	19
3.3.5.2. ACK 衝突	20
3.3.5.3. 受信バッファオーバーラン	20
3.3.5.4. 波形エラー	20
3.3.5.5. 受信エラー割り込みの保留	21
3.3.6. 受信の停止	21
3.4. 送信	22
3.4.1. 基本動作	22
3.4.2. 送信の準備	23
3.4.2.1. バスフリー待ち時間	23
3.4.2.2. ブロードキャストメッセージの送信	23
3.4.2.3. 送信波形の調整	23
3.4.2.4. 送信データの準備	24
3.4.3. 送信エラー検出	25

3.4.4. 送信エラー詳細.....	25
3.4.4.1. アービトレーションロスト.....	25
3.4.4.2. ACK 違反.....	26
3.4.4.3. 送信バッファアンダラン.....	26
3.4.4.4. ACK 違反と送信バッファアンダランの発生順序.....	26
3.4.5. 送信の停止.....	26
3.4.6. 再送信.....	26
3.5. ソフトウェアリセット.....	27
4. レジスタ説明.....	28
4.1. レジスタ一覧.....	28
4.2. レジスタ詳細.....	29
4.2.1. [CECxEN] (CEC イネーブルレジスタ).....	29
4.2.2. [CECxADD] (ロジカルアドレスレジスタ).....	29
4.2.3. [CECxRESET] (ソフトウェアリセットレジスタ).....	29
4.2.4. [CECxREN] (受信イネーブルレジスタ).....	30
4.2.5. [CECxRBUF] (受信バッファレジスタ).....	30
4.2.6. [CECxRCR1] (受信コントロールレジスタ 1).....	31
4.2.7. [CECxRCR2] (受信コントロールレジスタ 2).....	33
4.2.8. [CECxRCR3] (受信コントロールレジスタ 3).....	34
4.2.9. [CECxTEN] (送信イネーブルレジスタ).....	35
4.2.10. [CECxTBUF] (送信バッファレジスタ).....	36
4.2.11. [CECxTCR] (送信コントロールレジスタ).....	36
4.2.12. [CECxRSTAT] (受信割り込みステータスレジスタ).....	38
4.2.13. [CECxTSTAT] (送信割り込みステータスレジスタ).....	39
4.2.14. [CECxFSSEL] (CEC サンプリングクロック選択レジスタ).....	40
5. 使用上のご注意およびお願い事項.....	41
6. 改訂履歴.....	42
製品取り扱い上のお願ひ.....	43

図目次

図 2.1	CEC の構成.....	10
図 3.1	CEC の基本動作(受信).....	12
図 3.2	ノイズキャンセル.....	13
図 3.3	規格推奨のデータサンプリングタイミング.....	14
図 3.4	ACK 応答タイミング.....	15
図 3.5	規格上の最小/最大許容値(スタートビット).....	17
図 3.6	規格上の最小/最大許容値(データビット).....	18
図 3.7	ACK 衝突検出方法.....	20
図 3.8	CEC の基本動作(送信).....	22
図 3.9	バスフリー待ち時間.....	23
図 3.10	送信波形の調整.....	24
図 3.11	アービトレーションロスト検出期間.....	25

表目次

表 2.1	CEC 信号一覧表.....	10
表 3.1	ソースクロック.....	11
表 3.2	ACK 応答動作.....	15
表 3.3	受信設定レジスタ.....	19
表 3.4	ACK 応答の確認.....	26
表 6.1	改訂履歴.....	42

序章

関連するドキュメント

文書名
例外
クロック制御と動作モード
製品個別情報

表記規約

- 数値表記は以下の規則に従います。
 - 16 進数表記: 0xABC
 - 10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
 - 2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は [m:n] とまとめて表記する場合があります。
例: S[3: 0] は S3, S2, S1, S0 の 4 つの信号名をまとめて表記しています。
- 本文中 [] で囲まれたものはレジスタを定義しています。
例: **[ABCD]**
- 同種で複数のレジスタ、フィールド、ビット名は「n」で一括表記する場合があります。
例: **[XYZ1], [XYZ2], [XYZ3] → [XYZn]**
- 「レジスタ一覧」中のレジスタ名でユニットまたはチャンネルは「x」で一括表記しています。
ユニットの場合、「x」は A, B, C... を表します。
例: **[ADACR0], [ADBCR0], [ADCCR0] → [ADxCR0]**
チャンネルの場合、「x」は 0, 1, 2, ... を表します。
例: **[T32A0RUNA], [T32A1RUNA], [T32A2RUNA] → [T32AxRUNA]**
- レジスタのビット範囲は [m:n] と表記します。
例: [3: 0] はビット 3 から 0 の範囲を表します。
- レジスタの設定値は 16 進数または 2 進数のどちらかで表記されています。
例: **[ABCD]⟨EFG⟩ = 0x01** (16 進数)、**[XYZn]⟨VW⟩ = 1** (2 進数)
- ワード、バイトは以下のビット長を表します。
 - バイト: 8 ビット
 - ハーフワード: 16 ビット
 - ワード: 32 ビット
 - ダブルワード: 64 ビット
- レジスタ内の各ビットの属性は以下の表記を使用しています。
 - R: リードオンリー
 - W: ライトオンリー
 - R/W: リード / ライト
- 断りのない限り、レジスタアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスタは書き換えを行わないでください。
また、読み出した値を使用しないでください。
- Default 値が「—」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスタに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- ライトオンリーのレジスタの Reserved ビットフィールドには Default 値を書き込んでください。
Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスタへのリードモディファイライト処理は行わないでください。

Arm, Cortex および Thumb は Arm Limited(またはその子会社)の US またはその他の国における登録商標です。 All rights reserved.



FLASH メモリについては、米国 SST 社 (Silicon Storage Technology, Inc) からライセンスを受けた Super Flash®技術を使用しています。Super Flash®は SST 社の登録商標です。

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

CEC	Consumer Electronics Control
EOM	End Of Message

1. 概要

CEC 制御回路(CEC)の概要を以下に示します。

機能分類	機能	動作説明
HDMI 規格	-	Version 1.3a に準拠
受信制御	サンプリングクロック	以下より選択が可能 ・fs (低速クロック) ・CECxCLKTRG (クロックソース用タイマトリガ)
	ノイズ除去	ノイズキャンセル時間を調整可能 ・"High"検出時間 サンプリングクロック 1~4 回連続観測より選択 ・"Low"検出時間 サンプリングクロック 1~4 回連続観測より選択
	データ受信	1byte ごとのデータを受信 ・データサンプリングポイントを調整可能 ・デスティネーションアドレス不一致でも受信可能
	エラー検出	・周期違反(最小/最大) ・ACK 衝突 ・波形エラー
送信制御	データ送信	1byte ごとのデータを送信 ・バスフリーを自動判定し送信開始
	波形調整	送信波形の調整 ・立ち上がりタイミング、周期を調整可能
	エラー検出	・アービトレーションロスト ・ACK 違反
割り込み	送信割り込み	・送信開始 ・送信終了 ・アービトレーションロスト ・ACK エラー ・アンダーラン
	受信割り込み	・受信完了 ・スタートビット ・最大周期違反 ・最小周期違反 ・ACK 衝突 ・オーバラン ・波形エラー

2. 構成

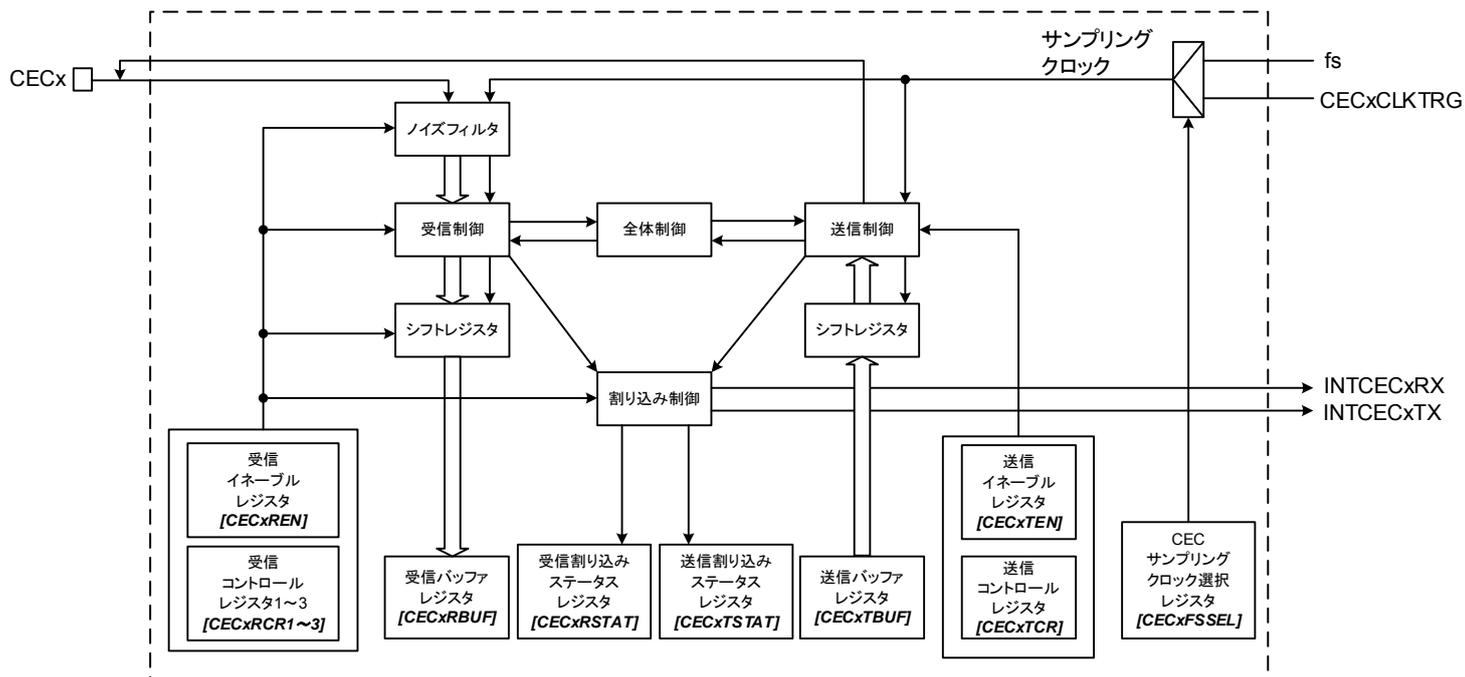


図 2.1 CECの構成

表 2.1 CEC信号一覧表

No.	信号名	信号名称	I/O	参照リファレンスマニュアル
1	CECx	CECx データ入出力端子	入出力	製品個別情報
2	fs	低速クロック	入力	クロック制御と動作モード
3	CECxCLKTRG	クロックソース用タイマリガ	入力	製品個別情報
4	INTCECxRX	CEC ch x 受信割り込み	出力	例外
5	INTCECxTX	CEC ch x 送信割り込み	出力	例外

3. 機能説明・動作説明

3.1. クロック供給

CEC を使用する場合、`fsys/fc` のシステム供給停止レジスタの設定は不要です。
ソースクロックについては表 3.1 を参照してください。

表 3.1 ソースクロック

ソースクロック	供給設定
低速クロック(fs)	低速クロック(fs)を供給してください。 詳細はリファレンスマニュアル"クロック制御と動作モード"を参照してください。
タイマトリガ(CECxCLKTRG)	接続先の機能に合わせてクロック供給設定を行ってください。接続先の 詳細はリファレンスマニュアル"製品個別情報"を参照してください。

3.2. サンプリングクロック

CEC 信号のサンプリングクロックは、32.768kHz の低速クロック(fs)またはクロックソース用タイマトリガ(CECxCLKTRG)から選択することができます。

サンプリングクロックの設定は、`[CECxFSSEL]`レジスタで行います。

サンプリングクロックを切り替える場合は、送受信動作の停止状態を`[CECxREN]<CECREN>`および`[CECxTEN]<CECTEN>`で確認してから`[CECxFSSEL]`レジスタの設定を行ってください。また、他の CEC 関連レジスタよりも先に`[CECxFSSEL]`レジスタを設定してください。

クロックソース用タイマトリガ(CECxCLKTRG)に接続されるタイマについては、リファレンスマニュアルの「製品個別情報」を参照してください。

3.3. 受信

3.3.1. 基本動作

スタートビット検出後、スタートビット割り込みを発生します。スタートビット割り込みを発生すると、 $[CECxRSTAT]<CECRISTA>$ がセットされます。スタートビット割り込みは、 $[CECxRCR3]<CECRSTAEN>$ で許可している場合に発生します。

1バイト分のデータと、EOM, ACK を受信すると受信したデータを $[CECxRBUF]$ レジスタに格納し、受信割り込みを発生します。受信割り込みが発生すると、 $[CECxRSTAT]<CECRIEND>$ がセットされます。

$[CECxRBUF]$ レジスタには、データ 8 ビットと、EOM ビット、ACK ビットが格納されます。ACK ビットは CEC 回路内部で発生したのではなく、他のデータと同様 CEC 信号を観測した結果が格納されます。

1つのデータブロック受信後、EOM ビットが"1"の最終データブロックまで継続して受信動作を行います。最終データブロックであることを検出すると、スタートビット待ち状態になります。

データ受信途中にエラーが検出されると、エラー割り込みを発生し、次のスタートビット待ち状態になります。エラーが発生した場合、取得したデータは破棄されます。

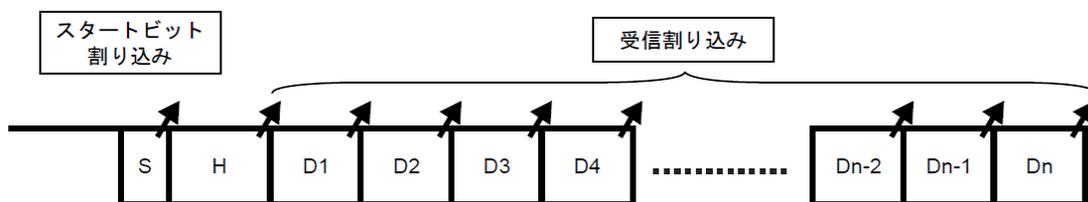


図 3.1 CECの基本動作(受信)

3.3.2. カウンタ動作の開始と停止 受信の準備

受信を開始する前に、ロジカルアドレスレジスタ($[CECxADD]$),受信コントロールレジスタ 1($[CECxRCR1]$),受信コントロールレジスタ 2($[CECxRCR2]$),受信コントロールレジスタ 3($[CECxRCR3]$)で受信動作の設定を行います。

3.3.2.1. ロジカルアドレスの設定

$[CECxADD]$ レジスタで、本デバイスに割り当てるロジカルアドレスを設定します。0 から 15 のビットがそれぞれアドレスと対応しており、複数のアドレスを設定することが可能です。

注) ブロードキャストメッセージは、 $[CECxADD]$ レジスタの設定によらず受信し、論理"1"の ACK 応答を行います。
ロジカルアドレス 15 を設定している場合には、ブロードキャストメッセージに対し論理"0"の ACK 応答を行います。

3.3.2.2. ノイズキャンセル時間

[CECxRCR1]レジスタの<CECHNC[1:0]>,<CECLNC[2:0]>でノイズキャンセル時間を設定します。設定されたサンプリング回数分の状態が観測されなければノイズとみなされます。"High"観測用、"Low"観測用を個別に設定可能です。

注) [CECxRCR1]<CECLNC[2:0]>は、必ず[CECxTCR]<CECDTRS>と同じ設定で使用してください。

ノイズキャンセルは、サンプリングクロックで CEC 信号をサンプリングした信号に対して行います。サンプリングクロックの立ち上がりごとにサンプリング後の信号を観測し、現在"High"であれば、<CECLNC[2:0]>で設定されたサンプリング回数の"Low"が観測されたときに信号が"Low"に変化したと認識し、現在"Low"であれば、<CECHNC[1:0]>で設定されたサンプリング回数の"High"が観測されたとき"High"に変化したと認識します。

図 3.2 は、ノイズキャンセルの設定を<CECHNC[1:0]>=10(サンプリング 3 回), <CECLNC[2:0]>=011(サンプリング 4 回)とした場合の動作です。ノイズキャンセル後の信号は、"High"の状態から、"Low"が 3 回観測されたところで"Low"に変化し、"Low"の状態から、"High"が 3 回観測されたところで"High"に変化します。

[CECxRCR1]<CECHNC[1:0]>=10 (サンプリング 3 回)
[CECxRCR1]<CECLNC[2:0]>=011 (サンプリング 4 回)

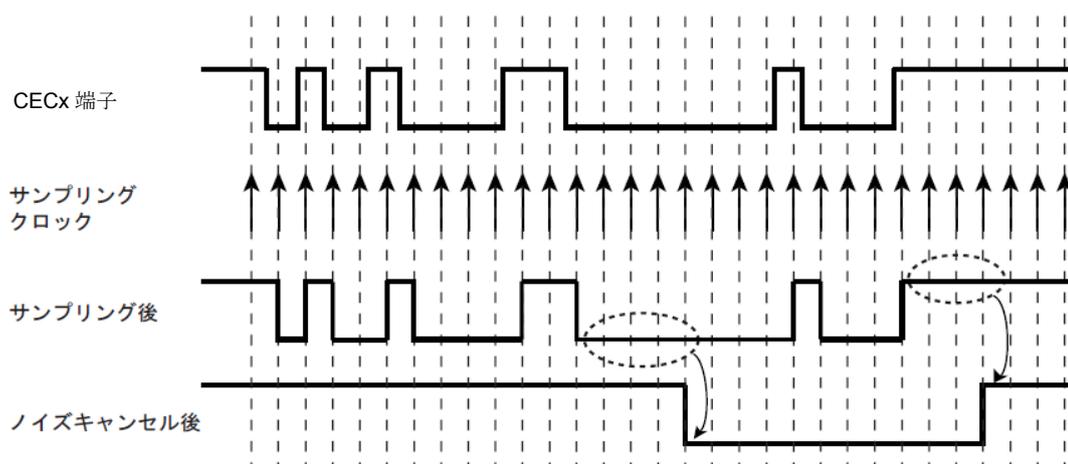


図 3.2 ノイズキャンセル

3.3.2.3. 周期違反

[CECxRCR1]レジスタの<CECMIN>, <CECMAX>で周期違反の検出のための設定を行います。

1 ビット周期の最小値/最大値に対し、最小値については 67/fs(約 2.045ms)、最大値については 90/fs(約 2.747ms)を基準に、1/fs 単位で-4/fs から+3/fs の間で周期違反の検出を行うことができます。

違反が検出された場合には割り込みが発生し、スタートビット待ちになります。割り込み発生までに受信したデータは破棄されます。

3.3.2.4. データ判別タイミングの設定

[CECxRCR1]<CECDAT>でデータ判別を行うタイミングの設定を行います。

ビットのスタートポイントから約 34/fs(約 1.038ms)を基準に、2/fs 単位で±6/fs まで設定可能です。

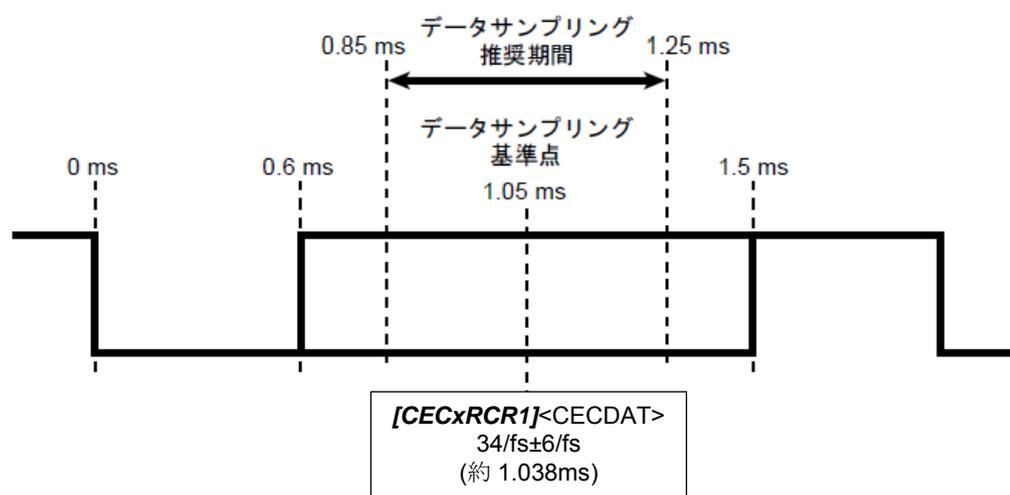


図 3.3 規格推奨のデータサンプリングタイミング

3.3.2.5. ACK 応答

データブロックに対しては、[CECxRCR1]<CECACKDIS>の設定によって、デスティネーションアドレスが[CECxADD]レジスタに設定されたアドレスと一致した場合に、論理"0"の ACK 応答をする/しないを任意に設定することが可能です。

ヘッダブロックに対しては、<CECACKDIS>の設定によらずアドレスが一致した場合に論理"0"の ACK 応答を行います。

以下に ACK 応答動作についてまとめます。

以下の表で、「○」は送信デバイスの ACK 送信に対し"0"出力をする(ACK ビットは論理"0"となる)こと、「×」は"0"出力をしない(ACK ビットは論理"1"となる)ことを示します。

表 3.2 ACK応答動作

レジスタ設定		ヘッダブロック		データブロック	
		アドレス一致	アドレス不一致	アドレス一致	アドレス不一致
[CECxRCR1] <CECACKDIS>	0 (論理 0 応答する)	○	×	○	×
	1 (論理 0 応答しない)			×	×

ACK 応答のタイミングを以下に示します。

送信側が出力した ACK ビットの立ち下がりを検出すると約 1.526ms 間"Low"を出力します。立ち下がりの検出までの時間は、"Low"検出ノイズキャンセル時間設定 ([CECxRCR1]<CECLNC>)によって決まります。

注) [CECxRCR1]<CECLNC>は、必ず [CECxTCR]<CECDTRS>と同じ設定で使用してください。

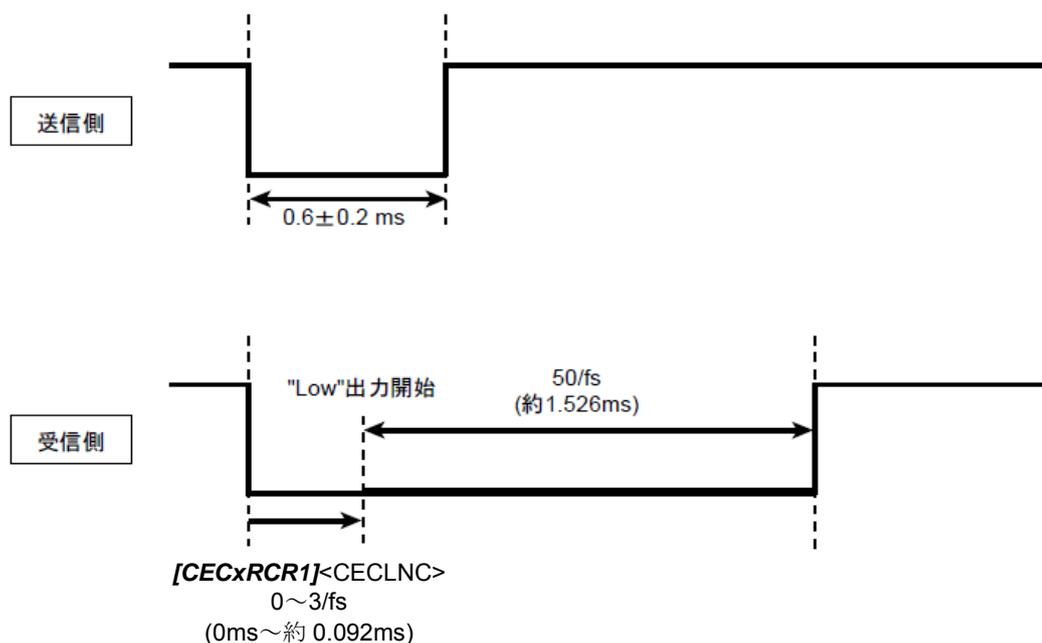


図 3.4 ACK応答タイミング

3.3.2.6. 受信エラー割り込みの保留

[CECxRCRI]<CECRIHLD>で、受信エラー割り込みを保留するかどうかを設定します。対象となる割り込みは、最大周期違反、バッファオーバーラン、波形エラーです。

<CECRIHLD>が"1"に設定されていると、エラー検出時点では割り込みは発生しません。

エラー検出後 ACK ビットまでデータが継続した場合は ACK 応答を通常と反転の論理で行い、後続のビットがいずれかのタイミングで途切れた場合には[CECxRCRI]<CECTOUT>の設定に従ってタイムアウトと判定します。割り込みは ACK 応答後、またはタイムアウト判定後に発生します。

3.3.2.7. タイムアウトの設定

[CECxRCRI]<CECTOUT>で、タイムアウト判定の設定を行います。

この設定は受信エラー割り込み保留の設定([CECxRCRI]<CECRIHLD>)が"1"の場合に使用されます。

3.3.2.8. ロジカルアドレスが一致しない場合の動作

[CECxRCRI]<CECOTH>で、デスティネーションアドレスが[CECxADD]レジスタに設定されたアドレスと一致しない場合にも受信するよう設定することができます。

この場合、受信動作は通常の場合と同様に行い、違反が検出されれば割り込みも発生しますが、ACK 応答はヘッダブロック、データブロックとも行いません。

注 1) ブロードキャストメッセージは、[CECxRCRI]<CECOTH>の設定によらず受信します。

注 2) 送信側が EOM ビット"1"のブロックを送信しないで新たにメッセージをスタートビットから送信した場合、ACK ビットが最大周期違反と判定され割り込みが発生します。その後の受信は通常通り行われます。

3.3.2.9. スタートビット検出の設定

スタートビット検出の条件を[CECxRCR2]レジスタで設定します。立ち上がりのタイミングと周期をそれぞれ設定可能です。

[CECxRCR2]<CECSWAV0>で立ち上がりの最も早いタイミング、[CECxRCR2]<CECSWAV1>で立ち上がりの最も遅いタイミングを設定します。(図 3.5 の 1.の期間)。

[CECxRCR2]<CECSWAV2>で周期の最も早いタイミング、[CECxRCR2]<CECSWAV3>で周期の最も遅いタイミングを設定します。(図 3.5 の 2.の期間)。

1.の期間に立ち上がり、2.の期間に立ち下がりが検出されると、有効なスタートビットとみなします。

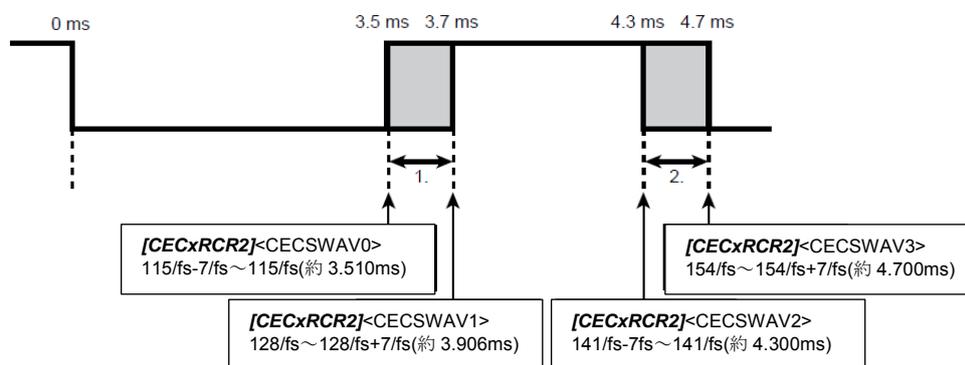


図 3.5 規格上の最小/最大許容値(スタートビット)

3.3.2.10. 波形エラー検出の設定

受信波形が規格から外れた場合にエラーとして検出するには、 $[CECxRCR3]$ レジスタの設定を行います。

$[CECxRCR3]<CECWAVEN>$ が許可の設定の場合にエラー検出を行います。検出期間は $[CECxRCR3]<CECWAV0>$ 、 $<CECWAV1>$ 、 $<CECWAV2>$ 、 $<CECWAV3>$ で調整が可能です。

図 3.6 の、1, 2.の期間に立ち上がりがあった場合または、3.のタイミングまでに立ち上がりがなかった場合に波形エラー割り込みを発生します。

1. ビット開始から論理"1"の最も早い立ち上がりタイミングの間
2. 論理"1"の最も遅い立ち上がりタイミングと論理"0"の最も早い立ち上がりタイミングの間
3. 論理"0"の最も遅い立ち上がりタイミング

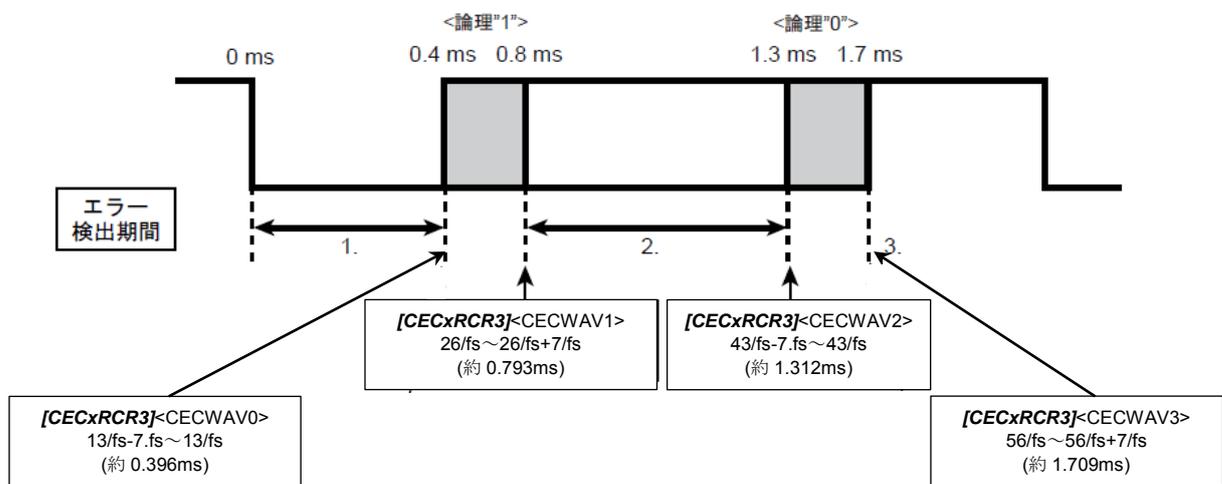


図 3.6 規格上の最小/最大許容値(データビット)

3.3.3. 受信許可

[CECxADD], [CECxRCR1], [CECxRCR2], [CECxRCR3]レジスタの設定終了後、[CECxREN]<CECREN>を受信許可に設定することで受信待ち状態になり、スタートビットを検出すると受信動作を開始します。

注) 受信動作中に[CECxADD], [CECxRCR1], [CECxRCR2], [CECxRCR3]レジスタの設定が変更されると正しく受信できない可能性があります。
以下のレジスタ設定を変更する場合には、[CECxREN]<CECREN>で受信禁止の設定を行い、[CECxREN]<CECREN>および[CECxTEN]<CECTrans>をリードして送受信とも停止中であることを確認後に変更することを推奨します。

表 3.3 受信設定レジスタ

レジスタ名	Bit Symbol	設定項目
[CECxADD]	<CECADD[15:0]>	ロジカルアドレス
[CECxRCR1]	<CECHNC><CECLNC>	ノイズキャンセル時間
	<CECMIN><CECMAX>	周期時間
	<CECOTH>	ロジカルアドレス不一致時の受信
[CECxRCR2]	<CECSWAV0><CECSWAV1> <CECSWAV2><CECSWAV3>	スタートビット検出設定
[CECxRCR3] (<CECWAVEN>=1)	<CECWAV0><CECWAV1> <CECWAV2><CECWAV3>	波形確認設定

3.3.4. 受信エラー検出

受信中にエラーが検出されると割り込みを発生し、受信動作を停止してスタートビット待ち状態になります。エラーが発生した受信データは破棄されます。

最大周期違反、受信バッファオーバーラン、波形エラーについては、割り込み発生を保留し受信動作を継続して ACK 応答を通常の反転の論理で行うことも可能です。

エラーの要因を確認するために、[CECxRSTAT]レジスタに割り込みに対応した要因ビットが準備されており、割り込み要因を確認することができます。

3.3.5. 受信エラー詳細

3.3.5.1. 周期違反

受信中、ビット開始の信号の立ち下がりから次のビット開始の信号の立ち下がりの周期を測定し、最小値/最大値の設定を違反している場合には割り込みを発生します。

周期の最大値/最小値の設定は[CECxRCR1]<CECMIN>, <CECMAX>で行います。周期の最小値/最大値に対し、最小値については $67/f_s$ (約 2.045ms)、最大値については $90/f_s$ (約 2.747ms)を基準に、 $1/f_s$ 単位で $-4/f_s$ から $+3/f_s$ の間で周期違反の検出を行うことができます。

周期違反の割り込みが発生すると、[CECxRSTAT]<CECRIMIN>または<CECRIMAX>がセットされます。また、周期最小値の違反が発生した場合には、CEC 信号へ約 3.63ms 間"Low"を出力します。

注 1) 周期最小値違反の際、"Low"検出ノイズキャンセル時間後から"Low"出力を開始します。

注 2) 送信側が EOM ビット"1"のブロックを送信しないで新たにメッセージをスタートビットから送信した場合、ACK ビットが最大周期違反と判定され割り込みが発生する場合があります。詳細は「5. 使用上のご注意およびお願い事項」を参照してください。

3.3.5.2. ACK 衝突

ACK 応答時、"Low"出力期間後に CEC 信号が"Low"であることを検出すると、ACK 衝突割り込みまたは周期最小値違反の割り込みが発生します。

ACK 衝突割り込みが発生すると、 $[CECxRSTAT]<CECRIACK>$ がセットされます。周期最小値の違反割り込みが発生すると、 $[CECxRSTAT]<CECRIMIN>$ がセットされます。

検出期間と検出方法を以下に示します。

"Low"出力期間終了から約 0.3ms 後から検出を開始します。検出期間の終了は、ACK ビットのスタート(立ち上がり)から約 2.0ms のところです。

"Low"出力期間終了から 0.3ms のポイントで CEC 信号が"Low"であるかどうかを確認し、"Low"の場合には ACK 衝突割り込みが発生します。このポイントで CEC 信号が"High"で、検出期間内に"Low"を観測した場合には周期最小値の違反割り込みが発生し、CEC 信号へ約 3.63ms 間"Low"を出力します。

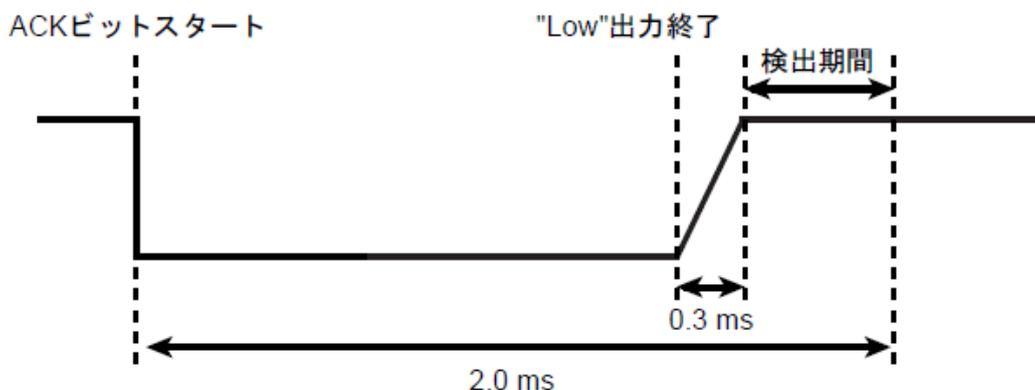


図 3.7 ACK衝突検出方法

3.3.5.3. 受信バッファオーバーラン

受信バッファに格納されたデータが読み出される前に次の 1 バイト分のデータの受信が完了すると、受信バッファのオーバーラン割り込みが発生します。

オーバーラン割り込みが発生すると、 $[CECxRSTAT]<CECRIOR>$ がセットされます。

3.3.5.4. 波形エラー

$[CECxRCR3]$ レジスタで波形エラー検出を許可に設定している場合に発生します。受信波形が規格から外れた場合に波形エラーを検出し、割り込みが発生します。

波形エラー割り込みが発生すると、 $[CECxRSTAT]<CECRIWAV>$ がセットされます。

3.3.5.5. 受信エラー割り込みの保留

最大周期違反、受信バッファオーバーラン、波形エラーについては、エラー検出時に割り込みを発生しないで保留することができます。この設定は[CECxRCRI]<CECRIHLD>で行います。また、この設定を使用するときには、[CECxRCRI]<CECTOUT>でタイムアウトの設定も行います。

割り込み保留の設定が有効の場合、後続のデータを継続して受信し、ACK ビットまで受信できた場合には ACK 応答を通常の反転の論理で行った後に割り込みを発生します。このとき、[CECxRSTAT]レジスタには、受信完了の<CECRIEND>と保留されたエラーのフラグがセットされます。

後続のデータビットがいずれかのタイミングで途切れた場合には、タイムアウトの計測を行い、タイムアウト後に割り込みを発生します。このとき、[CECxRSTAT]レジスタにセットされるのは、保留されたエラーのフラグのみです。

タイムアウトの計測は、送信動作でのバスフリー待ち時間と同様、最後に受信したビットの終了時点から計測します。

割り込みが保留されているという情報は、EOMが"1"のデータ受信完了またはタイムアウトするまで保持されます。従って、割り込みが保留された状態で複数バイトの受信が行われた場合、1 バイト受信ごとに割り込みが発生し、[CECxRSTAT]レジスタには受信完了と保留された割り込みのフラグがセットされます。

注 1) 割り込み保留中に、後続の受信で最小周期違反が発生した場合には、直ちに最小周期違反割り込みを発生し、CEC 信号に約 3.63ms 間"Low"を出力します。

受信割り込みステータスレジスタには、保留された割り込みと最小周期違反のフラグがセットされます。

注 2) 割り込み保留中に、後続の受信で最小周期違反以外のエラーが発生した場合には、ACK 応答またはタイムアウトまで処理が継続されます。

受信割り込みステータスレジスタには、検出された全ての割り込みのフラグがセットされます。

3.3.6. 受信の停止

[CECxREN]<CECREN>を"0"(受信禁止)に設定すると受信動作を停止します。

受信動作中に禁止の設定を行った場合、直ちに受信動作を停止し、それまでに受信したデータは破棄されます。

注) 周期最小値の違反に対する"Low"出力中に受信禁止設定を行うと"Low"出力も停止します。

3.4. 送信

3.4.1. 基本動作

送信開始の設定を行うとまずバスフリー状態を確認します。設定されたビット周期分の CEC 信号の立ち下がりが無いことを確認後にスタートビットを送信します。バスフリー状態の確認は常時行っており、送信開始設定時に、設定されたビット周期分のバスフリー条件を満たしていればすぐに送信を開始します。

スタートビット送信後にバッファに設定された 1 バイトのデータと EOM データがシフトレジスタに送られ、データの送信を開始します。1 バイトのデータの最初のビットの送信が開始されると送信割り込みが発生し、**[CECxTSTAT]<CECTISTA>**がセットされます。送信割り込み発生後、次の 1 バイトのデータを送信バッファに設定します。

8 ビットのデータ、EOM ビット、ACK ビット送信後、ACK 応答を確認し 1 バイト分のデータ転送が終了します。

EOM ビットに"1"が設定されるまで同様にデータ転送を行います。

EOM に"1"が設定されている場合、データ、EOM、ACK ビットの送信および、ACK 応答の確認後に送信終了割り込みを発生します。送信終了割り込みが発生すると、**[CECxTSTAT]<CECTIEND>**がセットされます。

送信終了割り込み発生により一連の送信動作が終了し、**[CECxTEN]<CECTEN>**はクリアされます。送信中にエラーが発生した場合、エラー割り込みを発生して送信動作を停止します。送信中は受信許可状態であっても受信動作は行いません。

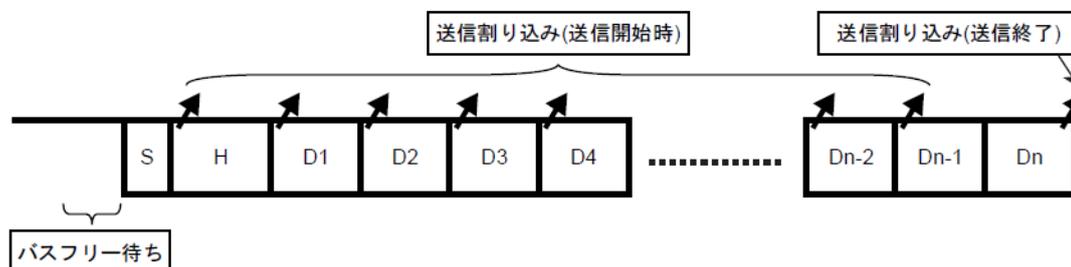


図 3.8 CECの基本動作(送信)

3.4.2. 送信の準備

送信を開始する前に、送信コントロールレジスタ[CECxTCR]と送信バッファ[CECxTBUF]の設定を行います。

3.4.2.1. バスフリー待ち時間

[CECxTCR]<CECFREE>でバスフリー待ち時間を設定します。ビット周期単位で 1 ビット周期から 16 ビット周期まで設定可能です。

バスフリー状態の確認は最終ビットの立ち下がりの1ビット周期後から開始し、設定されたビット周期分立ち下がりがなければ送信を開始します。



図 3.9 バスフリー待ち時間

3.4.2.2. ブロードキャストメッセージの送信

ブロードキャストメッセージの送信を行う場合は、[CECxTCR]<CECBRD>=1 を設定します。このビットがセットされているときには、ACK サイクルで論理"0"の応答があるとエラーになります。このビットがセットされていないときは、ACK サイクルで論理"1"の応答があるとエラーになります。

3.4.2.3. 送信波形の調整

スタートビット/データビットとも立ち上がりタイミングと周期の調整が可能です。[CECxTCR]レジスタの<CECSTRS><CECSPRD><CECDTRS><CECDPRD>で設定を行います。規格で定められた、立ち上がりと周期の最も早いタイミングから標準値の間で調整することができます。

注) <CECDTRS>は、必ず[CECxRCRI]<CECLNC>と同じ設定で使用してください。

以下に、スタートビット,論理"0", 論理"1"の設定による波形の違いを示します。

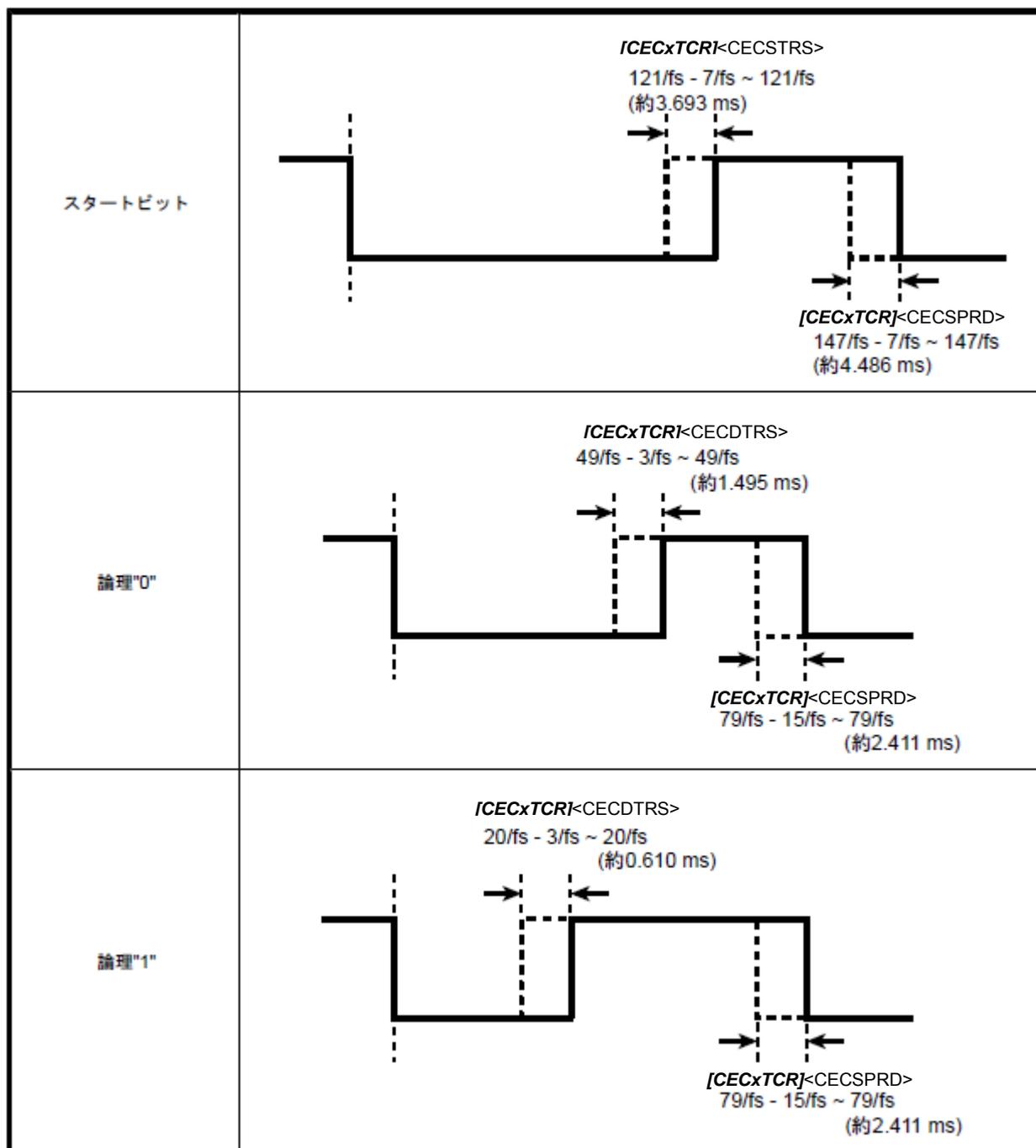


図 3.10 送信波形の調整

3.4.2.4. 送信データの準備

1 バイト分の送信データと EOM のデータを $[CECxTBUF]$ レジスタに設定します。

3.4.3. 送信エラー検出

送信中にエラーが検出されると割り込みを発生し、送信動作を停止します。また、 $[CECxTEN]$ <CECTEN>はクリアされます。

エラーの要因を確認するために、 $[CECxTSTAT]$ レジスタに割り込みに対応した要因ビットが準備されており、割り込み要因を確認することができます。

注) エラーにより送信動作を停止する場合、エラー発生後直ちに出力を停止するため CEC 信号に不正な波形が出力される場合があります。

3.4.4. 送信エラー詳細

3.4.4.1. アービトレーションロスト

スタートビットおよびデータ送信中で"Low"出力していない状態、またはACK応答後、CEC信号に"Low"が検出された場合アービトレーションロストエラーが発生します。

アービトレーションロストが発生すると、 $[CECxTSTAT]$ <CECTIAL>がセットされます。

以下に、アービトレーションロスト検出期間を示します。

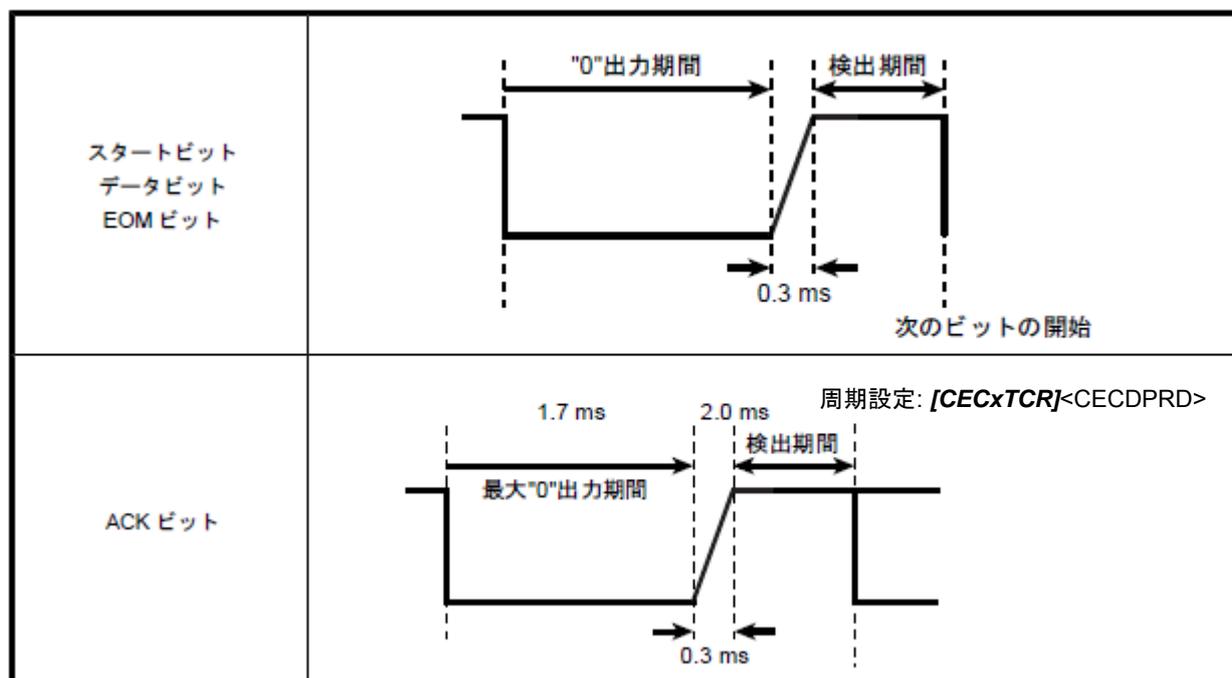


図 3.11 アービトレーションロスト検出期間

3.4.4.2. ACK 違反

[*CECxTCR*]<CEC*BRD*>に従って ACK 応答の内容を確認し違反していると ACK 違反割り込みが発生します。

ACK 違反割り込みが発生すると、[*CECxTSTAT*]<CEC*TIACK*>がセットされます。

ACK 応答の確認は以下のように行います。

表 3.4 ACK応答の確認

設定	確認内容
<CEC <i>BRD</i> > = 0 ブロードキャスト送信でない	ACK 応答が論理"1"のときに ACK 違反
<CEC <i>BRD</i> > = 1 ブロードキャスト送信	ACK 応答が論理"0"のときに ACK 違反

3.4.4.3. 送信バッファアンダラン

送信バッファのデータがシフトレジスタに送られ割り込みが発生した後、1バイト分のデータを送信し、次の1バイトデータの送信開始までに送信バッファにデータが設定されなかった場合、送信バッファのアンダランエラーが発生します。

アンダランエラーが発生すると、[*CECxTSTAT*]<CEC*TIUR*>がセットされます。

3.4.4.4. ACK 違反と送信バッファアンダランの発生順序

1 バイトデータ送信終了時点で ACK 違反と送信バッファアンダランの両方の要因が存在する場合、割り込みは送信バッファアンダラン→ACK 違反の順に発生します。

3.4.5. 送信の停止

送信動作を終了する場合、EOM ビットが"1"のデータを送信することで送信終了割り込みにより終了してください。

送信動作中に送信開始ビットを"0"に設定した場合の動作は保証しません。

3.4.6. 再送信

エラーが検出されると送信動作を停止します。送信をやり直す場合には、あらためて送信条件と送信データを設定し、送信開始の設定を行ってください。

3.5. ソフトウェアリセット

ソフトウェアで CEC 機能全体を初期化することができます。

[CECxRESET]<CECRESET>に"1"をセットすることで以下のように動作します。

- ・受信動作: 直ちに停止。受信データは破棄。
- ・送信動作: 直ちに停止。CEC 信号出力も停止。
- ・レジスタ: **[CECxEN]**レジスタ以外の全てのレジスタを初期化。

送信動作中にソフトウェアリセットを行うと、CEC 信号上の波形は規格を満たさないものになる可能性があるので注意が必要です。

4. レジスタ説明

CEC のレジスタについて説明します。

4.1. レジスタ一覧

CEC のレジスタとアドレスは以下のとおりです

周辺機能		チャンネル/ユニット	ベースアドレス	
			TYPE 1	TYPE 2
CEC 制御回路	CEC	ch0	0x400E6000	0x400E8000

注) 製品によって搭載されるチャンネル/ユニット数、および、ベースアドレスタイプは異なります。詳細はリファレンスマニュアルの「製品個別情報」を参照してください。

レジスタ名		ベースアドレス(Base +)
CEC イネーブルレジスタ	[CECxEN]	0x0000
ロジカルアドレスレジスタ	[CECxADD]	0x0004
ソフトウェアリセットレジスタ	[CECxRESET]	0x0008
受信イネーブルレジスタ	[CECxREN]	0x000C
受信バッファレジスタ	[CECxRBUF]	0x0010
受信コントロールレジスタ 1	[CECxRCR1]	0x0014
受信コントロールレジスタ 2	[CECxRCR2]	0x0018
受信コントロールレジスタ 3	[CECxRCR3]	0x001C
送信イネーブルレジスタ	[CECxTEN]	0x0020
送信バッファレジスタ	[CECxTBUF]	0x0024
送信コントロールレジスタ	[CECxTCR]	0x0028
受信割り込みステータスレジスタ	[CECxRSTAT]	0x002C
送信割り込みステータスレジスタ	[CECxTSTAT]	0x0030
CEC サンプリングクロック選択レジスタ	[CECxFSSEL]	0x0034

4.2. レジスタ詳細

4.2.1. [CECxEN] (CEC イネーブルレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:3	—	0	R	リードすると"0"が読めます。
2	—	0	R/W	"0"をライトしてください。
1	—	0	R/W	"1"をライトしてください。
0	CECEN	0	R/W	CEC 動作 0: 禁止 1: 動作 CEC 機能の動作を制御します。CEC 機能を使用する場合は、まず CEC 動作許可にしてください。動作禁止の状態では、[CECxEN]レジスタを除く CEC 機能の全てのクロックが停止しますので消費電力の低減が可能です。 CEC 機能をいったん動作させた後に、動作禁止にした場合は各レジスタの設定は保持されます。

4.2.2. [CECxADD] (ロジカルアドレスレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:16	—	0	R	リードすると"0"が読めます。
15:0	CECADD[15:0]	0x0000	R/W	ロジカルアドレス 15~0 本デバイスに割り当てるロジカルアドレスを設定します。各ビットはそれぞれアドレスと対応しており、複数のアドレスを設定することが可能です。

注) ブロードキャストメッセージはこのレジスタの設定によらず受信します。また、ロジカルアドレス 15 を設定した場合にはブロードキャストメッセージに対し論理"0"の ACK 応答を行います。

4.2.3. [CECxRESET] (ソフトウェアリセットレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:1	—	0	R	リードすると"0"が読めます。
0	CECRESET	0	W	ソフトウェアリセット 0: 禁止 1: 許可 CEC 機能の全ての動作を停止し、レジスタを初期化します。 このビットをリードすると"0"が読めます。

4.2.4. [CECxREN] (受信イネーブルレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:1	—	0	R	リードすると"0"が読めます。
0	CECREN	0	W	受信制御 0: 禁止 1: 許可 CEC 機能の受信動作を制御します。 このビットをライトすることにより、受信の許可/禁止の設定を行います。"1"をライトすることで受信待ち状態になります。
			R	受信制御モニタ 0: 停止中 1: 動作中 このビットをリードすることで受信回路の状態をモニタすることができます。設定後にリードすることで設定が反映されたかどうかを確認できます。

注1) <CECREN>は、[CECxRCR1], [CECxRCR2], [CECxRCR3]レジスタを設定した後に許可してください。

注2) <CECREN>への設定が実際に回路に反映されるまでには若干の時間を要します。各種設定の変更を行う場合や、禁止にした後再び許可の設定を行う場合には、停止中であることを確認してから行ってください。

4.2.5. [CECxRBUF] (受信バッファレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:10	—	0	R	リードすると"0"が読めます。
9	CECACK	0	R	ACK ビット 受信した ACK ビットが読めます。
8	CECEOM	0	R	EOM ビット 受信した EOM ビットが読めます。
7:0	CECRBUF[7:0]	0x00	R	受信データ 受信した 1 バイト分のデータが読めます。ビット 7 が MSB です。

注) このレジスタは次のデータ受信完了前までに読み出してください。次のデータ受信が完了するとバッファが上書きされます。

4.2.6. [CECxRCR1] (受信コントロールレジスタ 1)

Bit	Bit Symbol	リセット後	Type	機能
31:25	—	0	R	リードすると"0"が読めます。
24	CECACKDIS	0	R/W	ACK 応答制御 0: 論理 0 応答する 1: 論理 0 応答しない デスティネーションアドレスが [CECxADD] レジスタに設定されたアドレスと一致するときに、データブロックに対して論理"0"の ACK 応答をするかどうかを設定します。 (ヘッダブロックに対しては、このビットの設定によらず、アドレスが一致すると論理"0"の ACK 応答を行います。)
23:22	—	0	R	リードすると"0"が読めます。
21:20	CECHNC[1:0]	0	R/W	"High"検出ノイズキャンセル時間 (注 1) 00: なし (fs クロック 1 回観測) 01: 1/fs (fs クロック 2 回連続観測) 10: 2/fs (fs クロック 3 回連続観測) 11: 3/fs (fs クロック 4 回連続観測) "High"を検出する際のノイズキャンセル時間を 1/fs 単位で設定します。 設定されたサイクル数分の"High"が観測されなければノイズとみなします。
19	—	0	R	リードすると"0"が読めます。
18:16	CECLNC[2:0]	000	R/W	"Low"検出ノイズキャンセル時間 (注 1)(注 2) 000: なし (fs クロック 1 回観測) 001: 1/fs (fs クロック 2 回連続観測) 010: 2/fs (fs クロック 3 回連続観測) 011: 3/fs (fs クロック 4 回連続観測) 100: - (Reserved) 101: - (Reserved) 110: - (Reserved) 111: - (Reserved) "Low"を検出する際のノイズキャンセル時間を 1/fs 単位で設定します。 設定されたサイクル数分の"Low"がサンプリングされなければノイズとみなします。
15	—	0	R	リードすると"0"が読めます。
14:12	CECMIN[2:0]	000	R/W	最小周期違反検出時間 000: 67/fs(約 2.045ms) 001: 67/fs + 1/fs 010: 67/fs + 2/fs 011: 67/fs + 3/fs 100: 67/fs - 1/fs 101: 67/fs - 2/fs 110: 67/fs - 3/fs 111: 67/fs - 4/fs 有効なビットとみなす最短の時間を設定します。 67/fs(約 2.045)ms を基準に、1/fs 単位で-4/fs から+3/fs まで設定可能です。 1 ビットの周期が設定より短い場合は割り込みが発生し、CEC 信号へ約 3.63ms 間"Low"を出力します。
11	—	0	R	リードすると"0"が読めます。

10:8	CECMAX[2:0]	000	R/W	<p>最大周期違反検出時間</p> <p>000: 90/fs(約 2.747ms) 001: 90/fs + 1/fs 010: 90/fs + 2/fs 011: 90/fs + 3/fs 100: 90/fs - 1/fs 101: 90/fs - 2/fs 110: 90/fs - 3/fs 111: 90/fs - 4/fs</p> <p>有効なビットとみなす最長の時間を設定します。 90/fs(約 2.747ms)を基準に、1/fs 単位で-4/fs から+3/fs まで設定可能です。 1ビットの周期が設定より長い場合は割り込みが発生します。</p>
7	—	0	R	リードすると"0"が読めます。
6:4	CECDAT[2:0]	000	R/W	<p>データ 0/1 判別タイミング (注 1)</p> <p>000: 34/fs(約 1.038ms) 001: 34/fs + 2/fs 010: 34/fs + 4/fs 011: 34/fs + 6/fs 100: 34/fs - 2/fs 101: 34/fs - 4/fs 110: 34/fs - 6/fs 111: Reserved</p> <p>データの論理"0"/論理"1"判別を行うポイントを設定します。 34/fs(約 1.038 ms)を基準に、2/fs 単位で±6/fs まで設定可能です。</p>
3:2	CECTOUT[1:0]	00	R/W	<p>タイムアウト判定時間</p> <p>00: 1bit 周期 01: 2bit 周期 10: 3bit 周期 11: Reserved</p> <p>タイムアウトとみなす時間を設定します。ビット周期単位で、1ビットから 3ビットまで設定可能です。 <CECRIHLD>が有効な場合のタイムアウト検出にこの設定が使用されます。</p>
1	CECRIHLD	0	R/W	<p>エラー割り込み保留</p> <p>0: 保留しない 1: 保留する</p> <p>受信エラー割り込みを保留するかどうかを設定します。対象となる割り込みは、最大周期違反、バッファオーバーラン、波形エラーです。 この設定が"1"に設定されていると、エラー検出時点では割り込みは発生しません。エラー検出後 ACK ビットまでデータが継続した場合は ACK 応答を通常と反転の論理で行い、後続のビットがいずれかのタイミングで途切れた場合には<CECTOUT>の設定に従ってタイムアウトと判定します。割り込みは ACK 応答後、またはタイムアウト判定後に発生します。</p>
0	CECOTH	0	R/W	<p>ロジカルアドレス不一致時の動作 (注 3)</p> <p>0: 受信しない 1: 受信する</p> <p>デスティネーションアドレスが、[CECxADD]レジスタに設定されたアドレスと異なる場合にもデータの受信を行うかどうかを設定します。</p>

注1) 送信動作でも、ACK 応答の受信の際にノイズキャンセル時間<CECHNC><CECLNC>、データ判別ポイント<CECDAT>の設定が使用されます。

注2) <CECLNC>は、必ず[CECxTCR]<CECDTRS>と同じ設定で使用してください。

注3) ブロードキャストメッセージは、<CECOTH>の設定によらず受信します。

注4) 送受信動作中に設定が変更されると正しく送受信できない可能性があります。設定を変更する場合には、

[CECxREN]<CECREN>で受信禁止の設定を行い、<CECREN>および[CECxTEN]<CECTRANS>をリードして停止中であることを確認後に変更することを推奨します。

4.2.7. [CECxRCR2] (受信コントロールレジスタ 2)

Bit	Bit Symbol	リセット後	Type	機能
31:15	—	0	R	リードすると"0"が読めます。
14:12	CECSWAV3[2:0]	000	R/W	スタートビット検出設定 3 (周期の最大値の条件) 000: 154/fs(約 4.700ms) 001: 154/fs + 1/fs 010: 154/fs + 2/fs 011: 154/fs + 3/fs 100: 154/fs + 4/fs 101: 154/fs + 5/fs 110: 154/fs + 6/fs 111: 154/fs + 7/fs
11	—	0	R	リードすると"0"が読めます。
10:8	CECSWAV2[2:0]	000	R/W	スタートビット検出設定 2 (周期の最小値の条件) 000: 141/fs(約 4.303ms) 001: 141/fs + 1/fs 010: 141/fs + 2/fs 011: 141/fs + 3/fs 100: 141/fs + 4/fs 101: 141/fs + 5/fs 110: 141/fs + 6/fs 111: 141/fs + 7/fs
7	—	0	R	リードすると"0"が読めます。
6:4	CECSWAV1[2:0]	000	R/W	スタートビット検出設定 1 (立ち上がりタイミングの最大値の条件) 000: 128/fs(約 3.906ms) 001: 128/fs + 1/fs 010: 128/fs + 2/fs 011: 128/fs + 3/fs 100: 128/fs + 4/fs 101: 128/fs + 5/fs 110: 128/fs + 6/fs 111: 128/fs + 7/fs
3	—	0	R	リードすると"0"が読めます。
2:0	CECSWAV0[2:0]	000	R/W	スタートビット検出設定 0 (立ち上がりタイミングの最小値の条件) 000: 115/fs(約 3.510ms) 001: 115/fs + 1/fs 010: 115/fs + 2/fs 011: 115/fs + 3/fs 100: 115/fs + 4/fs 101: 115/fs + 5/fs 110: 115/fs + 6/fs 111: 115/fs + 7/fs

注) 受信動作中に設定が変更されると正しく受信できない可能性があります。設定を変更する場合には、[CECxREN]<CECREN>で受信禁止の設定を行い、<CECREN>をリードして停止中であることを確認後に変更することを推奨します。

4.2.8. [CECxRCR3] (受信コントロールレジスタ 3)

Bit	Bit Symbol	リセット後	Type	機能
31:23	—	0	R	リードすると"0"が読めます。
22:20	CECWAV3[2:0]	000	R/W	波形確認設定 3 (注 1) 000: 56/fs(約 1.709ms) 001: 56/fs + 1/fs 010: 56/fs + 2/fs 011: 56/fs + 3/fs 100: 56/fs + 4/fs 101: 56/fs + 5/fs 110: 56/fs + 6/fs 111: 56/fs + 7/fs
19	—	0	R	リードすると"0"が読めます。
18:16	CECWAV2[2:0]	000	R/W	波形確認設定 2 (注 2) 000: 43/fs(約 1.312ms) 001: 43/fs + 1/fs 010: 43/fs + 2/fs 011: 43/fs + 3/fs 100: 43/fs + 4/fs 101: 43/fs + 5/fs 110: 43/fs + 6/fs 111: 43/fs + 7/fs
15	—	0	R	リードすると"0"が読めます。
14:12	CECWAV1[2:0]	000	R/W	波形確認設定 1 (注 3) 000: 26/fs(約 0.793ms) 001: 26/fs + 1/fs 010: 26/fs + 2/fs 011: 26/fs + 3/fs 100: 26/fs + 4/fs 101: 26/fs + 5/fs 110: 26/fs + 6/fs 111: 26/fs + 7/fs
11	—	0	R	リードすると"0"が読めます。
10:8	CECWAV0[2:0]	000	R/W	波形確認設定 0 (注 4) 000: 13/fs(約 0.396ms) 001: 13/fs + 1/fs 010: 13/fs + 2/fs 011: 13/fs + 3/fs 100: 13/fs + 4/fs 101: 13/fs + 5/fs 110: 13/fs + 6/fs 111: 13/fs + 7/fs
7:2	—	0	R	リードすると"0"が読めます。
1	CECRSTAEN	0	R/W	スタートビット割り込み検出 0: 禁止 1: 許可 スタートビットの受信で割り込みを発生させるかどうかを設定します。
0	CECWAVEN	0	R/W	波形エラー検出 0: 禁止 1: 許可 受信データ波形が規格から外れたことを検出し、波形エラー割り込みを発生します。 許可の設定の場合、<CECWAV0><CECWAV1> <CECWAV2> <CECWAV3>の設定に従って波形エラーの検出を行います。

- 注1) <CECWAV3>: <CECWAVEN>が"1"に設定されている場合に有効になります。
論理"0"波形の立ち上がりタイミングより遅い場合にエラー検出を行うための設定です。
ビットのスタートポイントから<CECWAV3>の設定値までに立ち上がりが検出されなければエラーとなります。
- 注2) <CECWAV2>: <CECWAVEN>が"1"に設定されている場合に有効になります。
- 注3) <CECWAV1>: 論理"1"波形の立ち上がりタイミングより遅く、論理"0"波形の立ち上がりタイミングより早い場合にエラー検出を行うための設定です。
<CECWAV2>と<CECWAV1>の設定値の間に立ち上がりを検出するとエラーとなります。
- 注4) <CECWAV0>: <CECWAVEN>が"1"に設定されている場合に有効になります。
論理"1"波形の立ち上がりタイミングより早い場合にエラー検出を行うための設定です。
ビットのスタートポイントから<CECWAV0>設定値の間に立ち上がりを検出するとエラーとなります。
- 注5) 受信動作中に設定が変更されると正しく受信できない可能性があります。設定を変更する場合には、**[CECxREN]**<CECREN>で受信禁止の設定を行い、<CECREN>をリードして停止中であることを確認後に変更することを推奨します。

4.2.9. [CECxTEN] (送信イネーブルレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:2	—	0	R	リードすると"0"が読めます。
1	CECTRANS	0	R	送信ステータス 0: 送信していない 1: 送信中 送信中かどうかを示します。 スタートビットの送信を開始すると"1"になり、送信終了割り込みまたはエラー割り込み発生で"0"になります。
0	CECTEN	0	W	送信制御 0: 禁止 1: 許可 CEC 機能の送信動作を制御します。 このビットをライトすることにより送信の開始/禁止の設定を行います。"1"をライトすることで送信動作を開始します。送信終了割り込みまたはエラー割り込み発生で自動的に"0"にクリアされます。
			R	送信制御モニタ 0: 停止中 1: 動作中 このビットをリードすることで送信回路の状態をモニタすることができます。設定後にリードすることで設定が反映されたかどうかを確認できます。

- 注1) <CECTEN>は、**[CECxTBUF]**、**[CECxTCR]**レジスタを設定した後に開始の設定をしてください。
- 注2) 各種設定の変更を行う場合や、禁止にした後再び許可の設定を行う場合には、停止中であることを確認してから行ってください。

4.2.10. [CECxTBUF] (送信バッファレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:9	—	0	R	リードすると"0"が読めます。
8	CECTEOM	0	R/W	EOM ビット 送信する EOM ビットを設定します。
7:0	CECTBUF[7:0]	0x00	R/W	送信データ 送信する 1 バイト分のデータを設定します。ビット 7 が MSB です。

4.2.11. [CECxTCR] (送信コントロールレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:23	—	0	R	リードすると"0"が読めます。
22:20	CECSTRS[2:0]	000	R/W	スタートビット波形立ち上がり時間調整 000: 121/fs 001: 121/fs - 1/fs 010: 121/fs - 2/fs 011: 121/fs - 3/fs 100: 121/fs - 4/fs 101: 121/fs - 5/fs 110: 121/fs - 6/fs 111: 121/fs - 7/fs
19	—	0	R	リードすると"0"が読めます。
18:16	CECSPRD[2:0]	000	R/W	スタートビット波形周期時間調整 000: 147/fs 001: 147/fs - 1/fs 010: 147/fs - 2/fs 011: 147/fs - 3/fs 100: 147/fs - 4/fs 101: 147/fs - 5/fs 110: 147/fs - 6/fs 111: 147/fs - 7/fs
15	—	0	R	リードすると"0"が読めます。
14:12	CECDTRS[2:0]	000	R/W	データ波形立ち上がり時間調整 (注) 論理"0" 論理"1" 000: 49/fs 20/fs 001: 49/fs - 1/fs 49/fs - 1/fs 010: 49/fs - 2/fs 49/fs - 2/fs 011: 49/fs - 3/fs 49/fs - 3/fs 100: Reserved Reserved 101: Reserved Reserved 110: Reserved Reserved 111: Reserved Reserved
11:8	CECDPRD[3:0]	0000	R/W	データ波形周期時間調整 0000: 79/fs 1000: 79/fs - 8/fs 0001: 79/fs - 1/fs 1001: 79/fs - 9/fs 0010: 79/fs - 2/fs 1010: 79/fs - 10/fs 0011: 79/fs - 3/fs 1011: 79/fs - 11/fs 0100: 79/fs - 4/fs 1100: 79/fs - 12/fs 0101: 79/fs - 5/fs 1101: 79/fs - 13/fs 0110: 79/fs - 6/fs 1110: 79/fs - 14/fs 0111: 79/fs - 7/fs 1111: 79/fs - 15/fs
7:5	—	0	R	リードすると"0"が読めます。

4	CECBRD	0	R/W	<p>ブロードキャスト送信設定 0: ブロードキャスト送信でない 1: ブロードキャスト送信</p> <p>ブロードキャストメッセージの送信を行う場合、このビットを"1"に設定します。</p>																
3:0	CECFREE[3:0]	0000	R/W	<p>バスフリー待ち時間設定</p> <table border="0"> <tr> <td>0000: 1bit 周期</td> <td>1000: 9bit 周期</td> </tr> <tr> <td>0001: 2bit 周期</td> <td>1001: 10bit 周期</td> </tr> <tr> <td>0010: 3bit 周期</td> <td>1010: 11bit 周期</td> </tr> <tr> <td>0011: 4bit 周期</td> <td>1011: 12bit 周期</td> </tr> <tr> <td>0100: 5bit 周期</td> <td>1100: 13bit 周期</td> </tr> <tr> <td>0101: 6bit 周期</td> <td>1101: 14bit 周期</td> </tr> <tr> <td>0110: 7bit 周期</td> <td>1110: 15bit 周期</td> </tr> <tr> <td>0111: 8bit 周期</td> <td>1111: 16bit 周期</td> </tr> </table> <p>送信開始前に確認するバスフリー時間の設定を行います。 設定されたビット周期分の CEC ラインが稼働されないことを確認し、送信を開始します。</p>	0000: 1bit 周期	1000: 9bit 周期	0001: 2bit 周期	1001: 10bit 周期	0010: 3bit 周期	1010: 11bit 周期	0011: 4bit 周期	1011: 12bit 周期	0100: 5bit 周期	1100: 13bit 周期	0101: 6bit 周期	1101: 14bit 周期	0110: 7bit 周期	1110: 15bit 周期	0111: 8bit 周期	1111: 16bit 周期
0000: 1bit 周期	1000: 9bit 周期																			
0001: 2bit 周期	1001: 10bit 周期																			
0010: 3bit 周期	1010: 11bit 周期																			
0011: 4bit 周期	1011: 12bit 周期																			
0100: 5bit 周期	1100: 13bit 周期																			
0101: 6bit 周期	1101: 14bit 周期																			
0110: 7bit 周期	1110: 15bit 周期																			
0111: 8bit 周期	1111: 16bit 周期																			

注) <CECDTRS>は必ず"Low"検出ノイズキャンセル時間[CECxRCRI]<CECLNC>と同じ設定で使用してください。

4.2.12. [CECxRSTAT] (受信割り込みステータスレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:7	—	0	R	リードすると"0"が読めます。
6	CECRIWAV	0	R	割り込みフラグ 0: 波形エラー割り込みは発生していない 1: 波形エラー割り込みが発生 波形エラーが発生したことを示します。 [CECxRRCR3]<CECWAVEN>で許可の設定をしている場合に発生します。
5	CECRIOR	0	R	割り込みフラグ 0: 受信バッファオーバーランは発生していない 1: 受信バッファオーバーランが発生 受信バッファにデータがセットされた後、読み出される前に次のデータを受信したことを示します。
4	CECRIACK	0	R	割り込みフラグ 0: ACK 衝突は発生していない 1: ACK 衝突が発生 ACKビットで"0"出力期間後に"0"が観測されたことを示します。
3	CECRIMIN	0	R	割り込みフラグ 0: 最小周期違反は発生していない 1: 最小周期違反が発生 1 ビットの周期が、最小周期違反検出時間として [CECxRRCR1]<CECMIN>に設定された時間より短かったことを示します。
2	CECRIMAX	0	R	割り込みフラグ 0: 最大周期違反は発生していない 1: 最大周期違反が発生 1 ビットの周期が、最大周期違反検出時間として [CECxRRCR1]<CECMAX>に設定された時間より長かったことを示します。
1	CECRISTA	0	R	割り込みフラグ 0: スタートビットは検出していない 1: スタートビットを検出した スタートビットが検出されたことを示します。
0	CECRIEND	0	R	割り込みフラグ 0: 1 バイト受信完了していない 1: 1 バイト受信完了した 1 バイト分のデータの受信が完了したことを示します。

4.2.13. [CECxTSTAT] (送信割り込みステータスレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:5	—	0	R	リードすると"0"が読めます。
4	CECTIUR	0	R	割り込みフラグ 0: 送信バッファアンダランは発生していない 1: 送信バッファアンダランが発生 1 バイトの送信開始から終了までの間に送信バッファに次のデータがセットされなかったことを示します。
3	CECTIACK	0	R	割り込みフラグ 0: ACK エラーは検出していない 1: ACK エラーを検出 ACK 送信で、以下の状態が発生したことを示します。 ・特定のアドレスを設定した送信で論理"0"が検出されなかった場合。 ・ブロードキャストメッセージの送信で、論理"1"が検出されなかった場合。
2	CECTIAL	0	R	割り込みフラグ 0: アービトレーションロストは発生していない 1: アービトレーションロストが発生 "High"を出力中に"Low"を検出したことを示します。
1	CECTIEND	0	R	割り込みフラグ 0: 全メッセージの送信を終了していない 1: 全メッセージの送信終了 EOM 付きのデータの送信が終了したことを示します。
0	CECTISTA	0	R	割り込みフラグ 0: 送信を開始していない 1: 送信開始 1 バイトデータの送信を開始したことを示します。

4.2.14. [CECxFSSEL](CEC サンプリングクロック選択レジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:1	—	0	R	リードすると"0"が読めます。
0	CECLK	0	R/W	<p>サンプリングクロック選択 0: 低速クロック(fs) 1: CECxCLKTRG</p> <p>CEC 機能のサンプリングクロックを設定します。 CEC 機能のサンプリングクロックとして、低速クロック(fs)かクロックソース用タイマトリガ(CECxCLKTRG)を選択することが可能です。使用できるタイマ出力については、リファレンスマニュアルの「製品個別情報」を参照してください。 CECxCLKTRG の設定ができるタイマ出力範囲は 30kHz~34kHz です。</p>

注) サンプリングクロックを切り替える場合は、送受信動作の停止状態を確認し他の CEC 関連レジスタよりも先に [CECxFSSEL]レジスタを設定してください。また、[CECxRESET]レジスタによるソフトウェアリセット後、サンプリングクロックを切り替える場合も同様に、他の CEC 関連レジスタよりも先に[CECxFSSEL]レジスタを設定してください。

5. 使用上のご注意およびお願い事項

- ・ロジカルアドレス不一致で受信する設定($[CECxRCRI] < CECOTH = 1$)の場合、送信側が EOM ビット "1" のブロックを送信しないで新たにメッセージをスタートビットから送信すると、ACK ビットが最大周期違反と判定され割り込みが発生します。その後の受信は通常通り行われます。

6. 改訂履歴

表 6.1 改訂履歴

Revision	Date	Description
1.0	2017-12-08	新規
1.1	2018-07-30	<p>共通修正: 信号名 "TBxOUT" -> "CECxCLKTRG" 序章 修正: "関連するリファレンスマニュアル" -> "関連するドキュメント"</p> <p>3.3.2.3. 周期判定 修正: "3.3.2.3. 周期判定時間" -> "3.3.2.3. 周期違反"</p> <p>3.3.2.5. ACK 応答 修正: "[CECxRCR1]<CECACKDIS>で-----設定することができます。" -> "データブロックに対しては、[CECxRCR1]<CECACKDIS> --- 設定することができます。"</p> <p>3.3.2.9. スタートビット検出の設定 修正: "[CECxRCR2]レジスタでスタートビット検出の条件を設定することができます。" -> "スタートビット検出の条件を[CECxRCR2]レジスタで設定します。"</p> <p>3.3.2.10. 波形エラー検出の設定 修正: 図 3.6 のレジスタ名及びシンボル名。</p> <p>3.3.3. 受信許可 修正: 表 3.3 の "(波形エラー有効の場合)" -> "(<CECWAVEN>=1)"</p> <p>4.2.8. [CECxRCR3] (受信コントロールレジスタ 3) 修正: CECRSTAEN の欄 "受信時のスタートビット割り込み許可" -> "スタートビット割り込み検出"</p> <p>4.2.9. [CECxTEN] (送信イネーブルレジスタ) 修正: CECTRANS の欄 "送信中" -> "送信ステータス" 削除: CECTRANS の欄 "このビットに対する書き込み動作は無視されます。" 削除: 注 2) の "<CECTEN>への設定が実際に回路に反映されるまでには若干の時間を要します。"</p> <p>4.2.11. [CECxTCR] (送信コントロールレジスタ) CECSTRS[2:0]の欄 修正: "基準値" -> "121/fs"、削除: 説明文 CECSPRD[2:0]の欄 修正: "基準値" -> "147/fs"、削除: 説明文 CECDTRS[2:0]の欄 修正: 論理"0"と論理"1"の条件を追記。削除: 説明文 CECDPRD[3:0]の欄 修正: "基準値" -> "79/fs"、削除: 説明文</p>

製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、電力機器、金融関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口までお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。