

32 ビット RISC マイクロコントローラ

TXZ ファミリ

**リファレンスマニュアル
高速 DMA コントローラ
(HDMAC-A)**

Revision 2.1

2019-02

東芝デバイス&ストレージ株式会社

目次

序章	5
関連するドキュメント	5
表記規約	6
用語・略語	8
1. 概要	9
2. 構成	10
3. 機能説明・動作説明	11
3.1. クロック供給	11
3.2. HDMAC の動作設定	11
3.3. 転送タイプ	11
3.4. 転送チャンネル	12
3.4.1. 転送チャンネルの動作許可	12
3.4.2. 転送チャンネルの動作禁止	12
3.4.3. 転送チャンネルの状態	12
3.4.4. 転送チャンネルの優先順位	12
3.5. 転送要求	13
3.5.1. 転送要求の発生	13
3.5.2. 転送要求の種類	13
3.5.3. 転送要求の受付許可	13
3.5.4. 転送チャンネルごとの要求チャンネルの設定	13
3.6. 転送動作	14
3.6.1. 転送チャンネルごとの転送設定	14
3.6.2. 転送設定例	15
3.6.3. 転送動作フロー	16
3.6.4. ロック制御	17
3.7. 割り込み	18
3.7.1. 転送終了割り込み	18
3.7.2. エラー割り込み	18
3.7.3. 割り込みステータス	18
3.7.4. 割り込みのクリア	18
3.8. チェーン転送	20
3.8.1. リンクリスト(LLI)の設定	20
3.8.2. 割り込み動作	20
3.8.3. チェーン転送の動作例	21
4. レジスタ説明	22
4.1. レジスタ一覧	22
4.2. レジスタ詳細	23
4.2.1. [DMACxIntStatus] (割り込みステータスレジスタ)	23

4.2.2. [DMACxIntTCStatus] (転送終了割り込みステータスレジスタ)	23
4.2.3. [DMACxIntTCClear] (転送終了割り込みクリアレジスタ).....	23
4.2.4. [DMACxIntErrorStatus] (エラー割り込みステータスレジスタ).....	24
4.2.5. [DMACxIntErrClr] (エラー割り込みクリアレジスタ)	24
4.2.6. [DMACxRawIntTCStatus] (マスク前転送終了割り込みステータスレジスタ).....	25
4.2.7. [DMACxRawIntErrorStatus] (マスク前エラー割り込みステータスレジスタ).....	25
4.2.8. [DMACxEnbldChns] (チャンネルイネーブルレジスタ).....	26
4.2.9. [DMACxSoftBReq] (ソフトウェアバースト転送要求レジスタ)	26
4.2.10. [DMACxSoftSReq] (ソフトウェアシングル転送要求レジスタ)	27
4.2.11. [DMACxConfiguration] (コンフィグレーションレジスタ)	28
4.2.12. [DMACxCnSrcAddr] (チャンネル n 転送元アドレスレジスタ) (n=0,1)	28
4.2.13. [DMACxCnDestAddr] (チャンネル n 転送先アドレスレジスタ) (n=0,1)	28
4.2.14. [DMACxCnLLI] (チャンネル n リンクリストレジスタ) (n=0,1).....	29
4.2.15. [DMACxCnControl] (チャンネル n コントロールレジスタ) (n=0,1)	29
4.2.16. [DMACxCnConfiguration] (チャンネル n コンフィグレーションレジスタ) (n=0,1)	31
5. 改訂履歴.....	32
製品取り扱い上のお願い.....	33

図目次

図 2.1	HDMAC のブロック図 (ユニット共通).....	10
図 3.1	割り込みの構成.....	19
図 3.2	チェーン転送	21

表目次

表 1.1	HDMAC 概要 (1 ユニットあたり).....	9
表 2.1	信号一覧表.....	10
表 3.1	転送タイプ.....	11
表 3.2	転送元ビット幅とアドレス設定	14
表 3.3	転送先ビット幅とアドレス設定	14
表 3.4	割り込みステータスの確認レジスタ	18
表 5.1	改訂履歴.....	32

序章

関連するドキュメント

文書名
クロック制御と動作モード
例外
製品個別情報

表記規約

- 数値表記は以下の規則に従います。
 - 16 進数表記: 0xABC
 - 10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
 - 2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は [m:n] とまとめて表記する場合があります。
例: S[3: 0] は S3, S2, S1, S0 の 4 つの信号名をまとめて表記しています。
- 本文中 [] で囲まれたものはレジスタを定義しています。
例: [ABCD]
- 同種で複数のレジスタ、フィールド、ビット名は「n」で一括表記する場合があります。
例: [XYZ1], [XYZ2], [XYZ3] → [XYZn]
- 「レジスタ一覧」中のレジスタ名でユニットまたはチャンネルは「x」で一括表記しています。
ユニットの場合、「x」は A, B, C... を表します。
例: [ADACR0], [ADBCR0], [ADCCR0] → [ADxCR0]
チャンネルの場合、「x」は 0, 1, 2, ... を表します。
例: [T32A0RUNA], [T32A1RUNA], [T32A2RUNA] → [T32AxRUNA]
- レジスタのビット範囲は [m:n] と表記します。
例: [3: 0] はビット 3 から 0 の範囲を表します。
- レジスタの設定値は 16 進数または 2 進数のどちらかで表記されています。
例: [ABCD]<EFG> = 0x01 (16 進数)、[XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
 - バイト: 8 ビット
 - ハーフワード: 16 ビット
 - ワード: 32 ビット
 - ダブルワード: 64 ビット
- レジスタ内の各ビットの属性は以下の表記を使用しています。
 - R: リードオンリー
 - W: ライトオンリー
 - R/W: リード / ライト
- 断りのない限り、レジスタアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスタは書き換えを行わないでください。
また、読み出した値を使用しないでください。
- Default 値が「—」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスタに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- ライトオンリーのレジスタの Reserved ビットフィールドには Default 値を書き込んでください。
Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスタへのリードモディファイライト処理は行わないでください。

Arm, Cortex および Thumb は Arm Limited(またはその子会社)の US またはその他の国における登録商標です。 All rights reserved.



FLASH メモリについては、米国 SST 社 (Silicon Storage Technology, Inc.) からライセンスを受けた Super Flash®技術を使用しています。Super Flash®は SST 社の登録商標です。

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

DMA	Direct Memory Access
DMAC	Direct Memory Access Controller
HDMAC	High speed Direct Memory Access Controller
LLI	Linked List Item
AHB	Advanced High-performance Bus

1. 概要

1 ユニットあたりの HDMAC の主な機能を以下に説明します。

表 1.1 HDMAC概要 (1ユニットあたり)

機能分類	機能	動作説明
転送要求	周辺機能	周辺機能からの転送要求 (シングル転送要求/バースト転送要求)
	ソフトウェア	ソフトウェアによる転送要求 (シングル転送要求/バースト転送要求)
	要求チャンネル	16 チャンネル (周辺機能からの転送要求数)
転送種類	シングル転送	データ転送を 1 回実行
	バースト転送	データ転送を 1 回または複数回実行 バーストサイズ 1, 4, 8, 16, 32, 64, 128, 256 ビット ロック転送設定により、バスを解放せず指定バースト数を連続転送可能
	チェーン転送	リンクリスト(LLI)の設定に従った不連続アドレスの連続転送動作が可能
転送タイプ	転送元 → 転送先	周辺機能(レジスタ) → メモリ 周辺機能(レジスタ) → 周辺機能(レジスタ) メモリ → 周辺機能(レジスタ) メモリ → メモリ (ソフトウェアによる起動のみ)
転送制御	転送チャンネル	2 チャンネル (ch 0, ch 1)
	転送アドレス	転送元と転送先のアドレスを設定 転送元、転送先のアドレスをインクリメントするか固定するかを選択可能
	転送データサイズ	8 ビット、16 ビット、32 ビット 転送元と転送先で別々のサイズを設定可能
	優先順位	ch 0 > ch 1 (ユニット内で固定) ユニット A > ユニット B (搭載されるユニットは、「製品個別情報」を参照)
	FIFO	4 ワード x 2ch (1 ワード = 32 ビット)
転送回数	転送回数	最大 4095 回 LLIを使用することにより無限回の転送も可能
エンディアン	リトルエンディアン	—
割り込み機能	転送終了割り込み	転送が終了すると、転送終了割り込みを発生 (INTHDMACxTC)
	エラー割り込み	転送中にバスエラーやメモリプロテクションエラーを検知すると、エラー割り込みを発生 (INTHDMACxERR)

2. 構成

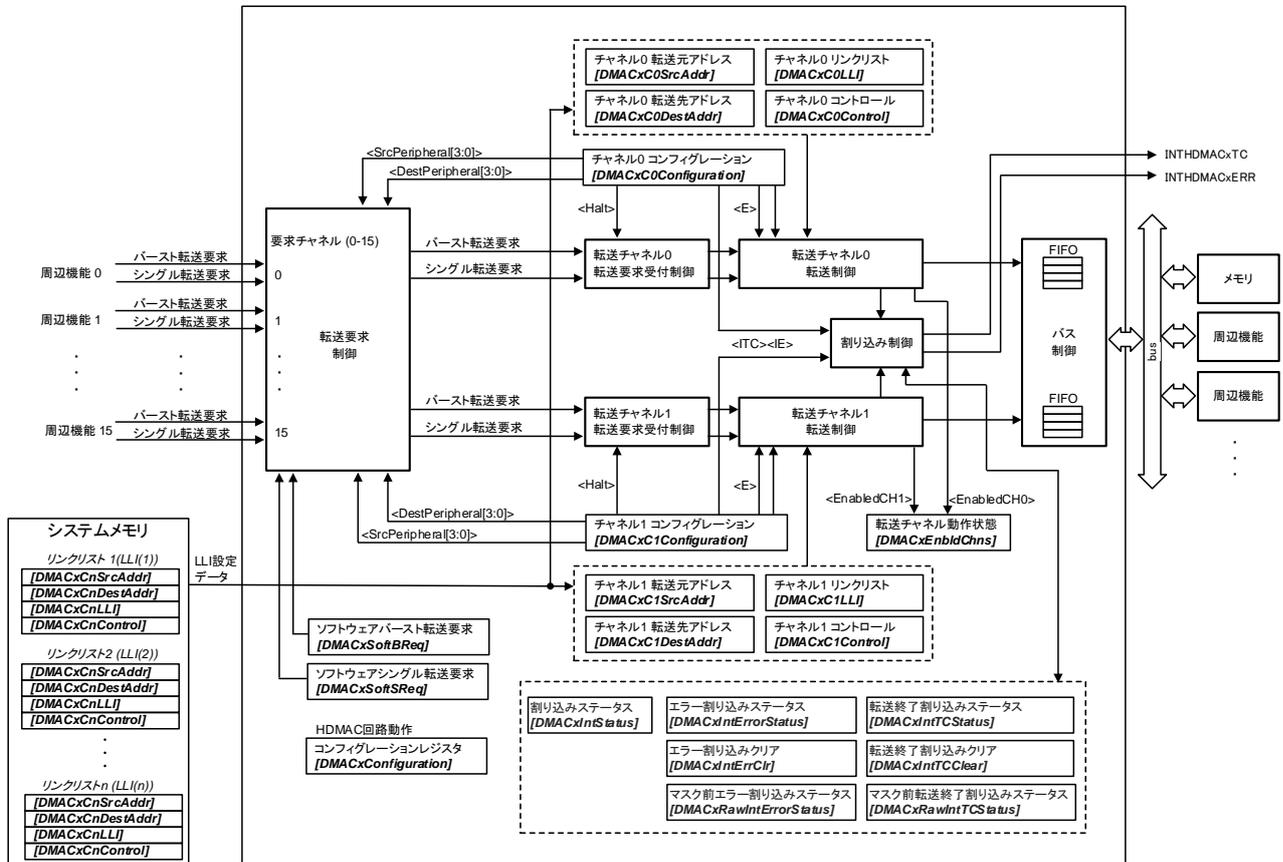


図 2.1 HDMACのブロック図 (ユニット共通)

表 2.1 信号一覧表

No.	信号名	信号名称	I/O	参照リファレンスマニュアル
1	—	バースト転送要求 (要求チャネル 0~15)	入力	製品個別情報
2	—	シングル転送要求 (要求チャネル 0~15)	入力	製品個別情報
3	INTHDMAcxTC	転送終了割り込み	出力	例外
4	INTHDMAcxERR	エラー割り込み	出力	例外
5	—	LLI 設定データ	入力	このマニュアル

3. 機能説明・動作説明

高速 DMA コントローラ(HDMAC)は、DMAC レジスタ、および、リンクリスト(LLI)によって転送動作を制御します。LLI はメモリ上に配置しますが、そのデータの構造については「3.8 チェーン転送」を参照してください。

3.1. クロック供給

HDMAC を使用する場合は、f_{sys} 供給停止レジスタ A (*[CGFSYSENA]*、*[CGFSYSMENA]*)、f_{sys} 供給停止レジスタ B (*[CGFSYSENB]*、*[CGFSYSMENB]*)、fc 供給停止レジスタ (*[CGFCEN]*)で該当するクロックイネーブルビットを"1" (クロック供給) に設定してください。該当レジスタ、ビット位置は製品によって異なります。そのため、製品によってレジスタが存在しない場合があります。詳細はリファレンスマニュアルの "クロック制御と動作モード"を参照してください。

3.2. HDMAC の動作設定

*[DMACxConfiguration]<E>*を"1"とすることで、HDMAC 回路の動作が許可され、*[DMACxConfiguration]*以外のレジスタへのアクセスが可能となります。

HDMAC 回路の動作を禁止にする場合は、*[DMACxEnblChns]<EnabledCH1><EnabledCH0>*で、全ての転送チャンネルが無効であること(転送動作中ではない)を確認した後、*[DMACxConfiguration]<E>*を"0"にしてください。

3.3. 転送タイプ

HDMAC は 4 つの転送タイプを選択して転送を行います。
転送タイプは*[DMACxCnConfiguration]<FlowCntrl[2:0]>*により設定します。

表 3.1 転送タイプ

転送タイプ	転送要求元	要求種類	説明		
メモリ→メモリ (注 1)(注 2)	ソフトウェア	—	転送チャンネルの動作を許可すると転送が開始されます。		
メモリ→周辺機能 (注 2)	周辺機能(転送先)	バースト転送要求	ワード転送の場合、バーストサイズを 1 に設定してください。		
周辺機能→メモリ	周辺機能(転送元)	バースト転送要求 シングル転送要求	転送サイズがバーストサイズの整数倍でないときは、バースト転送とシングル転送の両方を使用します。 転送サイズ ≥ バーストサイズ : バースト転送 転送サイズ < バーストサイズ : シングル転送		
周辺機能 →周辺機能	周辺機能(転送元)	バースト転送要求 シングル転送要求	起動要求元		
			転送サイズ	転送元	転送先
	バーストサイズの整数倍	バースト転送要求	バースト 転送要求		
	バーストサイズの非整数倍	バースト転送要求 シングル転送要求			
周辺機能(転送先)	バースト転送要求	シングル転送	シングル転送要求		

注1) 「メモリ→メモリ」で多くのデータを転送する場合、優先度の低い転送チャンネルを使うことを推奨します。優先度の高い転送チャンネルを使用すると、その転送が終了するまで、優先度の低い転送チャンネルの転送を開始することができません。

注2) フラッシュメモリ上のROMデータにアクセスする場合、ミラー領域からアクセスしてください。

3.4. 転送チャネル

HDMAC は転送チャネルを 2 チャネル(ch 0, ch 1)使用することができます。

3.4.1. 転送チャネルの動作許可

転送チャネルの動作を許可するには、使用したいチャネルレジスタの *[DMACx Cn Configuration]<E>* を "1" にします。転送チャネルの動作が許可されると転送要求待ちとなります。

なお、転送チャネルの動作を許可する前にチャネルの各レジスタ (*[DMACx Cn Src Addr]*、*[DMACx Cn Dest Addr]*、*[DMACx Cn LLI]*、*[DMACx Cn Control]*、*[DMACx Cn Configuration]*) を設定しておく必要があります。

3.4.2. 転送チャネルの動作禁止

転送チャネルの動作が禁止となるのは、以下 2 通りの場合があります。

- 1) *[DMACx Cn Configuration]<E>* を "0" とすると、その時点で進行中の転送動作は終了し、転送チャネルの動作は禁止となります。この場合、FIFO 内のデータは失われます。
- 2) 設定された転送動作が終了すると、転送チャネルは自動的に動作禁止となります。

3.4.3. 転送チャネルの状態

転送チャネルの動作が許可されると、*[DMACx Enbld Chns]<EnabledCH1><EnabledCH0>* の該当ビットが "1" となり、転送動作が終了すると "0" となります。

また、転送動作が終了すると *[DMACx Cn Configuration]<E>* は "0" となります。

3.4.4. 転送チャネルの優先順位

チャネル間の優先順位は、ch 0 > ch 1 となります。2 つのチャネルで転送要求が同時に発生すると ch 0 の転送が優先処理されます。

3.5. 転送要求

転送要求が発生すると指定された転送チャンネルによる転送が開始されます。転送要求は、要求チャンネル0~15の最大16チャンネル分を使用することができ、各要求チャンネルには周辺機能からの転送要求信号(バースト転送要求、シングル転送要求)が接続されます。周辺機能と要求チャンネルの接続については、リファレンスマニュアルの "製品個別情報"を参照してください。

3.5.1. 転送要求の発生

- 1) 周辺機能による転送要求
周辺機能で発生され、接続されている要求チャンネルの転送要求となります。
- 2) ソフトウェアによる転送要求
[DMACxSoftBReq]、*[DMACxSoftSReq]*の該当する要求チャンネルのビットを"1"にすると転送要求が発生します。リードすることで各要求の発生状況を確認できます。

3.5.2. 転送要求の種類

転送要求には下記の2種類があります。

- 1) シングル転送要求
1回のデータ転送動作を実施した後、次の転送要求を待ちます。
- 2) バースト転送要求
指定されたバーストサイズ分の転送動作を実施した後、次の転送要求を待ちます。

3.5.3. 転送要求の受付許可

*[DMACxCnConfiguration]<E>*を"1"(転送チャンネル動作を許可)にすると同時に *[DMACxCnConfiguration]<Halt>*を"0"とすることで転送チャンネルごとに転送要求の受付が許可されます。

3.5.4. 転送チャンネルごとの要求チャンネルの設定

転送チャンネルごとに受け付ける転送元と転送先の要求チャンネルを*[DMACxCnConfiguration]*の *<SrcPeripheral[3:0]>*と*<DestPeripheral[3:0]>*に設定します。設定された要求チャンネルの転送要求が発生すると転送動作が開始されます。転送元、転送先がメモリの場合は、これらの設定は無視されます。

例：*[DMACxC0Configuration]<FlowCntrl[2:0]>=010*(周辺機能→メモリ)、
[DMACxC0Configuration]<SrcPeripheral[3:0]>=0011(要求チャンネル3)、
<DestPeripheral[3:0]>=0100(要求チャンネル4)と設定した場合、要求チャンネル3に接続されている周辺機能からの転送要求が発生すると転送動作が開始されます。

3.6. 転送動作

周辺機能やソフトウェアによる転送要求が発生すると、その転送要求の種類(シングル転送要求、バースト転送要求)に従った転送動作が転送チャンネルごとに行われます。転送動作の設定は転送チャンネルごとに行います。

3.6.1. 転送チャンネルごとの転送設定

- 転送元アドレス

`[DMACxCnSrcAddr]<SrcAddr[31:0]>`に転送元の周辺機能やメモリのアドレスを設定します。
`[DMACxCnControl]<SI>`で転送元アドレスを固定しておくか、転送ごとにインクリメントするかを選択できます。

転送元のデータビット幅により設定できる最下位アドレスは表 3.2 を参照してください。

表 3.2 転送元ビット幅とアドレス設定

転送元のビット幅 <code>[DMACxCnControl]<Swidth[2:0]></code>	最下位アドレスの設定
000: バイト(8 ビット)	0x0,0x1,0x2,0x3,0x4 . . .
001: ハーフワード(16 ビット)	2 の倍数(0x0,0x2,0x4,0x6,0x8,0xA,0xC,0xE . . .)になるよう設定
010: ワード(32 ビット)	4 の倍数(0x0,0x4,0x8,0xC . . .)になるよう設定

- 転送先アドレス

`[DMACxCnDestAddr]<DestAddr[31:0]>`に転送先の周辺機能やメモリのアドレスを設定します。
`[DMACxCnControl]<DI>`で転送先アドレスを固定しておくか、転送ごとにインクリメントするかを選択できます。

転送先のデータビット幅により設定できる最下位アドレスは表 3.3 を参照してください。

表 3.3 転送先ビット幅とアドレス設定

転送先のビット幅 <code>[DMACxCnControl]<Dwidth[2:0]></code>	最下位アドレスの設定
000: バイト(8 ビット)	0x0,0x1,0x2,0x3,0x4 . . .
001: ハーフワード(16 ビット)	2 の倍数(0x0,0x2,0x4,0x6,0x8,0xA,0xC,0xE . . .)になるよう設定
010: ワード(32 ビット)	4 の倍数(0x0,0x4,0x8,0xC . . .)になるよう設定

- リンクリスト(LLI)アドレス

チェーン転送機能を使用する場合、`[DMACxCnLLI]<LLI[31:0]>`に LLI のアドレスを設定します。チェーン転送機能を使用しない場合は"0"を設定してください。チェーン転送機能については、"3.8 チェーン転送" を参照してください。

- ビット幅

`[DMACxCnControl]<Dwidth[2:0]><Swidth[2:0]>`に転送先、転送元のデータビット幅を設定します。バイト(8 ビット)、ハーフワード(16 ビット)、ワード(32 ビット)を転送先と転送元で異なる設定が可能です。
ただし、転送元のデータビット幅 × 転送回数 = 転送先のデータビット幅 × 整数 となるように設定してください。

- バーストサイズ

`[DMACxCnControl]<DBSize[2:0]><SBSIZE[2:0]>`に転送先、転送元のバーストサイズを設定します。

バーストサイズは、バースト転送要求が発生したときに転送されるデータ量です。

- 総転送回数

`[DMACxControl]<TransferSize[11:0]>`に転送元のデータビット幅の単位で転送したい総回数を設定します。

なお、どんなバーストサイズに設定しても、転送元のデータビット幅と総転送回数を変えない限り、転送される総データ量は変化しません。

3.6.2. 転送設定例

(例 1)

転送元ビット幅:8 ビット、転送先ビット幅:32 ビット、総転送回数:25 回の場合

$8 \text{ ビット} \times 25 \text{ 回} = 200 \text{ ビット (25 バイト)}$

$N = 200 \div 32 = 6.25 \text{ ワード}$

N が整数ではないため、この設定は出来ません。

(例 2)

転送元ビット幅:32 ビット、転送先ビット幅:16 ビット、総転送回数:13 回の場合

$32 \text{ ビット} \times 13 \text{ 回} = 416 \text{ ビット (13 ワード)}$

$N = 416 \div 16 = 26 \text{ ハーフワード}$

N は整数のため、この設定は問題ありません。

3.6.3. 転送動作フロー

転送タイプ別の転送動作フローの概略を示します。なお、各フローの実施前に割り込みのクリアやチャンネルごとの各種転送設定などをしておく必要があります。また、転送が終了した後の転送終了割り込みは発生させない設定も可能です。

フロー実施前の準備

- 優先度を考慮して使用する転送チャンネルを選択 (ch 0 > ch 1)
- 使用する転送チャンネルの割り込みをクリア ([DMACxIntTCClear]、[DMACxIntErrClr])
- 転送チャンネルごとの各種転送設定 ("3.6.1 転送チャンネルごとの転送設定")

1) メモリ → メモリ

転送チャンネルの動作が許可されると転送動作が開始されます。

1. [DMACxCnConfiguration]<E>に"1"を書き込み、転送チャンネルの動作を許可します。
2. 転送回数分の転送動作が開始されます。
3. 設定された転送回数が"0"になると転送が終了し転送終了割り込みが発生します。
4. [DMACxCnLLI]レジスタが"0"でなければ、次のLLIをリロードして転送動作が継続されます。
5. [DMACxCnLLI]レジスタが"0"であれば、次の転送要求待ちとなります。

2) メモリ → 周辺機能

転送チャンネルの動作が許可されるとメモリからHDMACのFIFOへデータ転送が開始され、転送先からの転送要求が発生すると周辺機能への転送が行われます。

1. [DMACxCnConfiguration]<E>に"1"を書き込み、転送チャンネルの動作を許可します。
2. 周辺機能(転送先)からの転送要求を待ちます。
3. 転送要求が発生すると転送回数分の転送動作が開始されます。
4. 設定された転送回数が"0"になると転送は終了し転送終了割り込みが発生します。
5. [DMACxCnLLI]レジスタが"0"でなければ、次のLLIをリロードして転送動作が継続されます。
6. [DMACxCnLLI]レジスタが"0"であれば、次の転送要求待ちとなります。

3) 周辺機能 → メモリ

転送チャンネルの動作が許可され、転送元の周辺機能が転送要求が発生すると転送が開始されます。

1. [DMACxCnConfiguration]<E>に"1"を書き込み、転送チャンネルの動作を許可します。
2. 周辺機能(転送元)からの転送要求を待ちます。
3. 転送要求が発生すると転送回数分の転送動作が開始されます。
4. 設定された転送回数が"0"になると転送は終了し転送終了割り込みが発生します。
5. [DMACxCnLLI]レジスタが"0"でなければ、次のLLIをリロードして転送動作が継続されます。
6. [DMACxCnLLI]レジスタが"0"であれば、次の転送要求待ちとなります。

4) 周辺機能 →周辺機能

転送チャネルの動作が許可され、転送元と転送先の両方で転送要求が発生すると転送が行われます。

1. *[DMACxConfiguration]<E>*に"1"を書き込み、転送チャネルの動作を許可します。
2. 転送元の転送要求を待ちます
3. 転送要求が発生すると転送回数分の転送動作が開始されます。
4. 転送先の転送要求がアクティブで、FIFOにデータがある場合、転送先にデータが転送されます。
5. 設定された転送回数が"0"になると転送は終了し転送終了割り込みが発生します。
6. *[DMACxLLI]*レジスタが"0"でなければ、次のLLIをリロードして転送動作が継続されます。
7. *[DMACxLLI]*レジスタが"0"であれば、次の転送要求待ちとなります。

3.6.4. ロック制御

*[DMACxConfiguration]<Lock>*を"1"にすることで、バースト転送中はバスを開放しないで指定バースト数の連続転送を行うことができます。

3.7. 割り込み

HDMAC は、転送終了割り込みとエラー割り込みの 2 つの割り込みを持ちます。

3.7.1. 転送終了割り込み

指定された転送回数分の転送が終了すると転送終了割り込み(INTHDMACxTC)が発生します。転送終了割り込み発生許可/禁止は[DMACxCnControl]<I>により設定します。

また、発生した割り込みをマスクするか/しないか(CPU に伝達するか/しないか)を[DMACxCnConfiguration]<ITC>で設定します。

3.7.2. エラー割り込み

転送中にバスエラーやメモリプロテクションエラーが検知されると、エラー割り込み(INTHDMACxERR)が発生します。発生した割り込みをマスクするか/しないか(CPU に伝達するか/しないか)を[DMACxCnConfiguration]<IE>で設定します。

3.7.3. 割り込みステータス

[DMACxCnConfiguration]<ITC><IE>によるマスク設定の経路前と経路後の割り込みのステータスを以下レジスタによりチャンネルごとに確認することができます。

表 3.4 割り込みステータスの確認レジスタ

割り込み種類	[DMACxCnConfiguration]<ITC><IE>によるマスク設定		
	経路前	経路後	
転送終了割り込み	[DMACxRawIntTCStatus]	[DMACxIntStatus]	[DMACxIntTCStatus]
エラー割り込み	[DMACxRawIntErrorStatus]		[DMACxIntErrorStatus]

3.7.4. 割り込みのクリア

発生した割り込みは保持されますので、割り込み処理で割り込みのクリアを行ってください。

[DMACxIntTCClear]<IntTCClear1><IntTCClear0>に"1"を書き込むことで転送終了割り込みはクリアされ、転送終了割り込みの各ステータスもクリアされます。

[DMACxIntErrClr]<IntErrClr1><IntErrClr0>に"1"を書き込むことでエラー割り込みはクリアされ、エラー割り込みの各ステータスもクリアされます。

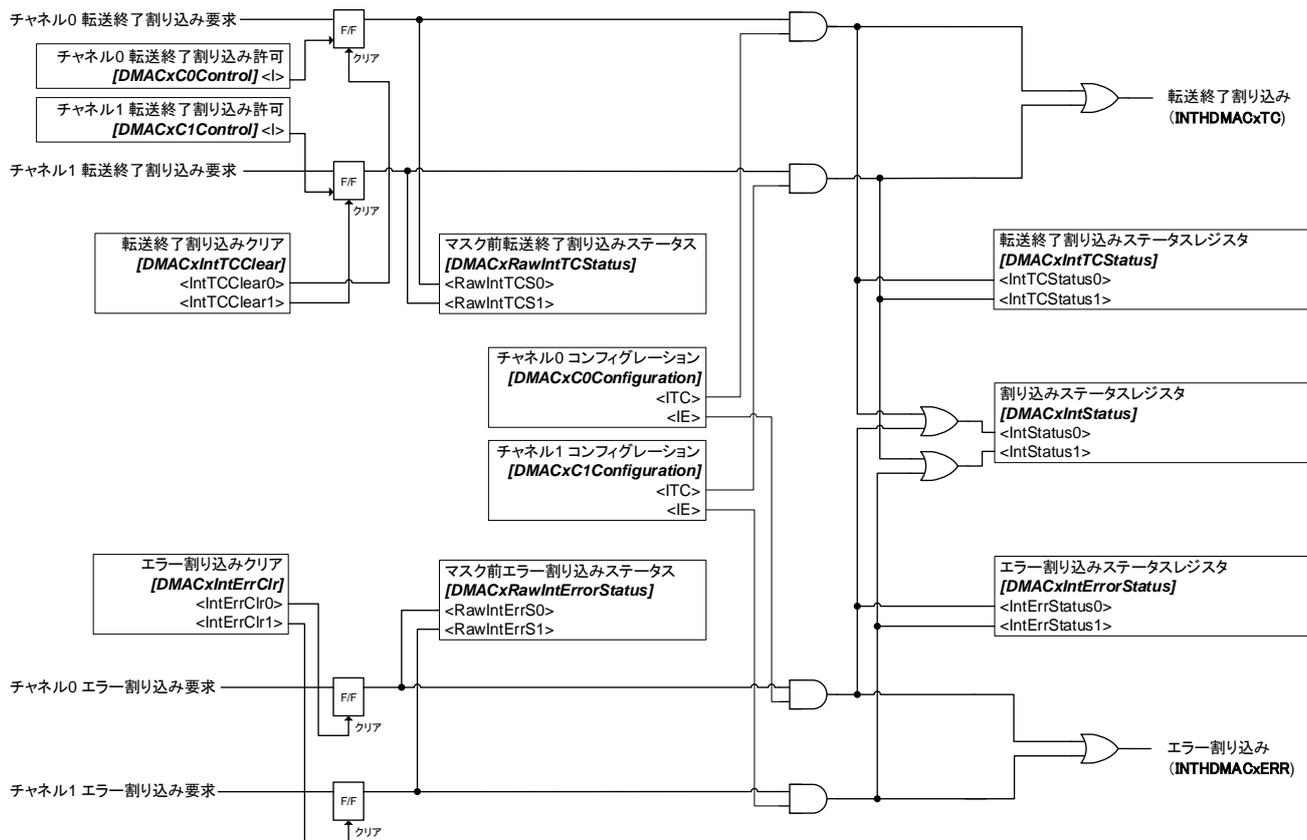


図 3.1 割り込みの構成

3.8. チェーン転送

不連続アドレスのデータ転送に対応するためのチェーン転送機能を備えています。

チェーン転送は、リンクリスト(LLI)により 1 ブロックごとの転送動作(転送元アドレス、転送先アドレス、転送回数、転送ビット幅など)を指定することで実現されます。ひとつの LLI は 1 ブロック分の転送制御となりますが、LLI 内で次の LLI を指定することでブロックごとに転送動作設定を変えた連続転送動作(不連続アドレスのデータ転送)が可能となります。

3.8.1. リンクリスト(LLI)の設定

以下のレジスタ項目の指定値を任意のメモリ上に連続して格納したものが、1 ブロック分の LLI となります。

1. **[DMACxCnSrcAddr]** 転送元アドレス
2. **[DMACxCnDestAddr]** 転送先アドレス
3. **[DMACxCnLLI]** 次の LLI が格納された先頭アドレス
4. **[DMACxCnControl]** ビット幅、バーストサイズ、総転送回数など

[DMACxCnLLI]レジスタで最初の LLI が格納されている先頭アドレスを指定することで、チェーン転送が許可されます。転送要求受付後の最初のブロックは、DMA 設定レジスタで指定される設定で転送実行され、次のブロックは**[DMACxCnLLI]**レジスタで指定された LLI の設定で転送が実行されます。

不連続アドレスのブロックを連続して転送させる場合は、LLI を転送回数分用意しておきます。各 LLI で次の LLI の先頭アドレスを指定しておくことで、1 ブロック分の転送が終了すると次の LLI がロードされ転送動作が継続されます。最後のブロックの LLI では**[DMACxCnLLI]**を"0"に指定します。

3.8.2. 割り込み動作

チェーン転送の最終ブロック転送時にのみ転送終了割り込みを発生させたい場合は、**[DMACxCnControl]<I>=0**、**[DMACxCnConfiguration]<ITC>=1** の設定で転送を開始させ、最終ブロックの LLI で**[DMACxCnControl]<I>=1** とします。

なお、転送終了割り込みをクリアするためには、**[DMACxIntTClear]**レジスタを制御する必要があります。

3.8.3. チェーン転送の動作例

チェーン転送の動作例を以下に示します。

1. 最初の転送設定は、DMA レジスタに直接指定された設定に従い転送が行われます。
2. 次の転送以降は、`[DMACxCnLLI]`レジスタ値で指定される LLI の設定に従い転送が行われます。
3. 最後の転送の LLI では、`[DMACxCnLLI]`レジスタ値の指定を"0"とします。

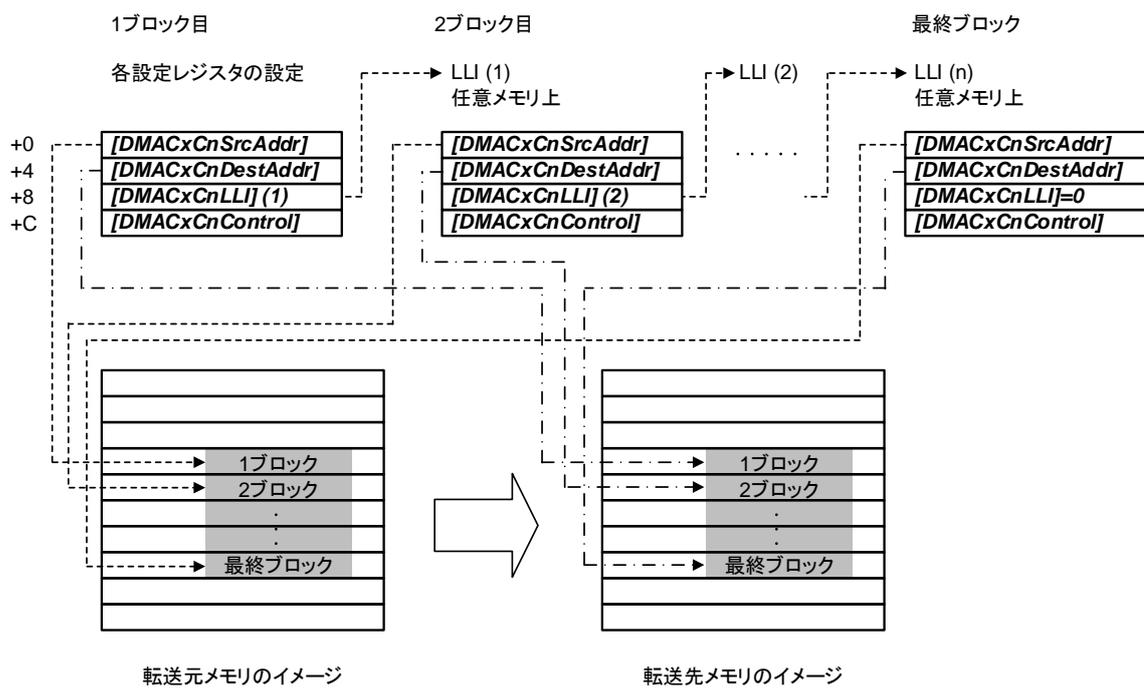


図 3.2 チェーン転送

4. レジスタ説明

4.1. レジスタ一覧

制御レジスタとアドレスは以下のとおりです。

周辺機能		チャンネル/ユニット	ベースアドレス(Base)
			TYPE1
高速 DMAC	HDMAC	Unit A	0x40000000
		Unit B	0x40001000

注) 製品によって搭載されるチャンネル/ユニット数、および、ベースアドレスタイプは異なります。詳細はリファレンスマニュアルの「製品個別情報」を参照してください。

レジスタ名		ベースアドレス(Base+)
割り込みステータスレジスタ	[DMACxIntStatus]	0x0000
転送終了割り込みステータスレジスタ	[DMACxIntTCStatus]	0x0004
転送終了割り込みクリアレジスタ	[DMACxIntTCClear]	0x0008
エラー割り込みステータスレジスタ	[DMACxIntErrorStatus]	0x000C
エラー割り込みクリアレジスタ	[DMACxIntErrClr]	0x0010
マスク前転送終了割り込みステータスレジスタ	[DMACxRawIntTCStatus]	0x0014
マスク前エラー割り込みステータスレジスタ	[DMACxRawIntErrorStatus]	0x0018
チャンネルイネーブルレジスタ	[DMACxEnbldChns]	0x001C
ソフトウェアバースト転送要求レジスタ	[DMACxSoftBReq]	0x0020
ソフトウェアシングル転送要求レジスタ	[DMACxSoftSReq]	0x0024
Reserved	—	0x0028
Reserved	—	0x002C
コンフィグレーションレジスタ	[DMACxConfiguration]	0x0030
チャンネル0 転送元アドレスレジスタ	[DMACxC0SrcAddr]	0x0100
チャンネル0 転送先アドレスレジスタ	[DMACxC0DestAddr]	0x0104
チャンネル0 リンクリストレジスタ	[DMACxC0LLI]	0x0108
チャンネル0 コントロールレジスタ	[DMACxC0Control]	0x010C
チャンネル0 コンフィグレーションレジスタ	[DMACxC0Configuration]	0x0110
チャンネル1 転送元アドレスレジスタ	[DMACxC1SrcAddr]	0x0120
チャンネル1 転送先アドレスレジスタ	[DMACxC1DestAddr]	0x0124
チャンネル1 リンクリストレジスタ	[DMACxC1LLI]	0x0128
チャンネル1 コントロールレジスタ	[DMACxC1Control]	0x012C
チャンネル1 コンフィグレーションレジスタ	[DMACxC1Configuration]	0x0130

注1) 上記レジスタは、ワード(32bit)アクセスのみとなります。

注2) "Reserved"表記のアドレスにはアクセスしないでください。

注3) チャンネルごとに用意されているレジスタへの書き込み後にチャンネルごとに用意されていないレジスタを読み出す場合、命令の間を1サイクル以上あけるか、2回読み出してください。

4.2. レジスタ詳細

4.2.1. [DMACxIntStatus] (割り込みステータスレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:2	—	不定	R	リードすると不定が読めます。
1	IntStatus1	0	R	転送チャンネル 1 の割り込み発生状態 0: 割り込み発生なし 1: 割り込み発生あり マスク設定経路後の転送終了割り込み、または、エラー割り込みの発生状態を示します。(注 1)
0	IntStatus0	0	R	転送チャンネル 0 の割り込み発生状態 0: 割り込み発生なし 1: 割り込み発生あり マスク設定経路後の転送終了割り込み、または、エラー割り込みの発生状態を示します。(注 1)

注1) どちらの割り込みが発生したかは、[DMACxIntTCStatus]、[DMACxIntErrorStatus]で確認できます。

4.2.2. [DMACxIntTCStatus] (転送終了割り込みステータスレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:2	—	不定	R	リードすると不定が読めます。
1	IntTCStatus1	0	R	転送チャンネル 1 の転送終了割り込み発生状態 0: 割り込み発生なし 1: 割り込み発生あり マスク設定経路後の転送終了割り込みの発生状態を示します。
0	IntTCStatus0	0	R	転送チャンネル 0 の転送終了割り込み発生状態 0: 割り込み発生なし 1: 割り込み発生あり マスク設定経路後の転送終了割り込みの発生状態を示します。

4.2.3. [DMACxIntTCClear] (転送終了割り込みクリアレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:2	—	0	W	"0"をライトしてください。
1	IntTCClear1	0	W	転送チャンネル 1 の転送終了割り込みクリア 0: 無効 1: 割り込みクリア "1"をライトすると割り込みとステータスがクリアされます。
0	IntTCClear0	0	W	転送チャンネル 0 の転送終了割り込みクリア 0: 無効 1: 割り込みクリア "1"をライトすると割り込みとステータスがクリアされます。

4.2.4. [DMACxIntErrorStatus] (エラー割り込みステータスレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:2	—	不定	R	リードすると不定が読めます。
1	IntErrStatus1	0	R	転送チャンネル 1 のエラー割り込み発生状態 0: 割り込み発生なし 1: 割り込み発生あり マスク設定経由後のエラー割り込みの発生状態を示します。
0	IntErrStatus0	0	R	転送チャンネル 0 のエラー割り込み発生状態 0: 割り込み発生なし 1: 割り込み発生あり マスク設定経由後のエラー割り込みの発生状態を示します。

4.2.5. [DMACxIntErrClr] (エラー割り込みクリアレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:2	—	0	W	"0"をライトしてください。
1	IntErrClr1	0	W	転送チャンネル 1 のエラー割り込みのクリア 0: 無効 1: 割り込みクリア "1"をライトすると割り込みとステータスがクリアされます。
0	IntErrClr0	0	W	転送チャンネル 0 のエラー割り込みのクリア 0: 無効 1: 割り込みクリア "1"をライトすると割り込みとステータスがクリアされます。

4.2.6. [DMACxRawIntTCStatus] (マスク前転送終了割り込みステータスレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:2	—	不定	R	リードすると不定が読めます。
1	RawIntTCS1	0	R	転送チャンネル 1 の転送終了割り込み発生状態 0: 割り込み発生なし 1: 割り込み発生あり マスク設定経由前の転送終了割り込みの発生状態を示します。
0	RawIntTCS0	0	R	転送チャンネル 0 の転送終了割り込み発生状態 0: 割り込み発生なし 1: 割り込み発生あり マスク設定経由前の転送終了割り込みの発生状態を示します。

4.2.7. [DMACxRawIntErrorStatus] (マスク前エラー割り込みステータスレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:2	—	不定	R	リードすると不定が読めます。
1	RawIntErrS1	0	R	転送チャンネル 1 のエラー割り込み発生状態 0: 割り込み発生なし 1: 割り込み発生あり マスク設定経由前のエラー割り込みの発生状態を示します。
0	RawIntErrS0	0	R	転送チャンネル 0 のエラー割り込み発生状態 0: 割り込み発生なし 1: 割り込み発生あり マスク設定経由前のエラー割り込みの発生状態を示します。

4.2.8. [DMACxEnblDChns] (チャンネルイネーブルレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:2	—	不定	R	リードすると不定が読めます。
1	EnabledCH1	0	R	転送チャンネル1の転送許可状態 0: 転送終了 1: 転送許可状態 [DMACxCnControl]で設定分の転送が全て終了すると"0"になります。
0	EnabledCH0	0	R	転送チャンネル0の転送許可状態 0: 転送終了 1: 転送許可状態 [DMACxCnControl]で設定分の転送が全て終了すると"0"になります。

4.2.9. [DMACxSoftBReq] (ソフトウェアバースト転送要求レジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:16	—	不定	W	"0"をライトしてください。
15	SoftBReq15	0	R/W	[リード] 要求チャンネルごとのバースト転送状態 0: バースト転送終了 1: バースト転送実行中 [ライト] 要求チャンネルごとのソフトウェアによるバースト転送要求 0: 無効 1: バースト転送要求を発生
14	SoftBReq14	0		
13	SoftBReq13	0		
12	SoftBReq12	0		
11	SoftBReq11	0		
10	SoftBReq10	0		
9	SoftBReq9	0		
8	SoftBReq8	0		
7	SoftBReq7	0		
6	SoftBReq6	0		
5	SoftBReq5	0		
4	SoftBReq4	0		
3	SoftBReq3	0		
2	SoftBReq2	0		
1	SoftBReq1	0		
0	SoftBReq0	0		

注1) ソフトウェアと周辺機能による転送要求を同時に発生させないでください。

注2) 転送要求と要求チャンネルの接続は、リファレンスマニュアルの「製品個別情報」を参照してください。

注3) バースト転送要求がない要求チャンネルに対応するビットには"0"を書き込んでください。

4.2.10. [DMACxSoftSReq] (ソフトウェアシングル転送要求レジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:16	—	不定	W	"0"をライトしてください。
15	SoftSReq15	0	R/W	[リード] 要求チャンネルごとのシングル転送状態 0: シングル転送終了 1: シングル転送実行中 [ライト] 要求チャンネルごとのソフトウェアによるシングル転送要求 0: 無効 1: シングル転送要求を発生
14	SoftSReq14	0		
13	SoftSReq13	0		
12	SoftSReq12	0		
11	SoftSReq11	0		
10	SoftSReq10	0		
9	SoftSReq9	0		
8	SoftSReq8	0		
7	SoftSReq7	0		
6	SoftSReq6	0		
5	SoftSReq5	0		
4	SoftSReq4	0		
3	SoftSReq3	0		
2	SoftSReq2	0		
1	SoftSReq1	0		
0	SoftSReq0	0		

注1) ソフトウェアと周辺機能による転送要求を同時に発生させないでください。

注2) 転送要求と要求チャンネルの接続は、リファレンスマニュアルの「製品個別情報」を参照してください。

注3) シングル転送要求がない要求チャンネルに対応するビットには"0"を書き込んでください。

4.2.11. [DMACxConfiguration] (コンフィグレーションレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:2	—	不定	W	"0"をライトしてください。
1	—	0	R/W	"0"をライトしてください。
0	E	0	R/W	HDMAC 回路動作 0: 停止 1: 動作 HDMAC 回路を動作させる場合、"1"に設定してください。

4.2.12. [DMACxCnSrcAddr] (チャンネル n 転送元アドレスレジスタ) (n=0,1)

Bit	Bit Symbol	リセット後	Type	機能
31:0	SrcAddr[31:0]	0x00000000	R/W	転送元アドレスの設定 転送元のアドレスを指定します。

注1) 転送チャンネル n を許可([DMACxConfiguration]<E>=1)すると<SrcAddr[31:0]>が更新されます。<SrcAddr[31:0]>は転送チャンネル n を許可する前(転送チャンネル n 禁止状態 [DMACxConfiguration]<E>=0)に設定し、転送動作中には変更しないでください。

注2) 転送動作中、<SrcAddr[31:0]>の値は逐次変化するため、リード値は固定ではありません。

4.2.13. [DMACxCnDestAddr] (チャンネル n 転送先アドレスレジスタ) (n=0,1)

Bit	Bit Symbol	リセット後	Type	機能
31:0	DestAddr[31:0]	0x00000000	R/W	転送先アドレスの設定 転送先のアドレスを指定します。

注1) 転送動作中に<DestAddr[31:0]>は変更しないでください。<DestAddr[31:0]>は転送チャンネル n を許可する前(転送チャンネル n 禁止状態 [DMACxConfiguration]<E>=0)に設定してください。

4.2.14. [DMACxCnLLI] (チャンネル n リンクリストレジスタ) (n=0,1)

Bit	Bit Symbol	リセット後	Type	機能
31:2	LLI[31:2]	0x00000000	R/W	リンクリスト(LLI)の先頭アドレス <LLI>: 次の LLI のアドレスを指定します。(注 1)(注 2)(注 3) チェーン転送機能で LLI を使用する際に設定します。 <LLI>=0x00000000 は、最後のブロックであることを表します。
1:0	LLI[1:0]	不定	W	"00"をライトしてください。

注1) ワードアライメントされたアドレスで指定されます。(アドレスのビット 1、ビット 0 は"00")

注2) 転送チャンネル動作の許可中は、<LLI[31:0]>の書き換えを行わないでください。

注3) LLI については、"3.8 チェーン転送"を参照してください。

4.2.15. [DMACxCnControl] (チャンネル n コントロールレジスタ) (n=0,1)

Bit	Bit Symbol	リセット後	Type	機能
31	I	0	R/W	転送終了割り込みの発生許可 (注 1) 0: 転送終了割り込み発生禁止 1: 転送終了割り込み発生許可 [DMACxCnConfiguration]<ITC>=1、<I>=1 で転送終了割り込みの発生が許可されます。
30:28	—	不定	W	"0"をライトしてください。
27	DI	0	R/W	転送先アドレスのインクリメント 0: アドレス固定 1: インクリメント "1"に設定すると転送ごとに転送先アドレスがインクリメントされます。
26	SI	0	R/W	転送元アドレスのインクリメント 0: アドレス固定 1: インクリメント "1"に設定すると転送ごとに転送元アドレスがインクリメントされます。
25:24	—	不定	W	"0"をライトしてください。
23:21	Dwidth[2:0]	000	R/W	転送先のビット幅 (注 2) 000: バイト (8 ビット) 001: ハーフワード (16 ビット) 010: ワード (32 ビット) 011-111: Reserved
20:18	Swidth[2:0]	000	R/W	転送元のビット幅 (注 2) 000: バイト (8 ビット) 001: ハーフワード (16 ビット) 010: ワード (32 ビット) 011-111: Reserved
17:15	DBSize[2:0]	000	R/W	転送先のバーストサイズ (注 3) (注 4) (注 5) 000: 1 ビート 100: 32 ビート 001: 4 ビート 101: 64 ビート 010: 8 ビート 110: 128 ビート 011: 16 ビート 111: 256 ビート
14:12	SBSize[2:0]	000	R/W	転送元のバーストサイズ (注 3) (注 4) (注 5) 000: 1 ビート 100: 32 ビート 001: 4 ビート 101: 64 ビート 010: 8 ビート 110: 128 ビート 011: 16 ビート 111: 256 ビート
11:0	TransferSize[11:0]	0x000	R/W	総転送回数 (注 6) (注 7) 転送元のビット幅単位で転送したい総回数を設定します。

- 注1) チェーン転送時に最終ブロックの LLI 設定で<I>を"1"にすることで、最終転送時にのみ転送終了割り込みを発生させることが可能です。通常転送時(チェーン転送未使用時)に割り込みを発生させたいときには、**[DMACxCnConfiguration]<ITC>**とともに<I>も"1"に設定する必要があります。
- 注2) <Dwidth[2:0]>と<Swidth[2:0]>は以下の計算式を満たすように設定してください。

$$\text{転送元ビット幅} \times \text{総転送回数} = \text{転送先ビット幅} \times N \quad (N: \text{整数})$$

N は整数である必要があります。

転送元ビット幅が転送先ビット幅よりも小さい場合、総転送回数の設定には注意が必要です。

- 注3) バーストサイズは、バースト転送要求ごとに一度に転送されるデータ量を示していますので、転送元ビット幅と、総転送回数を変えない限り、どんなバーストサイズに設定しても、総転送されるデータ量は変化しません。
- 注4) <DBSize[2:0]>と<SBSIZE[2:0]>は、バースト転送要求で転送されるデータ量です。
FIFO バッファなど複数データを格納する機能を持つ周辺機能の場合に使用します。
- 注5) <DBSize>と<SBSIZE>で設定するバーストサイズは、AHB バスの HBURST とは関係ありません。
- 注6) 総転送回数は転送元ビット幅の単位になります。(<Swidth>=000(8 ビット)の場合はバイト単位、 <Swidth>=001(16 ビット)の場合はハーフワード単位、 <Swidth>=010(32 ビット)の場合はワード単位)
- 注7) <TransferSize[11:0]>は転送実行で"0" までデクリメントされます。転送実行時にリードすると未転送回数が読み出され転送停止時は"0"が読み出されます。

4.2.16. [DMACxCnConfiguration] (チャンネル n コンフィグレーションレジスタ) (n=0,1)

Bit	Bit Symbol	リセット後	Type	機能
31:19	—	不定	W	"0"をライトしてください。
18	Halt	0	R/W	転送チャンネル n の転送要求の受付制御 (注 1) 0: 転送要求の受付を許可 1: Reserved
17	Active	0	R	転送チャンネル n の FIFO 内のデータ有無 0: FIFO 内にデータあり 1: FIFO 内にデータなし
16	Lock	0	R/W	ロック転送設定 (不分割転送) 0: ロック転送を禁止 1: ロック転送を許可 ロック転送を許可すると、バスを開放せず指定バースト数を連続転送します。
15	ITC	0	R/W	転送終了割り込みのマスク設定 0: 転送終了割り込みをマスクする 1: 転送終了割り込みをマスクしない (割り込み許可) <ITC>=1 かつ [DMACxCnControl]<l>=1 のとき、転送終了割り込みが CPU に伝達されます。
14	IE	0	R/W	エラー割り込みのマスク設定 0: エラー割り込みをマスクする 1: エラー割り込みをマスクしない (割り込み許可)
13:11	FlowCntrl[2:0]	000	R/W	転送タイプの設定 000: メモリ → メモリ (注 2) 001: メモリ → 周辺機能 010: 周辺機能 → メモリ 011: 周辺機能 → 周辺機能 100~111: Reserved
10	—	不定	W	"0"をライトしてください。
9:6	DestPeripheral[3:0]	0000	R/W	転送先の要求チャンネル 0000~1111: 転送先周辺機能の要求チャンネル(0~15) (注 3) 転送先がメモリの場合はこの設定は無視されます。
5	—	不定	W	"0"をライトしてください。
4:1	SrcPeripheral[3:0]	0000	R/W	転送元の要求チャンネル 0000~1111: 転送元周辺機能の要求チャンネル(0~15) (注 3) 転送元がメモリの場合はこの設定は無視されます。
0	E	0	R/W	転送チャンネル n の動作 (注 2) 0: 転送チャンネル n の動作を禁止 (注 4) 1: 転送チャンネル n の動作を許可 転送チャンネル n の動作の許可/禁止を設定します。 総転送回数の転送が終了すると"0"になります。

注1) 転送チャンネルの動作を許可(<E>=1)すると同時に転送要求の受付を許可(<Halt>=0)してください。<Halt>=1 の設定は行わないでください。

注2) メモリからの転送要求はサポートしていません。<FlowCntrl[2:0]>でメモリ→メモリ(000)を選択した場合、<E>を"1"にすることで転送が開始されます。メモリ→周辺機能(001)を選択した場合、<E>を"1"にすることでメモリから FIFO への転送が開始され、周辺機能の転送要求が発生すると FIFO から周辺機能への転送が開始されます。

注3) 転送要求と要求チャンネルは、リファレンスマニュアルの「製品個別情報」を参照してください。

注4) 転送動作中(<E>=1, [DMACxEnbldChns]<EnabledChn>=1)に<E>を"0" (禁止)にすると、その転送チャンネルの FIFO データは消失します。再び転送を実行する場合は、転送チャンネルの設定を全て初期化して再実行してください。

5. 改訂履歴

表 5.1 改訂履歴

Revision	Date	Description
1.0	2017-12-07	新規
2.0	2018-04-03	<ul style="list-style-type: none"> ・用語・略語: 誤記修正 ・3.3. 転送タイプ 追記: 表 3.1 (注 2)を追記 ・3.7.4. 割り込みのクリア 修正: "割り込み要求" -> " 割り込み" 修正: 図 3.1 "<IntTCStatus0>" -> "<RawIntTCS0>" "<IntTCStatus1>" -> "<RawIntTCS1>" "<IntErrStatus0>" -> "<RawIntErrS0>" "<IntErrStatus1>" -> "<RawIntErrS1>" ・4.2 レジスタ一覧 修正: "4.2. [DMACxIntStatus] ~ 4.17. [DMACxCnConfiguration]" -> "4.2.1. [DMACxIntStatus]~4.2.16. [DMACxCnConfiguration]" 追記: "・4.2 レジスタ一覧" ・4.2.6. [DMACxRawIntTCStatus] 修正: "<IntTCStatus0>" -> "<RawIntTCS0>" "<IntTCStatus1>" -> "<RawIntTCS1>" ・4.2.7. [DMACxRawIntErrorStatus] 修正: "<IntErrStatus0>" -> "<RawIntErrS0>" "<IntErrStatus1>" -> "<RawIntErrS1>" ・4.2.9. [DMACxSoftBReq] 修正: ビット単位毎に修正、 削除: 注 1) ・4.2.10. [DMACxSoftSReq] 修正: ビット単位毎に修正、 削除: 注 1) ・4.2.14. [DMACxCnLLI] 修正: "<LLI>=0" -> "<LLI>=0x00000000". ・4.2.16. [DMACxCnConfiguration] 修正: Bit Symbol (ITC)の機能欄 "<ICT>" -> "<ITC>" 注 4) " [DMACxEnbledChns]" -> " [DMACxEnbldChns]"
2.1	2019-02-12	<ul style="list-style-type: none"> ・arm 商標関係修正。 ・4.2.3. [DMACxIntTCClear] 修正: Bit0 の"<IntTCSClear0>" -> "<IntTCClear0>" ・4.2.11. [DMACxConfiguration] 削除: 「"0"では他レジスタの読み書きはできません。」 ・製品取り扱い上のお願 文言を更新。

製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。