

32 ビット RISC マイクロコントローラ

TXZ ファミリ

リファレンスマニュアル
電圧検知回路
(LVD-C)

Revision 2.0

2018-02

東芝デバイス&ストレージ株式会社

目次

序章	4
関連するリファレンスマニュアル	4
表記規約	5
用語・略語	7
1. 概要	8
2. 構成	9
3. 機能説明・動作説明	10
3.1. 電圧検知回路	10
3.2. 設定	11
3.2.1. 電圧検知動作制御	11
3.2.2. 検知電圧選択	11
3.2.3. 割り込み/リセット選択制御	11
3.2.4. 割り込み/リセット出力制御	11
3.2.5. ステータスレジスタ	11
3.3. 設定の変更	11
3.4. 検知/解除タイミング	12
4. レジスタ説明	14
4.1. レジスタ一覧	14
4.1.1. [LVDCR1] (LVD 制御レジスタ 1)	14
4.1.2. [LVDCR2] (LVD 制御レジスタ 2)	14
4.1.3. [LVDLVL1] (LVD 検知電圧選択レジスタ 1)	15
4.1.4. [LVDLVL2] (LVD 検知電圧選択レジスタ 2)	15
4.1.5. [LVDSR] (LVD ステータスレジスタ)	15
5. プログラミング方法	16
5.1. LVDN の初期設定・・・①フロー	16
5.2. LVDN,LVDS の初期設定・・・②フロー	17
5.3. レベル変更時の設定	18
5.4. LVDN の許可状態から LVDS 許可への設定	19
5.5. LVDN,LVDS の許可状態から LVDS 禁止への設定	20
5.6. LVDN,LVDS の許可状態から LVD 禁止への設定	20
5.7. 電圧波形	21
6. 改訂履歴	22
製品取り扱い上のお願ひ	23

図目次

図 2.1	構成図	9
図 3.1	LVD 解除タイミング	12
図 3.2	LVD 検知、解除タイミング	13
図 3.3	LVD 検知最小パルス幅	13
図 5.1	LVDN の初期設定 (①フロー)	16
図 5.2	LVDN, LVDS の初期設定(②フロー)	17
図 5.3	レベル変更時の設定フロー例	18
図 5.4	LVDN の許可状態から LVDS 許可への設定フロー例	19
図 5.5	LVDN, LVDS の許可状態から LVDS 禁止への設定フロー例	20
図 5.6	LVDN, LVDS の許可状態から LVD 禁止への設定フロー例	20
図 5.7	LVDN の使用例	21
図 5.8	LVDN と LVDS の使用例	21

表目次

表 2.1	信号一覧表	9
表 6.1	改訂履歴	22

序章

関連するリファレンスマニュアル

文書名
例外
製品個別情報
電源とリセット動作

表記規約

- 数値表記は以下の規則に従います。
 - 16 進数表記: 0xABC
 - 10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
 - 2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は [m:n]とまとめて表記する場合があります。
例: S[3: 0] は S3,S2,S1,S0 の 4 つの信号名をまとめて表記しています。
- 本文中 [] で囲まれたものはレジスタを定義しています。
例: [ABCD]
- 同種で複数のレジスタ、フィールド、ビット名は「n」で一括表記する場合があります。
例: [XYZ1], [XYZ2], [XYZ3] → [XYZn]
- 「レジスタ一覧」中のレジスタ名でユニットまたはチャンネルは「x」で一括表記しています。
ユニットの場合、「x」は A,B,C...を表します。
例: [ADACR0], [ADBCR0], [ADCCR0]→[ADxCR0]
チャンネルの場合、「x」は 0,1,2,..を表します。
例: [T32A0RUNA], [T32A1RUNA], [T32A2RUNA]→[T32AxRUNA]
- レジスタのビット範囲は [m:n] と表記します。
例: [3: 0] はビット 3 から 0 の範囲を表します。
- レジスタの設定値は 16 進数または 2 進数のどちらかで表記されています。
例: [ABCD]<EFG> = 0x01 (16 進数)、 [XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
 - バイト: 8 ビット
 - ハーフワード: 16 ビット
 - ワード: 32 ビット
 - ダブルワード: 64 ビット
- レジスタ内の各ビットの属性は以下の表記を使用しています。
 - R: リードオンリー
 - W: ライトオンリー
 - R/W: リード / ライト
- 断りのない限り、レジスタアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスタは書き換えを行わないでください。
また、読み出した値を使用しないでください。
- Default 値が「—」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスタに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- ライトオンリーのレジスタの Reserved ビットフィールドには Default 値を書き込んでください。
Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスタへのリードモディファイライト処理は行わないでください。

Arm, Cortex および Thumb は Arm Limited(またはその子会社)の US またはその他の国における登録商標です。 All rights reserved.



FLASH メモリについては、米国 SST 社 (Silicon Storage Technology, Inc) からライセンスを受けた Super Flash® 技術を使用しています。Super Flash® は SST 社の登録商標です。

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

INT	Interrupt
LVD	Voltage Detection Circuit
POR	Power On Reset Circuit

1. 概要

電圧検知回路の主な機能は、以下のとおりです。

機能分類	機能	動作説明	備考
電源電圧検知機能	リセット出力	設定検知電圧以下でリセットを発生	リセットか割り込み要求かのどちらかを選択
	割り込み要求	設定検知電圧以下で割り込み要求を発生	
	モニタ	電圧検知ステータスでモニタ可能	—
	検知電圧選択	7種類の中から選択可能	NORMAL/IDLE/STOP1モード用とSTOP2モード用の2モードを用意

2. 構成

電圧検知回路は、動作モードにより NORMAL/IDLE/STOP1 モード用の LVDN と STOP2 モード用の LVDS の 2 つで構成されます。おのおの電圧検知回路の構成は、基準電圧発生回路、検知電圧選択回路、コンパレータと制御レジスタの構成です。

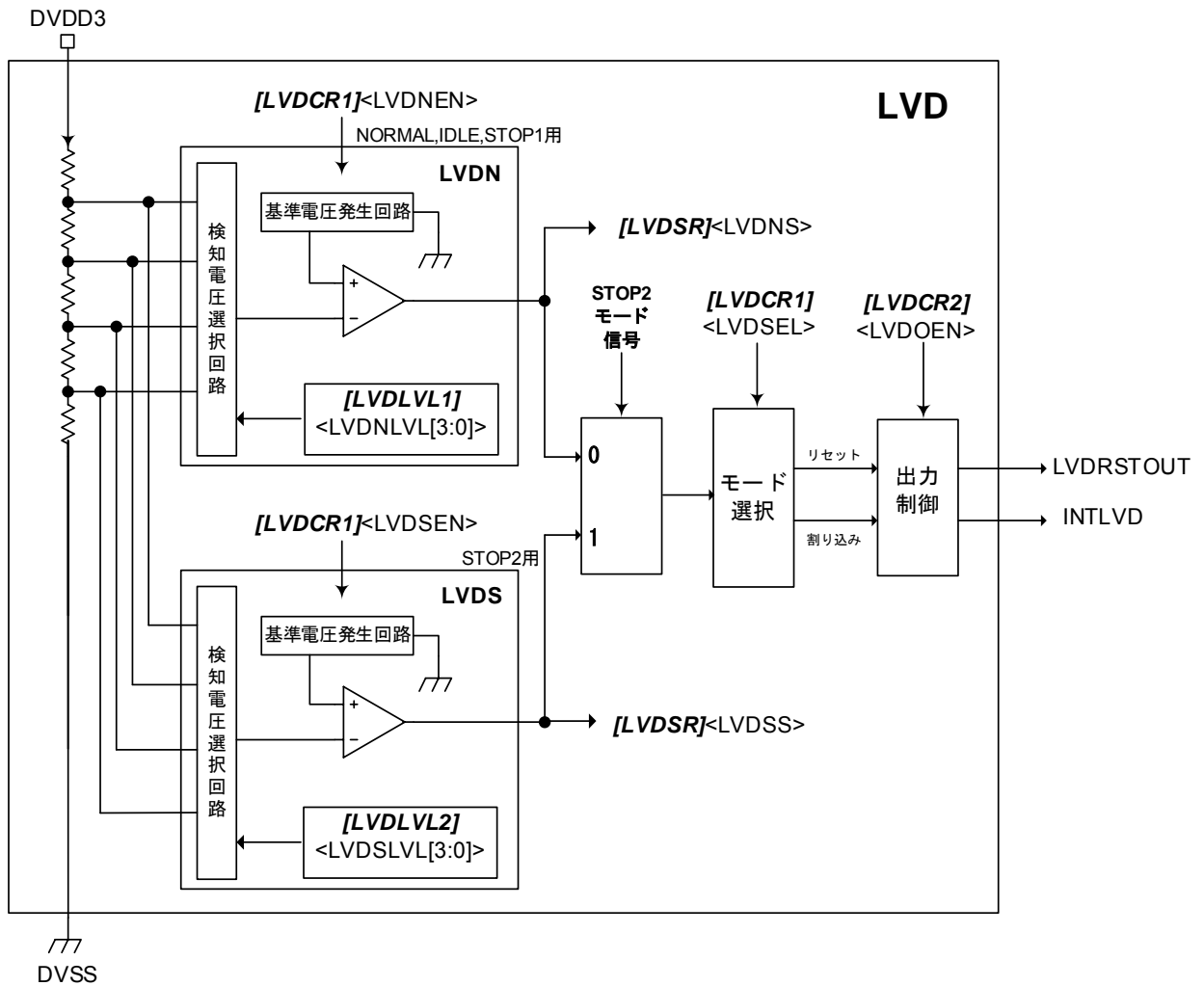


図 2.1 構成図

表 2.1 信号一覧表

No.	信号名	信号名称	I/O	参照リファレンスマニュアル
1	DVDD3	検知対象電源端子	入力	製品個別情報
2	LVDRSTOUT	LVD リセット出力	出力	電源とリセット動作
3	INTLVD	LVD 割り込み要求信号	出力	例外

3. 機能説明・動作説明

電圧検知回路は DVDD3 の電圧を監視します。基準電圧発生回路で発生した基準電圧と、DVDD3 から作られた検知電圧を選択する検知電圧選択回路の出力と比較します。比較結果に応じて、出力制御回路がリセットまたは割り込みを出力します。

電源投入時、DVDD3 の電圧が解除電圧よりも低い間はリセット(LVDRSTOUT)を出力します。解除電圧を超えたら、リセットは解除されます。

3.1. 電圧検知回路

電圧検知回路は NORMAL/IDLE/STOP1 モード用の LVDN と STOP2 モード用の LVDS の 2 つの LVD があり、動作モードの遷移により切り換えられて機能します。

(1) LVDN

LVDN は電圧の検知と解除の機能があります。

検知機能は DVDD3 の電圧が低下し、設定した[LVDLVL1]<LVDNLVL>を下回ると、[LVDCR1]<LVDSSEL>の設定により割り込みを発生、またはリセット信号を出力します。また、解除機能は電圧が上昇し設定した[LVDLVL1]<LVDNLVL>を上回ると、リセット出力を選択した場合はリセット信号の出力を解除します。割り込み出力を選択した場合は、解除機能では割り込みは発生しません。

(2) LVDS

LVDS は電圧の検知機能のみです。解除機能はありません。

検知機能は DVDD3 の電圧が低下し、設定した[LVDLVL2]<LVDSLVL>を下回ると、[LVDCR1]<LVDSSEL>の設定により割り込みを発生、またはリセット信号を出力します。

電圧検知回路は、[LVDCR2]<LVDOEN>で割り込み/リセット出力を禁止した状態でも[LVDSR]<LVDNS><LVDS>による電圧状態をモニタすることができます。NORMAL モード時でも STOP2 モードの<LVDS>のステータスは確認可能です。

3.2. 設定

3.2.1. 電圧検知動作制御

電圧検知回路を使用する場合は、電圧検知動作制御ビットを許可にする必要があります。

LVDN を使用する場合は $[LVDCR1]<LVDNEN>=1$ に設定してください。LVDS を使用する場合は $[LVDCR1]<LVDSSEN>=1$ を設定してください。また、コンパレータ制御ビットを $[LVDCR1]<SELVD>=1$ に設定してください。設定後は回路の安定時間として 200 μ s 以上の時間を取ってください。

3.2.2. 検知電圧選択

LVD の検知電圧は、LVDN と LVDS で別々の電圧が設定可能です。

LVDN の場合は $[LVDLVL1]<LVDNLVL>$ で、また、LVDS の場合は $[LVDLVL2]<LVDSLVL>$ で検知する電圧を選択してください。設定後はコンパレータ回路の安定時間として 200 μ s の時間を取ってください。

3.2.3. 割り込み/リセット選択制御

LVD の検知出力として割り込みとリセットの出力が選択可能です。

割り込み出力の場合は $[LVDCR1]<LVDSSEL>=0$ に、リセット出力の場合は $[LVDCR1]<LVDSSEL>=1$ に設定してください。なお、設定は LVDN 用と LVDS 用とも共通です。

3.2.4. 割り込み/リセット出力制御

割り込みおよびリセットの出力の制御は $[LVDCR2]<LVDOEN>$ で行います。

出力を許可する場合は $[LVDCR2]<LVDOEN>=1$ に設定してください。なお、設定は LVDN 用と LVDS 用とも共通です。

3.2.5. ステータスレジスタ

LVD は検知電圧の状態を設定電圧以上/未満でモニタすることが可能です。

LVDN の場合は $[LVDSR1]<LVDNS>$ で、LVDS の場合は $[LVDSR1]<LVDSNS>$ でモニタしてください。なお、 $[LVDSR1]<LVDNS><LVDSNS>$ を読み出す場合は、複数回の読み出しを実行し、読み出した値が同じになることを確認してください。

3.3. 設定の変更

検知電圧の変更、リセット/割り込み出力の選択変更を行う場合、 $[LVDCR2]<LVDOEN>$ を "0" として出力を禁止した後に設定を変更してください。

設定変更のための必要な時間はソフトウェアで対応し、その後 $[LVDCR2]<LVDOEN>$ を "1" にして出力を許可にします。

3.4. 検知/解除タイミング

電圧検知回路の検知、解除動作を下図に示します。

1) 電源投入時

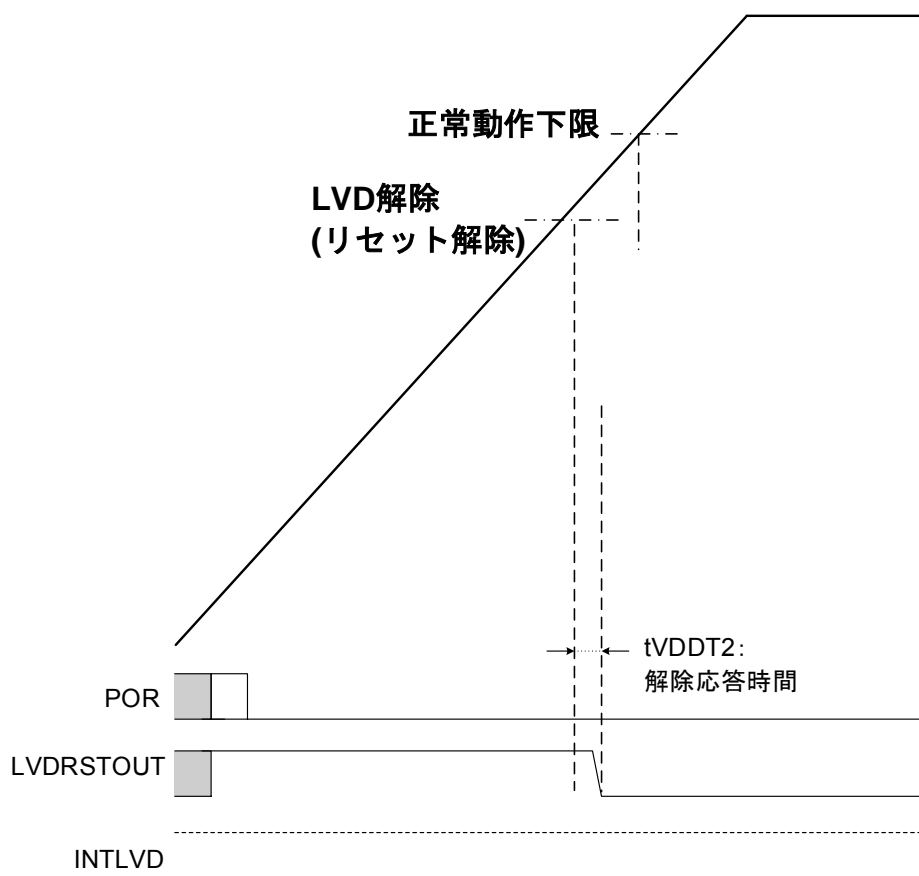


図 3.1 LVD解除タイミング

2) LVD 検知、解除タイミング

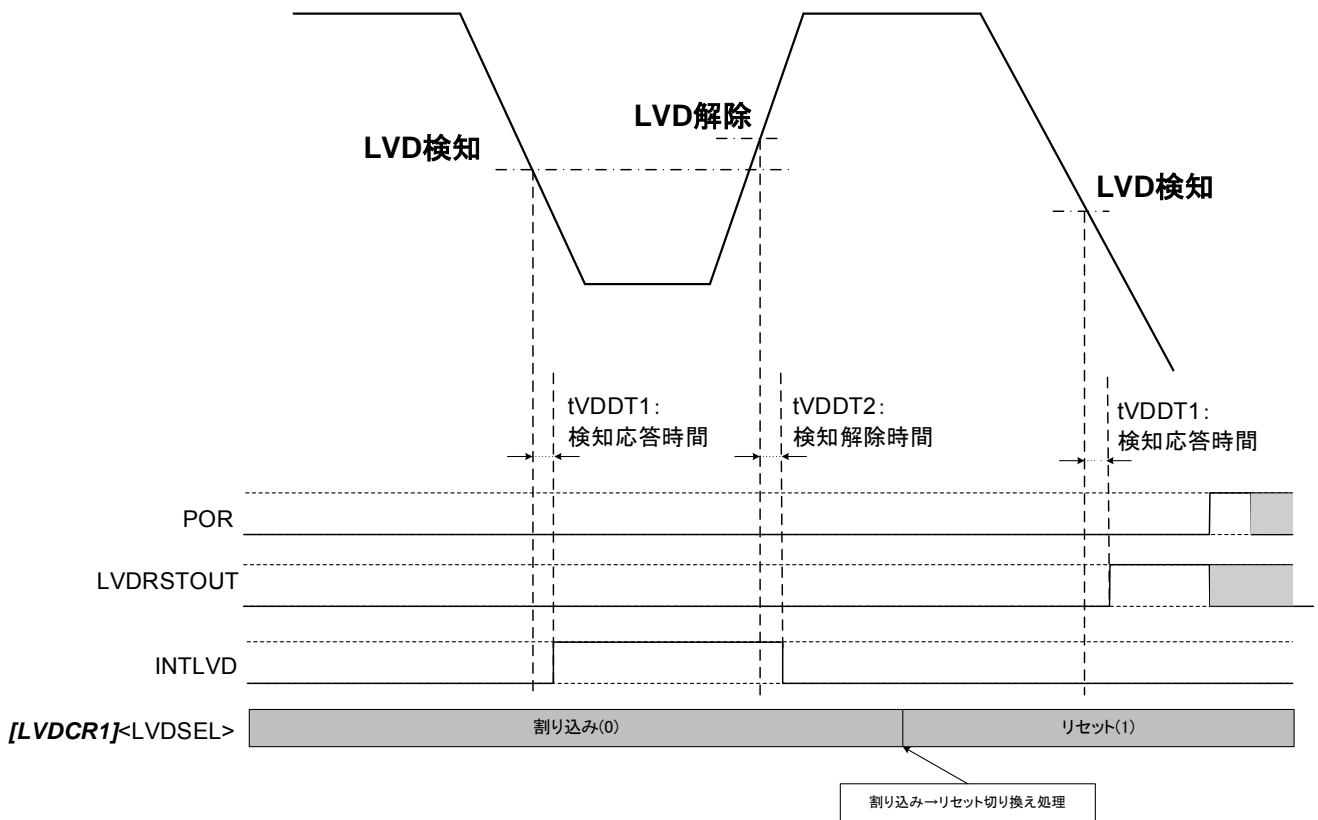


図 3.2 LVD検知、解除タイミング

3) LVD 検知最小パルス幅

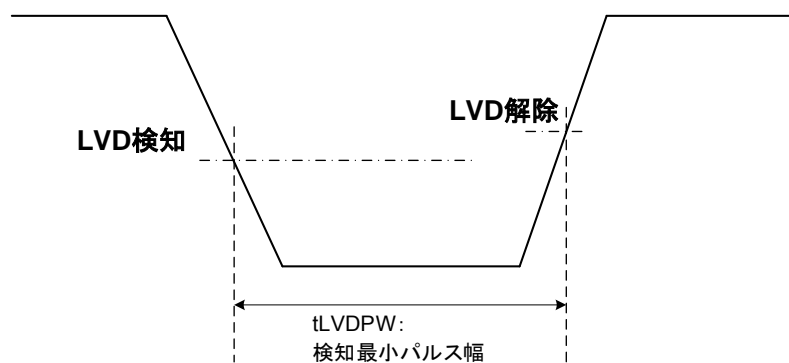


図 3.3 LVD検知最小パルス幅

4. レジスタ説明

4.1. レジスタ一覧

LVD のレジスタとアドレスを以下に示します。

周辺機能	LVD	チャンネル/ユニット	ベースアドレス	
			TYPE 1	TYPE 2
電圧検知回路	LVD	-	0x4003EC00	-

レジスタ名		ベースアドレス(Base+)
LVD 制御レジスタ 1	[LVDCR1]	0x0000
LVD 制御レジスタ 2	[LVDCR2]	0x0001
LVD 検知電圧選択レジスタ 1	[LVDLVL1]	0x0002
LVD 検知電圧選択レジスタ 2	[LVDLVL2]	0x0003
LVD ステータスレジスタ	[LVDSR]	0x0004

注1) ビットバンドアクセス不可。バイトアクセスのみ可。

注2) 電圧検知回路はパワーオンリセットおよび外部端子 RESET_N でのみ初期化されます。

4.1.1. [LVDCR1](LVD 制御レジスタ 1)

Bit	Bit Symbol	リセット後	Type	機能
7	SELVD	0	R/W	LVDSのコンパレータ制御 0: 停止 1: 動作
6:5	-	0	R	リードすると"0"が読めます。
4	LVDSSEL	1	R/W	割り込み/リセット選択制御 0: 割り込み (INTLVD) 1: リセット (LVDRSTOUT)
3:2	-	0	R	リードすると"0"が読めます。
1	LVDSSEN	0	R/W	LVDS 電圧検知動作制御 (STOP2 用) 0: 禁止 1: 許可
0	LVDNEN	1	R/W	LVDN 電圧検知動作制御 (NORMAL, IDLE, STOP1 用) 0: 禁止 1: 許可

4.1.2. [LVDCR2](LVD 制御レジスタ 2)

Bit	Bit Symbol	リセット後	Type	機能
7:1	-	0	R	リードすると"0"が読めます。
0	LVDOEN	1	R/W	割り込み/リセット出力制御 0: 禁止 1: 許可

4.1.3. [LVDLVL1] (LVD 検知電圧選択レジスタ 1)

Bit	Bit Symbol	リセット後	Type	機能
7:4	—	0	R	リードすると"0"が読めます。
3:0	LV DN LVL [3:0]	0110	R/W	LVDN 用 電圧選択 検知電圧 0000: 3.100 V 0001: 3.000 V 0010: 2.900 V 0011: 2.800 V 0100: 2.700 V 0101: 2.600 V 0110: 2.500 V 0111~1111 は設定禁止です。 解除電圧 0000: 3.150 V 0001: 3.050 V 0010: 2.950 V 0011: 2.850 V 0100: 2.750 V 0101: 2.650 V 0110: 2.550 V

4.1.4. [LVDSLVL2] (LVD 検知電圧選択レジスタ 2)

Bit	Bit Symbol	リセット後	Type	機能
7:4	—	0	R	リードすると"0"が読めます。
3:0	LV DS LVL [3:0]	0000	R/W	LVDS 用 電圧選択 検知電圧 0000: 3.100 V 0001: 3.000 V 0010: 2.900 V 0011: 2.800 V 0100: 2.700 V 0101: 2.600 V 0110: 2.500 V 0111~1111 は設定禁止です。

注) LVDS 側には電圧検知による解除機能はありません。

4.1.5. [LVDSR] (LVD ステータスレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
7:2	—	0	R	リードすると"0"が読めます。
1	LV DSS	不定	R	LVDS 用 検知ステータス 0: 設定電圧以上 1: 設定電圧未満
0	LV DNS	不定	R	LVDN 用 検知ステータス 0: 設定電圧以上 1: 設定電圧未満

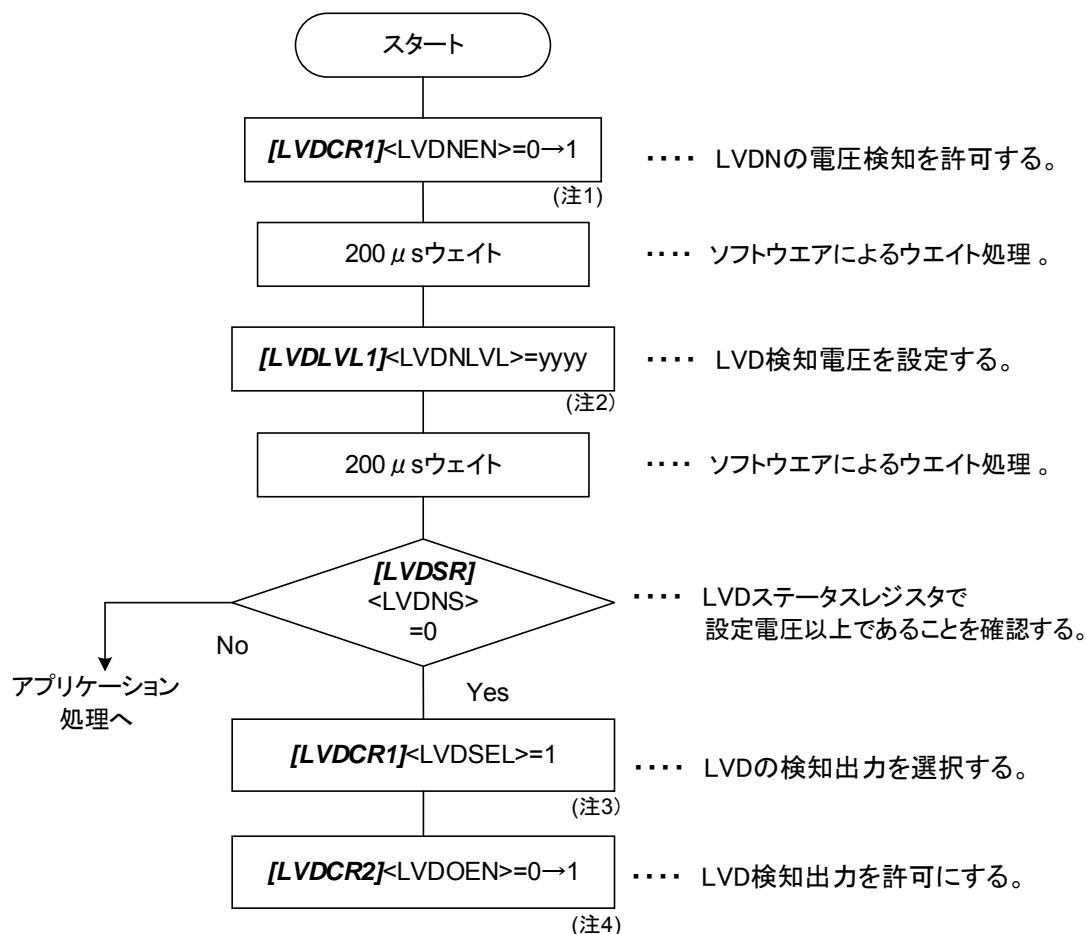
注) LVDN と LVDS は異なるコンパレータのため同じ検知電圧を設定しても同じステータスにならない場合があります。

5. プログラミング方法

下記にプログラミングのフロー例を示します。

設定条件については、「5.7 電圧波形」を参照してください。

5.1. LVDN の初期設定 ・ ・ ・ ①フロー



- 注1) [LVDCR1]<LVDNEN>のリセット後の値は"1"となります。
 注2) [LVDLVL1]<LVDNLVL>のリセット後の値は"0110"となります。
 注3) [LVDCR1]<LVDSSEL>のリセット後の値は"1"となります。
 注4) [LVDCR2]<LVDOEN>のリセット後の値は"1"となります。

図 5.1 LVDNの初期設定 (①フロー)

5.2. LVDN, LVDS の初期設定・・・②フロー

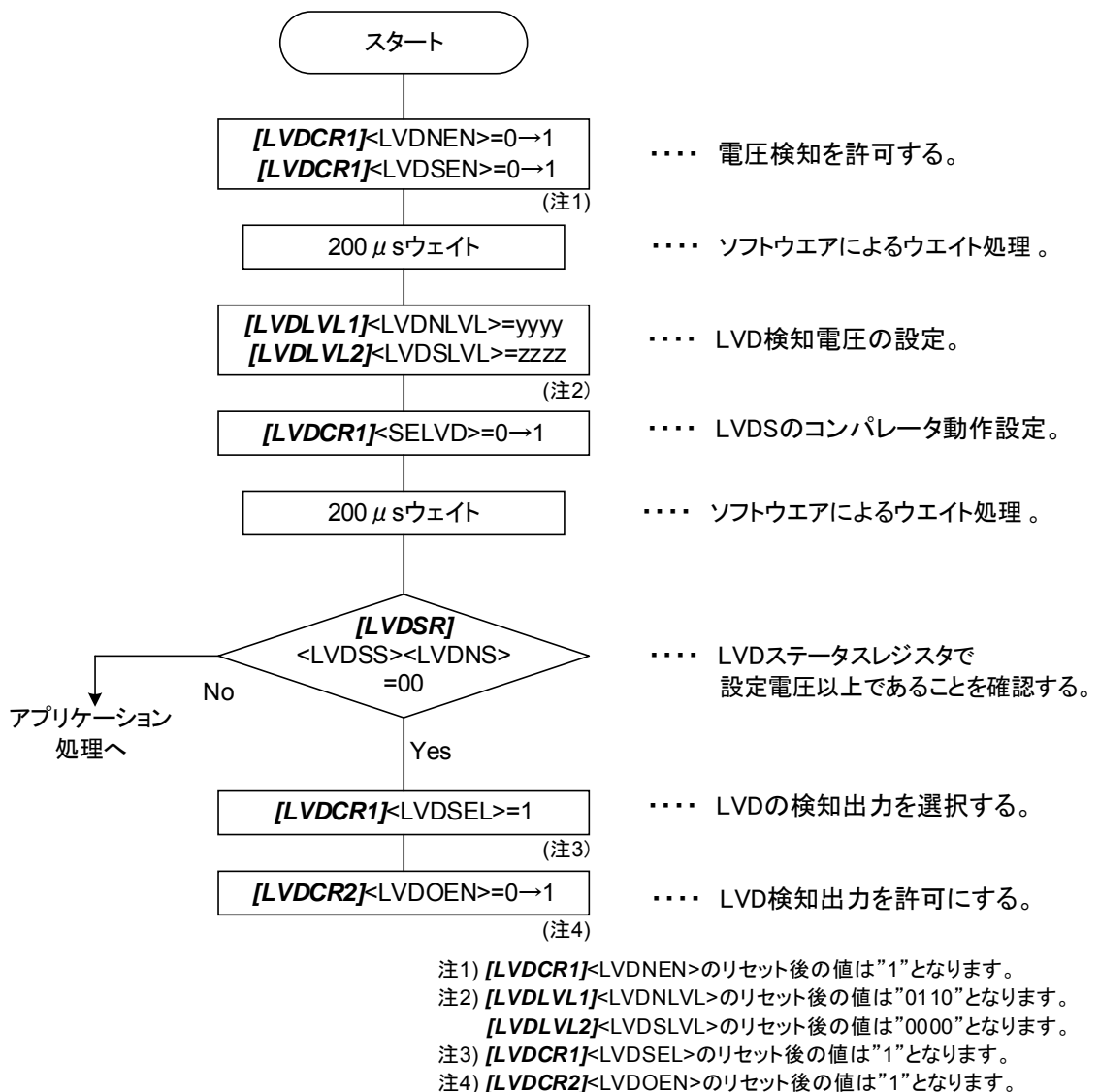


図 5.2 LVDN, LVDSの初期設定(②フロー)

5.3. レベル変更時の設定

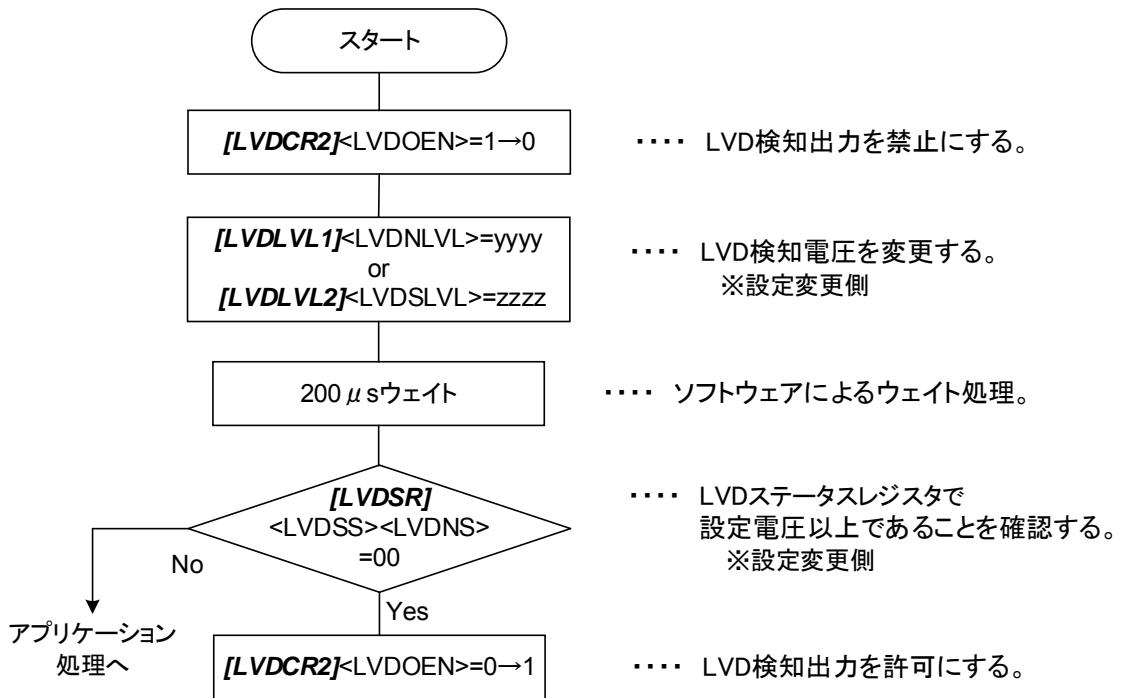


図 5.3 レベル変更時の設定フロー例

5.4. LVDN の許可状態から LVDS 許可への設定

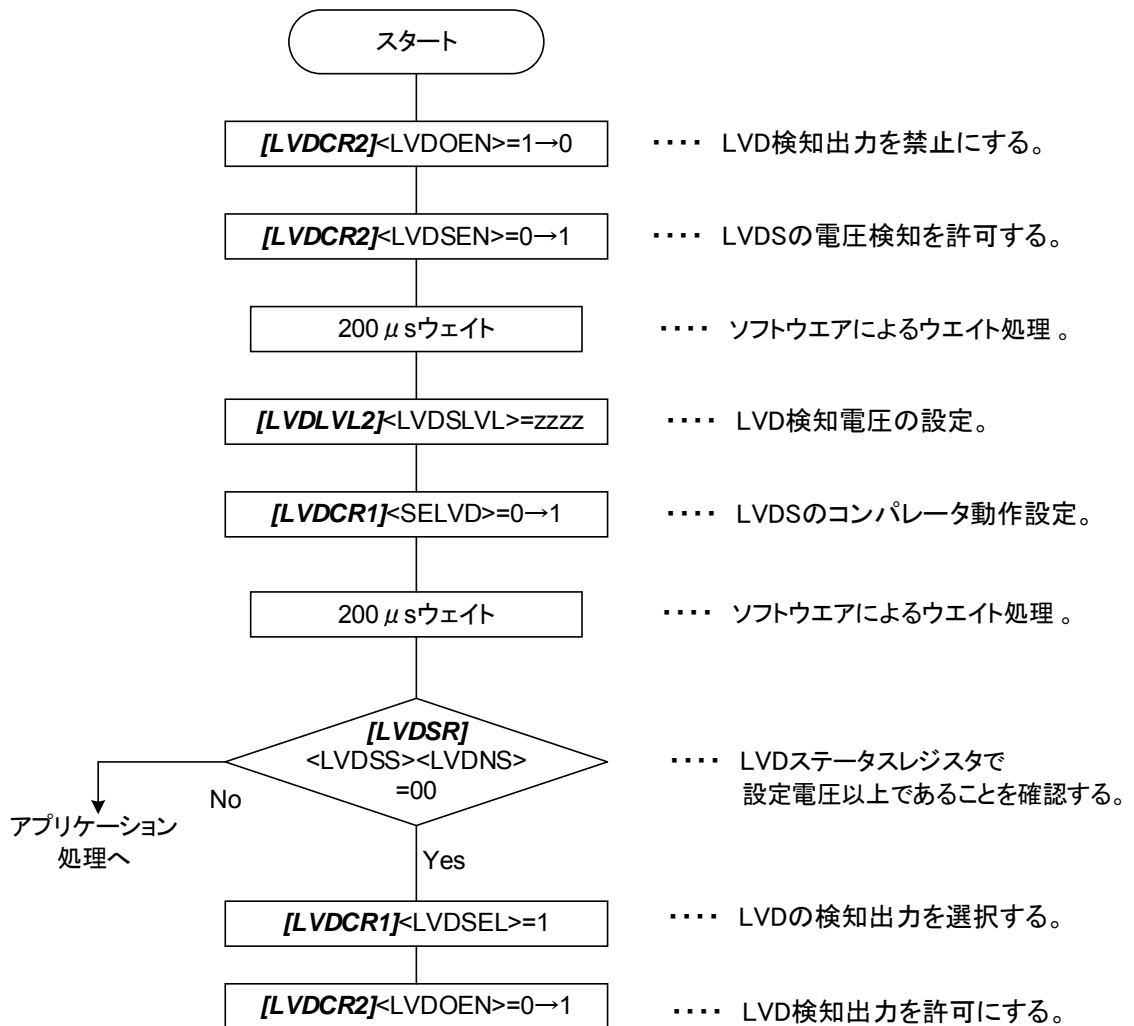


図 5.4 LVDNの許可状態からLVDS許可への設定フロー例

5.5. LVDN, LVDS の許可状態から LVDS 禁止への設定

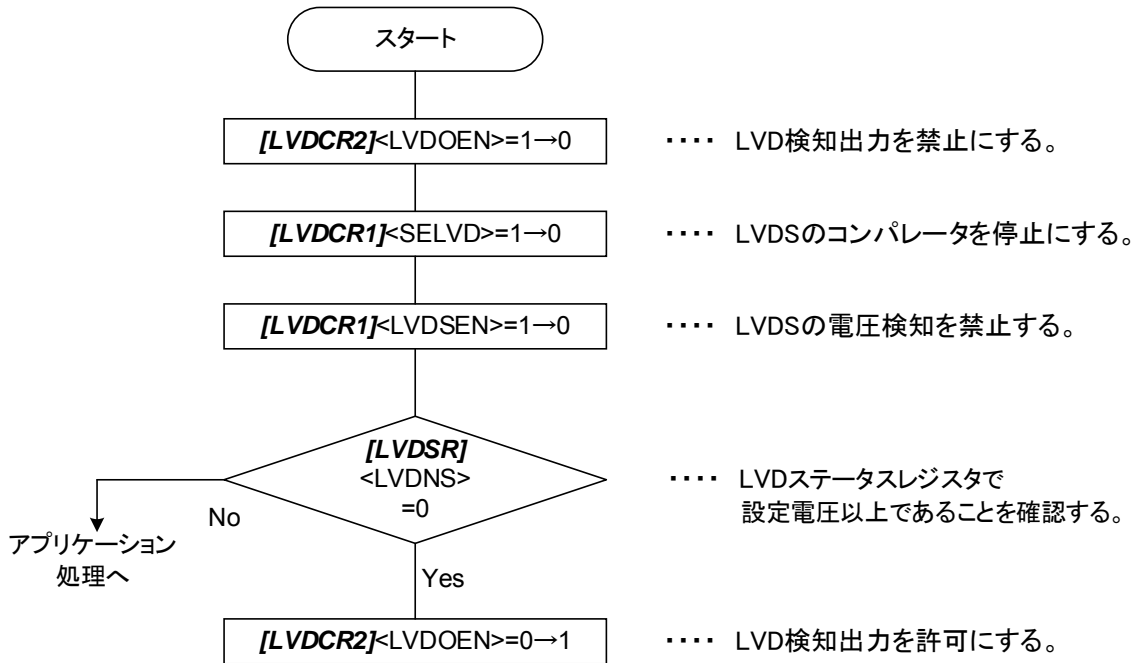


図 5.5 LVDN, LVDSの許可状態からLVDS禁止への設定フロー例

5.6. LVDN, LVDS の許可状態から LVD 禁止への設定

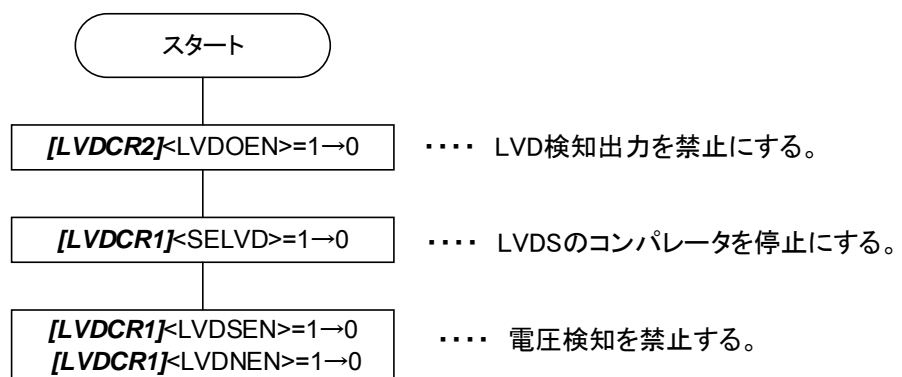


図 5.6 LVDN, LVDSの許可状態からLVD禁止への設定フロー例

5.7. 電圧波形

下記に電圧波形例を示します。

1) LVDN を使用する場合の例

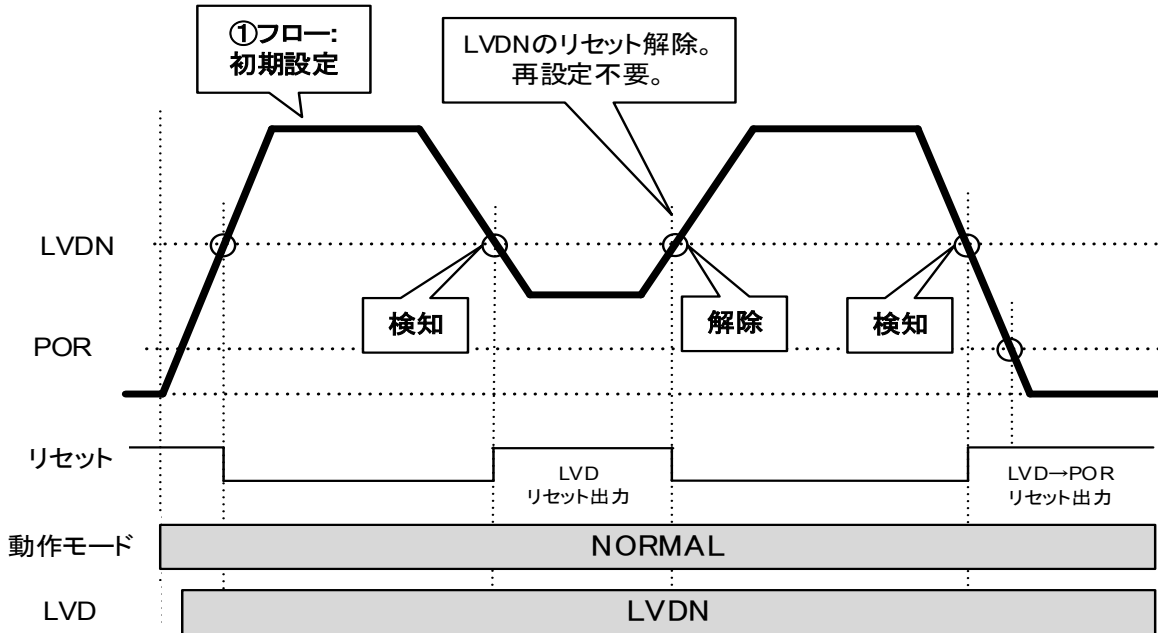


図 5.7 LVDNの使用例

2) LVDN と LVDS を使用する場合の例

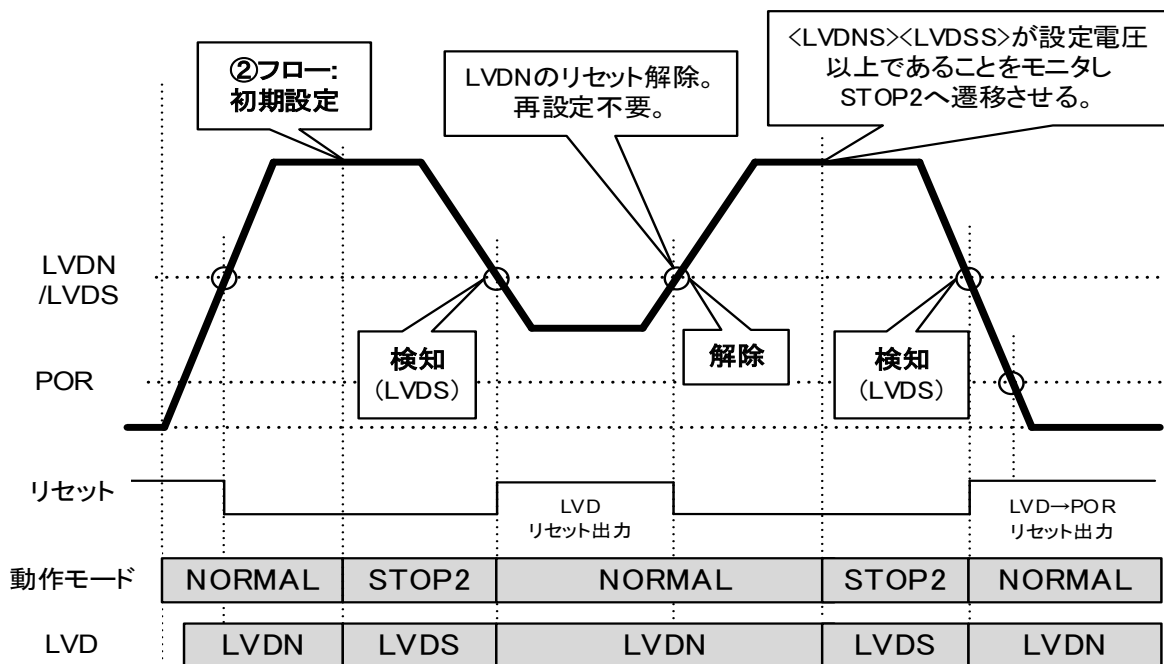


図 5.8 LVDNとLVDSの使用例

6. 改訂履歴

表 6.1 改訂履歴

Revision	Date	Description
1.0	2017-12-13	新規作成
2.0	2018-02-20	2.構成 図 2.1 に DVSS を追記。 3.4. 検知/解除タイミング 波形を見直し。1)電源投入、2) LVD 検知、解除タイミング、 3)LVD 検知最小パルス幅を追記 図 3.2 に[LVDCCR1]<LVDSSEL>の切り替えタイミングを追加 4.1.1. ~4.1.5.節のレジスタ名を[]付き斜体へ修正 4.1.1 [LVDCR1] <LVDSSEL>の説明修正 5. プログラミング方法 説明内容一部削除 5.7. 電圧波形 “5.7. 電圧波形によるプログラミング” -> “電圧波形” へ変更 説明一部削除

製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、電力機器、金融関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口までお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。