

32 ビット RISC マイクロコントローラ

TXZ ファミリ

リファレンスマニュアル
12 ビットアナログデジタルコンバータ
(ADC-C)

Revision 3.0

2019-06

東芝デバイス&ストレージ株式会社

目次

序章	5
関連するドキュメント	5
表記規約	6
用語・略語	8
1. 概要	9
2. 構成	10
3. 機能説明・動作説明	11
3.1. クロック供給	11
3.2. 変換動作	12
3.2.1. 動作概要	12
3.2.2. 制御レジスタ	14
3.2.3. 変換開始手順	14
3.3. 変換の停止	17
3.4. 起動要因の優先度	18
3.5. AD 監視機能	19
3.6. アナログ基準電圧	21
3.7. 変換時間	21
3.7.1. 変換タイミング	21
3.7.2. サンプルング時間	22
3.7.3. サンプルング時間の選択	22
3.7.4. 変換時間の設定	23
4. レジスタ説明	24
4.1. レジスタ一覧	24
4.2. レジスタ詳細	26
4.2.1. [ADxCR0] (制御レジスタ 0)	26
4.2.2. [ADxCR1] (制御レジスタ 1)	27
4.2.3. [ADxST] (ステータスレジスタ)	28
4.2.4. [ADxCLK] (クロック設定レジスタ)	29
4.2.5. [ADxMOD0] (モード設定レジスタ 0)	30
4.2.6. [ADxMOD1] (モード設定レジスタ 1)	30
4.2.7. [ADxMOD2] (モード設定レジスタ 2)	30
4.2.8. [ADxCMPEN] (監視機能許可レジスタ)	31
4.2.9. [ADxCMPCR0] (監視機能設定レジスタ 0)	31
4.2.10. [ADxCMPCR1] (監視機能設定レジスタ 1)	32
4.2.11. [ADxCMPCR2] (監視機能設定レジスタ 2)	33
4.2.12. [ADxCMPCR3] (監視機能設定レジスタ 3)	34
4.2.13. [ADxCMP0] (変換結果比較レジスタ 0)	35
4.2.14. [ADxCMP1] (変換結果比較レジスタ 1)	35

4.2.15. [ADxCMP2] (変換結果比較レジスタ 2).....	35
4.2.16. [ADxCMP3] (変換結果比較レジスタ 3).....	35
4.2.17. [ADxEXAZSEL] (外部 AIN サンプルング期間選択レジスタ)	36
4.2.18. [ADxTSET0] (起動要因用プログラムレジスタ 0)	37
4.2.19. [ADxREG0] (変換結果格納レジスタ 0).....	38
5. 使用方法の例.....	39
5.1. 単独変換	39
5.2. 最優先変換	40
6. 使用上のご注意およびお願い事項.....	41
7. 改訂履歴.....	42
製品取り扱い上のおお願い.....	43

図目次

図 1.1	ADC と周辺機能の関連図	9
図 2.1	ADC ブロック図	10
図 3.1	起動要因と動作の関連 (例)	12
図 3.2	AD 監視機能 (判定カウント連続方式)	20
図 3.3	AD 監視機能 (判定カウント累積方式)	20
図 3.4	アナログ基準電圧回路構成	21
図 3.5	変換タイミング例	21

表目次

表 2.1	信号一覧表	10
表 3.1	起動要因	12
表 3.2	要因と割り込み/DMA 要求	13
表 3.3	AD 変換実行中に新たに起動要因発生時の動作	18
表 3.4	監視機能と割り込み	19
表 3.5	SCLK 周期条件値(n)	22
表 3.6	サンプルリング時間の設定例 (単位: μs)	22
表 3.7	変換時間と設定の例 (単位: μs)	23
表 7.1	改訂履歴	42

序章

関連するドキュメント

文書名
例外
クロック制御と動作モード
製品個別情報

表記規約

- 数値表記は以下の規則に従います。
 - 16 進数表記: 0xABC
 - 10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
 - 2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は [m:n]とまとめて表記する場合があります。
例: S[3:0] は S3,S2,S1,S0 の 4 つの信号名をまとめて表記しています。
- 本文中 [] で囲まれたものはレジスタを定義しています。
例: [ABCD]
- 同種で複数のレジスタ、フィールド、ビット名は「n」で一括表記する場合があります。
例: [XYZ1], [XYZ2], [XYZ3] → [XYZn]
- 「レジスタ一覧」中のレジスタ名でユニットまたはチャンネルは「x」で一括表記しています。
ユニットの場合、「x」は A,B,C...を表します。
例: [ADACR0], [ADBCR0], [ADCCR0] → [ADxCR0]
チャンネルの場合、「x」は 0,1,2,...を表します。
例: [T32A0RUNA], [T32A1RUNA], [T32A2RUNA] → [T32AxRUNA]
- レジスタのビット範囲は [m:n] と表記します。
例: [3:0] はビット 3 から 0 の範囲を表します。
- レジスタの設定値は 16 進数または 2 進数のどちらかで表記されています。
例: [ABCD]<EFG> = 0x01 (16 進数)、 [XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
バイト: 8 ビット
ハーフワード: 16 ビット
ワード: 32 ビット
ダブルワード: 64 ビット
- レジスタ内の各ビットの属性は以下の表記を使用しています。
R: リードオンリー
W: ライトオンリー
R/W: リード / ライト
- 断りのない限り、レジスタアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスタは書き換えを行わないでください。
また、読み出した値を使用しないでください。
- Default 値が「—」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスタに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- ライトオンリーのレジスタの Reserved ビットフィールドには Default 値を書き込んでください。Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスタへのリードモディファイライト処理は行わないでください。

Arm, Cortex および Thumb は Arm Limited(またはその子会社)の US またはその他の国における登録商標です。 All rights reserved.



FLASH メモリについては、米国 SST 社 (Silicon Storage Technology, Inc.) からライセンスを受けた Super Flash®技術を使用しています。Super Flash®は SST 社の登録商標です。

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

ADC	Analog to Digital Converter
TRGSEL	Trigger Selection circuit

1. 概要

12ビットアナログデジタルコンバータ(ADC)は、1ユニット単位で複数チャンネルのアナログ入力(AINx0～AINxn)をAD変換することができます。以下に、機能の一覧を示します。

機能分類	機能	動作説明
AD 変換	変換分解能	12ビット
	変換時間	AVDD3 =2.7～3.6[V] 時: 1.0～5.0 [μs] 最小変換時間条件: 1.0[μs] @ADCLK=60[MHz]
	変換結果の保存	24本の変換結果格納レジスタがあります。
変換開始	最優先起動要因	・最優先トリガ ・ソフトウェア(最優先変換動作) 起動要因は最大24回変換できる変換プログラムあり。(注1)
	汎用起動要因	・汎用トリガ ・ソフトウェア(連続変換動作、単独変換動作) 起動要因は最大24回変換できる変換プログラムあり。(注1)
変換状態	ステータスフラグ	・AD変換中フラグ ・トリガ別のプログラム実行中フラグ ・変換結果格納レジスタごとの変換結果格納フラグ ・変換結果格納レジスタごとの変換結果オーバーランフラグ
割り込み	—	・最優先プログラムAD変換終了(INTADxHP) ・汎用トリガプログラムAD変換終了(INTADxTRG) ・ソフトウェア単独変換プログラムAD変換終了(INTADxSGL) ・ソフトウェア連続変換プログラムAD変換終了(INTADxCNT) ・監視機能割り込み(INTADxCP0, INTADxCP1, INTADxCP2, INTADxCP3) (注2)
変換結果の監視	AD監視機能	・4チャンネルのAD監視機能がチャンネルごとに設定可能(注2) ・監視対象(変換結果格納レジスタ)を選択可能 ・監視方法を比較レジスタより大きい小さいかを選択可能 ・検出回数の設定可能 ・連続方式と累積方式を選択可能

注1) 変換プログラムとは、変換チャンネル、割り込み発生の有無を指定することが可能となる機能。プログラムは複数の変換設定を持ち、それぞれ起動要因/トリガで起動することができます。

注2) AD監視機能のチャンネル対応についてはリファレンスマニュアルの「製品個別情報」を参照してください。

ADCと連携している周辺機能との関係を「図1.1 ADCと周辺機能の関連図」に示します。汎用トリガ、最優先トリガなどからAD変換を開始することができます。

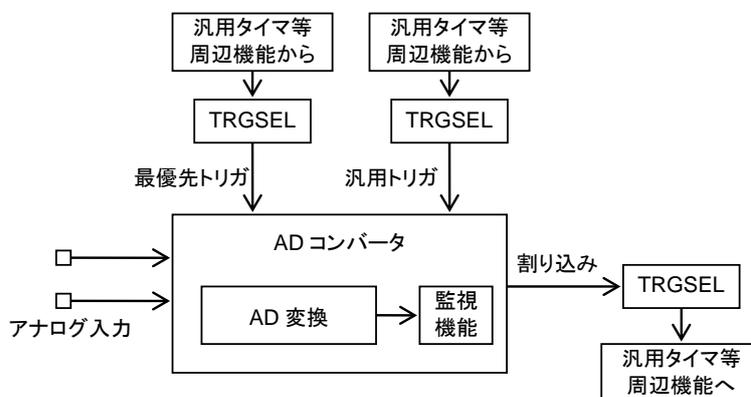


図 1.1 ADCと周辺機能の関連図

2. 構成

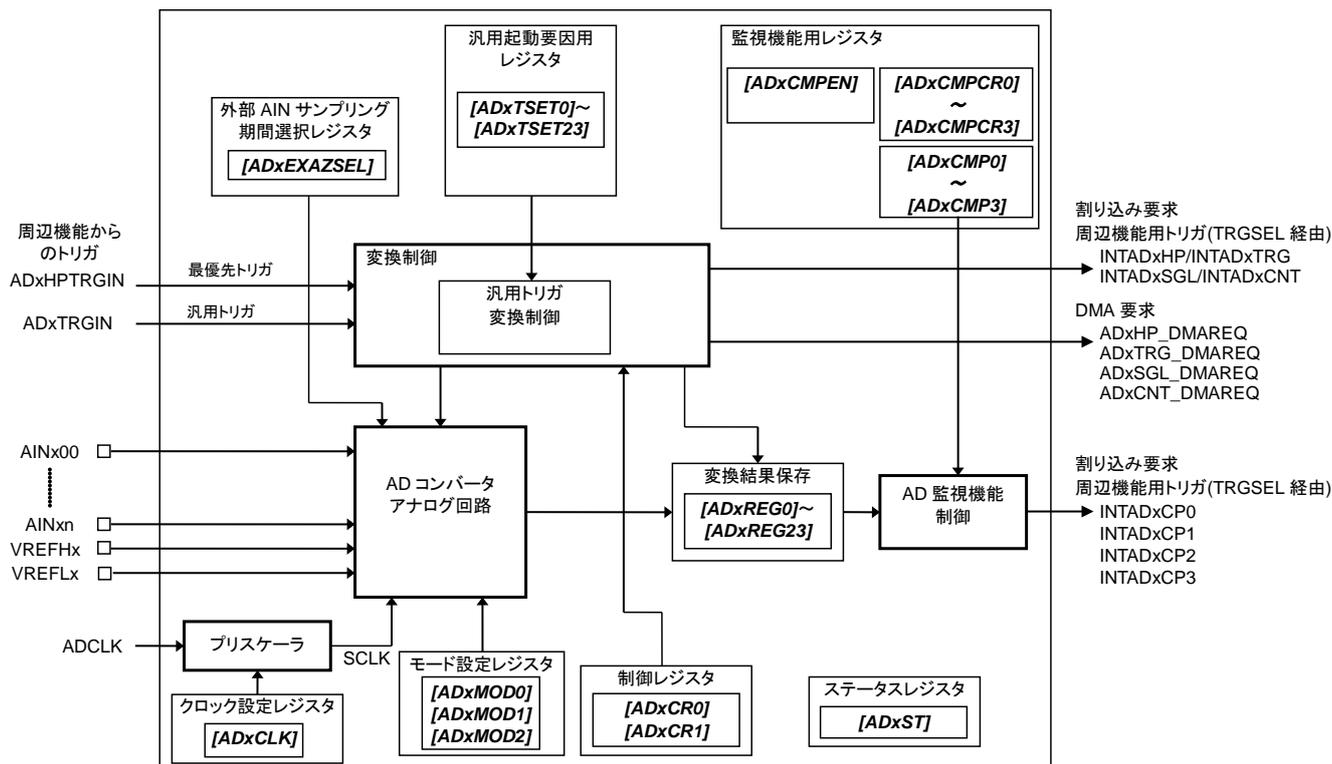


図 2.1 ADCブロック図

表 2.1 信号一覧表

No	信号名	I/O	参照リファレンスマニュアル
1	ADCLK	入力	クロック制御と動作モード
2	AINx00~AINxn	入力	製品個別情報
3	VREFHx	入力	製品個別情報
4	VREFLx	入力	製品個別情報
5	ADxHPTRGIN	入力	製品個別情報
6	ADxTRGIN	入力	製品個別情報
7	INTADxHP	出力	例外、製品個別情報
8	INTADxTRG	出力	例外、製品個別情報
9	INTADxSGL	出力	例外、製品個別情報
10	INTADxCNT	出力	例外、製品個別情報
11	INTADxCP0	出力	例外、製品個別情報
12	INTADxCP1	出力	例外、製品個別情報
13	INTADxCP2	出力	例外、製品個別情報
14	INTADxCP3	出力	例外、製品個別情報
15	ADxHP_DMAREQ	出力	製品個別情報
16	ADxTRG_DMAREQ	出力	製品個別情報
17	ADxSGL_DMAREQ	出力	製品個別情報
18	ADxCNT_DMAREQ	出力	製品個別情報

3. 機能説明・動作説明

ADC はソフトウェアによる起動（ソフトウェアトリガ）またはタイマなどからのトリガ信号により任意の AD 変換を開始します。

3.1. クロック供給

ADC を使用する場合は、f_{sys} 供給停止レジスタ A(*[CGFSYSENA]*、*[CGFSYSMENA]*)、f_{sys} 供給停止レジスタ B(*[CGFSYSENB]*、*[CGFSYSMENB]*)、f_c 供給停止レジスタ (*[CGFCEN]*) で該当するクロックイネーブルビットを"1" (クロック供給) に設定してください。また、ADC/トレース用クロック供給停止レジスタ (*[CGSPCLKEN]*) で AD コンバータ用変換クロックイネーブルビットを"1" にしてください。

該当レジスタ、ビット位置は製品によって異なります。そのため製品によって、レジスタが存在しない場合があります。詳細はリファレンスマニュアルの「クロック制御と動作モード」を参照してください。

クロックの供給を停止する場合、AD 変換が停止していることを確認してください。また、STOP1 モードまたは STOP2 モードに遷移する際も同様に AD 変換が停止していることを確認してください。

3.2. 変換動作

変換開始の起動要因は、最優先起動要因と汎用起動要因があります。

最優先起動要因は、最優先変換による起動で2つの変換起動（最優先トリガまたは最優先変換動作）があります。また、汎用起動要因は、汎用トリガ、単独変換動作および連続変換動作による起動があります。

表 3.1 起動要因

最優先起動要因	汎用起動要因
① 最優先変換 ・最優先トリガ ・最優先変換動作(ソフトウェア)	② 汎用トリガ変換 ③ 単独変換動作(ソフトウェア) ④ 連続変換動作(ソフトウェア)

注) 番号①～④は、図 3.1 で動作イメージを示しています。

3.2.1. 動作概要

起動要因による変換動作は、変換結果格納レジスタごとに準備されている起動要因用プログラムレジスタの設定に従って動作します。

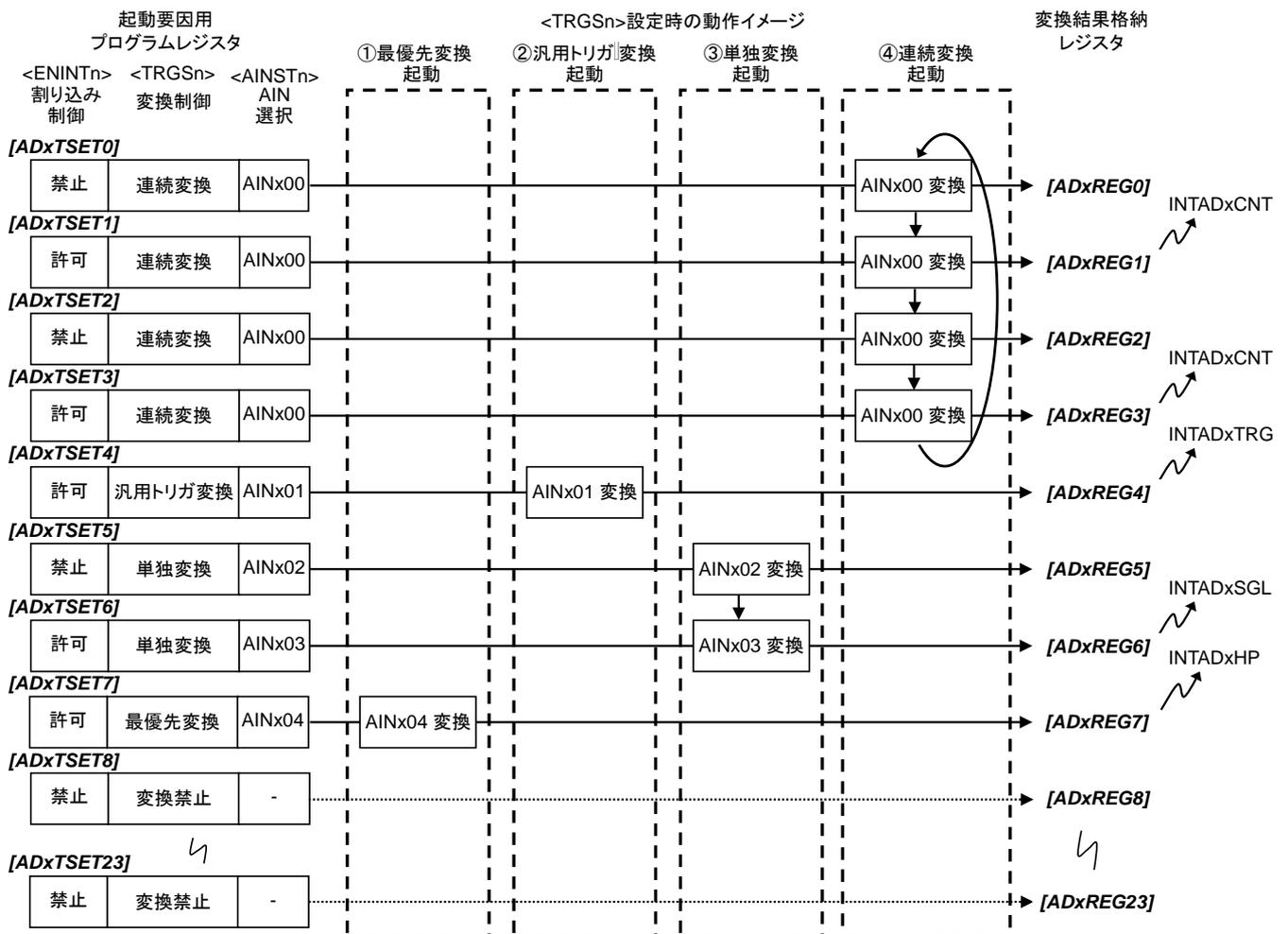


図 3.1 起動要因と動作の関連 (例)

起動要因用プログラムレジスタに起動要因選択(変換制御)、AIN 選択、割り込み発生の有無(割り込み制御)をプログラムします。起動要因が発生すると、指定された変換を若い番号から実行します。

①最優先変換

最優先変換は、2つの変換起動があります。
最優先トリガによる変換は、最優先トリガが入力されると最優先変換に指定された変換を 1 回実行します。また、最優先変換動作(ソフトウェア)も最優先変換に指定された変換を 1 回実行します。

②汎用トリガ変換

汎用トリガによる変換は、汎用トリガが入力されると汎用トリガ変換に指定された変換を各 1 回実行します。

③単独変換動作(ソフトウェア)

単独変換動作は、単独変換に指定された変換を各 1 回実行します。

④連続変換動作(ソフトウェア)

連続変換動作は、連続変換に指定された変換を繰り返し実行します。

起動要因では、**[ADxTSETn]<ENINTn>**で割り込み発生を指定された変換が終了すると、起動要因(最優先変換、汎用トリガ起動、単独変換、連続変換)ごとに異なる割り込み(INTADxHP INTADxTRG, INTADxSGL, INTADxCNT)が発生します。

また、起動要因ごとに DMA 要求を発生させることができます。割り込み発生を指定した状態で、**[ADxCRI]<HPDMEN><CNTDMEN><SGLDMEN><TRGDMEN>**が"1" (DMA 要求制御: 許可)の場合、割り込み発生と同時に DMA 要求が発生します。

表 3.2 要因と割り込み/DMA要求

要因	割り込み	DMA 要求
最優先変換	最優先プログラム AD 変換終了(INTADxHP)	最優先変換 DMA 要求 (ADxHP_DMAREQ)
汎用トリガ変換	汎用トリガプログラム AD 変換終了(INTADxTRG)	汎用トリガ DMA 要求 (ADxTRG_DMAREQ)
単独変換	ソフトウェア単独変換プログラム AD 変換終了(INTADxSGL)	単独変換 DMA 要求 (ADxSGL_DMAREQ)
連続変換	ソフトウェア連続変換プログラム AD 変換終了(INTADxCNT)	連続変換 DMA 要求 (ADxCNT_DMAREQ)

3.2.2. 制御レジスタ

- 起動要因用プログラムレジスタ ($[ADxTSET0]$ ~ $[ADxTSET23]$)
変換結果格納レジスタごとに起動要因用プログラムレジスタが存在します。
 $[ADxTSETn]$ に、AIN 選択<AINSTn>、変換制御<TRGSn>、割り込み制御<ENINTn>を設定します。
- モード設定レジスタ 0 ($[ADxMOD0]$)
ADC を使用するには、まず $[ADxMOD0]$ <DACON>を"1"に設定します。安定時間に 3[μ s]必要です。
- 制御レジスタ 0 ($[ADxCR0]$)
各種設定後変換動作を可能にするには、 $[ADxCR0]$ <ADEN>に"1"を設定します。
ソフトウェアにより単独変換または連続変換を開始する場合、 $[ADxCR0]$ <SGL>または<CNT>に"1"を書き込みます。連続変換を停止する場合は<CNT>に"0"を書き込みます。
また、ソフトウェアにより最優先変換を開始する場合、 $[ADxCR0]$ <HPSGL>に"1"を書き込みます。
- 制御レジスタ 1 ($[ADxCRI]$)
汎用トリガによるプログラムの起動を許可するには、 $[ADxCRI]$ <TRGEN>でトリガを許可します。
この状態で、トリガが入力されると変換を開始します。DMA 要求の発生を許可する場合、 $[ADxCRI]$ <SGLDMEN><CNTDMEN><TRGDMEN>に"1"を設定します。
また、最優先トリガによるプログラムの起動を許可するには、 $[ADxCRI]$ <HPTRGEN>でトリガを許可します。この状態で、トリガが入力されると変換を開始します。DMA 要求の発生を許可する場合、 $[ADxCRI]$ <HPDMEN>に"1"を設定します。

注) $[ADxCRI]$ レジスタの設定は $[ADxCR0]$ <ADEN>=0 の状態で行ってください。

3.2.3. 変換開始手順

変換動作を開始するには、以下の手順でレジスタを設定してください。

- 最優先トリガ変換
 - (1) INTADxHP を使えるように割り込み設定をします。
 - (2) $[ADxMOD0]$ <DACON>を"1"に設定します。
 - (3) 3[μ s]以上待ちます。
 - (4) $[ADxCRI]$ <HPTRGEN>に"1"を設定する。
 - (5) 最優先トリガ(ADxHPTRGIN)に何を使用するか設定します。(注)
 - (6) $[ADxTSETn]$ の AIN 選択<AINSTn>=任意、変換制御<TRGSn>=1xx、割り込み制御<ENINTn>=1を設定します。
 - (7) 複数チャンネルの最優先トリガ起動を行う場合は、AIN 選択を変えて(6)を再度設定します。
 - (8) $[ADxCR0]$ <ADEN>に"1"を設定します。
 - (9) トリガを入力すると変換を開始します。
 - (10) 変換が終了したら、INTADxHP が発生します。割り込みサービスルーチンで $[ADxREGn]$ をリードします。
 - (11) 以降(9)~(10)を繰り返します。

注) 最優先トリガ(ADxHPTRGIN)に接続されている信号の詳細はリファレンスマニュアル「製品個別情報」を参照してください。

- 最優先変換

- (1) INTADxHP を使えるように割り込み設定をします。
 - (2) **[ADxMOD0]**<DACON>を"1"に設定します。
 - (3) 3[μs]以上待ちます。
 - (4) **[ADxTSETn]**の AIN 選択<AINSTn>=任意、変換制御<TRGSn>=1xx、割り込み制御<ENINTn>=1 を設定します。
 - (5) 複数チャンネルの最優先変換を行う場合は、AIN 選択を変えて(4)を再度設定します。
 - (6) **[ADxCR0]**<ADEN>に"1"を設定します。
 - (7) **[ADxCR0]**<HPSGL>に"1"を設定すると、変換を開始します。
 - (8) 変換が終了したら、INTADxHP が発生します。割り込みサービスルーチンで**[ADxREGn]**をリードします。
 - (9) 以降(7)~(8)を繰り返します。
- 汎用トリガ変換
 - (1) INTADxTRG を使えるように割り込み設定をします。
 - (2) **[ADxMOD0]**<DACON>を"1"に設定します。
 - (3) 3[μs]以上待ちます。
 - (4) **[ADxCRI]**<TRGEN>に"1"を設定する。
 - (5) 汎用トリガ(ADxTRGIN)に何を使用するか設定します。(注)
 - (6) **[ADxTSETn]**の AIN 選択<AINSTn>=任意、変換制御<TRGSn>=011、割り込み制御<ENINTn>=1 を設定します。
 - (7) 複数チャンネルの汎用トリガ起動を行う場合は、AIN 選択を変えて(6)を再度設定します。
 - (8) **[ADxCR0]**<ADEN>に"1"を設定します。
 - (9) トリガを入力すると変換を開始します。
 - (10) 変換が終了したら、INTADxTRG が発生します。割り込みサービスルーチンで**[ADxREGn]**をリードします。
 - (11) 以降(9)~(10)を繰り返します。

注) 汎用トリガ(ADxTRGIN)に接続されている信号の詳細はリファレンスマニュアル「製品個別情報」を参照してください。
 - 単独変換
 - (1) INTADxSGL を使えるように割り込み設定をします。
 - (2) **[ADxMOD0]**<DACON>を"1"に設定します。
 - (3) 3[μs]以上待ちます。
 - (4) **[ADxTSETn]**の AIN 選択<AINSTn>=任意、変換制御<TRGSn>=010、割り込み制御<ENINTn>=1 を設定します。
 - (5) 複数チャンネルの単独変換を行う場合は、AIN 選択を変えて(4)を再度設定します。
 - (6) **[ADxCR0]**<ADEN>に"1"を設定します。
 - (7) **[ADxCR0]**<SGL>に"1"を設定すると、変換を開始します。
 - (8) 変換が終了したら、INTADxSGL が発生します。割り込みサービスルーチンで**[ADxREGn]**をリードします。
 - (9) 以降(7)~(8)を繰り返します。

- 連続変換
 - (1) INTADxCNT を使えるように割り込み設定をします。
 - (2) `[ADxMOD0]<DACON>`を"1"に設定します。
 - (3) 3[μ s]以上待ちます。
 - (4) `[ADxTSETn]`の AIN 選択<AINSTn>=任意、変換制御<TRGSn>=001、割り込み制御<ENINTn>=1 を設定します。
 - (5) 複数チャンネルの連続変換を行う場合は、AIN 選択を変えて(4)を再度設定します。
 - (6) `[ADxCR0]<ADEN>`に"1"を設定します。
 - (7) `[ADxCR0]<CNT>`に"1"を設定すると、変換を開始します。
 - (8) 変換が終了したら、INTADxCNT が発生します。割り込みサービスルーチンで`[ADxREGn]`をリードします。
 - (9) 以降(8)を繰り返します。

3.3. 変換の停止

[ADxCR0]<ADEN>に"0"を書き込むと直ちに変換を停止します。連続変換を許可している場合は [ADxCR0]<CNT>も"0"を書き込んでください。

変換が完全に停止すると [ADxST] の全てのビットが"0"になります。 [ADxST] 以外のレジスタと変換結果レジスタの値は保持されます。次に変換を許可する前に、変換結果レジスタの値を読み出してフラグをクリアしてください。

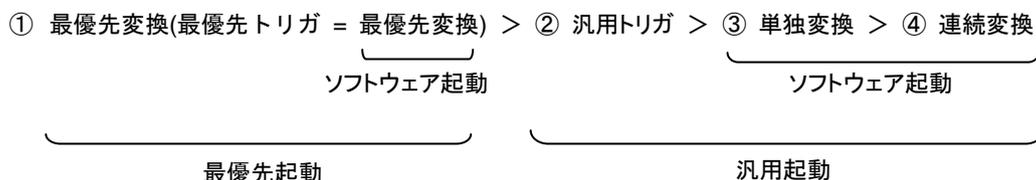
ADCLK を停止する場合、変換停止処理を実施後、 [ADxST]<ADBF>が"0"であることを確認してから停止してください。

3.4. 起動要因の優先度

起動要因には、以下のとおり優先度があります。

優先度:高

優先度:低



最優先変換プログラムは一度開始したら中断されることはありません。汎用トリガ、単独変換、連続変換のプログラムは、実行中に優先度の高い要因が発生した場合中断し優先度の高い要因のプログラムを実行します。優先度の低い要因が発生した場合は保留されます。

中断された汎用トリガ、単独変換、連続変換のプログラムは、実行可能になると中断した変換から再開します。

プログラム実行中に、そのプログラムを起動した要因が再度発生した場合は無視されます。

プログラムの状態は、 $[ADxST]<CNTF><SNGF><TRGF><HPF>$ で確認することができます。ソフトウェアで起動する要因では、フラグが"0"であることを確認することで確実に起動することができます。

表 3.3 AD変換実行中に新たに起動要因発生時の動作

		新規発生する起動要因			
		最優先変換	汎用トリガ	ソフトウェア 単独変換	ソフトウェア 連続変換
実行中の 起動要因	最優先変換	実行中要因継続 (注 2)	実行中要因継続 (注 1)	実行中要因継続 (注 1)	実行中要因継続 (注 1)
	汎用トリガ	新規要因開始 (注 3)	実行中要因継続 (注 2)	実行中要因継続 (注 1)	実行中要因継続 (注 1)
	ソフトウェア 単独変換	新規要因開始 (注 3)	新規要因開始 (注 3)	実行中要因継続 (注 2)	実行中要因継続 (注 1)
	ソフトウェア 連続変換	新規要因開始 (注 3)	新規要因開始 (注 3)	新規要因開始 (注 3)	実行中要因継続 (注 2)

注 1) 新規起動要因は保留されて実行中の要因終了後に実行されます。

注 2) 新規起動要因は無視されます。

注 3) 実行中の起動要因は中断され、新規起動要因が実行されます。中断された起動要因は、新規起動要因終了後に再開されます。

3.5. AD 監視機能

AD 監視機能は、AD 変換値が設定した値より大きい場合、または、小さい場合に割り込みを発生します。本機能を 4 チャンネル同時に使用することで、AD 変換値が 4 つの設定値の範囲内に入っているかの検出、範囲外となっているかの検出が可能となります。

[ADxCMPEN]<CMP0EN>、<CMP1EN>、<CMP2EN>、<CMP3EN>に"1"をセットすると AD 監視機能が有効になります。4 つの監視機能を同時に有効にすることも可能です。

[ADxCMPCR0]を例に説明します ([ADxCMPCR1]、[ADxCMPCR2]、[ADxCMPCR3]も同様です)。

[ADxCMPCR0]<REGS0[4:0]>で比較対象の変換結果格納レジスタ、<ADBIG0>で大・小判定、<CMPCND0>で判定カウンタの条件、<CMPCNT0[3:0]>で判定カウンタ数を設定します。

対象の変換結果格納レジスタに結果が格納されるごとに大・小比較判定を行い、判定結果が<ADBIG0>の設定にあてはまれば判定カウンタをプラスします。

判定カウンタの条件には、連続方式と累積方式があります。

連続方式は、<ADBIG0>に設定した状態が連続して<CMPCNT0[3:0]>に設定したカウント回数に達すると AD 監視割り込み(INTADxCP0)が発生します。その後、設定したカウント数を超えて継続した場合は何も発生しません。<ADBIG0>に設定した状態と異なる場合にカウンタ値をクリアします。

累積方式は、<ADBIG0>に設定した状態が累積して<CMPCNT0[3:0]>に設定したカウント回数に達すると AD 監視割り込み(INTADxCP0)が発生し、カウンタをクリアします。<ADBIG0>に設定した状態と異なる場合でもカウンタ値を保持します。なお[ADxCMPCR0]レジスタで指定された変換結果格納レジスタの内容が変換結果比較レジスタの値と同じ場合は、カウンタをプラスせず、AD 監視機能割り込み(INTADxCP0)およびトリガは発生しません。

表 3.4 監視機能と割り込み

監視機能	割り込み
監視機能設定レジスタ 0 ([ADxCMPCR0])	監視機能 0 割り込み (INTADxCP0)
監視機能設定レジスタ 1 ([ADxCMPCR1])	監視機能 1 割り込み (INTADxCP1)
監視機能設定レジスタ 2 ([ADxCMPCR2])	監視機能 2 割り込み (INTADxCP2)
監視機能設定レジスタ 3 ([ADxCMPCR3])	監視機能 3 割り込み (INTADxCP3)

注) 割り込みの対応についてはリファレンスマニュアルの「製品個別情報」を参照してください。

AD 監視機能を使用する際、格納レジスタは通常ではソフトウェアで読み出しを行いませんので、オーバーランフラグ[ADxREGn]<ADOVRFn>は常にセットされていることになり、変換結果格納フラグ[ADxREGn]<ADRFn>もまたセットされている事になります。したがって、AD 監視機能を使用する場合は当該変換結果格納レジスタのフラグを使用しないでください。

注) 監視機能のレジスタ設定は[ADxCR0]<ADEN> =0 の状態で行ってください。

(1) 連続方式による判定

- 監視機能設定レジスタ ($[ADxCMPCR0] = 0x00000200$)
比較する変換結果格納レジスタ: $[ADxREG0]$
大小判定: $[ADxREG0] < ADR0 > > [ADxCMP0]$
判定カウント条件: 連続方式
大小判定カウント数: 3 回カウント
- AD 変換結果比較レジスタ ($[ADxCMP0] < ADxCMP0 > = 0x888$)
- 監視機能許可レジスタ ($[ADxCMPEN] = 0x00000001$)

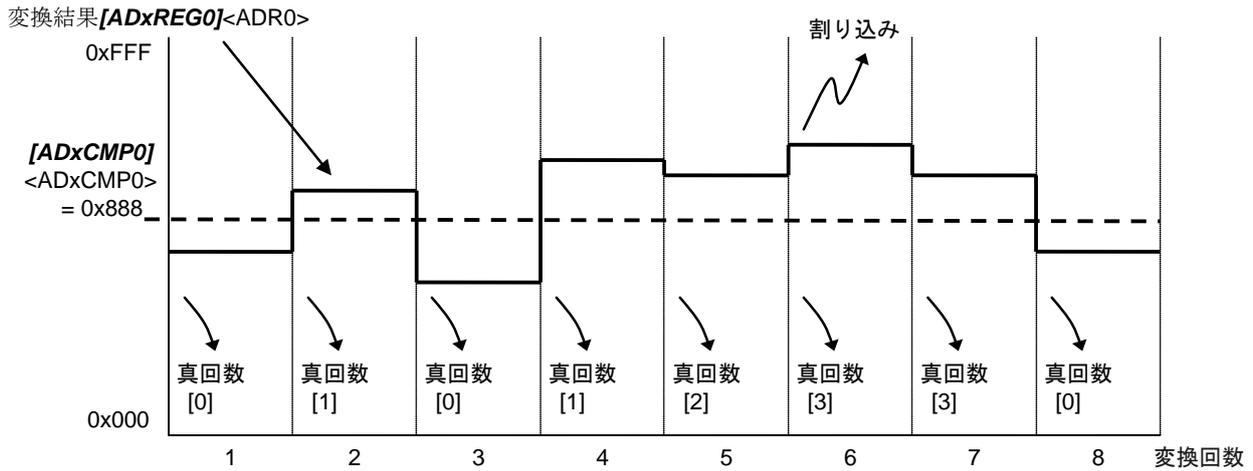


図 3.2 AD監視機能 (判定カウント連続方式)

(2) 累積方式による判定

- 監視機能設定レジスタ ($[ADxCMPCR0] = 0x00000240$)
比較する変換結果格納レジスタ: $[ADxREG0]$
大小判定: $[ADxREG0] < ADR0 > > [ADxCMP0]$
判定カウント条件: 累積方式
大小判定カウント数: 3 回カウント
- AD 変換結果比較レジスタ ($[ADxCMP0] < ADxCMP0 > = 0x888$)
- 監視機能許可レジスタ ($[ADxCMPEN] = 0x00000001$)

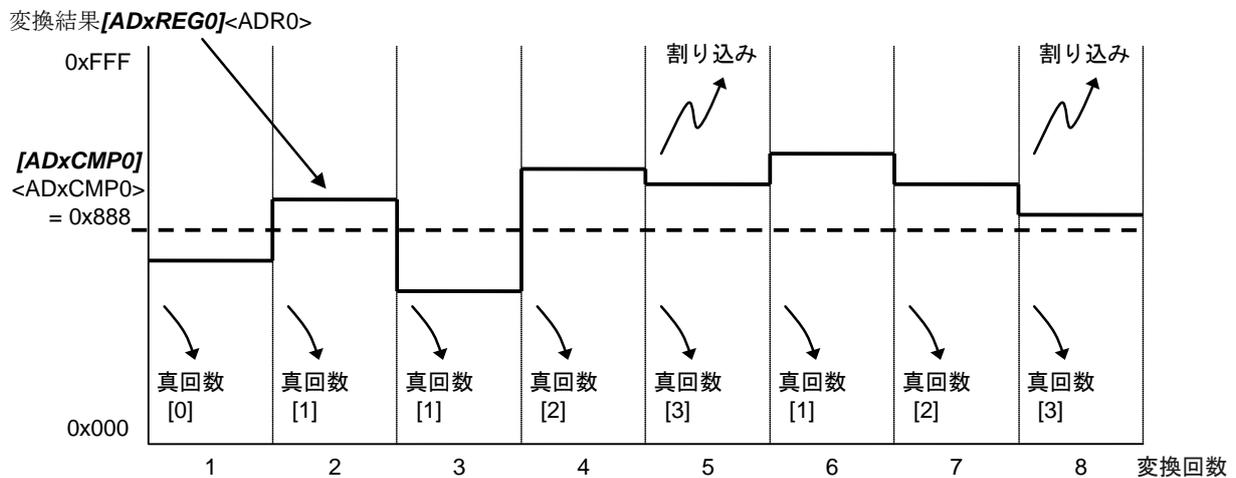


図 3.3 AD監視機能 (判定カウント累積方式)

3.6. アナログ基準電圧

アナログ基準電圧は ADC ユニットの VREFHx, VREFLx 端子に High、Low のレベルを入力します。低消費電力モード選択レジスタ $[ADxMOD0]<RCUT>$ に "1" を設定することで VREFHx と VREFLx 間のスイッチを変換中のみオン状態に切り換えて、VREFHx - VREFLx に流れる電流を削減することができます。

VREFHx, VREFLx 端子は製品によって AVDD, AVSS 端子と兼用となります。詳細はリファレンスマニュアルの「製品個別情報」を参照してください。

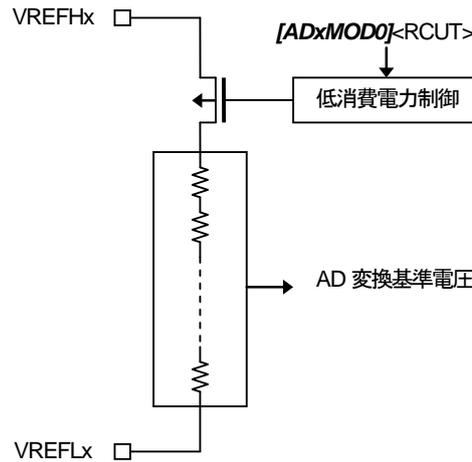


図 3.4 アナログ基準電圧回路構成

3.7. 変換時間

3.7.1. 変換タイミング

変換のタイミングは図 3.5 に示します。

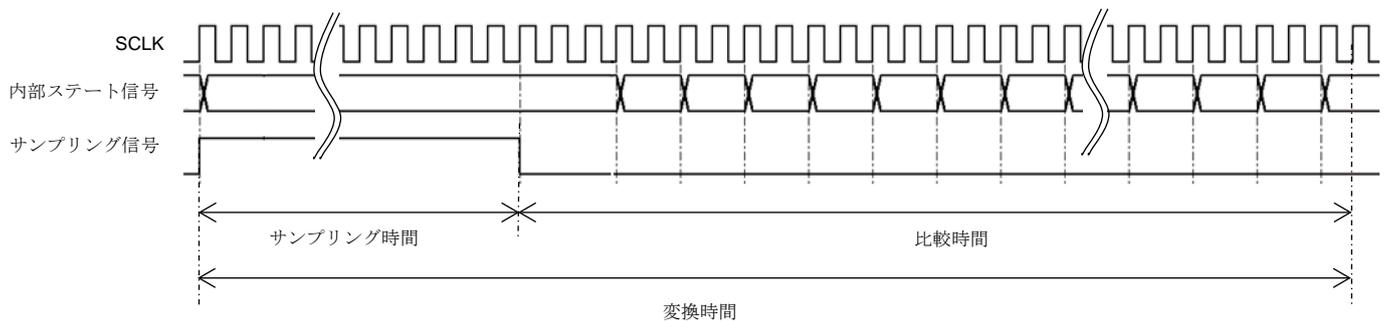


図 3.5 変換タイミング例

3.7.2. サンプリング時間

サンプリング時間は $[ADxCLK]<EXAZ0>$ or $<EXAZ1>$ と $<VADCLK>$ で設定します。また、サンプリング時間は2種類を設定でき、AIN チャンネル毎にサンプリング時間を選択することができます。

$$\begin{aligned} \text{サンプリング時間} &= [ADxCLK]<EXAZ0> \text{ or } <EXAZ1> \times n \\ &= \text{SCLK 周期} \times m \times n \end{aligned}$$

(m : $<EXAZ>$ or $<EXAZ1>$ 設定、 n : SCLK 周期条件値)

SCLK 周期条件値(n)は SCLK 周期によって数値が異なります。
SCLK 周期条件値(n)を下表に示します。

表 3.5 SCLK周期条件値(n)

SCLK 周期	SCLK 周期条件値(n)
SCLK ≤ 40MHz のとき	10
40MHz < SCLK ≤ 50MHz	14
50MHz < SCLK ≤ 60MHz	16
60MHz < SCLK ≤ 80MHz	20

下表にサンプリング時間の設定例を示します。

表 3.6 サンプルリング時間の設定例 (単位: μs)

SCLK (MHz)	$[ADxCLK]<EXAZ0>$ or $<EXAZ1>$			
	0000	0001	0010	0011
40	0.25	0.50	0.75	-
50	0.28	0.56	0.84	1.12
60	0.27	0.53	0.80	1.07
80	0.25	0.50	0.75	1.00

- : 設定不可

3.7.3. サンプリング時間の選択

AIN チャンネル毎に $[ADxCLK]<EXAZ0>$ or $<EXAZ1>$ で設定したサンプリング時間を外部 AIN サンプリング期間選択レジスタ($[ADxEXAZSEL]$)で選択します。

3.7.4. 変換時間の設定

変換時間は以下の式で求められます。

$$\text{変換時間} = \text{サンプリング時間} + \text{比較時間}$$

(1) $\text{SCLK} \leq 60\text{MHz}$ のとき

$$\text{変換時間} = \text{サンプリング時間} + (\text{SCLK 周期} \times 44) \text{ } [\mu\text{s}]$$

注) サンプリング時間は表 3.6 を参照してください。

(2) $\text{SCLK} > 60\text{MHz}$ のとき

$$\text{変換時間} = \text{サンプリング時間} + (\text{SCLK 周期} \times 72) \text{ } [\mu\text{s}]$$

注) サンプリング時間は表 3.6 を参照してください。

以下に変換時間の設定例を示します。

表 3.7 変換時間と設定の例 (単位 : μs)

SCLK (MHz)	[ADxCLK]<EXAZ0> or <EXAZ1>			
	0000	0001	0010	0011
40	1.35	2.70	4.05	-
50	1.16	2.32	3.48	4.64
60	1.00	2.00	3.00	4.00
80	1.15	2.30	3.45	4.60

- : 設定不可

4. レジスタ説明

4.1. レジスタ一覧

制御レジスタとアドレスは以下のとおりです。

機能名		チャンネル/ユニット	ベースアドレス	
			TYPE 1	TYPE 2
12 ビットアナログ/デジタルコンバータ	ADC	unit A	0x40050000	0x400BA000
		unit B	0x40051000	0x400BA400
		unit C	0x40052000	0x400BA800
		unit D	0x40053000	0x400BAC00

注)製品によって使用されるチャンネル/ユニットおよびベースアドレスタイプは異なります。
詳細はリファレンスマニュアルの「製品個別情報」を参照してください。

レジスタ名		アドレス(Base+)
制御レジスタ 0	[ADxCR0]	0x0000
制御レジスタ 1	[ADxCR1]	0x0004
ステータスレジスタ	[ADxST]	0x0008
クロック設定レジスタ	[ADxCLK]	0x000C
モード設定レジスタ 0	[ADxMOD0]	0x0010
モード設定レジスタ 1	[ADxMOD1]	0x0014
モード設定レジスタ 2	[ADxMOD2]	0x0018
監視機能許可レジスタ	[ADxCMPEN]	0x0020
監視機能設定レジスタ 0	[ADxCMPCR0]	0x0024
監視機能設定レジスタ 1	[ADxCMPCR1]	0x0028
変換結果比較レジスタ 0	[ADxCMP0]	0x002C
変換結果比較レジスタ 1	[ADxCMP1]	0x0030
監視機能設定レジスタ 2	[ADxCMPCR2]	0x0034
監視機能設定レジスタ 3	[ADxCMPCR3]	0x0038
変換結果比較レジスタ 2	[ADxCMP2]	0x003C
変換結果比較レジスタ 3	[ADxCMP3]	0x0040
外部 AIN サンプルング期間選択レジスタ	[ADxEXAZSEL]	0x00BC
起動要因用プログラムレジスタ 0	[ADxTSET0]	0x00C0
起動要因用プログラムレジスタ 1	[ADxTSET1]	0x00C4
起動要因用プログラムレジスタ 2	[ADxTSET2]	0x00C8
起動要因用プログラムレジスタ 3	[ADxTSET3]	0x00CC
起動要因用プログラムレジスタ 4	[ADxTSET4]	0x00D0
起動要因用プログラムレジスタ 5	[ADxTSET5]	0x00D4
起動要因用プログラムレジスタ 6	[ADxTSET6]	0x00D8
起動要因用プログラムレジスタ 7	[ADxTSET7]	0x00DC

レジスタ名		アドレス(Base+)
起動要因用プログラムレジスタ 8	[ADxTSET8]	0x00E0
起動要因用プログラムレジスタ 9	[ADxTSET9]	0x00E4
起動要因用プログラムレジスタ 10	[ADxTSET10]	0x00E8
起動要因用プログラムレジスタ 11	[ADxTSET11]	0x00EC
起動要因用プログラムレジスタ 12	[ADxTSET12]	0x00F0
起動要因用プログラムレジスタ 13	[ADxTSET13]	0x00F4
起動要因用プログラムレジスタ 14	[ADxTSET14]	0x00F8
起動要因用プログラムレジスタ 15	[ADxTSET15]	0x00FC
起動要因用プログラムレジスタ 16	[ADxTSET16]	0x0100
起動要因用プログラムレジスタ 17	[ADxTSET17]	0x0104
起動要因用プログラムレジスタ 18	[ADxTSET18]	0x0108
起動要因用プログラムレジスタ 19	[ADxTSET19]	0x010C
起動要因用プログラムレジスタ 20	[ADxTSET20]	0x0110
起動要因用プログラムレジスタ 21	[ADxTSET21]	0x0114
起動要因用プログラムレジスタ 22	[ADxTSET22]	0x0118
起動要因用プログラムレジスタ 23	[ADxTSET23]	0x011C
変換結果格納レジスタ 0	[ADxREG0]	0x0140
変換結果格納レジスタ 1	[ADxREG1]	0x0144
変換結果格納レジスタ 2	[ADxREG2]	0x0148
変換結果格納レジスタ 3	[ADxREG3]	0x014C
変換結果格納レジスタ 4	[ADxREG4]	0x0150
変換結果格納レジスタ 5	[ADxREG5]	0x0154
変換結果格納レジスタ 6	[ADxREG6]	0x0158
変換結果格納レジスタ 7	[ADxREG7]	0x015C
変換結果格納レジスタ 8	[ADxREG8]	0x0160
変換結果格納レジスタ 9	[ADxREG9]	0x0164
変換結果格納レジスタ 10	[ADxREG10]	0x0168
変換結果格納レジスタ 11	[ADxREG11]	0x016C
変換結果格納レジスタ 12	[ADxREG12]	0x0170
変換結果格納レジスタ 13	[ADxREG13]	0x0174
変換結果格納レジスタ 14	[ADxREG14]	0x0178
変換結果格納レジスタ 15	[ADxREG15]	0x017C
変換結果格納レジスタ 16	[ADxREG16]	0x0180
変換結果格納レジスタ 17	[ADxREG17]	0x0184
変換結果格納レジスタ 18	[ADxREG18]	0x0188
変換結果格納レジスタ 19	[ADxREG19]	0x018C
変換結果格納レジスタ 20	[ADxREG20]	0x0190
変換結果格納レジスタ 21	[ADxREG21]	0x0194
変換結果格納レジスタ 22	[ADxREG22]	0x0198
変換結果格納レジスタ 23	[ADxREG23]	0x019C

4.2. レジスタ詳細

4.2.1. [ADxCR0] (制御レジスタ 0)

Bit	Bit Symbol	リセット後	Type	機能
31:8	—	0	R	リードすると"0"が読めます。
7	ADEN	0	R/W	ADC の動作 0: 禁止 1: 許可 "1"を書き込むと変換が可能になります。"0"を書き込むと、変換を終了します。
6:3	—	0	R	リードすると"0"が読めます。
2	HPSGL	0	W	最優先変換動作 0: Don't care 1: 変換開始 "1"を書き込むと最優先変換プログラムの実行を開始します。読み出すと"0"が読めます。
1	SGL	0	W	単独変換動作 0: Don't care 1: 変換開始 "1"を書き込むと単独変換プログラムの実行を開始します。読み出すと"0"が読めます。
0	CNT	0	R/W	連続変換動作 0: 停止 1: 変換実行 "1"に設定中、連続変換プログラムを繰り返し実行します。 [ADxST]<CNTF> が"0"(連続変換プログラムを実行していない)の状態では"1"を設定してください。

4.2.2. [ADxCR1] (制御レジスタ 1)

Bit	Bit Symbol	リセット後	Type	機能
31:8	—	0	R	リードすると"0"が読めます。
7	HPDMEN	0	R/W	最優先変換 DMA 要求制御 0: 禁止 1: 許可
6	CNTDMEN	0	R/W	連続変換 DMA 要求制御 0: 禁止 1: 許可
5	SGLDMEN	0	R/W	単独変換 DMA 要求制御 0: 禁止 1: 許可
4	TRGDMEN	0	R/W	汎用トリガ DMA 要求制御 0: 禁止 1: 許可
3:2	—	0	R	リードすると"0"が読めます。
1	HPTRGEN	0	R/W	最優先トリガ変換制御 0: 禁止 1: 許可
0	TRGEN	0	R/W	汎用トリガ起動制御 0: 禁止 1: 許可

注) このレジスタの設定は [ADxCR0]<ADEN>=0 の状態で行ってください。

4.2.3. [ADxST] (ステータスレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:8	—	0	R	リードすると"0"が読めます。
7	ADBF	0	R	AD 動作フラグ 0: 動作していない(ADCLK 停止可能) 1: 動作中(ADCLK 停止不可) ADCLK を停止する場合、このビットが"0"であることを確認してください。
6:4	—	0	R	リードすると"0"が読めます。
3	CNTF	0	R	連続変換プログラム動作状態フラグ 0: 実行していない 1: 実行中 要求が受け付けられると"1"となり、最後の変換結果が格納されると"0"になります。
2	SNGF	0	R	単独変換プログラム動作状態フラグ 0: 実行していない 1: 実行中 要求が受け付けられると"1"となり、最後の変換結果が格納されると"0"になります。
1	TRGF	0	R	汎用トリガプログラム動作状態フラグ 0: 実行していない 1: 実行中 要求が受け付けられると"1"となり、最後の変換結果が格納されると"0"になります。
0	HPF	0	R	最優先変換プログラム動作状態フラグ 0: 実行していない 1: 実行中 要求が受け付けられると"1"となり、最後の変換結果が格納されると"0"になります。

4.2.4. [ADxCLK] (クロック設定レジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:12	—	0	R	リードすると"0"が読めます。
11:8	EXAZ1[3:0]	0000	R/W	外部AINサンプリング時間 (注2) (注3) 0000: (1 / SCLK) × n 0001: (1 / SCLK) × 2n 0010: (1 / SCLK) × 3n 0011: (1 / SCLK) × 4n (注4) 上記以外: Reserved
7	—	0	R	リードすると"0"が読めます。
6:3	EXAZ0[3:0]	0000	R/W	外部AINサンプリング時間 (注2) (注3) 0000: (1 / SCLK) × n 0001: (1 / SCLK) × 2n 0010: (1 / SCLK) × 3n 0011: (1 / SCLK) × 4n (注4) 上記以外: Reserved
2:0	VADCLK[2:0]	000	R/W	AD プリスケアラ出力(SCLK)選択 000: ADCLK/1 001: ADCLK/2 010: ADCLK/4 011: ADCLK/8 1xx: ADCLK/16 SCLK が 80MHz 以下になるように設定してください。

注1) このレジスタの設定は [ADxCR0]<ADEN>=0 の状態で行ってください。

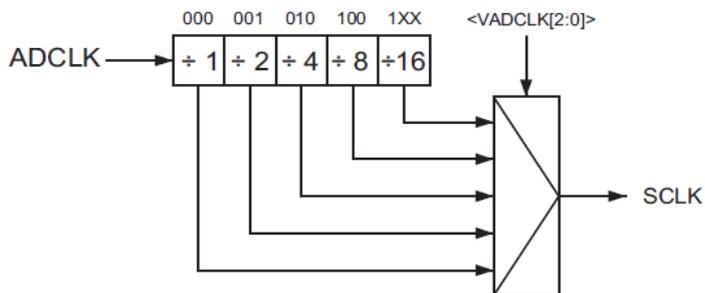
注2) 外部 AIN サンプリング期間の選択は [ADxEXAZSEL] で行ってください。

注3) n の値は SCLK の条件によって以下のようになります。

SCLK ≤ 40MHz のとき n = 10、40MHz < SCLK ≤ 50MHz のとき n = 14、

50MHz < SCLK ≤ 60MHz のとき n = 16、60MHz < SCLK ≤ 80MHz のとき n = 20。

注4) SCLK ≤ 40MHz では"0011"に設定しないでください。



4.2.5. [ADxMOD0] (モード設定レジスタ 0)

Bit	Bit Symbol	リセット後	Type	機能
31:2	—	0	R	リードすると"0"が読めます。
1	RCUT	1	R/W	低消費電力モード選択 0: 通常動作 1: 低消費電力動作(変換中のみ VREFHx-VREFLx 間通電)
0	DACON	0	R/W	DAC 制御 0: OFF 1: ON ADC を使用するときには必ず<DACON>を"1"にセットしてください。

注 1) このレジスタの設定は [ADxCR0]<ADEN>=0 の状態で行ってください。

注 2) [ADxMOD0]<DACON>を"1"に設定した後、3[μs]の安定時間が必要です。

4.2.6. [ADxMOD1] (モード設定レジスタ 1)

Bit	Bit Symbol	リセット後	Type	機能
31:0	MOD1[31:0]	0x00004000	R/W	SCLK の条件により該当する値を設定してください。 0x00001000 : (SCLK ≤ 40MHz のとき) 0x00003000 : (40MHz < SCLK ≤ 50MHz のとき) 0x00004000 : (50MHz < SCLK ≤ 60MHz のとき) 0x00106011 : (60MHz < SCLK ≤ 80MHz のとき) 上記以外 : Reserved

注) このレジスタの設定は [ADxCR0]<ADEN>=0 の状態で行ってください。

4.2.7. [ADxMOD2] (モード設定レジスタ 2)

Bit	Bit Symbol	リセット後	Type	機能
31:0	MOD2[31:0]	0x00000000	R/W	このレジスタは製品によって設定値が異なります。 設定値はリファレンスマニュアルの「製品個別情報」を参照してください。

注) このレジスタの設定は [ADxCR0]<ADEN>=0 の状態で行ってください。

4.2.8. [ADxCMPEN] (監視機能許可レジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:4	—	0	R	リードすると"0"が読めます。
3	CMP3EN	0	R/W	AD 監視機能 3 動作 0: 禁止 1: 許可
2	CMP2EN	0	R/W	AD 監視機能 2 動作 0: 禁止 1: 許可
1	CMP1EN	0	R/W	AD 監視機能 1 動作 0: 禁止 1: 許可
0	CMP0EN	0	R/W	AD 監視機能 0 動作 0: 禁止 1: 許可

4.2.9. [ADxCMPCR0] (監視機能設定レジスタ 0)

Bit	Bit Symbol	リセット後	Type	機能
31:12	—	0	R	リードすると"0"が読めます。
11:8	CMPCNT0[3:0]	0000	R/W	比較回数 0000: 1 回 1000: 9 回 0001: 2 回 1001: 10 回 0010: 3 回 1010: 11 回 0011: 4 回 1011: 12 回 0100: 5 回 1100: 13 回 0101: 6 回 1101: 14 回 0110: 7 回 1110: 15 回 0111: 8 回 1111: 16 回
7	—	0	R	リードすると"0"が読めます。
6	CMPCND0	0	R/W	判定条件 0: 連続方式 1: 累積方式
5	ADBIG0	0	R/W	大小判定設定 0: <REGS0> 選択の変換結果 > [ADxCMP0] 1: <REGS0> 選択の変換結果 < [ADxCMP0]
4:0	REGS0[4:0]	00000	R/W	比較する変換結果格納レジスタ 00000: ADxREG0 01000: ADxREG8 10000: ADxREG16 00001: ADxREG1 01001: ADxREG9 10001: ADxREG17 00010: ADxREG2 01010: ADxREG10 10010: ADxREG18 00011: ADxREG3 01011: ADxREG11 10011: ADxREG19 00100: ADxREG4 01100: ADxREG12 10100: ADxREG20 00101: ADxREG5 01101: ADxREG13 10101: ADxREG21 00110: ADxREG6 01110: ADxREG14 10110: ADxREG22 00111: ADxREG7 01111: ADxREG15 10111: ADxREG23 11000 以上の値は設定禁止

注) このレジスタの設定は [ADxCMPEN]<CMP0EN>=0 の状態で行ってください。

4.2.10. [ADxCMPCR1] (監視機能設定レジスタ 1)

Bit	Bit Symbol	リセット後	Type	機能
31:12	—	0	R	リードすると"0"が読めます。
11:8	CMPCNT1[3:0]	0000	R/W	比較回数 0000: 1回 1000: 9回 0001: 2回 1001: 10回 0010: 3回 1010: 11回 0011: 4回 1011: 12回 0100: 5回 1100: 13回 0101: 6回 1101: 14回 0110: 7回 1110: 15回 0111: 8回 1111: 16回
7	—	0	R	リードすると"0"が読めます。
6	CMPCND1	0	R/W	判定条件 0: 連続方式 1: 累積方式
5	ADBIG1	0	R/W	大小判定設定 0: <REGS1>選択の変換結果 > [ADxCMP1] 1: <REGS1>選択の変換結果 < [ADxCMP1]
4:0	REGS1[4:0]	00000	R/W	比較する変換結果格納レジスタ 00000: ADxREG0 01000: ADxREG8 10000: ADxREG16 00001: ADxREG1 01001: ADxREG9 10001: ADxREG17 00010: ADxREG2 01010: ADxREG10 10010: ADxREG18 00011: ADxREG3 01011: ADxREG11 10011: ADxREG19 00100: ADxREG4 01100: ADxREG12 10100: ADxREG20 00101: ADxREG5 01101: ADxREG13 10101: ADxREG21 00110: ADxREG6 01110: ADxREG14 10110: ADxREG22 00111: ADxREG7 01111: ADxREG15 10111: ADxREG23 11000 以上の値は設定禁止

注) このレジスタの設定は [ADxCMPEN]<CMP1EN>=0 の状態で行ってください。

4.2.11. [ADxCMP2] (監視機能設定レジスタ 2)

Bit	Bit Symbol	リセット後	Type	機能
31:12	—	0	R	リードすると"0"が読めます。
11:8	CMPCNT2[3:0]	0000	R/W	比較回数 0000: 1回 1000: 9回 0001: 2回 1001: 10回 0010: 3回 1010: 11回 0011: 4回 1011: 12回 0100: 5回 1100: 13回 0101: 6回 1101: 14回 0110: 7回 1110: 15回 0111: 8回 1111: 16回
7	—	0	R	リードすると"0"が読めます。
6	CMPCND2	0	R/W	判定条件 0: 連続方式 1: 累積方式
5	ADBIG2	0	R/W	大小判定設定 0: <REGS2>選択の変換結果 > [ADxCMP2] 1: <REGS2>選択の変換結果 < [ADxCMP2]
4:0	REGS2[4:0]	00000	R/W	比較する変換結果格納レジスタ 00000: ADxREG0 01000: ADxREG8 10000: ADxREG16 00001: ADxREG1 01001: ADxREG9 10001: ADxREG17 00010: ADxREG2 01010: ADxREG10 10010: ADxREG18 00011: ADxREG3 01011: ADxREG11 10011: ADxREG19 00100: ADxREG4 01100: ADxREG12 10100: ADxREG20 00101: ADxREG5 01101: ADxREG13 10101: ADxREG21 00110: ADxREG6 01110: ADxREG14 10110: ADxREG22 00111: ADxREG7 01111: ADxREG15 10111: ADxREG23 11000 以上の値は設定禁止

注) このレジスタの設定は [ADxCMPEN]<CMP2EN>=0 の状態で行ってください。

4.2.12. [ADxCMP3] (監視機能設定レジスタ 3)

Bit	Bit Symbol	リセット後	Type	機能
31:12	—	0	R	リードすると"0"が読めます。
11:8	CMPCNT3[3:0]	0000	R/W	比較回数 0000: 1回 1000: 9回 0001: 2回 1001: 10回 0010: 3回 1010: 11回 0011: 4回 1011: 12回 0100: 5回 1100: 13回 0101: 6回 1101: 14回 0110: 7回 1110: 15回 0111: 8回 1111: 16回
7	—	0	R	リードすると"0"が読めます。
6	CMPCND3	0	R/W	判定条件 0: 連続方式 1: 累積方式
5	ADBIG3	0	R/W	大小判定設定 0: <REGS3>選択の変換結果 > [ADxCMP3] 1: <REGS3>選択の変換結果 < [ADxCMP3]
4:0	REGS3[4:0]	00000	R/W	比較する変換結果格納レジスタ 00000: ADxREG0 01000: ADxREG8 10000: ADxREG16 00001: ADxREG1 01001: ADxREG9 10001: ADxREG17 00010: ADxREG2 01010: ADxREG10 10010: ADxREG18 00011: ADxREG3 01011: ADxREG11 10011: ADxREG19 00100: ADxREG4 01100: ADxREG12 10100: ADxREG20 00101: ADxREG5 01101: ADxREG13 10101: ADxREG21 00110: ADxREG6 01110: ADxREG14 10110: ADxREG22 00111: ADxREG7 01111: ADxREG15 10111: ADxREG23 11000 以上の値は設定禁止

注) このレジスタの設定は [ADxCMPEN]<CMP3EN>=0 の状態で行ってください。

4.2.13. [ADxCMP0] (変換結果比較レジスタ 0)

Bit	Bit Symbol	リセット後	Type	機能
31:16	—	0	R	リードすると"0"が読めます。
15:4	ADCMP0[11:0]	0x000	R/W	AD 変換結果比較値格納 AD 変換結果と比較する値を設定します。
3:0	—	0	R	リードすると"0"が読めます。

注) このレジスタの設定は [ADxCMPEN]<CMP0EN>=0 の状態で行ってください。

4.2.14. [ADxCMP1] (変換結果比較レジスタ 1)

Bit	Bit Symbol	リセット後	Type	機能
31:16	—	0	R	リードすると"0"が読めます。
15:4	ADCMP1[11:0]	0x000	R/W	AD 変換結果比較値格納 AD 変換結果と比較する値を設定します。
3:0	—	0	R	リードすると"0"が読めます。

注) このレジスタの設定は [ADxCMPEN]<CMP1EN>=0 の状態で行ってください。

4.2.15. [ADxCMP2] (変換結果比較レジスタ 2)

Bit	Bit Symbol	リセット後	Type	機能
31:16	—	0	R	リードすると"0"が読めます。
15:4	ADCMP2[11:0]	0x000	R/W	AD 変換結果比較値格納 AD 変換結果と比較する値を設定します。
3:0	—	0	R	リードすると"0"が読めます。

注) このレジスタの設定は [ADxCMPEN]<CMP2EN>=0 の状態で行ってください。

4.2.16. [ADxCMP3] (変換結果比較レジスタ 3)

Bit	Bit Symbol	リセット後	Type	機能
31:16	—	0	R	リードすると"0"が読めます。
15:4	ADCMP3[11:0]	0x000	R/W	AD 変換結果比較値格納 AD 変換結果と比較する値を設定します。
3:0	—	0	R	リードすると"0"が読めます。

注) このレジスタの設定は [ADxCMPEN]<CMP3EN>=0 の状態で行ってください。

4.2.17. [ADxEXAZSEL] (外部 AIN サンプルング期間選択レジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:0	EXAZSEL[31:0]	0x00000000	R/W	<p>外部 AIN サンプルング時間(EXAZ)選択 0: [ADxCLK]<EXAZ0[3:0]>の設定値を使用 1: [ADxCLK]<EXAZ1[3:0]>の設定値を使用</p> <p>AIN チャンネルごとに EXAZ0 or EXAZ1 のどちらを使用するか選択してください。 Bit が AIN チャンネルを表しています。 (下記参照)</p> <p>Bit[23]: AINx23 を AD 変換するときの設定値選択 Bit[22]: AINx22 を AD 変換するときの設定値選択 . . Bit[0] : AINx00 を AD 変換するときの設定値選択</p>

4.2.18. [ADxTSET0] (起動要因用プログラムレジスタ 0)

[ADxTSET0]の例です。[ADxTSET1]~[ADxTSET23]も同じ構成です。

Bit	Bit Symbol	リセット後	Type	機能
31:11	—	0	R	リードすると"0"が読めます。
10:8	TRGS0[2:0]	000	R/W	変換結果格納レジスタ 0 設定: 変換制御 000: 変換禁止 001: 連続変換 010: 単独変換 011: 汎用トリガ変換 1xx: 最優先変換
7	ENINT0	0	R/W	変換結果格納レジスタ 0 設定: 割り込み制御 0: 禁止 1: 許可
6:5	—	0	R	リードすると"0"が読めます。
4:0	AINST0[4:0]	00000	R/W	変換結果格納レジスタ 0 設定: AIN 選択 (注 2) 00000: AINx00 01000: AINx08 10000: AINx16 00001: AINx01 01001: AINx09 10001: AINx17 00010: AINx02 01010: AINx10 10010: AINx18 00011: AINx03 01011: AINx11 10011: AINx19 00100: AINx04 01100: AINx12 10100: AINx20 00101: AINx05 01101: AINx13 10101: AINx21 00110: AINx06 01110: AINx14 10110: AINx22 00111: AINx07 01111: AINx15 10111: AINx23 11000 以上の値は設定禁止

注 1) このレジスタの設定は [ADxCR0]<ADEN> =0 の状態で行ってください。

注 2) 製品に無い AIN は設定禁止です (リファレンスマニュアルの「製品個別情報」を参照してください)

4.2.19. [ADxREG0] (変換結果格納レジスタ 0)

[ADxREG0]の例です。[ADxREG1]~[ADxREG23]も同じ構成です。

Bit	Bit Symbol	リセット後	Type	機能
31:30	—	0	R	リードすると"0"が読めます。
29	ADOVRF_M0	0	R	オーバーランフラグ<ADOVRF0>のミラービットです。
28	ADRF_M0	0	R	AD 変換結果格納フラグ<ADRF0>のミラービットです。
27:16	ADR_M0[11:0]	0x000	R	AD 変換結果<ADR0>のミラー領域です。 [ADxREG0]レジスタの上位ハーフワードに下詰 12ビットで AD 変換結果を読み出せます。
15:4	ADR0[11:0]	0x000	R	AD 変換結果が格納されます。 [ADxREG0]レジスタの下位ハーフワードに上詰 12ビットで AD 変換結果を読み出せます。
3:2	—	0	R	リードすると"0"が読めます。
1	ADOVRF0	0	R	オーバーランフラグ 0:発生なし 1:発生あり [ADxREG0]レジスタを読み出す前に AD 変換結果が上書きされると"1"にセットされます。このフラグは読み出すと"0"にクリアされます。
0	ADRF0	0	R	AD 変換結果格納フラグ 0:変換結果なし 1:変換結果あり AD 変換値が格納されると"1"にセットされます。このフラグは読み出すと"0"にクリアされます。

5. 使用方法の例

5.1. 単独変換

単独変換はソフトウェアで変換開始し、複数の変換が可能です。

以下は、単独変換で2つのアナログ入力(AINx02, AINx03)の変換結果を2つの変換結果格納レジスタ([ADxREG4]、[ADxREG5])に保管し、2つ目の変換終了で単独変換割り込み INTADxSGL を発生する場合の設定例です。

【初期設定】

- [ADxCLK] = 0x00000000
AD プリスケアラ出力 : <VADCLK[2:0]> = 000
*AD プリスケアラ出力 : 60MHz (ADCLK / 1 @ ADCLK:60MHz)
外部 AIN サンプルング期間 : <EXAZ0[3:0]> = 0000, <EXAZ1[3:0]> = 0001
*サンプルング期間: EXAZ0 : 266.6ns, EXAZ1: 533.3ns
- [ADxEXAZSEL] = 0x00000008
外部 AIN サンプルング期間選択 : (AINx02 : EXAZ0、AINx03 : EXAZ1)
- [ADxMOD0] = 0x00000001
DAC オン: <DACON> = 1
通常動作: <RCUT> = 0
- [ADxMOD1] = 0x00004000
* 変換時間 AINx02 : 1.0 [μs]、AINx03 : 1.26[μs]
- [ADxMOD2] = 0x00000000

注) 製品によって設定値が異なります。設定値はリファレンスマニュアルの「製品個別情報」を参照してください。

【変換プログラム設定】

- [ADxTSET4] = 0x00000202
単独変換: <TRGS4> = 010
AINx02: <AINST4> = 00010
割り込み禁止: <ENINT4> = 0
- [ADxTSET5] = 0x00000283
単独変換: <TRGS5> = 010
AINx03: <AINST5> = 00011
割り込み許可: <ENINT5> = 1

【変換開始設定】

- [ADxCRI] = 0x00000000
単独変換 DMA 要求禁止: <SGLDMEN> = 0
- [ADxCR0] = 0x00000082
ADC 許可: <ADEN> = 1
連続変換禁止: <CNT> = 0
シングル変換許可: <SGL> = 1 ; 変換開始

5.2. 最優先変換

最優先変換は最優先トリガで変換を開始することが可能です。

以下は、最優先トリガ(ADxHPTRGIN)でアナログ入力(AINx04)の変換結果を変換結果格納レジスタ([ADxREG6])に保管し、変換終了で最優先変換割り込み INTADxHP を発生する場合の設定例です。

【初期設定】

- [ADxCLK] = 0x00000000
AD プリスケーラ出力 : <VADCLK[2:0]> = 000
*AD プリスケーラ出力 : 60MHz (ADCLK / 1 @ADCLK:60MHz)
外部 AIN サンプルング期間: <EXAZ1[3:0]> = 0000
*サンプルング期間: EXAZ1 : 266.6ns
- [ADxEXAZSEL] = 0x00000010
外部 AIN サンプルング期間選択(AINx04 : EXAZ1)
- [ADxMOD0] = 0x00000001
DAC オン: <DACON> = 1
通常動作: <RCUT> = 0
- [ADxMOD1] = 0x00004000
*変換時間 AINx04 : 1.0 [μs]
- [ADxMOD2] = 0x00000000

注) 製品によって設定値が異なります。設定値はリファレンスマニュアルの「製品個別情報」を参照してください。

【変換プログラム設定】

- [ADxTSET6] = 0x00000484
最優先変換: <TRGS6> = 1xx
AINx04: <AINST6> = 00100
割り込み許可: <ENINT6> = 1

【変換開始設定】

- [ADxCRI] = 0x00000002
最優先変換 DMA 要求禁止: <HPDMEN> = 0
最優先トリガ変換制御許可: <HPTRGEN> = 1
- [ADxCR0] = 0x00000080
ADC 許可: <ADEN> = 1
最優先変換動作禁止: <HPSGL> = 0

6. 使用上のご注意およびお願い事項

- 電源電圧の変動や周囲のノイズの影響によって AD 変換結果がばらつくことがあります。また、AD 変換中に AD 入力に兼用となっている端子への入力および出力の変化、出力ポートに設定している他の端子の出力が変動すると AD 変換精度が低下することがあります。従って、AD 入力に兼用となっている端子への入力および出力の変化や出力ポートに設定している他の端子の出力の変化をさせないようにしてください。なお、上記のような AD 変換結果のばらつきや AD 変換精度の低下が考えられる場合は、プログラムで複数回の変換結果の平均値をとるなどの対策を行ってください。
- ADC のアナログ電源端子(AVDD3、AVSS)、基準電圧端子(VREFH_x、VREFL_x)には、デジタル系のノイズが混入しないような対策を講じてください。
 - － AVDD3 - AVSS 端子間、VREFH_x - VREFL_x 端子間にバイパスコンデンサを挿入してください。コンデンサはできる限り端子の近くに配置してください。

7. 改訂履歴

表 7.1 改訂履歴

Revision	Date	Description
1.0	2017-12-14	新規
2.0	2018-04-04	<p>1.概要 修正: 変換結果の監視の動作説明欄 “可能・検出回数を設定でき連続方式と累積方式を選択可能” ->“・検出回数の設定可能”、“・連続方式と累積方式を選択可能”</p> <p>3.機能説明・動作説明 追記: “3.1. クロック供給” (3.を分割)</p> <p>3.1. クロック供給 削除: “AD 変換を起動する前に、……を書き込んでください。”</p> <p>3.2.1. 動作概要 修正: 表 3.2 の前の説明</p> <p>3.2.2. 制御レジスタ 追記: ●モード設定レジスタ 0 (<i>[ADxMOD0]</i>) 他</p> <p>3.2.3. 変換開始手順 修正: ●最優先トリガ変換 (5) “汎用トリガ”->“最優先トリガ” 修正: ●最優先変換 (5) “単独変換”->“最優先変換”</p> <p>3.3. 変換の停止 修正: “0”書き込み後、変換が完全に”->”変換が完全に”</p> <p>3.7. 変換時間 節を追記</p> <p>4.2.4. <i>[ADxCLK]</i> (クロック設定レジスタ) 削除: OAD 変換時間(tcov)</p> <p>4.2.5. <i>[ADxMOD0]</i> (モード設定レジスタ 0) 削除: 注 2) の一部</p> <p>4.2.17. <i>[ADxEXAZSEL]</i> (外部 AIN サンプリング期間選択レジスタ) 修正: “EXAZ0[3:0] or EXAZ1[3:0]”->“EXAZ0 or EXAZ1”</p> <p>5.1. 単独変換 修正: 値の表記をシンボルのビット数に合わせた。 修正: 【変換プログラム設定】の<i>[ADxTSET5]</i>の下 “<TRGS 4>”->“<TRGS 5>”, “<AINST4>”->“<AINST5>”, “<ENINT4>”->“<ENINT5>”,</p> <p>5.2. 最優先変換 修正: 値の表記をシンボルのビット数に合わせた。</p> <p>6.使用上のご注意およびお願い事項 修正: “AVDD”->“AVDD3”</p>
3.0	2019-05-28	<p>1.概要 変換時間の動作説明修正</p> <p>3.7.2 サンプリング時間 表 3.6 から<i>[ADxCLK]</i><EXAZn>の設定値”0100”, ”0111”を削除 SCLK=40MHz の設定値”0011” “1.00”→ “-”に修正</p> <p>3.7.4 変換時間の設定 表 3.7 から<i>[ADxCLK]</i><EXAZn>の設定値”0100”, ”0111”を削除 SCLK=40MHz の設定値”0011” “5.40”→ “-”に修正</p> <p>4.2.4 <i>[ADxCLK]</i> <EXAZ1><EXAZ0>のパラメータ 101/111 を削除 注 4 追加</p>

製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍사용途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。