

**32 ビット RISC マイクロコントローラ**

**TXZ ファミリ**

**リファレンスマニュアル  
外部バスインタフェース  
(EBIF-A)**

**Revision 1.2**

---

**2018-11**

**東芝デバイス&ストレージ株式会社**

## 目次

序章 .....	5
関連するドキュメント .....	5
表記規約 .....	6
用語・略語 .....	8
1. 概要 .....	9
2. 構成 .....	10
3. 動作説明・機能説明 .....	11
3.1. クロック供給 .....	11
3.2. データフォーマット .....	11
3.2.1. ワードアクセス .....	11
3.2.2. ハーフワードアクセス .....	12
3.2.3. バイトアクセス .....	13
3.3. クロック出力回路 .....	15
3.3.1. クロック出力の設定 .....	15
3.3.1.1. 出カクロック周波数 .....	15
3.3.1.2. 設定方法 .....	16
3.4. 外部バス制御回路 .....	17
3.4.1. アドレス、データ端子の設定 .....	17
3.4.2. セパレートバスモード .....	18
3.4.2.1. 基本バスオペレーション .....	18
3.4.2.2. ウェイト挿入 .....	19
3.4.2.3. リード/ライトリカバリタイム .....	22
3.4.2.4. チップセレクトリカバリタイム .....	23
3.4.2.5. リード、ライトセットアップサイクル .....	24
3.4.3. マルチプレクスバス .....	25
3.4.3.1. 基本バスオペレーション .....	25
3.4.3.2. ウェイト挿入 .....	26
3.4.3.3. ALE アサート時間 .....	29
3.4.3.4. リード、ライトリカバリタイム .....	30
3.4.3.5. チップセレクトリカバリタイム .....	31
3.4.3.6. リード、ライトセットアップサイクル .....	32
4. レジスタ説明 .....	33
4.1. レジスタ一覧 .....	33
4.2. レジスタ詳細 .....	34
4.2.1. [EXBMOD] (モードコントロールレジスタ) .....	34
4.2.2. [EXBAS0][EXBAS1][EXBAS2][EXBAS3] (空間サイズ/スタートアドレス設定レジスタ n) .....	35
4.2.3. [EXBCS0][EXBCS1][EXBCS2][EXBCS3] (チップセレクトコントロールレジスタ n) .....	36
4.2.4. [EXBCLKCTL] (クロック出力制御レジスタ) .....	37

---

5. 使用方法の例.....	38
5.1. 非同期セパレートバスモードでの 16 ビット SRAM、NOR-FLASH との接続例 .....	38
5.2. 同期マルチプレクスバスモードでの 16 ビット SRAM、NOR-FLASH との接続例.....	39
6. 改訂履歴.....	40
製品取り扱い上のお願い.....	42

## 図目次

図 2.1	EBIF ブロック図	10
図 3.1	ワードアクセス 16 ビットバス幅	11
図 3.2	ワードアクセス 8 ビットバス幅	11
図 3.3	ハーフワードアクセス 16 ビットバス幅	12
図 3.4	ハーフワードアクセス 8 ビットバス幅	12
図 3.5	バイトアクセス 16 ビットバス幅	13
図 3.6	バイトアクセス 8 ビットバス幅	14
図 3.7	リードオペレーションタイミング	18
図 3.8	ライトオペレーションタイミング	18
図 3.9	リードオペレーションタイミング(0 ウェイトおよび内部 1 ウェイト)	19
図 3.10	リードオペレーションタイミング(5 ウェイト)	19
図 3.11	リードオペレーションタイミング(内部ウェイト)	20
図 3.12	ライトオペレーションタイミング(内部ウェイト)	20
図 3.13	リードオペレーションタイミング(外部ウェイト)	21
図 3.14	ライトオペレーションタイミング(外部ウェイト)	22
図 3.15	セパレートバスにおけるリカバリタイム挿入時のタイミング	22
図 3.16	チップセレクトリカバリタイム挿入時のタイミング	23
図 3.17	リード、ライトセットアップタイム挿入時のタイミング	24
図 3.18	リードオペレーションタイミング	25
図 3.19	ライトオペレーションタイミング	25
図 3.20	リードオペレーションタイミング(0 ウェイトおよび内部 2 ウェイト)	26
図 3.21	ライトオペレーションタイミング(0 ウェイトおよび内部 2 ウェイト)	27
図 3.22	リードオペレーションタイミング(外部ウェイト)	28
図 3.23	ライトオペレーションタイミング(外部ウェイト)	28
図 3.24	ALE アサート時間	29
図 3.25	リードオペレーションタイミング(EALE1 クロックおよび 2 クロック)	29
図 3.26	リカバリタイム挿入時のタイミング	30
図 3.27	チップセレクトリカバリタイム挿入時のタイミング(EALE:1 クロック)	31
図 3.28	リード、ライトセットアップ挿入時のタイミング	32
図 5.1	外部 16 ビット SRAM、NOR-FLASH 接続例(非同期セパレートバス)	38
図 5.2	外部 16 ビット SRAM、NOR-FLASH 接続例(同期マルチプレクスバス)	39

## 表目次

表 2.1	信号一覧表	10
表 3.1	出カクロック	15
表 3.2	バスモードとアドレス、データ端子	17
表 4.1	<SA[15:0]>スタートアドレス設定	35
表 6.1	改訂履歴	40

## 序章

### 関連するドキュメント

文書名
クロック制御と動作モード
製品個別情報
入出力ポート

## 表記規約

- 数値表記は以下の規則に従います。
  - 16 進数表記: 0xABC
  - 10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
  - 2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「\_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は [m:n]とまとめて表記する場合があります。  
例: S[3:0] は S3,S2,S1,S0 の 4 つの信号名をまとめて表記しています。
- 本文中 [ ] で囲まれたものはレジスタを定義しています。  
例: [ABCD]
- 同種で複数のレジスタ、フィールド、ビット名は「n」で一括表記する場合があります。  
例: [XYZ1],[XYZ2],[XYZ3] → [XYZn]
- 「レジスタ一覧」中のレジスタ名でユニットまたはチャンネルは「x」で一括表記しています。  
ユニットの場合、「x」は A,B,C...を表します。  
例: [ADACR0],[ADBCR0],[ADCCR0]→[ADxCR0]  
チャンネルの場合、「x」は 0,1,2,...を表します。  
例: [T32A0RUNA],[T32A1RUNA],[T32A2RUNA]→[T32AxRUNA]
- レジスタのビット範囲は [m:n] と表記します。  
例: [3:0] はビット 3 から 0 の範囲を表します。
- レジスタの設定値は 16 進数または 2 進数のどちらかで表記されています。  
例: [ABCD]<EFG> = 0x01 (16 進数)、 [XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
  - バイト: 8 ビット
  - ハーフワード: 16 ビット
  - ワード: 32 ビット
  - ダブルワード: 64 ビット
- レジスタ内の各ビットの属性は以下の表記を使用しています。
  - R: リードオンリー
  - W: ライトオンリー
  - R/W: リード / ライト
- 断りのない限り、レジスタアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスタは書き換えを行わないでください。  
また、読み出した値を使用しないでください。
- Default 値が「—」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスタに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。  
Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- ライトオンリーのレジスタの Reserved ビットフィールドには Default 値を書き込んでください。  
Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスタへのリードモディファイライト処理は行わないでください。

\*\*\*\*\*  
**Arm, Cortex および Thumb は Arm Limited(またはその子会社)の US またはその他の国における登録商標です。 All rights reserved.**  
\*\*\*\*\*



FLASH メモリについては、米国 SST 社 (Silicon Storage Technology, Inc.) からライセンスを受けた Super Flash®技術を使用しています。Super Flash®は SST 社の登録商標です。

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

## 用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

ALE	Address Latch Enable
CS	Chip Select
EBIF	External Bus Interface
SRAM	Static RAM

## 1. 概要

外部バスインタフェース(EBIF)は、外部にメモリや I/O などを接続するためのインタフェースです。以下に、機能の一覧を示します。

機能分類	機能	動作説明
接続仕様	接続先デバイス	NOR フラッシュメモリ、SRAM、周辺 I/O 等
	モード	セパレートバス、マルチプレクスバスに対応
	データバス幅	チャンネル毎に8ビットまたは16ビット幅の設定が可能
メモリ配置	アドレス配置	最大64MBのアクセス空間をサポート 0x60000000 ~ 0x63FFFFFF (各 CS 毎に最大16MB 設定可能)
	CS 制御	4 チャンネル (ECS0_N 端子, ECS1_N 端子, ECS2_N 端子, ECS3_N 端子)
外部バス制御	クロック出力	バスサイクルに同期したクロック出力が可能
	内部ウエイト機能	チャンネル毎に最大 15 サイクルまで挿入可能
	外部ウエイト機能	内部ウエイト機能に加え、EWAIT_N端子によるウエイトサイクルの延長が可能
		"Low"アクティブまたは"High"アクティブの選択が可能
	ALE アサート時間設定機能	チャンネル毎にアサート時間を1、2、3、5 サイクルから選択可能
	セットアップサイクル挿入機能	チャンネル毎にリード、ライトセットアップサイクル挿入可能
	リカバリサイクル挿入機能	外部バスサイクルが連続するときに最大8クロックまでのダミーサイクルを挿入可能 (チャンネル毎に設定可能)
		ECSn_N 端子, ERD_N 端子, EWR_N 端子におけるアドレス/データホールドサイクル挿入機能
バス拡張機能	内部ウエイト、ALE アサート時間、セットアップサイクル、リカバリサイクルの設定値を2倍、4倍に拡張することが可能(チャンネル共通)	

## 2. 構成

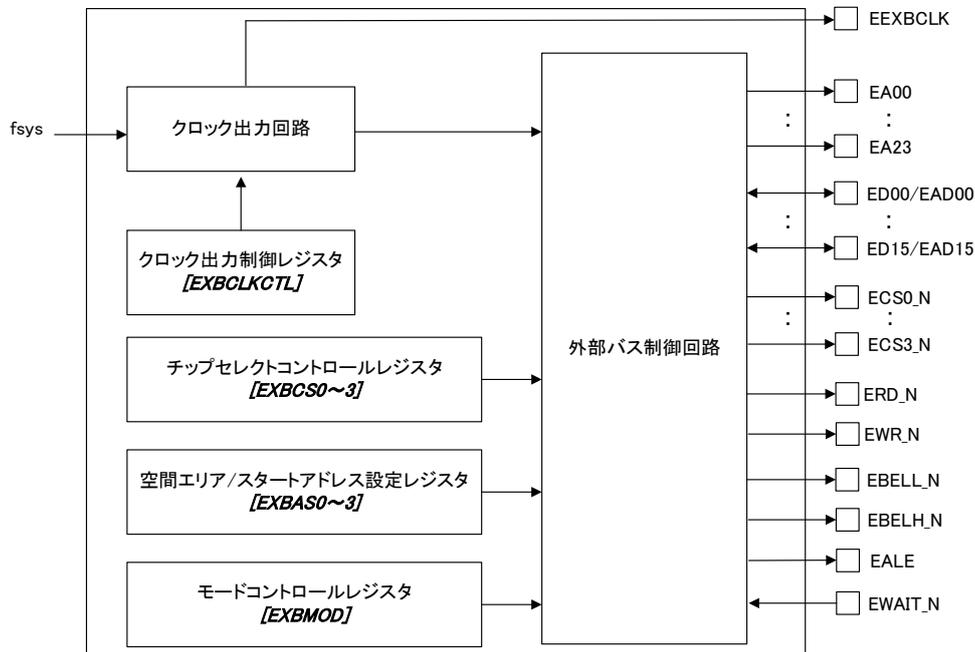


図 2.1 EBIFブロック図

表 2.1 信号一覧表

No	信号名	信号名称	I/O	参照リファレンスマニュアル
1	fsys	システムクロック	入力	クロック制御と動作モード
2	EEXBCLK	クロック出力端子	出力	製品個別情報、入出力ポート
3	EA00~EA23	アドレスバス出力端子	出力	製品個別情報、入出力ポート
4	ED00~ED15	(セパレートバスモード) データバス入出力端子	入出力	製品個別情報、入出力ポート
	EAD00~EAD15	(マルチプレクスバスモード) アドレス/データバス入出力端子		
5	ERD_N	リードストロブ出力端子	出力	製品個別情報、入出力ポート
6	EWR_N	ライトストロブ出力端子	出力	製品個別情報、入出力ポート
7	ECS0_N~ECS3_N	チップセレクト出力端子	出力	製品個別情報、入出力ポート
8	EBELL_N	下位バイトイネーブル出力端子	出力	製品個別情報、入出力ポート
9	EBELH_N	上位バイトイネーブル出力端子	出力	製品個別情報、入出力ポート
10	EALE	アドレスラッチイネーブル出力端子	出力	製品個別情報、入出力ポート
11	EWAIT_N	ウエイト入力端子	入力	製品個別情報、入出力ポート

## 3. 動作説明・機能説明

### 3.1. クロック供給

EBIFを使用する場合は、fsys 供給停止レジスタ A([CGFSYSENA], [CGFSYSMENA])、fsys 供給停止レジスタ B([CGFSYSENB], [CGFSYSMENB])、fc 供給停止レジスタ ([CGFCEN])で該当するクロックイネーブルビットを“1”(クロック供給)に設定してください。

該当レジスタ、ビット位置は製品によって異なります。そのため製品によって、レジスタが存在しない場合があります。詳細はリファレンスマニュアルの「クロック制御と動作モード」を参照してください。

### 3.2. データフォーマット

MCU の内部レジスタと外部バスインタフェースとの関係を説明します。

#### 3.2.1. ワードアクセス

- 16 ビットバス幅

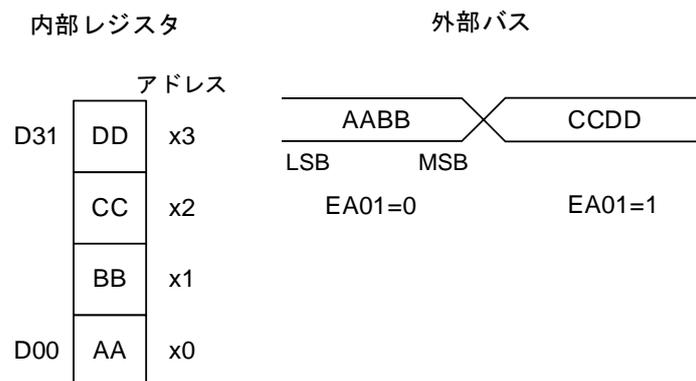


図 3.1 ワードアクセス16ビットバス幅

- 8 ビットバス幅

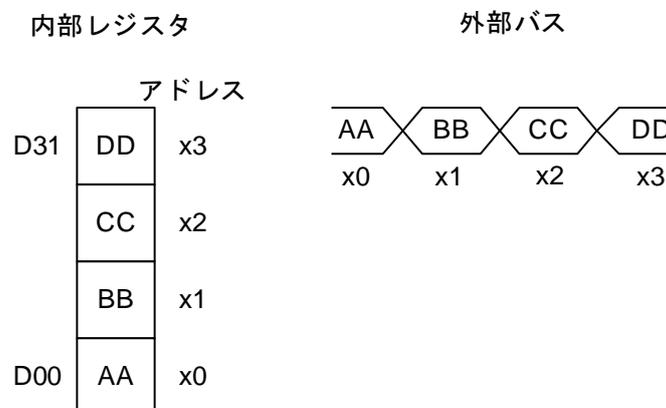


図 3.2 ワードアクセス8ビットバス幅

## 3.2.2. ハーフワードアクセス

- 16 ビットバス幅

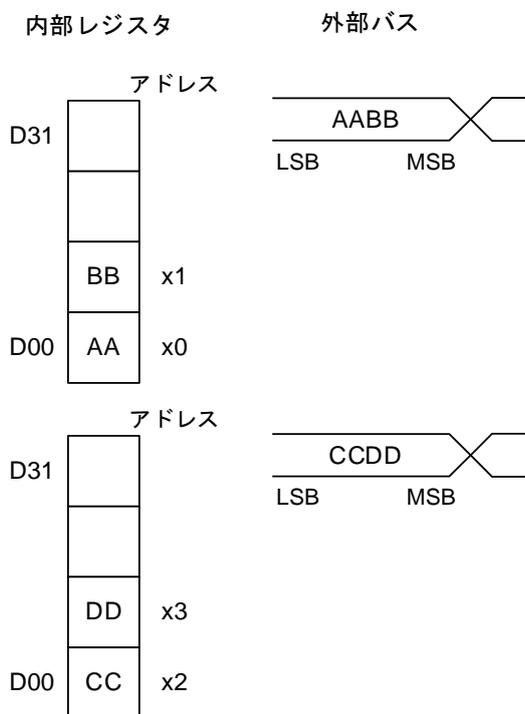


図 3.3 ハーフワードアクセス16ビットバス幅

- 8 ビットバス幅

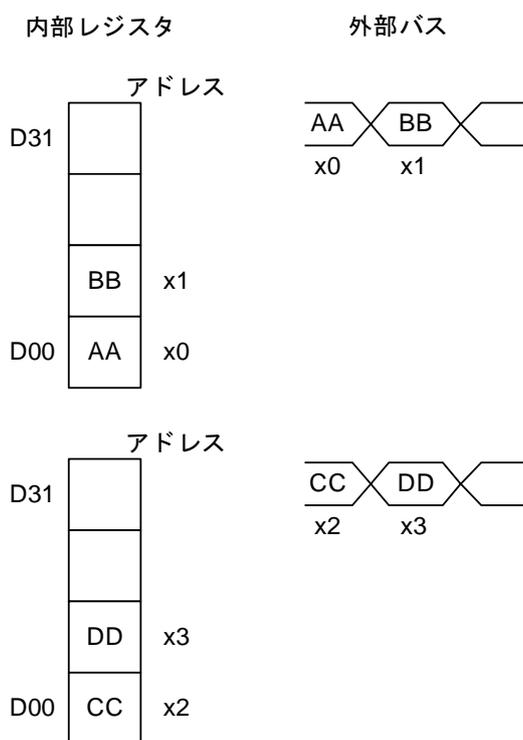


図 3.4 ハーフワードアクセス8ビットバス幅

### 3.2.3. バイトアクセス

- 16 ビットバス幅

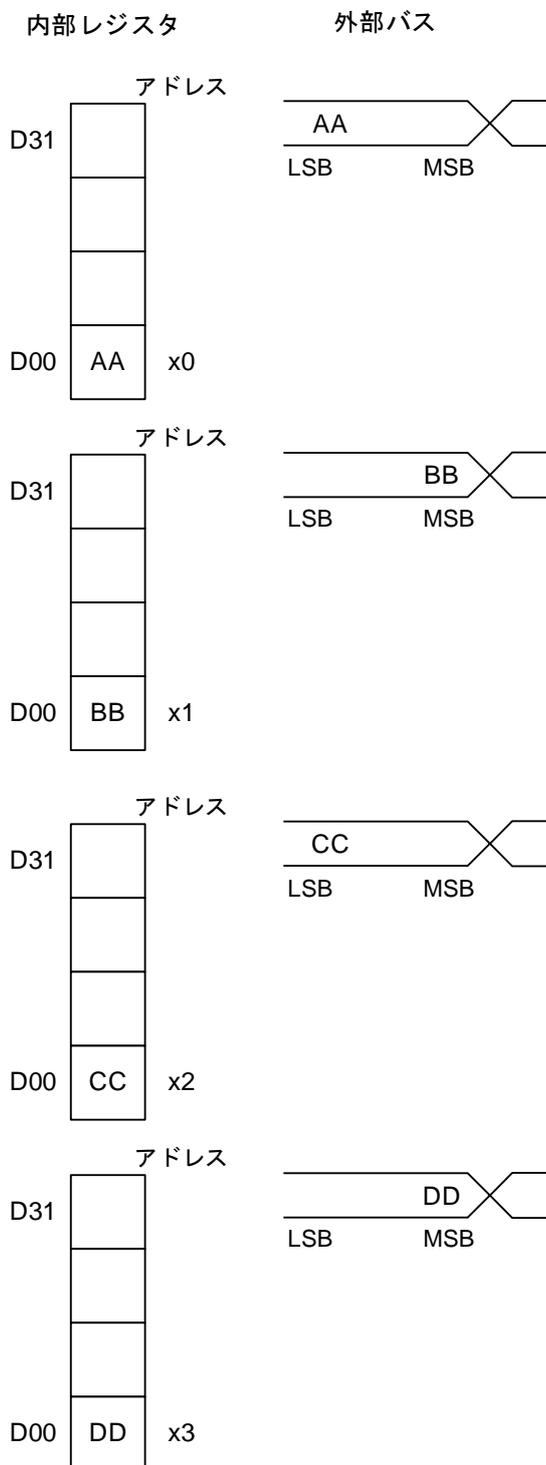


図 3.5 バイトアクセス16ビットバス幅

- 8 ビットバス幅

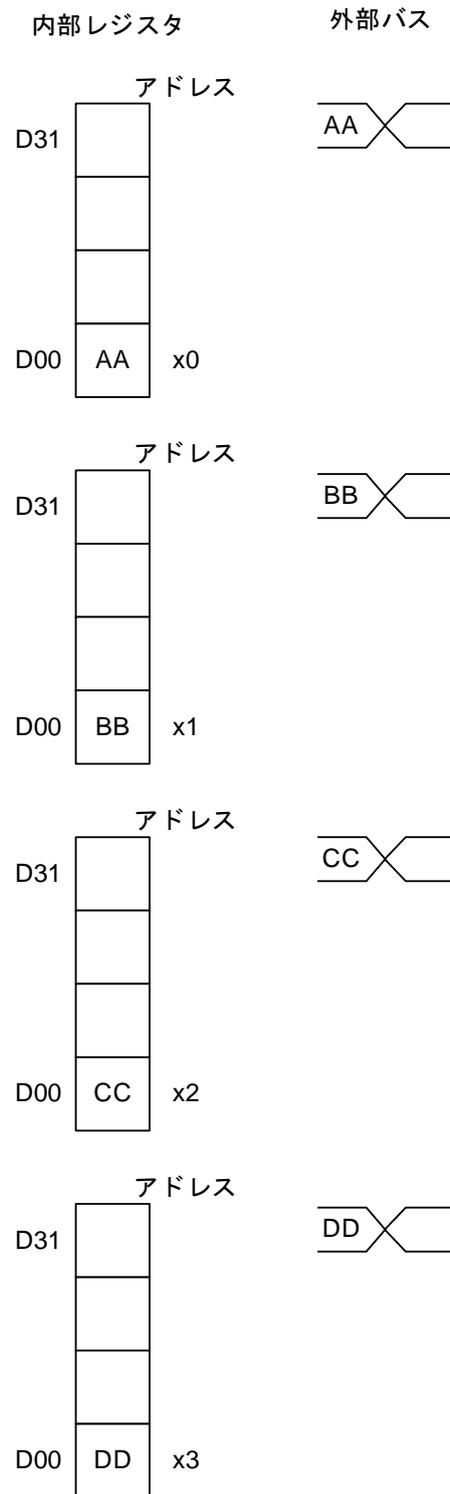


図 3.6 バイトアクセス8ビットバス幅

### 3.3. クロック出力回路

外部バス動作はバスクロックに同期します。バスクロックは、クロック出力機能を使用しない場合はシステムクロック  $f_{sys}$ 、クロック出力を使用する場合は  $f_{sys}$  の2、4、8 分周のいずれかになります。

#### 3.3.1. クロック出力の設定

クロック出力の設定は、クロック出力制御レジスタ[*EXBCLKCTL*]および、EEXBCLK 端子のポートレジスタで行います。ポートレジスタの設定の詳細はリファレンスマニュアルの「入出力ポート」を参照してください。

##### 3.3.1.1. 出力クロック周波数

クロック出力の設定は、[*EXBCLKCTL*]<CLKDIV>で行います。

表 3.1 出力クロック

<CLKDIV[1:0]>	01	10	11
分周値			
$f_{sys}$ [MHz]	2	4	8
160	(80.0)	(40.0)	20.0
140	(70.0)	(35.0)	17.5
120	(60.0)	30.0	15.0
100	(50.0)	25.0	12.5
80	(40.0)	20.0	10.0
60	30.0	15.0	7.5
40	20.0	10.0	5.0

注) 出力クロック周波数は、30MHz 以下となるようにしてください。表 3.1 の灰色内となる  $f_{sys}$  と分周値の組み合わせは行わないでください。

### 3.3.1.2. 設定方法

設定手順は以下のとおりです。設定は、外部バスサイクルが発生していない状態で行います。

- 周波数の設定と出力許可
  1. `[EXBCLKCTL]<CLKDIV>`で分周の設定を行う。
  2. `[EXBCLKCTL]<CLKEN>`に"1"を設定する
  3. EEXBCLK 端子のファンクションレジスタで EEXBCLK 機能の設定および、出力コントロールレジスタで出力許可の設定を行う。
  
- 周波数設定の変更
  1. EEXBCLK 端子の出力コントロールレジスタで出力禁止の設定を行う。
  2. `[EXBCLKCTL]<CLKEN>`に"0"を設定する。
  3. `[EXBCLKCTL]<CLKDIV>`で分周の設定を行う。
  4. `[EXBCLKCTL]<CLKEN>`に"1"を設定する。
  5. EEXBCLK 端子の出力コントロールレジスタで出力許可の設定を行う。

注) 設定を変更した場合、クロック出力を許可/禁止したタイミングでクロック波形が乱れます。

### 3.4. 外部バス制御回路

#### 3.4.1. アドレス、データ端子の設定

バスモードには、セパレートバスモードとマルチプレクスバスモードがあります。

設定は[EXBMOD]レジスタで行ないます。[EXBMOD]<EXBSEL>に"1"を設定することでセパレートバスモードになります。[EXBMOD]<EXBSEL>に"0"を設定することでマルチプレクスバスモードになります。

表 3.2に、各モードで使用するアドレス、データ端子を示します。外部デバイス接続のために使用するポートについての情報は、リファレンスマニュアルの“製品個別情報”および“入出力ポート”を参照してください。

表 3.2 バスモードとアドレス、データ端子

セパレートバス [EXBMOD]<EXBSEL>=1	マルチプレクスバス [EXBMOD]<EXBSEL>=0
EA00 ~ EA07	-
EA08 ~ EA15	-
EA16 ~ EA23	EA16 ~ EA23
ED00 ~ ED15	EAD00 ~ EAD15

外部領域アクセスから内蔵領域アクセスへ遷移した場合、アドレスバスは直前の外部領域のアドレス出力を保持し変化しません。また、データバスはハイインピーダンスになります。

## 3.4.2. セパレートバスモード

各種バスタイミングについて説明します。なおタイミング図はアドレスバス、データバスとしてEA23~EA00, ED15~ED00 を設定したときのものを示しています。バスサイクル周期  $t_{sys}$  は、クロック出力機能を使用しない場合は  $f_{sys}$  1 周期、使用する場合は  $[EXBCLKCTL] < CLKDIV >$  の指定によるクロック出力の1周期になります。

### 3.4.2.1. 基本バスオペレーション

外部バスサイクルは基本3クロックです。

図 3.7 にリードバスタイミングを、図 3.8 にライトバスタイミングを示します。図のように内部アクセス時にはアドレスバスは変化しません。またデータバスはハイインピーダンスになり ERD\_N 端子、EWR\_N 端子などの制御信号もアクティブになりません。

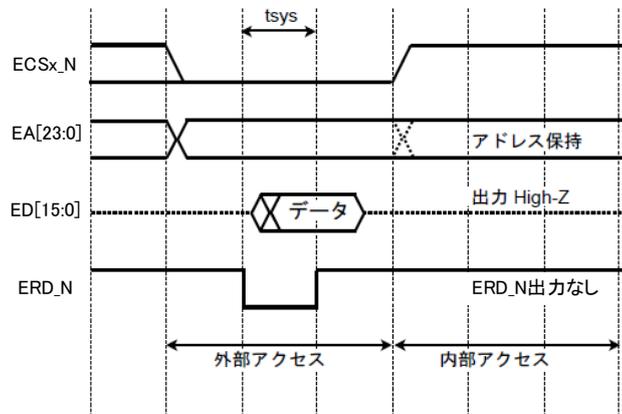


図 3.7 リードオペレーションタイミング

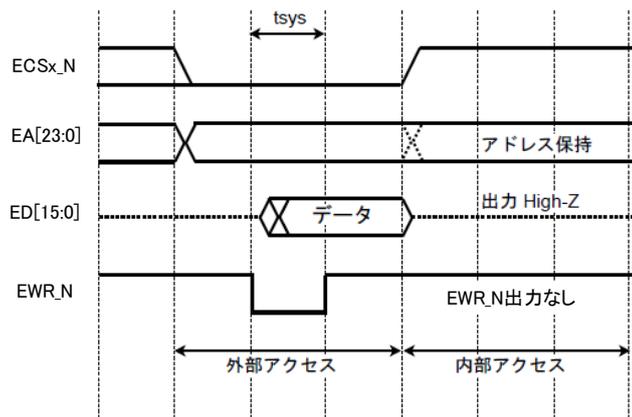


図 3.8 ライトオペレーションタイミング

## 3.4.2.2. ウェイト挿入

チャンネルごとにウェイトサイクルを挿入することができます。挿入できるウェイトは以下のとおりです。

- 最大15クロックまでの内部ウェイト(自動挿入)
- WAIT 信号による外部ウェイト

### (1) 内部ウェイト

[EXBCSn]<WAIT>を"0"に設定すると内部ウェイト機能となります。内部ウェイト数の設定は、[EXBCSn]<CSIW>で設定します。

図 3.9、図 3.10 にセパレートバス時のウェイトを挿入した場合のリードタイミングを示します。

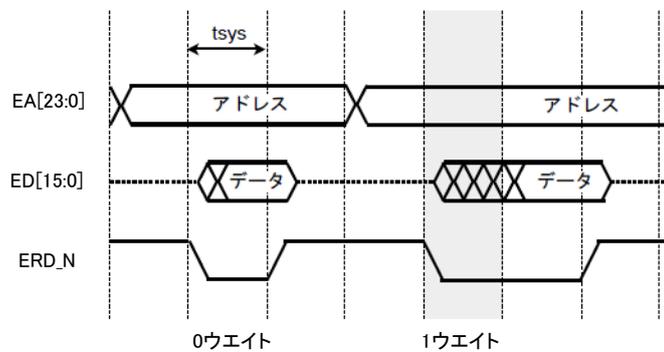


図 3.9 リードオペレーションタイミング(0ウェイトおよび内部1ウェイト)

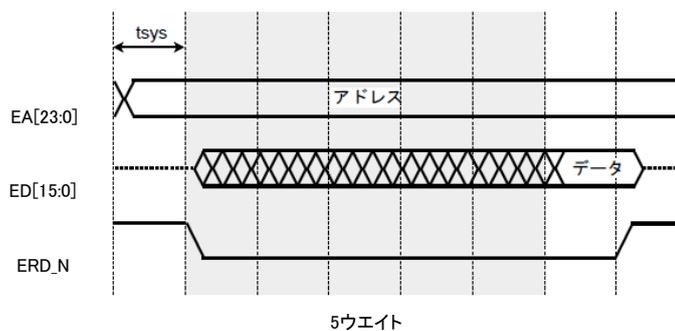


図 3.10 リードオペレーションタイミング(5ウェイト)

図 3.11、図 3.12 にセパレートバス時の0ウェイト、内部2ウェイトを挿入した場合のリード、ライトオペレーションタイミングを示します。

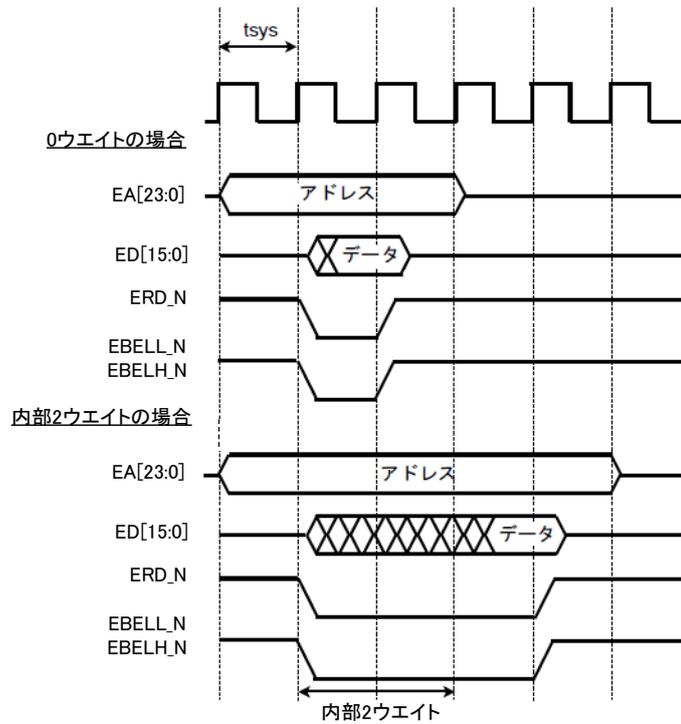


図 3.11 リードオペレーションタイミング(内部ウェイト)

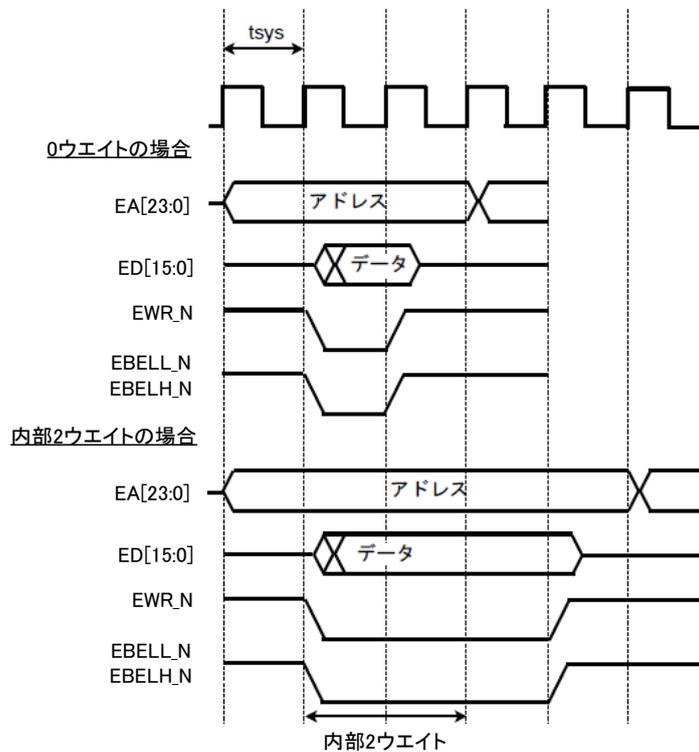


図 3.12 ライトオペレーションタイミング(内部ウェイト)

## (2) 外部ウェイト

**[EXBCSn]<WAIT>**を"1"に設定すると外部ウェイト機能となります。外部ウェイトは、内部ウェイトと **WAIT** 信号の組み合わせで使用します。

外部ウェイト設定時は、**[EXBCSn]<CSIW>**で設定した内部ウェイト経過後にバスサイクルクロックで **WAIT** 信号のサンプリングを行い、信号が有効な間ウェイトサイクルを挿入します。外部ウェイトを使用する場合、内部ウェイトは3ウェイト以上を設定してください。

**WAIT** を、"Low"アクティブで使うか"High"アクティブで使うかは、**[EXBCSn]<WSEL>**で設定します。**WAIT** 信号は、サンプリングタイミングの2サイクル以上前から入力してください。

図 3.13、図 3.14 に外部ウェイトを挿入したタイミング図を示します。**WAIT** 信号は"Low"アクティブの場合を示しています。

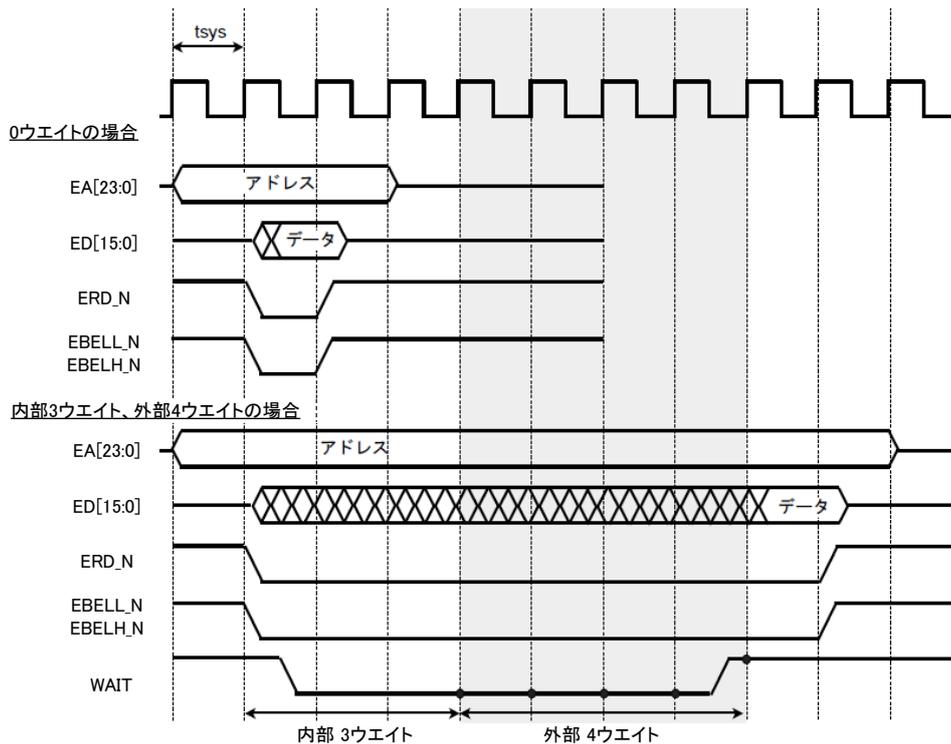


図 3.13 リードオペレーションタイミング(外部ウェイト)

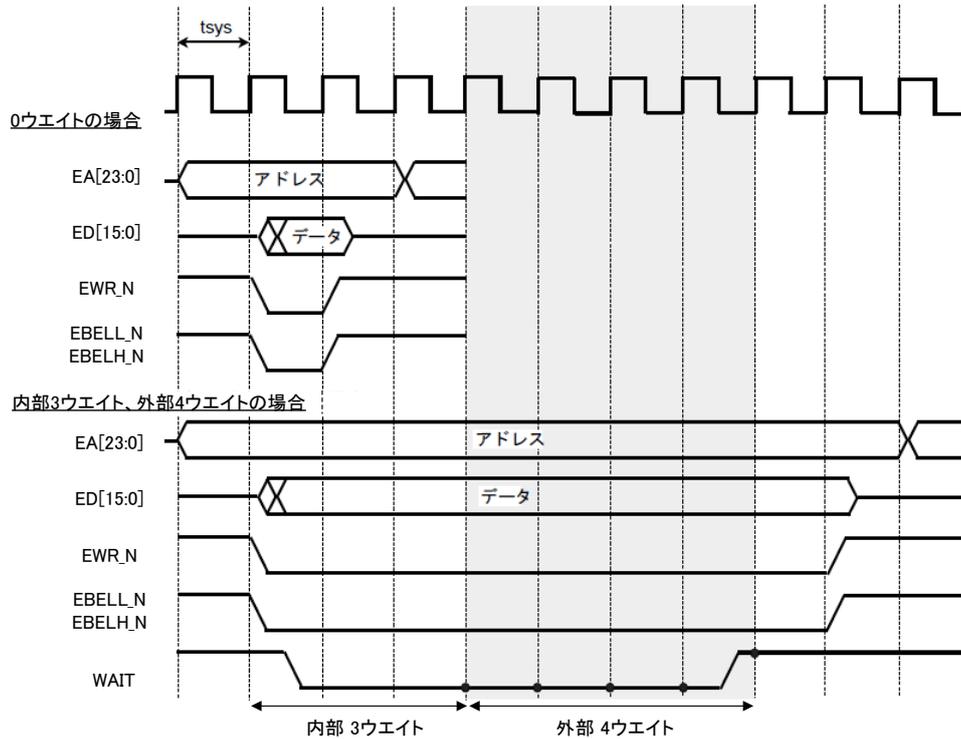


図 3.14 ライトオペレーションタイミング(外部ウェイト)

### 3.4.2.3. リード/ライトリカバリタイム

連続した外部領域アクセスが発生した場合に、リカバリタイムのためのダミーサイクルを挿入することができます。

リードサイクル、ライトサイクルいずれの場合にもダミーサイクルを挿入できます。ダミーサイクルの挿入については $[EXBCSn] \langle WRR \rangle$  (ライト・リカバリサイクル)  $\langle RDR \rangle$  (リード・リカバリサイクル) にて設定します。ダミーサイクル数はチャンネルごとにダミーサイクル無し、1~6、および 8 システムクロックを指定できます。図 3.15 にリカバリタイム挿入時のタイミング図を示します。

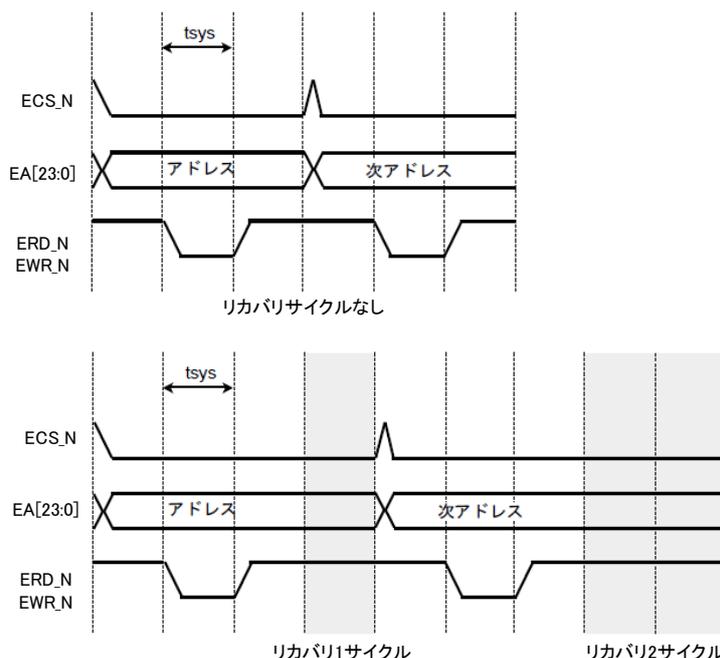


図 3.15 セパレートバスにおけるリカバリタイム挿入時のタイミング

### 3.4.2.4. チップセレクトリカバリタイム

連続した外部領域アクセスが発生した場合に、リカバリタイム生成のためのダミーサイクルを挿入することができます。

ダミーサイクルの挿入については[EXBCSn]<CSR>にて設定します。ダミーサイクル数はチャンネルごとに、ダミーサイクル無し、1、2 および4 システムクロックを指定することができます。図 3.16 にリカバリタイム挿入時のタイミング図を示します。

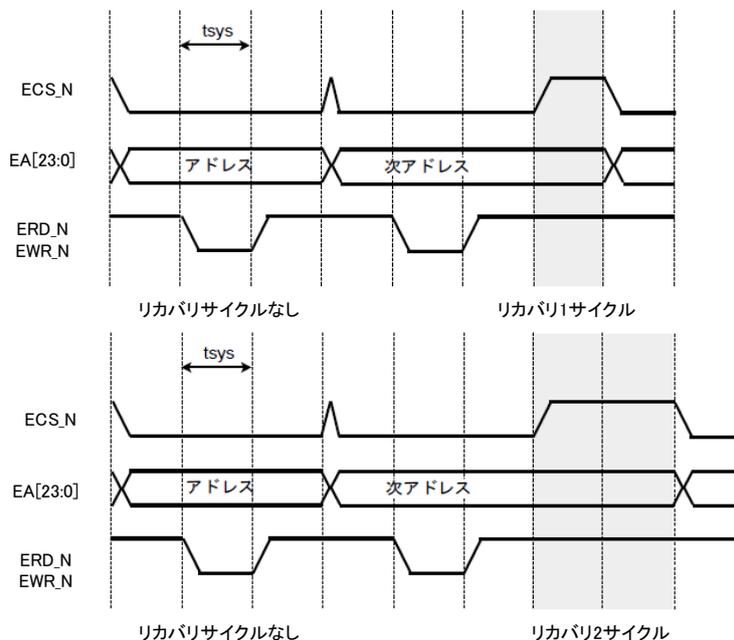


図 3.16 チップセレクトリカバリタイム挿入時のタイミング

### 3.4.2.5. リード、ライトセットアップサイクル

チャンネルごとにセットアップサイクルを挿入することができます。挿入できるサイクルは以下となります。

- 最大4クロックまでの内部リード、ライトセットアップサイクル(自動挿入)

セットアップサイクル数の設定は、**[EXBCSn]**の<WRS>および<RDS>で設定します。図 3.17にセットアップサイクル挿入時のタイミング図を示します。

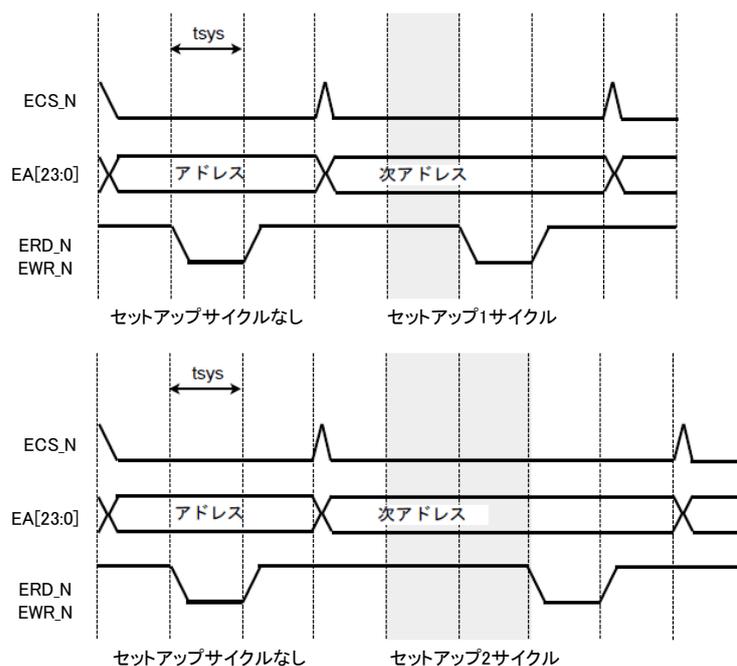


図 3.17 リード、ライトセットアップタイム挿入時のタイミング

## 3.4.3. マルチプレクスバス

各種バスタイミングについて説明します。なおタイミング図はアドレスバス、アドレス/データバスとしてEA23~EA16, AED15~AED00を設定したときのものを示しています。バスサイクル周期 $t_{sys}$ は、クロック出力機能を使用しない場合は $f_{sys}$  1周期、使用の場合は $[EXBCLKCTL]<CLKDIV>$ の指定によるクロック出力の1周期になります。

### 3.4.3.1. 基本バスオペレーション

外部バスサイクルは基本4クロックです。

図 3.18 にリードバスタイミングを、図 3.19 にライトバスタイミングを示します。図のように内部アクセス時にはアドレスバスは変化せず、EALE もラッチパルスを出しません。またアドレス/データバスはハイインピーダンスになり ERD\_N端子、EWR\_N端子などの制御信号もアクティブになりません。

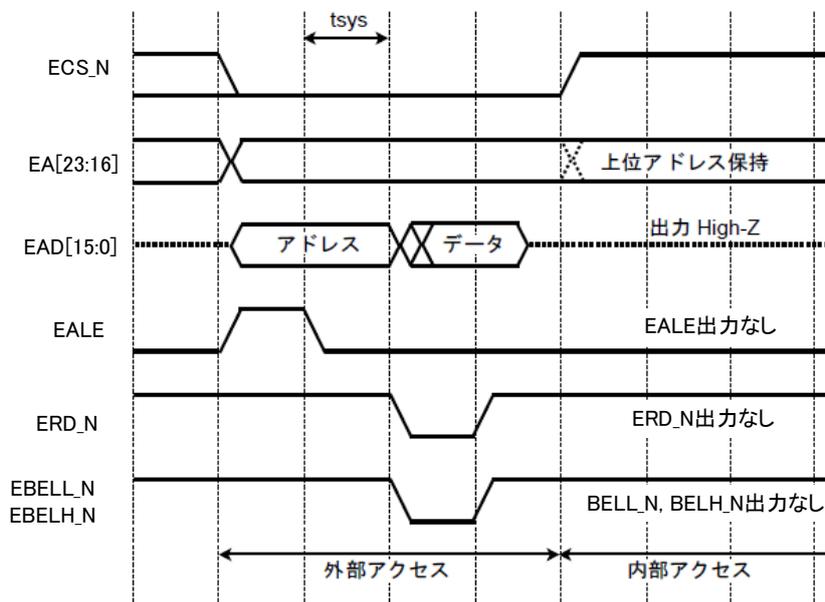


図 3.18 リードオペレーションタイミング

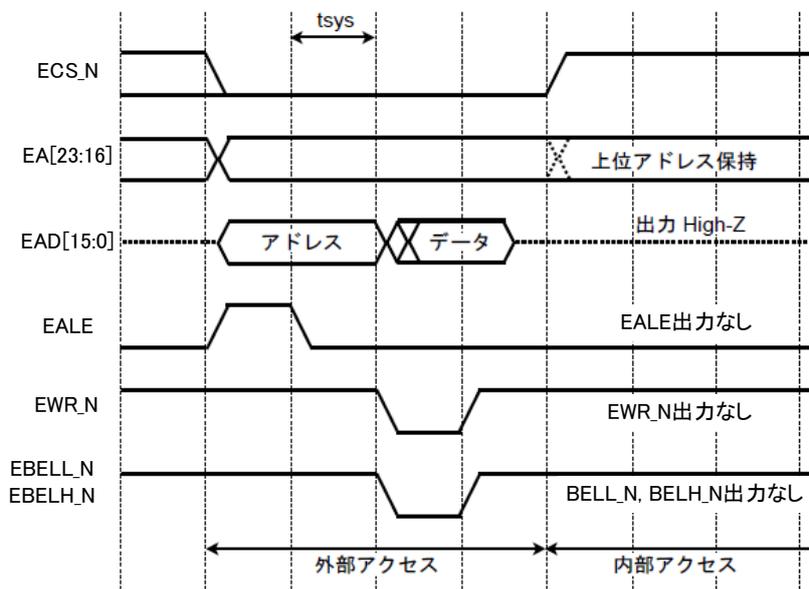


図 3.19 ライトオペレーションタイミング

## 3.4.3.2. ウェイト挿入

チャンネルごとにウェイトサイクルを挿入することができます。挿入できるウェイトは以下のとおりです。

- 最大 15 クロックまでの内部ウェイト(自動挿入)
- WAIT 信号による外部ウェイト

### (1) 内部ウェイト

**[EXBCSn]<WAIT>**を"0"に設定すると内部ウェイト機能となります。内部ウェイト数の設定は、**[EXBCSn]<CSIW>**で設定します。

図 3.20、図 3.21 にマルチプレスクバス時の0 ウェイト、内部 2 ウェイトを挿入した場合のリード、ライトタイミングを示します。

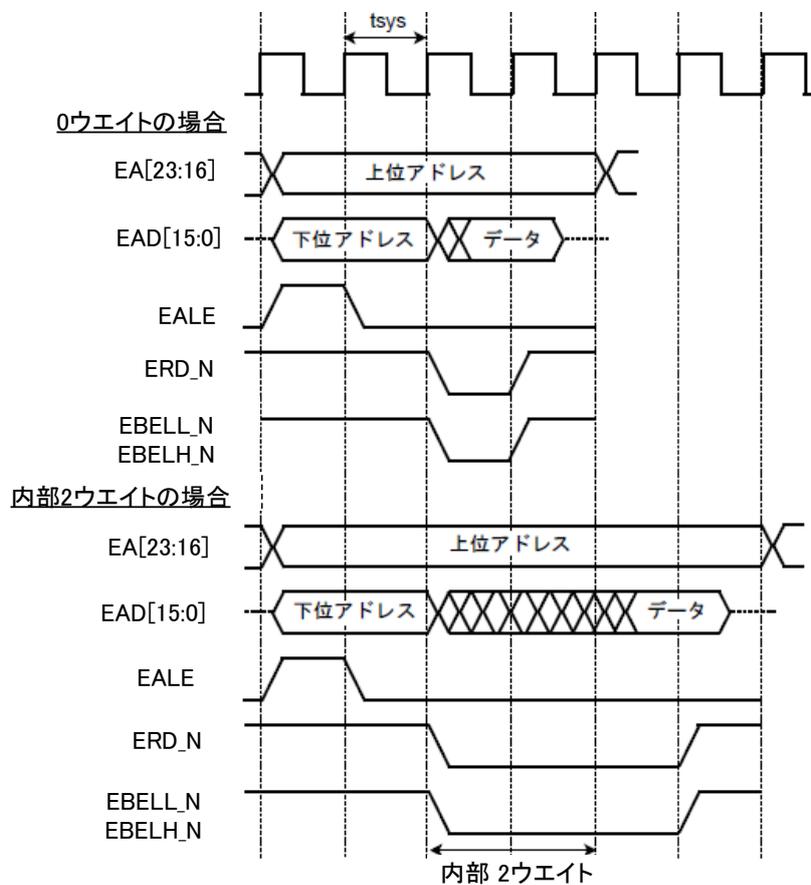


図 3.20 リードオペレーションタイミング(0ウェイトおよび内部2ウェイト)

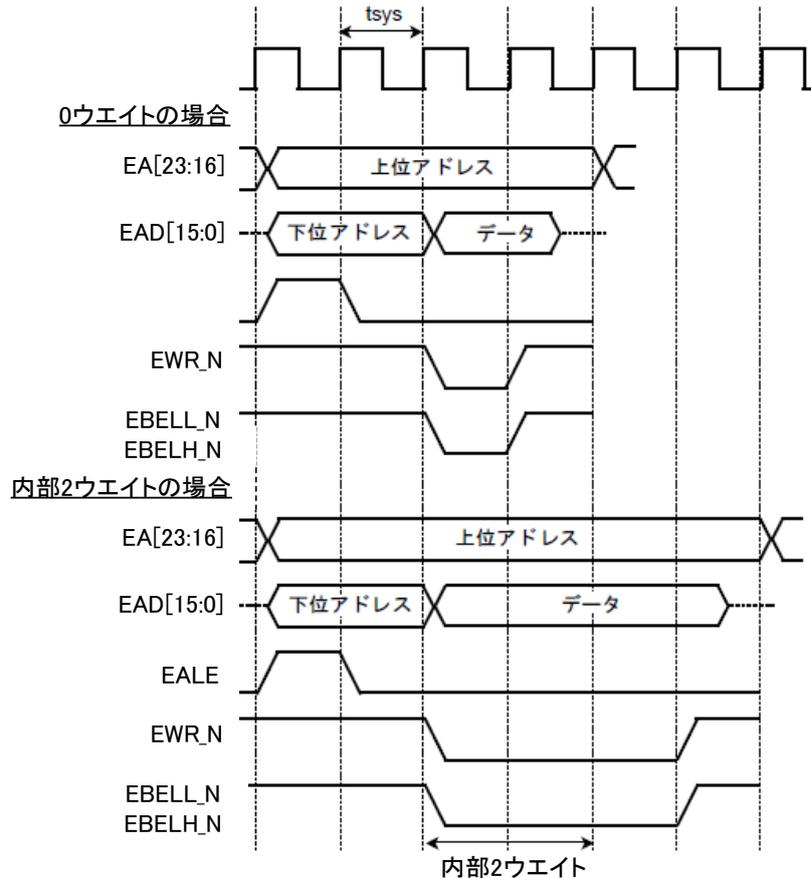


図 3.21 ライトオペレーションタイミング(0ウェイトおよび内部2ウェイト)

## (2) 外部ウェイト

[EXBCSn]<WAIT>を"1"に設定すると外部ウェイト機能となります。外部ウェイトは、内部ウェイトとWAIT信号の組み合わせで使用します。

外部ウェイト設定時は、[EXBCSn]<CSIW>で設定した内部ウェイト経過後にバスサイクルクロックでWAIT信号のサンプリングを行い、信号が有効な間ウェイトサイクルを挿入します。外部ウェイトを使用する場合、内部ウェイトは3ウェイト以上を設定してください。

WAITを、"Low"アクティブで使うか"High"アクティブで使うかは、[EXBCSn]<WSEL>で設定します。WAIT信号は、サンプリングタイミングの2サイクル以上前から入力してください。

図 3.22、図 3.23 に外部ウェイトを挿入したタイミング図を示します。WAIT信号は、"Low"アクティブの場合を示しています。

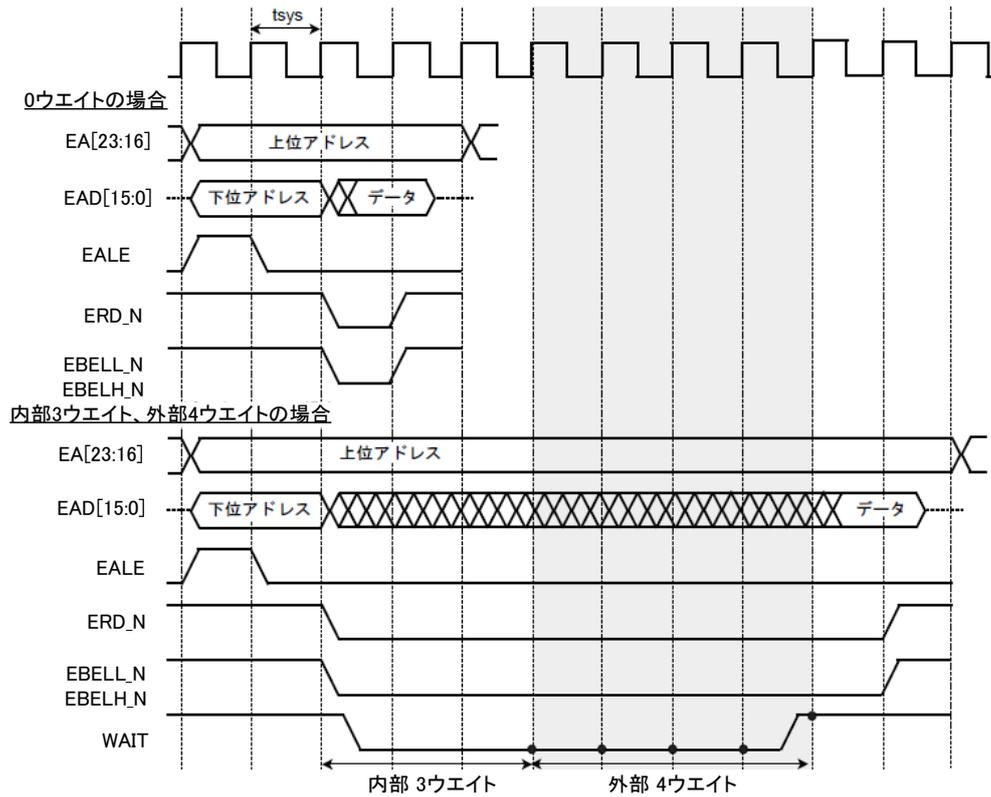


図 3.22 リードオペレーションタイミング(外部ウェイト)

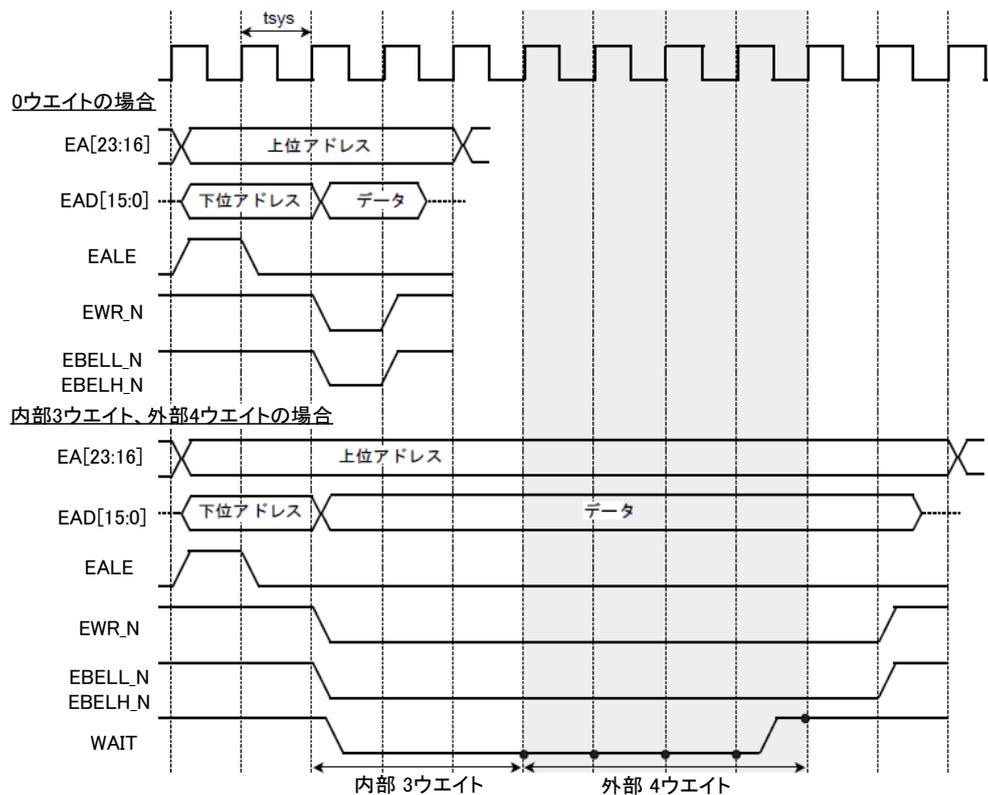


図 3.23 ライトオペレーションタイミング(外部ウェイト)

### 3.4.3.3. ALE アサート時間

ALEアサート時間は、1,2,3,5システムクロックの中から選択できます。設定用のビットはチップセレクトコントロールレジスタ[EXBCSn]<ALEW>にあります。初期設定ではアドレス成立から2システムクロック（内部）後に ERD\_N または EWR\_N 信号がアサートされます。

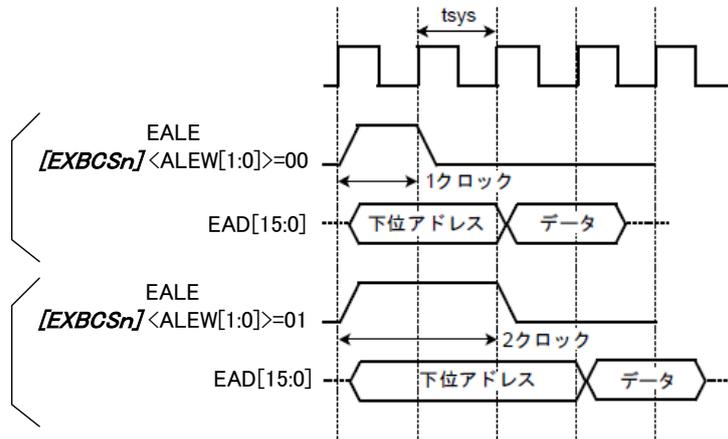


図 3.24 ALEアサート時間

図 3.25 に ALE アサート時間が 1 クロックのときと 2 クロックのときのタイミングを示します。

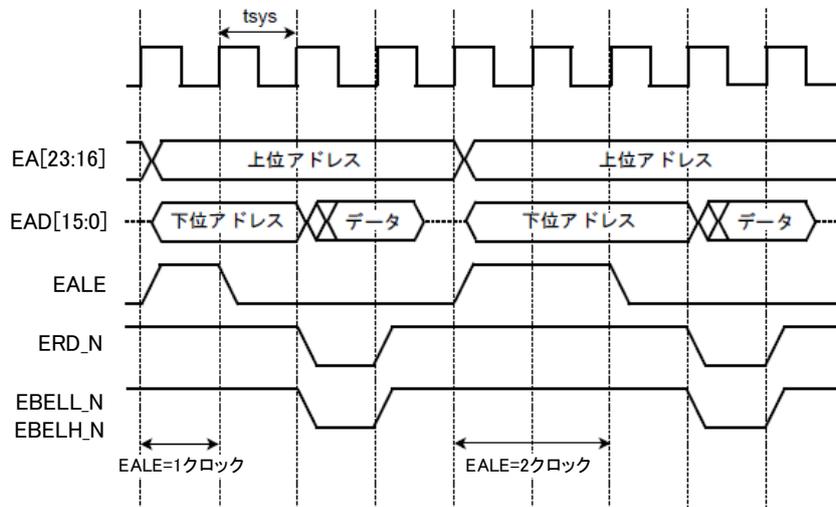


図 3.25 リードオペレーションタイミング(EALE1クロックおよび2クロック)

### 3.4.3.4. リード、ライトリカバリタイム

連続した外部領域アクセスが発生した場合に、リカバリタイム生成のためのダミーサイクルを挿入することができます。

リードサイクル、ライトサイクルいずれの場合にもダミーサイクルを挿入できます。ダミーサイクルの挿入についてはチップセレクトコントロールレジスタ[EXBCSn]<WRR>(ライト・リカバリサイクル)<RDR>(リード・リカバリサイクル)にて設定します。ダミーサイクル数はチャンネルごとに、ダミーサイクル無し、1～6システムクロック、および8システムクロックを指定することができます。図 3.26 にリカバリタイム挿入時のタイミング図を示します。

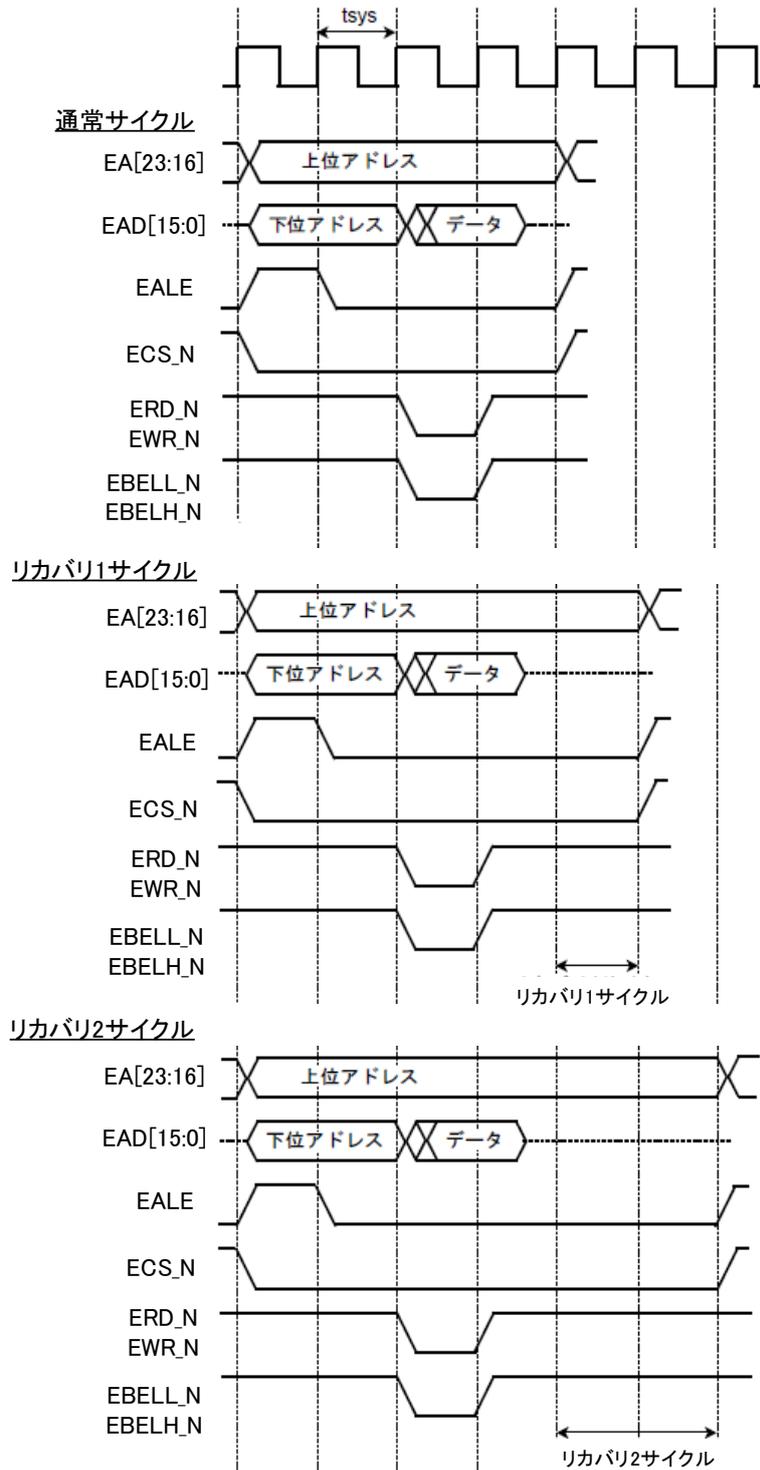


図 3.26 リカバリタイム挿入時のタイミング

### 3.4.3.5. チップセレクトリカバリタイム

連続した外部領域アクセスが発生した場合に、リカバリタイムのためのダミーサイクルを挿入することができます。

ダミーサイクルの挿入については $[EXBCSn]<CSR>$ で設定します。ダミーサイクル数はチャンネルごとに、ダミーサイクル無し、1、2および4 システムクロックを指定することができます。図 3.27 にリカバリタイム挿入時のタイミング図を示します。

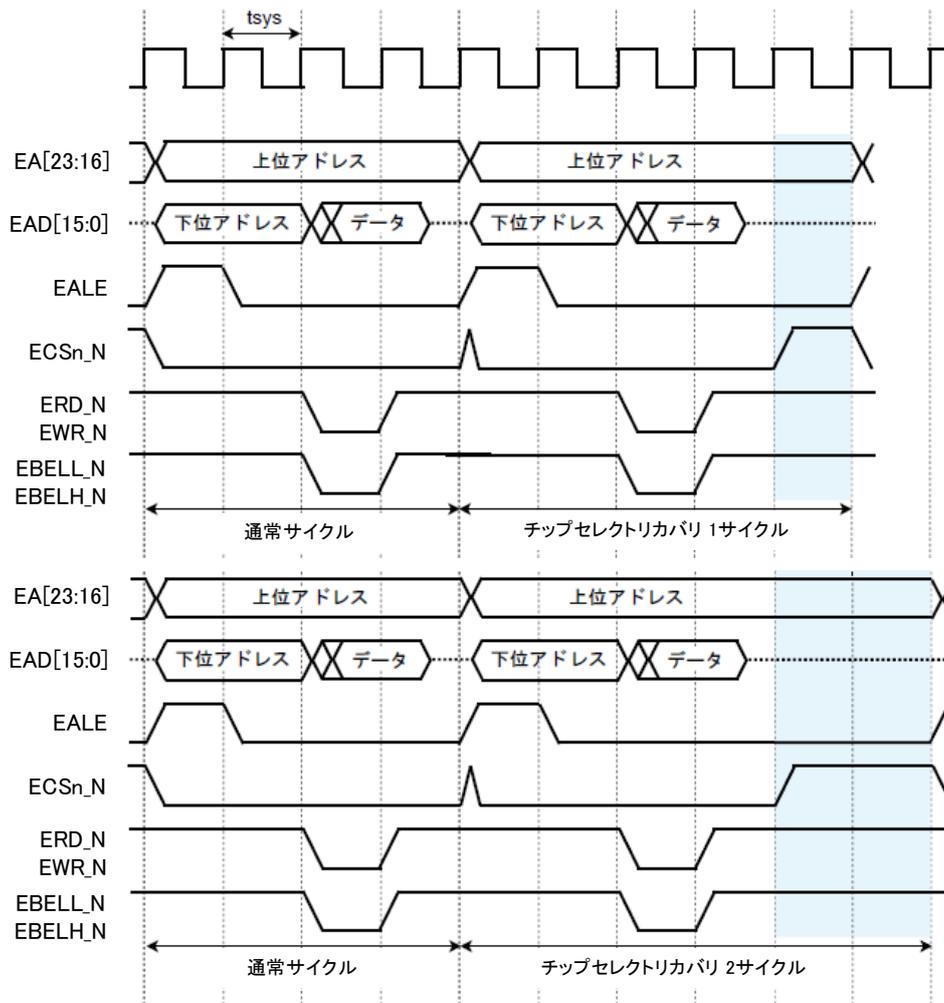


図 3.27 チップセレクトリカバリタイム挿入時のタイミング(EALe:1クロック)

### 3.4.3.6. リード、ライトセットアップサイクル

チャンネルごとにセットアップサイクルを挿入することができます。挿入できるサイクルは以下となります。

- 最大4クロックまでの内部リード、ライトセットアップサイクル(自動挿入)

セットアップサイクル数の設定は、 $[EXBCSn]<WRS>$ および $<RDS>$ で設定します。  
図 3.28 にリード、ライトセットアップサイクル挿入時のタイミング図を示します。

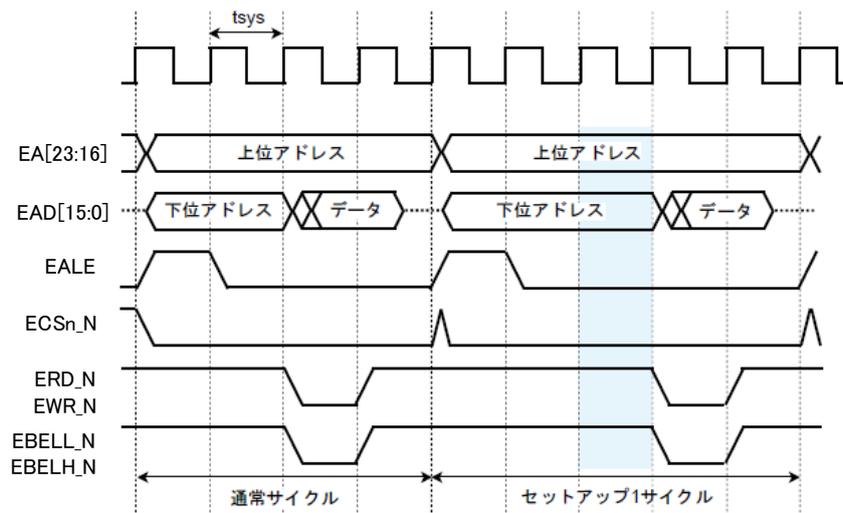


図 3.28 リード、ライトセットアップ挿入時のタイミング

## 4. レジスタ説明

### 4.1. レジスタ一覧

制御レジスタとアドレスは以下のとおりです。

周辺機能		チャネル/ユニット	ベースアドレス	
			TYPE 1	TYPE 2
外部バスインタフェース	EBIF	-	0x4005C000	0x40076000

注) 製品によって使用されるベースアドレスタイプは異なります。詳細はリファレンスマニュアルの「製品個別情報」を参照してください。

レジスタ名		アドレス(Base+)
モードコントロールレジスタ	<b>[EXBMOD]</b>	0x0000
空間サイズ/スタートアドレス設定レジスタ 0	<b>[EXBAS0]</b>	0x0010
空間サイズ/スタートアドレス設定レジスタ 1	<b>[EXBAS1]</b>	0x0014
空間サイズ/スタートアドレス設定レジスタ 2	<b>[EXBAS2]</b>	0x0018
空間サイズ/スタートアドレス設定レジスタ 3	<b>[EXBAS3]</b>	0x001C
チップセレクトコントロールレジスタ 0	<b>[EXBCS0]</b>	0x0040
チップセレクトコントロールレジスタ 1	<b>[EXBCS1]</b>	0x0044
チップセレクトコントロールレジスタ 2	<b>[EXBCS2]</b>	0x0048
チップセレクトコントロールレジスタ 3	<b>[EXBCS3]</b>	0x004C
クロック出力制御レジスタ	<b>[EXBCLKCTL]</b>	0x0060

注) レジスタのリード/ライトはワード(32 ビット)アクセスのみとなります。

## 4.2. レジスタ詳細

### 4.2.1. [EXBMOD] (モードコントロールレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:3	-	0	R	リードすると"0"が読めます。
2:1	EXBWAIT[1:0]	00	R/W	<p>バスサイクルウェイト拡張 00: 拡張なし 01: 2 倍 10: 4 倍 11: 設定禁止</p> <p>バスサイクルのセットアップ、ウェイト、リカバリサイクル機能を 2 倍、4 倍に設定するビットです。 例えば、&lt;EXBWAIT&gt;=00(拡張なし)設定にてリードセットアップサイクルを 2 サイクルに設定していた場合、&lt;EXBWAIT&gt;=01 (2 倍)に設定変更すると、4 サイクルに拡張されます。同様に&lt;EXBWAIT&gt;=10 (4 倍)に設定変更すると、8 サイクルに拡張されます。なお、拡張サイクルは[EXBCSx]レジスタにて設定されるリード/ライトセットアップ、チップセレクト/リード/ライトリカバリ、ALE アサート時間/内部ウェイトサイクルと、&lt;EXBWAIT&gt;の設定 (2 倍/4 倍) によってサイクル数が拡張されます。</p>
0	EXBSEL	0	R/W	<p>セパレートバス/マルチプレクスバスを選択するビットです。 0: マルチプレクスバスモード 1: セパレートバスモード</p>

注) マルチプレクスバス/セパレートバスの設定は、外部バス動作中に変更しないでください。

## 4.2.2. [EXBAS0][EXBAS1][EXBAS2][EXBAS3](空間サイズ/スタートアドレス設定レジスタ n)

Bit	Bit Symbol	リセット後	Type	機能
31:16	SA[15:0]	0x0000	R/W	スタートアドレスを設定します。 アドレスEA31~EA16(<SA[15]>~(<SA[0]>))のスタートアドレスを設定します。空間サイズごとのスタートアドレス設定を表 4.1 に示します。
15:8	-	0	R	リードすると"0"が読めます。
7:0	EXAR[7:0]	0x00	R/W	チップセレクト空間のサイズを指定します。(ECSn_N)  00000000: 16M バイト 00000001: 8M バイト 00000010: 4M バイト 00000011: 2M バイト 00000100: 1M バイト 00000101: 512K バイト 00000110: 256K バイト 00000111: 128K バイト 00001000: 64K バイト  上記以外は設定しないでください。

注) 外部バスアドレス空間にアクセスする際、アクセスするアドレスエリアが複数のチップセレクト空間にマッピングされている場合は ECS0\_N > ECS1\_N > ECS2\_N > ECS3\_N の優先順位に従って、チップセレクト信号をアクティブにします。

表 4.1 <SA[15:0]>スタートアドレス設定

チップセレクト 空間サイズ	<SA[15:0]>															
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
16M バイト	0	1	1	0	0	0	x	x	0	0	0	0	0	0	0	0
8M バイト	0	1	1	0	0	0	x	x	x	0	0	0	0	0	0	0
4M バイト	0	1	1	0	0	0	x	x	x	x	0	0	0	0	0	0
2M バイト	0	1	1	0	0	0	x	x	x	x	x	0	0	0	0	0
1M バイト	0	1	1	0	0	0	x	x	x	x	x	x	0	0	0	0
512K バイト	0	1	1	0	0	0	x	x	x	x	x	x	x	0	0	0
256K バイト	0	1	1	0	0	0	x	x	x	x	x	x	x	x	0	0
128K バイト	0	1	1	0	0	0	x	x	x	x	x	x	x	x	x	0
64K バイト	0	1	1	0	0	0	x	x	x	x	x	x	x	x	x	x

x: 任意

## 4.2.3. [EXBCS0] [EXBCS1] [EXBCS2] [EXBCS3] (チップセレクトコントロールレジスタ n)

Bit	Bit Symbol	リセット後	Type	機能
31:30	CSR[1:0]	01	R/W	チップセレクト(ECSn_N)リカバリサイクル 00 : サイクル無し 01 : 1 サイクル 10 : 2 サイクル 11 : 4 サイクル
29:27	WRR[2:0]	001	R/W	ライト(EWR_N)リカバリサイクル 000 : サイクル無し 001 : 1 サイクル 010 : 2 サイクル 011 : 3 サイクル 100 : 4 サイクル 101 : 5 サイクル 110 : 6 サイクル 111 : 8 サイクル
26:24	RDR[2:0]	001	R/W	リード(ERD_N)リカバリサイクル 000 : サイクル無し 001 : 1 サイクル 010 : 2 サイクル 011 : 3 サイクル 100 : 4 サイクル 101 : 5 サイクル 110 : 6 サイクル 111 : 8 サイクル
23:22	-	0	R	リードすると"0"が読めます。
21:20	ALEW[1:0]	01	R/W	ALE ウェイト時間(マルチプレクスバスモード時) 00 : ウェイト無し 01 : 1 サイクル 10 : 2 サイクル 11 : 4 サイクル
19:18	WRS[1:0]	01	R/W	ライト(EWR_N)セットアップサイクル 00 : 無し 01 : 1 サイクル 10 : 2 サイクル 11 : 4 サイクル
17:16	RDS[1:0]	01	R/W	リード(ERD_N)セットアップサイクル 00 : 無し 01 : 1 サイクル 10 : 2 サイクル 11 : 4 サイクル
15:14	-	0	R	リードすると"0"が読めます。
13	WSEL	0	R/W	ウェイト信号選択 0: Low アクティブ 1: High アクティブ
12	WAIT	0	R/W	ウェイト機能選択 0: 内部ウェイト 1: 外部ウェイト

Bit	Bit Symbol	リセット後	Type	機能
11:8	CSIW[3:0]	0010	R/W	ウェイト数選択 0000 : 0 ウェイト 0001 : 1 ウェイト 0010 : 2 ウェイト 0011 : 3 ウェイト 0100 : 4 ウェイト 0101 : 5 ウェイト 0110 : 6 ウェイト 0111 : 7 ウェイト 1000 : 8 ウェイト 1001 : 9 ウェイト 1010 : 10 ウェイト 1011 : 11 ウェイト 1100 : 12 ウェイト 1101 : 13 ウェイト 1110 : 14 ウェイト 1111 : 15 ウェイト  <WAIT>が"0"の場合、固定のウェイト数を指定します。 <WAIT>が"1"の場合は外部ウェイト機能の内部ウェイト数の指定になります。外部ウェイトで使用する場合は3ウェイト以上を指定してください
7:3	-	0	R	リードすると"0"が読めます。
2:1	CSW[2:1]	01	R/W	データバス幅設定 00 : 8ビット幅 01 : 16ビット幅  上記以外は設定禁止です。
0	CSW0	0	R/W	CS イネーブル 0: 禁止 1: 許可

#### 4.2.4. [EXBCLKCTL](クロック出力制御レジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:3	-	0	R	リードすると"0"が読めます。
2:1	CLKDIV[1:0]	00	R/W	出カクロックのクロック分周設定(注 1)(注 2)  00: Reserved 01: fsys/2 10: fsys/4 11: fsys/8
0	CLKEN	0	R/W	クロック出力制御(注 3) 0: 禁止 1: 許可

注1) <CLKDIV>の設定は、<CLKEN>が"0"の状態で行ってください。

注2) <CLKDIV>は、30MHz を超えない範囲で設定してください。

注3) 設定を変更した場合、クロック出力を許可/禁止したタイミングでクロック波形が乱れます。

## 5. 使用方法の例

### 5.1. 非同期セパレートバスモードでの 16 ビット SRAM、NOR-FLASH との接続例

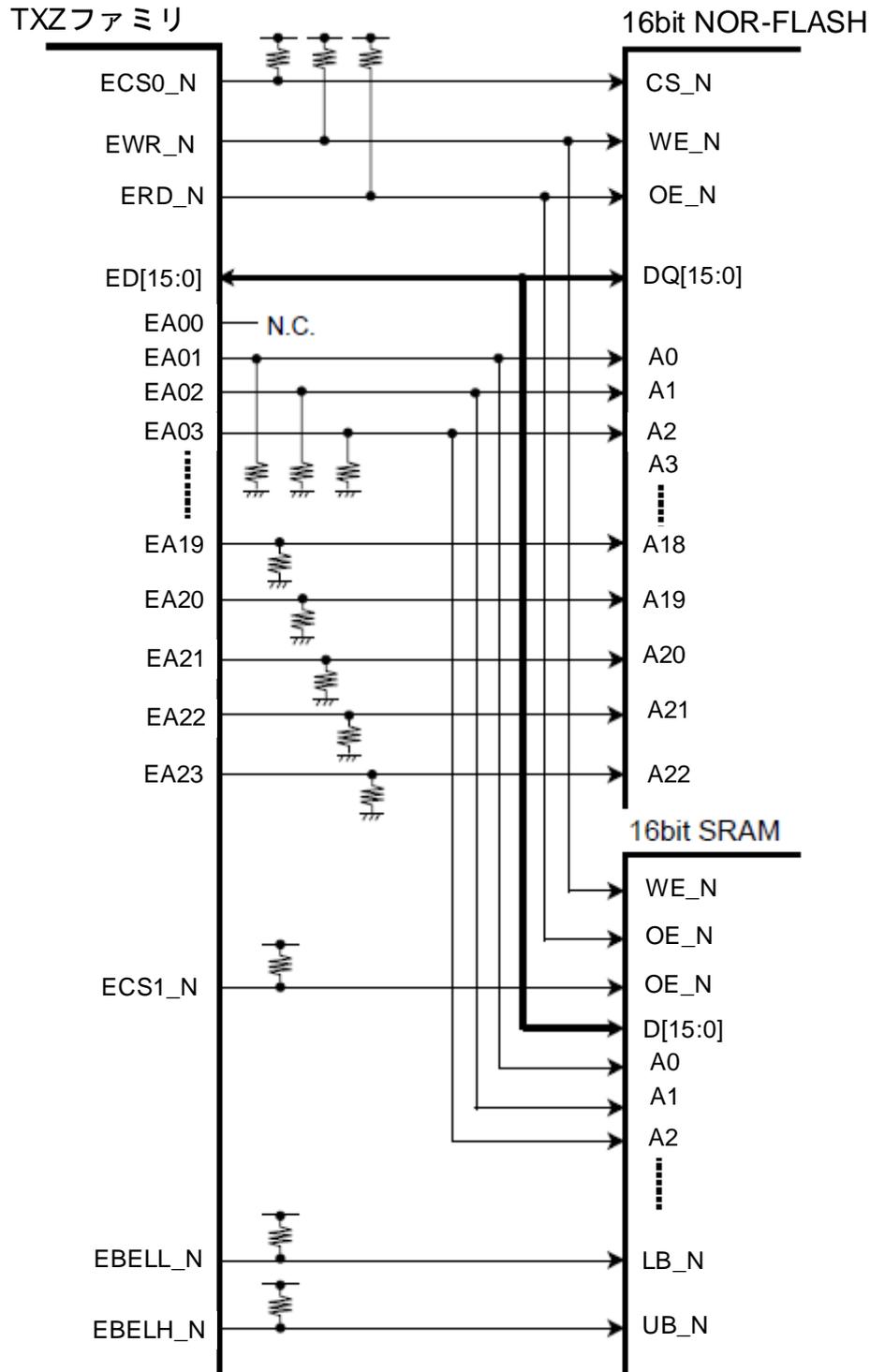


図 5.1 外部16ビットSRAM、NOR-FLASH接続例(非同期セパレートバス)

## 5.2. 同期マルチプレクスバスモードでの 16 ビット SRAM、NOR-FLASH との接続例

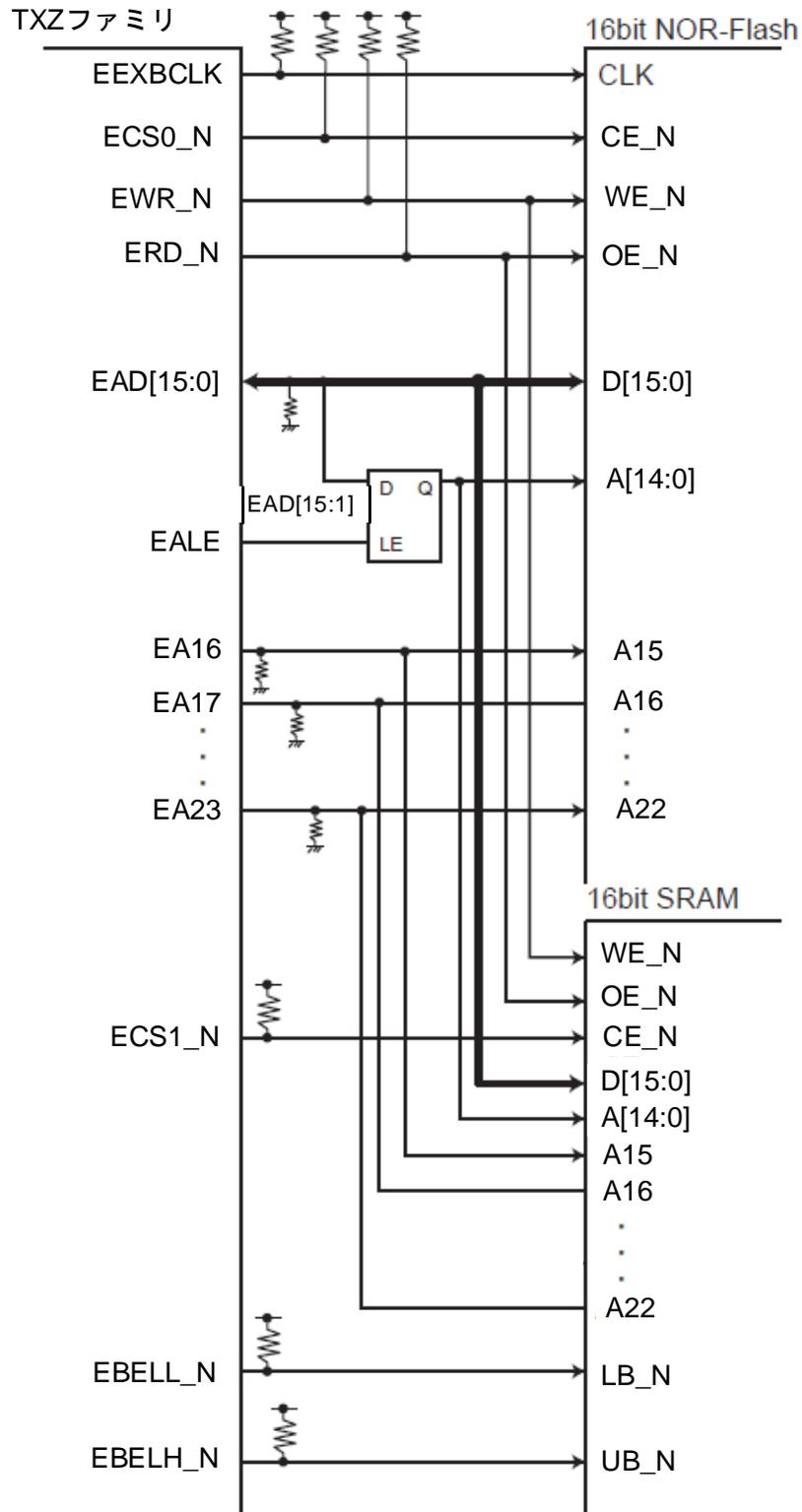


図 5.2 外部16ビットSRAM、NOR-FLASH接続例(同期マルチプレクスバス)

## 6. 改訂履歴

表 6.1 改訂履歴

Revision	Date	Description
1.1	2018-06-26	<ul style="list-style-type: none"> <li>・新規</li> </ul>
1.1	2018-06-26	<ul style="list-style-type: none"> <li>・関連するドキュメント 関連するリファレンスマニュアル→関連するドキュメントに修正</li> <li>・1. 概要 リカバリサイクル挿入機能 ECSx_N 端子→ECSn_N 端子に修正、括弧内の説明削除 バス拡張機能 (チャネル共通)を追加</li> <li>・2. 構成 表 2.1 の EBELL_N/EBELH_N の信号名称修正</li> <li>・3.4.1 アドレス、データ端子の設定 表 3.2 の見出し “=1”、“=0”の “”を削除</li> <li>・3.4.2.2 ウェイト挿入 冒頭説明の見直し (1) の説明を見直し</li> <li>・3.4.2.3 リード/ライトリカバリタイム &lt;WRR[2:0]&gt;&lt;RDR[2:0]&gt;の[2:0]を削除</li> <li>・3.4.2.4 チップセレクトリカバリタイム 冒頭説明の見直し &lt;CSR[1:0]&gt;の[1:0]を削除</li> <li>・3.4.2.5 リード、ライトセットアップタイム &lt;WRS[1:0]&gt;&lt;RDS[1:0]&gt;の[1:0]とレジスタ名称を削除</li> <li>・3.4.3.1 基本バスオペレーション ERD_N→ERD_N 端子、EWR_N→EWR_N 端子に修正</li> <li>・3.4.3.2 ウェイト挿入 冒頭説明の見直し、(1)内部ウェイト説明の[EXBCSn]&lt;WAIT&gt;からレジスタ名称を削除</li> <li>・3.4.3.4 リード、ライトリカバリタイム &lt;WRR[2:0]&gt;&lt;RDR[2:0]&gt;の[2:0]を削除</li> <li>・3.4.3.5 チップセレクトリカバリタイム 外部バスチップセレクトコントロールレジスタを削除、レジスタ名で記載 &lt;CSR[1:0]&gt;の[1:0]を削除 図 3.27 のタイトル EALE 幅 → EALE に修正</li> <li>・3.4.3.6 リード、ライトセットアップサイクル 冒頭説明の見直し &lt;WRS[1:0]&gt;&lt;RDS[1:0]&gt;の[1:0]を削除、レジスタ名称を削除しレジスタ名で記載</li> <li>・4.2.1 [EXBMOD] RW→R/W に修正 &lt;EXBWAIT&gt;の説明 下から 3 行目 ALE/内部ウェイトサイクル → ALE アサート時間/内部ウェイトサイクル</li> <li>・4.2.2 [EXBAS0][EXBAS1][EXBAS2][EXBAS3] [EXBAS3]追加 (空間サイズ/スタートアドレス設定レジスタ)→(空間サイズ/スタートアドレス設定レジスタ n)に修正 &lt;SA&gt;&lt;EXAR&gt;の TYPE RW→R/W に修正 &lt;SA&gt;の機能説明見直し &lt;EXAR&gt;の 8M バイトの設定値 00000000→00000001 に修正 &lt;EXAR&gt;の機能説明 重複した説明削除 表 4.1 の見出し SA→&lt;SA[15:0]&gt;に修正</li> <li>・4.2.3 [EXBCS0][EXBCS1][EXBCS2][EXBCS3] [EXBCS3]追加 (チップセレクトコントロールレジスタ)→(チップセレクトコントロールレジスタ n) に修正 RW→R/W に修正</li> <li>・4.2.4 [EXBCLKCTL] RW→R/W に修正 &lt;CLKDIV&gt;の機能説明見直し</li> </ul>

1.2	2018-11-12	<ul style="list-style-type: none"> <li>・3.4.3 マルチプレクスバス タイトル修正</li> <li>・4.2.1 <b>[EXBMOD]</b> &lt;EXBSEL&gt; セパレートバスモード/マルチプレクスバス → セパレートバス/ マルチプレクスバス に修正 注)のセパレートモード→セパレートバスモードに修正</li> <li>・4.2.3 <b>[EXBCS0][EXBCS1][EXBCS2][EXBCS3]</b> &lt;ALEW[1:0]&gt;のパラメータ修正 &lt;CSIW[3:0]&gt; 8 ウェイト→8 ウェイト</li> <li>・5.1 非同期セパレートバスモードでの 16 ビット SRAM、NOR-FLASH との接続例 タイトル修正</li> <li>・5.2 同期マルチプレクスバスモードでの 16 ビット SRAM、NOR-FLASH との接続例 タイトル修正</li> </ul>
-----	------------	---

## 製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。