

32 ビット RISC マイクロコントローラ
TXZ ファミリ

リファレンスマニュアル
シリアルメモリインタフェース
(SMIF-A)

Revision 1.1

2018-07

東芝デバイス&ストレージ株式会社

目次

序章	4
関連するドキュメント	4
表記規約	5
用語・略語	7
1. 概要	8
2. 構成	9
3. 機能説明・動作説明	10
3.1. クロック供給	10
3.2. 通信モード	10
3.3. メモリマッピング	11
3.4. アクセス方法	11
3.4.1. ダイレクトアクセス	11
3.4.1.1. SPI Flash コマンド	12
3.4.1.2. WIP ビットをポーリングする機能	13
3.4.1.3. ダイレクトアクセスの設定手順	14
3.4.2. プログラムレジスタアクセス	14
3.4.3. プログラムレジスタアクセスの設定手順	15
3.5. 転送クロック	15
3.6. データ入出力タイミング	16
3.7. 割り込み	16
4. レジスタ説明	17
4.1. レジスタ一覧	17
4.2. レジスタ詳細	18
4.2.1. [SMIxMAP0](アドレスマップ コントロールレジスタ 0)	18
4.2.2. [SMIxMAP1](アドレスマップ コントロールレジスタ 1)	18
4.2.3. [SMIxDACRn](ダイレクトアクセス コントロールレジスタ n) (n=0,1)	19
4.2.4. [SMIxDRCRn](ダイレクトリード コントロールレジスタ n) (n=0,1)	20
4.2.5. [SMIxRACR0](プログラムレジスタアクセス コントロールレジスタ 0)	21
4.2.6. [SMIxRACR1](プログラムレジスタアクセス コントロールレジスタ 1)	21
4.2.7. [SMIxINT](プログラムレジスタアクセス 割り込みコントロールレジスタ)	22
4.2.8. [SMIxSTAT](プログラムレジスタアクセス ステータスレジスタ)	22
4.2.9. [SMIxPBUFn](プログラムレジスタアクセス プライマリバッファレジスタ n) (n=0~1)	23
4.2.10. [SMIxSBUFn](プログラムレジスタアクセス セカンダリバッファレジスタ n) (n=00~63)	24
5. 使用方法の例	25
5.1. プログラムレジスタアクセスの例	25
5.1.1. Fast Read	25
5.1.2. Status Read	25
5.1.3. Page Program	26

5.1.4. Full Chip Erase	27
5.1.5. Sector Erase	27
5.2. シリアルメモリとの接続例	28
5.2.1. Single/Dual での接続例	28
5.2.2. Quad での接続例	29
6. 使用上のご注意およびお願い事項	30
7. 改訂履歴	31
製品取り扱い上のお願い	32

図目次

図 2.1 SMIF のブロック図	9
図 3.1 メモリマッピングの例	11
図 3.2 Fast Read シーケンス	12
図 3.3 Fast Read Dual Output シーケンス	12
図 3.4 Fast Read Dual I/O シーケンス	12
図 3.5 Fast Read Quad Output シーケンス	13
図 3.6 Fast Read Quad I/O シーケンス	13
図 3.7 プログラムレジスタアクセス	14
図 3.8 データ入出カタイミング	16
図 5.1 Status Read の例	26
図 5.2 Single/Dual の接続例 (シリアルメモリ 0)	28
図 5.3 Single/Dual の接続例 (シリアルメモリ 0/1)	28
図 5.4 Quad の接続例 (シリアルメモリ 0)	29
図 5.5 Quad の接続例 (シリアルメモリ 0/1)	29

表目次

表 2.1 接続仕様	9
表 3.1 転送クロック	15
表 4.1 マルチ I/O 使用時の $[SMIxDRCRn]$ の設定値	20
表 7.1 改訂履歴	31

序章

関連するドキュメント

文書名
クロック制御と動作モード
メモリマップ
例外
入出力ポート
製品個別情報

表記規約

- 数値表記は以下の規則に従います。
 - 16 進数表記: 0xABC
 - 10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
 - 2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は [m:n] とまとめて表記する場合があります。
例: S[3: 0] は S3, S2, S1, S0 の 4 つの信号名をまとめて表記しています。
- 本文中 [] で囲まれたものはレジスタを定義しています。
例: [ABCD]
- 同種で複数のレジスタ、フィールド、ビット名は「n」で一括表記する場合があります。
例: [XYZ1], [XYZ2], [XYZ3] → [XYZn]
- 「レジスタ一覧」中のレジスタ名でユニットまたはチャンネルは「x」で一括表記しています。
ユニットの場合、「x」は A, B, C... を表します。
例: [ADACRO], [ADBCRO], [ADCCRO] → [ADxCRO]
チャンネルの場合、「x」は 0, 1, 2... を表します。
例: [T32A0RUNA], [T32A1RUNA], [T32A2RUNA] → [T32AxRUNA]
- レジスタのビット範囲は [m:n] と表記します。
例: [3: 0] はビット 3 から 0 の範囲を表します。
- レジスタの設定値は 16 進数または 2 進数のどちらかで表記されています。
例: [ABCD]<EFG> = 0x01 (16 進数)、[XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
 - バイト: 8 ビット
 - ハーフワード: 16 ビット
 - ワード: 32 ビット
 - ダブルワード: 64 ビット
- レジスタ内の各ビットの属性は以下の表記を使用しています。
 - R: リードオンリー
 - W: ライトオンリー
 - R/W: リード / ライト
- 断りのない限り、レジスタアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスタは書き換えを行わないでください。また、読み出した値を使用しないでください。
- Default 値が「—」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスタに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- ライトオンリーのレジスタの Reserved ビットフィールドには Default 値を書き込んでください。
Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスタへのリードモディファイライト処理は行わないでください。

Arm, Cortex および Thumb は Arm Limited(またはその子会社)の US またはその他の国における登録商標です。 All rights reserved.



FLASH メモリについては、米国 SST 社 (Silicon Storage Technology, Inc) からライセンスを受けた Super Flash®技術を使用しています。Super Flash®は SST 社の登録商標です。

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

SI	Serial Input
SO	Serial Output
SPI	Serial Peripheral Interface
SMIF	Serial Memory Interface

1. 概要

シリアルメモリインタフェース (SMIF) は、シリアル I/O を持ったメモリ (SPI Flash など) との接続を行うためのインタフェースです。

以下に、SMIF の機能一覧を示します。

機能分類	機能	内容
シリアルメモリとの接続	接続数	・最大 2 つのシリアルメモリを接続可能
	接続容量	・64K バイト～16M バイト
	転送クロック	・最大 20MHz
	通信モード	・SPI コンパチブル SPI Mode 0 をサポート Single I/O、Dual I/O リード、Quad I/O リードをサポート ・MSB ファースト
	メモリマッピング	・アドレス“0xA0000000”～“0xA0FFFFFF”の任意領域へマッピング可能
	アクセスモード	・ダイレクトアクセス ・プログラムレジスタアクセス
	コマンド転送数	・レジスタを介して最大 264 バイト転送可能
	チップセレクト	・シリアルメモリ 0、シリアスメモリ 1 を選択 ・SMIxCS0_N、SMIxCS1_N のデアサート時間を設定可能
	その他機能	・SPI Flash のステータスをポーリングし Write/Erase 完了後に Read する機能

2. 構成

SMIF のブロック図と信号一覧を示します。

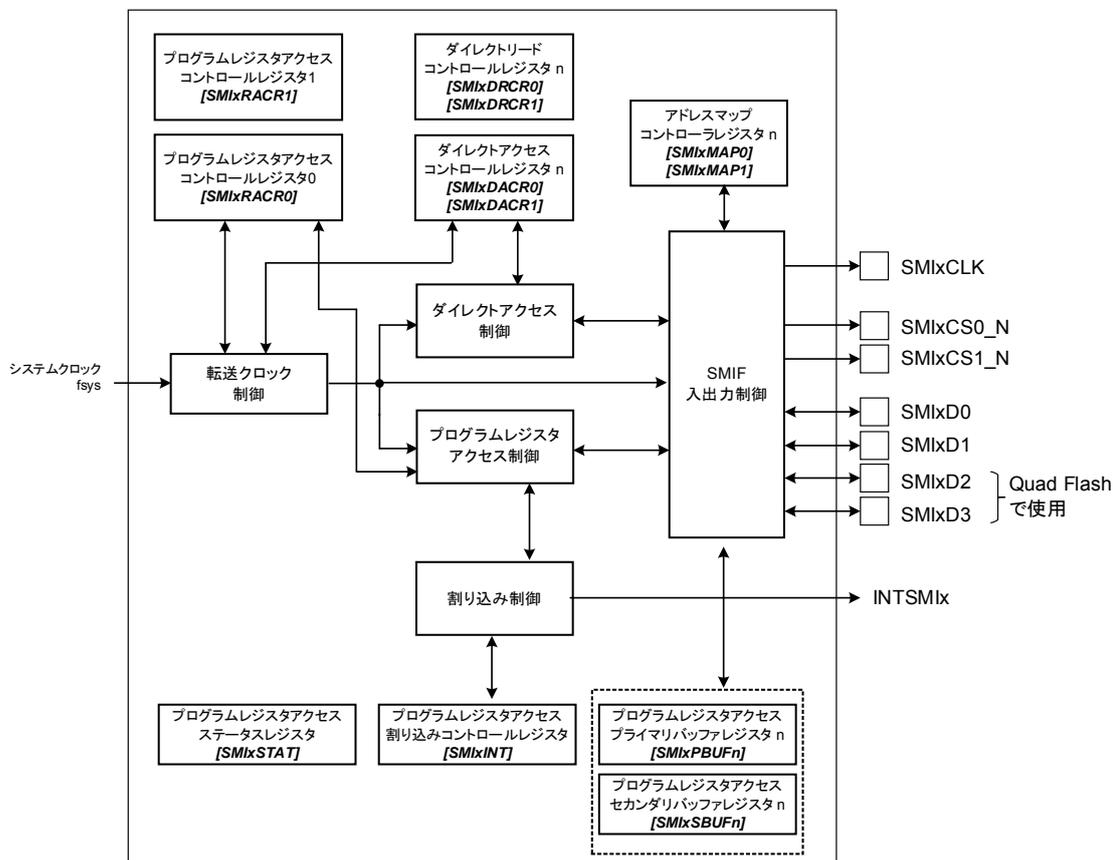


図 2.1 SMIFのブロック図

表 2.1 接続仕様

No.	信号名	信号名称	I/O	参照リファレンスマニュアル
1	f_{sys}	システムクロック	入力	クロック制御と動作モード
2	SMIxCLK	アクセスクロック	出力	製品個別情報、入出力ポート
3	SMIxCS0_N	チップセレクト 0	出力	製品個別情報、入出力ポート
4	SMIxCS1_N	チップセレクト 1	出力	製品個別情報、入出力ポート
5	SMIxD0	データ入出力 0	入出力	製品個別情報、入出力ポート
6	SMIxD1	データ入出力 1	入出力	製品個別情報、入出力ポート
7	SMIxD2	データ入出力 2	入出力	製品個別情報、入出力ポート
8	SMIxD3	データ入出力 3	入出力	製品個別情報、入出力ポート
9	INTSMIx	割り込み	出力	例外

3. 機能説明・動作説明

SMIF は、容量 64K バイトから 16M バイトまでのシリアルメモリを最大 2 つ接続可能です。アドレス指定でデータをリードする「ダイレクトアクセス」とプログラムレジスタを操作してコマンドを発行する「プログラムレジスタアクセス」によりアクセスを行います。

3.1. クロック供給

SMIF を使用する場合は、fsys 供給停止レジスタ A (*[CGFSYSENA]*, *[CGFSYSMENA]*)、fsys 供給停止レジスタ B (*[CGFSYSENB]*, *[CGFSYSMENB]*)、fc 供給停止レジスタ (*[CGFCEN]*) で該当するクロックイネーブルビットを“1”(クロック供給)に設定してください。該当レジスタ、ビット位置は製品によって異なります。そのため製品によって、レジスタが存在しない場合があります。詳細はリファレンスマニュアルの「クロック制御と動作モード」を参照してください。

クロック供給を停止する場合や STOP1/STOP2 モードに遷移する際は、SMIF が停止していることを確認してください。

3.2. 通信モード

SMIF とシリアルメモリの通信は、SPI コンパチブルです。Dual I/O Read、Quad I/O Read をサポートしています。

接続するシリアルメモリは以下の条件を満たしている必要があります。

- ・容量：64K バイト～16M バイト
- ・Fast Read が使用可能
- ・SPI Mode 0 をサポート
- ・アドレスの使用しない上位ビットは don't care
- ・ステータスレジスタのビット 0 は Write In Progress (WIP) を表す
- ・MSB ファースト

SPI では、以下の 4 つのフェーズに分けて制御が行われます。

1. コマンド (出力)
2. アドレス (出力)
3. ダミーバイト (出力)
4. データ (入力)

各フェーズの I/O 幅は、*[SMIxDRCRn]* で設定します。

3.3. メモリマッピング

シリアルメモリへアクセスするためのアドレスは、“0xA0000000”～“0xA0FFFFFF”(16M バイト)の任意領域へマッピング可能です。この領域への書き込みを行った場合、バスエラーは発生しません。また、シリアルメモリに対して何も動作を行いません。メモリマッピングされていない領域をリードした場合は不定値が読み出されます。リセット後、シリアルメモリ 0 はメモリマッピングされていますが、シリアルメモリ 1 はメモリマッピングされていません。設定したマッピング領域よりも小さい容量のシリアルメモリを実装した場合、未実装領域をアクセスすると実装されているシリアルメモリのミラーが見えます。

“図 3.1 メモリマッピングの例”に、シリアルメモリ 0 の領域として“0xA0000000”～“0xA0BFFFFFFF”の 12M バイト、シリアルメモリ 1 の領域として“0xA0C00000”～“0xA0FFFFFFF”の 4M バイトをマッピングし、それぞれに 4M バイトのシリアルメモリを実装した場合の例を示します。

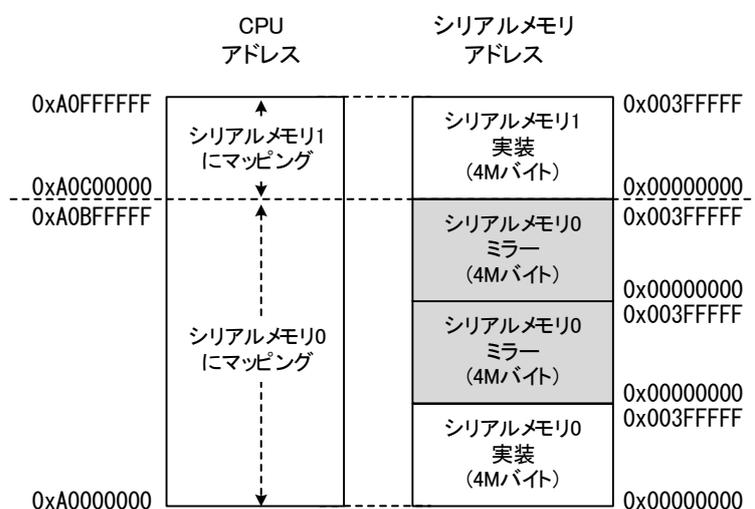


図 3.1 メモリマッピングの例

3.4. アクセス方法

シリアルメモリのアクセスは、アドレス指定でデータをリードする「ダイレクトアクセス」とプログラムレジスタを操作してコマンドを発行する「プログラムレジスタアクセス」による方法があります。

3.4.1. ダイレクトアクセス

シリアルメモリに対するリードは、アドレス“0xA0000000”～“0xA0FFFFFFF”から直接行えます。このアクセスをダイレクトアクセスと呼びます。ダイレクトアクセスによるリードは、アドレス“0xA0000000”～“0xA0FFFFFFF”へのリードが検出されるとSPI Flashに対してReadコマンドが発行されることで行われます。

3.4.1.1. SPI Flash コマンド

ダイレクトアクセスで発行されるコマンドは、Fast Read(オペコード=0x0B)が初期値となりますが、以下のマルチ I/O コマンドに変更可能です。ただし、各コマンドの使用可否は、接続する SPI Flash により異なります。

- Fast Read Dual Output
- Fast Read Dual I/O
- Fast Read Quad Output
- Fast Read Quad I/O

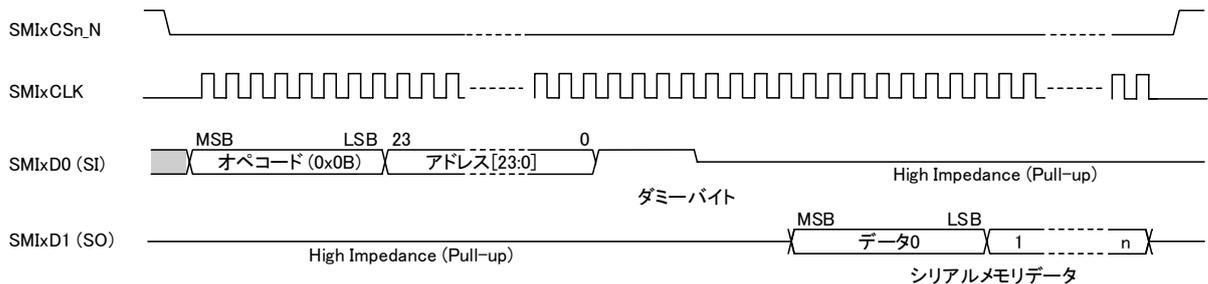


図 3.2 Fast Readシーケンス

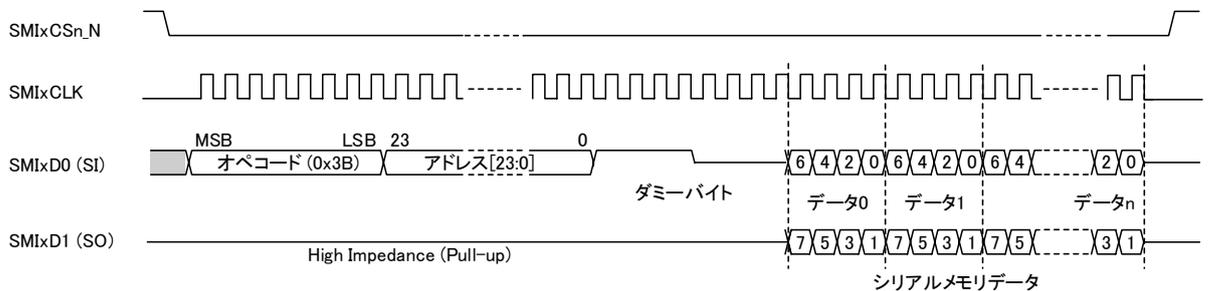


図 3.3 Fast Read Dual Outputシーケンス

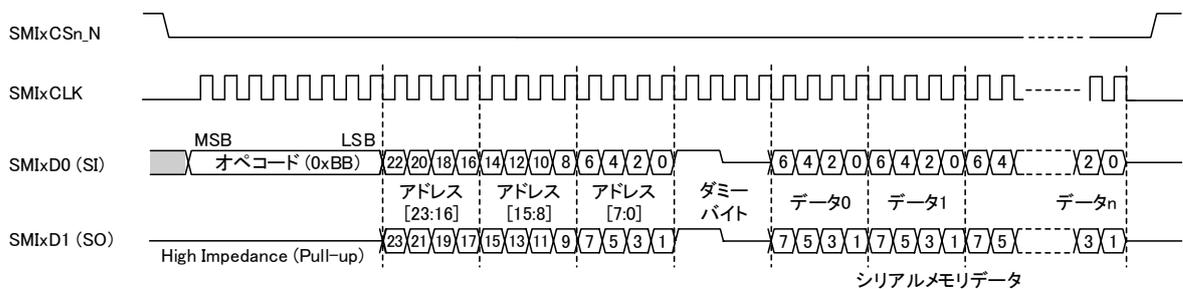


図 3.4 Fast Read Dual I/Oシーケンス

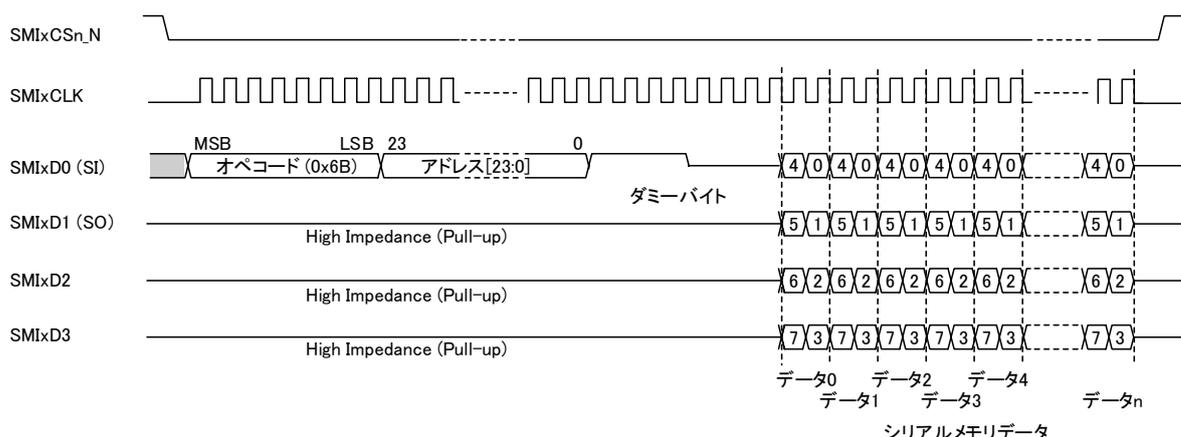


図 3.5 Fast Read Quad Outputシーケンス

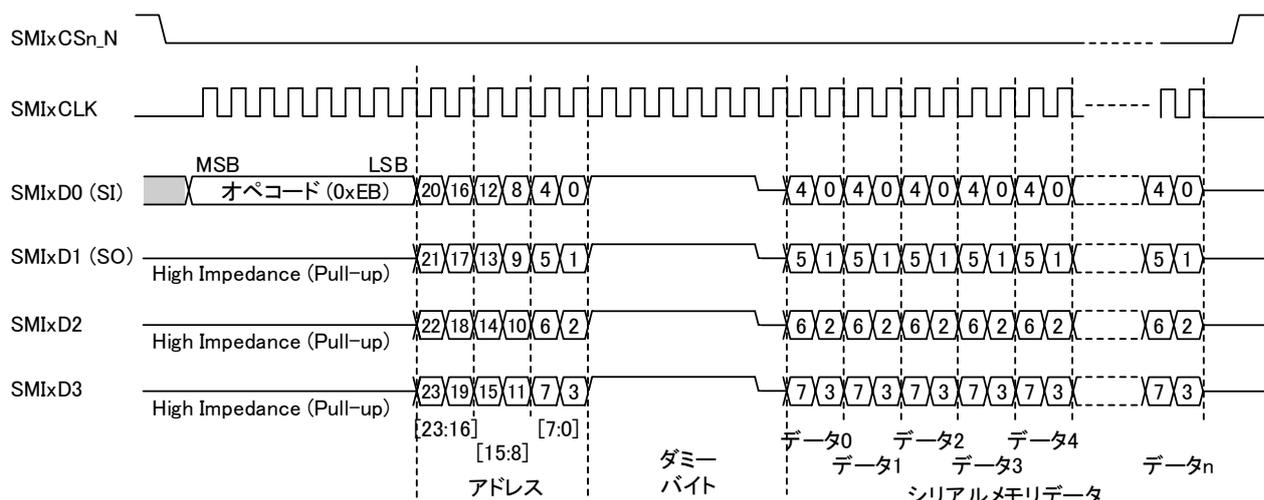


図 3.6 Fast Read Quad I/Oシーケンス

3.4.1.2. WIP ビットをポーリングする機能

本機能は、主にデバッグ用途のものであります。

一般的に SPI Flash は Write、Erase 中に、Read コマンドを受け付けません。もし SPI Flash が Write、Erase 中に SMIF から Read コマンドを発行した場合、SPI Flash は応答しません。結果として無効なデータが返されるようにみえます。基本的にはこのようなことが起こらないようにソフトウェアで制御する必要があります。

この機能は万が一、SPI Flash が Write、Erase 中にリードを行っても正しいデータを返すことを可能にします。この機能が許可時にリードが検出されると SMIF は、SPI Flash の Status レジスタの WIP ビットが"0"になるまでポーリングを行い、その後、Read コマンドを発行します。これで正しいデータを受け取ることを可能にしています。この動作を許可するには `[SMIxDACRn]<PollWIP>` を"1"にセットしてください。

なお、リセット直後の動作開始時には必ず SPI Flash の Status レジスタの WIP ビットをポーリングし、Write、Erase 中でないことを確認してください。その後は[SMIxDACRn]<PollWIP>ビットにより制御されます。

この機能を許可するとリード毎にポーリングするため、リードのオーバーヘッドが大きくなります。また、ポーリングの反応が返ってこない場合やタイムアウトエラーなどが発生した場合、SMIF の動作は保証されません。

3.4.1.3. ダイレクトアクセスの設定手順

1. 実装するシリアルメモリにあわせて、マッピングのベースアドレスと容量を[SMIxMAPn]で設定します。
2. 転送クロック、CS デアサート時間、WIP ポーリング動作を[SMIxDACRn]で設定します。
3. コマンドオペコード、ダミーバイト数、入出力制御を[SMIxDRCRn]で設定します。
4. シリアルメモリがマッピングされているアドレスを指定してリードします。

注) リセット直後、シリアルメモリ 0 が、アドレス“0xA0000000”～“0xA0FFFFFF”の 16M バイト空間にマッピングされています。

3.4.2. プログラムレジスタアクセス

プログラムレジスタアクセスは、SPI Flash へ Page Program、Erase、Full Chip Erase、Status Read、Read などのコマンドをレジスタを介して発行しアクセスする方法です。SPI Flash へのコマンドはプライマリバッファの 8 バイトとセカンダリバッファの 256 バイトを使用し、最大 264 バイト分のコマンド発行が可能です。プログラムレジスタアクセスの設定は、シリアルメモリ 0、シリアルメモリ 1 共通で[SMIxRACR0]、[SMIxRACR1]にて行います。

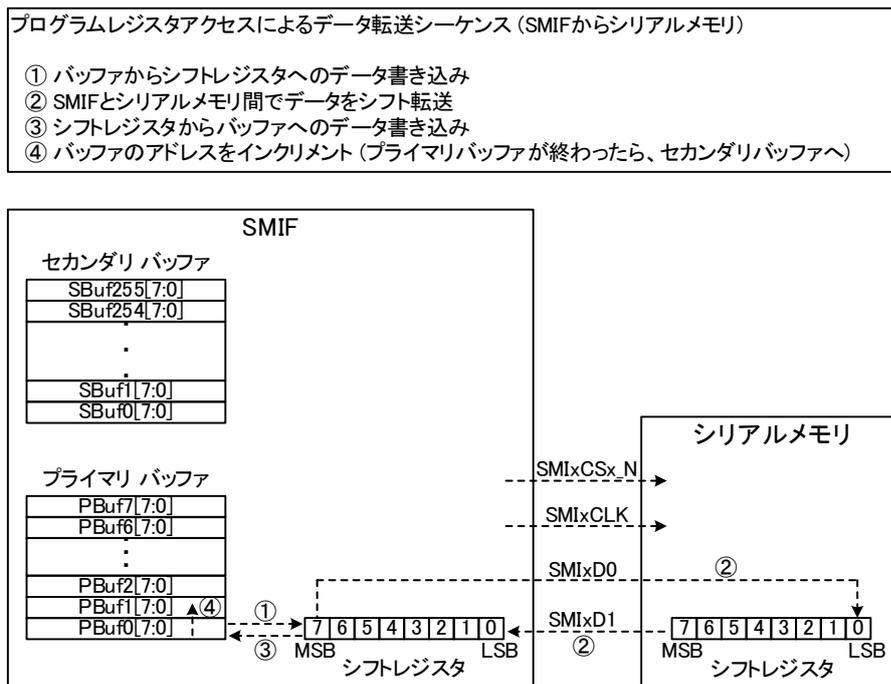


図 3.7 プログラムレジスタアクセス

3.4.3. プログラムレジスタアクセスの設定手順

1. $[SMIxSTAT]<CycProg>$ で、実行中のプログラムレジスタアクセスがないか確認します。
2. アクセスするシリアルメモリ、転送バイト数などを $[SMIxMAPn]$ 、 $[SMIxRACR0]$ 、 $[SMIxRACR1]$ 、 $[SMIxINT]$ に設定します。
3. バッファ $[SMIxPBUFn]$ 、 $[SMIxSBUFn]$ にコマンドデータを設定します。
4. $[SMIxRACR1]<CycGo>$ を“1”にすると順次コマンドが発行されます。

注 1) ダミーバイトは、上位 4 ビット(7-4 ビット)が必ず“1”となるデータにしてください。

注 2) “5.1 プログラムレジスタアクセスの例”にアクセスの例を示します。

3.5. 転送クロック

転送クロック(SM_IxCLK)の周波数は、 $[SMIxDACR0]<SPR[4:0]>$ 、 $[SMIxRACR0]<SPR[4:0]>$ の分周値設定で決まります。 $<SPR[4:0]> + 1$ が分周値となります。

$$\text{転送クロック} = \text{fsys周波数} / (<SPR[4:0]> + 1)$$

以下に分周値設定による転送クロックの例を示します。

表 3.1 転送クロック

<SPR[4:0]>	1	2	3	4	5	6	7	8	9	10	11	12	...	28	29	30	31
分周値 fsys [MHz]	2	3	4	5	6	7	8	9	10	11	12	13	...	29	30	31	32
160	80	53.3	40.0	32.0	26.7	22.9	20.0	17.8	16.0	14.5	13.3	12.3	...	5.52	5.33	5.16	5.00
140	70	46.7	35.0	28.0	23.3	20.0	17.5	15.6	14.0	12.7	11.7	10.8		4.83	4.67	4.52	4.38
120	60	40.0	30.0	24.0	20.0	17.1	15.0	13.3	12.0	10.9	10.0	9.2		4.14	4.00	3.87	3.75
100	50	33.3	25.0	20.0	16.7	14.3	12.5	11.1	10.0	9.1	8.3	7.7		3.45	3.33	3.23	3.13
80	40	26.7	20.0	16.0	13.3	11.4	10.0	8.9	8.0	7.3	6.7	6.2		2.76	2.67	2.58	2.50
60	30	20.0	15.0	12.0	10.0	8.6	7.5	6.7	6.0	5.5	5.0	4.6		2.07	2.00	1.94	1.88
40	20	13.3	10.0	8.0	6.7	5.7	5.0	4.4	4.0	3.6	3.3	3.1		1.38	1.33	1.29	1.25
20	10	6.7	5.0	4.0	3.3	2.9	2.5	2.2	2.0	1.8	1.7	1.5		0.69	0.67	0.65	0.63

注1) 転送クロックは20MHz以下となるようにしてください。表 3.1の灰色内となるfsysと分周値の組み合わせは行わないでください。

注2) 分周値が奇数の場合、転送クロックのDutyは50%ではなく、“Low”幅=分周値/2+0.5、“High”幅=分周値/2-0.5の比となります。

3.6. データ入出力タイミング

SMIxCLK の立ち下がりエッジでデータの入出力が行われます。

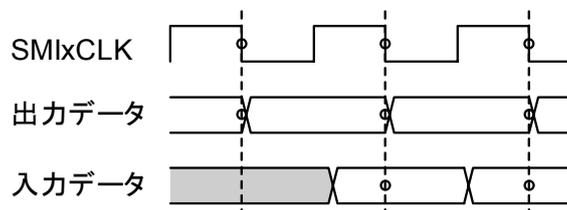


図 3.8 データ入出力タイミング

3.7. 割り込み

プログラムレジスタアクセスによる SPI サイクルが完了すると $[SMIxSTAT]<CycDone>$ が“1”になるとともに割り込み(INTSMIx)を発生させることができます。 $[SMIxINT]<IntEn>=1$ で割り込み発生が許可されます。

発生した割り込みをクリアするには、 $[SMIxSTAT]<CycDone>$ に“0”を書き込んでください。

4. レジスタ説明

4.1. レジスタ一覧

制御レジスタとアドレスは以下のとおりです。

周辺機能		チャンネル/ユニット	ベースアドレス	
			TYPE1	TYPE2
シリアルメモリインタフェース	SMIF	ch 0	—	0x4000C000

注) 製品によって搭載されるチャンネル/ユニット数、および、ベースアドレスタイプは異なります。詳細はリファレンスマニュアルの「製品個別情報」を参照してください。

レジスタ名		アドレス (Base+)
アドレスマップ コントロールレジスタ 0	[SMIxMAP0]	0x0000
アドレスマップ コントロールレジスタ 1	[SMIxMAP1]	0x0004
ダイレクトアクセス コントロールレジスタ 0	[SMIxDACR0]	0x0008
ダイレクトアクセス コントロールレジスタ 1	[SMIxDACR1]	0x000C
ダイレクトリード コントロールレジスタ 0	[SMIxDRCR0]	0x0010
ダイレクトリード コントロールレジスタ 1	[SMIxDRCR1]	0x0014
Reserved	-	0x0018~0x03FF
プログラムレジスタアクセス コントロールレジスタ 0	[SMIxRACR0]	0x0400
プログラムレジスタアクセス コントロールレジスタ 1	[SMIxRACR1]	0x0404
プログラムレジスタアクセス 割り込みコントロールレジスタ	[SMIxINT]	0x0408
プログラムレジスタアクセス ステータスレジスタ	[SMIxSTAT]	0x040C
Reserved	-	0x0410~0x04FF
プログラムレジスタアクセス プライマリバッファレジスタ 0	[SMIxPBUF0]	0x0500
プログラムレジスタアクセス プライマリバッファレジスタ 1	[SMIxPBUF1]	0x0504
Reserved	-	0x0508~0x05FF
プログラムレジスタアクセス セカンダリバッファレジスタ 0~63	[SMIxSBUF0] ~[SMIxSBUF63]	0x0600~0x06FC

4.2. レジスタ詳細

4.2.1. [SMixMAP0] (アドレスマップ コントロールレジスタ 0)

Bit	Bit Symbol	リセット後	Type	機能
31:28	FBA[15:12]	0xA	R	リードすると"0xA"が読めます。
27:16	FBA[11:0]	0x000	R/W	シリアルメモリ 0 のマッピングベースアドレス (注 1)(注 2) 0x000~0x0FF: ベースアドレス指定 <FBA[15:0]>がシリアルメモリ 0 のベースアドレス上位桁の指定となり、 下位桁は"0x0000"となります。("0xA0000000"~"0xA0FF0000")
15:6	-	0	R	リードすると"0"が読めます。
5:2	FDEN[3:0]	1000	R/W	シリアルメモリ 0 の容量 (注 2) 0000: 64KB 0101: 2MB 0001: 128KB 0110: 4MB 0010: 256KB 0111: 8MB 0011: 512KB 1000: 16MB 0100: 1MB 1001~1111: Reserved シリアルメモリ 0 の容量を指定します。
1	-	0	R/W	"0"をライトしてください。
0	RE	1	R/W	シリアルメモリ 0 のマッピング 0: マッピングしない 1: シリアルメモリ 0 をマッピングする "0"の場合、メモリマッピングされません

注1) <FBA[15:0]>の値は、<FDEN[3:0]>で指定される値でアライメントされている必要があります。

注2) シリアルメモリ 0 とシリアルメモリ 1 の領域はオーバーラップしないでください。

4.2.2. [SMixMAP1] (アドレスマップ コントロールレジスタ 1)

Bit	Bit Symbol	リセット後	Type	機能
31:28	FBA[15:12]	0xA	R	リードすると"0x0A"が読めます。
27:16	FBA[11:0]	0x000	R/W	シリアルメモリ 1 のマッピングベースアドレス (注 1) 0x000~0x0FF: ベースアドレス指定 <FBA[15:0]>がシリアルメモリ 1 のベースアドレス上位桁の指定となり、 下位桁は 0x0000 となります。(0xA0000000~0xA0FF0000)
15:6	-	0	R	リードすると"0"が読めます。
5:2	FDEN[3:0]	1000	R/W	シリアルメモリ 1 の容量 0000 : 64KB 0101 : 2MB 0001 : 128KB 0110 : 4MB 0010 : 256KB 0111 : 8MB 0011 : 512KB 1000 : 16MB 0100 : 1MB 1001~1111: Reserved シリアルメモリ 1 の容量を指定します。
1	-	0	R/W	"0"をライトしてください。
0	RE	0	R/W	シリアルメモリ 1 のマッピング 0: マッピングしない 1: シリアルメモリ 1 をマッピング "0"の場合、メモリマッピングされません

注1) <FBA[15:0]>の値は、<FDEN[3:0]>で指定される値でアライメントされている必要があります。

注2) シリアルメモリ 0 とシリアルメモリ 1 の領域はオーバーラップしないでください。

4.2.3. [SMIxDACRn] (ダイレクトアクセス コントロールレジスタ n) (n=0,1)

Bit	Bit Symbol	リセット後	Type	機能
31:21	—	0	R	リードすると"0"が読めます。
20:16	SPR[4:0]	11111	R/W	シリアルメモリ n の転送クロック 0: Reserved 1~11111: 転送クロックの分周値設定
15:8	SCSD[7:0]	0x00	R/W	シリアルメモリ n の SMIxCSn_N デアサート時間 0x00~0xFF: デアサート時間 デアサート時間= fsys 周期 x <SCSD[7:0]> (注 1)
7	—	0	R	リードすると"0"が読めます。
6	PollWIP	0	R/W	シリアルメモリ n リード発行前の WIP ポーリング動作 0: 禁止 1: 許可 詳細は、「3.4.1.2 WIP ビットをポーリングする機能」を参照してください。
5:4	—	00	R/W	"01"をライトしてください。(注 2)
3	-	0	R	リードすると"0"が読めます。
2:0	—	000	R/W	"000"をライトしてください。

注1) デアサート時間は、0ns ~ (fsys 周期 x 255)ns となるよう設定してください。

注2) リセット後、<bit[5:4]>は"00"となりますが、初期設定で"01"をライトしてください。

4.2.4. [SMIxDRCRn] (ダイレクトリード コントロールレジスタ n) (n=0,1)

Bit	Bit Symbol	リセット後	Type	機能
31:24	CmdOp[7:0]	0x0B	R/W	シリアルメモリ n の SPI コマンドオペコード SPI コマンドのオペコードを設定してください。
23:16	—	0	R	リードすると"0"が読めます。
15:12	DmyBc[3:0]	0001	R/W	シリアルメモリ n の SPI ダミーバイト数 0x0~0xF: ダミーバイト数 SPI のダミーバイト数(0~15)を設定してください。
11	—	0	R/W	"0"をライトしてください。
10:8	—	0	R	リードすると"0"が読めます。
7:6	DatIO[1:0]	00	R/W	シリアルメモリ n の SPI データ入出力制御 00: Single 10: Quad 01: Dual 11: Reserved
5:4	DmyIO[1:0]	00	R/W	シリアルメモリ n の SPI ダミー入出力制御 00: Single 10: Quad 01: Dual 11: Reserved
3:2	AdrIO[1:0]	00	R/W	シリアルメモリ n の SPI アドレス入出力制御 00: Single 10: Quad 01: Dual 11: Reserved
1:0	CmdIO[1:0]	00	R/W	シリアルメモリ n の SPI コマンド入出力制御 00: Single 10: Quad 01: Dual 11: Reserved

注) マルチ I/O を使用する際、[SMIxDRCRn]は、“表 4.1 マルチ I/O 使用時の[SMIxDRCRn] の設定値” の値を設定してください。

表 4.1 マルチI/O使用時の[SMIxDRCRn] の設定値

コマンド	[SMIxDRCRn] 設定値
Fast Read Dual Output	0x3B001040
Fast Read Dual I/O	0xBB001054
Fast Read Quad Output	0x6B001080
Fast Read Quad I/O	0xEB0030A8

4.2.5. [SMIxRACR0] (プログラムレジスタアクセス コントロールレジスタ 0)

Bit	Bit Symbol	リセット後	Type	機能
31:21	-	0	R	リードすると"0"が読めます。
20:16	SPR[4:0]	11111	R/W	シリアルメモリの転送クロック 0: Reserved 1~11111: 転送クロックの分周値設定
15:8	SCSD[7:0]	0xFF	R/W	SMIxCSn_N デアサート時間 0x00~0xFF: デアサート時間 デアサート時間= fsys 周期 x <SCSD[7:0]> (注 1)
7:6	-	0	R	リードすると"0"が読めます。
5:4	-	00	R/W	"01"をライトしてください。(注 2)
3	-	0	R	リードすると"0"が読めます。
2:0	-	000	R/W	"000"をライトしてください。

注1) デアサート時間は、0ns ~ (fsys 周期 x 255)ns となるよう設定してください。

注2) リセット後、<bit[5:4]>は"00"となりますが、初期設定で"01"をライトしてください。

4.2.6. [SMIxRACR1] (プログラムレジスタアクセス コントロールレジスタ 1)

Bit	Bit Symbol	リセット後	Type	機能
31:24	SBufBc[7:0]	0x00	R/W	セカンダリバッファの転送バイト数 0x00~0xFF: 転送バイト数 転送バイト数は、指定した値の+1 バイトとなります。
23:19	-	0	R	リードすると"0"が読めます。
18:16	PBufBc[2:0]	0x0	R/W	プライマリバッファの転送バイト数 0x0~0x7: 転送バイト数 転送バイト数は、指定した値の+1 バイトとなります。
15:6	-	0	R	リードすると"0"が読めます。
5	SBufEn	0	R/W	セカンダリバッファのイネーブル制御 0: セカンダリバッファを使用しない 1: セカンダリバッファを使用する
4	PBufEn	0	R/W	プライマリバッファのイネーブル制御 0: プライマリバッファを使用しない 1: プライマリバッファを使用する
3:2	-	0	R	リードすると"0"が読めます。
1	CSNum	0	R/W	アサートする CS 0: SMIxCS0_N 1: SMIxCS1_N
0	CycGo	0	R/W	プログラムレジスタアクセス制御 0: don't care 1: プログラムレジスタによるアクセスを開始 (注) リードすると"0"が読み出されます。

注) [SMIxSTAT]<CycProg>=1(SPI サイクル中)の間は、<CycGo>に"1"を書き込まないでください。

4.2.7. [SMIxINT] (プログラムレジスタアクセス 割り込みコントロールレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:1	-	0	R	リードすると"0"が読めます。
0	IntEn	0	R/W	SMIF 割り込み発生の許可・禁止制御 0: 割り込み発生を禁止 1: 割り込み発生を許可

4.2.8. [SMIxSTAT] (プログラムレジスタアクセス ステータスレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:2	-	0	R	リードすると"0"が読めます。
1	CycProg	0	R	SPI サイクル状態 0: SPI サイクル完了 1: SPI サイクル中 [SMIxRACR1]<CycGo>を"1"にすると"1"にセットされます。
0	CycDone	0	R	SPI サイクル完了状態 0: - 1: SPI サイクル完了
			W	<CycDone>のクリア 0: <CycDone>を"0"にクリア 1: don't care

4.2.9. [SMIxPBUF_n] (プログラムレジスタアクセス プライマリバッファレジスタ n) (n=0~1)

プライマリバッファは 8 ビット構成で[SMIxPBUF0]と[SMIxPBUF1]に割り当てられています。

[SMIxPBUF0]

Bit	Bit Symbol	リセット後	Type	機能
31:24	PBuf3[7:0]	不定	R/W	プライマリバッファ 3
23:16	PBuf2[7:0]	不定	R/W	プライマリバッファ 2
15:8	PBuf1[7:0]	不定	R/W	プライマリバッファ 1
7:0	PBuf0[7:0]	不定	R/W	プライマリバッファ 0

[SMIxPBUF1]

Bit	Bit Symbol	リセット後	Type	機能
31:24	PBuf7[7:0]	不定	R/W	プライマリバッファ 7
23:16	PBuf6[7:0]	不定	R/W	プライマリバッファ 6
15:8	PBuf5[7:0]	不定	R/W	プライマリバッファ 5
7:0	PBuf4[7:0]	不定	R/W	プライマリバッファ 4

4.2.10. [SMIxSBUFn] (プログラムレジスタアクセス セカンダリバッファレジスタ n) (n=00~63)

セカンダリバッファは 8 ビット構成で、<SBuf0[7:0]> ~ <SBuf255[7:0]> の 256 バイトあり、**[SMIxSBUF00]~[SMIxSBUF63]**に割り当てられています。

以下に **[SMIxSBUF00]**と**[SMIxSBUF63]**の例を示します。<SBuf4[7:0]> ~ <SBuf251[7:0]>も同じ構成で**[SMIxSBUF01]~[SMIxSBUF62]**に割り当てられます。

[SMIxSBUF00]

Bit	Bit Symbol	リセット後	Type	機能
31:24	SBuf3[7:0]	不定	R/W	セカンダリバッファ 3
23:16	SBuf2[7:0]	不定	R/W	セカンダリバッファ 2
15:8	SBuf1[7:0]	不定	R/W	セカンダリバッファ 1
7:0	SBuf0[7:0]	不定	R/W	セカンダリバッファ 0

[SMIxSBUF63]

Bit	Bit Symbol	リセット後	Type	機能
31:24	SBuf255[7:0]	不定	R/W	セカンダリバッファ 255
23:16	SBuf254[7:0]	不定	R/W	セカンダリバッファ 254
15:8	SBuf253[7:0]	不定	R/W	セカンダリバッファ 253
7:0	SBuf252[7:0]	不定	R/W	セカンダリバッファ 252

5. 使用方法の例

5.1. プログラムレジスタアクセスの例

以下に SPI Flash でのプログラムレジスタアクセスの例を示します。なお、SPI Flash によりオペコード、コマンドの発行手順、入出力タイミングなどが異なる場合がありますので、使用する SPI Flash の仕様を確認願います。

5.1.1. Fast Read

SPI Flash から 256 バイト分のデータ読み出しを Fast Read(0x0B)で実行する例

1. プライマリバッファの設定

```
[SMIxBUF0]<PBuf0> // 0x0B    Fast Read オペコード  
[SMIxBUF0]<PBuf1> // シリアルメモリのアドレス (ビット 23~16)  
[SMIxBUF0]<PBuf2> // シリアルメモリのアドレス (ビット 15~8)  
[SMIxBUF0]<PBuf3> // シリアルメモリのアドレス (ビット 7~0)  
[SMIxBUF1]<PBuf4> // ダミーバイト
```

2. [SMIxBACR1]の設定

```
<PBufBc>=4 // (オペコード:1 バイト、アドレス:3 バイト、ダミーバイト:1 バイト)-1  
<SBufBc>=255 // セカンダリバッファ 256 個使用  
<PBufEn>=1 // プライマリバッファを使用する  
<SBufEn>=1 // セカンダリバッファを使用する  
<CSNum>=実装するシリアルメモリに応じて設定
```

3. プログラムレジスタアクセスの開始

[SMIxBACR1]<CycGo>に“1”を設定するとコマンドが転送実行され、セカンダリバッファにシリアルメモリのデータが格納されます。

5.1.2. Status Read

SPI Flash のステータスレジスタの値を読み出す Status Read(0x05)を実行する例

1. プライマリバッファの設定

```
[SMIxBUF0]<PBuf0>: 0x05 // Status Read オペコード  
[SMIxBUF0]<PBuf1>: 0xFF // ダミーバイト(注)
```

2. [SMIxBACR1]の設定

```
<PBufBc>=1 // (オペコード:1 バイト、ダミーバイト:1 バイト)-1  
<SBufBc>=0 // セカンダリバッファ未使用  
<PBufEn>=1 // プライマリバッファを使用する  
<SBufEn>=0 // セカンダリバッファを使用しない  
<CSNum>=実装するシリアルメモリに応じて設定
```

3. プログラムレジスタアクセスの開始

[SMIxBACR1]<CycGo>に“1”を設定するとコマンドが転送実行され、プライマリバッファ [SMIxBUF0]<PBuf1>にシリアルメモリのステータスレジスタ値が格納されます。

注) オペコード送信後、リードサイクルとなりますが、同時にダミーバイトが送信されます。

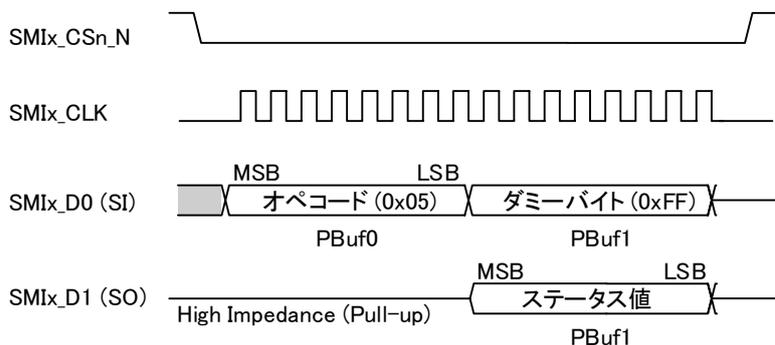


図 5.1 Status Readの例

5.1.3. Page Program

SPI Flash に 256 バイトを書き込む Page Program(0x02)を実行する例

1. Write Enable 完了まで SPI Flash にアクセスしない状態とします。

2. プライマリバッファの設定

`[SMIxBUF0]<PBuf0>: 0x06 // Write Enable オペコード`

3. `[SMIxBACR1]`の設定

`<PBufBc>=0 // (オペコード: 1 バイト) - 1`
`<SBufBc>=0 // セカンダリバッファは使用しない`
`<PBufEn>=1 // プライマリバッファを使用する`
`<SBufEn>=0 // セカンダリバッファを使用しない`
`<CSNum>=実装するシリアルメモリに応じて設定`

4. プログラムレジスタアクセスの開始

`[SMIxBACR1]<CycGo>`に“1”を設定するとコマンドが転送実行され、シリアルメモリのライトがインエーブルとなります。

5. Page Program 完了まで SPI Flash にアクセスしない状態とします。

6. プライマリバッファの設定

`[SMIxBUF0]<PBuf0> // 0x02 Page Program オペコード`
`[SMIxBUF0]<PBuf1> // シリアルメモリの消去するセクタアドレス (ビット 23~16)`
`[SMIxBUF0]<PBuf2> // シリアルメモリの消去するセクタアドレス (ビット 15~ 8)`
`[SMIxBUF0]<PBuf3> // シリアルメモリの消去するセクタアドレス (ビット 7~ 0)`

7. セカンダリバッファの設定

`[SMIxBUF0]<SBuf0> // データ[7:0] アドレス[23:0]+0x00 に書かれるデータ`
`[SMIxBUF0]<SBuf1> // データ[15:8] アドレス[23:0]+0x01 に書かれるデータ`
`[SMIxBUF0]<SBuf2> // データ[23:16] アドレス[23:0]+0x02 に書かれるデータ`
`:`
`[SMIxBUF63]<SBuf254> // データ[2039:2032] アドレス[23:0]+0xFE に書かれるデータ`
`[SMIxBUF63]<SBuf255> // データ[2047:2040] アドレス[23:0]+0xFF に書かれるデータ`

8. *[SMIxRACR1]*の設定

```
<PBufBc>=3 // (オペコード:1 バイト、アドレス:3 バイト)-1
<SBufBc>=255 // セカンダリバッファ 256 個を使用
<PBufEn>=1 // プライマリバッファを使用する
<SBufEn>=1 // セカンダリバッファを使用する
<CSNum>=実装するシリアルメモリに応じて設定
```

9. プログラムレジスタアクセスの開始

[SMIxRACR1]<CycGo>に“1”を設定するとコマンドが転送実行され、シリアルメモリに 256 バイト分のデータが書かれます。

5.1.4. Full Chip Erase

SPI Flash の全領域を消去する Full Chip Erase(0xC7)を実行する例

1. Full Chip Erase 完了まで SPI Flash にアクセスしない状態とします。

2. プライマリバッファの設定

```
[SMIxPBUF0]<PBuf0> // 0xC7 Full Chip Erase オペコード
```

3. *[SMIxRACR1]*の設定

```
<PBufBc>=0 // (オペコード 1 バイト)-1
<SBufBc>=0 // セカンダリバッファ未使用
<PBufEn>=1 // プライマリバッファを使用する
<SBufEn>=0 // セカンダリバッファを使用しない
<CSNum>=実装するシリアルメモリに応じて設定
```

4. プログラムレジスタアクセスの開始

[SMIxRACR1]<CycGo>に“1”を設定するとコマンドが転送実行され、シリアルメモリの全領域が消去されます。

5.1.5. Sector Erase

SPI Flash の特定セクタを消去する Sector Erase(0x20)を実行する例

1. Sector Erase 完了まで SPI Flash にアクセスしない状態とします。

2. プライマリバッファの設定

```
[SMIxPBUF0]<PBuf0> // 0x20 Sector Erase オペコード
[SMIxPBUF0]<PBuf1> // シリアルメモリの消去するセクタアドレス (ビット 23~16)
[SMIxPBUF0]<PBuf2> // シリアルメモリの消去するセクタアドレス (ビット 15~ 8)
[SMIxPBUF0]<PBuf3> // シリアルメモリの消去するセクタアドレス (ビット 7~ 0)
```

3. *[SMIxRACR1]*の設定

```
<PBufBc>=3 // (オペコード:1 バイト、アドレス:3 バイト)-1
<SBufBc>=0 // セカンダリバッファ未使用
<PBufEn>=1 // プライマリバッファを使用する
<SBufEn>=0 // セカンダリバッファを使用しない
<CSNum>=実装するシリアルメモリに応じて設定
```

4. プログラムレジスタアクセスの開始

[SMIxRACR1]<CycGo>に“1”を設定するとコマンドが転送実行され、シリアルメモリの指定セクタが消去されます。

5.2. シリアルメモリとの接続例

以下にシリアルメモリとの接続例を示します。

各端子は、下記のように外部で処理を行うことを想定していますが、実際に接続するメモリや外部回路により各端子の処理を判断してください。

```
SMIxCS0_N, SMIxCS1_N // Pull-up
SMIxCLK // Pull-down
SMIxD0~3 // Pull-up (注)
```

注) SMIxD2、SMIxD3 をシリアルメモリとの接続に使用しない場合は、通常ポートとして使用できます。

5.2.1. Single/Dual での接続例

1) シリアルメモリ 0 のみ

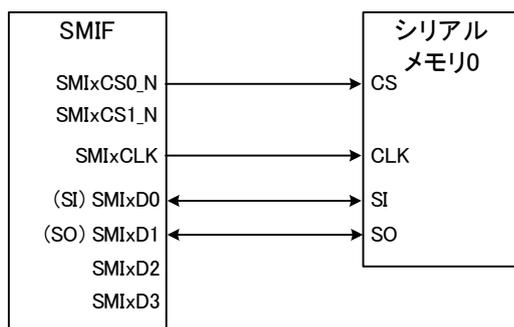


図 5.2 Single/Dualの接続例 (シリアルメモリ0)

2) シリアルメモリ 0、シリアルメモリ 1

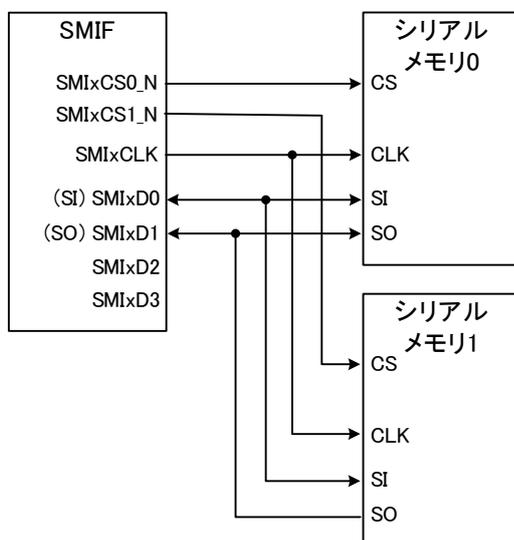


図 5.3 Single/Dualの接続例 (シリアルメモリ0/1)

5.2.2. Quad での接続例

1) シリアルメモリ 0 のみ

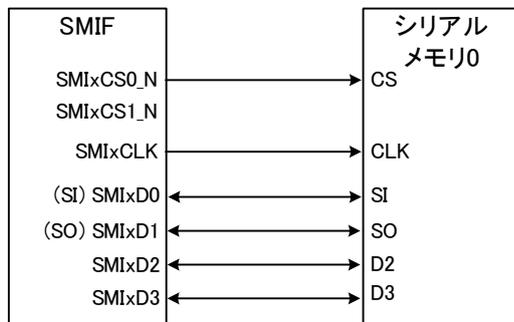


図 5.4 Quadの接続例 (シリアルメモリ0)

2) シリアルメモリ 0、シリアルメモリ 1

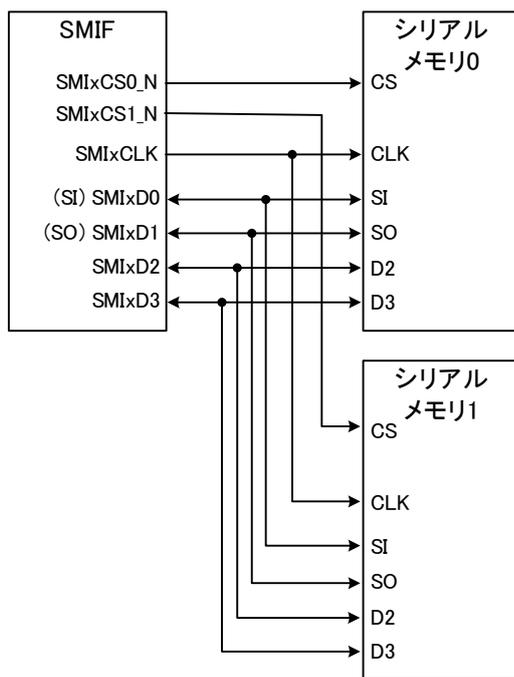


図 5.5 Quadの接続例 (シリアルメモリ0/1)

6. 使用上のご注意およびお願い事項

- レジスタがアサインされていないアドレスはアクセスしないでください。
- 製品によって、SMIxCsn_N 端子、SMIxDn 端子がアサインされない場合があります。

7. 改訂履歴

表 7.1 改訂履歴

Revision	Date	Description
1.0	2017-12-19	新規
1.1	2018-07-26	<ul style="list-style-type: none"> ・関連するドキュメント タイトルを関連するリファレンスマニュアル→関連するドキュメントに修正 ・3.3 メモリマッピング 2 段落目、シリアルメモリ 0 領域の終了アドレス“0xA0BFFFF”→ “0xA0BFFFFFF”に修正 ・3.4.1.1 SPI Flash コマンド 図 3.6 の波形修正 ・4.1 レジスタ一覧 ベースアドレス(Base) → ベースアドレスに修正 ・4.2.1 [SMixMAP0] <RE>の機能説明の(初期値)を削除 ・4.2.2 [SMixMAP1] <FBA>の機能の数値を 16 進数表記に変更、<RE>の機能説明の(初期値)を削除 ・4.2.5 [SMixRACR0] <SCSD>の機能説明<SCSD7:0> → <SCSD[7:0]>に修正 ・4.2.10 [SMixSBUF_n] 表題の n=0~63 → n=00~63 に修正 [SMixSBUF0] → [SMixSBUF00] に修正、[SMixSBUF1] → [SMixSBUF01] に修正

製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、電力機器、金融関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口までお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。