

32 ビット RISC マイクロコントローラ

TMPM4K グループ(1)

リファレンスマニュアル

製品個別情報
(PINFO-M4K(1))

Revision 2.1

2018-09

東芝デバイス&ストレージ株式会社

目次

| | |
|---|----|
| 序章 | 7 |
| 関連するドキュメント | 7 |
| 表記規約 | 8 |
| 用語・略語 | 10 |
| 1. 概要 | 11 |
| 2. 各周辺機能の情報 | 11 |
| 2.1. レジスタベースアドレス | 11 |
| 2.2. トリガセクタ (TRGSEL) | 12 |
| 2.2.1. トリガセクタと製品対応 | 13 |
| 2.2.2. 使用方法と設定 | 18 |
| 2.2.3. レジスタ一覧 | 19 |
| 2.2.4. レジスタ詳細 | 20 |
| 2.2.4.1. [TSELxCR0] (コントロールレジスタ 0) | 20 |
| 2.2.4.2. [TSELxCR1] (コントロールレジスタ 1) | 22 |
| 2.2.4.3. [TSELxCR2] (コントロールレジスタ 2) | 24 |
| 2.2.4.4. [TSELxCR3] (コントロールレジスタ 3) | 26 |
| 2.2.4.5. [TSELxCR4] (コントロールレジスタ 4) | 28 |
| 2.2.4.6. [TSELxCR5] (コントロールレジスタ 5) | 30 |
| 2.2.4.7. [TSELxCR6] (コントロールレジスタ 6) | 32 |
| 2.2.4.8. [TSELxCR7] (コントロールレジスタ 7) | 34 |
| 2.2.4.9. [TSELxCR8] (コントロールレジスタ 8) | 36 |
| 2.2.4.10. [TSELxCR9] (コントロールレジスタ 9) | 38 |
| 2.2.4.11. [TSELxCR10] (コントロールレジスタ 10) | 40 |
| 2.3. DMA コントローラ (DMAC) | 41 |
| 2.3.1. 搭載ユニット | 41 |
| 2.3.2. DMA 要求一覧 | 41 |
| 2.4. 32 ビットタイマイイベントカウンタ (T32A) | 45 |
| 2.4.1. 搭載チャンネル | 45 |
| 2.4.2. 機能端子とポート | 46 |
| 2.4.3. プリスケアラ用クロック | 48 |
| 2.4.4. 内部信号接続仕様 | 48 |
| 2.4.4.1. キャプチャトリガ信号接続仕様 | 48 |
| 2.4.4.2. 同期制御接続仕様 | 52 |
| 2.4.5. 製品別パルスカウント対応一覧 | 53 |
| 2.4.6. DMA 要求 | 54 |
| 2.4.7. 非対応割り込み | 55 |
| 2.5. 非同期シリアル通信回路 (UART) | 56 |
| 2.5.1. 搭載チャンネル | 56 |
| 2.5.2. 機能端子とポート | 56 |

| | |
|---|----|
| 2.5.3. ハーフクロックモード対応 | 57 |
| 2.5.4. プリスケーラ用クロック | 57 |
| 2.5.5. DMA 要求 | 57 |
| 2.5.6. 内部信号接続仕様 | 58 |
| 2.5.6.1. トリガ転送信号接続仕様 | 58 |
| 2.5.6.2. T32A 接続 | 59 |
| 2.6. シリアルペリフェラルインタフェース(TSPI) | 60 |
| 2.6.1. 搭載チャンネル | 60 |
| 2.6.2. 機能端子とポート | 60 |
| 2.6.3. 製品別転送モード対応一覧 | 61 |
| 2.6.4. [TSPIxCR2]<RXDLY>の設定値 | 61 |
| 2.6.5. プリスケーラ用クロック | 61 |
| 2.6.6. 内部信号接続仕様 | 62 |
| 2.6.6.1. トリガ送信信号接続仕様 | 62 |
| 2.6.6.2. T32A 接続 | 63 |
| 2.6.7. DMA 要求 | 63 |
| 2.7. I ² C インタフェース(I ² C) | 64 |
| 2.7.1. 搭載チャンネル | 64 |
| 2.7.2. 機能端子とポート | 64 |
| 2.7.3. プリスケーラ用クロック | 64 |
| 2.7.4. DMA 要求 | 65 |
| 2.8. 12 ビットアナログデジタルコンバータ(ADC) | 66 |
| 2.8.1. 搭載ユニット | 66 |
| 2.8.2. 機能端子とポート | 66 |
| 2.8.3. ADC 用変換クロック | 67 |
| 2.8.4. 起動トリガ接続仕様 | 67 |
| 2.8.5. DMA 要求 | 68 |
| 2.8.6. その他接続 | 68 |
| 2.9. アドバンストプログラマブルモータ制御回路(A-PMO) | 69 |
| 2.9.1. 搭載チャンネル | 69 |
| 2.9.2. 機能端子とポート | 69 |
| 2.9.3. DMA 要求 | 70 |
| 2.9.4. 内部信号接続仕様 | 71 |
| 2.9.4.1. その他接続 | 71 |
| 2.9.4.2. チャンネル間同期制御接続仕様 | 72 |
| 2.10. アドバンストベクトルエンジンプラス(A-VE+) | 73 |
| 2.10.1. 搭載チャンネル | 73 |
| 2.10.2. その他の接続 | 73 |
| 2.11. アドバンストエンコーダ入力回路(A-ENC) | 74 |
| 2.11.1. 搭載チャンネル | 74 |

| | |
|-------------------------------------|----|
| 2.11.2. 機能端子とポート | 74 |
| 2.11.3. 内部信号接続仕様 | 75 |
| 2.11.3.1. T32A/A-PMD 接続 | 75 |
| 2.12. オペアンプ(OPAMP)..... | 76 |
| 2.12.1. 搭載ユニット | 76 |
| 2.12.2. 接続端子 | 76 |
| 2.12.3. 内部接続 | 76 |
| 2.13. クロック選択式ウォッチドッグタイマ(SIWDT)..... | 77 |
| 2.13.1. 搭載チャンネル | 77 |
| 2.13.2. カウントクロック | 77 |
| 2.13.3. 制御出力 | 77 |
| 2.14. CRC 計算回路(CRC)..... | 78 |
| 2.15. RAM パリティ(RAMP)..... | 78 |
| 2.15.1. 搭載チャンネル | 78 |
| 2.15.2. エラー判定ブロックエリア | 78 |
| 2.16. 周波数検知回路(OFD)..... | 79 |
| 2.16.1. 搭載一覧 | 79 |
| 2.16.2. 基準クロック | 79 |
| 2.16.3. 検知対象クロック | 79 |
| 2.17. デバッグインタフェース..... | 80 |
| 2.17.1. 製品別デバッグインタフェース一覧 | 80 |
| 2.18. ノンブレイクデバッグインタフェース(NBDIF)..... | 81 |
| 2.18.1. 搭載一覧 | 81 |
| 2.18.2. NBDIF 端子一覧 | 81 |
| 2.19. デジタルノイズフィルタ回路(DNF) | 82 |
| 2.19.1. 搭載ユニット | 82 |
| 2.19.2. 製品別外部割り込みと DNF の対応 | 82 |
| 2.19.3. サンプリングソースクロック | 83 |
| 2.20. トリミング回路(TRM)..... | 83 |
| 2.20.1. 搭載一覧 | 83 |
| 2.20.2. 対象発振器 | 83 |
| 2.21. 電圧検知回路(LVD)..... | 84 |
| 2.21.1. 搭載一覧 | 84 |
| 2.21.2. 検知対象電源 | 84 |
| 2.22. フラッシュメモリ | 85 |
| 2.22.1. 書き込み、消去操作クロック | 85 |
| 2.22.2. 製品別コードフラッシュブロック構成 | 85 |
| 2.22.3. シングルブート使用リソース | 86 |
| 3. 改訂履歴..... | 87 |
| 製品取り扱い上のお願い..... | 90 |

図目次

図 2.1 トリガセレクト接続例..... 12

表目次

表 2.1 レジスタベースアドレスタイプ..... 11

表 2.2 製品別トリガセレクト対応一覧 (1/5)..... 13

表 2.3 製品別トリガセレクト対応一覧 (2/5)..... 14

表 2.4 製品別トリガセレクト対応一覧 (3/5)..... 15

表 2.5 製品別トリガセレクト対応一覧 (4/5)..... 16

表 2.6 製品別トリガセレクト対応一覧 (5/5)..... 17

表 2.7 DMAC 搭載チャンネル..... 41

表 2.8 DMA 要求一覧(1/3)..... 41

表 2.9 DMA 要求一覧(2/3)..... 42

表 2.10 DMA 要求一覧(3/3)..... 43

表 2.11 DMA 要求一覧(3/3)..... 44

表 2.12 T32A 搭載チャンネル..... 45

表 2.13 T32A 機能端子とポート(1/2)..... 46

表 2.14 T32A 機能信号とポート(2/2)..... 47

表 2.15 T32A プリスケーラ用クロック..... 48

表 2.16 T32A キャプチャトリガ信号接続仕様(1/3)..... 49

表 2.17 T32A キャプチャトリガ信号接続仕様(2/3)..... 50

表 2.18 T32A キャプチャトリガ信号接続仕様(3/3)..... 51

表 2.19 T32A 同期制御接続仕様..... 52

表 2.20 T32A 製品別パルスカウンタ対応一覧..... 53

表 2.21 T32A DMA 要求(1/2)..... 54

表 2.22 T32A DMA 要求(2/2)..... 55

表 2.23 UART 搭載チャンネル..... 56

表 2.24 UART 端子信号とポート..... 56

表 2.25 UART プリスケーラ用クロック..... 57

表 2.26 UART DMA 要求..... 57

表 2.27 UART トリガ転送信号接続仕様..... 58

表 2.28 UART 内部接続仕様:出力..... 59

表 2.29 TSPI 搭載チャンネル..... 60

表 2.30 TSPI 機能端子とポート..... 60

表 2.31 TSPI モード対応一覧..... 61

表 2.32 TSPI 制御レジスタ 2<RXDLY>の設定値..... 61

表 2.33 TSPI プリスケーラ用クロック..... 61

表 2.34 TSPI トリガ転送仕様..... 62

表 2.35 TSPI 内部接続仕様(出力)..... 63

表 2.36 TSPI DMA 要求..... 63

表 2.37 I²C インタフェース 搭載チャンネル..... 64

表 2.38 I²C インタフェース 機能端子とポート..... 64

表 2.39 I²C インタフェース プリスケーラ用クロック..... 64

表 2.40 I²C インタフェース DMA 要求..... 65

表 2.41 ADC 搭載ユニット..... 66

表 2.42 ADC 機能端子とポート..... 66

表 2.43 ADC 用変換クロック..... 67

表 2.44 ADC 起動トリガ接続仕様..... 67

| | | |
|--------|---------------------|----|
| 表 2.45 | ADC DMA 要求 | 68 |
| 表 2.46 | ADC 内部接続仕様:出力 | 68 |
| 表 2.47 | A-PMD 搭載チャンネル | 69 |
| 表 2.48 | A-PMD 機能端子 | 69 |
| 表 2.49 | A-PMD DMA 要求 | 70 |
| 表 2.50 | A-PMD 内部接続仕様:入力 | 71 |
| 表 2.51 | A-PMD 内部接続仕様:出力 | 72 |
| 表 2.52 | PMD チャンネル間同期制御接続仕様 | 72 |
| 表 2.53 | A-VE+ 搭載チャンネル | 73 |
| 表 2.54 | A-VE+ 内部接続仕様:入力 | 73 |
| 表 2.55 | A-VE+ 内部接続仕様:出力 | 73 |
| 表 2.56 | A-ENC 搭載チャンネル | 74 |
| 表 2.57 | A-ENC 機能端子 | 74 |
| 表 2.58 | A-ENC 内部接続仕様:入力 | 75 |
| 表 2.59 | A-ENC 内部接続仕様:出力 | 75 |
| 表 2.60 | OPAMP 搭載ユニット | 76 |
| 表 2.61 | OPAMP 接続端子 | 76 |
| 表 2.62 | OPAMP 内部接続 | 76 |
| 表 2.63 | SIWDT 搭載チャンネル | 77 |
| 表 2.64 | SIWDT カウントクロック | 77 |
| 表 2.65 | SIWDT 制御出力 | 77 |
| 表 2.66 | CRC 搭載チャンネル | 78 |
| 表 2.67 | RAMP 搭載チャンネル | 78 |
| 表 2.68 | RAMP の RAM エリアとアドレス | 78 |
| 表 2.69 | OFD 搭載一覧 | 79 |
| 表 2.70 | OFD 基準クロック | 79 |
| 表 2.71 | OFD 検知対象クロック | 79 |
| 表 2.72 | デバッグインタフェース搭載一覧 | 80 |
| 表 2.73 | NBDIF 搭載一覧 | 81 |
| 表 2.74 | NBDIF 端子一覧 | 81 |
| 表 2.75 | DNF 搭載ユニット | 82 |
| 表 2.76 | 外部割り込みと DNF 対応 | 82 |
| 表 2.77 | DNF サンプリングソースクロック | 83 |
| 表 2.78 | TRM 搭載一覧 | 83 |
| 表 2.79 | TRM トリミング対象発振器 | 83 |
| 表 2.80 | LVD 搭載一覧 | 84 |
| 表 2.81 | LVD 検知対象電源 | 84 |
| 表 2.82 | 書き込み, 消去操作クロック | 85 |
| 表 2.83 | 製品別コードフラッシュ | 85 |
| 表 2.84 | シングルブート使用リソース | 86 |
| 表 3.1 | 改訂履歴 | 87 |

序章

関連するドキュメント

| 文書名 | IP 記号 |
|--------------------------|---------------|
| 入出力ポート | PORT-M4K(1) |
| 例外 | EXCEPT-M4K(1) |
| クロック制御と動作モード | CG-M4K(1)-A |
| 電源とリセット動作 | RESET-M4K(1) |
| DMA コントローラ | DMAC-B |
| 32 ビットタイマイイベントカウンタ | T32A-B |
| 非同期シリアル通信回路 | UART-C |
| シリアルペリフェラルインタフェース | TSPI-B |
| I ² C インタフェース | I2C-B |
| 12 ビットアナログデジタルコンバータ | ADC-B |
| オペアンプ | OPAMP-A |
| アドバンストプログラマブルモータ制御回路 | A-PMD-A |
| アドバンストエンコーダ入力回路 | A-ENC-A |
| アドバンストベクトルエンジンプラス | A-VE+-B |
| クロック選択式ウォッチドッグタイマ | SIWDT-A |
| 周波数検知回路 | OFD-A |
| デバッグインタフェース | DEBUG-A |
| ノンブレイクデバッグインタフェース | NBDIF-A |
| デジタルノイズフィルタ回路 | DNF-A |
| トリミング回路 | TRM-A |
| 電圧検知回路 | LVD-B |
| CRC 計算回路 | CRC-A |
| RAM パリティ | RAMP-A |
| フラッシュメモリ | FLASH256-B |

表記規約

- 数値表記は以下の規則に従います。
 - 16 進数表記: 0xABC
 - 10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
 - 2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は [m:n]とまとめて表記する場合があります。
例: S[3:0] は S3,S2,S1,S0 の 4 つの信号名をまとめて表記しています。
- 本文中 [] で囲まれたものはレジスタを定義しています。
例: [ABCD]
- 同種で複数のレジスタ、フィールド、ビット名は「n」で一括表記する場合があります。
例: [XYZ1],[XYZ2],[XYZ3] → [XYZn]
- 「レジスタ一覧」中のレジスタ名でユニットまたはチャンネルは「x」で一括表記しています。
ユニットの場合、「x」は A,B,C...を表します。
例: [ADACR0],[ADBCR0],[ADCCR0]→[ADxCR0]
チャンネルの場合、「x」は 0,1,2,...を表します。
例: [T32A0RUNA],[T32A1RUNA],[T32A2RUNA]→[T32AxRUNA]
- レジスタのビット範囲は [m:n] と表記します。
例: [3:0] はビット 3 から 0 の範囲を表します。
- レジスタの設定値は 16 進数または 2 進数のどちらかで表記されています。
例: [ABCD]<EFG> = 0x01 (16 進数)、 [XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
 - バイト: 8 ビット
 - ハーフワード: 16 ビット
 - ワード: 32 ビット
 - ダブルワード: 64 ビット
- レジスタ内の各ビットの属性は以下の表記を使用しています。
 - R: リードオンリー
 - W: ライトオンリー
 - R/W: リード / ライト
- 断りのない限り、レジスタアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスタは書き換えを行わないでください。
また、読み出した値を使用しないでください。
- Default 値が「—」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスタに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- ライトオンリーのレジスタの Reserved ビットフィールドには Default 値を書き込んでください。
Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスタへのリードモディファイライト処理は行わないでください。

Arm, Cortex および Thumb は Arm Limited(またはその子会社)の US またはその他の国における登録商標です。 All rights reserved.



FLASH メモリについては、米国 SST 社(Silicon Storage Technology, Inc.)からライセンスを受けた Super Flash®技術を使用しています。Super Flash®は SST 社の登録商標です。

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

| | |
|------------------|---|
| ADC | Analog to Digital Converter |
| A-ENC | Advanced Encoder input Circuit |
| A-PMD | Advanced Programmable Motor Control Circuit |
| A-VE+ | Advanced Vector Engine plus |
| CRC | Cyclic Redundancy Check |
| DMAC | Direct Memory Access Controller |
| DNF | Digital Noise Filter |
| EHOSC | External High Speed Oscillator |
| IHOSC | Internal High Speed Oscillator |
| INT | Interrupt |
| I ² C | Inter-Integrated Circuit |
| LVD | Voltage Detection Circuit |
| NBDIF | Non Break Debug Interface |
| OFD | Oscillation Frequency Detector |
| OPAMP | Operational Amplifier |
| RAMP | RAM parity |
| SIWDT | Clock Selective Watchdog timer |
| TRGSEL | Trigger Selection circuit |
| TRM | Trimming circuit |
| TSPI | Toshiba Serial Peripheral Interface |
| T32A | 32-bit Timer Event Counter |
| UART | Universal Asynchronous Receiver Transmitter |

1. 概要

この章では、周辺機能に関し、チャンネルまたはユニット数、端子情報、その他の製品固有機能の情報について纏めています。各周辺機能のリファレンスマニュアルと合わせてご使用ください。

2. 各周辺機能の情報

2.1. レジスタベースアドレス

下記に各周辺機能で使用するレジスタのベースアドレスタイプを示します。

表 2.1 レジスタベースアドレスタイプ

| 製品 | レジスタベースアドレスタイプ |
|----------------|----------------|
| TMPM4K グループ(1) | TYPE1 |

上記ベースアドレスタイプを参照して各周辺機能の開発を行ってください。

リファレンスマニュアルのレジスタベースアドレスに TYPE1/2 の記載がない場合は TYPE1 としてご使用ください。

2.2. トリガセクタ(TRGSEL)

トリガセクタは、周辺機能、ポートなどから入力された複数のトリガから、1 つのトリガを選択し周辺機能にトリガ信号を出力する回路です。

8本のトリガから[TSELOCRn]<INSELM>で選択されたトリガを、接続先の周辺機能に出力します。

「図 2.1 トリガセクタ接続例」は、DMA 転送割り込みがトリガセクタ経由で DMA コントローラに接続されている例です。[TSELOCR3]で入力トリガ選択、エッジ検出の許可/禁止とエッジ検出条件の設定およびトリガ出力の制御を行います。

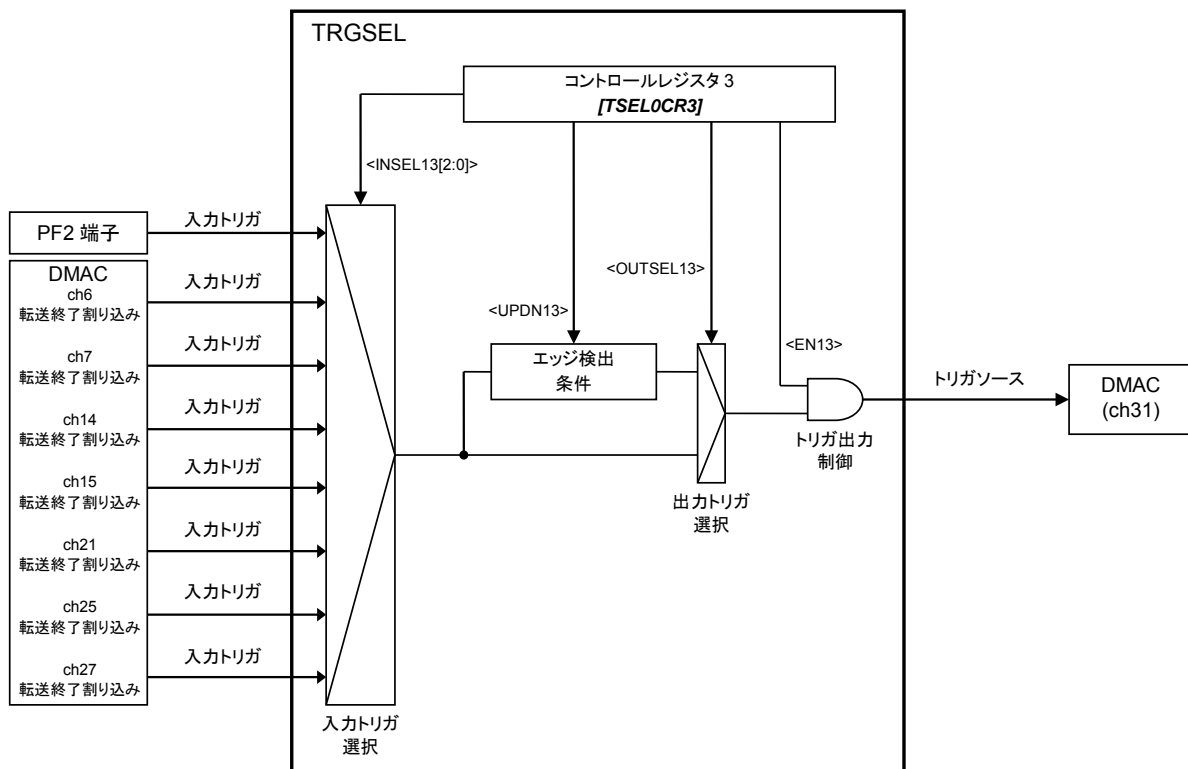


図 2.1 トリガセクタ接続例

2.2.1. トリガセクタと製品対応

TMPM4K グループ(1)のトリガセクタは、11本の制御レジスタ([TSEL0CR0~10])で構成されており41本のトリガを制御できます。

下記の表にコントロールレジスタと接続先および対応製品を示します。

表 2.2 製品別トリガセクタ対応一覧 (1/5)

| レジスタ | Bit Symbol | 接続先 | 選択先トリガソース | 製品対応(O:対応、-:非対応) | | | |
|------------|------------|----------|--|------------------|------|------|------|
| | | | | M4K4 | M4K2 | M4K1 | M4K0 |
| [TSEL0CR0] | INSEL0 | DMA ch18 | ADC 汎用トリガ DMA 要求 ADC 単独変換 DMA 要求 ADC 連続変換 DMA 要求 | ○ | ○ | ○ | ○ |
| | INSEL1 | DMA ch19 | T32A ch0 DMA 要求レジスタ A1 一致 T32A ch0 DMA 要求レジスタ C1 一致 T32A ch1 DMA 要求レジスタ A1 一致 T32A ch1 DMA 要求レジスタ C1 一致 A-PMD ch0 PWM 割り込み | ○ | ○ | ○ | ○ |
| | INSEL2 | DMA ch20 | T32A ch2 DMA 要求レジスタ A1 一致 T32A ch2 DMA 要求レジスタ C1 一致 T32A ch3 DMA 要求レジスタ A1 一致 T32A ch3 DMA 要求レジスタ C1 一致 A-PMD ch1 PWM 割り込み | ○ | ○ | ○ | ○ |
| | INSEL3 | DMA ch21 | T32A ch4 DMA 要求レジスタ A1 一致 T32A ch4 DMA 要求レジスタ C1 一致 T32A ch5 DMA 要求レジスタ A1 一致 T32A ch5 DMA 要求レジスタ C1 一致 | ○ | ○ | ○ | ○ |
| [TSEL0CR1] | INSEL4 | DMA ch22 | T32A ch0 DMA 要求レジスタ B1 一致 T32A ch1 DMA 要求レジスタ B1 一致 T32A ch2 DMA 要求レジスタ B1 一致 T32A ch3 DMA 要求レジスタ B1 一致 T32A ch4 DMA 要求レジスタ B1 一致 T32A ch5 DMA 要求レジスタ B1 一致 | ○ | ○ | ○ | ○ |
| | INSEL5 | DMA ch23 | T32A ch0 DMA 要求キャプチャ A0 T32A ch0 DMA 要求キャプチャ A1 T32A ch1 DMA 要求キャプチャ A0 T32A ch1 DMA 要求キャプチャ A1 T32A ch0 DMA 要求キャプチャ C0 T32A ch0 DMA 要求キャプチャ C1 T32A ch1 DMA 要求キャプチャ C0 T32A ch1 DMA 要求キャプチャ C1 | ○ | ○ | ○ | ○ |
| | INSEL6 | DMA ch24 | T32A ch2 DMA 要求キャプチャ A0 T32A ch2 DMA 要求キャプチャ A1 T32A ch3 DMA 要求キャプチャ A0 T32A ch3 DMA 要求キャプチャ A1 T32A ch2 DMA 要求キャプチャ C0 T32A ch2 DMA 要求キャプチャ C1 T32A ch3 DMA 要求キャプチャ C0 T32A ch3 DMA 要求キャプチャ C1 | ○ | ○ | ○ | ○ |
| | INSEL7 | DMA ch25 | T32A ch4 DMA 要求キャプチャ A0 T32A ch4 DMA 要求キャプチャ A1 T32A ch5 DMA 要求キャプチャ A0 T32A ch5 DMA 要求キャプチャ A1 T32A ch4 DMA 要求キャプチャ C0 T32A ch4 DMA 要求キャプチャ C1 T32A ch5 DMA 要求キャプチャ C0 T32A ch5 DMA 要求キャプチャ C1 | ○ | ○ | ○ | ○ |

表 2.3 製品別トリガセクタ対応一覧 (2/5)

| レジスタ | Bit Symbol | 接続先 | 選択先トリガソース | 製品対応(O:対応、-:非対応) | | | |
|------------|------------|---|--|------------------|------|------|------|
| | | | | M4K4 | M4K2 | M4K1 | M4K0 |
| [TSEL0CR2] | INSEL8 | DMA ch26 | T32A ch0 DMA 要求キャプチャ B0 T32A ch0 DMA 要求キャプチャ B1 T32A ch1 DMA 要求キャプチャ B0 T32A ch1 DMA 要求キャプチャ B1 T32A ch2 DMA 要求キャプチャ B0 T32A ch2 DMA 要求キャプチャ B1 | ○ | ○ | ○ | ○ |
| | INSEL9 | DMA ch27 | T32A ch3 DMA 要求キャプチャ B0 T32A ch3 DMA 要求キャプチャ B1 T32A ch4 DMA 要求キャプチャ B0 T32A ch4 DMA 要求キャプチャ B1 T32A ch5 DMA 要求キャプチャ B0 T32A ch5 DMA 要求キャプチャ B1 | ○ | ○ | ○ | ○ |
| | INSEL10 | DMA ch28 | DMAC ch0 転送完了 DMAC ch1 転送完了 DMAC ch8 転送完了 DMAC ch9 転送完了 DMAC ch16 転送完了 DMAC ch17 転送完了 DMAC ch22 転送完了 | ○ | ○ | ○ | ○ |
| | INSEL11 | DMA ch29 | DMAC ch2 転送完了 DMAC ch3 転送完了 DMAC ch10 転送完了 DMAC ch11 転送完了 DMAC ch18 転送完了 DMAC ch19 転送完了 DMAC ch23 転送完了 端子 PF0 (TRGIN0) | ○ | ○ | ○ | - |
| [TSEL0CR3] | INSEL12 | DMA ch30 | DMAC ch4 転送完了 DMAC ch5 転送完了 DMAC ch12 転送完了 DMAC ch13 転送完了 DMAC ch20 転送完了 DMAC ch24 転送完了 DMAC ch26 転送完了 | ○ | ○ | ○ | ○ |
| | | | 端子 PB1 (TRGIN1) | ○ | ○ | ○ | - |
| | INSEL13 | DMA ch31 | DMAC ch6 転送完了 DMAC ch7 転送完了 DMAC ch14 転送完了 DMAC ch15 転送完了 DMAC ch21 転送完了 DMAC ch25 転送完了 DMAC ch27 転送完了 | ○ | ○ | ○ | ○ |
| | | | 端子 PF2 (TRGIN2) | ○ | - | - | - |
| | | | 端子 PF0 (TRGIN0) | ○ | ○ | ○ | - |
| | INSEL14 | ADC | PB1 端子 (TRGIN1) | ○ | ○ | ○ | - |
| | | | PF2 端子 (TRGIN2) | ○ | - | - | - |
| | | | T32A ch5 タイマレジスタ A1 一致トリガ T32A ch5 タイマレジスタ B1 一致トリガ T32A ch5 タイマレジスタ C1 一致トリガ | ○ | ○ | ○ | ○ |
| INSEL15 | TSPI ch0 | PF0 端子 (TRGIN0) | ○ | ○ | ○ | - | |
| | | PB1 端子 (TRGIN1) | ○ | ○ | ○ | - | |
| | | PF2 端子 (TRGIN2) | ○ | - | - | - | |
| | | T32A ch5 タイマレジスタ A1 一致トリガ T32A ch5 タイマレジスタ B1 一致トリガ T32A ch5 タイマレジスタ C1 一致トリガ | ○ | ○ | ○ | ○ | |

表 2.4 製品別トリガセクタ対応一覧 (3/5)

| レジスタ | Bit Symbol | 接続先 | 選択先トリガソース | 製品対応(O:対応、-:非対応) | | | |
|------------|-------------------|---|---|------------------|------|------|------|
| | | | | M4K4 | M4K2 | M4K1 | M4K0 |
| [TSEL0CR4] | INSEL16 | TSPI ch1 | PF0 端子(TRGIN0) | ○ | - | - | - |
| | | | PB1 端子(TRGIN1) | ○ | - | - | - |
| | | | PF2 端子(TRGIN2) | ○ | - | - | - |
| | | | T32A ch5 タイマレジスタ A1 一致トリガ T32A ch5 タイマレジスタ B1 一致トリガ T32A ch5 タイマレジスタ C1 一致トリガ | ○ | - | - | - |
| | INSEL17 | TSPI ch2 | PF0 端子(TRGIN0) | ○ | ○ | ○ | - |
| | | | PB1 端子(TRGIN1) | ○ | ○ | ○ | - |
| | | | PF2 端子(TRGIN2) | ○ | - | - | - |
| | | | T32A ch5 タイマレジスタ A1 一致トリガ T32A ch5 タイマレジスタ B1 一致トリガ T32A ch5 タイマレジスタ C1 一致トリガ | ○ | ○ | ○ | ○ |
| | INSEL18 | TSPI ch3 | PF0 端子(TRGIN0) | ○ | - | - | - |
| | | | PB1 端子(TRGIN1) | ○ | - | - | - |
| | | | PF2 端子(TRGIN2) | ○ | - | - | - |
| | | | T32A ch5 タイマレジスタ A1 一致トリガ T32A ch5 タイマレジスタ B1 一致トリガ T32A ch5 タイマレジスタ C1 一致トリガ | ○ | - | - | - |
| INSEL19 | UART ch0 | PF0 端子(TRGIN0) | ○ | ○ | ○ | - | |
| | | PB1 端子(TRGIN1) | ○ | ○ | ○ | - | |
| | | PF2 端子(TRGIN2) | ○ | - | - | - | |
| | | T32A ch5 タイマレジスタ A1 一致トリガ T32A ch5 タイマレジスタ B1 一致トリガ T32A ch5 タイマレジスタ C1 一致トリガ | ○ | ○ | ○ | ○ | |
| [TSEL0CR5] | INSEL20 | UART ch1 | PF0 端子(TRGIN0) | ○ | ○ | - | - |
| | | | PB1 端子(TRGIN1) | ○ | ○ | - | - |
| | | | PF2 端子(TRGIN2) | ○ | - | - | - |
| | | | T32A ch5 タイマレジスタ A1 一致トリガ T32A ch5 タイマレジスタ B1 一致トリガ T32A ch5 タイマレジスタ C1 一致トリガ | ○ | ○ | - | - |
| | INSEL21 | UART ch2 | PF0 端子(TRGIN0) | ○ | ○ | ○ | - |
| | | | PB1 端子(TRGIN1) | ○ | ○ | ○ | - |
| | | | PF2 端子(TRGIN2) | ○ | - | - | - |
| | | | T32A ch5 タイマレジスタ A1 一致トリガ T32A ch5 タイマレジスタ B1 一致トリガ T32A ch5 タイマレジスタ C1 一致トリガ | ○ | ○ | ○ | ○ |
| | INSEL22 | UART ch3 | PF0 端子(TRGIN0) | ○ | - | - | - |
| | | | PB1 端子(TRGIN1) | ○ | - | - | - |
| | | | PF2 端子(TRGIN2) | ○ | - | - | - |
| | | | T32A ch5 タイマレジスタ A1 一致トリガ T32A ch5 タイマレジスタ B1 一致トリガ T32A ch5 タイマレジスタ C1 一致トリガ | ○ | - | - | - |
| INSEL23 | T32A ch0 タイマ A | PF0 端子(TRGIN0) | ○ | ○ | ○ | - | |
| | | PB1 端子(TRGIN1) | ○ | ○ | ○ | - | |
| | | PF2 端子(TRGIN2) | ○ | - | - | - | |
| | | UART ch0 送信完了トリガ UART ch0 受信完了トリガ | ○ | ○ | ○ | ○ | |
| | | TSPI ch0 送信完了信号 TSPI ch0 受信完了信号 | ○ | ○ | ○ | ○ | |

表 2.5 製品別トリガセクタ対応一覧 (4/5)

| レジスタ | Bit Symbol | 接続先 | 選択先トリガソース | 製品対応(O:対応、-:非対応) | | | | |
|--|-------------------|--|--|------------------|------|------|------|---|
| | | | | M4K4 | M4K2 | M4K1 | M4K0 | |
| [TSEL0CR6] | INSEL24 | T32A ch0 タイマ B | T32A ch0 タイマレジスタ A0 一致トリガ T32A ch0 タイマレジスタ A1 一致トリガ T32A ch0 タイマ A オーバフロートリガ T32A ch0 タイマ A アンダフロートリガ | ○ | ○ | ○ | ○ | |
| | INSEL25 | T32A ch0 タイマ C | T32A ch5 タイマレジスタ C0 一致トリガ T32A ch5 タイマレジスタ C1 一致トリガ T32A ch5 タイマ C オーバフロートリガ T32A ch5 タイマ C アンダフロートリガ | ○ | ○ | ○ | ○ | |
| | INSEL26 | T32A ch1 タイマ A | PF0 端子(TRGIN0) | | ○ | ○ | ○ | - |
| | | | PB1 端子(TRGIN1) | | ○ | ○ | ○ | - |
| | | | PF2 端子(TRGIN2) | | ○ | - | - | - |
| UART ch1 送信完了トリガ UART ch1 受信完了トリガ TSPi ch1 送信完了信号 TSPi ch1 受信完了信号 | | | | ○ | ○ | - | - | |
| INSEL27 | T32A ch1 タイマ B | T32A ch1 タイマレジスタ A0 一致トリガ T32A ch1 タイマレジスタ A1 一致トリガ T32A ch1 タイマ A オーバフロートリガ T32A ch1 タイマ A アンダフロートリガ | ○ | ○ | ○ | ○ | | |
| [TSEL0CR7] | INSEL28 | T32A ch1 タイマ C | T32A ch0 タイマレジスタ C0 一致トリガ T32A ch0 タイマレジスタ C1 一致トリガ T32A ch0 タイマ C オーバフロートリガ T32A ch0 タイマ C アンダフロートリガ | ○ | ○ | ○ | ○ | |
| | INSEL29 | T32A ch2 タイマ A | PF0 端子(TRGIN0) | | ○ | ○ | ○ | - |
| | | | PB1 端子(TRGIN1) | | ○ | ○ | ○ | - |
| | | | PF2 端子(TRGIN2) | | ○ | - | - | - |
| | | | UART ch2 送信完了トリガ UART ch2 受信完了トリガ TSPi ch2 送信完了信号 TSPi ch2 受信完了信号 | | ○ | ○ | ○ | ○ |
| INSEL30 | T32A ch2 タイマ B | T32A ch2 タイマレジスタ A0 一致トリガ T32A ch2 タイマレジスタ A1 一致トリガ T32A ch2 タイマ A オーバフロートリガ T32A ch2 タイマ A アンダフロートリガ | ○ | ○ | ○ | ○ | | |
| INSEL31 | T32A ch2 タイマ C | T32A ch1 タイマレジスタ C0 一致トリガ T32A ch1 タイマレジスタ C1 一致トリガ T32A ch1 タイマ C オーバフロートリガ T32A ch1 タイマ C アンダフロートリガ | ○ | ○ | ○ | ○ | | |

表 2.6 製品別トリガセクタ対応一覧 (5/5)

| レジスタ | Bit Symbol | 接続先 | 選択先トリガソース | 製品対応(○:対応、-:非対応) | | | | |
|-------------|------------|-------------------|--|--|------|------|------|---|
| | | | | M4K4 | M4K2 | M4K1 | M4K0 | |
| [TSEL0CR8] | INSEL32 | T32A ch3 タイマ A | PF0 端子 (TRGIN0) | ○ | ○ | ○ | - | |
| | | | PB1 端子 (TRGIN1) | ○ | ○ | ○ | - | |
| | | | PF2 端子 (TRGIN2) | ○ | - | - | - | |
| | | | UART ch3 送信完了トリガ UART ch3 受信完了トリガ TSPI ch3 送信完了信号 TSPI ch3 受信完了信号 | ○ | - | - | - | |
| | | | I ² C ch0 I ² C 割り込み | ○ | ○ | ○ | - | |
| | INSEL33 | T32A ch3 タイマ B | T32A ch3 タイマレジスタ A0 一致トリガ T32A ch3 タイマレジスタ A1 一致トリガ T32A ch3 タイマ A オーバフロートリガ T32A ch3 タイマ A アンダフロートリガ | ○ | ○ | ○ | ○ | |
| | INSEL34 | T32A ch3 タイマ C | T32A ch2 タイマレジスタ C0 一致トリガ T32A ch2 タイマレジスタ C1 一致トリガ T32A ch2 タイマ C オーバフロートリガ T32A ch2 タイマ C アンダフロートリガ | ○ | ○ | ○ | ○ | |
| | INSEL35 | T32A ch4 タイマ A | PF0 端子 (TRGIN0) | ○ | ○ | ○ | - | |
| | | | PB1 端子 (TRGIN1) | ○ | ○ | ○ | - | |
| | | | PF2 端子 (TRGIN2) | ○ | - | - | - | |
| | | | A-ENC ch0 分周パルス | ○ | ○ | ○ | ○ | |
| | [TSEL0CR9] | INSEL36 | T32A ch4 タイマ B | T32A ch4 タイマレジスタ A0 一致トリガ T32A ch4 タイマレジスタ A1 一致トリガ T32A ch4 タイマ A オーバフロートリガ T32A ch4 タイマ A アンダフロートリガ | ○ | ○ | ○ | ○ |
| INSEL37 | | T32A ch4 タイマ C | T32A ch3 タイマレジスタ C0 一致トリガ T32A ch3 タイマレジスタ C1 一致トリガ T32A ch3 タイマ C オーバフロートリガ T32A ch3 タイマ C アンダフロートリガ | ○ | ○ | ○ | ○ | |
| INSEL38 | | T32A ch5 タイマ A | PF0 端子 (TRGIN0) | ○ | ○ | ○ | - | |
| | | | PB1 端子 (TRGIN1) | ○ | ○ | ○ | - | |
| | | | PF2 端子 (TRGIN2) | ○ | - | - | - | |
| | | | ADC 汎用トリガ割り込み ADC 単独変換割り込み ADC 連続変換割り込み ADC 監視機能 0 割り込み ADC 監視機能 1 割り込み | ○ | ○ | ○ | ○ | |
| INSEL39 | | T32A ch5 タイマ B | T32A ch5 タイマレジスタ A0 一致トリガ T32A ch5 タイマレジスタ A1 一致トリガ T32A ch5 タイマ A オーバフロートリガ T32A ch5 タイマ A アンダフロートリガ | ○ | ○ | ○ | ○ | |
| [TSEL0CR10] | | INSEL40 | T32A ch5 タイマ C | T32A ch4 タイマレジスタ C0 一致トリガ T32A ch4 タイマレジスタ C1 一致トリガ T32A ch4 タイマ C オーバフロートリガ T32A ch4 タイマ C アンダフロートリガ | ○ | ○ | ○ | ○ |

2.2.2. 使用方法と設定

TRGSEL を使用する場合は、f_{sys} 供給停止レジスタ A (*[CGFSYSENA]*、*[CGFSYSMENA]*)、f_{sys} 供給停止レジスタ B (*[CGFSYSENB]*、*[CGFSYSMENB]*)、f_c 供給停止レジスタ (*[CGFCEN]*) で該当するクロックイネーブルビットを"1" (クロック供給) に設定してください。

該当レジスタ、ビット位置は製品によって異なります。そのため、製品によってレジスタが存在しない場合があります。詳細はリファレンスマニュアルの「クロック制御と動作モード」を参照してください。

トリガセクタの設定は以下の順序で行ってください。

(1) 入力トリガの選択 (*[TSEL0CRn]*<INSELm>)

トリガセクタの接続先に対し、入力トリガの選択を行います。

入力トリガの選択はコントロールレジスタの入力トリガ選択ビット(*[TSEL0CRn]*<INSELm>) で設定してください。(n: レジスタ番号、m: トリガ番号)

(2) エッジ検出条件の選択(*[TSEL0CRn]*<UPDNm>)

エッジ検出が必要な入力トリガ信号に対して、立ち上がりエッジまたは立ち下がりエッジ検出の選択を行います。

エッジ検出条件の選択はコントロールレジスタのエッジ検出条件の選択ビット(*[TSEL0CRn]*<UPDNm>) で設定してください。

エッジ検出が必要なトリガ信号は以下となります。

- ・外部トリガ入力 (TRGIN0, TRGIN1, TRGIN2)

(3) トリガ出力の選択 (*[TSEL0CRn]*<OUTSELm>)

出力するトリガ信号に対し、エッジ検出なし出力またはエッジ検出あり出力の選択を行います。

トリガ出力の選択はコントロールレジスタのトリガ出力の選択ビット(*[TSEL0CRn]*<OUTSELm>) で設定してください。

(4) 出力の許可 (*[TSEL0CRn]*<ENm>)

選択したトリガ信号の出力許可または禁止を選択します。

出力許可または禁止の選択はコントロールレジスタのトリガ出力制御の設定ビット(*[TSEL0CRn]*<ENm>)を設定してください。*[TSEL0CRn]*<ENm>を"1"に設定するとトリガ出力が許可になります。

2.2.3. レジスタ一覧

制御レジスタとアドレスは以下のとおりです。

| 周辺機能 | | チャンネル/ユニット | ベースアドレス |
|--------|--------|------------|------------|
| トリガセクタ | TRGSEL | ch0 | 0x400BB800 |

| レジスタ名 | | アドレス(Base+) |
|---------------|--------------------|-------------|
| コントロールレジスタ 0 | <i>[TSELxCR0]</i> | 0x0000 |
| コントロールレジスタ 1 | <i>[TSELxCR1]</i> | 0x0004 |
| コントロールレジスタ 2 | <i>[TSELxCR2]</i> | 0x0008 |
| コントロールレジスタ 3 | <i>[TSELxCR3]</i> | 0x000C |
| コントロールレジスタ 4 | <i>[TSELxCR4]</i> | 0x0010 |
| コントロールレジスタ 5 | <i>[TSELxCR5]</i> | 0x0014 |
| コントロールレジスタ 6 | <i>[TSELxCR6]</i> | 0x0018 |
| コントロールレジスタ 7 | <i>[TSELxCR7]</i> | 0x001C |
| コントロールレジスタ 8 | <i>[TSELxCR8]</i> | 0x0020 |
| コントロールレジスタ 9 | <i>[TSELxCR9]</i> | 0x0024 |
| コントロールレジスタ 10 | <i>[TSELxCR10]</i> | 0x0028 |

2.2.4. レジスタ詳細

以下の章でレジスタの詳細を示します。

各表の機能欄カッコ内の記号は各機能信号名を表しています。

2.2.4.1. [TSELxCR0](コントロールレジスタ 0)

| Bit | Bit Symbol | リセット後 | Type | 機能 |
|-------|-------------|-------|------|---|
| 31 | - | 0 | R | リードすると"0"が読めます。 |
| 30:28 | INSEL3[2:0] | 000 | R/W | 入力トリガの選択 (DMA ch21) 000: T32A ch4 DMA 要求レジスタ A1 一致 (T32A04DMAREQCMPC1) 001: T32A ch4 DMA 要求レジスタ C1 一致 (T32A04DMAREQCMPC1) 010: T32A ch5 DMA 要求レジスタ A1 一致 (T32A05DMAREQCMPC1) 011: T32A ch5 DMA 要求レジスタ C1 一致 (T32A05DMAREQCMPC1) 100: Reserved 101: Reserved 110: Reserved 111: Reserved |
| 27 | - | 0 | R | リードすると"0"が読めます。 |
| 26 | UPDN3 | 0 | R/W | エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出 |
| 25 | OUTSEL3 | 0 | R/W | 出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり |
| 24 | EN3 | 0 | R/W | トリガ出力制御 0: 禁止 1: 許可 |
| 23 | - | 0 | R | リードすると"0"が読めます。 |
| 22:20 | INSEL2[2:0] | 000 | R/W | 入力トリガの選択 (DMA ch20) 000: T32A ch2 DMA 要求レジスタ A1 一致 (T32A02DMAREQCMPC1) 001: T32A ch2 DMA 要求レジスタ C1 一致 (T32A02DMAREQCMPC1) 010: T32A ch3 DMA 要求レジスタ A1 一致 (T32A03DMAREQCMPC1) 011: T32A ch3 DMA 要求レジスタ C1 一致 (T32A03DMAREQCMPC1) 100: A-PMD ch1 PWM 割り込み (INTPWM1) 101: Reserved 110: Reserved 111: Reserved |
| 19 | - | 0 | R | リードすると"0"が読めます。 |
| 18 | UPDN2 | 0 | R/W | エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出 |
| 17 | OUTSEL2 | 0 | R/W | 出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり |
| 16 | EN2 | 0 | R/W | トリガ出力制御 0: 禁止 1: 許可 |
| 15 | - | 0 | R | リードすると"0"が読めます。 |

| Bit | Bit Symbol | リセット後 | Type | 機能 |
|-------|-------------|-------|------|---|
| 14:12 | INSEL1[2:0] | 000 | R/W | 入力トリガの選択 (DMA ch19) 000: T32A ch0 DMA 要求レジスタ A1 一致 (T32A00DMAREQCPA1) 001: T32A ch0 DMA 要求レジスタ C1 一致 (T32A00DMAREQCMPC1) 010: T32A ch1 DMA 要求レジスタ A1 一致 (T32A01DMAREQCPA1) 011: T32A ch1 DMA 要求レジスタ C1 一致 (T32A01DMAREQCMPC1) 100: A-PMD ch0 PWM 割り込み (INTPWM0) 101: Reserved 110: Reserved 111: Reserved |
| 11 | - | 0 | R | リードすると"0"が読めます。 |
| 10 | UPDN1 | 0 | R/W | エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出 |
| 9 | OUTSEL1 | 0 | R/W | 出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり |
| 8 | EN1 | 0 | R/W | トリガ出力制御 0: 禁止 1: 許可 |
| 7 | - | 0 | R | リードすると"0"が読めます。 |
| 6:4 | INSEL0[2:0] | 000 | R/W | 入力トリガの選択 (DMA ch18) 000: ADC 汎用トリガ DMA 要求 (ADATRG_DMAREQ) 001: ADC 単独変換 DMA 要求(ADASGL_DMAREQ) 010: ADC 連続変換 DMA 要求(ADACNT_DMAREQ) 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved |
| 3 | - | 0 | R | リードすると"0"が読めます。 |
| 2 | UPDN0 | 0 | R/W | エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出 |
| 1 | OUTSEL0 | 0 | R/W | 出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり |
| 0 | EN0 | 0 | R/W | トリガ出力制御 0: 禁止 1: 許可 |

2.2.4.2. [TSELxCR1](コントロールレジスタ 1)

| Bit | Bit Symbol | リセット後 | Type | 機能 |
|-------|-------------|-------|------|---|
| 31 | - | 0 | R | リードすると"0"が読めます。 |
| 30:28 | INSEL7[2:0] | 000 | R/W | 入力トリガの選択 (DMA ch25) 000: T32A ch4 DMA 要求キャプチャ A0 (T32A04DMAREQCAPA0) 001: T32A ch4 DMA 要求キャプチャ A1 (T32A04DMAREQCAPA1) 010: T32A ch5 DMA 要求キャプチャ A0 (T32A05DMAREQCAPA0) 011: T32A ch5 DMA 要求キャプチャ A1 (T32A05DMAREQCAPA1) 100: T32A ch4 DMA 要求キャプチャ C0 (T32A04DMAREQCAPC0) 101: T32A ch4 DMA 要求キャプチャ C1 (T32A04DMAREQCAPC1) 110: T32A ch5 DMA 要求キャプチャ C0 (T32A05DMAREQCAPC0) 111: T32A ch5 DMA 要求キャプチャ C1 (T32A05DMAREQCAPC1) |
| 27 | - | 0 | R | リードすると"0"が読めます。 |
| 26 | UPDN7 | 0 | R/W | エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出 |
| 25 | OUTSEL7 | 0 | R/W | 出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり |
| 24 | EN7 | 0 | R/W | トリガ出力制御 0: 禁止 1: 許可 |
| 23 | - | 0 | R | リードすると"0"が読めます。 |
| 22:20 | INSEL6[2:0] | 000 | R/W | 入力トリガの選択 (DMA ch24) 000: T32A ch2 DMA 要求キャプチャ A0 (T32A02DMAREQCAPA0) 001: T32A ch2 DMA 要求キャプチャ A1 (T32A02DMAREQCAPA1) 010: T32A ch3 DMA 要求キャプチャ A0 (T32A03DMAREQCAPA0) 011: T32A ch3 DMA 要求キャプチャ A1 (T32A03DMAREQCAPA1) 100: T32A ch2 DMA 要求キャプチャ C0 (T32A02DMAREQCAPC0) 101: T32A ch2 DMA 要求キャプチャ C1 (T32A02DMAREQCAPC1) 110: T32A ch3 DMA 要求キャプチャ C0 (T32A03DMAREQCAPC0) 111: T32A ch3 DMA 要求キャプチャ C1 (T32A03DMAREQCAPC1) |
| 19 | - | 0 | R | リードすると"0"が読めます。 |
| 18 | UPDN6 | 0 | R/W | エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出 |
| 17 | OUTSEL6 | 0 | R/W | 出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり |
| 16 | EN6 | 0 | R/W | トリガ出力制御 0: 禁止 1: 許可 |
| 15 | - | 0 | R | リードすると"0"が読めます。 |

| Bit | Bit Symbol | リセット後 | Type | 機能 |
|-------|-------------|-------|------|---|
| 14:12 | INSEL5[2:0] | 000 | R/W | 入力トリガの選択 (DMA ch23) 000: T32A ch0 DMA 要求キャプチャ A0 (T32A00DMAREQCAPA0) 001: T32A ch0 DMA 要求キャプチャ A1 (T32A00DMAREQCAPA1) 010: T32A ch1 DMA 要求キャプチャ A0 (T32A01DMAREQCAPA0) 011: T32A ch1 DMA 要求キャプチャ A1 (T32A01DMAREQCAPA1) 100: T32A ch0 DMA 要求キャプチャ C0 (T32A00DMAREQCAPC0) 101: T32A ch0 DMA 要求キャプチャ C1 (T32A00DMAREQCAPC1) 110: T32A ch1 DMA 要求キャプチャ C0 (T32A01DMAREQCAPC0) 111: T32A ch1 DMA 要求キャプチャ C1 (T32A01DMAREQCAPC1) |
| 11 | - | 0 | R | リードすると"0"が読めます。 |
| 10 | UPDN5 | 0 | R/W | エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出 |
| 9 | OUTSEL5 | 0 | R/W | 出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり |
| 8 | EN5 | 0 | R/W | トリガ出力制御 0: 禁止 1: 許可 |
| 7 | - | 0 | R | リードすると"0"が読めます。 |
| 6:4 | INSEL4[2:0] | 000 | R/W | 入力トリガの選択 (DMA ch22) 000: T32A ch0 DMA 要求レジスタ B1 一致 (T32A00DMAREQCMPB1) 001: T32A ch1 DMA 要求レジスタ B1 一致 (T32A01DMAREQCMPB1) 010: T32A ch2 DMA 要求レジスタ B1 一致 (T32A02DMAREQCMPB1) 011: T32A ch3 DMA 要求レジスタ B1 一致 (T32A03DMAREQCMPB1) 100: T32A ch4 DMA 要求レジスタ B1 一致 (T32A04DMAREQCMPB1) 101: T32A ch5 DMA 要求レジスタ B1 一致 (T32A05DMAREQCMPB1) 110: Reserved 111: Reserved |
| 3 | - | 0 | R | リードすると"0"が読めます。 |
| 2 | UPDN4 | 0 | R/W | エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出 |
| 1 | OUTSEL4 | 0 | R/W | 出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり |
| 0 | EN4 | 0 | R/W | トリガ出力制御 0: 禁止 1: 許可 |

2.2.4.3. [TSELxCR2](コントロールレジスタ 2)

| Bit | Bit Symbol | リセット後 | Type | 機能 |
|-------|--------------|-------|------|--|
| 31 | - | 0 | R | リードすると"0"が読めます。 |
| 30:28 | INSEL11[2:0] | 000 | R/W | 入力トリガの選択 (DMA ch29) 000: DMAC ch2 転送完了 (INTDMAATC2) 001: DMAC ch3 転送完了 (INTDMAATC3) 010: DMAC ch10 転送完了 (INTDMAATC10) 011: DMAC ch11 転送完了 (INTDMAATC11) 100: DMAC ch18 転送完了 (INTDMAATC18) 101: DMAC ch19 転送完了 (INTDMAATC19) 110: DMAC ch23 転送完了 (INTDMAATC23) 111: PF0 端子 (TRGIN0) |
| 27 | - | 0 | R | リードすると"0"が読めます。 |
| 26 | UPDN11 | 0 | R/W | エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出 |
| 25 | OUTSEL11 | 0 | R/W | 出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり |
| 24 | EN11 | 0 | R/W | トリガ出力制御 0: 禁止 1: 許可 |
| 23 | - | 0 | R | リードすると"0"が読めます。 |
| 22:20 | INSEL10[2:0] | 000 | R/W | 入力トリガの選択 (DMA ch28) 000: DMAC ch0 転送完了 (INTDMAATC0) 001: DMAC ch1 転送完了 (INTDMAATC1) 010: DMAC ch8 転送完了 (INTDMAATC8) 011: DMAC ch9 転送完了 (INTDMAATC9) 100: DMAC ch16 転送完了 (INTDMAATC16) 101: DMAC ch17 転送完了 (INTDMAATC17) 110: DMAC ch22 転送完了 (INTDMAATC22) 111: Reserved |
| 19 | - | 0 | R | リードすると"0"が読めます。 |
| 18 | UPDN10 | 0 | R/W | エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出 |
| 17 | OUTSEL10 | 0 | R/W | 出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり |
| 16 | EN10 | 0 | R/W | トリガ出力制御 0: 禁止 1: 許可 |
| 15 | - | 0 | R | リードすると"0"が読めます。 |

| Bit | Bit Symbol | リセット後 | Type | 機能 |
|-------|-------------|-------|------|---|
| 14:12 | INSEL9[2:0] | 000 | R/W | 入力トリガの選択 (DMA ch27) 000: T32A ch3 DMA 要求キャプチャ B0 (T32A03DMAREQCAPB0) 001: T32A ch3 DMA 要求キャプチャ B1 (T32A03DMAREQCAPB1) 010: T32A ch4 DMA 要求キャプチャ B0 (T32A04DMAREQCAPB0) 011: T32A ch4 DMA 要求キャプチャ B1 (T32A04DMAREQCAPB1) 100: T32A ch5 DMA 要求キャプチャ B0 (T32A05DMAREQCAPB0) 101: T32A ch5 DMA 要求キャプチャ B1 (T32A05DMAREQCAPB1) 110: Reserved 111: Reserved |
| 11 | - | 0 | R | リードすると"0"が読めます。 |
| 10 | UPDN9 | 0 | R/W | エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出 |
| 9 | OUTSEL9 | 0 | R/W | 出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり |
| 8 | EN9 | 0 | R/W | トリガ出力制御 0: 禁止 1: 許可 |
| 7 | - | 0 | R | リードすると"0"が読めます。 |
| 6:4 | INSEL8[2:0] | 000 | R/W | 入力トリガの選択 (DMA ch26) 000: T32A ch0 DMA 要求キャプチャ B0 (T32A00DMAREQCAPB0) 001: T32A ch0 DMA 要求キャプチャ B1 (T32A00DMAREQCAPB1) 010: T32A ch1 DMA 要求キャプチャ B0 (T32A01DMAREQCAPB0) 011: T32A ch1 DMA 要求キャプチャ B1 (T32A01DMAREQCAPB1) 100: T32A ch2 DMA 要求キャプチャ B0 (T32A02DMAREQCAPB0) 101: T32A ch2 DMA 要求キャプチャ B1 (T32A02DMAREQCAPB1) 110: Reserved 111: Reserved |
| 3 | - | 0 | R | リードすると"0"が読めます。 |
| 2 | UPDN8 | 0 | R/W | エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出 |
| 1 | OUTSEL8 | 0 | R/W | 出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり |
| 0 | EN8 | 0 | R/W | トリガ出力制御 0: 禁止 1: 許可 |

2.2.4.4. [TSELxCR3](コントロールレジスタ 3)

| Bit | Bit Symbol | リセット後 | Type | 機能 |
|-------|--------------|-------|------|--|
| 31 | - | 0 | R | リードすると"0"が読めます。 |
| 30:28 | INSEL15[2:0] | 000 | R/W | 入力トリガの選択 (TSPI ch0 トリガ入力) 000: PF0 端子 (TRGIN0) 001: PB1 端子 (TRGIN1) 010: PF2 端子 (TRGIN2) 011: T32A ch5 タイマレジスタ A1 一致トリガ(T32A05TRGOUTCMPA1) 100: T32A ch5 タイマレジスタ B1 一致トリガ(T32A05TRGOUTCMPB1) 101: T32A ch5 タイマレジスタ C1 一致トリガ(T32A05TRGOUTCMPC1) 110: Reserved 111: Reserved |
| 27 | - | 0 | R | リードすると"0"が読めます。 |
| 26 | UPDN15 | 0 | R/W | エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出 |
| 25 | OUTSEL15 | 0 | R/W | 出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり |
| 24 | EN15 | 0 | R/W | トリガ出力制御 0: 禁止 1: 許可 |
| 23 | - | 0 | R | リードすると"0"が読めます。 |
| 22:20 | INSEL14[2:0] | 000 | R/W | 入力トリガの選択 (ADC 汎用トリガ) 000: PF0 端子 (TRGIN0) 001: PB1 端子 (TRGIN1) 010: PF2 端子 (TRGIN2) 011: T32A ch5 タイマレジスタ A1 一致トリガ(T32A05TRGOUTCMPA1) 100: T32A ch5 タイマレジスタ B1 一致トリガ(T32A05TRGOUTCMPB1) 101: T32A ch5 タイマレジスタ C1 一致トリガ(T32A05TRGOUTCMPC1) 110: Reserved 111: Reserved |
| 19 | - | 0 | R | リードすると"0"が読めます。 |
| 18 | UPDN14 | 0 | R/W | エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出 |
| 17 | OUTSEL14 | 0 | R/W | 出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり |
| 16 | EN14 | 0 | R/W | トリガ出力制御 0: 禁止 1: 許可 |
| 15 | - | 0 | R | リードすると"0"が読めます。 |

| Bit | Bit Symbol | リセット後 | Type | 機能 |
|-------|--------------|-------|------|---|
| 14:12 | INSEL13[2:0] | 000 | R/W | 入力トリガの選択 (DMA ch31) 000: DMAC ch6 転送完了 (INTDMAATC6) 001: DMAC ch7 転送完了 (INTDMAATC7) 010: DMAC ch14 転送完了 (INTDMAATC14) 011: DMAC ch15 転送完了 (INTDMAATC15) 100: DMAC ch21 転送完了 (INTDMAATC21) 101: DMAC ch25 転送完了 (INTDMAATC25) 110: DMAC ch27 転送完了 (INTDMAATC27) 111: PF2 端子(TRGIN2) |
| 11 | - | 0 | R | リードすると"0"が読めます。 |
| 10 | UPDN13 | 0 | R/W | エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出 |
| 9 | OUTSEL13 | 0 | R/W | 出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり |
| 8 | EN13 | 0 | R/W | トリガ出力制御 0: 禁止 1: 許可 |
| 7 | - | 0 | R | リードすると"0"が読めます。 |
| 6:4 | INSEL12[2:0] | 000 | R/W | 入力トリガの選択 (DMA ch30) 000: DMAC ch4 転送完了 (INTDMAATC4) 001: DMAC ch5 転送完了 (INTDMAATC5) 010: DMAC ch12 転送完了 (INTDMAATC12) 011: DMAC ch13 転送完了 (INTDMAATC13) 100: DMAC ch20 転送完了 (INTDMAATC20) 101: DMAC ch24 転送完了 (INTDMAATC24) 110: DMAC ch26 転送完了 (INTDMAATC26) 111: PB1 端子(TRGIN1) |
| 3 | - | 0 | R | リードすると"0"が読めます。 |
| 2 | UPDN12 | 0 | R/W | エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出 |
| 1 | OUTSEL12 | 0 | R/W | 出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり |
| 0 | EN12 | 0 | R/W | トリガ出力制御 0: 禁止 1: 許可 |

2.2.4.5. [TSELxCR4](コントロールレジスタ 4)

| Bit | Bit Symbol | リセット後 | Type | 機能 |
|-------|--------------|-------|------|--|
| 31 | - | 0 | R | リードすると"0"が読めます。 |
| 30:28 | INSEL19[2:0] | 000 | R/W | 入力トリガの選択 (UART ch0 トリガ入力) 000: PF0 端子 (TRGIN0) 001: PB1 端子 (TRGIN1) 010: PF2 端子 (TRGIN2) 011: T32A ch5 タイマレジスタ A1 一致トリガ(T32A05TRGOUTCMPA1) 100: T32A ch5 タイマレジスタ B1 一致トリガ(T32A05TRGOUTCMPB1) 101: T32A ch5 タイマレジスタ C1 一致トリガ(T32A05TRGOUTCMPC1) 110: Reserved 111: Reserved |
| 27 | - | 0 | R | リードすると"0"が読めます。 |
| 26 | UPDN19 | 0 | R/W | エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出 |
| 25 | OUTSEL19 | 0 | R/W | 出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり |
| 24 | EN19 | 0 | R/W | トリガ出力制御 0: 禁止 1: 許可 |
| 23 | - | 0 | R | リードすると"0"が読めます。 |
| 22:20 | INSEL18[2:0] | 000 | R/W | 入力トリガの選択 (TSPI ch3 トリガ入力) 000: PF0 端子 (TRGIN0) 001: PB1 端子 (TRGIN1) 010: PF2 端子 (TRGIN2) 011: T32A ch5 タイマレジスタ A1 一致トリガ(T32A05TRGOUTCMPA1) 100: T32A ch5 タイマレジスタ B1 一致トリガ(T32A05TRGOUTCMPB1) 101: T32A ch5 タイマレジスタ C1 一致トリガ(T32A05TRGOUTCMPC1) 110: Reserved 111: Reserved |
| 19 | - | 0 | R | リードすると"0"が読めます。 |
| 18 | UPDN18 | 0 | R/W | エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出 |
| 17 | OUTSEL18 | 0 | R/W | 出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり |
| 16 | EN18 | 0 | R/W | トリガ出力制御 0: 禁止 1: 許可 |
| 15 | - | 0 | R | リードすると"0"が読めます。 |

| Bit | Bit Symbol | リセット後 | Type | 機能 |
|-------|--------------|-------|------|--|
| 14:12 | INSEL17[2:0] | 000 | R/W | 入力トリガの選択 (TSPI ch2 トリガ入力) 000: PF0 端子 (TRGIN0) 001: PB1 端子 (TRGIN1) 010: PF2 端子 (TRGIN2) 011: T32A ch5 タイマレジスタ A1 一致トリガ(T32A05TRGOUTCMPA1) 100: T32A ch5 タイマレジスタ B1 一致トリガ(T32A05TRGOUTCMPB1) 101: T32A ch5 タイマレジスタ C1 一致トリガ(T32A05TRGOUTCMPC1) 110: Reserved 111: Reserved |
| 11 | - | 0 | R | リードすると"0"が読めます。 |
| 10 | UPDN17 | 0 | R/W | エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出 |
| 9 | OUTSEL17 | 0 | R/W | 出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり |
| 8 | EN17 | 0 | R/W | トリガ出力制御 0: 禁止 1: 許可 |
| 7 | - | 0 | R | リードすると"0"が読めます。 |
| 6:4 | INSEL16[2:0] | 000 | R/W | 入力トリガの選択 (TSPI ch1 トリガ入力) 000: PF0 端子 (TRGIN0) 001: PB1 端子 (TRGIN1) 010: PF2 端子 (TRGIN2) 011: T32A ch5 タイマレジスタ A1 一致トリガ(T32A05TRGOUTCMPA1) 100: T32A ch5 タイマレジスタ B1 一致トリガ(T32A05TRGOUTCMPB1) 101: T32A ch5 タイマレジスタ C1 一致トリガ(T32A05TRGOUTCMPC1) 110: Reserved 111: Reserved |
| 3 | - | 0 | R | リードすると"0"が読めます。 |
| 2 | UPDN16 | 0 | R/W | エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出 |
| 1 | OUTSEL16 | 0 | R/W | 出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり |
| 0 | EN16 | 0 | R/W | トリガ出力制御 0: 禁止 1: 許可 |

2.2.4.6. [TSELxCR5](コントロールレジスタ 5)

| Bit | Bit Symbol | リセット後 | Type | 機能 |
|-------|--------------|-------|------|--|
| 31 | - | 0 | R | リードすると"0"が読めます。 |
| 30:28 | INSEL23[2:0] | 000 | R/W | 入力トリガの選択 (T32A ch0 タイマ A 内部トリガ入力) 000: PF0 端子 (TRGIN0) 001: PB1 端子 (TRGIN1) 010: PF2 端子 (TRGIN2) 011: UART ch0 送信完了 (UART0TXTRG) 100: UART ch0 受信完了 (UART0RXTRG) 101: TSPI ch0 送信完了 (TSPI0TXEND) 110: TSPI ch0 受信完了 (TSPI0RXEND) 111: Reserved |
| 27 | - | 0 | R | リードすると"0"が読めます。 |
| 26 | UPDN23 | 0 | R/W | エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出 |
| 25 | OUTSEL23 | 0 | R/W | 出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり |
| 24 | EN23 | 0 | R/W | トリガ出力制御 0: 禁止 1: 許可 |
| 23 | - | 0 | R | リードすると"0"が読めます。 |
| 22:20 | INSEL22[2:0] | 000 | R/W | 入力トリガの選択 (UART ch3 トリガ入力) 000: PF0 端子 (TRGIN0) 001: PB1 端子 (TRGIN1) 010: PF2 端子 (TRGIN2) 011: T32A ch5 タイマレジスタ A1 一致トリガ(T32A05TRGOUTCMPA1) 100: T32A ch5 タイマレジスタ B1 一致トリガ(T32A05TRGOUTCMPB1) 101: T32A ch5 タイマレジスタ C1 一致トリガ(T32A05TRGOUTCMPC1) 110: Reserved 111: Reserved |
| 19 | - | 0 | R | リードすると"0"が読めます。 |
| 18 | UPDN22 | 0 | R/W | エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出 |
| 17 | OUTSEL22 | 0 | R/W | 出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり |
| 16 | EN22 | 0 | R/W | トリガ出力制御 0: 禁止 1: 許可 |
| 15 | - | 0 | R | リードすると"0"が読めます。 |

| Bit | Bit Symbol | リセット後 | Type | 機能 |
|-------|--------------|-------|------|--|
| 14:12 | INSEL21[2:0] | 000 | R/W | 入力トリガの選択 (UART ch2 トリガ入力) 000: PF0 端子 (TRGIN0) 001: PB1 端子 (TRGIN1) 010: PF2 端子 (TRGIN2) 011: T32A ch5 タイマレジスタ A1 一致トリガ(T32A05TRGOUTCMPA1) 100: T32A ch5 タイマレジスタ B1 一致トリガ(T32A05TRGOUTCMPB1) 101: T32A ch5 タイマレジスタ C1 一致トリガ(T32A05TRGOUTCMPC1) 110: Reserved 111: Reserved |
| 11 | - | 0 | R | リードすると"0"が読めます。 |
| 10 | UPDN21 | 0 | R/W | エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出 |
| 9 | OUTSEL21 | 0 | R/W | 出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり |
| 8 | EN21 | 0 | R/W | トリガ出力制御 0: 禁止 1: 許可 |
| 7 | - | 0 | R | リードすると"0"が読めます。 |
| 6:4 | INSEL20[2:0] | 000 | R/W | 入力トリガの選択 (UART ch1 トリガ入力) 000: PF0 端子 (TRGIN0) 001: PB1 端子 (TRGIN1) 010: PF2 端子 (TRGIN2) 011: T32A ch5 タイマレジスタ A1 一致トリガ(T32A05TRGOUTCMPA1) 100: T32A ch5 タイマレジスタ B1 一致トリガ(T32A05TRGOUTCMPB1) 101: T32A ch5 タイマレジスタ C1 一致トリガ(T32A05TRGOUTCMPC1) 110: Reserved 111: Reserved |
| 3 | - | 0 | R | リードすると"0"が読めます。 |
| 2 | UPDN20 | 0 | R/W | エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出 |
| 1 | OUTSEL20 | 0 | R/W | 出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり |
| 0 | EN20 | 0 | R/W | トリガ出力制御 0: 禁止 1: 許可 |

2.2.4.7. [TSELxCR6](コントロールレジスタ 6)

| Bit | Bit Symbol | リセット後 | Type | 機能 |
|-------|--------------|-------|------|---|
| 31 | - | 0 | R | リードすると"0"が読めます。 |
| 30:28 | INSEL27[2:0] | 000 | R/W | 入力トリガの選択 (T32A ch1 タイマ B 内部トリガ入力) 000: T32A ch1 タイマレジスタ A0 一致トリガ(T32A01TRGOUTCMPA0) 001: T32A ch1 タイマレジスタ A1 一致トリガ(T32A01TRGOUTCMPA1) 010: T32A ch1 タイマ A オーバフロートリガ (T32A01TRGOUTOFA) 011: T32A ch1 タイマ A アンダフロートリガ (T32A01TRGOUTUFA) 100: Reserved 101: Reserved 110: Reserved 111: Reserved |
| 27 | - | 0 | R | リードすると"0"が読めます。 |
| 26 | UPDN27 | 0 | R/W | エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出 |
| 25 | OUTSEL27 | 0 | R/W | 出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり |
| 24 | EN27 | 0 | R/W | トリガ出力制御 0: 禁止 1: 許可 |
| 23 | - | 0 | R | リードすると"0"が読めます。 |
| 22:20 | INSEL26[2:0] | 000 | R/W | 入力トリガの選択 (T32A ch1 タイマ A 内部トリガ入力) 000: PF0 端子 (TRGIN0) 001: PB1 端子 (TRGIN1) 010: PF2 端子 (TRGIN2) 011: UART ch1 送信完了 (UART1TXTRG) 100: UART ch1 受信完了 (UART1RXTRG) 101: TSPI ch1 送信完了 (TSPI1TXEND) 110: TSPI ch1 受信完了 (TSPI1RXEND) 111: Reserved |
| 19 | - | 0 | R | リードすると"0"が読めます。 |
| 18 | UPDN26 | 0 | R/W | エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出 |
| 17 | OUTSEL26 | 0 | R/W | 出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり |
| 16 | EN26 | 0 | R/W | トリガ出力制御 0: 禁止 1: 許可 |
| 15 | - | 0 | R | リードすると"0"が読めます。 |

| Bit | Bit Symbol | リセット後 | Type | 機能 |
|-------|--------------|-------|------|---|
| 14:12 | INSEL25[2:0] | 000 | R/W | 入力トリガの選択 (T32A ch0 タイマ C 内部トリガ入力) 000: T32A ch5 タイマレジスタ C0 一致トリガ(T32A05TRGOUTCMPC0) 001: T32A ch5 タイマレジスタ C1 一致トリガ(T32A05TRGOUTCMPC1) 010: T32A ch5 タイマ C オーバフロートリガ (T32A05TRGOUTOFC) 011: T32A ch5 タイマ C アンダフロートリガ (T32A05TRGOUTUFC) 100: Reserved 101: Reserved 110: Reserved 111: Reserved |
| 11 | - | 0 | R | リードすると"0"が読めます。 |
| 10 | UPDN25 | 0 | R/W | エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出 |
| 9 | OUTSEL25 | 0 | R/W | 出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり |
| 8 | EN25 | 0 | R/W | トリガ出力制御 0: 禁止 1: 許可 |
| 7 | - | 0 | R | リードすると"0"が読めます。 |
| 6:4 | INSEL24[2:0] | 000 | R/W | 入力トリガの選択 (T32A ch0 タイマ B 内部トリガ入力) 000: T32A ch0 タイマレジスタ A0 一致トリガ(T32A00TRGOUTCMPA0) 001: T32A ch0 タイマレジスタ A1 一致トリガ(T32A00TRGOUTCMPA1) 010: T32A ch0 タイマ A オーバフロートリガ (T32A00TRGOUTOFA) 011: T32A ch0 タイマ A アンダフロートリガ (T32A00TRGOUTUFA) 100: Reserved 101: Reserved 110: Reserved 111: Reserved |
| 3 | - | 0 | R | リードすると"0"が読めます。 |
| 2 | UPDN24 | 0 | R/W | エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出 |
| 1 | OUTSEL24 | 0 | R/W | 出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり |
| 0 | EN24 | 0 | R/W | トリガ出力制御 0: 禁止 1: 許可 |

2.2.4.8. [TSELxCR7](コントロールレジスタ 7)

| Bit | Bit Symbol | リセット後 | Type | 機能 |
|-------|--------------|-------|------|---|
| 31 | - | 0 | R | リードすると"0"が読めます。 |
| 30:28 | INSEL31[2:0] | 000 | R/W | 入カトリガの選択 (T32A ch2 タイマ C 内部トリガ入力) 000: T32A ch1 タイマレジスタ C0 一致トリガ(T32A01TRGOUTCMPC0) 001: T32A ch1 タイマレジスタ C1 一致トリガ(T32A01TRGOUTCMPC1) 010: T32A ch1 タイマ C オーバフロートリガ (T32A01TRGOUTOFC) 011: T32A ch1 タイマ C アンダフロートリガ (T32A01TRGOUTUFC) 100: Reserved 101: Reserved 110: Reserved 111: Reserved |
| 27 | - | 0 | R | リードすると"0"が読めます。 |
| 26 | UPDN31 | 0 | R/W | エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出 |
| 25 | OUTSEL31 | 0 | R/W | 出カトリガの選択 0: エッジ検出なし 1: エッジ検出あり |
| 24 | EN31 | 0 | R/W | トリガ出力制御 0: 禁止 1: 許可 |
| 23 | - | 0 | R | リードすると"0"が読めます。 |
| 22:20 | INSEL30[2:0] | 000 | R/W | 入カトリガの選択 (T32A ch2 タイマ B 内部トリガ入力) 000: T32A ch2 タイマレジスタ A0 一致トリガ (T32A02TRGOUTCMPA0) 001: T32A ch2 タイマレジスタ A1 一致トリガ (T32A02TRGOUTCMPA1) 010: T32A ch2 タイマ A オーバフロートリガ (T32A02TRGOUTOFA) 011: T32A ch2 タイマ A アンダフロートリガ (T32A02TRGOUTUFA) 100: Reserved 101: Reserved 110: Reserved 111: Reserved |
| 19 | - | 0 | R | リードすると"0"が読めます。 |
| 18 | UPDN30 | 0 | R/W | エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出 |
| 17 | OUTSEL30 | 0 | R/W | 出カトリガの選択 0: エッジ検出なし 1: エッジ検出あり |
| 16 | EN30 | 0 | R/W | トリガ出力制御 0: 禁止 1: 許可 |
| 15 | - | 0 | R | リードすると"0"が読めます。 |

| Bit | Bit Symbol | リセット後 | Type | 機能 |
|-------|--------------|-------|------|---|
| 14:12 | INSEL29[2:0] | 000 | R/W | 入力トリガの選択 (T32A ch2 タイマ A 内部トリガ入力) 000: PF0 端子 (TRGIN0) 001: PB1 端子 (TRGIN1) 010: PF2 端子 (TRGIN2) 011: UART ch2 送信完了 (UART2TXTRG) 100: UART ch2 受信完了 (UART2RXTRG) 101: TSPI ch2 送信完了 (TSPI2TXEND) 110: TSPI ch2 受信完了 (TSPI2RXEND) 111: Reserved |
| 11 | - | 0 | R | リードすると"0"が読めます。 |
| 10 | UPDN29 | 0 | R/W | エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出 |
| 9 | OUTSEL29 | 0 | R/W | 出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり |
| 8 | EN29 | 0 | R/W | トリガ出力制御 0: 禁止 1: 許可 |
| 7 | - | 0 | R | リードすると"0"が読めます。 |
| 6:4 | INSEL28[2:0] | 000 | R/W | 入力トリガの選択 (T32A ch1 タイマ C 内部トリガ入力) 000: T32A ch0 タイマレジスタ C0 一致トリガ(T32A00TRGOUTCMPC0) 001: T32A ch0 タイマレジスタ C1 一致トリガ(T32A00TRGOUTCMPC1) 010: T32A ch0 タイマ C オーバフロートリガ (T32A00TRGOUTOFC) 011: T32A ch0 タイマ C アンダフロートリガ (T32A00TRGOUTUFC) 100: Reserved 101: Reserved 110: Reserved 111: Reserved |
| 3 | - | 0 | R | リードすると"0"が読めます。 |
| 2 | UPDN28 | 0 | R/W | エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出 |
| 1 | OUTSEL28 | 0 | R/W | 出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり |
| 0 | EN28 | 0 | R/W | トリガ出力制御 0: 禁止 1: 許可 |

2.2.4.9. [TSELxCR8](コントロールレジスタ 8)

| Bit | Bit Symbol | リセット後 | Type | 機能 |
|-------|--------------|-------|------|---|
| 31 | - | 0 | R | リードすると"0"が読めます。 |
| 30:28 | INSEL35[2:0] | 000 | R/W | 入力トリガの選択 (T32A ch4 タイマ A 内部トリガ入力) 000: PF0 端子 (TRGIN0) 001: PB1 端子 (TRGIN1) 010: PF2 端子 (TRGIN2) 011: A-ENC ch0 分周パルス(ENC0TIMPLS) 100: Reserved 101: Reserved 110: Reserved 111: Reserved |
| 27 | - | 0 | R | リードすると"0"が読めます。 |
| 26 | UPDN35 | 0 | R/W | エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出 |
| 25 | OUTSEL35 | 0 | R/W | 出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり |
| 24 | EN35 | 0 | R/W | トリガ出力制御 0: 禁止 1: 許可 |
| 23 | - | 0 | R | リードすると"0"が読めます。 |
| 22:20 | INSEL34[2:0] | 000 | R/W | 入力トリガの選択 (T32A ch3 タイマ C 内部トリガ入力) 000: T32A ch2 タイマレジスタ C0 一致トリガ(T32A02TRGOUTCMPC0) 001: T32A ch2 タイマレジスタ C1 一致トリガ(T32A02TRGOUTCMPC1) 010: T32A ch2 タイマ C オーバフロートリガ (T32A02TRGOUTOFC) 011: T32A ch2 タイマ C アンダフロートリガ (T32A02TRGOUTUFC) 100: Reserved 101: Reserved 110: Reserved 111: Reserved |
| 19 | - | 0 | R | リードすると"0"が読めます。 |
| 18 | UPDN34 | 0 | R/W | エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出 |
| 17 | OUTSEL34 | 0 | R/W | 出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり |
| 16 | EN34 | 0 | R/W | トリガ出力制御 0: 禁止 1: 許可 |
| 15 | - | 0 | R | リードすると"0"が読めます。 |

| Bit | Bit Symbol | リセット後 | Type | 機能 |
|-------|--------------|-------|------|---|
| 14:12 | INSEL33[2:0] | 000 | R/W | 入力トリガの選択 (T32A ch3 タイマ B 内部トリガ入力) 000: T32A ch3 タイマレジスタ A0 一致トリガ(T32A03TRGOUTCMPA0) 001: T32A ch3 タイマレジスタ A1 一致トリガ(T32A03TRGOUTCMPA1) 010: T32A ch3 タイマ A オーバフロートリガ (T32A03TRGOUTOFA) 011: T32A ch3 タイマ A アンダフロートリガ (T32A03TRGOUTUFA) 100: Reserved 101: Reserved 110: Reserved 111: Reserved |
| 11 | - | 0 | R | リードすると"0"が読めます。 |
| 10 | UPDN33 | 0 | R/W | エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出 |
| 9 | OUTSEL33 | 0 | R/W | 出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり |
| 8 | EN33 | 0 | R/W | トリガ出力制御 0: 禁止 1: 許可 |
| 7 | - | 0 | R | リードすると"0"が読めます。 |
| 6:4 | INSEL32[2:0] | 000 | R/W | 入力トリガの選択 (T32A ch3 タイマ A 内部トリガ入力) 000: PF0 端子 (TRGIN0) 001: PB1 端子 (TRGIN1) 010: PF2 端子 (TRGIN2) 011: UART ch3 送信完了 (UART3TXTRG) 100: UART ch3 受信完了 (UART3RXTRG) 101: TSPI ch3 送信完了 (TSPI3TXEND) 110: TSPI ch3 受信完了 (TSPI3RXEND) 111: I ² C ch0 I ² C 割り込み(INTI2C0) |
| 3 | - | 0 | R | リードすると"0"が読めます。 |
| 2 | UPDN32 | 0 | R/W | エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出 |
| 1 | OUTSEL32 | 0 | R/W | 出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり |
| 0 | EN32 | 0 | R/W | トリガ出力制御 0: 禁止 1: 許可 |

2.2.4.10. [TSELxCR9](コントロールレジスタ 9)

| Bit | Bit Symbol | リセット後 | Type | 機能 |
|-------|--------------|-------|------|---|
| 31 | - | 0 | R | リードすると"0"が読めます。 |
| 30:28 | INSEL39[2:0] | 000 | R/W | 入力トリガの選択 (T32A ch5 タイマ B 内部トリガ入力) 000: T32A ch5 タイマレジスタ A0 一致トリガ(T32A05TRGOUTCMPA0) 001: T32A ch5 タイマレジスタ A1 一致トリガ(T32A05TRGOUTCMPA1) 010: T32A ch5 タイマ A オーバフロートリガ (T32A05TRGOUTOFA) 011: T32A ch5 タイマ A アンダフロートリガ (T32A05TRGOUTUFA) 100: Reserved 101: Reserved 110: Reserved 111: Reserved |
| 27 | - | 0 | R | リードすると"0"が読めます。 |
| 26 | UPDN39 | 0 | R/W | エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出 |
| 25 | OUTSEL39 | 0 | R/W | 出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり |
| 24 | EN39 | 0 | R/W | トリガ出力制御 0: 禁止 1: 許可 |
| 23 | - | 0 | R | リードすると"0"が読めます。 |
| 22:20 | INSEL38[2:0] | 000 | R/W | 入力トリガの選択 (T32A ch5 タイマ A 内部トリガ入力) 000: PF0 端子 (TRGIN0) 001: PB1 端子 (TRGIN1) 010: PF2 端子 (TRGIN2) 011: ADC 汎用トリガ割り込み (INTADATRG) 100: ADC 単独変換割り込み (INTADASGL) 101: ADC 連続変換割り込み (INTADACNT) 110: ADC 監視機能 0 割り込み (INTADACP0) 111: ADC 監視機能 1 割り込み (INTADACP1) |
| 19 | - | 0 | R | リードすると"0"が読めます。 |
| 18 | UPDN38 | 0 | R/W | エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出 |
| 17 | OUTSEL38 | 0 | R/W | 出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり |
| 16 | EN38 | 0 | R/W | トリガ出力制御 0: 禁止 1: 許可 |
| 15 | - | 0 | R | リードすると"0"が読めます。 |

| Bit | Bit Symbol | リセット後 | Type | 機能 |
|-------|--------------|-------|------|---|
| 14:12 | INSEL37[2:0] | 000 | R/W | 入力トリガの選択 (T32A ch4 タイマ C 内部トリガ入力) 000: T32A ch3 タイマレジスタ C0 一致トリガ(T32A03TRGOUTCMPC0) 001: T32A ch3 タイマレジスタ C1 一致トリガ(T32A03TRGOUTCMPC1) 010: T32A ch3 タイマ C オーバフロートリガ (T32A03TRGOUTOFC) 011: T32A ch3 タイマ C アンダフロートリガ (T32A03TRGOUTUFC) 100: Reserved 101: Reserved 110: Reserved 111: Reserved |
| 11 | - | 0 | R | リードすると"0"が読めます。 |
| 10 | UPDN37 | 0 | R/W | エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出 |
| 9 | OUTSEL37 | 0 | R/W | 出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり |
| 8 | EN37 | 0 | R/W | トリガ出力制御 0: 禁止 1: 許可 |
| 7 | - | 0 | R | リードすると"0"が読めます。 |
| 6:4 | INSEL36[2:0] | 000 | R/W | 入力トリガの選択 (T32A ch4 タイマ B 内部トリガ入力) 000: T32A ch4 タイマレジスタ A0 一致トリガ (T32A04TRGOUTCMPA0) 001: T32A ch4 タイマレジスタ A1 一致トリガ (T32A04TRGOUTCMPA1) 010: T32A ch4 タイマ A オーバフロートリガ (T32A04TRGOUTOFA) 011: T32A ch4 タイマ A アンダフロートリガ (T32A04TRGOUTUFA) 100: Reserved 101: Reserved 110: Reserved 111: Reserved |
| 3 | - | 0 | R | リードすると"0"が読めます。 |
| 2 | UPDN36 | 0 | R/W | エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出 |
| 1 | OUTSEL36 | 0 | R/W | 出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり |
| 0 | EN36 | 0 | R/W | トリガ出力制御 0: 禁止 1: 許可 |

2.2.4.11. [TSELxCR10](コントロールレジスタ 10)

| Bit | Bit Symbol | リセット後 | Type | 機能 |
|------|--------------|-------|------|---|
| 31:7 | - | 0 | R | リードすると"0"が読めます。 |
| 6:4 | INSEL40[2:0] | 000 | R/W | 入力トリガの選択 (T32A ch5 タイマ C 内部トリガ入力) 000: T32A ch4 タイマレジスタ C0 一致トリガ (T32A04TRGOUTCMPC0) 001: T32A ch4 タイマレジスタ C1 一致トリガ (T32A04TRGOUTCMPC1) 010: T32A ch4 タイマ C オーバフロートリガ (T32A04TRGOUTOFC) 011: T32A ch4 タイマ C アンダフロートリガ (T32A04TRGOUTUFC) 100: Reserved 101: Reserved 110: Reserved 111: Reserved |
| 3 | - | 0 | R | リードすると"0"が読めます。 |
| 2 | UPDN40 | 0 | R/W | エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出 |
| 1 | OUTSEL40 | 0 | R/W | 出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり |
| 0 | EN40 | 0 | R/W | トリガ出力制御 0: 禁止 1: 許可 |

2.3. DMA コントローラ(DMAC)

2.3.1. 搭載ユニット

製品毎の搭載ユニットを下記表に示します。

表 2.7 DMAC 搭載チャンネル

| 製品 | DMAC 搭載ユニット (○:搭載、-:非搭載) |
|------|-----------------------------|
| | ユニット A |
| M4K4 | ○ |
| M4K2 | ○ |
| M4K1 | ○ |
| M4K0 | ○ |

2.3.2. DMA 要求一覧

下記表に DMA 要求一覧を示します。

表のトリガセクタ欄にレジスタ名のあるチャンネルは、トリガセクタで使用する要求を選択してください。表内の"- "は該当する機能がありません。

表 2.8 DMA要求一覧(1/3)

| チャネル | シングル転送 | | バースト転送 | |
|------|-------------------------------|--------|-------------------------------|--------|
| | 信号名 | トリガセクタ | 信号名 | トリガセクタ |
| 0 | TSPI ch0 受信 TSPI0RX_DMA | - | TSPI ch0 受信 TSPI0RX_DMA | - |
| 1 | TSPI ch0 送信 TSPI0TX_DMA | - | TSPI ch0 送信 TSPI0TX_DMA | - |
| 2 | TSPI ch1 受信 TSPI1RX_DMA | - | TSPI ch1 受信 TSPI1RX_DMA | - |
| 3 | TSPI ch1 送信 TSPI1TX_DMA | - | TSPI ch1 送信 TSPI1TX_DMA | - |
| 4 | TSPI ch2 受信 TSPI2RX_DMA | - | TSPI ch2 受信 TSPI2RX_DMA | - |
| 5 | TSPI ch2 送信 TSPI2TX_DMA | - | TSPI ch2 送信 TSPI2TX_DMA | - |
| 6 | TSPI ch3 受信 TSPI3RX_DMA | - | TSPI ch3 受信 TSPI3RX_DMA | - |
| 7 | TSPI ch3 送信 TSPI3TX_DMA | - | TSPI ch3 送信 TSPI3TX_DMA | - |
| 8 | UART ch0 受信 UART0RX_DMAREQ | - | UART ch0 受信 UART0RX_DMAREQ | - |
| 9 | UART ch0 送信 UART0TX_DMAREQ | - | UART ch0 送信 UART0TX_DMAREQ | - |
| 10 | UART ch1 受信 UART1RX_DMAREQ | - | UART ch1 受信 UART1RX_DMAREQ | - |
| 11 | UART ch1 送信 UART1TX_DMAREQ | - | UART ch1 送信 UART1TX_DMAREQ | - |
| 12 | UART ch2 受信 UART2RX_DMAREQ | - | UART ch2 受信 UART2RX_DMAREQ | - |
| 13 | UART ch2 送信 UART2TX_DMAREQ | - | UART ch2 送信 UART2TX_DMAREQ | - |
| 14 | UART ch3 受信 UART3RX_DMAREQ | - | UART ch3 受信 UART3RX_DMAREQ | - |
| 15 | UART ch3 送信 UART3TX_DMAREQ | - | UART ch3 送信 UART3TX_DMAREQ | - |
| 16 | - | - | I2C ch0 受信 I2C0RXDMAREQ | - |

注) ch18~ch31 はトリガセクタで DMA 要求のトリガソースを選択します。詳細な接続先については、「2.2 トリガセクタ(TRGSEL)」を参照してください。

表 2.9 DMA要求一覧(2/3)

| チャネル | シングル転送 | | バースト転送 | | |
|------|--------|-----|------------------------|---------------------|-------------------|
| | | 信号名 | トリガセクタ | | 信号名 |
| 17 | - | - | | I2C ch0 送信 | I2C0TXDMAREQ |
| 18 | - | - | [TSEL0CR0] <INSEL0> | AD 汎用トリガ | ADATRG_DMAREQ |
| | | | | AD 単独変換 | ADASLG_DMAREQ |
| | | | | AD 連続変換 | ADACNT_DMAREQ |
| 19 | - | - | [TSEL0CR0] <INSEL1> | T32A ch0 レジスタ A1 一致 | T32A00DMAREQCMPA1 |
| | | | | T32A ch0 レジスタ C1 一致 | T32A00DMAREQCMPA1 |
| | | | | T32A ch1 レジスタ A1 一致 | T32A01DMAREQCMPA1 |
| | | | | T32A ch1 レジスタ C1 一致 | T32A01DMAREQCMPA1 |
| | | | | A-PMD ch0 PWM 割り込み | INTPWM0 |
| 20 | - | - | [TSEL0CR1] <INSEL2> | T32A ch2 レジスタ A1 一致 | T32A02DMAREQCMPA1 |
| | | | | T32A ch2 レジスタ C1 一致 | T32A02DMAREQCMPA1 |
| | | | | T32A ch3 レジスタ A1 一致 | T32A03DMAREQCMPA1 |
| | | | | T32A ch3 レジスタ C1 一致 | T32A03DMAREQCMPA1 |
| | | | | A-PMD ch1 PWM 割り込み | INTPWM1 |
| 21 | - | - | [TSEL0CR1] <INSEL3> | T32A ch4 レジスタ A1 一致 | T32A04DMAREQCMPA1 |
| | | | | T32A ch4 レジスタ C1 一致 | T32A04DMAREQCMPA1 |
| | | | | T32A ch5 レジスタ A1 一致 | T32A05DMAREQCMPA1 |
| | | | | T32A ch5 レジスタ C1 一致 | T32A05DMAREQCMPA1 |
| 22 | - | - | [TSEL0CR1] <INSEL4> | T32A ch0 キャプチャ B1 | T32A00DMAREQCAPB1 |
| | | | | T32A ch1 キャプチャ B1 | T32A00DMAREQCAPB1 |
| | | | | T32A ch2 キャプチャ B1 | T32A01DMAREQCAPB1 |
| | | | | T32A ch3 キャプチャ B1 | T32A01DMAREQCAPB1 |
| | | | | T32A ch4 キャプチャ B1 | T32A00DMAREQCAPB1 |
| | | | | T32A ch5 キャプチャ B1 | T32A00DMAREQCAPB1 |
| 23 | - | - | [TSEL0CR1] <INSEL5> | T32A ch0 キャプチャ A0 | T32A00DMAREQCAPA0 |
| | | | | T32A ch0 キャプチャ A1 | T32A00DMAREQCAPA1 |
| | | | | T32A ch1 キャプチャ A0 | T32A01DMAREQCAPA0 |
| | | | | T32A ch1 キャプチャ A1 | T32A01DMAREQCAPA1 |
| | | | | T32A ch0 キャプチャ C0 | T32A00DMAREQCAPC0 |
| | | | | T32A ch0 キャプチャ C1 | T32A00DMAREQCAPC1 |
| | | | | T32A ch1 キャプチャ C0 | T32A01DMAREQCAPC0 |
| | | | | T32A ch1 キャプチャ C1 | T32A01DMAREQCAPC1 |
| 24 | - | - | [TSEL0CR2] <INSEL6> | T32A ch2 キャプチャ A0 | T32A02DMAREQCAPA0 |
| | | | | T32A ch2 キャプチャ A1 | T32A02DMAREQCAPA1 |
| | | | | T32A ch3 キャプチャ A0 | T32A03DMAREQCAPA0 |
| | | | | T32A ch3 キャプチャ A1 | T32A03DMAREQCAPA1 |
| | | | | T32A ch2 キャプチャ C0 | T32A02DMAREQCAPC0 |
| | | | | T32A ch2 キャプチャ C1 | T32A02DMAREQCAPC1 |
| | | | | T32A ch3 キャプチャ C0 | T32A03DMAREQCAPC0 |
| | | | | T32A ch3 キャプチャ C1 | T32A03DMAREQCAPC1 |

注) ch18~ch31はトリガセクタでDMA要求のトリガソースを選択します。詳細な接続先については、「2.2 トリガセクタ(TRGSEL)」を参照してください。

表 2.10 DMA要求一覧(3/3)

| チャネル | シングル転送 | | バースト転送 | | |
|------|--------|---------|-------------------------|-------------------|-------------------|
| | 信号名 | トリガセレクト | 信号名 | 信号名 | |
| 25 | - | - | [TSEL0CR1] <INSEL7> | T32A ch4 キャプチャ A0 | T32A04DMAREQCAPA0 |
| | | | | T32A ch4 キャプチャ A1 | T32A04DMAREQCAPA1 |
| | | | | T32A ch5 キャプチャ A0 | T32A05DMAREQCAPA0 |
| | | | | T32A ch5 キャプチャ A1 | T32A05DMAREQCAPA1 |
| | | | | T32A ch4 キャプチャ C0 | T32A04DMAREQCAPC0 |
| | | | | T32A ch4 キャプチャ C1 | T32A04DMAREQCAPC1 |
| | | | | T32A ch5 キャプチャ C0 | T32A05DMAREQCAPC0 |
| | | | | T32A ch5 キャプチャ C1 | T32A05DMAREQCAPC1 |
| 26 | - | - | [TSEL0CR2] <INSEL8> | T32A ch0 キャプチャ B0 | T32A00DMAREQCAPB0 |
| | | | | T32A ch0 キャプチャ B1 | T32A00DMAREQCAPB1 |
| | | | | T32A ch1 キャプチャ B0 | T32A01DMAREQCAPB0 |
| | | | | T32A ch1 キャプチャ B1 | T32A01DMAREQCAPB1 |
| | | | | T32A ch2 キャプチャ B0 | T32A02DMAREQCAPB0 |
| | | | | T32A ch2 キャプチャ B1 | T32A02DMAREQCAPB1 |
| 27 | - | - | [TSEL0CR2] <INSEL9> | T32A ch3 キャプチャ B0 | T32A03DMAREQCAPB0 |
| | | | | T32A ch3 キャプチャ B1 | T32A03DMAREQCAPB1 |
| | | | | T32A ch4 キャプチャ B0 | T32A04DMAREQCAPB0 |
| | | | | T32A ch4 キャプチャ B1 | T32A04DMAREQCAPB1 |
| | | | | T32A ch5 キャプチャ B0 | T32A05DMAREQCAPB0 |
| | | | | T32A ch5 キャプチャ B1 | T32A05DMAREQCAPB1 |
| 28 | - | - | [TSEL0CR2] <INSEL10> | DMAC ch0 転送完了 | INTDMAATC0 |
| | | | | DMAC ch1 転送完了 | INTDMAATC1 |
| | | | | DMAC ch8 転送完了 | INTDMAATC8 |
| | | | | DMAC ch9 転送完了 | INTDMAATC9 |
| | | | | DMAC ch16 転送完了 | INTDMAATC16 |
| | | | | DMAC ch17 転送完了 | INTDMAATC17 |
| | | | | DMAC ch22 転送完了 | INTDMAATC22 |
| 29 | - | - | [TSEL0CR2] <INSEL11> | DMAC ch2 転送完了 | INTDMAATC2 |
| | | | | DMAC ch3 転送完了 | INTDMAATC3 |
| | | | | DMAC ch10 転送完了 | INTDMAATC10 |
| | | | | DMAC ch11 転送完了 | INTDMAATC11 |
| | | | | DMAC ch18 転送完了 | INTDMAATC18 |
| | | | | DMAC ch19 転送完了 | INTDMAATC19 |
| | | | | DMAC ch23 転送完了 | INTDMAATC23 |
| | | | | TRGIN0(PF0 端子) | TRGIN0 |

注) ch18~ch31 はトリガセレクトで DMA 要求のトリガソースを選択します。詳細な接続先については、「2.2 トリガセレクト(TRGSEL)」を参照してください。

表 2.11 DMA要求一覧(3/3)

| チャネル | シングル転送 | | バースト転送 | | |
|------|--------|--------|-------------------------|----------------|-------------|
| | 信号名 | トリガセクタ | 信号名 | 信号名 | |
| 30 | - | - | [TSEL0CR3] <INSEL12> | DMAC ch4 転送完了 | INTDMAATC4 |
| | | | | DMAC ch5 転送完了 | INTDMAATC5 |
| | | | | DMAC ch12 転送完了 | INTDMAATC12 |
| | | | | DMAC ch13 転送完了 | INTDMAATC13 |
| | | | | DMAC ch20 転送完了 | INTDMAATC20 |
| | | | | DMAC ch24 転送完了 | INTDMAATC24 |
| | | | | DMAC ch26 転送完了 | INTDMAATC26 |
| | | | | TRGIN1(PB1 端子) | TRGIN1 |
| 31 | - | - | [TSEL0CR3] <INSEL13> | DMAC ch6 転送完了 | INTDMAATC6 |
| | | | | DMAC ch7 転送完了 | INTDMAATC7 |
| | | | | DMAC ch14 転送完了 | INTDMAATC14 |
| | | | | DMAC ch15 転送完了 | INTDMAATC15 |
| | | | | DMAC ch21 転送完了 | INTDMAATC21 |
| | | | | DMAC ch25 転送完了 | INTDMAATC25 |
| | | | | DMAC ch27 転送完了 | INTDMAATC27 |
| | | | | TRGIN2(PF2 端子) | TRGIN2 |

注) ch18~ch31 はトリガセクタで DMA 要求のトリガソースを選択します。詳細な接続先については、「2.2 トリガセクタ(TRGSEL)」を参照してください。

2.4. 32 ビットタイマイイベントカウンタ(T32A)

2.4.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.12 T32A 搭載チャンネル

| 製品 | T32A チャンネル (○:搭載、- :非搭載) | | | | | |
|------|--------------------------|-----|-----|-----|-----|-----|
| | Ch0 | Ch1 | Ch2 | Ch3 | Ch4 | Ch5 |
| M4K4 | ○ | ○ | ○ | ○ | ○ | ○ |
| M4K2 | ○ | ○ | ○ | ○ | ○ | ○ |
| M4K1 | ○ | ○ | ○ | ○ | ○ | ○ |
| M4K0 | ○ | ○ | ○ | ○ | ○ | ○ |

2.4.2. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。
複数に割り当てられている同一機能端子は排他的に使用してください。
製品により機能端子がないチャンネルもあります。

表 2.13 T32A 機能端子とポート(1/2)

| チャンネル | 機能端子(信号名) | | ポート | ポートの製品対応 (○:あり、-:なし) | | | |
|------------|------------|-----|-----|----------------------|------|------|------|
| | | | | M4K4 | M4K2 | M4K1 | M4K0 |
| ch0 | T32A00INA0 | 入力 | PK1 | ○ | ○ | ○ | ○ |
| | T32A00INA1 | 入力 | - | - | - | - | - |
| | T32A00OUTA | 出力 | PK0 | ○ | ○ | ○ | ○ |
| | T32A00INB0 | 入力 | - | - | - | - | - |
| | T32A00INB1 | 入力 | - | - | - | - | - |
| | T32A00OUTB | 出力 | - | - | - | - | - |
| | T32A00INC0 | 入力 | PK1 | ○ | ○ | ○ | ○ |
| | T32A00INC1 | 入力 | - | - | - | - | - |
| ch1 | T32A01INA0 | 入力 | PA1 | ○ | ○ | - | - |
| | T32A01INA1 | 入力 | PA2 | ○ | - | - | - |
| | T32A01OUTA | 出力 | PA2 | ○ | - | - | - |
| | T32A01INB0 | 入力 | PA0 | ○ | ○ | ○ | - |
| | T32A01INB1 | 入力 | - | - | - | - | - |
| | T32A01OUTB | 出力 | PA0 | ○ | ○ | ○ | - |
| | T32A01INC0 | 入力 | PA1 | ○ | ○ | - | - |
| | T32A01INC1 | 入力 | PA2 | ○ | - | - | - |
| T32A01OUTC | 出力 | PA2 | ○ | - | - | - | |
| ch2 | T32A02INA0 | 入力 | PG1 | ○ | ○ | ○ | ○ |
| | T32A02INA1 | 入力 | PG2 | ○ | ○ | ○ | ○ |
| | T32A02OUTA | 出力 | PG0 | ○ | ○ | ○ | ○ |
| | T32A02INB0 | 入力 | - | - | - | - | - |
| | T32A02INB1 | 入力 | - | - | - | - | - |
| | T32A02OUTB | 出力 | - | - | - | - | - |
| | T32A02INC0 | 入力 | PG1 | ○ | ○ | ○ | ○ |
| | T32A02INC1 | 入力 | PG2 | ○ | ○ | ○ | ○ |
| | T32A02OUTC | 出力 | PG0 | ○ | ○ | ○ | ○ |

表 2.14 T32A 機能信号とポート(2/2)

| チャンネル | 機能端子(信号名) | | ポート | ポートの製品対応 (○:あり、- :なし) | | | |
|-------|------------|----|-----|-----------------------|------|------|------|
| | | | | M4K4 | M4K2 | M4K1 | M4K0 |
| ch3 | T32A03INA0 | 入力 | PC1 | ○ | - | - | - |
| | T32A03INA1 | 入力 | PC2 | ○ | - | - | - |
| | T32A03OUTA | 出力 | PC0 | ○ | ○ | ○ | - |
| | T32A03INB0 | 入力 | - | - | - | - | - |
| | T32A03INB1 | 入力 | - | - | - | - | - |
| | T32A03OUTB | 出力 | - | - | - | - | - |
| | T32A03INC0 | 入力 | PC1 | ○ | - | - | - |
| | T32A03INC1 | 入力 | PC2 | ○ | - | - | - |
| | T32A03OUTC | 出力 | PC0 | ○ | ○ | ○ | - |
| ch4 | T32A04INA0 | 入力 | PF1 | ○ | - | - | - |
| | T32A04INA1 | 入力 | PF2 | ○ | - | - | - |
| | T32A04OUTA | 出力 | PF0 | ○ | ○ | ○ | - |
| | T32A04INB0 | 入力 | - | - | - | - | - |
| | T32A04INB1 | 入力 | - | - | - | - | - |
| | T32A04OUTB | 出力 | - | - | - | - | - |
| | T32A04INC0 | 入力 | PF1 | ○ | - | - | - |
| | T32A04INC1 | 入力 | PF2 | ○ | - | - | - |
| | T32A04OUTC | 出力 | PF0 | ○ | ○ | ○ | - |
| ch5 | T32A05INA0 | 入力 | PB1 | ○ | ○ | ○ | - |
| | T32A05INA1 | 入力 | - | - | - | - | - |
| | T32A05OUTA | 出力 | PB0 | ○ | ○ | ○ | - |
| | T32A05INB0 | 入力 | - | - | - | - | - |
| | T32A05INB1 | 入力 | - | - | - | - | - |
| | T32A05OUTB | 出力 | PB1 | ○ | ○ | ○ | - |
| | T32A05INC0 | 入力 | PB1 | ○ | ○ | ○ | - |
| | T32A05INC1 | 入力 | - | - | - | - | - |
| | T32A05OUTC | 出力 | PB0 | ○ | ○ | ○ | - |

2.4.3. プリスケーラ用クロック

32ビットタイマイイベントカウンタは、プリスケーラ用クロックに以下の表に示すクロックが使用されます。

表 2.15 T32A プリスケーラ用クロック

| クロック |
|------|
| ΦT0 |

2.4.4. 内部信号接続仕様

2.4.4.1. キャプチャトリガ信号接続仕様

32ビットタイマイイベントカウンタは、以下の表に示すキャプチャトリガ信号が接続されます。

下記表のトリガセクタ欄にレジスタ名のある入力トリガ信号は、トリガセクタで使用する入力トリガを選択してください。

表 2.16 T32A キャプチャトリガ信号接続仕様(1/3)

| チャンネル | タイム | キャプチャトリガ入力 信号名 | トリガソース | | | |
|--------------------------|--------------------------|------------------------------|-------------------------|---------------------------|-------------------|------------|
| | | | トリガセクタ | 入力トリガ信号 | 信号名 | |
| ch0 | タイム A | T32A00TRGINAPHCK (他タイム出力) | - | - | - | |
| | | T32A00TRGINAPCK (内部トリガ入力) | [TSEL0CR5] <INSEL23> | PF0 端子(TRGIN0) | TRGIN0 | |
| | | | | PB1 端子(TRGIN1) | TRGIN1 | |
| | | | | PF2 端子(TRGIN2) | TRGIN2 | |
| | | | | UART ch0 送信完了トリガ | UART0TXTRG | |
| | | | | UART ch0 受信完了トリガ | UART0RXTRG | |
| | | | | TSPi ch0 送信完了信号 | TSPi0TXEND | |
| | TSPi ch0 受信完了信号 | TSPi0RXEND | | | | |
| | タイム B | T32A00TRGINBPHCK (他タイム出力) | T32A ch0 タイム A 出力 | | | T32A00OUTA |
| | | T32A00TRGINBPCK (他タイム入力) | [TSEL0CR6] <INSEL24> | T32A ch0 タイムレジスタ A0 一致トリガ | T32A00TRGOUTCMPA0 | |
| | | | | T32A ch0 タイムレジスタ A1 一致トリガ | T32A00TRGOUTCMPA1 | |
| | | | | T32A ch0 タイム A オーバフロートリガ | T32A00TRGOUTOFA | |
| | T32A ch0 タイム A アンダフロートリガ | | | T32A00TRGOUTUFA | | |
| | タイム C | T32A00TRGINCPHCK (他タイム出力) | - | - | - | |
| | | T32A00TRGINCPCK (内部トリガ入力) | [TSEL0CR6] <INSEL25> | T32A ch5 タイムレジスタ C0 一致トリガ | T32A05TRGOUTCMPC0 | |
| | | | | T32A ch5 タイムレジスタ C1 一致トリガ | T32A05TRGOUTCMPC1 | |
| T32A ch5 タイム C オーバフロートリガ | | | | T32A05TRGOUTOFC | | |
| T32A ch5 タイム C アンダフロートリガ | T32A05TRGOUTUFC | | | | | |
| ch1 | タイム A | T32A01TRGINAPHCK (他タイム出力) | - | - | - | |
| | | T32A01TRGINAPCK (内部トリガ入力) | [TSEL0CR6] <INSEL26> | PF0 端子(TRGIN0) | TRGIN0 | |
| | | | | PB1 端子(TRGIN1) | TRGIN1 | |
| | | | | PF2 端子(TRGIN2) | TRGIN2 | |
| | | | | UART ch1 送信完了トリガ | UART1TXTRG | |
| | | | | UART ch1 受信完了トリガ | UART1RXTRG | |
| | | | | TSPi ch1 送信完了信号 | TSPi1TXEND | |
| | TSPi ch1 受信完了信号 | TSPi1RXEND | | | | |
| | タイム B | T32A01TRGINBPHCK (他タイム出力) | T32A ch1 タイム A 出力 | | | T32A01OUTA |
| | | T32A01TRGINBPCK (内部トリガ入力) | [TSEL0CR6] <INSEL27> | T32A ch1 タイムレジスタ A0 一致トリガ | T32A01TRGOUTCMPA0 | |
| | | | | T32A ch1 タイムレジスタ A1 一致トリガ | T32A01TRGOUTCMPA1 | |
| | | | | T32A ch1 タイム A オーバフロートリガ | T32A01TRGOUTOFA | |
| | T32A ch1 タイム A アンダフロートリガ | | | T32A01TRGOUTUFA | | |
| | タイム C | T32A01TRGINCPHCK (他タイム出力) | - | - | - | |
| | | T32A00TRGINCPCK (内部トリガ入力) | [TSEL0CR7] <INSEL28> | T32A ch0 タイムレジスタ C0 一致トリガ | T32A00TRGOUTCMPC0 | |
| | | | | T32A ch0 タイムレジスタ C1 一致トリガ | T32A00TRGOUTCMPC1 | |
| T32A ch0 タイム C オーバフロートリガ | | | | T32A00TRGOUTOFC | | |
| T32A ch0 タイム C アンダフロートリガ | T32A00TRGOUTUFC | | | | | |

注) [TSEL0CRn]<INSELm>はトリガセクタで内部トリガのトリガソースを選択します。詳細な接続先については、「2.2 トリガセクタ(TRGSEL)」を参照してください。

表 2.17 T32A キャプチャトリガ信号接続仕様(2/3)

| チャンネル | タイム | キャプチャトリガ入力 信号名 | トリガソース | | | |
|---------------------------|--|------------------------------|-------------------------|---------------------------|-------------------|------------|
| | | | トリガセクタ | 入力トリガ信号 | 信号名 | |
| ch2 | タイム A | T32A02TRGINAPHCK (他タイム出力) | - | - | - | |
| | | T32A02TRGINAPCK (内部トリガ入力) | [TSEL0CR7] <INSEL29> | PF0 端子(TRGIN0) | TRGIN0 | |
| | | | | PB1 端子(TRGIN1) | TRGIN1 | |
| | | | | PF2 端子(TRGIN2) | TRGIN2 | |
| | | | | UART ch2 送信完了トリガ | UART2TXTRG | |
| | | | | UART ch2 受信完了トリガ | UART2RXTRG | |
| | | | | TSPI ch2 送信完了信号 | TSPI2TXEND | |
| | TSPI ch2 受信完了信号 | TSPI2RXEND | | | | |
| | タイム B | T32A02TRGINBPHCK (他タイム出力) | T32A ch2 タイム A 出力 | | | T32A02OUTA |
| | | T32A02TRGINBPCK (内部トリガ入力) | [TSEL0CR7] <INSEL30> | T32A ch2 タイムレジスタ A0 一致トリガ | T32A02TRGOUTCMPA0 | |
| | | | | T32A ch2 タイムレジスタ A1 一致トリガ | T32A02TRGOUTCMPA1 | |
| | | | | T32A ch2 タイム A オーバフロートリガ | T32A02TRGOUTOFA | |
| | T32A ch2 タイム A アンダフロートリガ | | | T32A02TRGOUTUFA | | |
| | タイム C | T32A02TRGINCPHCK (他タイム出力) | - | - | - | |
| | | T32A02TRGINCPCK (内部トリガ入力) | [TSEL0CR7] <INSEL31> | T32A ch1 タイムレジスタ C0 一致トリガ | T32A01TRGOUTCMPC0 | |
| | | | | T32A ch1 タイムレジスタ C1 一致トリガ | T32A01TRGOUTCMPC1 | |
| T32A ch1 タイム C オーバフロートリガ | | | | T32A01TRGOUTOFC | | |
| T32A ch1 タイム C アンダフロートリガ | T32A01TRGOUTUFC | | | | | |
| ch3 | タイム A | T32A03TRGINAPHCK (他タイム出力) | - | - | - | |
| | | T32A03TRGINAPCK (内部トリガ入力) | [TSEL0CR8] <INSEL32> | PF0 端子(TRGIN0) | TRGIN0 | |
| | | | | PB1 端子(TRGIN1) | TRGIN1 | |
| | | | | PF2 端子(TRGIN2) | TRGIN2 | |
| | | | | UART ch3 送信完了トリガ | UART3TXTRG | |
| | | | | UART ch3 受信完了トリガ | UART3RXTRG | |
| | | | | TSPI ch3 送信完了信号 | TSPI3TXEND | |
| | | | | TSPI ch3 受信完了信号 | TSPI3RXEND | |
| | I ² C ch0 I ² C 割り込み | INTI2C0 | | | | |
| | タイム B | T32A03TRGINBPHCK (他タイム出力) | T32A ch3 タイム A 出力 | | | T32A03OUTA |
| | | T32A03TRGINBPCK (内部トリガ入力) | [TSEL0CR8] <INSEL33> | T32A ch3 タイムレジスタ A0 一致トリガ | T32A03TRGOUTCMPA0 | |
| | | | | T32A ch3 タイムレジスタ A1 一致トリガ | T32A03TRGOUTCMPA1 | |
| | | | | T32A ch3 タイム A オーバフロートリガ | T32A03TRGOUTOFA | |
| | T32A ch3 タイム A アンダフロートリガ | | | T32A03TRGOUTUFA | | |
| | タイム C | T32A03TRGINCPHCK (他タイム出力) | - | - | - | |
| | | T32A03TRGINCPCK (内部トリガ入力) | [TSEL0CR8] <INSEL34> | T32A ch2 タイムレジスタ C0 一致トリガ | T32A02TRGOUTCMPC0 | |
| T32A ch2 タイムレジスタ C1 一致トリガ | | | | T32A02TRGOUTCMPC1 | | |
| T32A ch2 タイム C オーバフロートリガ | | | | T32A02TRGOUTOFC | | |
| T32A ch2 タイム C アンダフロートリガ | T32A02TRGOUTUFC | | | | | |

注) [TSEL0CRn]<INSELM>はトリガセクタで内部トリガのトリガソースを選択します。詳細な接続先については、「2.2 トリガセクタ(TRGSEL)」を参照してください。

表 2.18 T32A キャプチャトリガ信号接続仕様(3/3)

| チャンネル | タイム | キャプチャトリガ入力 信号名 | トリガソース | | |
|---------------------------|--------------------------|------------------------------|--------------------------|---------------------------|-------------------|
| | | | トリガセレクト | 入力トリガ信号 | 信号名 |
| ch4 | タイム A | T32A04TRGINAPHCK (他タイム出力) | - | - | - |
| | | T32A04TRGINAPCK (内部トリガ入力) | [TSEL0CR8] <INSEL35> | PF0 端子(TRGIN0) | TRGIN0 |
| | | | | PB1 端子(TRGIN1) | TRGIN1 |
| | | | | PF2 端子(TRGIN2) | TRGIN2 |
| | A-ENC 分周パルス信号 | ENC0TIMPLS | | | |
| | タイム B | T32A04TRGINBPHCK (他タイム出力) | - | T32A ch4 タイマ A 出力 | T32A04OUTA |
| | | T32A04TRGINBPCK (内部トリガ入力) | [TSEL0CR9] <INSEL36> | T32A ch4 タイマレジスタ A0 一致トリガ | T32A04TRGOUTCMPA0 |
| | | | | T32A ch4 タイマレジスタ A1 一致トリガ | T32A04TRGOUTCMPA1 |
| | | | | T32A ch4 タイマ A オーバフロートリガ | T32A04TRGOUTOFA |
| | T32A ch4 タイマ A アンダフロートリガ | T32A04TRGOUTUFA | | | |
| | タイム C | T32A04TRGINCPHCK (他タイム出力) | - | - | - |
| | | T32A04TRGINCPCK (内部トリガ入力) | [TSEL0CR9] <INSEL37> | T32A ch3 タイマレジスタ C0 一致トリガ | T32A03TRGOUTCMPC0 |
| T32A ch3 タイマレジスタ C1 一致トリガ | | | | T32A03TRGOUTCMPC1 | |
| T32A ch3 タイマ C オーバフロートリガ | | | | T32A03TRGOUTOFC | |
| T32A ch3 タイマ C アンダフロートリガ | T32A03TRGOUTUFC | | | | |
| ch5 | タイム A | T32A05TRGINAPHCK (他タイム出力) | - | - | - |
| | | T32A05TRGINAPCK (内部トリガ入力) | [TSEL0CR9] <INSEL38> | PF0 端子(TRGIN0) | TRGIN0 |
| | | | | PB1 端子(TRGIN1) | TRGIN1 |
| | | | | PF2 端子(TRGIN2) | TRGIN2 |
| | | | | ADC 汎用トリガ割り込み | INTADATRG |
| | | | | ADC 単独変換割り込み | INTADASGL |
| | | | | ADC 連続変換割り込み | INTADACNT |
| | | | | ADC 監視機能 0 割り込み | INTADACP0 |
| | ADC 監視機能 1 割り込み | INTADACP1 | | | |
| | タイム B | T32A05TRGINBPHCK (他タイム出力) | - | T32A ch5 タイマ A 出力 | T32A05OUTA |
| | | T32A05TRGINBPCK (内部トリガ入力) | [TSEL0CR9] <INSEL39> | T32A ch5 タイマレジスタ A0 一致トリガ | T32A05TRGOUTCMPA0 |
| | | | | T32A ch5 タイマレジスタ A1 一致トリガ | T32A05TRGOUTCMPA1 |
| | | | | T32A ch5 タイマ A オーバフロートリガ | T32A05TRGOUTOFA |
| | T32A ch5 タイマ A アンダフロートリガ | T32A05TRGOUTUFA | | | |
| | タイム C | T32A05TRGINCPHCK (他タイム出力) | - | - | - |
| | | T32A05TRGINCPCK (内部トリガ入力) | [TSEL0CR10] <INSEL40> | T32A ch4 タイマレジスタ C0 一致トリガ | T32A04TRGOUTCMPC0 |
| T32A ch4 タイマレジスタ C1 一致トリガ | | | | T32A04TRGOUTCMPC1 | |
| T32A ch4 タイマ C オーバフロートリガ | | | | T32A04TRGOUTOFC | |
| T32A ch4 タイマ C アンダフロートリガ | T32A04TRGOUTUFC | | | | |

注) [TSEL0CRn]<INSELm>はトリガセレクトで内部トリガのトリガソースを選択します。詳細な接続先については、「2.2 トリガセレクト(TRGSEL)」を参照してください。

2.4.4.2. 同期制御接続仕様

32ビットタイマイイベントカウンタは、以下の表に示すように同じチャンネル内でタイマが同期接続されています。

表 2.19 T32A 同期制御接続仕様

| チャンネル | タイマ | マスタ | | タイマ | スレーブ | |
|-------|-------|------------|----------------------|-------|----------|-------------------|
| | | 機能(出力) | 信号名 | | 機能(入力) | 信号名 |
| ch0 | タイマ A | 同期スタート出力 A | T32A00SYNCSTARTOUTA | タイマ B | 同期スタート B | T32A00SYNCSTARTB |
| | | 同期ストップ出力 A | T32A00SYNCSTOPOUTA | | 同期停止 B | T32A00SYNCSTOPB |
| | | 同期リロード出力 A | T32A00SYNCRELOADOUTA | | 同期リロード B | T32A00SYNCRELOADB |
| ch1 | タイマ A | 同期スタート出力 A | T32A01SYNCSTARTOUTA | タイマ B | 同期スタート B | T32A01SYNCSTARTB |
| | | 同期ストップ出力 A | T32A01SYNCSTOPOUTA | | 同期停止 B | T32A01SYNCSTOPB |
| | | 同期リロード出力 A | T32A01SYNCRELOADOUTA | | 同期リロード B | T32A01SYNCRELOADB |
| ch2 | タイマ A | 同期スタート出力 A | T32A02SYNCSTARTOUTA | タイマ B | 同期スタート B | T32A02SYNCSTARTB |
| | | 同期ストップ出力 A | T32A02SYNCSTOPOUTA | | 同期停止 B | T32A02SYNCSTOPB |
| | | 同期リロード出力 A | T32A02SYNCRELOADOUTA | | 同期リロード B | T32A02SYNCRELOADB |
| ch3 | タイマ A | 同期スタート出力 A | T32A03SYNCSTARTOUTA | タイマ B | 同期スタート B | T32A03SYNCSTARTB |
| | | 同期ストップ出力 A | T32A03SYNCSTOPOUTA | | 同期停止 B | T32A03SYNCSTOPB |
| | | 同期リロード出力 A | T32A03SYNCRELOADOUTA | | 同期リロード B | T32A03SYNCRELOADB |
| ch4 | タイマ A | 同期スタート出力 A | T32A04SYNCSTARTOUTA | タイマ B | 同期スタート B | T32A04SYNCSTARTB |
| | | 同期ストップ出力 A | T32A04SYNCSTOPOUTA | | 同期停止 B | T32A04SYNCSTOPB |
| | | 同期リロード出力 A | T32A04SYNCRELOADOUTA | | 同期リロード B | T32A04SYNCRELOADB |
| ch5 | タイマ A | 同期スタート出力 A | T32A05SYNCSTARTOUTA | タイマ B | 同期スタート B | T32A05SYNCSTARTB |
| | | 同期ストップ出力 A | T32A05SYNCSTOPOUTA | | 同期停止 B | T32A05SYNCSTOPB |
| | | 同期リロード出力 A | T32A05SYNCRELOADOUTA | | 同期リロード B | T32A05SYNCRELOADB |

2.4.5. 製品別パルスカウンタ対応一覧

32ビットタイマイイベントカウンタは、以下の表に示すように製品によってパルスカウンタの対応が異なります。

表 2.20 T32A 製品別パルスカウンタ対応一覧

| チャンネル | M4K4 | M4K2 | M4K1 | M4K0 |
|-------|------------------------|-----------|------|------|
| ch0 | 1相パルスカウンタ | | | |
| ch1 | 2相パルスカウンタ 1相パルスカウンタ | 1相パルスカウンタ | - | |
| ch2 | 2相パルスカウンタ 1相パルスカウンタ | | | |
| ch3 | 2相パルスカウンタ 1相パルスカウンタ | | - | |
| ch4 | 2相パルスカウンタ 1相パルスカウンタ | | - | |
| ch5 | 1相パルスカウンタ | | | - |

2.4.6. DMA 要求

32 ビットタイマイイベントカウンタは、以下の表に示す DMA 要求があります。

表のトリガセクタ欄にレジスタ名の記載あるものは、トリガセクタで使用する要求を選択してください。

表 2.21 T32A DMA要求(1/2)

| チャンネル | 要求 | 信号名 | トリガセクタ | DMA 要求チャンネル | | |
|-------|-------------------|-------------------|------------------------|-------------|------------|------------|
| | | | | | シングル 転送 | バースト 転送 |
| ch0 | DMA 要求 レジスタ A1 一致 | T32A00DMAREQCPA1 | [TSEL0CR0] <INSEL1> | 19 | - | ○ |
| | DMA 要求 レジスタ C1 一致 | T32A00DMAREQCMPC1 | | | | |
| | DMA 要求 レジスタ B1 一致 | T32A00DMAREQCMPB1 | [TSEL0CR1] <INSEL4> | 22 | - | ○ |
| | DMA 要求 キャプチャ A0 | T32A00DMAREQCAPA0 | | | | |
| | DMA 要求 キャプチャ A1 | T32A00DMAREQCAPA1 | [TSEL0CR1] <INSEL5> | 23 | - | ○ |
| | DMA 要求 キャプチャ C0 | T32A00DMAREQCAPC0 | | | | |
| | DMA 要求 キャプチャ C1 | T32A00DMAREQCAPC1 | | | | |
| | DMA 要求 キャプチャ B0 | T32A00DMAREQCAPB0 | [TSEL0CR2] <INSEL8> | 26 | - | ○ |
| | DMA 要求 キャプチャ B1 | T32A00DMAREQCAPB1 | | | | |
| ch1 | DMA 要求 レジスタ A1 一致 | T32A01DMAREQCPA1 | [TSEL0CR0] <INSEL1> | 19 | - | ○ |
| | DMA 要求 レジスタ C1 一致 | T32A01DMAREQCMPC1 | | | | |
| | DMA 要求 レジスタ B1 一致 | T32A01DMAREQCMPB1 | [TSEL0CR1] <INSEL4> | 22 | - | ○ |
| | DMA 要求 キャプチャ A0 | T32A01DMAREQCAPA0 | | | | |
| | DMA 要求 キャプチャ A1 | T32A01DMAREQCAPA1 | [TSEL0CR1] <INSEL5> | 23 | - | ○ |
| | DMA 要求 キャプチャ C0 | T32A01DMAREQCAPC0 | | | | |
| | DMA 要求 キャプチャ C1 | T32A01DMAREQCAPC1 | | | | |
| | DMA 要求 キャプチャ B0 | T32A01DMAREQCAPB0 | [TSEL0CR2] <INSEL8> | 26 | - | ○ |
| | DMA 要求 キャプチャ B1 | T32A01DMAREQCAPB1 | | | | |

注) ○:対応、-:非対応

表 2.22 T32A DMA要求(2/2)

| チャンネル | 要求 | 信号名 | トリガセレクタ | DMA 要求チャンネル | | |
|-----------------|-------------------|-------------------|------------------------|-------------|------------|------------|
| | | | | | シングル 転送 | バースト 転送 |
| ch2 | DMA 要求 レジスタ A1 一致 | T32A02DMAREQCMPA1 | [TSEL0CR0] <INSEL2> | 20 | - | ○ |
| | DMA 要求 レジスタ C1 一致 | T32A02DMAREQCMPC1 | | | | |
| | DMA 要求 レジスタ B1 一致 | T32A02DMAREQCMPB1 | [TSEL0CR1] <INSEL4> | 22 | - | ○ |
| | DMA 要求 キャプチャ A0 | T32A02DMAREQCAPA0 | | | | |
| | DMA 要求 キャプチャ A1 | T32A02DMAREQCAPA1 | [TSEL0CR1] <INSEL6> | 24 | - | ○ |
| | DMA 要求 キャプチャ C0 | T32A02DMAREQCAPC0 | | | | |
| | DMA 要求 キャプチャ C1 | T32A02DMAREQCAPC1 | | | | |
| | DMA 要求 キャプチャ B0 | T32A02DMAREQCAPB0 | [TSEL0CR2] <INSEL8> | 26 | - | ○ |
| DMA 要求 キャプチャ B1 | T32A02DMAREQCAPB1 | | | | | |
| ch3 | DMA 要求 レジスタ A1 一致 | T32A03DMAREQCMPA1 | [TSEL0CR0] <INSEL2> | 20 | - | ○ |
| | DMA 要求 レジスタ C1 一致 | T32A03DMAREQCMPC1 | | | | |
| | DMA 要求 レジスタ B1 一致 | T32A03DMAREQCMPB1 | [TSEL0CR1] <INSEL4> | 22 | - | ○ |
| | DMA 要求 キャプチャ A0 | T32A03DMAREQCAPA0 | | | | |
| | DMA 要求 キャプチャ A1 | T32A03DMAREQCAPA1 | [TSEL0CR1] <INSEL6> | 24 | - | ○ |
| | DMA 要求 キャプチャ C0 | T32A03DMAREQCAPC0 | | | | |
| | DMA 要求 キャプチャ C1 | T32A03DMAREQCAPC1 | | | | |
| | DMA 要求 キャプチャ B0 | T32A03DMAREQCAPB0 | [TSEL0CR2] <INSEL9> | 27 | - | ○ |
| DMA 要求 キャプチャ B1 | T32A03DMAREQCAPB1 | | | | | |
| ch4 | DMA 要求 レジスタ A1 一致 | T32A04DMAREQCMPA1 | [TSEL0CR0] <INSEL3> | 21 | - | ○ |
| | DMA 要求 レジスタ C1 一致 | T32A04DMAREQCMPC1 | | | | |
| | DMA 要求 レジスタ B1 一致 | T32A04DMAREQCMPB1 | [TSEL0CR1] <INSEL4> | 22 | - | ○ |
| | DMA 要求 キャプチャ A0 | T32A04DMAREQCAPA0 | | | | |
| | DMA 要求 キャプチャ A1 | T32A04DMAREQCAPA1 | [TSEL0CR2] <INSEL7> | 25 | - | ○ |
| | DMA 要求 キャプチャ C0 | T32A04DMAREQCAPC0 | | | | |
| | DMA 要求 キャプチャ C1 | T32A04DMAREQCAPC1 | | | | |
| | DMA 要求 キャプチャ B0 | T32A04DMAREQCAPB0 | [TSEL0CR2] <INSEL9> | 27 | - | ○ |
| DMA 要求 キャプチャ B1 | T32A04DMAREQCAPB1 | | | | | |
| ch5 | DMA 要求 レジスタ A1 一致 | T32A05DMAREQCMPA1 | [TSEL0CR0] <INSEL3> | 21 | - | ○ |
| | DMA 要求 レジスタ C1 一致 | T32A05DMAREQCMPC1 | | | | |
| | DMA 要求 レジスタ B1 一致 | T32A05DMAREQCMPB1 | [TSEL0CR1] <INSEL4> | 22 | - | ○ |
| | DMA 要求 キャプチャ A0 | T32A05DMAREQCAPA0 | | | | |
| | DMA 要求 キャプチャ A1 | T32A05DMAREQCAPA1 | [TSEL0CR2] <INSEL7> | 25 | - | ○ |
| | DMA 要求 キャプチャ C0 | T32A05DMAREQCAPC0 | | | | |
| | DMA 要求 キャプチャ C1 | T32A05DMAREQCAPC1 | | | | |
| | DMA 要求 キャプチャ B0 | T32A05DMAREQCAPB0 | [TSEL0CR2] <INSEL9> | 27 | - | ○ |
| DMA 要求 キャプチャ B1 | T32A05DMAREQCAPB1 | | | | | |

注) ○:対応、-:非対応

2.4.7. 非対応割り込み

この製品は、毎カウント割り込み(INTT32AxEVRYC)は非対応です。

2.5. 非同期シリアル通信回路(UART)

2.5.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

M4K グループ(1)製品に搭載の UART の最大通信速度は 5Mbps です。

表 2.23 UART 搭載チャンネル

| 製品 | UART 搭載チャンネル (○:搭載、-:非搭載) | | | |
|------|---------------------------|-----|-----|-----|
| | ch0 | ch1 | ch2 | ch3 |
| M4K4 | ○ | ○ | ○ | ○ |
| M4K2 | ○ | ○ | ○ | - |
| M4K1 | ○ | - | ○ | - |
| M4K0 | ○ | - | ○ | - |

2.5.2. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。

複数に割り当てられている同一機能端子は排他的に使用してください。

製品により機能端子がないチャンネルもあります。

表 2.24 UART 端子信号とポート

| チャンネル | 機能端子 (信号名) | | ポート | ポートの製品対応(○:搭載、-:非搭載) | | | |
|-------|---------------|----|-----|----------------------|------|------|------|
| | | | | M4K4 | M4K2 | M4K1 | M4K0 |
| ch0 | UT0TXDA | 出力 | PK1 | ○ | ○ | ○ | ○ |
| | | | PK3 | ○ | ○ | ○ | ○ |
| | | | PK0 | ○ | ○ | ○ | ○ |
| | | | PK2 | ○ | ○ | ○ | ○ |
| | UT0RXD | 入力 | PK0 | ○ | ○ | ○ | ○ |
| | | | PK2 | ○ | ○ | ○ | ○ |
| | | | PK1 | ○ | ○ | ○ | ○ |
| | | | PK3 | ○ | ○ | ○ | ○ |
| ch1 | UT1TXDA | 出力 | PA0 | ○ | ○ | - | - |
| | | | PA1 | ○ | ○ | - | - |
| | UT1RXD | 入力 | PA1 | ○ | ○ | - | - |
| | | | PA0 | ○ | ○ | - | - |
| ch2 | UT2TXDA | 出力 | PG0 | ○ | ○ | ○ | ○ |
| | UT2RXD | 入力 | PG1 | ○ | ○ | ○ | ○ |
| ch3 | UT3TXDA | 出力 | PC0 | ○ | - | - | - |
| | | | PC1 | ○ | - | - | - |
| | UT3RXD | 入力 | PC1 | ○ | - | - | - |
| | | | PC0 | ○ | - | - | - |

2.5.3. ハーフクロックモード対応

非同期シリアル通信回路のハーフクロックモードは、一端子モードのみ対応しています

2.5.4. プリスケーラ用クロック

非同期シリアル通信回路は、プリスケーラ用クロックに以下の表に示すクロックが使用されます。

表 2.25 UART プリスケーラ用クロック

| クロック |
|------|
| ΦT0 |

2.5.5. DMA 要求

非同期シリアル通信回路は、以下の表に示す DMA 要求があります。
表内の "-" は該当する機能がありません。

表 2.26 UART DMA要求

| チャンネル | 要求 | 信号名 | トリガ セレクタ | DMA 要求チャンネル | | |
|-------|-------------|----------------|-------------|-------------|--------|---|
| | | | | シングル転送 | バースト転送 | |
| ch0 | UART ch0 受信 | UART0RX_DMAREQ | - | 8 | ○ | ○ |
| | UART ch0 送信 | UART0TX_DMAREQ | | 9 | ○ | ○ |
| ch1 | UART ch1 受信 | UART1RX_DMAREQ | - | 10 | ○ | ○ |
| | UART ch1 送信 | UART1TX_DMAREQ | | 11 | ○ | ○ |
| ch2 | UART ch2 受信 | UART2RX_DMAREQ | - | 12 | ○ | ○ |
| | UART ch2 送信 | UART2TX_DMAREQ | | 13 | ○ | ○ |
| ch3 | UART ch3 受信 | UART3RX_DMAREQ | - | 14 | ○ | ○ |
| | UART ch3 送信 | UART3TX_DMAREQ | - | 15 | ○ | ○ |

注) ○ : 対応、- : 非対応

2.5.6. 内部信号接続仕様

2.5.6.1. トリガ転送信号接続仕様

非同期シリアル通信回路には、トリガ信号による送信機能があります。
トリガ信号は以下の表に示すトリガソースをトリガセクタで選択し使用します。

表 2.27 UART トリガ転送信号接続仕様

| チャンネル | 信号名 | トリガセクタ | トリガソース | |
|-------|------------|-------------------------|---------------------------|-------------------|
| | | | 入力トリガ信号 | 信号名 |
| ch0 | UART0TRGIN | [TSEL0CR4] <INSEL19> | PF0 端子(TRGIN0) | TRGIN0 |
| | | | PB1 端子(TRGIN1) | TRGIN1 |
| | | | PF2 端子(TRGIN2) | TRGIN2 |
| | | | T32A ch5 タイマレジスタ A1 一致トリガ | T32A05TRGOUTCMPA1 |
| | | | T32A ch5 タイマレジスタ B1 一致トリガ | T32A05TRGOUTCMPB1 |
| | | | T32A ch5 タイマレジスタ C1 一致トリガ | T32A05TRGOUTCMPC1 |
| ch1 | UART1TRGIN | [TSEL0CR5] <INSEL20> | PF0 端子(TRGIN0) | TRGIN0 |
| | | | PB1 端子(TRGIN1) | TRGIN1 |
| | | | PF2 端子(TRGIN2) | TRGIN2 |
| | | | T32A ch5 タイマレジスタ A1 一致トリガ | T32A05TRGOUTCMPA1 |
| | | | T32A ch5 タイマレジスタ B1 一致トリガ | T32A05TRGOUTCMPB1 |
| | | | T32A ch5 タイマレジスタ C1 一致トリガ | T32A05TRGOUTCMPC1 |
| ch2 | UART2TRGIN | [TSEL0CR5] <INSEL21> | PF0 端子(TRGIN0) | TRGIN0 |
| | | | PB1 端子(TRGIN1) | TRGIN1 |
| | | | PF2 端子(TRGIN2) | TRGIN2 |
| | | | T32A ch5 タイマレジスタ A1 一致トリガ | T32A05TRGOUTCMPA1 |
| | | | T32A ch5 タイマレジスタ B1 一致トリガ | T32A05TRGOUTCMPB1 |
| | | | T32A ch5 タイマレジスタ C1 一致トリガ | T32A05TRGOUTCMPC1 |
| ch3 | UART3TRGIN | [TSEL0CR5] <INSEL22> | PF0 端子(TRGIN0) | TRGIN0 |
| | | | PB1 端子(TRGIN1) | TRGIN1 |
| | | | PF2 端子(TRGIN2) | TRGIN2 |
| | | | T32A ch5 タイマレジスタ A1 一致トリガ | T32A05TRGOUTCMPA1 |
| | | | T32A ch5 タイマレジスタ B1 一致トリガ | T32A05TRGOUTCMPB1 |
| | | | T32A ch5 タイマレジスタ C1 一致トリガ | T32A05TRGOUTCMPC1 |

注) [TSEL0CRn]<INSELm>はトリガセクタでトリガ入力のトリガソースを選択します。トリガセクタの詳細は、「2.2 トリガセクタ(TRGSEL)」を参照してください。

2.5.6.2. T32A 接続

非同期シリアル通信回路は、その他、下記表のように内部で周辺機能と接続されている信号があります。

表 2.28 UART 内部接続仕様:出力

| チャンネル | 機能出力 | 出力先 | | | |
|-------|--------------------|------------|-------------------------|-------------------|-----------------|
| | | 信号名 | トリガ セレクト | 出力先 | 信号名 |
| ch0 | UART ch0 送信完了トリガ出力 | UART0TXTRG | [TSEL0CR5] <INSEL23> | T32A ch0 タイマ A | T32A00TRGINAPCK |
| | UART ch0 受信完了トリガ出力 | UART0RXTRG | | | |
| ch1 | UART ch1 送信完了トリガ出力 | UART1TXTRG | [TSEL0CR6] <INSEL26> | T32A ch1 タイマ A | T32A01TRGINAPCK |
| | UART ch1 受信完了トリガ出力 | UART1RXTRG | | | |
| ch2 | UART ch2 送信完了トリガ出力 | UART2TXTRG | [TSEL0CR7] <INSEL29> | T32A ch2 タイマ A | T32A02TRGINAPCK |
| | UART ch2 受信完了トリガ出力 | UART2RXTRG | | | |
| ch3 | UART ch3 送信完了トリガ出力 | UART3TXTRG | [TSEL0CR8] <INSEL32> | T32A ch3 タイマ A | T32A03TRGINAPCK |
| | UART ch3 受信完了トリガ出力 | UART3RXTRG | | | |

2.6. シリアルペリフェラルインタフェース(TSPI)

2.6.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

M4K グループ(1)製品に搭載の TSPI の最大通信速度は 20Mbps です。

表 2.29 TSPI 搭載チャンネル

| 製品 | TSPI チャンネル (○:搭載、-:非搭載) | | | |
|------|-------------------------|-----|-----|-----|
| | ch0 | ch1 | ch2 | ch3 |
| M4K4 | ○ | ○ | ○ | ○ |
| M4K2 | ○ | - | ○ | - |
| M4K1 | ○ | - | ○ | - |
| M4K0 | - | - | ○ | - |

2.6.2. 機能端子とポート

機能端子は以下ポートに割り当てられています。

複数に割り当てられている同一機能端子は排他的に使用してください。

製品により機能端子がないチャンネルもあります。

表 2.30 TSPI 機能端子とポート

| チャンネル | 機能端子(信号名) | | ポート | ポートの製品対応 (○:搭載、-:非搭載) | | | |
|-------|-----------|-----|-----|--------------------------|------|------|------|
| | | | | M4K4 | M4K2 | M4K1 | M4K0 |
| ch0 | TSPI0SCK | 入出力 | PK4 | ○ | ○ | ○ | - |
| | TSPI0TXD | 出力 | PK3 | ○ | ○ | ○ | - |
| | TSPI0RXD | 入力 | PK2 | ○ | ○ | ○ | - |
| ch1 | TSPI1SCK | 入出力 | PA2 | ○ | - | - | - |
| | TSPI1TXD | 出力 | PA0 | ○ | - | - | - |
| | TSPI1RXD | 入力 | PA1 | ○ | - | - | - |
| ch2 | TSPI2SCK | 入出力 | PG2 | ○ | ○ | ○ | ○ |
| | TSPI2TXD | 出力 | PG0 | ○ | ○ | ○ | ○ |
| | TSPI2RXD | 入力 | PG1 | ○ | ○ | ○ | ○ |
| ch3 | TSPI3SCK | 入出力 | PC2 | ○ | - | - | - |
| | TSPI3TXD | 出力 | PC0 | ○ | - | - | - |
| | TSPI3RXD | 入力 | PC1 | ○ | - | - | - |

注) M4K グループは、TSPIxCS2 端子/TSPIxCS3 端子はありません。

2.6.3. 製品別転送モード対応一覧

シリアルペリフェラルインタフェースは、以下の表に示すように製品によって使用できる転送モードが異なります。

表 2.31 TSPI モード対応一覧

| チャネル | モード対応 | | | |
|------|---------|------|------|------|
| | M4K4 | M4K2 | M4K1 | M4K0 |
| ch0 | SIO モード | | | - |
| ch1 | SIO モード | - | - | - |
| ch2 | SIO モード | | | |
| ch3 | SIO モード | - | - | - |

2.6.4. [TSPIxCR2]<RXDLY>の設定値

TSPI 制御レジスタ 2 ([TSPIxCR2]<RXDLY>)の設定値については、以下の表の値を必ず設定してください。

表 2.32 TSPI 制御レジスタ2<RXDLY>の設定値

| レジスタ名 | 値 |
|-------------------|----------------|
| [TSPIxCR2]<RXDLY> | 1 (fsys>40MHz) |

2.6.5. プリスケーラ用クロック

シリアルペリフェラルインタフェースは、プリスケーラ用クロックに以下の表に示すクロックが使用されます。

表 2.33 TSPI プリスケーラ用クロック

| クロック |
|------|
| ΦT0 |

2.6.6. 内部信号接続仕様

2.6.6.1. トリガ送信信号接続仕様

シリアルペリフェラルインタフェースには、トリガ信号による送信機能があります。
トリガ信号は以下の表に示すトリガソースをトリガセレクトで選択し使用します。

表 2.34 TSPI トリガ転送仕様

| チャンネル | 信号名 | トリガソース | | |
|-------|------------------|-------------------------|---------------------------|-------------------|
| | | トリガセレクト | 入力トリガ信号 | 信号名 |
| ch0 | TSPI0TRG (入力) | [TSEL0CR3] <INSEL15> | PF0 端子(TRGIN0) (注 2) | TRGIN0 |
| | | | PB1 端子(TRGIN1) (注 2) | TRGIN1 |
| | | | PF2 端子(TRGIN2) (注 2) | TRGIN2 |
| | | | T32A ch5 タイマレジスタ A1 一致トリガ | T32A05TRGOUTCMPA1 |
| | | | T32A ch5 タイマレジスタ B1 一致トリガ | T32A05TRGOUTCMPB1 |
| | | | T32A ch5 タイマレジスタ C1 一致トリガ | T32A05TRGOUTCMPC1 |
| ch1 | TSPI1TRG (入力) | [TSEL0CR4] <INSEL16> | PF0 端子(TRGIN0) (注 2) | TRGIN0 |
| | | | PB1 端子(TRGIN1) (注 2) | TRGIN1 |
| | | | PF2 端子(TRGIN2) (注 2) | TRGIN2 |
| | | | T32A ch5 タイマレジスタ A1 一致トリガ | T32A05TRGOUTCMPA1 |
| | | | T32A ch5 タイマレジスタ B1 一致トリガ | T32A05TRGOUTCMPB1 |
| | | | T32A ch5 タイマレジスタ C1 一致トリガ | T32A05TRGOUTCMPC1 |
| ch2 | TSPI2TRG (入力) | [TSEL0CR4] <INSEL17> | PF0 端子(TRGIN0) (注 2) | TRGIN0 |
| | | | PB1 端子(TRGIN1) (注 2) | TRGIN1 |
| | | | PF2 端子(TRGIN2) (注 2) | TRGIN2 |
| | | | T32A ch5 タイマレジスタ A1 一致トリガ | T32A05TRGOUTCMPA1 |
| | | | T32A ch5 タイマレジスタ B1 一致トリガ | T32A05TRGOUTCMPB1 |
| | | | T32A ch5 タイマレジスタ C1 一致トリガ | T32A05TRGOUTCMPC1 |
| ch3 | TSPI3TRG (入力) | [TSEL0CR4] <INSEL18> | PF0 端子(TRGIN0) (注 2) | TRGIN0 |
| | | | PB1 端子(TRGIN1) (注 2) | TRGIN1 |
| | | | PF2 端子(TRGIN2) (注 2) | TRGIN2 |
| | | | T32A ch5 タイマレジスタ A1 一致トリガ | T32A05TRGOUTCMPA1 |
| | | | T32A ch5 タイマレジスタ B1 一致トリガ | T32A05TRGOUTCMPB1 |
| | | | T32A ch5 タイマレジスタ C1 一致トリガ | T32A05TRGOUTCMPC1 |

注 1) [TSEL0CR3]<INSELm>, [TSEL0CR4]<INSELm>はトリガセレクトでトリガソースを選択します。トリガセレクトの詳細は、「2.2 トリガセレクト(TRGSEL)」を参照してください。

注 2) M4K2,M4K1 は PF2、M4K0 は PB1,PF0,PF2 の端子がありません。

2.6.6.2. T32A 接続

シリアルペリフェラルインタフェースは、その他、下記表のように内部で周辺機能と接続されている信号があります。

表 2.35 TSPI 内部接続仕様(出力)

| チャンネル | 機能出力 | | トリガセクタ | 出力先 | |
|-------|-----------------|------------|-------------------------|----------------|-----------------|
| | | 信号名 | | | 信号名 |
| ch0 | TSPI ch0 送信完了信号 | TSPI0TXEND | [TSELOCR5] <INSEL23> | T32A ch0 タイマ A | T32A00TRGINAPCK |
| | TSPI ch0 受信完了信号 | TSPI0RXEND | | | |
| ch1 | TSPI ch1 送信完了信号 | TSPI1TXEND | [TSELOCR6] <INSEL26> | T32A ch1 タイマ A | T32A01TRGINAPCK |
| | TSPI ch1 受信完了信号 | TSPI1RXEND | | | |
| ch2 | TSPI ch2 送信完了信号 | TSPI2TXEND | [TSELOCR7] <INSEL29> | T32A ch2 タイマ A | T32A02TRGINAPCK |
| | TSPI ch2 受信完了信号 | TSPI2RXEND | | | |
| ch3 | TSPI ch3 送信完了信号 | TSPI3TXEND | [TSELOCR8] <INSEL32> | T32A ch3 タイマ A | T32A03TRGINAPCK |
| | TSPI ch3 受信完了信号 | TSPI3RXEND | | | |

2.6.7. DMA 要求

シリアルペリフェラルインタフェースは、以下の表に示す DMA 要求があります。
表内の"-"は該当する機能がありません。

表 2.36 TSPI DMA要求

| チャンネル | 要求 | 信号名 | トリガセクタ | DMA 要求チャンネル | | |
|-------|-------------|-------------|--------|-------------|------------|---|
| | | | | シングル 転送 | バースト 転送 | |
| ch0 | TSPI ch0 受信 | TSPI0RX_DMA | - | 0 | ○ | ○ |
| | TSPI ch0 送信 | TSPI0TX_DMA | | 1 | ○ | ○ |
| ch1 | TSPI ch1 受信 | TSPI1RX_DMA | - | 2 | ○ | ○ |
| | TSPI ch1 送信 | TSPI1TX_DMA | | 3 | ○ | ○ |
| ch2 | TSPI ch2 受信 | TSPI2RX_DMA | - | 4 | ○ | ○ |
| | TSPI ch2 送信 | TSPI2TX_DMA | | 5 | ○ | ○ |
| ch3 | TSPI ch3 受信 | TSPI3RX_DMA | - | 6 | ○ | ○ |
| | TSPI ch3 送信 | TSPI3TX_DMA | | 7 | ○ | ○ |

注) ○:対応、 -:非対応

2.7. I²C インタフェース(I²C)

2.7.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

M4K1 グループ(1)製品に搭載の I²C インタフェースは、標準モード、ファストモードに対応します。

表 2.37 I²Cインタフェース 搭載チャンネル

| 製品 | I ² C チャンネル (○:あり、-なし) |
|------|--------------------------------------|
| | ch0 |
| M4K4 | ○ |
| M4K2 | ○ |
| M4K1 | ○ |
| M4K0 | - |

2.7.2. 機能端子とポート

機能端子は以下ポートに割り当てられています。

表 2.38 I²Cインタフェース 機能端子とポート

| チャンネル | 機能端子(信号名) | | ポート | ポートの製品対応 (○:あり、-なし) | | | |
|-------|-----------|-----|-----|---------------------|------|------|------|
| | | | | M4K4 | M4K2 | M4K1 | M4K0 |
| ch0 | I2C0SCL | 入出力 | PB1 | ○ | ○ | ○ | - |
| | I2C0SDA | 入出力 | PB0 | ○ | ○ | ○ | - |

2.7.3. プリスケーラ用クロック

I²C インタフェースは、プリスケーラ用クロックに以下の表に示すクロックが使用されます。

表 2.39 I²Cインタフェース プリスケーラ用クロック

| クロック |
|------|
| fsys |

2.7.4. DMA 要求

I²C インタフェースは、以下の表に示す DMA 要求があります。
表内の"-"は該当する機能がありません。

表 2.40 I²Cインタフェース DMA要求

| チャンネル | 要求 | 信号名 | トリガセクタ | DMA 要求チャンネル | | |
|-------|-------------------------|--------------|--------|-------------|------------|---|
| | | | | シングル 転送 | バースト 転送 | |
| ch0 | I ² C ch0 受信 | I2C0RXDMAREQ | - | 16 | - | ○ |
| | I ² C ch0 送信 | I2C0TXDMAREQ | | 17 | - | ○ |

注) ○:対応、-:非対応

2.8. 12 ビットアナログデジタルコンバータ (ADC)

2.8.1. 搭載ユニット

製品毎の搭載ユニットを下記表に示します。

表 2.41 ADC 搭載ユニット

| 製品 | ADC 搭載ユニット (○:あり、-なし) |
|------|--------------------------|
| | ユニット A |
| M4K4 | ○ |
| M4K2 | ○ |
| M4K1 | ○ |
| M4K0 | ○ |

2.8.2. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。
製品により機能端子がないチャンネルもあります。

表 2.42 ADC 機能端子とポート

| 入力チャンネル | 機能端子 (信号名) | ポート | ポートの製品対応 (○:あり、-なし) | | | |
|---------|---------------|-----|---------------------|------|------|------|
| | | | M4K4 | M4K2 | M4K1 | M4K0 |
| ch0 | AINA00 | PD0 | ○ | ○ | ○ | ○ |
| ch1 | AINA01 | PD1 | ○ | ○ | ○ | ○ |
| ch2 | - | - | - | - | - | - |
| ch3 | AINA03 | PD2 | ○ | ○ | ○ | ○ |
| ch4 | AINA04 | PD3 | ○ | ○ | ○ | - |
| ch5 | - | - | - | - | - | - |
| ch6 | AINA06 | PD4 | ○ | ○ | ○ | ○ |
| ch7 | AINA07 | PD5 | ○ | ○ | ○ | - |
| ch8 | - | - | - | - | - | - |
| ch9 | AINA09 | PD6 | ○ | ○ | ○ | ○ |
| ch10 | AINA10 | PE0 | ○ | ○ | ○ | - |
| ch11 | AINA11 | PE1 | ○ | ○ | ○ | - |
| ch12 | AINA12 | PE2 | ○ | ○ | - | - |
| ch13 | AINA13 | PE3 | ○ | - | - | - |
| ch14 | AINA14 | PE4 | ○ | - | - | - |
| ch15 | AINA15(VREFH) | PE5 | ○ | ○ | ○ | ○ |
| ch16 | AVDD5(注 2) | - | ○ | ○ | ○ | ○ |
| ch17 | VREFL(注 3) | - | ○ | ○ | ○ | ○ |
| ch18 | リファレンス電源 | - | ○ | ○ | ○ | ○ |

注 1) ch16~ch18 は自己診断機能サポート用内部接続されています。

注 2) AINA15 に VREFH を選択し、VREFH<AVDD5 の場合、ch16 は使用できません。

注 3) VREFL は AVSS に接続されています。

2.8.3. ADC 用変換クロック

12 ビットアナログデジタルコンバータは、AD コンバータ用変換クロックに以下の表に示すクロックが使用されます。

表 2.43 ADC 用変換クロック

| クロック |
|-------|
| ADCLK |

2.8.4. 起動トリガ接続仕様

12 ビットアナログデジタルコンバータには、トリガ信号による AD 変換機能があります。

下記表のトリガセクタ欄にレジスタ名のある入力トリガ信号は、トリガセクタで使用する入力トリガを選択してください。表内の "-" は該当する機能がありません。

表 2.44 ADC 起動トリガ接続仕様

| 接続先 (信号名) | 起動トリガ | | |
|--------------|-------------------------|---------------------------|-------------------|
| | トリガセクタ | 入力トリガ信号 | 信号名 |
| PMD0TRG0 | - | A-PMD0 トリガ 0 | PMD0TRG0 |
| PMD0TRG1 | - | A-PMD0 トリガ 1 | PMD0TRG1 |
| PMD0TRG2 | - | A-PMD0 トリガ 2 | PMD0TRG2 |
| PMD0TRG3 | - | A-PMD0 トリガ 3 | PMD0TRG3 |
| PMD0TRG4 | - | A-PMD0 トリガ 4 | PMD0TRG4 |
| PMD0TRG5 | - | A-PMD0 トリガ 5 | PMD0TRG5 |
| PMD1TRG0 | | A-PMD1 トリガ 0 | PMD1TRG0 |
| PMD1TRG1 | - | A-PMD1 トリガ 1 | PMD1TRG1 |
| PMD1TRG2 | - | A-PMD1 トリガ 2 | PMD1TRG2 |
| PMD1TRG3 | - | A-PMD1 トリガ 3 | PMD1TRG3 |
| PMD1TRG4 | - | A-PMD1 トリガ 4 | PMD1TRG4 |
| PMD1TRG5 | - | A-PMD1 トリガ 5 | PMD1TRG5 |
| ADATRGIN | [TSEL0CR3] <INSEL14> | PF0 端子(TRGIN0) | TRGIN0 |
| | | PB1 端子(TRGIN1) | TRGIN1 |
| | | PF2 端子(TRGIN2) | TRGIN2 |
| | | T32A ch5 タイマレジスタ A1 一致トリガ | T32A05TRGOUTCMPA1 |
| | | T32A ch5 タイマレジスタ B1 一致トリガ | T32A05TRGOUTCMPB1 |
| | | T32A ch5 タイマレジスタ C1 一致トリガ | T32A05TRGOUTCMPC1 |

注) [TSEL0CR3]<INSEL14>はトリガセクタで起動トリガのトリガソースを選択します。詳細な接続先については、「2.2 トリガセクタ(TRGSEL)」を参照してください。

2.8.5. DMA 要求

12 ビットアナログデジタルコンバータは、以下の表に示す DMA 要求があります。

表 2.45 ADC DMA要求

| ユニット | 要求 | 信号名 | トリガセクタ | DMA 要求チャンネル | | |
|------|--------------|---------------|------------------------|-------------|------------|---|
| | | | | シングル 転送 | バースト 転送 | |
| A | 汎用トリガ DMA 要求 | ADATRG_DMAREQ | [TSELOCR0] <INSEL0> | 18 | - | ○ |
| | 単独変換 DMA 要求 | ADASGL_DMAREQ | | | - | ○ |
| | 連続変換 DMA 要求 | ADACNT_DMAREQ | | | - | ○ |

注) ○:対応、-:非対応

2.8.6. その他接続

12 ビットアナログデジタルコンバータは、その他、下記表のように内部で周辺機能と接続されている信号があります。表内の "-" は該当する機能がありません。

表 2.46 ADC 内部接続仕様:出力

| ユニット | 機能出力 | 信号名 | トリガセクタ | 出力先 | |
|----------|------------------|------------|-----------------------|-------------------|------------|
| | | | | | 信号名 |
| A | 汎用トリガ割り込み | INTADATRG | [TSELOCR9] INSEL38 | T32A ch5 タイマ A | - |
| | 単独変換割り込み | INTADASGL | | | |
| | 連続変換割り込み | INTADACNT | | | |
| | 監視機能 0 割り込み | INTADACP0 | | | |
| | 監視機能 1 割り込み | INTADACP1 | | | |
| | PMD 保護用監視機能 0 出力 | ADACP0L_N | - | A-PMD ch0 | ADACMP0L_N |
| | | | - | A-PMD ch1 | ADACMP0L_N |
| | PMD 保護用監視機能 1 出力 | ADACP1L_N | - | A-PMD ch0 | ADACMP1L_N |
| | | | - | A-PMD ch1 | ADACMP1L_N |
| | PMD 変換終了割り込み A | INTADAPDA | - | A-PMD/ A-VE+ | INTADAPDA |
| | PMD 変換終了割り込み B | INTADAPDB | - | | INTADAPDB |
| | PMD 変換終了割り込み C | INTADAPDC | - | | INTADAPDC |
| | PMD 変換終了割り込み D | INTADAPDD | - | | INTADAPDD |
| | 優先度割り込み | INTADAPFLG | - | A-PMD | INTADAPFLG |
| | AD 変換中フラグ | ADABUSY | - | | ADABUSY |
| | 変換結果格納レジスタ | VADAREG0 | | - | A-VE+ |
| VADAREG1 | | | VADAREG1 | | |
| VADAREG2 | | | VADAREG2 | | |
| VADAREG3 | | | VADAREG3 | | |

2.9. アドバンストプログラマブルモータ制御回路(A-PMD)

2.9.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.47 A-PMD 搭載チャンネル

| 製品 | A-PMD 搭載チャンネル (○:あり、-:なし) | |
|------|------------------------------|------|
| | ch0 | ch1 |
| M4K4 | ○ | ○ |
| M4K2 | ○ | ○ |
| M4K1 | ○ | ○(注) |
| M4K0 | ○ | ○(注) |

注) チャンネル 1 は 3 相モータ駆動には使えませんが一部の端子は割り当てられています。

2.9.2. 機能端子とポート

機能端子は以下ポートに割り当てられています。

表 2.48 A-PMD 機能端子

| チャンネル | 機能端子 | | 信号名 | ポート | ポートの製品対応 (○:あり、-:なし) | | | |
|--------|--------|---------|---------|-----|----------------------|------|------|------|
| | | | | | M4K4 | M4K2 | M4K1 | M4K0 |
| ch0 | XO0 | 出力 | XO0 | PJ1 | ○ | ○ | ○ | ○ |
| | YO0 | 出力 | YO0 | PJ3 | ○ | ○ | ○ | ○ |
| | ZO0 | 出力 | ZO0 | PJ5 | ○ | ○ | ○ | ○ |
| | UO0 | 出力 | UO0 | PJ0 | ○ | ○ | ○ | ○ |
| | VO0 | 出力 | VO0 | PJ2 | ○ | ○ | ○ | ○ |
| | WO0 | 出力 | WO0 | PJ4 | ○ | ○ | ○ | ○ |
| | EMG0 | 入力 | EMG0 | PD6 | ○ | ○ | ○ | ○ |
| | | | | PH2 | ○ | ○ | ○ | - |
| | | | | PJ6 | ○ | ○ | ○ | ○ |
| | OVV0 | 入力 | OVV0 | PJ7 | ○ | - | - | - |
| デバッグ出力 | 出力 | PMD0DBG | PB0 | ○ | ○ | ○ | - | |
| | | | PG0 | ○ | ○ | ○ | ○ | |
| | | | PJ0 | ○ | ○ | ○ | ○ | |
| ch1 | XO1 | 出力 | XO1 | PG3 | ○ | ○ | - | - |
| | YO1 | 出力 | YO1 | PG4 | ○ | ○ | - | - |
| | ZO1 | 出力 | ZO1 | PG5 | ○ | ○ | - | - |
| | UO1 | 出力 | UO1 | PG0 | ○ | ○ | ○ | ○ |
| | VO1 | 出力 | VO1 | PG1 | ○ | ○ | ○ | ○ |
| | WO1 | 出力 | WO1 | PG2 | ○ | ○ | ○ | ○ |
| | EMG1 | 入力 | EMG1 | PF0 | ○ | ○ | ○ | - |
| | OVV1 | 入力 | OVV1 | - | - | - | - | - |
| | デバッグ出力 | 出力 | PMD1DBG | PB1 | ○ | ○ | ○ | - |
| | | | | PG1 | ○ | ○ | ○ | ○ |
| PJ1 | | | | ○ | ○ | ○ | ○ | |

2.9.3. DMA 要求

A-PMD は、以下の表に示す DMA 要求があります。

表 2.49 A-PMD DMA要求

| チャンネル | 要求 | 信号名 | トリガセクタ | DMA 要求チャンネル | | |
|-------|--------------------|---------|------------------------|-------------|------------|---|
| | | | | シングル 転送 | バースト 転送 | |
| ch0 | A-PMD ch0 PWM 割り込み | INTPWM0 | [TSEL0CR0] <INSEL1> | 19 | - | ○ |
| ch1 | A-PMD ch1 PWM 割り込み | INTPWM1 | [TSEL0CR0] <INSEL2> | 20 | - | ○ |

注) ○:対応、-:非対応

2.9.4. 内部信号接続仕様

2.9.4.1. その他接続

A-PMD は、下記表のように内部で周辺機能と接続されている信号があります。

表 2.50 A-PMD 内部接続仕様:入力

| チャンネル | 機能入力 | 信号名 | | |
|---------|-----------------------|------------|------------|-------------------|
| | | 機能入力 | 信号名 | |
| ch0 | ADC 変換終了割り込み A | INTADAPDA | INTADAPDA | |
| | ADC 変換終了割り込み B | INTADAPDB | INTADAPDB | |
| | ADC 変換終了割り込み C | INTADAPDC | INTADAPDC | |
| | ADC 変換終了割り込み D | INTADAPDD | INTADAPDD | |
| | ADC 変換優先度割り込み | INTADAPFLG | INTADAPFLG | |
| | ADC 変換動作中状態信号 | ADABUSY | ADABUSY | |
| | ADC 監視機能 0 信号(OVV 検知) | ADACMP0L_N | ADACMP0L_N | |
| | ADC 監視機能 1 信号(OVV 検知) | ADACMP1L_N | ADACMP1L_N | |
| | 転流トリガ(A-ENC 位置検出同期) | INTENC00 | A-ENC | INTENC00 |
| | 転流トリガ(汎用タイマ同期) | PMD0TMR | T32A ch0 | T32A00TRGOUTCMPA0 |
| | 転流トリガ(A-ENC MCMP 同期) | ENC0CTRGO | A-ENC | ENC0CTRGO |
| | VE U 相 PWM デューティ | VE0CMPU | A-VE+ | VE0CMPU |
| | VE V 相 PWM デューティ | VE0CMPV | | VE0CMPV |
| | VE W 相 PWM デューティ | VE0CMPW | | VE0CMPW |
| | VE トリガコンペア 0 | VE0TRGCMP0 | | VE0TRGCMP0 |
| | VE トリガコンペア 1 | VE0TRGCMP1 | | VE0TRGCMP1 |
| | VE 同期トリガ出力選択 | VE0TRGSEL | | VE0TRGSEL |
| | VE 通電制御/出力制御 | VE0OUTCR | | VE0OUTCR |
| | VE EMG 復帰 | VE0EMGRS | | VE0EMGRS |
| | VE タスク遷移信号 | VE0TASKP | | VE0DBGO |
| VE 割り込み | INTVCN0 | INTVCN0 | | |
| ch1 | ADC 変換終了割り込み A | INTADAPDA | INTADAPDA | |
| | ADC 変換終了割り込み B | INTADAPDB | INTADAPDB | |
| | ADC 変換終了割り込み C | INTADAPDC | INTADAPDC | |
| | ADC 変換終了割り込み D | INTADAPDD | INTADAPDD | |
| | ADC 優先割り込み | INTADAPFLG | INTADAPFLG | |
| | ADC 変換動作中状態信号 | ADABUSY | ADABUSY | |
| | ADC 監視機能 0 信号(OVV 検知) | ADACMP0L_N | ADACMP0L_N | |
| | ADC 監視機能 1 信号(OVV 検知) | ADACMP1L_N | ADACMP1L_N | |
| | 転流トリガ(汎用タイマ同期) | PMD1TMR | T32A ch2 | T32A02TRGOUTCMPA0 |
| | VE タスク遷移信号 | VE0TASKP | A-VE+ | VE0DBGO |
| | VE 割り込み | INTVCN1 | | INTVCN0 |

表 2.51 A-PMD 内部接続仕様:出力

| チャンネル | 機能出力 | 出力先 | |
|-------|-----------------|-----------|-------|
| | | 信号名 | 信号名 |
| ch0 | ADC 同期トリガ出力 0 | PMD0TRG0 | ADC |
| | ADC 同期トリガ出力 1 | PMD0TRG1 | ADC |
| | ADC 同期トリガ出力 2 | PMD0TRG2 | ADC |
| | ADC 同期トリガ出力 3 | PMD0TRG3 | ADC |
| | ADC 同期トリガ出力 4 | PMD0TRG4 | ADC |
| | ADC 同期トリガ出力 5 | PMD0TRG5 | ADC |
| | エンコーダ入力用 PWM 信号 | PMD0PWMON | A-ENC |
| | PWM 割り込み | INTPWM0 | A-VE+ |
| ch1 | ADC 同期トリガ出力 0 | PMD1TRG0 | ADC |
| | ADC 同期トリガ出力 1 | PMD1TRG1 | ADC |
| | ADC 同期トリガ出力 2 | PMD1TRG2 | ADC |
| | ADC 同期トリガ出力 3 | PMD1TRG3 | ADC |
| | ADC 同期トリガ出力 4 | PMD1TRG4 | ADC |
| | ADC 同期トリガ出力 5 | PMD1TRG5 | ADC |

2.9.4.2. チャンネル間同期制御接続仕様

PMD は、以下の表に示すようにチャンネル間で同期接続されています。

表 2.52 PMD チャンネル間同期制御接続仕様

| マスタ | | | スレーブ | | |
|-------|------------|--------------|-------|------------|--------------|
| チャンネル | 機能(出力) | 信号名 | チャンネル | 機能(入力) | 信号名 |
| ch0 | PWM 許可同期出力 | PMD0SYNCDENO | ch1 | PWM 許可同期入力 | PMD1SYNCDENI |
| | EMG 保護同期出力 | PMD0SYNCEMGO | | EMG 保護同期入力 | PMD1SYNCEMGI |
| | OVV 保護同期出力 | PMD0SYNCOVVO | | OVV 保護同期入力 | PMD1SYNCOVVI |

2.10. アドバンスドベクトルエンジンプラス(A-VE+)

2.10.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.53 A-VE+ 搭載チャンネル

| 製品 | A-VE+搭載チャンネル (○:あり、-なし) |
|------|----------------------------|
| | Ch0 |
| M4K4 | ○ |
| M4K2 | ○ |
| M4K1 | ○ |
| M4K0 | ○ |

2.10.2. その他の接続

A-VE+は、下記表のように内部で周辺機能と接続されている信号があります。

表 2.54 A-VE+ 内部接続仕様:入力

| チャンネル | 機能入力 | | 入力元 | |
|-------|----------------|-----------|-----------|-----------|
| | | 信号名 | | 信号名 |
| ch0 | ADC 変換終了割り込み A | INTADAPDA | ADC | INTADAPDA |
| | ADC 変換終了割り込み B | INTADAPDB | | INTADAPDB |
| | AD 変換結果レジスタ 0 | VADAREG0 | | VADAREG0 |
| | AD 変換結果レジスタ 1 | VADAREG1 | | VADAREG1 |
| | AD 変換結果レジスタ 2 | VADAREG2 | | VADAREG2 |
| | AD 変換結果レジスタ 3 | VADAREG3 | | VADAREG3 |
| | PWM 割り込み | INTPWM0 | A-PMD ch0 | INTPWM0 |

表 2.55 A-VE+ 内部接続仕様:出力

| チャンネル | 機能出力 | | 出力先 | |
|-------|---------------|------------|-----------|------------|
| | | 信号名 | | 信号名 |
| ch0 | U 相 PWM デューティ | VE0CMPU | A-PMD ch0 | VE0CMPU |
| | V 相 PWM デューティ | VE0CMPV | | VE0CMPV |
| | W 相 PWM デューティ | VE0CMPW | | VE0CMPW |
| | トリガコンペア 0 | VE0TRGCMP0 | | VE0TRGCMP0 |
| | トリガコンペア 1 | VE0TRGCMP1 | | VE0TRGCMP1 |
| | 同期トリガ出力選択 | VE0TRGSEL | | VE0TRGSEL |
| | 通電制御/出力制御 | VE0OUTCR | | VE0OUTCR |
| | EMG 復帰 | VE0EMGRS | | VE0EMGRS |
| | タスク遷移信号 | VE0DBG0 | | A-PMD ch0 |
| | | | A-PMD ch1 | VETASKP |

アドバンスドベクトルエンジンプラスについて、製品固有の差異はありません。

2.11. アドバンストエンコーダ入力回路(A-ENC)

2.11.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.56 A-ENC 搭載チャンネル

| 製品 | A-ENC 搭載チャンネル (○:搭載、-:非搭載) |
|------|-------------------------------|
| | ch0 |
| M4K4 | ○ |
| M4K2 | ○ |
| M4K1 | ○ |
| M4K0 | ○ |

2.11.2. 機能端子とポート

機能端子は以下ポートに割り当てられています。

表 2.57 A-ENC 機能端子

| チャンネル | 機能端子 | | (信号名) | ポート | ポートの製品対応 (○:対応、-:非対応) | | | |
|-------|-------|----|-------|-----|-----------------------|------|------|------|
| | | | | | M4K4 | M4K2 | M4K1 | M4K0 |
| ch0 | ENC0A | 入力 | ENC0A | PG0 | ○ | ○ | ○ | ○ |
| | ENC0B | 入力 | ENC0B | PG1 | ○ | ○ | ○ | ○ |
| | ENC0Z | 入力 | ENC0Z | PG2 | ○ | ○ | ○ | ○ |

2.11.3. 内部信号接続仕様

2.11.3.1. T32A/A-PMD 接続

A-ENCは、下記表のように内部で周辺機能と接続されている信号があります。表内の"-"は該当する機能がありません。

表 2.58 A-ENC 内部接続仕様:入力

| チャネル | 機能入力 | | 入力元 | |
|------|----------------|-----------|------------------|------------|
| | | 信号名 | | 信号名 |
| ch0 | 汎用タイマ出力信号 | ENC0PSGI | T32A ch0 タイマ出力 A | T32A00OUTA |
| | サンプリング用 PWM 信号 | ENC0PWMON | A-PMD ch0 PWM 信号 | PMD0PWMON |

表 2.59 A-ENC 内部接続仕様:出力

| チャネル | 機能出力 | | トリガセクタ | 出力先 | |
|------|-------------------|------------|-------------------------|---------------------------------|------------------|
| | | 信号名 | | | 信号名 |
| ch0 | 分周パルス信号 | ENC0TIMPLS | [TSEL0CR8] <INSEL35> | T32A ch4 タイマ A キャプチャトリガ入力 | T32A04TRGINAPHCK |
| | 転流トリガ | ENC0CTRGO | - | A-PMD ch0 転流トリガ (電気角同期) | ENC0CTRGO |
| | エンコーダ入力 割り込み 0 | INTENC00 | - | A-PMD ch0 転流トリガ (ENC 位置検出同期) | INTENC00 |

2.12. オペアンプ(OPAMP)

2.12.1. 搭載ユニット

製品毎の搭載ユニットを下記表に示します。

表 2.60 OPAMP 搭載ユニット

| 製品 | OPAMP 搭載ユニット (○:搭載、-:非搭載) | | |
|------|------------------------------|---|---|
| | A | B | C |
| M4K4 | ○ | ○ | ○ |
| M4K2 | ○ | ○ | ○ |
| M4K1 | ○ | ○ | ○ |
| M4K0 | ○ | - | - |

2.12.2. 接続端子

OPAMP が接続可能な AD コンバータの端子は下記のとおりです。

表 2.61 OPAMP 接続端子

| OPAMP | ADC 端子 | 製品 | | | |
|-------|----------------|------|------|------|------|
| | | M4K4 | M4K2 | M4K1 | M4K0 |
| AMPA | AINA00/ AINA01 | ○ | ○ | ○ | ○ |
| AMPB | AINA03/ AINA04 | ○ | ○ | ○ | - |
| AMPC | AINA06/ AINA07 | ○ | ○ | ○ | - |

2.12.3. 内部接続

OPAMP と AD コンバータの内部接続は下記のとおりです。

表 2.62 OPAMP 内部接続

| ADC 入力端子 | OPAMP 入力端子 | OPAMP 出力端子 | OPAMP 出力 ADC |
|----------|------------|------------|--------------|
| AINA00 | AINAM | AMPOUTA | AINA00 |
| AINA01 | AINAP | | |
| AINA03 | AINBM | AMPOUTB | AINA04 |
| AINA04 | AINBP | | |
| AINA06 | AINCM | AMPOUTC | AINA07 |
| AINA07 | AINCP | | |

2.13. クロック選択式ウォッチドッグタイマ(SIWDT)

2.13.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.63 SIWDT 搭載チャンネル

| 製品 | 搭載チャンネル (○:搭載、-:非搭載) |
|------|-------------------------|
| M4K4 | ○ |
| M4K2 | ○ |
| M4K1 | ○ |
| M4K0 | ○ |

2.13.2. カウントクロック

クロック選択式ウォッチドッグタイマは、カウントするクロックを選択可能です。以下の表に選択できるクロックを示します。

表 2.64 SIWDT カウントクロック

| クロック | 信号名 | 選択 |
|----------------|---------------------|---|
| システムクロック | fsys | [SIWDO MOD]<WDCLS> レジスタで選択します。 |
| 内蔵高速発振器 1 クロック | f _{IHOSC1} | |
| 内蔵高速発振器 2 クロック | f _{IHOSC2} | |

2.13.3. 制御出力

内蔵高速発振器 2(f_{IHOSC2})を選択した場合、内蔵高速発振器 2 の書き換えを禁止することが可能です。

表 2.65 SIWDT 制御出力

| 制御出力 | 信号名 | 備考 |
|--|--------|-------------------------------------|
| 内蔵高速発振器 2 発振制御ビット ([CGOSCCR]<IHOSC2EN> のプロテクト信号) | OSCPRO | [SIWDOOSCCR]<OSCPRO>レジスタ で設定します。 |

2.14. CRC 計算回路(CRC)

製品毎の搭載チャンネルを下記表に示します。

表 2.66 CRC 搭載チャンネル

| 製品 | CRC 搭載 (○:対応、-:非対応) |
|------|------------------------|
| M4K4 | ○ |
| M4K2 | ○ |
| M4K1 | ○ |
| M4K0 | ○ |

2.15. RAM パリティ(RAMP)

2.15.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.67 RAMP搭載チャンネル

| 製品 | RAMP 搭載 (○:対応、-:非対応) |
|------|-------------------------|
| M4K4 | ○ |
| M4K2 | ○ |
| M4K1 | ○ |
| M4K0 | ○ |

2.15.2. エラー判定ブロックエリア

下表に製品毎のエラー判定 RAM ブロックエリアを示します。

表 2.68 RAMPのRAMエリアとアドレス

| レジスタ名 | RAM エリア アドレス | RAMP の製品対応 (○:対応、-:非対応) | | | |
|-------------------|-----------------------|-------------------------|------|------|------|
| | | M4K4 | M4K2 | M4K1 | M4K0 |
| [RPARST]<RPARFG2> | 0x20002000-0x200047FF | ○ | ○ | ○ | ○ |
| [RPARST]<RPARFG1> | 0x20001000-0x20001FFF | ○ | ○ | ○ | ○ |
| [RPARST]<RPARFG0> | 0x20000000-0x20000FFF | ○ | ○ | ○ | ○ |

2.16. 周波数検知回路(OFD)

2.16.1. 搭載一覧

製品毎の搭載一覧を下記表に示します。

表 2.69 OFD 搭載一覧

| 製品 | OFD 搭載 (○:あり、×:なし) |
|------|-----------------------|
| M4K4 | ○ |
| M4K2 | ○ |
| M4K1 | ○ |
| M4K0 | ○ |

2.16.2. 基準クロック

周波数検知回路は以下の表のクロックを基準クロックとして動作します。

表 2.70 OFD 基準クロック

| 基準クロック | 信号名 | 分周値 |
|----------------|---------------------|-----|
| 内蔵高速発振器 2 クロック | f _{IHOSC2} | 256 |

2.16.3. 検知対象クロック

周波数検知回路は以下の表の検知対象クロックからモニタしたいクロックを選択します。

表 2.71 OFD 検知対象クロック

| 検知対象クロック | | 信号名 |
|----------|--|--------------------|
| 入力信号 | 外部高速発振器クロック | f _{EHOSC} |
| | CG(クロック制御部)の [CGOSCCR]<OSCSEL> と [CGPLLOSEL]<PLLOSEL>で 選択されたクロック | fc |

2.17. デバッグインタフェース

2.17.1. 製品別デバッグインタフェース一覧

表 2.72 デバッグインタフェース搭載一覧

| デバッグ機能 | デバッグ端子 (信号名) | ポート | 端子対応 (○:あり、-:なし) | | | |
|---------|-----------------|-----|------------------|------|------|------|
| | | | M4K4 | M4K2 | M4K1 | M4K0 |
| シリアルワイヤ | SWDIO | PK2 | ○ | ○ | ○ | ○ |
| | SWCLK | PK3 | ○ | ○ | ○ | ○ |
| | SWV | PK1 | ○ | ○ | ○ | ○ |
| JTAG | TMS | PK2 | ○ | ○ | ○ | ○ |
| | TCK | PK3 | ○ | ○ | ○ | ○ |
| | TDO | PK1 | ○ | ○ | ○ | ○ |
| | TDI | PK0 | ○ | ○ | ○ | ○ |
| | TRST_N | PK4 | ○ | ○ | ○ | - |
| ETMトレース | TRACECLK | PL4 | ○ | - | - | - |
| | TRACEDATA0 | PL0 | ○ | - | - | - |
| | TRACEDATA1 | PL1 | ○ | - | - | - |
| | TRACEDATA2 | PL2 | ○ | - | - | - |
| | TRACEDATA3 | PL3 | ○ | - | - | - |

2.18. ノンブ레이크デバッグインタフェース(NBDIF)

2.18.1. 搭載一覧

製品毎の搭載一覧を下記表に示します。

表 2.73 NBDIF 搭載一覧

| 製品 | NBDIF 搭載 (○: 搭載、-: 非搭載) |
|------|----------------------------|
| M4K4 | ○ |
| M4K2 | - |
| M4K1 | - |
| M4K0 | - |

2.18.2. NBDIF 端子一覧

表 2.74 NBDIF 端子一覧

| デバッグ端子 (信号名) | ポート | 端子対応 (○:あり、-:なし) | | | |
|-----------------|-----|------------------|------|------|------|
| | | M4K4 | M4K2 | M4K1 | M4K0 |
| NBDSYNC | PK4 | ○ | - | - | - |
| NBDCLK | PL4 | ○ | - | - | - |
| NBDDATA0 | PL0 | ○ | - | - | - |
| NBDDATA1 | PL1 | ○ | - | - | - |
| NBDDATA2 | PL2 | ○ | - | - | - |
| NBDDATA3 | PL3 | ○ | - | - | - |

2.19. デジタルノイズフィルタ回路(DNF)

2.19.1. 搭載ユニット

製品毎の搭載ユニットを下記表に示します。

表 2.75 DNF搭載ユニット

| 製品 | DNF 搭載ユニット (○:搭載、-:非搭載) |
|------|----------------------------|
| | A |
| M4K4 | ○ |
| M4K2 | ○ |
| M4K1 | ○ |
| M4K0 | ○ |

2.19.2. 製品別外部割り込みと DNF の対応

デジタルノイズフィルタ回路は以下の外部割り込み端子に対応しています。

表 2.76 外部割り込みとDNF対応

| 外部割り込み端子 (信号名) | ポート | 設定レジスタ名 | DNF 対応 (○:あり、-:なし) | | | |
|-------------------|-----|--------------------|--------------------|------|------|------|
| | | | M4K4 | M4K2 | M4K1 | M4K0 |
| INT00a | PK0 | [DNFAENCR]<NFEN0> | ○ | ○ | ○ | ○ |
| INT00b | PF1 | [DNFAENCR]<NFEN11> | ○ | - | - | - |
| INT01a | PK1 | [DNFAENCR]<NFEN1> | ○ | ○ | ○ | ○ |
| INT01b | PF2 | [DNFAENCR]<NFEN12> | ○ | - | - | - |
| INT02a | PK2 | [DNFAENCR]<NFEN2> | ○ | ○ | ○ | ○ |
| INT02b | PB0 | [DNFAENCR]<NFEN13> | ○ | ○ | ○ | - |
| INT03a | PK3 | [DNFAENCR]<NFEN3> | ○ | ○ | ○ | ○ |
| INT03b | PB1 | [DNFAENCR]<NFEN14> | ○ | ○ | ○ | - |
| INT04 | PG0 | [DNFAENCR]<NFEN4> | ○ | ○ | ○ | ○ |
| INT05 | PG1 | [DNFAENCR]<NFEN5> | ○ | ○ | ○ | ○ |
| INT06 | PK4 | [DNFAENCR]<NFEN6> | ○ | ○ | ○ | - |
| INT07a | PA0 | [DNFAENCR]<NFEN7> | ○ | ○ | ○ | - |
| INT07b | PC2 | [DNFAENCR]<NFEN15> | ○ | - | - | - |
| INT08 | PC0 | [DNFAENCR]<NFEN8> | ○ | ○ | ○ | - |
| INT09 | PA1 | [DNFAENCR]<NFEN9> | ○ | ○ | - | - |
| INT10 | PC1 | [DNFAENCR]<NFEN10> | ○ | - | - | - |

2.19.3. サンプリングソースクロック

デジタルノイズフィルタ回路は、サンプリングのソースクロックとして以下の表に示すクロックが使用されます。

表 2.77 DNF サンプリングソースクロック

| クロック |
|------|
| fc |

2.20. トリミング回路(TRM)

2.20.1. 搭載一覧

製品毎の搭載一覧を下記表に示します。

表 2.78 TRM 搭載一覧

| 製品 | TRM 搭載 (○:あり、×:なし) |
|------|-----------------------|
| M4K4 | ○ |
| M4K2 | ○ |
| M4K1 | ○ |
| M4K0 | ○ |

2.20.2. 対象発振器

トリミング回路の対象発振器は以下の表に示す発振器です。

表 2.79 TRM トリミング対象発振器

| 対象発振器 | 発振器名 |
|-----------|--------|
| 内蔵高速発振器 1 | IHOSC1 |

2.21. 電圧検知回路(LVD)

2.21.1. 搭載一覧

製品毎の搭載一覧を下記表に示します。

表 2.80 LVD 搭載一覧

| 製品 | LVD 搭載 (○:あり、×:なし) |
|------|-----------------------|
| M4K4 | ○ |
| M4K2 | ○ |
| M4K1 | ○ |
| M4K0 | ○ |

2.21.2. 検知対象電源

電圧検知回路は以下の表の電源をモニタします。

表 2.81 LVD 検知対象電源

| 検知対象電源 | 電源名 |
|-----------|-------|
| デジタル用電源端子 | DVDD5 |

2.22. フラッシュメモリ

2.22.1. 書き込み, 消去操作クロック

フラッシュメモリは、コードフラッシュまたはデータフラッシュへの書き込み, 消去操作に以下の表に示すクロックが使用されます。

表 2.82 書き込み, 消去操作クロック

| 書き込み, 消去操作クロック |
|---------------------|
| f _{IHOSC1} |

2.22.2. 製品別コードフラッシュブロック構成

コードフラッシュメモリは、下記の表のように製品によってメモリのブロック構成が異なります。

表 2.83 製品別コードフラッシュ

| ブロック名称 | | M4K4FYAUG M4K4FYAFG M4K2FYADUG M4K1FYAUG | M4K4FWAUG M4K4FWAFG M4K2FWADUG M4K1FWAUG | M4K4FUAUG M4K4FUAFG M4K2FUADUG M4K1FUAUG | M4K4FSAUG M4K4FSAFG M4K2FSADUG M4K1FSAUG M4K0FSADUG | ブロック サイズ (KB) |
|--------|-----|---|---|---|---|---------------------|
| | | | | | | |
| Block0 | PG0 | ○ | ○ | ○ | ○ | 4 |
| | PG1 | ○ | ○ | ○ | ○ | 4 |
| | PG2 | ○ | ○ | ○ | ○ | 4 |
| | PG3 | ○ | ○ | ○ | ○ | 4 |
| | PG4 | ○ | ○ | ○ | ○ | 4 |
| | PG5 | ○ | ○ | ○ | ○ | 4 |
| | PG6 | ○ | ○ | ○ | ○ | 4 |
| | PG7 | ○ | ○ | ○ | ○ | 4 |
| Block1 | | ○ | ○ | ○ | ○ | 32 |
| Block2 | | ○ | ○ | ○ | - | 32 |
| Block3 | | ○ | ○ | - | - | 32 |
| Block4 | | ○ | - | - | - | 32 |
| Block5 | | ○ | - | - | - | 32 |
| Block6 | | ○ | - | - | - | 32 |
| Block7 | | ○ | - | - | - | 32 |

注) ○:Blockあり、-:Blockなし

2.22.3. シングルブート使用リソース

シングルブートでは下記表の周辺機能を使用します。

表 2.84 シングルブート使用リソース

| 周辺機能 | チャンネル | 機能 | 端子名 |
|------|-------|-----|--------------|
| BOOT | — | - | PJ6 (BOOT_N) |
| UART | ch0 | RXD | PK0(UT0RXD) |
| | | TXD | PK1(UT0TXDA) |
| T32A | ch0 | - | - |

3. 改訂履歴

表 3.1 改訂履歴

| Revision | Date | Description |
|----------|------------|--|
| 1.0 | 2017-11-06 | 新規作成 |
| 2.0 | 2018-04-10 | <p>日付、Rev、CopyRight 更新 関連するドキュメント(例外、NBDIF、IP 記号を追加) 用語略語 Op-Amp→OPAMP,SIWDT 修正(ClockSelective) スペルミス修正(DMAC、OPAMP) 2.2.4 未使用ビット修正(リセット後、Type) 2.2.4.3 割り込み名修正(INTDMAACTCx→INTDMAATCx) 2.2.4.4 割り込み名修正(INTDMAACTCx→INTDMAATCx) 2.3.2 表 2.8 I²C 修正(I²C ch→I2C ch0)、 表 2.10 レジスタ名修正(Bit25:TSEL0CR2→TSEL0CR1) (Bit28:TSEL0CR3→TSEL0CR2) (Bit29:TSEL0CR3→TSEL0CR2) 信号名修正(INTDMAACTCx→INTDMAATCx) 表 2.10 TRGINx 情報を追加(以降の表も同様) 表 2.11 信号名修正(INTDMAACTCx→INTDMAATCx) 2.4.4.1 表 2.18 入力トリガ信号名修正(タイマ用クロック→分周パルス信号) 2.4.5 表 2.20 スタイル変更 2.5.1 最大通信速度 記述追加 表 2.28 修正(TSEL0CR7→TSEL0CR8) 2.6.1 最大通信速度 記述追加 2.6.4 <RXDLY>の設定値 追加 2.7.1 対応するモード 記述追加 "2.7.4.フィルタ選択" 削除 2.8.4 入力トリガ信号名 修正(PMDx → A-PMDx) 追加(TRGINx) 2.9.3 トリガセクタ レジスタ名修正(TSEL0CR1→TSEL0CR0) 2.9.4 表 2.50 修正(位置情報 A→EMG 復帰、VE0SECTOR→VE0EMGRS, VETASKP→VE0TASKP、VE+割り込み→VE 割り込み) 2.10.2 表 2.54 修正(位置情報 A→EMG 復帰、VE0SECTOR→VE0EMGRS, 2.11.3.1 修正 表 2.58(ENC→A-ENC,転流→PMD 転流) 2.12 修正(OpAmp → OPAMP) 2.15 章追加(搭載チャンネル、エラー判定ブロックエリア) 表 2.67 レジスタ名追加([RPARST]) 2.16 章追加(搭載一覧) 2.16.2 基準クロック 表 2.69(分周値 追加) 2.19 章追加(搭載ユニット) 2.19.2 表 2.75 レジスタ名修正(DNFENCR→DNFAENCR) 2.20 章追加(搭載一覧) 2.21 章追加(搭載一覧)</p> |
| 2.1 | 2018-09-18 | <p>・「関連するドキュメント」 修正: ベクトルエンジン+→ベクトルエンジンプラス ・「用語・略語」 修正: NBD I/F→NBDIF ・「2.2.トリガセクタ」 図 2.1: 入力トリガ変更 表 2.2 INSEL0: 汎用トリガ→汎用トリガ DMA 要求 プログラム→DMA 要求 表 2.4 INSEL23, 表 2.5 INSEL26,INSEL29, 表 2.6 INSEL32 UART: 完了→完了トリガ、TSPI: 完了→完了信号 表 2.6 INSEL32 I²C: 送受信完了→I²C 割り込み INSEL35: タイマ用クロック→分周パルス INSEL38: 汎用トリガ→汎用トリガ割り込み プログラム→割り込み 「2.2.4.1.」~「2.2.4.11.」 INSELn の/機能項: 接続先追記 「2.2.4.1.」 INSEL0: 汎用トリガ→汎用トリガ DMA 要求 プログラム→DMA 要求</p> |

| Revision | Date | Description |
|----------|------|---|
| | | <p>「2.2.4.9.」 INSEL35: TIMPLS→分周パルス INSEL32 I²C: 送受信完了→I²C 割り込み</p> <p>「2.2.4.10.」 INSEL38: 汎用トリガ→汎用トリガ割り込み プログラム→割り込み</p> <p>・「2.4. 32ビットタイマイイベントカウンタ」 表 2.16 ch0/タイマ A, ch1/タイマ A: UART: 完了→完了トリガ、TSPI: 完了→完了信号</p> <p>表 2.17 ch2/タイマ A: UART: 完了→完了トリガ、TSPI: 完了→完了信号 ch3/タイマ A: UART: 完了→完了トリガ、TSPI: 完了→完了信号 I²C: 送受信割り込み→I²C 割り込み</p> <p>表 2.18 ch5/タイマ A: 汎用トリガ→汎用トリガ割り込み プログラム→割り込み 監視割り込み n→監視機能 n 割り込み</p> <p>表 2.21, 表 2.22 要求列: 名称変更</p> <p>・「2.5.非同期シリアル通信回路」 「2.5.6.2.」 表 2.28: 入出力列をチャンネル列に変更 周辺機能列を削除</p> <p>・「2.6.シリアルペリフェラルインタフェース」 「2.6.6.2.」 表 2.35: 入出力列をチャンネル列に変更 出力先信号名列を追加</p> <p>・「2.8. 12ビットアナログデジタルコンバータ」 項タイトル、「2.8.3.」～「2.8.6.」説明: アナログ/デジタル→アナログデジタル 「2.8.5.」 表 2.45: チャンネル列をユニット列に変更 ADC 汎用トリガ→汎用トリガ DMA 要求 ADC 単独変換プログラム→単独変換 DMA 要求 ADC 連続変換プログラム→連続変換 DMA 要求</p> <p>「2.8.6.」 表 2.46: 入出力列をユニット列に変更 ADC 汎用トリガ→汎用トリガ割り込み ADC 単独変換プログラム→単独変換割り込み ADC 連続変換プログラム→連続変換割り込み ADC 監視割り込み n→監視機能 n 割り込み 監視レベル通知 n→PMD 保護用監視機能 n 出力</p> <p>・「2.9.アドバンストプログラマブルモータ制御回路」 「2.9.1.」 表 2.47 1 行目: "(O:あり、-なし)"追記 「2.9.4.」 「2.9.4.1.」と「2.9.4.2.」に分割 表 2.50, 表 2.51: 入出力列削除、PMD 間同期信号の行削除 表 2.50 機能入力: 終了割り込み E→優先度割り込み 変換中フラグ→変換動作中状態信号 OVV 状態信号(AD 監視機能 n)→ADC 監視機能 n 信号(OVV 検知) 位置検出同期→A-ENC 位置検出同期 タイマ同期→汎用タイマ同期 電気角同期→A-ENC MCMP 同期 コンペアデータ(n 相)→VE n 相 PWM デューティ トリガコンペアデータ→VE トリガコンペア n 位置データ→VE 同期トリガ出力選択 波形出力コントロールデータ→VE 通電制御/出力制御 EMG 復帰→VE EMG 復帰 タスク遷移パルス→VE タスク遷移信号 表 2.51 機能出力: 同期サンプリング出力→同期トリガ出力 下相 PWM 信号(位置サンプリング)→エンコーダ入力用 PWM 信号</p> <p>・「2.10.アドバンストベクトルエンジンプラス」 「2.10.2.」 説明: アドバンストベクトルエンジンプラス→A-VE+ 表 2.54, 表 2.55: 入出力列をチャンネル列に変更 表 2.54 機能入力列: PMD 変換終了割り込み→ADC 変換終了割り込み PMD 周期割り込み→PWM 割り込み 表 2.55 機能出力列の名称変更</p> <p>・「2.11.アドバンストエンコーダ入力回路」 「2.11.3.1.」 説明: アドバンストエンコーダ入力回路→A-ENC 表 2.58, 表 2.59: 入出力列をチャンネル列に変更</p> |

| Revision | Date | Description |
|----------|------|---|
| | | 周辺機能列と信号名称列を纏めた 表 2.58 機能入力: 周期信号入力→汎用タイマ出力信号 PWM ON 信号入力→サンプリング用 PWM 信号 表 2.59 機能出力: A-ENC タイマ用クロック出力→分周パルス信号 出力先: 信号名称と信号名を入れ替えた ・「2.12.オペアンプ」説明、表 2.60、表 2.61: オペアンプ→OPAMP 表 2.62 タイトル: "OPAMP"追記 ・「2.x. JTAG」削除 ・「2.17.デバッグインタフェース」から「2.18. ノンブレイクデバッグインタフェース」 を分けた ・「2.22.フラッシュメモリ」:タイトル変更 ・「製品取り扱い上のお願ひ」改訂 |

製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。