

32 ビット RISC マイクロコントローラ

**TXZ ファミリ**

リファレンスマニュアル

12 ビットアナログデジタルコンバータ  
(ADC-B)

Revision 2.0

---

2018-03

東芝デバイス&ストレージ株式会社

## 目次

序章	5
関連するドキュメント	5
表記規約	6
用語・略語	8
1. 概要	9
2. 構成	11
3. 機能説明・動作説明	13
3.1. クロック供給	13
3.2. 汎用起動要因による変換動作	14
3.2.1. 動作概要	14
3.2.2. 制御レジスタ	15
3.3. PMD トリガによる変換動作	17
3.3.1. 動作概要	17
3.3.2. 制御レジスタ	18
3.4. 変換の停止	19
3.5. 起動要因の優先度	20
3.6. AD 監視機能	21
3.7. アナログ基準電圧	23
3.8. 変換時間	24
3.8.1. 変換タイミング	24
3.9. トリガ入れ替え制御	25
4. レジスタ説明	26
4.1. レジスタ一覧	26
4.2. レジスタ詳細	29
4.2.1. [ADxCR0] (制御レジスタ 0)	29
4.2.2. [ADxCR1] (制御レジスタ 1)	29
4.2.3. [ADxST] (ステータスレジスタ)	30
4.2.4. [ADxCLK] (変換クロック設定レジスタ)	31
4.2.5. [ADxMOD0] (モード設定レジスタ 0)	31
4.2.6. [ADxMOD1] (モード設定レジスタ 1)	32
4.2.7. [ADxMOD2] (モード設定レジスタ 2)	32
4.2.8. [ADxCMPEN] (監視機能許可レジスタ)	33
4.2.9. [ADxCMPCR0] (監視機能設定レジスタ 0)	33
4.2.10. [ADxCMPCR1] (監視機能設定レジスタ 1)	34
4.2.11. [ADxCMP0] (変換結果比較レジスタ 0)	34
4.2.12. [ADxCMP1] (変換結果比較レジスタ 1)	34
4.2.13. PMD トリガ用制御レジスタ	35
4.2.13.1. [ADxPSEL0] (PMD トリガ用プログラム番号選択レジスタ 0)	35

4.2.13.2. [ADxPINTS0] (PMD トリガ用割り込み選択レジスタ 0).....	35
4.2.13.3. [ADxPREGS0] (PMD トリガ用格納選択レジスタ 0).....	36
4.2.13.4. [ADxPREGS1] (PMD トリガ用格納選択レジスタ 1).....	37
4.2.13.5. [ADxPSET0] (PMD トリガ用プログラムレジスタ 0).....	37
4.2.14. [ADxTSET0] (汎用起動要因用プログラムレジスタ 0).....	39
4.2.15. [ADxREG0] (変換結果格納レジスタ 0).....	40
4.2.16. [ADxPROSEL] (プログラム再開選択レジスタ).....	41
4.2.17. [ADxPFLG] (起動優先状態フラグレジスタ).....	42
4.2.18. [ADxPINT] (優先度割り込み制御レジスタ).....	43
4.2.19. [SHxTRGPAT] (トリガ切り替えパターン選択レジスタ).....	44
5. 使用方法の例 .....	45
5.1. 単独変換.....	45
5.2. PMD トリガ変換.....	46
5.2.1. PMD (3 シャント)、ADC × 1.....	46
5.2.2. PMD (1 シャント)、ADC × 1.....	47
6. 使用上のご注意およびお願い事項 .....	48
7. 改訂履歴.....	49
製品取り扱い上のお願い.....	50

## 図目次

図 1.1	ADC と周辺機能の関連図 .....	10
図 2.1	ADC ブロック図 .....	11
図 3.1	汎用起動要因と動作の関連 .....	14
図 3.2	PMD 起動要因と関連レジスタ .....	17
図 3.3	AD 監視機能(判定カウント連続方式) .....	22
図 3.4	AD 監視機能(判定カウント累積方式) .....	22
図 3.5	アナログ基準電圧回路構成 .....	23
図 3.6	変換タイミング例 .....	24
図 5.1	3 シャントの例 .....	46
図 5.2	1 シャントの例 .....	47

## 表目次

表 2.1	信号一覧表 .....	12
表 3.1	汎用起動要因と割り込み/DMA 要求 .....	15
表 3.2	実行中に新たに起動要因発生時の動作 .....	20
表 3.3	監視機能と割り込み .....	21
表 3.4	トリガ組み合わせパターン .....	25
表 5.1	3 シャントでの ADC 設定 .....	46
表 5.2	1 シャントでの ADC 設定 .....	47
表 7.1	改訂履歴 .....	49

## 序章

### 関連するドキュメント

文書名
例外
クロック制御と動作モード
製品個別情報
アドバンスプログラムブルモータ制御回路
アドバンスベクトルエンジン+

## 表記規約

- 数値表記は以下の規則に従います。
  - 16 進数表記: 0xABC
  - 10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
  - 2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「\_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は [m:n]とまとめて表記する場合があります。  
例: S[3:0] は S3,S2,S1,S0 の 4 つの信号名をまとめて表記しています。
- 本文中 [ ] で囲まれたものはレジスタを定義しています。  
例: [ABCD]
- 同種で複数のレジスタ、フィールド、ビット名は「n」で一括表記する場合があります。  
例: [XYZ1],[XYZ2],[XYZ3] → [XYZn]
- 「レジスタ一覧」中のレジスタ名でユニットまたはチャンネルは「x」で一括表記しています。  
ユニットの場合、「x」は A,B,C, ... を表します。  
例: [ADACR0],[ADBCR0],[ADCCR0] → [ADxCR0]  
チャンネルの場合、「x」は 0,1,2, ... を表します。  
例: [T32A0RUNA],[T32A1RUNA],[T32A2RUNA] → [T32AxRUNA]
- レジスタのビット範囲は [m:n] と表記します。  
例: [3:0] はビット 3 から 0 の範囲を表します。
- レジスタの設定値は 16 進数または 2 進数のどちらかで表記されています。  
例: [ABCD]<EFG> = 0x01 (16 進数)、 [XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
  - バイト: 8 ビット
  - ハーフワード: 16 ビット
  - ワード: 32 ビット
  - ダブルワード: 64 ビット
- レジスタ内の各ビットの属性は以下の表記を使用しています。
  - R: リードオンリー
  - W: ライトオンリー
  - R/W: リード / ライト
- 断りのない限り、レジスタアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスタは書き換えを行わないでください。また、読み出した値を使用しないでください。
- Default 値が「—」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスタに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。  
Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- ライトオンリーのレジスタの Reserved ビットフィールドには Default 値を書き込んでください。Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスタへのリードモディファイライト処理は行わないでください。

\*\*\*\*\*  
**Arm, Cortex および Thumb は Arm Limited(またはその子会社)の US またはその他の国における登録商標です。 All rights reserved.**  
\*\*\*\*\*



FLASHメモリについては、米国 SST 社 (Silicon Storage Technology, Inc.) からライセンスを受けた Super Flash® 技術を使用しています。Super Flash® は SST 社の登録商標です。

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

## 用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

ADC	Analog to Digital Converter
A-PMD	Advanced Programmable Motor Control Circuit
A-VE+	Advanced Vector Engine Plus
TRGSEL	Trigger Selection circuit



## 1. 概要

12 ビットアナログデジタルコンバータ(ADC)は、1 ユニット単位で複数チャンネルのアナログ入力(AINx00 ~ AINxn)を AD 変換することができます。以下に、機能の一覧を示します。

機能分類	機能	動作説明
AD 変換	変換分解能	12 ビット
	変換時間	4.5 ≤ AVDD5 ≤ 5.5[V]: 0.5, 0.62, 0.85[μs] @ADCLK=120[MHz] 2.7 ≤ AVDD5 < 4.5[V]: 2.0[μs] @ADCLK=120[MHz]
	変換結果の保存	24 本の変換結果格納レジスタがあります。
変換開始	汎用起動要因による起動	ソフトウェア起動(連続変換、単独変換)と汎用トリガ起動を選択可能 汎用起動要因は最大 24 回変換できる変換プログラム(注) あり
	PMD トリガによる起動	12 本の PMD トリガごとに 9 本の変換プログラム(注) から 1 本を選択して起動可能 1 本の変換プログラムごとには最大 4 回の変換設定可能
	トリガ入れ替え制御	PMD トリガおよび汎用トリガの 13 トリガ入力を入れ替えることで優先度を変更できます。 ・16 種類の入れ替えパターン
変換状態	ステータスフラグ	AD 変換中フラグ トリガ別のプログラム実行中フラグ 変換結果格納レジスタごとの変換結果格納フラグ 変換結果格納レジスタごとの変換結果オーバランフラグ
割り込み	—	PMD トリガプログラム AD 変換終了(4 本) 汎用トリガプログラム AD 変換終了 ソフトウェア単独変換プログラム AD 変換終了 ソフトウェア連続変換プログラム AD 変換終了 優先負け(プログラム AD 変換の中断)発生 監視機能割り込み(2 本)
変換結果の監視	AD 監視機能	2 チャンネルの AD 監視機能がチャンネルごとに設定可能 監視対象(変換結果格納レジスタ)を選択可能 監視方法を比較レジスタより大きい小さいかを選択可能 検出回数設定および連続方式と累積方式を選択可能

注) 変換プログラムとは、変換チャンネル、割り込み発生の有無を指定することが可能となる機能。プログラムは複数の変換設定を持ち、それぞれ起動要因/トリガで起動することができます。

ADC と連携している周辺機能との関係を図 1.1 に示します。

アドバンストプログラマブルモータ制御回路(以降PMD)のモータ駆動タイミングと同期したトリガ(PMD トリガ)、汎用タイマトリガなどから AD 変換を開始することができます。AD 監視機能により PMD の OVV 保護やタイマの起動を行うことができます。

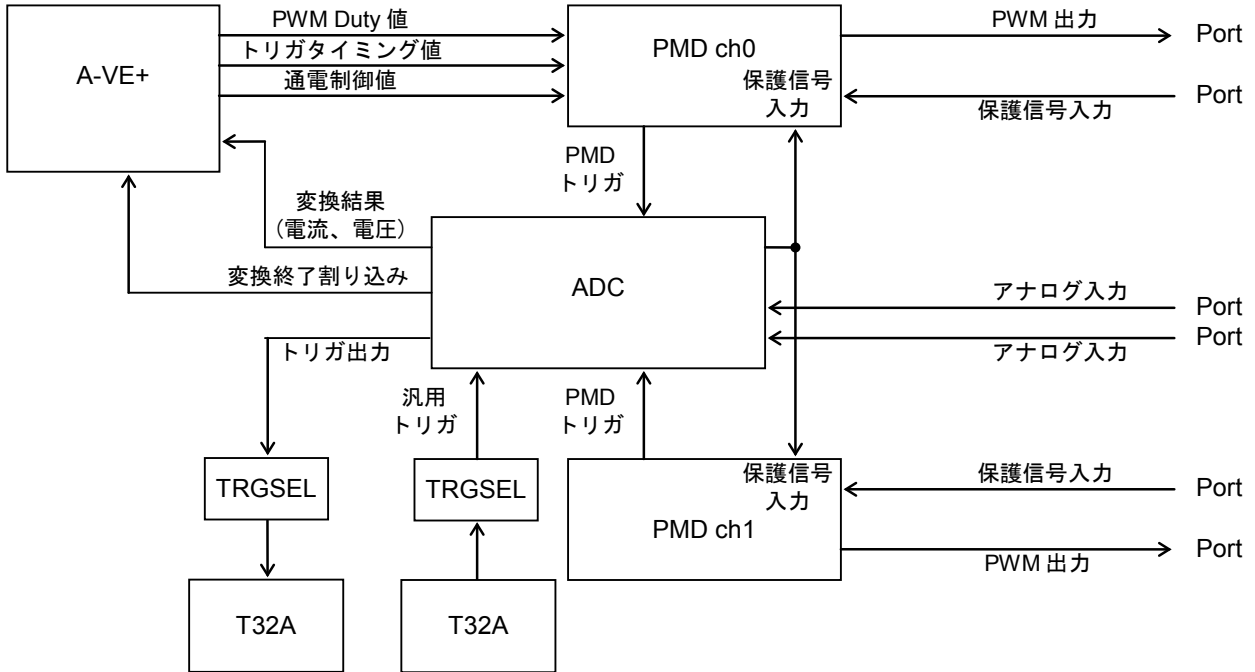


図 1.1 ADCと周辺機能の関連図

## 2. 構成

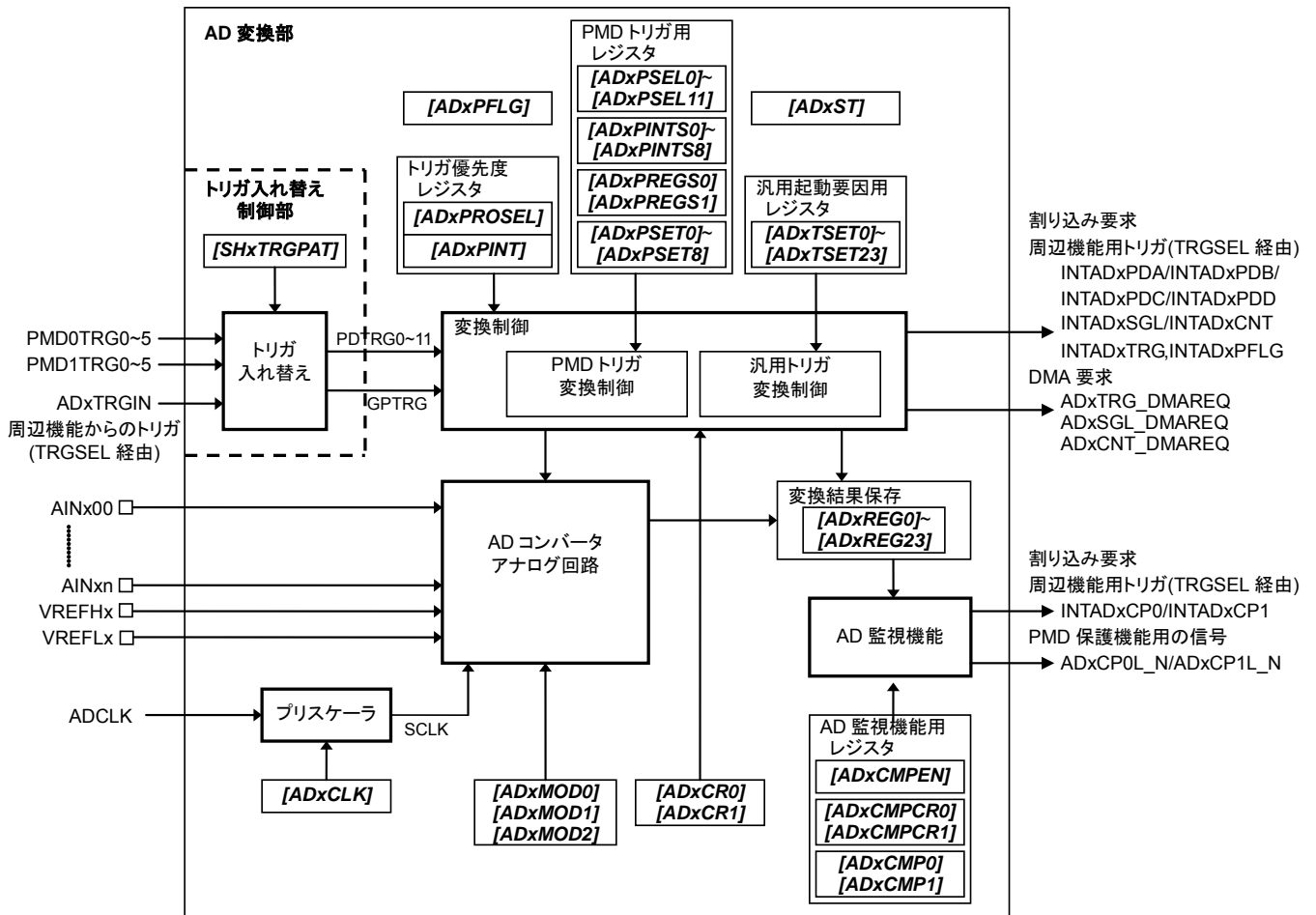


図 2.1 ADCブロック図

表 2.1 信号一覧表

No	信号名	信号名称	I/O	参照リファレンスマニュアル
1	ADCLK	ADC 用変換クロック	入力	クロック制御と動作モード
2	AINx00~AINxn	アナログ入力端子	入力	製品個別情報
3	VREFHx	アナログ基準電源端子	入力	製品個別情報
4	VREFLx	アナログ基準 GND 端子	入力	製品個別情報
5	PMD0TRG0~5	PMD0トリガ	入力	製品個別情報
6	PMD1TRG0~5	PMD1トリガ	入力	製品個別情報
7	ADxTRGIN	汎用トリガ	入力	製品個別情報
8	ADxCP0L_N	PMD 保護用の監視機能 0 出力	出力	製品個別情報
9	ADxCP1L_N	PMD 保護用の監視機能 1 出力	出力	製品個別情報
10	INTADxPDA	PMDトリガ割り込み A	出力	例外
11	INTADxPDB	PMDトリガ割り込み B	出力	例外
12	INTADxPDC	PMDトリガ割り込み C	出力	例外
13	INTADxPDD	PMDトリガ割り込み D	出力	例外
14	INTADxPFLG	優先度割り込み	出力	例外
15	INTADxTRG	汎用トリガ割り込み	出力	例外、製品個別情報
16	INTADxSGL	単独変換割り込み	出力	例外、製品個別情報
17	INTADxCNT	連続変換割り込み	出力	例外、製品個別情報
18	INTADxCP0	監視機能 0 割り込み	出力	例外、製品個別情報
19	INTADxCP1	監視機能 1 割り込み	出力	例外、製品個別情報
20	ADxTRG_DMAREQ	汎用トリガ DMA 要求	出力	製品個別情報
21	ADxSGL_DMAREQ	単独変換 DMA 要求	出力	製品個別情報
22	ADxCNT_DMAREQ	連続変換 DMA 要求	出力	製品個別情報

### 3. 機能説明・動作説明

ADC はソフトウェアによる起動(ソフトウェアトリガ)または PMD/タイマなどからのトリガ信号により任意の AD 変換を開始します。

#### 3.1. クロック供給

ADC を使用する場合は、AD 変換部クロック／トリガ入れ替え制御部クロック／変換クロックを供給してください。そのために、CG(クロック制御と動作モード)の `fsys` 供給停止レジスタ A または B (`[CGFSYSENA]`, `[CGFSYSENB]`)、`fc` 供給停止レジスタ (`[CGFCEN]`) および ADC, TRACE クロック供給停止レジスタ (`[CGSPCLKEN]`) で該当するクロックイネーブルビットを"1" (クロック供給) に設定してください。詳細はリファレンスマニュアルの「クロック制御と動作モード」を参照してください。

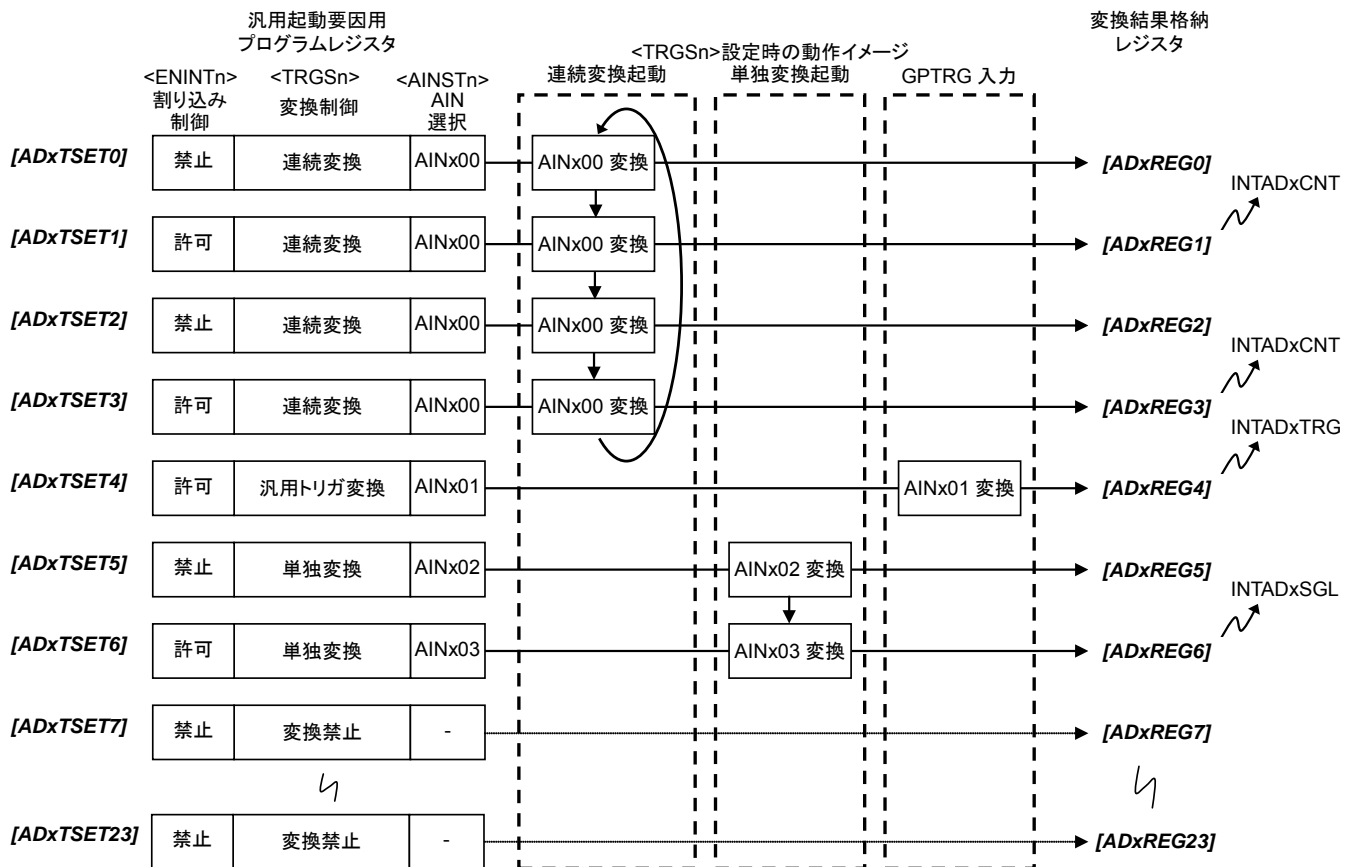
クロックの供給を停止する場合、AD 変換が停止していることを確認してください。また、STOP モードに遷移する際も同様に AD 変換が停止していることを確認してください。

### 3.2. 汎用起動要因による変換動作

汎用起動要因として GPTRG 入力、ソフトウェアによる起動が可能です。  
また、ソフトウェア起動では、単独変換または連続変換が選択可能となっています。

#### 3.2.1. 動作概要

汎用起動要因による変換動作は、変換結果格納レジスタごとに準備されている汎用起動要因用プログラムレジスタの設定に従って動作します。



汎用起動要因用プログラムレジスタ ([ADxTSETn]) に起動要因選択(変換制御)<TRGSn>、AIN 選択<AINSTn>、割り込み発生の有無(割り込み制御)<ENINTn>をプログラムします。起動要因が発生すると、指定された変換を若い番号から実行します。

連続変換は、連続変換に指定された変換を繰り返し実行します。単独変換は、単独変換に指定された変換を各 1 回実行します。汎用トリガによる変換は、GPTRG が入力されると汎用トリガ変換に指定された変換を各 1 回実行します。

汎用起動要因では、[ADxTSETn]<ENINTn>で割り込み発生を指定された変換が終了すると、起動要因(汎用トリガ起動、単独変換、連続変換)ごとに異なる割り込み(INTADxTRG, INTADxSGL, INTADxCNT)が発生します。

また、汎用起動要因ごとに DMA 要求を発生させることができます。割り込み発生を指定した状態で、**[ADxCRI]<CNTDMEN><SGLDMEN><TRGDMEN>**が"1" (DMA 要求制御: 許可)の場合、割り込み発生と同時に DMA 要求が発生します。

**表 3.1 汎用起動要因と割り込み/DMA要求**

汎用起動要因	割り込み	DMA 要求
汎用トリガ起動	汎用トリガプログラム AD 変換終了(INTADxTRG)	汎用トリガ DMA 要求 (ADxTRG_DMAREQ)
単独変換	ソフトウェア単独変換プログラム AD 変換終了(INTADxSGL)	単独変換 DMA 要求 (ADxSGL_DMAREQ)
連続変換	ソフトウェア連続変換プログラム AD 変換終了(INTADxCNT)	連続変換 DMA 要求 (ADxCNT_DMAREQ)

### 3.2.2. 制御レジスタ

- 汎用起動要因用プログラムレジスタ (**[ADxTSET0]~[ADxTSET23]**)  
変換結果格納レジスタごとに汎用起動要因用プログラムレジスタが存在します。  
**[ADxTSETn]**に、AIN 選択<AINSTn>、変換制御<TRGSn>、割り込み制御<ENINTn>を設定します。
- モード設定レジスタ 0 (**[ADxMOD0]**)  
ADC を使用するには、まず**[ADxMOD0]<DACON>**に"1"を設定します。安定時間に 3[μs]必要です。
- 制御レジスタ 0 (**[ADxCR0]**)  
各種設定後変換動作を可能にするには、**[ADxCR0]<ADEN>**に"1"を設定します。  
ソフトウェアにより単独変換または連続変換を開始する場合、**[ADxCR0]<SGL>**または<CNT>に"1"を書き込みます。連続変換を停止する場合は<CNT>に"0"を書き込みます。
- 制御レジスタ 1 (**[ADxCRI]**)  
汎用トリガによるプログラムの起動を許可するには、**[ADxCRI]<TRGEN>**でトリガを許可します。  
この状態で、トリガが入力されると変換を開始します。  
DMA 要求の発生を許可する場合、**[ADxCRI]<SGLDMEN><CNTDMEN><TRGDMEN>**に"1"を設定します。

注) **[ADxCRI]**レジスタの設定は**[ADxCR0]<ADEN>=0** の状態で行ってください。

変換動作を開始するには、以下の手順でレジスタを設定してください。

- 単独変換
  - INTADxSGL を使えるように割り込み設定をします。
  - [ADxMOD0]<DACON>**を"1"に設定します。
  - 3[μs]以上待ちます。
  - [ADxTSETn]**の AIN 選択<AINSTn>=任意、変換制御<TRGSn>=10、割り込み制御<ENINTn>=1 を設定します。
  - 複数チャンネルの単独変換を行う場合は、AIN 選択を変えて(4)を再度設定します。
  - [ADxCR0]<ADEN>**に"1"を設定します。
  - [ADxCR0]<SGL>**に"1"を設定すると、変換を開始します。
  - 変換が終了したら、INTADxSGL が発生します。割り込みサービスルーチンで**[ADxREGn]**をリードします。
  - 以降(7)~(8)を繰り返します。

- 連続変換
  - (1) INTADxCNT を使えるように割り込み設定をします。
  - (2) **[ADxMOD0]**<DACon>を"1"に設定します。
  - (3) 3[μs]以上待ちます。
  - (4) **[ADxTSETn]** の AIN 選択 <AINSTn>= 任意、変換制御 <TRGSn>=01、割り込み制御 <ENINTn>=1 を設定します。
  - (5) 複数チャンネルの連続変換を行う場合は、AIN 選択を変えて(4)を再度設定します。
  - (6) **[ADxCR0]**<ADEN>に"1"を設定します。
  - (7) **[ADxCR0]**<CNT>に"1"を設定すると、変換を開始します。
  - (8) 変換が終了したら、INTADxCNT が発生します。割り込みサービスルーチンで**[ADxREGn]** をリードします。
  - (9) 以降(8)を繰り返します。
  
- 汎用トリガ起動
  - (1) INTADxTRG を使えるように割り込み設定をします。
  - (2) **[ADxMOD0]**<DACon>を"1"に設定します。
  - (3) 3[μs]以上待ちます。
  - (4) **[ADxCRI]**<TRGEN>に"1"を設定する。
  - (5) 汎用トリガ(ADxTRGIN)に何を使用するか設定します。(注)
  - (6) **[ADxTSETn]** の AIN 選択 <AINSTn>= 任意、変換制御 <TRGSn>=11、割り込み制御 <ENINTn>=1 を設定します。
  - (7) 複数チャンネルの汎用トリガ起動を行う場合は、AIN 選択を変えて(6)を再度設定します。
  - (8) **[ADxCR0]**<ADEN>に"1"を設定します。
  - (9) トリガを入力すると変換を開始します。
  - (10) 変換が終了したら、INTADxTRG が発生します。割り込みサービスルーチンで**[ADxREGn]** をリードします。
  - (11) 以降(9)~(10)を繰り返します。

注) 汎用トリガ(ADxTRGIN)に接続されている信号の詳細はリファレンスマニュアル「製品個別情報」を参照してください。



### 3.3. PMD トリガによる変換動作

#### 3.3.1. 動作概要

PDTRGn (n=0~11)によって変換動作を起動する方法です。PDTRGn は PMD からのトリガです。(注1)(注2)

PDTRGn による変換動作では、プログラムされた変換動作を実行します。プログラムは9種類あり、PDTRGn ごとに起動するプログラムを選択します。

ひとつのプログラムで最大4回の変換を実行することができます。変換結果の格納先は4つの格納レジスタの組で選択が可能です。

プログラム終了時に4種の割り込み(INTADxPDA, INTADxPDB, INTADxPDC, INTADxPDD)の何れかを発生させることができます。

注1) PMDの詳細はリファレンスマニュアルの「アドバンストプログラマブルモータ制御回路」を参照してください。

注2) 製品によって接続先が異なりますので、リファレンスマニュアルの「製品個別情報」を参照してください。

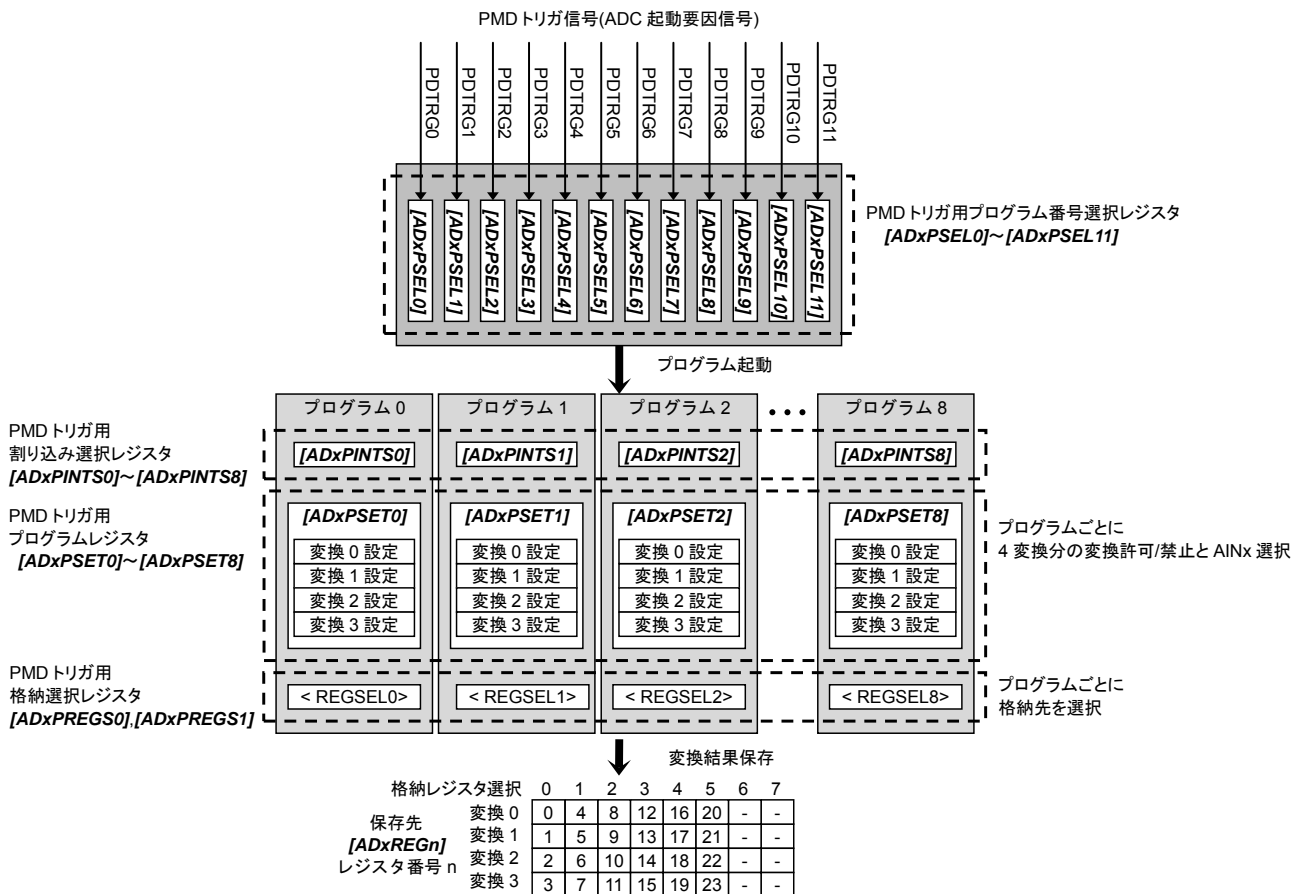


図 3.2 PMD起動要因と関連レジスタ

### 3.3.2. 制御レジスタ

PMD トリガによる変換動作は、以下のレジスタで設定します。

- モード設定レジスタ 0 (*[ADxMOD0]*)  
ADC を使用するには、まず*[ADxMOD0]*<DACon>に"1"を設定します。安定時間に 3[μs]必要です。
- PMD トリガ用プログラム番号選択レジスタ (*[ADxPSEL0]*~*[ADxPSEL11]*)  
12 本の PMD トリガ信号に対して、トリガの有効/無効とそれぞれ起動するプログラム番号(0~7)を選択するレジスタです。  
PMD トリガ(PDTRG0~PDTRG11)それぞれに対応した、*[ADxPSEL0]*~*[ADxPSEL11]*の 12 本のレジスタがあります。
- PMD トリガ用プログラムレジスタ (*[ADxPSET0]*~*[ADxPSET8]*)  
プログラムごとに、変換の有効/無効、変換するアナログ入力チャネルおよびアドバンストベクトルエンジン+(以降 VE)への通知用に U/V/W の相を設定します。プログラム 1 つに対して 4 回までの変換設定ができます。
- PMD トリガ用割り込み選択レジスタ (*[ADxPINTS0]*~*[ADxPINTS8]*)  
各プログラム終了時に、割り込みを発生させることができます。PMD トリガ用割り込み選択レジスタで、割り込みの種類(INTADxPDA, INTADxPDB, INTADxPDC, INTADxPDD)と有無を選択します。プログラムごとに、*[ADxPINTS0]*~*[ADxPINTS8]*の 9 本のレジスタがあります。
- PMD トリガ用格納選択レジスタ (*[ADxPREGS0]*,*[ADxPREGS1]*)  
各プログラムの変換結果の格納先を選択することができます。格納先は、変換結果格納レジスタの 0~3、4~7、8~11、12~15、16~19、20~23 のいずれかより選択します。  
  
注) VE を使用する場合、必ず 0~3 の変換結果格納レジスタを使用してください。
- 制御レジスタ 0 (*[ADxCR0]*)  
変換動作を可能にするには、*[ADxCR0]*<ADEN>に"1"を設定します。

PMD トリガによる変換動作を開始するには、以下の手順でレジスタを設定してください。

- (1) INTADxPDA~INTADxPDD の何れかを使えるように割り込み設定をします。
- (2) *[ADxMOD0]*<DACon>を"1"に設定します。
- (3) 3[μs]以上待ちます。
- (4) *[ADxPSELn]*のトリガ制御<PENSn>=1、プログラム番号<PMDSn>=任意 を設定します。
- (5) *[ADxPSETn]*の AIN 選択<AINSPm>=任意の AIN、相選択(VE 通知用)<UVWISn>=任意の相、変換制御<ENSPn>=1 を設定します。
- (6) *[ADxPINTSn]*の割り込み選択<INTSELn>=INTADxPDA~INTADxPDD を設定します。
- (7) *[ADxPREGS0]*または*[ADxPREGS1]*のレジスタ選択<REGSELn>=任意 を設定します。
- (8) *[ADxCR0]*<ADEN>に"1"を設定します。
- (9) PMD が発生するトリガ(PDTRGn)によって変換を開始します。
- (10) プログラムの終了時に割り込み(INTADxPDA~INTADxPDD)が発生します。割り込みサービスルーチンで*[ADxREGn]*~*[ADxREGn+3]*をリードします。
- (11) 以降(9)~(10)を繰り返します。

### 3.4. 変換の停止

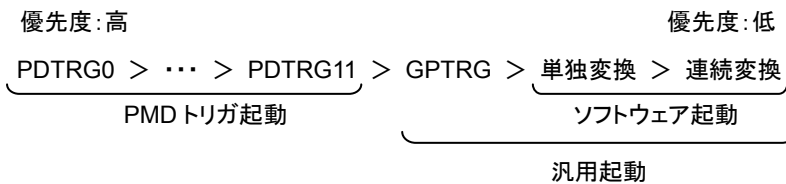
[ADxCR0]<ADEN>に"0"を書き込むと直ちに変換を停止します。連続変換を許可している場合は [ADxCR0]<CNT>も"0"を書き込んでください。

変換が完全に停止すると [ADxST] の全てのビットが"0"になります。 [ADxST] 以外のレジスタと変換結果レジスタの値は保持されます。次に変換を許可する前に、変換結果レジスタの値を読み出してフラグをクリアしてください。

ADCLK を停止する場合、変換停止処理を実施後、 [ADxST]<ADBF>が"0"であることを確認してから停止してください。

## 3.5. 起動要因の優先度

起動要因には、以下のとおり優先度があります。



複数の起動要因が同時発生する場合、最も優先度の高い起動要因の変換プログラムが実行され、他の起動要因は保留されます。

変換プログラム実行中に優先度の高い起動要因が発生した場合は現在の変換を中断し優先度の高い起動要因の変換プログラムを実行します。また、優先度の低い起動要因が発生した場合は現在の変換プログラムを継続し新たな起動要因は保留されます。

プログラム再開選択レジスタ[ADxPROSEL]で実行キャンセルを設定した起動要因は中断/保留されず要因キャンセルされます。

保留/中断が発生した起動要因は起動優先状態フラグレジスタ[ADxPFLG]で確認できます。

優先度割り込み制御レジスタ[ADxPINT]で優先負け発生時に優先度割り込みINTADxPFLG発生の有無を設定できます。

変換プログラム実行中に、その変換プログラムを起動した起動要因が再度発生した場合は無視されません。

変換プログラムの実行状態は、[ADxST]<CNTF><SNGF><TRGF><PMDF>で確認することができます。ソフトウェアで起動する要因では、フラグが"0"であることを確認することで確実に起動することができます。

**表 3.2 実行中に新たに起動要因発生時の動作**

		新規発生する起動要因			
		PDTRGn (注 1)	GPTRG	ソフトウェア 単独変換	ソフトウェア 連続変換
実行中の 起動要因	PDTRGm (注 1)	実行中要因継続 (注 2)(注 6)	実行中要因継続 (注 3)(注 6)	実行中要因継続 (注 3)(注 6)	実行中要因継続 (注 3)(注 6)
	GPTRG	新規要因開始 (注 5)(注 6)	実行中要因継続 (注 4)	実行中要因継続 (注 3)(注 6)	実行中要因継続 (注 3)(注 6)
	ソフトウェア 単独変換	新規要因開始 (注 5)(注 6)	新規要因開始 (注 5)(注 6)	実行中要因継続 (注 4)	実行中要因継続 (注 3)(注 6)
	ソフトウェア 連続変換	新規要因開始 (注 5)(注 6)	新規要因開始 (注 5)(注 6)	新規要因開始 (注 5)(注 6)	実行中要因継続 (注 4)

注 1) m,n = 0~11

注 2) m=n の場合、新規起動要因は無視されます。

m>n の場合、実行中の起動要因継続し、新規起動要因は保留されて実行中の起動要因終了後に実行されます。

m<n の場合、新規起動要因を開始し、実行中の起動要因は中断されます。

注 3) 新規起動要因は保留されて実行中の起動要因終了後に実行されます。

注 4) 新規起動要因は無視されます。

注 5) 実行中の起動要因は中断され、新規起動要因が実行されます。中断された起動要因は、新規起動要因終了後に再開されます。

注 6) 再開キャンセル設定([ADxPROSEL]<PROSELn>=1) 時、中断プログラムは再開されません。

### 3.6. AD 監視機能

AD 監視機能は、AD 変換結果が設定した値より大きい場合、または、小さい場合に割り込みを発生します。本機能を 2 チャンネル同時に使用することで、AD 変換結果が 2 つの設定値の範囲内に入っているかの検出、範囲外となっているかの検出が可能となります。

[ADxCMPEN]<CMP0EN>、<CMP1EN>に"1"をセットすると AD 監視機能が有効になります。2 つの監視機能を同時に有効にすることも可能です。

[ADxCMPCR0]を例に説明します([ADxCMPCR1]も同様です)。

[ADxCMPCR0]<REGS0[4:0]>で比較対象の変換結果格納レジスタ、<ADBIG0>で大・小判定、<CMPCND0>で判定カウンタの条件、<CMPCNT0[3:0]>で判定カウンタ数を設定します。

対象の変換結果格納レジスタに結果が格納されるごとに大・小比較判定を行い、判定結果が<ADBIG0>の設定にあてはまれば判定カウンタをプラスします。

判定カウンタの条件には、連続方式と累積方式があります。

連続方式は、<ADBIG0>に設定した状態が連続して<CMPCNT0[3:0]>に設定したカウント回数に達すると AD 監視機能割り込み(INTADxCP0)および PMD への保護信号が発生します。その後、設定したカウント数を超えて継続した場合は何も発生しません。<ADBIG0>に設定した状態と異なる場合にカウンタ値をクリアします。

累積方式は、<ADBIG0>に設定した状態が累積して<CMPCNT0[3:0]>に設定したカウント回数に達すると AD 監視機能割り込み(INTADxCP0)および PMD への保護信号が発生し、カウンタをクリアします。<ADBIG0>に設定した状態と異なる場合でもカウンタ値を保持します。なお[ADxCMPCR0]レジスタで指定された変換結果格納レジスタの内容が変換結果比較レジスタの値と同じ場合は、カウンタをプラスせず、AD 監視機能割り込み(INTADxCP0)およびトリガは発生しません。

表 3.3 監視機能と割り込み

監視機能	割り込み
監視機能設定レジスタ 0 ([ADxCMPCR0])	監視機能 0 割り込み (INTADxCP0)
監視機能設定レジスタ 1 ([ADxCMPCR1])	監視機能 1 割り込み (INTADxCP1)

AD 監視機能を使用する際、格納レジスタは通常ではソフトウェアで読み出しを行いませんので、オーバーランフラグ[ADxREGn]<ADOVRFn>は常にセットされていることになり、変換結果格納フラグ[ADxREGn]<ADRFn>もまたセットされている事になります。したがって、AD 監視機能を使用する場合は当該変換結果格納レジスタのフラグを使用しないでください。

注) 監視機能のレジスタ設定は[ADxCR0]<ADEN>=0 の状態で行ってください。

(1) 連続方式による判定

- 監視機能設定レジスタ 0 ( $[ADxCMPCR0]=0x00000200$ )  
比較する変換結果格納レジスタ:  $[ADxREG0]$   
大小判定:  $[ADxREG0]<ADR0> > [ADxCMP0]<AD0CMP0>$  (比較レジスタより大)  
判定カウント条件: 連続方式  
大小判定カウント数: 3 回カウント
- AD 変換結果比較レジスタ ( $[ADxCMP0]<AD0CMP0>=0x888$ )
- 監視機能許可レジスタ ( $[ADxCMPEN]=0x00000001$ )

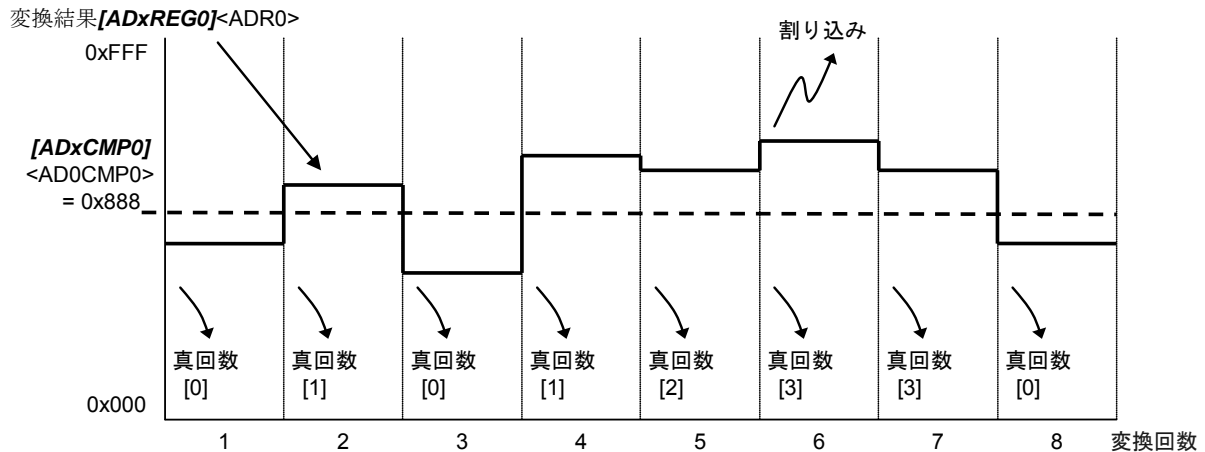


図 3.3 AD監視機能(判定カウント連続方式)

(2) 累積方式による判定

- 監視機能設定レジスタ ( $[ADxCMPCR0]=0x00000240$ )  
比較する変換結果格納レジスタ:  $[ADxREG0]$   
大小判定:  $[ADxREG0]<ADR0> > [ADxCMP0]<AD0CMP0>$  (比較レジスタより大)  
判定カウント条件: 累積方式  
大小判定カウント数: 3 回カウント
- AD 変換結果比較レジスタ ( $[ADxCMP0]<AD0CMP0>=0x888$ )
- 監視機能許可レジスタ ( $[ADxCMPEN]=0x00000001$ )

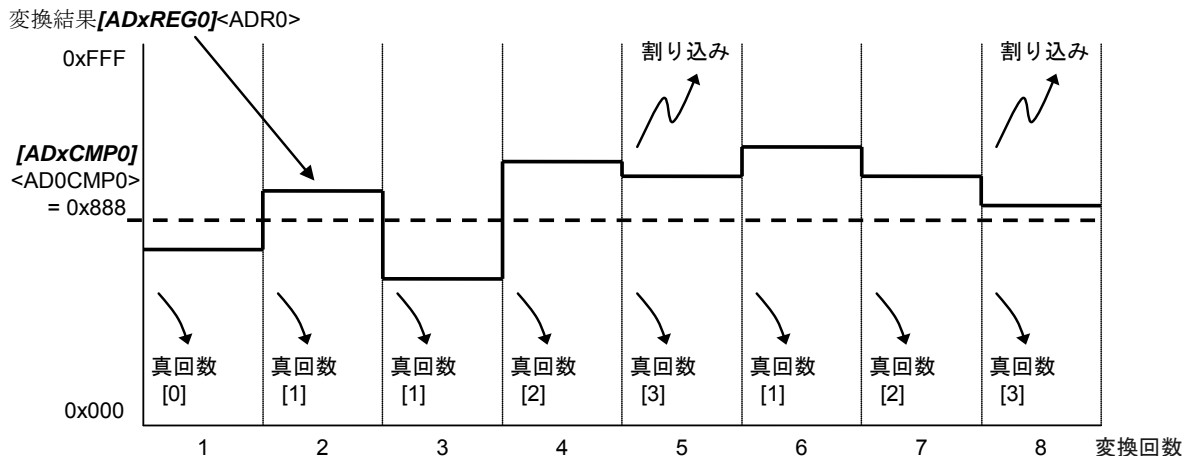


図 3.4 AD監視機能(判定カウント累積方式)

### 3.7. アナログ基準電圧

アナログ基準電圧は ADC ユニットの VREFHx, VREFLx 端子に High、Low のレベルを入力します。低消費電力モード選択レジスタ  $[ADxMOD0]<RCUT>$  に "1" を設定することで VREFHx と VREFLx 間のスイッチを変換中のみオン状態に切り換えて、VREFHx と VREFLx の間に流れる電流を削減することができます。

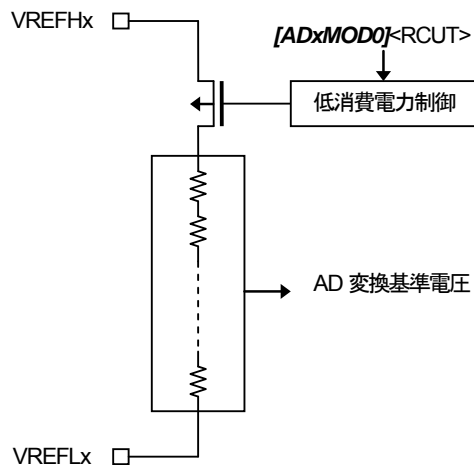


図 3.5 アナログ基準電圧回路構成

## 3.8. 変換時間

### 3.8.1. 変換タイミング

変換のタイミングは図 3.6 に示します。

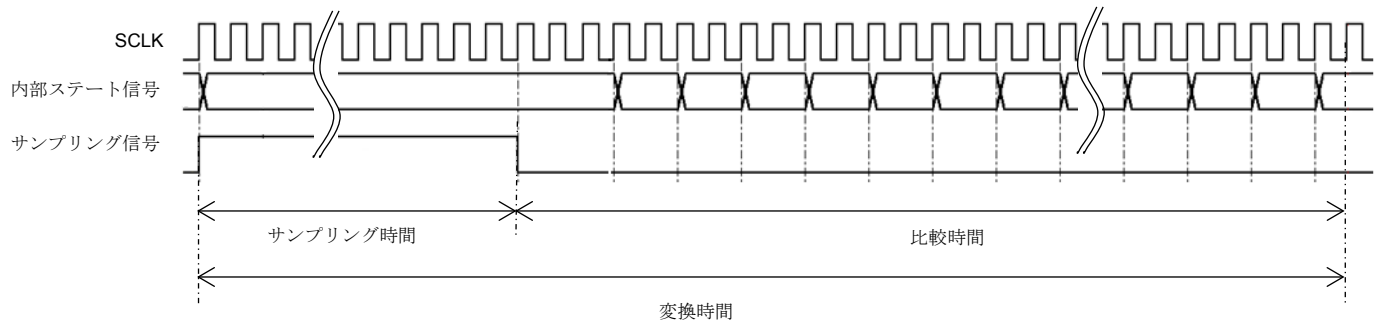


図 3.6 変換タイミング例



### 3.9. トリガ入れ替え制御

トリガ入れ替え制御はトリガ入力を入れ替えて ADC に出力します。[SHxTRGPAT]レジスタで組み合わせを選択できます。(「表 3.4 トリガ組み合わせパターン」参照)。

**表 3.4 トリガ組み合わせパターン**

AD 変換部入力	<TRGPAT1>															
	00				01				10				11			
	<TRGPAT0>															
	00	01	10	11	00	01	10	11	00	01	10	11	00	01	10	11
PDTRG0	T00		T10		T00		T10		T00		T10		T00		T10	
PDTRG1	T01		T11		T01		T11		T01		T11		T01		T11	
PDTRG2	T02		T12		T02		T12		T02		T12		T02		T12	
PDTRG3	T03	T10	T13	T00	T03	T10	T13	T00	T03	T10	T13	T00	HT			
PDTRG4	T04	T11	T14	T01	T04	T11	T14	T01	T04	T11	T14	T01	T03	T10	T13	T00
PDTRG5	T05	T12	T15	T02	T05	T12	T15	T02	T05	T12	T15	T02	T04	T11	T14	T01
PDTRG6	T10	T03	T00	T13	T10	T03	T00	T13	HT				T05	T12	T15	T02
PDTRG7	T11	T04	T01	T14	T11	T04	T01	T14	T10	T03	T00	T13	T10	T03	T00	T13
PDTRG8	T12	T05	T02	T15	T12	T05	T02	T15	T11	T04	T01	T14	T11	T04	T01	T14
PDTRG9	T13		T03		HT				T12	T05	T02	T15	T12	T05	T02	T15
PDTRG10	T14		T04		T13		T03		T13		T03		T13		T03	
PDTRG11	T15		T05		T14		T04		T14		T04		T14		T04	
GPTRG	HT				T15		T05		T15		T05		T15		T05	

注 1) 表中の T0x,T1x および HT は以下に示すトリガ入力です。

T00~T05: PMD0TRG0~5

T10~T15: PMD1TRG0~5

HT: ADxTRGIN

注 2) 出力: 組み合わせ変換後のトリガ入れ替え制御部/AD 変換部内で使われるトリガ名 (レジスタ指定などで使われるトリガ名)

注 3) ADC と VE を連動させる場合は<TRGPAT1>=00 時のみ使用できます。

## 4. レジスタ説明

### 4.1. レジスタ一覧

制御レジスタとアドレスは以下のとおりです。

周辺機能		チャネル/ユニット	ベースアドレス
12ビットアナログデジタルコンバータ	ADC	Unit A	0x400B8800
サンプルホールド回路	SH	Unit A	0x400B8700

・ADC レジスタ

レジスタ名		アドレス (Base+)
制御レジスタ 0	[ADxCR0]	0x0000
制御レジスタ 1	[ADxCR1]	0x0004
ステータスレジスタ	[ADxST]	0x0008
変換クロック設定レジスタ	[ADxCLK]	0x000C
モード設定レジスタ 0	[ADxMOD0]	0x0010
モード設定レジスタ 1	[ADxMOD1]	0x0014
モード設定レジスタ 2	[ADxMOD2]	0x0018
監視機能許可レジスタ	[ADxCMPEN]	0x0020
監視機能設定レジスタ 0	[ADxCMPCR0]	0x0024
監視機能設定レジスタ 1	[ADxCMPCR1]	0x0028
変換結果比較レジスタ 0	[ADxCMP0]	0x002C
変換結果比較レジスタ 1	[ADxCMP1]	0x0030
PMDトリガ用プログラム番号選択レジスタ 0	[ADxPSEL0]	0x0040
PMDトリガ用プログラム番号選択レジスタ 1	[ADxPSEL1]	0x0044
PMDトリガ用プログラム番号選択レジスタ 2	[ADxPSEL2]	0x0048
PMDトリガ用プログラム番号選択レジスタ 3	[ADxPSEL3]	0x004C
PMDトリガ用プログラム番号選択レジスタ 4	[ADxPSEL4]	0x0050
PMDトリガ用プログラム番号選択レジスタ 5	[ADxPSEL5]	0x0054
PMDトリガ用プログラム番号選択レジスタ 6	[ADxPSEL6]	0x0058
PMDトリガ用プログラム番号選択レジスタ 7	[ADxPSEL7]	0x005C
PMDトリガ用プログラム番号選択レジスタ 8	[ADxPSEL8]	0x0060
PMDトリガ用プログラム番号選択レジスタ 9	[ADxPSEL9]	0x0064
PMDトリガ用プログラム番号選択レジスタ 10	[ADxPSEL10]	0x0068
PMDトリガ用プログラム番号選択レジスタ 11	[ADxPSEL11]	0x006C
PMDトリガ用割り込み選択レジスタ 0	[ADxPINTS0]	0x0070
PMDトリガ用割り込み選択レジスタ 1	[ADxPINTS1]	0x0074
PMDトリガ用割り込み選択レジスタ 2	[ADxPINTS2]	0x0078
PMDトリガ用割り込み選択レジスタ 3	[ADxPINTS3]	0x007C
PMDトリガ用割り込み選択レジスタ 4	[ADxPINTS4]	0x0080
PMDトリガ用割り込み選択レジスタ 5	[ADxPINTS5]	0x0084
PMDトリガ用割り込み選択レジスタ 6	[ADxPINTS6]	0x0088
PMDトリガ用割り込み選択レジスタ 7	[ADxPINTS7]	0x008C
PMDトリガ用割り込み選択レジスタ 8	[ADxPINTS8]	0x0090
PMDトリガ用格納選択レジスタ 0	[ADxPREGS0]	0x0094
PMDトリガ用格納選択レジスタ 1	[ADxPREGS1]	0x0098
PMDトリガ用プログラムレジスタ 0	[ADxPSET0]	0x00A0
PMDトリガ用プログラムレジスタ 1	[ADxPSET1]	0x00A4
PMDトリガ用プログラムレジスタ 2	[ADxPSET2]	0x00A8
PMDトリガ用プログラムレジスタ 3	[ADxPSET3]	0x00AC
PMDトリガ用プログラムレジスタ 4	[ADxPSET4]	0x00B0
PMDトリガ用プログラムレジスタ 5	[ADxPSET5]	0x00B4

レジスタ名		アドレス (Base+)
PMDトリガ用プログラムレジスタ 6	[ADxPSET6]	0x00B8
PMDトリガ用プログラムレジスタ 7	[ADxPSET7]	0x00BC
PMDトリガ用プログラムレジスタ 8	[ADxPSET8]	0x00C0
汎用起動要因用プログラムレジスタ 0	[ADxTSET0]	0x00C4
汎用起動要因用プログラムレジスタ 1	[ADxTSET1]	0x00C8
汎用起動要因用プログラムレジスタ 2	[ADxTSET2]	0x00CC
汎用起動要因用プログラムレジスタ 3	[ADxTSET3]	0x00D0
汎用起動要因用プログラムレジスタ 4	[ADxTSET4]	0x00D4
汎用起動要因用プログラムレジスタ 5	[ADxTSET5]	0x00D8
汎用起動要因用プログラムレジスタ 6	[ADxTSET6]	0x00DC
汎用起動要因用プログラムレジスタ 7	[ADxTSET7]	0x00E0
汎用起動要因用プログラムレジスタ 8	[ADxTSET8]	0x00E4
汎用起動要因用プログラムレジスタ 9	[ADxTSET9]	0x00E8
汎用起動要因用プログラムレジスタ 10	[ADxTSET10]	0x00EC
汎用起動要因用プログラムレジスタ 11	[ADxTSET11]	0x00F0
汎用起動要因用プログラムレジスタ 12	[ADxTSET12]	0x00F4
汎用起動要因用プログラムレジスタ 13	[ADxTSET13]	0x00F8
汎用起動要因用プログラムレジスタ 14	[ADxTSET14]	0x00FC
汎用起動要因用プログラムレジスタ 15	[ADxTSET15]	0x0100
汎用起動要因用プログラムレジスタ 16	[ADxTSET16]	0x0104
汎用起動要因用プログラムレジスタ 17	[ADxTSET17]	0x0108
汎用起動要因用プログラムレジスタ 18	[ADxTSET18]	0x010C
汎用起動要因用プログラムレジスタ 19	[ADxTSET19]	0x0110
汎用起動要因用プログラムレジスタ 20	[ADxTSET20]	0x0114
汎用起動要因用プログラムレジスタ 21	[ADxTSET21]	0x0118
汎用起動要因用プログラムレジスタ 22	[ADxTSET22]	0x011C
汎用起動要因用プログラムレジスタ 23	[ADxTSET23]	0x0120
変換結果格納レジスタ 0	[ADxREG0]	0x0144
変換結果格納レジスタ 1	[ADxREG1]	0x0148
変換結果格納レジスタ 2	[ADxREG2]	0x014C
変換結果格納レジスタ 3	[ADxREG3]	0x0150
変換結果格納レジスタ 4	[ADxREG4]	0x0154
変換結果格納レジスタ 5	[ADxREG5]	0x0158
変換結果格納レジスタ 6	[ADxREG6]	0x015C
変換結果格納レジスタ 7	[ADxREG7]	0x0160
変換結果格納レジスタ 8	[ADxREG8]	0x0164
変換結果格納レジスタ 9	[ADxREG9]	0x0168
変換結果格納レジスタ 10	[ADxREG10]	0x016C
変換結果格納レジスタ 11	[ADxREG11]	0x0170
変換結果格納レジスタ 12	[ADxREG12]	0x0174
変換結果格納レジスタ 13	[ADxREG13]	0x0178
変換結果格納レジスタ 14	[ADxREG14]	0x017C
変換結果格納レジスタ 15	[ADxREG15]	0x0180
変換結果格納レジスタ 16	[ADxREG16]	0x0184
変換結果格納レジスタ 17	[ADxREG17]	0x0188
変換結果格納レジスタ 18	[ADxREG18]	0x018C
変換結果格納レジスタ 19	[ADxREG19]	0x0190
変換結果格納レジスタ 20	[ADxREG20]	0x0194
変換結果格納レジスタ 21	[ADxREG21]	0x0198
変換結果格納レジスタ 22	[ADxREG22]	0x019C
変換結果格納レジスタ 23	[ADxREG23]	0x01A0
プログラム再開選択レジスタ	[ADxPROSEL]	0x01C4
起動優先度状態フラグレジスタ	[ADxPFLG]	0x01C8
優先度割り込み制御レジスタ	[ADxPINT]	0x01CC

・ SH レジスタ

レジスタ名		アドレス (Base+)
トリガ切り替えパターン設定レジスタ	[SHxTRGPAT]	0x000C

## 4.2. レジスタ詳細

### 4.2.1. [ADxCR0] (制御レジスタ 0)

Bit	Bit Symbol	リセット後	Type	機能
31:8	-	0	R	リードすると"0"が読めます。
7	ADEN	0	R/W	ADC 動作 0: 禁止 1: 許可 "1"を書き込むと変換が可能になります。"0"を書き込むと、変換を終了します。
6:2	-	0	R	リードすると"0"が読めます。
1	SGL	0	W	単独変換動作 0: Don't care 1: 変換開始 "1"を書き込むと単独変換プログラムの実行を開始します。読み出すと"0"が読めます。
0	CNT	0	R/W	連続変換動作 0: 停止 1: 変換実行 "1"に設定中、連続変換プログラムを繰り返し実行します。 [ADxS7]<CNTF> が"0"(連続変換プログラムを実行していない)の状態では"1"を設定してください。

### 4.2.2. [ADxCR1] (制御レジスタ 1)

Bit	Bit Symbol	リセット後	Type	機能
31:7	-	0	R	リードすると"0"が読めます。
6	CNTDMEN	0	R/W	連続変換 DMA 要求制御 0: 禁止 1: 許可
5	SGLDMEN	0	R/W	単独変換 DMA 要求制御 0: 禁止 1: 許可
4	TRGDMEN	0	R/W	汎用トリガ DMA 要求制御 0: 禁止 1: 許可
3:1	-	0	R	リードすると"0"が読めます。
0	TRGEN	0	R/W	汎用トリガ起動制御 0: 禁止 1: 許可

注) このレジスタの設定は [ADxCR0]<ADEN>=0 の状態で行ってください。

### 4.2.3. [ADxST] (ステータスレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:8	-	0	R	リードすると"0"が読めます。
7	ADBF	0	R	AD 動作フラグ 0: 動作していない(ADCLK 停止可能) 1: 動作中(ADCLK 停止不可) ADCLK を停止する場合、このビットが"0"であることを確認してください。
6:4	-	0	R	リードすると"0"が読めます。
3	CNTF	0	R	連続変換プログラム動作状態フラグ 0: 実行していない 1: 実行中 要求が受け付けられると"1"となり、最後の変換結果が格納されると"0"になります。
2	SNGF	0	R	単独変換プログラム動作状態フラグ 0: 実行していない 1: 実行中 要求が受け付けられると"1" となり、最後の変換結果が格納されると"0"になります。
1	TRGF	0	R	汎用トリガプログラム動作状態フラグ 0: 実行していない 1: 実行中 要求が受け付けられると"1" となり、最後の変換結果が格納されると"0"になります。
0	P MDF	0	R	PMD トリガプログラム動作状態フラグ 0: 実行していない 1: 実行中 要求が受け付けられると"1"となり、最後の変換結果が格納されると"0"になります。

## 4.2.4. [ADxCLK] (変換クロック設定レジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:7	-	0	R	リードすると"0"が読めます。
6:3	EXAZ[3:0]	0000	R/W	AIN サンプリング時間選択 "0000"を設定してください。
2:0	VADCLK[2:0]	000	R/W	AD プリスケール出力 (SCLK) 選択 4.5V ≤ AVDD5 ≤ 5.5 [V] の場合 "000"(ADCLK/1)を設定してください。 2.7V ≤ AVDD5 < 4.5 [V] の場合 "010"(ADCLK/4)を設定してください。

注) このレジスタの設定は [ADxCR0]<ADEN>=0 の状態で行ってください。

## 4.2.5. [ADxMOD0] (モード設定レジスタ 0)

Bit	Bit Symbol	リセット後	Type	機能
31:4	-	0	R	リードすると"0"が読めます。
3	AZFSH	0	R/W	クロックモード制御 4.5V ≤ AVDD5 ≤ 5.5 [V] の場合 変換時間 0.5[μs] (SCLK =120[MHz])時: "0"を設定してください。 変換時間 0.62[μs] / 0.85[μs] (SCLK =120[MHz])時: "1"を設定してください。  2.7V ≤ AVDD5 < 4.5 [V] の場合 変換時間 2[μs] (SCLK =30[MHz])時: "0"を設定してください。
2	REFBSEL	0	R/W	VREFHx/AINxn 切替制御 0: VREFHx 端子として使用 (AVDD5、VREFHx 独立端子) 1: AINxn 端子として使用 (AVDD5/VREFHx 兼用、AINxn 端子) VREFHx/AINxn 端子を VREFHx として使うか、AINxn として使うかを切り替えます。
1	RCUT	1	R/W	低消費電力モード選択 0: 通常動作 1: 低消費電力動作(変換中のみ VREFHx-VREFLx 間通電)
0	DACON	0	R/W	DAC 制御(注 2) 0: OFF 1: ON ADC を使用するときには必ず最初に<DACION>を"1"にセットしてください。

注 1) このレジスタの設定は [ADxCR0]<ADEN>=0 の状態で行ってください。

注 2) [ADxMOD0]<DACION>を"1"に設定した後、3[μs]の安定時間が必要です。

## 4.2.6. [ADxMOD1](モード設定レジスタ 1)

Bit	Bit Symbol	リセット後	Type	機能
31:0	MOD1[31:0]	0x00304000	R/W	<p>4.5 ≤ AVDD5 ≤ 5.5 [V] の場合            変換時間 0.5[μs](SCLK=120[MHz])時:            "0x00304000"を書いてください。            変換時間 0.62[μs] (SCLK=120[MHz])時:            "0x00304001"を書いてください。            変換時間 0.85[μs](SCLK =120[MHz])時:            "0x00304111"を書いてください。</p> <p>2.7 ≤ AVDD5 &lt; 4.5 [V]の場合            変換時間 2[μs] (SCLK=30[MHz])時:            "0x00304000"を書いてください。</p>

注) このレジスタの設定は [ADxCR0]<ADEN>=0 の状態で行ってください。

## 4.2.7. [ADxMOD2](モード設定レジスタ 2)

Bit	Bit Symbol	リセット後	Type	機能
31:0	MOD2[31:0]	0x00000000	R/W	<p>4.5V ≤ AVDD5 ≤ 5.5 [V] の場合            変換時間 0.5[μs] (SCLK=120[MHz])時:            "0x00000000"を書いてください。            変換時間 0.62[μs] (SCLK=120[MHz])時:            "0x00000060"を書いてください。            変換時間 0.85[μs] (SCLK =120[MHz])時:            "0x00000000"を書いてください。</p> <p>2.7 ≤ AVDD5 &lt; 4.5 [V]の場合            変換時間 2[μs] (SCLK=30[MHz])時:            "0x00000070" を書いてください。</p>

注) このレジスタの設定は [ADxCR0]<ADEN>=0 の状態で行ってください。



## 4.2.8. [ADxCMPEN] (監視機能許可レジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:2	-	0	R	リードすると"0"が読めます。
1	CMP1EN	0	R/W	AD 監視機能 1 動作 0: 禁止 1: 許可
0	CMP0EN	0	R/W	AD 監視機能 0 動作 0: 禁止 1: 許可

## 4.2.9. [ADxCMPCR0] (監視機能設定レジスタ 0)

Bit	Bit Symbol	リセット後	Type	機能
31:12	-	0	R	リードすると"0"が読めます。
11:8	CMPCNT0[3:0]	0000	R/W	比較回数 0000: 1 回    1000: 9 回 0001: 2 回    1001: 10 回 0010: 3 回    1010: 11 回 0011: 4 回    1011: 12 回 0100: 5 回    1100: 13 回 0101: 6 回    1101: 14 回 0110: 7 回    1110: 15 回 0111: 8 回    1111: 16 回
7	-	0	R	リードすると"0"が読めます。
6	CMPCND0	0	R/W	判定条件 0: 連続方式 1: 累積方式
5	ADBIG0	0	R/W	大小判定設定 0: <REGS0>選択の変換結果 > [ADxCMP0] 1: <REGS0>選択の変換結果 < [ADxCMP0]
4:0	REGS0[4:0]	00000	R/W	比較する変換結果格納レジスタ 00000: ADxREG0    01000: ADxREG8    10000: ADxREG16 00001: ADxREG1    01001: ADxREG9    10001: ADxREG17 00010: ADxREG2    01010: ADxREG10    10010: ADxREG18 00011: ADxREG3    01011: ADxREG11    10011: ADxREG19 00100: ADxREG4    01100: ADxREG12    10100: ADxREG20 00101: ADxREG5    01101: ADxREG13    10101: ADxREG21 00110: ADxREG6    01110: ADxREG14    10110: ADxREG22 00111: ADxREG7    01111: ADxREG15    10111: ADxREG23 11000 以上の値は設定禁止

注) このレジスタの設定は [ADxCMPEN]<CMP0EN>=0 の状態で行ってください。

## 4.2.10. [ADxCMP1] (監視機能設定レジスタ 1)

Bit	Bit Symbol	リセット後	Type	機能
31:12	-	0	R	リードすると"0"が読めます。
11:8	CMPCNT1[3:0]	0000	R/W	比較回数 0000: 1回 1000: 9回 0001: 2回 1001: 10回 0010: 3回 1010: 11回 0011: 4回 1011: 12回 0100: 5回 1100: 13回 0101: 6回 1101: 14回 0110: 7回 1110: 15回 0111: 8回 1111: 16回
7	-	0	R	リードすると"0"が読めます。
6	CMPCND1	0	R/W	判定条件 0: 連続方式 1: 累積方式
5	ADBIG1	0	R/W	大小判定設定 0: <REGS1>選択の変換結果 > [ADxCMP1] 1: <REGS1>選択の変換結果 < [ADxCMP1]
4:0	REGS1[4:0]	00000	R/W	比較する変換結果格納レジスタ 00000: ADxREG0 01000: ADxREG8 10000: ADxREG16 00001: ADxREG1 01001: ADxREG9 10001: ADxREG17 00010: ADxREG2 01010: ADxREG10 10010: ADxREG18 00011: ADxREG3 01011: ADxREG11 10011: ADxREG19 00100: ADxREG4 01100: ADxREG12 10100: ADxREG20 00101: ADxREG5 01101: ADxREG13 10101: ADxREG21 00110: ADxREG6 01110: ADxREG14 10110: ADxREG22 00111: ADxREG7 01111: ADxREG15 10111: ADxREG23 11000 以上の値は設定禁止

注) このレジスタの設定は [ADxCMPEN]<CMP1EN>=0 の状態で行ってください。

## 4.2.11. [ADxCMP0] (変換結果比較レジスタ 0)

Bit	Bit Symbol	リセット後	Type	機能
31:16	-	0	R	リードすると"0"が読めます。
15:4	AD0CMP0[11:0]	0x000	R/W	AD 変換結果比較値格納 AD 変換結果と比較する値を設定します。
3:0	-	0	R	リードすると"0"が読めます。

注) このレジスタの設定は [ADxCMPEN]<CMP0EN>=0 の状態で行ってください。

## 4.2.12. [ADxCMP1] (変換結果比較レジスタ 1)

Bit	Bit Symbol	リセット後	Type	機能
31:16	-	0	R	リードすると"0"が読めます。
15:4	AD0CMP1[11:0]	0x000	R/W	AD 変換結果比較値格納 AD 変換結果と比較する値を設定します。
3:0	-	0	R	リードすると"0"が読めます。

注) このレジスタの設定は [ADxCMPEN]<CMP1EN>=0 の状態で行ってください。

## 4.2.13. PMD トリガ用制御レジスタ

### 4.2.13.1. [ADxPSEL0] (PMD トリガ用プログラム番号選択レジスタ 0)

[ADxPSEL0]の例です。[ADxPSEL1]~[ADxPSEL11]も同じ構成です。

Bit	Bit Symbol	リセット後	Type	機能
31:8	-	0	R	リードすると"0"が読めます。
7	PENS0	0	R/W	PDTRG0トリガ制御(注 2) 0: 禁止 1: 許可
6:4	-	0	R	リードすると"0"が読めます。
3:0	PMDS0[3:0]	0000	R/W	プログラム番号選択 0000: プログラム 0 0001: プログラム 1 0010: プログラム 2 0011: プログラム 3 0100: プログラム 4 0101: プログラム 5 0110: プログラム 6 0111: プログラム 7 1000: プログラム 8 1001~1111: Reserved

注 1) このレジスタの設定は [ADxCRO]<ADEN>=0 の状態で行ってください。

注 2) PMD の詳細はリファレンスマニュアルの「アドバンストプログラマブルモータ制御回路」を参照してください。

### 4.2.13.2. [ADxPINTS0] (PMD トリガ用割り込み選択レジスタ 0)

[ADxPINTS0]の例です。[ADxPINTS1]~[ADxPINTS8]も同じ構成です。

Bit	Bit Symbol	リセット後	Type	機能
31:3	-	0	R	リードすると"0"が読めます。
2:0	INTSEL0[2:0]	000	R/W	割り込み選択 000: 割り込み出力なし 001: INTADxPDA 010: INTADxPDB 011: INTADxPDC 100: INTADxPDD 101~111: Reserved プログラム 0 に対して、起動する割り込みを選択します。

注) このレジスタの設定は [ADxCRO]<ADEN>=0 の状態で行ってください。

### 4.2.13.3. [ADxPREGS0] (PMD トリガ用格納選択レジスタ 0)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	REGSEL7[2:0]	000	R/W	プログラム 7 変換結果格納レジスタ選択 000: ADxREG0~3      100: ADxREG16~19 001: ADxREG4~7      101: ADxREG20~23 010: ADxREG8~11     110: 設定禁止 011: ADxREG12~15    111: 設定禁止
27	-	0	R	リードすると"0"が読めます。
26:24	REGSEL6[2:0]	000	R/W	プログラム 6 変換結果格納レジスタ選択 000: ADxREG0~3      100: ADxREG16~19 001: ADxREG4~7      101: ADxREG20~23 010: ADxREG8~11     110: 設定禁止 011: ADxREG12~15    111: 設定禁止
23	-	0	R	リードすると"0"が読めます。
22:20	REGSEL5[2:0]	000	R/W	プログラム 5 変換結果格納レジスタ選択 000: ADxREG0~3      100: ADxREG16~19 001: ADxREG4~7      101: ADxREG20~23 010: ADxREG8~11     110: 設定禁止 011: ADxREG12~15    111: 設定禁止
19	-	0	R	リードすると"0"が読めます。
18:16	REGSEL4[2:0]	000	R/W	プログラム 4 変換結果格納レジスタ選択 000: ADxREG0~3      100: ADxREG16~19 001: ADxREG4~7      101: ADxREG20~23 010: ADxREG8~11     110: 設定禁止 011: ADxREG12~15    111: 設定禁止
15	-	0	R	リードすると"0"が読めます。
14:12	REGSEL3[2:0]	000	R/W	プログラム 3 変換結果格納レジスタ選択 000: ADxREG0~3      100: ADxREG16~19 001: ADxREG4~7      101: ADxREG20~23 010: ADxREG8~11     110: 設定禁止 011: ADxREG12~15    111: 設定禁止
11	-	0	R	リードすると"0"が読めます。
10:8	REGSEL2[2:0]	000	R/W	プログラム 2 変換結果格納レジスタ選択 000: ADxREG0~3      100: ADxREG16~19 001: ADxREG4~7      101: ADxREG20~23 010: ADxREG8~11     110: 設定禁止 011: ADxREG12~15    111: 設定禁止
7	-	0	R	リードすると"0"が読めます。
6:4	REGSEL1[2:0]	000	R/W	プログラム 1 変換結果格納レジスタ選択 000: ADxREG0~3      100: ADxREG16~19 001: ADxREG4~7      101: ADxREG20~23 010: ADxREG8~11     110: 設定禁止 011: ADxREG12~15    111: 設定禁止
3	-	0	R	リードすると"0"が読めます。
2:0	REGSEL0[2:0]	000	R/W	プログラム 0 変換結果格納レジスタ選択 000: ADxREG0~3      100: ADxREG16~19 001: ADxREG4~7      101: ADxREG20~23 010: ADxREG8~11     110: 設定禁止 011: ADxREG12~15    111: 設定禁止

注) このレジスタの設定は [ADxCR0]<ADEN>=0 の状態で行ってください。

#### 4.2.13.4. [ADxPREGS1](PMD トリガ用格納選択レジスタ 1)

Bit	Bit Symbol	リセット後	Type	機能
31:3	-	0	R	リードすると"0"が読めます。
2:0	REGSEL8[2:0]	000	R/W	プログラム 8 変換結果格納レジスタ選択 000: ADxREG0~3      100: ADxREG16~19 001: ADxREG4~7     101: ADxREG20~23 010: ADxREG8~11    110: 設定禁止 011: ADxREG12~15   111: 設定禁止

注) このレジスタの設定は [ADxCR0]<ADEN>=0 の状態で行ってください。

#### 4.2.13.5. [ADxPSET0](PMD トリガ用プログラムレジスタ 0)

[ADxPSET0]の例です。[ADxPSET1]~[ADxPSET8]も同じ構成です。

Bit	Bit Symbol	リセット後	Type	機能
31	ENSP03	0	R/W	変換 3 設定: 変換制御 0: 禁止 1: 許可
30:29	UVWIS03[1:0]	00	R/W	変換 3 設定: 相選択(VE 通知用) 00: 指定なし 01: U 相 10: V 相 11: W 相
28:24	AINSP03[4:0]	00000	R/W	変換 3 設定: AIN 選択 (注) 00000: AINx00   01000: AINx08   10000: AINx16 00001: AINx01   01001: AINx09   10001: AINx17 00010: AINx02   01010: AINx10   10010: AINx18 00011: AINx03   01011: AINx11   10011: AINx19 00100: AINx04   01100: AINx12   10100: AINx20 00101: AINx05   01101: AINx13   10101: AINx21 00110: AINx06   01110: AINx14   10110: AINx22 00111: AINx07   01111: AINx15   10111: AINx23 11000 以上の値は設定禁止
23	ENSP02	0	R/W	変換 2 設定: 変換制御 0: 禁止 1: 許可
22:21	UVWIS02[1:0]	00	R/W	変換 2 設定: 相選択(VE 通知用) 00: 指定なし 01: U 相 10: V 相 11: W 相
20:16	AINSP02[4:0]	00000	R/W	変換 2 設定: AIN 選択 (注) 00000: AINx00   01000: AINx08   10000: AINx16 00001: AINx01   01001: AINx09   10001: AINx17 00010: AINx02   01010: AINx10   10010: AINx18 00011: AINx03   01011: AINx11   10011: AINx19 00100: AINx04   01100: AINx12   10100: AINx20 00101: AINx05   01101: AINx13   10101: AINx21 00110: AINx06   01110: AINx14   10110: AINx22 00111: AINx07   01111: AINx15   10111: AINx23 11000 以上の値は設定禁止

Bit	Bit Symbol	リセット後	Type	機能
15	ENSP01	0	R/W	変換 1 設定: 変換制御 0: 禁止 1: 許可
14:13	UVWIS01[1:0]	00	R/W	変換 1 設定: 相選択(VE 通知用) 00: 指定なし 01: U 相 10: V 相 11: W 相
12:8	AINSP01[4:0]	00000	R/W	変換 1 設定: AIN 選択 (注) 00000: AINx00 01000: AINx08 10000: AINx16 00001: AINx01 01001: AINx09 10001: AINx17 00010: AINx02 01010: AINx10 10010: AINx18 00011: AINx03 01011: AINx11 10011: AINx19 00100: AINx04 01100: AINx12 10100: AINx20 00101: AINx05 01101: AINx13 10101: AINx21 00110: AINx06 01110: AINx14 10110: AINx22 00111: AINx07 01111: AINx15 10111: AINx23 11000 以上の値は設定禁止
7	ENSP00	0	R/W	変換 0 設定: 変換制御 0: 禁止 1: 許可
6:5	UVWIS00[1:0]	00	R/W	変換 0 設定: 相選択(VE 通知用) 00: 指定なし 01: U 相 10: V 相 11: W 相
4:0	AINSP00[4:0]	00000	R/W	変換 0 設定: AIN 選択 (注) 00000: AINx00 01000: AINx08 10000: AINx16 00001: AINx01 01001: AINx09 10001: AINx17 00010: AINx02 01010: AINx10 10010: AINx18 00011: AINx03 01011: AINx11 10011: AINx19 00100: AINx04 01100: AINx12 10100: AINx20 00101: AINx05 01101: AINx13 10101: AINx21 00110: AINx06 01110: AINx14 10110: AINx22 00111: AINx07 01111: AINx15 10111: AINx23 11000 以上の値は設定禁止

注) 製品に無い AIN は設定禁止です(リファレンスマニュアルの「製品個別情報」を参照してください)。

## 4.2.14. [ADxTSET0] (汎用起動要因用プログラムレジスタ 0)

[ADxTSET0]の例です。[ADxTSET1]~[ADxTSET23]も同じ構成です。

Bit	Bit Symbol	リセット後	Type	機能
31:8	-	0	R	リードすると"0"が読めます。
7	ENINT0	0	R/W	変換結果格納レジスタ0 設定: 割り込み制御 0: 禁止 1: 許可
6:5	TRGS0[1:0]	00	R/W	変換結果格納レジスタ0 設定: 変換制御 00: 変換禁止 01: 連続変換 10: 単独変換 11: 汎用トリガ変換
4:0	AINST0[4:0]	00000	R/W	変換結果格納レジスタ0 設定: AIN 選択 (注) 00000: AINx00 01000: AINx08 10000: AINx16 00001: AINx01 01001: AINx09 10001: AINx17 00010: AINx02 01010: AINx10 10010: AINx18 00011: AINx03 01011: AINx11 10011: AINx19 00100: AINx04 01100: AINx12 10100: AINx20 00101: AINx05 01101: AINx13 10101: AINx21 00110: AINx06 01110: AINx14 10110: AINx22 00111: AINx07 01111: AINx15 10111: AINx23 11000 以上の値は設定禁止

注) 製品に無い AIN は設定禁止です(リファレンスマニュアルの「製品個別情報」を参照してください)

## 4.2.15. [ADxREG0] (変換結果格納レジスタ 0)

[ADxREG0]の例です。[ADxREG1]~[ADxREG23]も同じ構成です。

Bit	Bit Symbol	リセット後	Type	機能
31:30	-	0	R	リードすると"0"が読めます。
29	ADOVRF_M0	0	R	オーバランフラグ<ADOVRF0>のミラービットです。
28	ADRF_M0	0	R	AD 変換結果格納フラグ<ADRF0>のミラービットです。
27:16	ADR_M0[11:0]	0x000	R	AD 変換結果<ADR0>のミラー領域です。 [ADxREG0]レジスタの上位ハーフワードに下詰 12 ビットで AD 変換結果を読み出せます。
15:4	ADR0[11:0]	0x000	R	AD 変換結果が格納されます。 [ADxREG0]レジスタの下位ハーフワードに上詰 12 ビットで AD 変換結果を読み出せます。
3:2	-	0	R	リードすると"0"が読めます。
1	ADOVRF0	0	R	オーバランフラグ 0: 発生なし 1: 発生あり [ADxREG0]レジスタを読み出す前に AD 変換結果が上書きされると"1"にセットされます。このフラグは読み出すと"0"にクリアされます。
0	ADRF0	0	R	AD 変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり AD 変換値が格納されると"1"にセットされます。このフラグは読み出すと"0"にクリアされます。



## 4.2.16. [ADxPROSEL] (プログラム再開選択レジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:15	-	0	R	リードすると"0"が読めます。
14	PROSEL14	0	R/W	連続変換プログラムの再開/キャンセル選択 0: 再開 (保留/中断から実行再開される) 1: 再開キャンセル (保留/中断で実行キャンセルされる)
13	PROSEL13	0	R/W	単独変換プログラムの再開/キャンセル選択 0: 再開 (保留/中断から実行再開される) 1: 再開キャンセル (保留/中断で実行キャンセルされる)
12	PROSEL12	0	R/W	GPTRG プログラムの再開/キャンセル選択 0: 再開 (保留/中断から実行再開される) 1: 再開キャンセル (保留/中断で実行キャンセルされる)
11	PROSEL11	0	R/W	PDTRG11 プログラムの再開/キャンセル選択 0: 再開 (保留/中断から実行再開される) 1: 再開キャンセル (保留/中断で実行キャンセルされる)
10	PROSEL10	0	R/W	PDTRG10 プログラムの再開/キャンセル選択 0: 再開 (保留/中断から実行再開される) 1: 再開キャンセル (保留/中断で実行キャンセルされる)
9	PROSEL9	0	R/W	PDTRG9 プログラムの再開/キャンセル選択 0: 再開 (保留/中断から実行再開される) 1: 再開キャンセル (保留/中断で実行キャンセルされる)
8	PROSEL8	0	R/W	PDTRG8 プログラムの再開/キャンセル選択 0: 再開 (保留/中断から実行再開される) 1: 再開キャンセル (保留/中断で実行キャンセルされる)
7	PROSEL7	0	R/W	PDTRG7 プログラムの再開/キャンセル選択 0: 再開 (保留/中断から実行再開される) 1: 再開キャンセル (保留/中断で実行キャンセルされる)
6	PROSEL6	0	R/W	PDTRG6 プログラムの再開/キャンセル選択 0: 再開 (保留/中断から実行再開される) 1: 再開キャンセル (保留/中断で実行キャンセルされる)
5	PROSEL5	0	R/W	PDTRG5 プログラムの再開/キャンセル選択 0: 再開 (保留/中断から実行再開される) 1: 再開キャンセル (保留/中断で実行キャンセルされる)
4	PROSEL4	0	R/W	PDTRG4 プログラムの再開/キャンセル選択 0: 再開 (保留/中断から実行再開される) 1: 再開キャンセル (保留/中断で実行キャンセルされる)
3	PROSEL3	0	R/W	PDTRG3 プログラムの再開/キャンセル選択 0: 再開 (保留/中断から実行再開される) 1: 再開キャンセル (保留/中断で実行キャンセルされる)
2	PROSEL2	0	R/W	PDTRG2 プログラムの再開/キャンセル選択 0: 再開 (保留/中断から実行再開される) 1: 再開キャンセル (保留/中断で実行キャンセルされる)
1	PROSEL1	0	R/W	PDTRG1 プログラムの再開/キャンセル選択 0: 再開 (保留/中断から実行再開される) 1: 再開キャンセル (保留/中断で実行キャンセルされる)
0	PROSEL0	0	R/W	PDTRG0 プログラムの再開/キャンセル選択 0: 再開 (保留/中断から実行再開される) 1: 再開キャンセル (保留/中断で実行キャンセルされる)

注) このレジスタの設定は [ADxCRO] <ADEN>=0 の状態で行ってください。

## 4.2.17. [ADxPFLG] (起動優先状態フラグレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:15	-	0	R	リードすると"0"が読めます。
14	PFLG14	0	R	起動要因(連続変換)の優先度状態フラグ 0: - 1: 保留/中断あり
13	PFLG13	0	R	起動要因(単独変換)の優先度状態フラグ 0: - 1: 保留/中断あり
12	PFLG12	0	R	起動要因(GPTRG)の優先度状態フラグ 0: - 1: 保留/中断あり
11	PFLG11	0	R	起動要因(PDTRG11)の優先度状態フラグ 0: - 1: 保留/中断あり
10	PFLG10	0	R	起動要因(PDTRG10)の優先度状態フラグ 0: - 1: 保留/中断あり
9	PFLG9	0	R	起動要因(PDTRG9)の優先度状態フラグ 0: - 1: 保留/中断あり
8	PFLG8	0	R	起動要因(PDTRG8)の優先度状態フラグ 0: - 1: 保留/中断あり
7	PFLG7	0	R	起動要因(PDTRG7)の優先度状態フラグ 0: - 1: 保留/中断あり
6	PFLG6	0	R	起動要因(PDTRG6)の優先度状態フラグ 0: - 1: 保留/中断あり
5	PFLG5	0	R	起動要因(PDTRG5)の優先度状態フラグ 0: - 1: 保留/中断あり
4	PFLG4	0	R	起動要因(PDTRG4)の優先度状態フラグ 0: - 1: 保留/中断あり
3	PFLG3	0	R	起動要因(PDTRG3)の優先度状態フラグ 0: - 1: 保留/中断あり
2	PFLG2	0	R	起動要因(PDTRG2)の優先度状態フラグ 0: - 1: 保留/中断あり
1	PFLG1	0	R	起動要因(PDTRG1)の優先度状態フラグ 0: - 1: 保留/中断あり
0	PFLG0	0	R	起動要因(PDTRG0)の優先度状態フラグ 0: - 1: 保留/中断あり

注) 保留/中断が起こった場合にフラグがセットされ、次の同じ要因のトリガが来たときにクリアされます。

## 4.2.18. [ADxPINT] (優先度割り込み制御レジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:15	-	0	R	リードすると"0"が読めます。
14	PINT14	0	R/W	連続変換が優先負けした際の割り込み要求制御 0: 割り込み要求禁止 1: 割り込み要求許可
13	PINT13	0	R/W	単独変換が優先負けした際の割り込み要求制御 0: 割り込み要求禁止 1: 割り込み要求許可
12	PINT12	0	R/W	GPTRG が優先負けした際の割り込み要求制御 0: 割り込み要求禁止 1: 割り込み要求許可
11	PINT11	0	R/W	PDTRG11 が優先負けした際の割り込み要求制御 0: 割り込み要求禁止 1: 割り込み要求許可
10	PINT10	0	R/W	PDTRG10 が優先負けした際の割り込み要求制御 0: 割り込み要求禁止 1: 割り込み要求許可
9	PINT9	0	R/W	PDTRG9 が優先負けした際の割り込み要求制御 0: 割り込み要求禁止 1: 割り込み要求許可
8	PINT8	0	R/W	PDTRG8 が優先負けした際の割り込み要求制御 0: 割り込み要求禁止 1: 割り込み要求許可
7	PINT7	0	R/W	PDTRG7 が優先負けした際の割り込み要求制御 0: 割り込み要求禁止 1: 割り込み要求許可
6	PINT6	0	R/W	PDTRG6 が優先負けした際の割り込み要求制御 0: 割り込み要求禁止 1: 割り込み要求許可
5	PINT5	0	R/W	PDTRG5 が優先負けした際の割り込み要求制御 0: 割り込み要求禁止 1: 割り込み要求許可
4	PINT4	0	R/W	PDTRG4 が優先負けした際の割り込み要求制御 0: 割り込み要求禁止 1: 割り込み要求許可
3	PINT3	0	R/W	PDTRG3 が優先負けした際の割り込み要求制御 0: 割り込み要求禁止 1: 割り込み要求許可
2	PINT2	0	R/W	PDTRG2 が優先負けした際の割り込み要求制御 0: 割り込み要求禁止 1: 割り込み要求許可
1	PINT1	0	R/W	PDTRG1 が優先負けした際の割り込み要求制御 0: 割り込み要求禁止 1: 割り込み要求許可
0	PINT0	0	R/W	PDTRG0 が優先負けした際の割り込み要求制御 0: 割り込み要求禁止 1: 割り込み要求許可

注 1) このレジスタの設定は [ADxCRO]<ADEN>=0 の状態で行ってください。

## 4.2.19. [SHxTRGPAT](トリガ切り替えパターン選択レジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:4	-	0	R	リードすると"0"が読めます。
3:2	TRGPAT1[1:0]	00	R/W	トリガ組み合わせ上位パターン選択 (PMDトリガ/ADxTRGINのパターン選択) 00: 上位パターン0 選択 01: 上位パターン1 選択 10: 上位パターン2 選択 11: 上位パターン3 選択
1:0	TRGPAT0[1:0]	00	R/W	トリガ組み合わせ下位パターン選択 (PMDトリガのパターン選択) 00: 下位パターン0 選択 01: 下位パターン1 選択 10: 下位パターン2 選択 11: 下位パターン3 選択

注 1) このレジスタの設定は [ADxCRO]<ADEN>=0 の状態で行ってください。

注 2) 組み合わせパターンは 表 3.4 を参照してください。

## 5. 使用方法の例

### 5.1. 単独変換

単独変換はソフトウェアで変換開始し、複数の変換が可能です。

以下は、単独変換で2つのアナログ入力(AINx02, AINx03)の変換結果を2つの変換結果格納レジスタ([ADxREG4]、[ADxREG5])に保管し、2つ目の変換終了で単独変換割り込み INTADxSGL を発生する場合の設定例です。

#### 【初期設定】

- [ADxMOD0]=0x00000001  
DAC オン: <DACON>=1  
通常動作: <RCUT>=0
- [ADxCLK]=0x00000000  
変換時間 0.5[μs]@ADCLK=120[MHz] の変換クロック設定
- [ADxMOD1]=0x00304000  
変換時間 0.5[μs]@ADCLK=120[MHz] のモード設定 1
- [ADxMOD2]=0x00000000  
変換時間 0.5[μs]@ADCLK=120[MHz] のモード設定 2

#### 【変換プログラム設定】

- [ADxTSET4]=0x00000042  
単独変換: <TRGS4>=10  
AINx02: <AINST4>=00010  
割り込み禁止: <ENINT4>=0
- [ADxTSET5]=0x000000C3  
単独変換: <TRGS5>=10  
AINx03: <AINST5>=00011  
割り込み許可: <ENINT5>=1

#### 【変換開始設定】

- [ADxCRI]=0x00000000  
DMA 要求禁止
- [ADxCR0]=0x00000082  
ADC 許可: <ADEN>=1  
連続変換禁止: <CNT>=0  
単独変換許可: <SGL>=1 ; 変換開始

## 5.2. PMD トリガ変換

### 5.2.1. PMD (3 シャント)、ADC × 1

3 シャントで、PMD チャンネル 0 と ADC ユニット A を使用した場合の構成図を以下に示します。

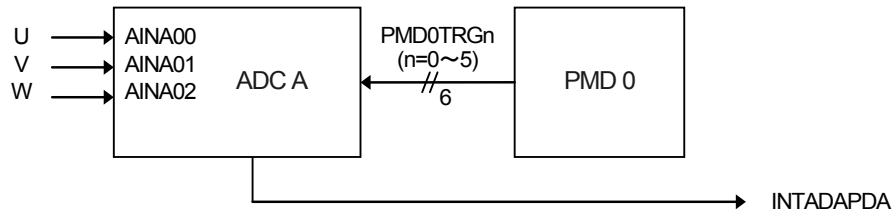


図 5.1 3シャントの例

この場合の ADC の設定例を以下に示します。

表 5.1 3シャントでのADC設定

Program	0	1	2	3	4	5
Reg0	U	V	W	V	W	U
Reg1	V	W	U	U	V	W
INT	INTADAPDA	INTADAPDA	INTADAPDA	INTADAPDA	INTADAPDA	INTADAPDA

6 本のトリガ入力 PMD0TRG0~5 に対し、 $[ADAPSEL0]$ ~ $[ADAPSEL5]$ でそれぞれ 0~5 のプログラム番号を割り付けます。

表中の Reg0, Reg1 は $[ADAPSETn][7:0]$ および $[ADAPSETn][15:8]$ を表します(n: プログラム番号)。表中の「U」、「V」、「W」はモータの位相を表しており、それぞれの位相が得られる AIN 入力を選択します。

トリガが入力されると Reg0, Reg1 の順に AD 変換が開始され、それぞれの変換結果が変換結果格納レジスタへ保存され、INTADAPDA 割り込みが出力されます。

## 5.2.2. PMD (1 シヤント)、ADC × 1

1 シヤントで、PMD チャンネル 0 と ADC ユニット A を使用した場合の構成図を以下に示します。

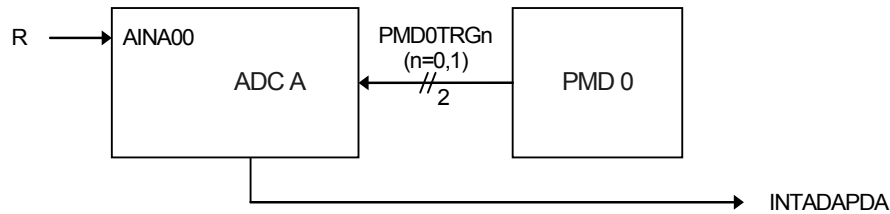


図 5.2 1シヤントの例

この場合の ADC の設定例を以下に示します。

表 5.2 1シヤントでのADC設定

トリガ	PMD0	PMD0
	0	1
Program	0	1
Reg0	R	-
Reg1	-	R
INT	-	INTADAPDA

PMD0 から出力される 2 本のトリガ信号に対し、それぞれプログラム番号を割り付けています。

表中の Reg0, Reg1 は  $[ADAPSETn][7:0]$ 、 $[ADAPSETn][15:8]$  を表します (n: プログラム番号)。表中の「R」は抵抗を表しており、接続されている AIN を設定します。

トリガが入力されると ADC ユニット A の AD 変換が開始し、変換結果が変換結果格納レジスタ 0 と 1 に保存されます。プログラム 0, 1 の順で変換が実行され、終了すると INTADAPDA 割り込みを発生します。

## 6. 使用上のご注意およびお願い事項

- 電源電圧の変動や周囲のノイズの影響によって AD 変換結果がばらつくことがあります。また、AD 変換中に AD 入力に兼用となっている端子への入力および出力の変化、出力ポートに設定している他の端子の出力が変動すると AD 変換精度が低下することがあります。従って、AD 入力に兼用となっている端子への入力および出力の変化や出力ポートに設定している他の端子の出力の変化をさせないようにしてください。なお、上記のような AD 変換結果のばらつきや AD 変換精度の低下が考えられる場合は、プログラムで複数回の変換結果の平均値をとるなどの対策を行ってください。
- ADC のアナログ電源端子(AVDD5、AVSS)、基準電圧端子(VREFHx、VREFLx)には、デジタル系のノイズが混入しないような対策を講じてください。
  - AVDD5 と AVSS 端子間、VREFHx と VREFLx 端子間にバイパスコンデンサを挿入してください。コンデンサはできる限り端子の近くに配置してください。



## 7. 改訂履歴

表 7.1 改訂履歴

Revision	Date	Description
1.0	2018-01-12	新規作成
2.0	2018-03-19	<ul style="list-style-type: none"> <li>・全般 AINx0~AINx9→AINx00~AINx09 AVDD,AVDD5→AVDD5</li> <li>・関連するリファレンスマニュアル タイトル: 関連するドキュメント</li> <li>・1.概要 表内 変換時間/動作説明: 表記見直し 変換結果の保存/動作説明: 32 本→24 本 汎用起動要因による起動/動作説明: 汎用トリガ変換→汎用トリガ起動 最大 32 回→最大 24 回 図 1.1 上: アドバンスモータ→アドバンスプログラムブルモータ</li> <li>・図 1.1 内: A-PMD→PMD</li> <li>・図 2.1 内: ADxTSET31→ADxTSET23, ADxREG31→ADxREG23 ADxMOD2 追記 周辺機能からのトリガ→周辺機能からのトリガ(TRGSEL 経由)</li> <li>・3.機能説明・動作説明 2 段目以降を"3.1.クロック供給"に分割</li> <li>・3.2.1.動作概要 図 3.1 内: ADxTSET31→ADxTSET23, ADxREG31→ADxREG23 表 3.1 の3行前: 起動要因ごと→汎用起動要因ごと</li> <li>・3.2.2.制御レジスタ 1 項目内: ADxREG31→ADxREG23 2 項目内: &lt;DACON&gt;を"1"に設定→&lt;DACON&gt;に"1"を設定</li> <li>・図 3.2 内下ブロック: 24~31→-</li> <li>・3.3.2.制御レジスタ 2 項目内: (PDTRGn (n=0~11))→(PDTRG0~PDTRG11) 5 項目内: ", 24~27, 28~31"削除 手順(5)内: 相選択(VE 通知用)&lt;UVWISn&gt;=任意の相</li> <li>・3.5.起動要因の優先度 表上 2 段目: プログラム→変換プログラム 表上 1 段目: 実行中プログラムの起動要因→変換プログラムの実行状態 表下 注意文言内 4 カ所: 要因→起動要因</li> <li>・3.6.AD 監視機能 (1),(2)項,図 3.3、図 3.4 内 [15:4]→&lt;AD0CMP0&gt;, &lt;ADxCMP0&gt;→&lt;AD0CMP0&gt;</li> <li>・4.1.レジスタ一覧 ADC レジスタ 削除: 汎用起動要因用プログラムレジスタ 24~31 変換結果格納レジスタ 24~31 SHレジスタ: Adress→アドレス</li> <li>・4.2.9./4.2.10. REGSn/機能 内: 11000~11111 を設定禁止に変更</li> <li>・4.2.13.3./4.2.13.4 REGSELn/機能 内: 110,111 を設定禁止に変更</li> <li>・4.2.14. 表上: ADxTSET31→ADxTSET23</li> <li>・4.2.15. 表上: ADxREG31→ ADxREG23</li> </ul>

## 製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、電力機器、金融関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口までお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。