

**32 ビット RISC マイクロコントローラー  
TX03 シリーズ**

**TMPM370FYDFG  
TMPM370FYFG**

**Revision 1.1**

---

**2023-07**

**東芝デバイス&ストレージ株式会社**

## 目次

目次 .....	2
図目次.....	19
表目次.....	23
1. 特長 .....	30
1.1. 機能別製品一覧.....	34
1.2. ブロック図.....	35
1.3. ピン配置図 (top view) .....	36
1.3.1. QFP100.....	36
1.3.2. LQFP100.....	37
1.4. ピン名称と機能.....	38
1.4.1. 機能端子とポート割り当て(端子番号).....	38
1.5. 電源の種類と供給端子.....	43
2. プロセッサコア .....	44
2.1. コアに関する情報.....	44
2.2. 構成可能なオプション.....	45
2.3. 例外/割り込み .....	45
2.3.1. 割り込み本数 .....	45
2.3.2. 割り込み優先度ビット数 .....	45
2.3.3. SysTick .....	46
2.3.4. SYSRESETREQ.....	46
2.3.5. LOCKUP.....	46
2.3.6. 補助フォールトステータスレジスター .....	46
2.4. イベント.....	46
2.5. 電力管理.....	47
2.6. 排他アクセス .....	47

---

3. メモリーマップ.....	48
3.1. メモリーマップ.....	48
3.1.1. メモリーマップ.....	49
3.2. SFR 領域詳細.....	50
4. リセット動作.....	51
4.1. リセット入力前状態.....	51
4.2. リセット期間.....	51
4.3. リセット解除後.....	51
5. クロック/モード制御(CG).....	52
5.1. 特長.....	52
5.2. レジスター説明.....	53
5.2.1. レジスター一覧.....	53
5.2.2. CGSYSCR (システムコントロールレジスター).....	54
5.2.3. CGOSCCR (発振コントロールレジスター).....	55
5.2.4. CGSTBYCR (スタンバイコントロールレジスター).....	56
5.2.5. CGPLLSEL (PLL セレクトレジスター).....	57
5.3. クロック制御.....	58
5.3.1. クロックの種類.....	58
5.3.2. リセット動作による初期値.....	58
5.3.3. クロック系統図.....	59
5.3.4. クロック逡倍回路(PLL).....	60
5.3.5. ウォーミングアップ機能.....	61
5.3.6. システムクロック.....	62
5.3.7. プリスケーラークロック.....	63
5.4. モードとモード遷移.....	63
5.4.1. モード状態遷移.....	63
5.5. 動作モード.....	64

---

5.5.1. NORMAL モード .....	64
5.6. 低消費電力モード .....	64
5.6.1. IDLE モード .....	64
5.6.2. STOP モード .....	65
5.6.3. 低消費電力モードの選択 .....	66
5.6.4. 各モードにおける動作状態 .....	67
5.6.5. 低消費電力モードの解除 .....	68
5.6.6. ウォーミングアップ .....	70
5.6.7. モード遷移によるクロック動作 .....	71
6. 例外 .....	72
6.1. 概要 .....	72
6.1.1. 種類 .....	72
6.1.2. 処理の流れ .....	73
6.2. リセット例外 .....	80
6.3. SysTick .....	80
6.4. 割り込み .....	81
6.4.1. マスク不能割り込み(NMI) .....	81
6.4.2. マスク可能割り込み .....	81
6.4.3. 割り込み要求 .....	81
6.4.4. 製品別の割り込み要因一覧 .....	85
6.4.5. 割り込み検知レベル .....	88
6.4.6. 処理手順 .....	89
6.5. 例外/割り込み関連レジスター .....	96
6.5.1. レジスター一覧 .....	96
6.5.2. NVIC レジスター .....	98
6.5.3. CG レジスター .....	125
7. 製品個別情報 .....	138

7.1. 各周辺機能の情報.....	138
7.1.1. クロック/モード制御(CG).....	138
7.1.2. 例外 .....	139
7.1.3. 入出力ポート .....	140
7.1.4. 16 ビットタイマー/イベントカウンタ(TMRB).....	141
7.1.5. シリアルチャネル(SIO/UART).....	145
7.1.6. 12 ビットアナログデジタルコンバータ(ADC).....	147
7.1.7. モーター制御回路(PMD).....	150
7.1.8. ベクトルエンジン(VE).....	154
7.1.9. エンコーダ入力回路(ENC).....	155
7.1.10. 電圧検出回路(VLTD).....	157
7.1.11. 周波数検知回路(OFD).....	158
7.1.12. ウォッチドッグタイマー(WDT).....	159
7.1.13. オペンプ/アナログコンパレータ(AMP/CMP) .....	160
7.1.14. フラッシュメモリー .....	162
7.1.15. プロテクト/セキュリティー機能.....	164
7.1.16. デバッグインターフェース.....	165
8. 入出力ポート.....	166
8.1. 概要.....	166
8.2. 信号接続一覧 .....	167
8.3. レジスター説明.....	172
8.3.1. レジスター一覧.....	173
8.3.2. ポート機能とレジスター設定 .....	174
8.4. ポート回路図 .....	186
8.4.1. タイプ T1.....	187
8.4.2. タイプ T2.....	188
8.4.3. タイプ T3.....	189

---

8.4.4. タイプ T4.....	190
8.4.5. タイプ T5.....	191
8.4.6. タイプ T6.....	192
8.4.7. タイプ T7.....	193
8.4.8. タイプ T8.....	194
8.4.9. タイプ T9.....	195
8.4.10. タイプ T10.....	196
8.4.11. タイプ T11.....	197
8.4.12. タイプ T12.....	198
8.4.13. タイプ T13.....	199
8.4.14. タイプ T14.....	200
8.4.15. タイプ T15.....	201
8.4.16. タイプ T16.....	202
8.4.17. タイプ T17.....	203
8.4.18. タイプ T18.....	204
8.4.19. タイプ T19.....	205
8.4.20. タイプ T20.....	206
8.4.21. タイプ T21.....	207
8.5. 使用上のご注意およびお願い事項.....	208
8.5.1. リセット期間中の端子状態について.....	208
8.5.2. 未使用端子の処理について.....	208
8.5.3. デバッグ用端子を汎用ポートとして使用する際の注意.....	208
9. 16ビットタイマー/イベントカウンタ(TMRB).....	209
9.1. 概要.....	209
9.2. 構成.....	210
9.3. レジスター説明.....	211
9.3.1. レジスター一覧.....	211

---

9.3.2. TBxEN(許可レジスター).....	212
9.3.3. TBxRUN(RUN レジスター) .....	213
9.3.4. TBxCR(コントロールレジスター) .....	214
9.3.5. TBxMOD(モードレジスター).....	215
9.3.6. TBxFFCR(フリップフロップコントロールレジスター) .....	216
9.3.7. TBxST(ステータスレジスター) .....	217
9.3.8. TBxIM(割り込みマスクレジスター).....	218
9.3.9. TBxUC(アップカウンタキャプチャレジスター).....	219
9.3.10. TBxRG0(タイマーレジスター0) .....	220
9.3.11. TBxRG1(タイマーレジスター1) .....	220
9.3.12. TBxCP0(キャプチャレジスター0) .....	221
9.3.13. TBxCP1(キャプチャレジスター1) .....	221
9.4. 動作説明.....	222
9.4.1. プリスケーラー.....	222
9.4.2. アップカウンタ(UC) .....	224
9.4.3. タイマーレジスター(TBxRG0、TBxRG1).....	224
9.4.4. キャプチャ制御.....	225
9.4.5. キャプチャレジスター(TBxCP0、TBxCP1).....	225
9.4.6. アップカウンタキャプチャレジスター(TBxUC).....	225
9.4.7. コンパレータ(CP0、CP1).....	225
9.4.8. タイマーフリップフロップ(TBxFF0).....	225
9.4.9. キャプチャ割り込み(INTCAPx0、INTCAPx1) .....	225
9.5. モード別動作説明.....	226
9.5.1. 16 ビットインターバルタイマーモード .....	226
9.5.2. 16 ビットイベントカウンタモード.....	226
9.5.3. 16 ビットプログラマブル矩形波出力(PPG)モード .....	227
9.5.4. 外部トリガープログラマブル矩形波(PPG)出力モード.....	229

9.5.5. キャプチャー機能を利用した応用例 .....	230
10. シリアルチャネル(SIO/UART) .....	233
10.1. 概要 .....	233
10.2. 構成 .....	234
10.3. レジスター説明 .....	235
10.3.1. レジスター一覧 .....	235
10.3.2. SCxEN(許可レジスター) .....	236
10.3.3. SCxBUF(バッファレジスター) .....	237
10.3.4. SCxCR(コントロールレジスター) .....	238
10.3.5. SCxMOD0(モードコントロールレジスター0) .....	239
10.3.6. SCxBRCR(ボーレートジェネレーターコントロールレジスター) .....	240
10.3.7. SCxBRADD(ボーレートジェネレーターコントロールレジスター2) .....	241
10.3.8. SCxMOD1(モードコントロールレジスター1) .....	242
10.3.9. SCxMOD2(モードコントロールレジスター2) .....	243
10.3.10. SCxRFC(受信 FIFO コンフィグレジスター) .....	245
10.3.11. SCxTFC(送信 FIFO コンフィグレジスター)(注 2) .....	246
10.3.12. SCxRST(受信 FIFO ステータスレジスター) .....	247
10.3.13. SCxTST(送信 FIFO ステータスレジスター) .....	248
10.3.14. SCxFCNF(FIFO コンフィグレジスター) .....	249
10.4. モード .....	251
10.5. データフォーマット .....	252
10.5.1. データフォーマット一覧 .....	252
10.5.2. パリティビット制御 .....	252
10.5.3. STOP ビット長 .....	253
10.6. クロック制御 .....	254
10.6.1. プリスケラー .....	254
10.6.2. シリアルクロック生成回路 .....	257

10.7. 送信/受信バッファと FIFO .....	265
10.7.1. 構成 .....	265
10.7.2. 送信/受信バッファ .....	265
10.7.3. FIFO .....	266
10.8. ステータスフラグ .....	266
10.9. エラーフラグ .....	267
10.9.1. OERR フラグ .....	267
10.9.2. PERR フラグ .....	268
10.9.3. FERR フラグ .....	268
10.10. 受信 .....	269
10.10.1. 受信カウンター .....	269
10.10.2. 受信制御 .....	269
10.10.3. 受信動作 .....	270
10.11. 送信 .....	273
10.11.1. 送信カウンター .....	273
10.11.2. 送信制御 .....	273
10.11.3. 送信動作 .....	274
10.12. ハンドシェイク機能 .....	277
10.13. 割り込み/エラー発生タイミング .....	279
10.13.1. 受信割り込み(INTRXx) .....	279
10.13.2. 送信割り込み(INTTXx) .....	280
10.13.3. エラー発生時の割り込み発生タイミング .....	282
10.14. ソフトウェアリセット .....	282
10.15. モード別動作説明 .....	283
10.15.1. モード 0(SIO モード) .....	283
10.15.2. モード 1(7 ビット UART モード) .....	294
10.15.3. モード 2(8 ビット UART モード) .....	295

10.15.4. モード 3(9 ビット UART モード).....	296
11. 12 ビットアナログ/デジタルコンバーター(ADC).....	298
11.1. 機能と特徴.....	298
11.2. ブロック図.....	299
11.3. レジスター一覧.....	300
11.4. レジスター詳細.....	302
11.4.1. ADxCLK(変換クロック設定レジスター).....	302
11.4.2. ADxMOD0(モード設定レジスター0).....	303
11.4.3. ADxMOD1(モード設定レジスター1).....	304
11.4.4. ADxMOD2(モード設定レジスター2).....	305
11.4.5. ADxCMPCR0(監視割り込み設定レジスター0).....	306
11.4.6. ADxCMPCR1(監視割り込み設定レジスター1).....	307
11.4.7. ADxCMP0(変換結果比較レジスター0).....	308
11.4.8. ADxCMP1(変換結果比較レジスター1).....	308
11.4.9. ADxREG0(変換結果格納レジスター0).....	309
11.4.10. ADxREG1(変換結果格納レジスター1).....	310
11.4.11. ADxREG2(変換結果格納レジスター2).....	311
11.4.12. ADxREG3(変換結果格納レジスター3).....	312
11.4.13. ADxREG4(変換結果格納レジスター4).....	313
11.4.14. ADxREG5(変換結果格納レジスター5).....	314
11.4.15. ADxREG6(変換結果格納レジスター6).....	315
11.4.16. ADxREG7(変換結果格納レジスター7).....	316
11.4.17. ADxREG8(変換結果格納レジスター8).....	317
11.4.18. ADxREG9(変換結果格納レジスター9).....	318
11.4.19. ADxREG10(変換結果格納レジスター10).....	319
11.4.20. ADxREG11(変換結果格納レジスター11).....	320
11.4.21. PMD トリガー用プログラムレジスター.....	321

11.4.22. ADxTSET03/ADxTSET47/ADxTSET811(タイマートリガー用プログラムレジスター) .....	342
11.4.23. ADxSSET03/ADxSSET47/ADxSSET811 (ソフトウェアトリガー用プログラムレジスター).....	346
11.4.24. ADxASET03/ADxASET47/ADxASET811(常時変換用プログラムレジスター) .....	350
11.4.25. ADxMOD3(モード設定レジスター3).....	354
11.5. 動作説明 .....	355
11.5.1. アナログ基準電圧 .....	355
11.5.2. AD 変換開始.....	355
11.5.3. AD 監視機能.....	357
11.6. AD 変換タイミングチャート .....	357
11.6.1. ソフトウェア AD 変換.....	357
11.6.2. 常時 AD 変換.....	359
11.6.3. トリガーによる AD 変換開始.....	360
11.7. 使用方法の例.....	361
11.7.1. PMD ch0(3 シャント)、AD コンバーターを 1 つ(ユニット A)を使用したときの例.....	361
11.7.2. PMD ch0(3 シャント)、AD コンバーターを 2 つ(ユニット A/B)を使用したときの例 .....	362
11.7.3. PMD ch0(3 シャント)、ch1(1 シャント)、AD コンバーターを 2 つ(ユニット A/B)を使用したときの例 .....	363
11.7.4. PMD ch0(1 シャント)、AD コンバーターを 1 つ(ユニット A)を使用したときの例.....	365
12. モーター制御回路(PMD).....	366
12.1. 概要.....	366
12.2. 構成.....	367
12.3. レジスター説明.....	368
12.3.1. レジスター一覧.....	368
12.3.2. PMD 制御部.....	369
12.3.3. パルス幅変調回路 .....	372
12.3.4. 通電制御回路 .....	383
12.3.5. 保護制御回路 .....	387
12.3.6. OVV 保護制御制御.....	393

12.3.7. デバッガーでブレークしたときの保護制御.....	397
12.3.8. デッドタイム回路.....	398
12.3.9. 同期トリガー生成回路.....	400
13. ベクトルエンジン(VE).....	408
13.1. 概要.....	408
13.1.1. 特徴.....	408
13.1.2. 主な機能.....	409
13.2. 構成.....	409
13.2.1. VE と PMD および ADC の関連.....	410
13.3. レジスター説明.....	412
13.3.1. レジスター一覧.....	412
13.3.2. VE 制御レジスター.....	416
13.3.3. 共通レジスター.....	427
13.3.4. 専用レジスター.....	428
13.4. 動作説明.....	458
13.4.1. スケジュール管理.....	458
13.4.2. タスク概要.....	463
13.5. VE チャネルと PMD チャネル、ADC ユニットの組み合わせ.....	475
14. エンコーダー入力回路(ENC).....	476
14.1. 概要.....	476
14.2. ブロック図.....	476
14.3. レジスター説明.....	477
14.3.1. レジスター一覧.....	477
14.3.2. ENxTNCR(入力制御レジスター).....	477
14.3.3. ENxRELOAD(カウンターリロードレジスター).....	481
14.3.4. ENxINT(比較レジスター).....	482
14.3.5. ENxCNT(カウンターレジスター).....	483

14.4. 動作説明.....	485
14.4.1. エンコーダーモード.....	485
14.4.2. センサーモード.....	485
14.4.3. タイマーモード.....	486
14.5. 機能.....	486
14.5.1. モード動作概要.....	486
14.5.2. カウンターおよび割り込み発生動作 <CMPEN> = "1"のとき.....	494
14.5.3. カウンターおよび割り込み発生動作<CMPEN> = "0"のとき.....	496
14.5.4. エンコーダー回転方向.....	498
14.5.5. カウンター回路.....	499
14.5.6. 割り込み.....	500
15. パワーオンリセット回路(POR).....	502
15.1. 構成.....	502
15.2. 機能.....	503
16. 電圧検出回路(VLTD).....	506
16.1. 概要.....	506
16.2. 構成.....	506
16.3. レジスター説明.....	507
16.3.1. レジスター一覧.....	507
16.3.2. VDCR(電圧検出制御レジスター).....	507
16.4. 動作説明.....	508
16.4.1. 制御.....	508
16.4.2. 機能.....	508
17. 周波数検知回路(OFD).....	510
17.1. 構成.....	510
17.2. レジスター説明.....	512
17.2.1. レジスター一覧.....	512

17.2.2. OFDCR1(周波数検知回路制御レジスター1) .....	512
17.2.3. OFDCR2(周波数検知回路制御レジスター2) .....	513
17.2.4. OFDMNPLLOFF(検知周波数下限値設定レジスター(PLL OFF 時)).....	514
17.2.5. OFDMNPLLON(検知周波数下限値設定レジスター(PLL ON 時)) .....	515
17.2.6. OFDMXPLOFF(検知周波数上限値設定レジスター(PLL OFF 時)).....	516
17.2.7. OFDMXPLLON(検知周波数上限値設定レジスター(PLL ON 時)) .....	517
17.3. 機能.....	518
17.3.1. 周波数検知回路の動作制御.....	518
17.3.2. 検知周波数の設定 .....	519
17.3.3. 周波数検知リセット .....	520
18. ウォッチドッグタイマー(WDT).....	522
18.1. 概要.....	522
18.2. 構成.....	522
18.3. レジスター説明.....	523
18.3.1. レジスター一覧.....	523
18.3.2. WDMOD(ウォッチドッグタイマーモードレジスター).....	524
18.3.3. WDCR(ウォッチドッグタイマーコントロールレジスター) .....	525
18.4. 動作説明.....	526
18.4.1. 基本動作 .....	526
18.4.2. 動作モードと動作状態 .....	526
18.5. 暴走検出時の動作 .....	527
18.5.1. INTWDT 発生の場合 .....	527
18.5.2. ウォッチドッグタイマーリセット発生の場合 .....	528
18.6. 制御レジスター.....	529
18.6.1. ウォッチドッグタイマーモードレジスター(WDMOD).....	529
18.6.2. ウォッチドッグタイマーコントロールレジスター(WDCR).....	529
18.6.3. 設定例.....	530

19.	オペアンプ/アナログコンパレータ(AMP/CMP).....	531
19.1.	構成.....	532
19.2.	レジスター説明.....	533
19.2.1.	レジスター一覧.....	533
19.2.2.	オペアンプ.....	533
19.2.3.	コンパレータ.....	534
19.3.	動作説明.....	535
20.	Flash 動作説明 .....	536
20.1.	フラッシュメモリー .....	536
20.1.1.	特長 .....	536
20.1.2.	フラッシュ部ブロック図 .....	538
20.2.	動作モード.....	539
20.2.1.	リセット動作 .....	540
20.2.2.	ユーザーブートモード(シングルチップモード).....	541
20.2.3.	シングルブートモード.....	550
20.2.4.	モード設定.....	554
20.2.5.	メモリーマップ.....	555
20.2.6.	インターフェース仕様.....	556
20.2.7.	データ転送フォーマット .....	557
20.2.8.	メモリーの制約について .....	557
20.2.9.	ブートプログラムの転送フォーマット.....	557
20.2.10.	ブートプログラム動作説明.....	561
20.2.11.	ブートプログラム全体フローチャート .....	575
20.3.	オンボードプログラミングでのフラッシュメモリー書き込み/消去 .....	576
20.3.1.	フラッシュメモリー .....	576
20.3.2.	バスライトサイクル時のアドレスビット構成 .....	586
21.	プロテクト/セキュリティー機能.....	591

21.1. 概要.....	591
21.2. 特長.....	591
21.2.1. 内蔵 ROM(Flash)のライト/消去プロテクト.....	591
21.2.2. セキュリティー機能.....	591
21.3. レジスター説明.....	593
21.3.1. レジスター一覧.....	593
21.3.2. FCSECBIT(セキュリティービットレジスター).....	594
21.3.3. FCFLCS(フラッシュコントロールレジスター).....	595
21.4. 設定/解除方法.....	596
21.4.1. 内蔵 ROM(Flash)のライト/消去プロテクト.....	596
21.4.2. セキュリティービット.....	596
22. デバッグインターフェース.....	597
22.1. 概要.....	597
22.1.1. SWJ-DP.....	597
22.1.2. ETM.....	597
22.2. 端子機能.....	598
22.3. デバッグツールとの接続.....	600
22.3.1. 接続.....	600
22.3.2. デバッグインターフェース端子を汎用ポートとして使用する場合の注意.....	600
22.3.3. ホルトモード中の周辺機能の動作(プログラム実行の一時停止時).....	600
23. ポート部等価回路図.....	601
23.1. PA0 ~ 7、PB0 ~ 7、PC0 ~ 7、PD0 ~ 6、PE0 ~ 7、PF0 ~ 4、PG0 ~ 7.....	601
23.2. PH0 ~ 7、PI0 ~ 3、PJ0 ~ 7、PK0、PK1.....	602
23.3. PL0、PL1.....	603
23.4. PF0.....	603
23.5. X1、X2.....	604
23.6. RESET.....	604

23.7. MODE .....	604
23.8. VREFHA、VREFHB、VREFLA、VREFLB .....	605
23.9. AMPVDD5、AMPVSS、CREFABC、CREFD .....	605
23.10. VOUT15、VOUT3 .....	606
24. 電気的特性 .....	607
24.1. 絶対最大定格 .....	607
24.2. DC 電気的特性(1/2) .....	608
24.3. DC 電気的特性(2/2)(消費電流) .....	610
24.4. 12 ビットアナログ/デジタルコンバーター特性 .....	611
24.5. オペアンプ特性 .....	612
24.6. アナログコンパレーター特性 .....	612
24.7. AC 電気的特性 .....	613
24.7.1. AC 測定条件 .....	613
24.7.2. シリアルチャネル (SIO/UART) .....	614
24.7.3. 16 ビットタイマー/イベントカウンター (TMRB) .....	616
24.7.4. 外部割り込み端子 .....	617
24.7.5. デバッグ通信 .....	618
24.8. Flash 特性 .....	620
24.9. 発振回路例 .....	620
24.10. セラミック発振子 .....	621
24.11. 電源投入時のご注意 .....	622
24.11.1. 電源投入時のポート L(PL0、PL1 端子)について .....	622
24.11.2. 外部リセットを使用しない場合 .....	623
24.11.3. 外部リセットを使用する場合 .....	624
25. パッケージ寸法図 .....	627
25.1. パッケージ型名: QFP100-P-1420-0.65Q .....	627
25.2. パッケージ型名: LQFP100-P-1414-0.50H .....	628

---

26. 改訂履歴 .....	629
製品取り扱い上のお願い.....	630

## 目次

図 1.1	ブロック図.....	35
図 3.1	メモリーマップ.....	49
図 5.1	クロック系統図.....	59
図 5.2	リセット解除後の PLL 設定シーケンス.....	60
図 5.3	モード状態遷移図.....	63
図 5.4	NORMAL→STOP→NORMAL 動作モード遷移.....	71
図 6.1	処理の流れ.....	73
図 6.2	レジスター退避終了後のスタック.....	77
図 6.3	割り込み要求経路.....	82
図 6.4	処理の流れ.....	89
図 8.1	ポートタイプ T1.....	187
図 8.2	ポートタイプ T2.....	188
図 8.3	ポートタイプ T3.....	189
図 8.4	ポートタイプ T4.....	190
図 8.5	ポートタイプ T5.....	191
図 8.6	ポートタイプ T6.....	192
図 8.7	ポートタイプ T7.....	193
図 8.8	ポートタイプ T8.....	194
図 8.9	ポートタイプ T9.....	195
図 8.10	ポートタイプ T10.....	196
図 8.11	ポートタイプ T11.....	197
図 8.12	ポートタイプ T12.....	198
図 8.13	ポートタイプ T13.....	199
図 8.14	ポートタイプ T14.....	200
図 8.15	ポートタイプ T15.....	201
図 8.16	ポートタイプ T16.....	202
図 8.17	ポートタイプ T17.....	203
図 8.18	ポートタイプ T18.....	204
図 8.19	ポートタイプ T19.....	205
図 8.20	ポートタイプ T20.....	206
図 8.21	ポートタイプ T21.....	207
図 9.1	TMRB ブロック図.....	210
図 9.2	16 ビットプログラマブル矩形波出力(PPG)モードの出力波形.....	227
図 9.3	レジスターバッファの動作.....	227
図 9.4	16 ビットプログラマブル矩形波出力(PPG)モードの出力回路.....	228
図 9.5	外部トリガープログラマブル矩形波(PPG)出力モードによる矩形波出力.....	229
図 9.6	フリーランニングカウンタを使った外部信号からの矩形波出力(遅延付き).....	230
図 9.7	TBxIN 端子入力パルスの"High"レベル幅測定.....	232

図 10.1	SIO/UART ブロック図.....	234
図 10.2	データフォーマット.....	252
図 10.3	送信/受信バッファと FIFO の構成.....	265
図 10.4	受信バッファの動作.....	270
図 10.5	受信 FIFO の動作.....	271
図 10.6	UART モード送信クロックの生成.....	273
図 10.7	送信バッファの動作.....	274
図 10.8	送信 FIFO の動作.....	275
図 10.9	ハンドシェイク機能接続.....	277
図 10.10	CTS信号のタイミング.....	278
図 10.11	受信動作のデータの流れと読み出しの経路.....	279
図 10.12	送信動作のデータの流れと書き込みの経路.....	280
図 10.13	SIO モード受信動作(転送クロックに SCLKx 端子出力を使用しているとき).....	284
図 10.14	SIO モード受信動作(転送クロックに SCLKx 端子入力を使用しているとき).....	285
図 10.15	SIO モード送信動作(転送クロックに SCLKx 端子出力を使用しているとき).....	287
図 10.16	SIO モード送信動作(転送クロックに SCLKx 端子入力を使用しているとき).....	289
図 10.17	SIO モード送受信動作(転送クロックに SCLKx 端子出力を使用しているとき).....	291
図 10.18	SIO モード送受信動作(転送クロックに SCLKx 端子入力を使用しているとき).....	293
図 10.19	モード 1(7 ビット UART モード).....	294
図 10.20	モード 2(8 ビット UART モード).....	295
図 10.21	ウエイクアップ機能によるシリアルリンク.....	296
図 10.22	ウエイクアップ機能のときの 1st フレームフォーマット.....	297
図 10.23	ウエイクアップ機能のときの 2nd フレームフォーマット.....	297
図 11.1	AD コンバーターブロック図.....	299
図 11.2	PMD トリガー用プログラムレジスター.....	322
図 11.3	AD 変換開始動作タイミングチャート.....	356
図 11.4	ソフトウェア AD 変換時のタイミングチャート.....	358
図 11.5	ソフトウェア AD 変換中に<ADEN>="0"書き込み.....	358
図 11.6	常時 AD 変換時のタイミングチャート.....	359
図 11.7	ソフトウェア AD 変換中の PMD トリガー発生.....	360
図 11.8	ソフトウェア AD 変換中のタイマートリガー発生.....	360
図 11.9	PMD ch0 を 3 シャントで、AD コンバーターを 1 つ(ユニット A)を使用した場合の回路例.....	361
図 11.10	PMD ch0 を 3 シャントで、AD コンバーターを 2 つ(ユニット A/B)を使用した場合の回路例.....	362
図 11.11	PMD ch0 を 3 シャント、ch1 を 1 シャントで、AD コンバーターを 2 つ(ユニット A/B)を使用した場合の回路例.....	363
図 11.12	PMD ch0 を 1 シャントで、AD コンバーターを 1 つ(ユニット A)を使用した場合の回路例.....	365
図 12.1	PMD と ADC、AMP/CMP、VE の連携.....	366
図 12.2	PMD ブロック図.....	367
図 12.3	パルス幅変調回路.....	372

図 12.4	のこぎり波、三角波の PWM 波形	373
図 12.5	通電制御回路	383
図 12.6	保護制御回路	387
図 12.7	デッドタイム回路	398
図 12.8	同期トリガー生成回路	402
図 13.1	ベクトル制御の構成	408
図 13.2	VE 構成	409
図 13.3	VE と PMD および ADC の関連図	411
図 13.4	モーター制御の動作状態フロー例	458
図 13.5	動作スケジュールの動作遷移	461
図 14.1	エンコーダー入力回路ブロック図	476
図 15.1	POR のブロック図	502
図 15.2	パワーオンリセット動作タイミング (1/2)	504
図 15.3	パワーオンリセット動作タイミング (2/2)	504
図 16.1	電圧検出回路	506
図 16.2	電圧検出タイミング	509
図 17.1	検出周波数範囲初期値(PLL OFF 時)	511
図 17.2	検出周波数範囲初期値(PLL ON 時)	511
図 17.3	周波数検知回路	511
図 17.4	各モードにおける周波数検知回路動作	519
図 17.5	周波数検知リセットタイミング	521
図 18.1	WDT のブロック図	522
図 18.2	INTWDT 発生タイミング	527
図 18.3	ウォッチドッグタイマーリセット発生のタイミング	528
図 19.1	オペアンプ、アナログコンパレータ接続図	532
図 19.2	オペアンプ、アナログコンパレータ構成	535
図 20.1	フラッシュ部ブロック図	538
図 20.2	モード遷移図	540
図 20.3	メモリーマップ	555
図 20.4	シリアル動作モード判定データ	570
図 20.5	シリアル動作モード受信フローチャート	572
図 20.6	シリアル動作モード判定フローチャート	573
図 20.7	パスワードエリアチェックフローチャート	574
図 20.8	ブートプログラム全体フローチャート	575
図 20.9	ブロック構成	577
図 20.10	自動プログラム	589
図 20.11	自動消去	590
図 24.1	転送クロックが SCLKx 端子入力のときのタイミングチャート	615
図 24.2	転送クロックが SCLKx 端子出力のときのタイミングチャート	615
図 24.3	イベントカウンターのタイミングチャート	616

---

図 24.4	キャプチャーのタイミングチャート .....	616
図 24.5	下記以外で外部割り込みを使用するときのタイミングチャート .....	617
図 24.6	STOP モード解除を外部割り込み端子で行うときのタイミングチャート .....	617
図 24.7	JTAG/SWD のタイミングチャート .....	618
図 24.8	ETM トレースのタイミングチャート .....	619
図 24.9	高周波発振回路例.....	620
図 24.10	電源投入シーケンス (外部リセットを使用しない場合).....	623
図 24.11	外部リセットの解除が POR リセット解除よりも早い場合のタイミングチャート.....	624
図 24.12	外部リセットの解除が POR リセット解除よりも遅い場合のタイミングチャート .....	625
図 24.13	$t_{DVDD}$ が $t_{PWUP}$ よりも長い場合のタイミングチャート .....	626

## 表目次

表 1.1	機能別製品一覧.....	34
表 1.2	信号接続一覧: SIO/UART .....	38
表 1.3	信号接続一覧: TMRB .....	39
表 1.4	信号接続一覧: ADC/AMP/CMP .....	40
表 1.5	信号接続一覧: INT/PMD .....	41
表 1.6	信号接続一覧: ENC/DEBUG/制御端子/電源.....	42
表 1.7	電源の種類と供給端子.....	43
表 2.1	コアリビジョン.....	44
表 2.2	構成可能なオプションと実装.....	45
表 3.1	SFR 詳細 .....	50
表 5.1	高速クロック範囲(単位は MHz).....	62
表 5.2	STOP モード時の端子状態.....	65
表 5.3	低消費電力モードと設定.....	66
表 5.4	各動作モードにおける動作状態.....	67
表 5.5	解除ソースと解除可能なモード.....	68
表 5.6	各動作モード遷移時のウォーミングアップ設定.....	70
表 6.1	例外の種類と優先度.....	75
表 6.2	優先度のグループ化設定.....	76
表 6.3	ベクターテーブルの構成.....	78
表 6.4	割り込み要因一覧 (マスク不能割り込み).....	85
表 6.5	割り込み要因一覧.....	85
表 6.6	割り込みマスクレジスター設定.....	90
表 6.7	NVIC レジスター設定.....	91
表 6.8	外部割り込み端子設定.....	91
表 6.9	割り込み保留セットレジスター設定.....	92
表 6.10	CG の設定.....	92
表 6.11	CPU 割り込み許可の設定.....	93
表 6.12	割り込み優先度レジスターのアドレス.....	117
表 6.13	割り込み番号 0~3 の割り込み優先度レジスターの構成.....	118
表 6.14	システムハンドラー優先度レジスターのアドレス.....	121
表 6.15	割り込み優先度レジスターの構成.....	122
表 7.1	搭載一覧.....	138
表 7.2	ベースアドレス一覧.....	138
表 7.3	搭載一覧.....	139
表 7.4	ベースアドレス一覧.....	139
表 7.5	搭載一覧 (1/2).....	140
表 7.6	搭載一覧 (2/2).....	140
表 7.7	ベースアドレス一覧 (1/2).....	140

表 7.8	ベースアドレス一覧 (2/2).....	140
表 7.9	搭載一覧.....	141
表 7.10	ベースアドレス一覧 (1/2).....	141
表 7.11	ベースアドレス一覧 (2/2).....	141
表 7.12	機能端子とポート.....	142
表 7.13	入出力信号と周辺機能の接続(1/2).....	143
表 7.14	入出力信号と周辺機能の接続(2/2).....	144
表 7.15	搭載一覧.....	145
表 7.16	ベースアドレス一覧.....	145
表 7.17	機能端子とポート.....	146
表 7.18	入出力信号と周辺機能の接続.....	146
表 7.19	搭載一覧.....	147
表 7.20	ベースアドレス一覧.....	147
表 7.21	機能端子とポート(1/2).....	148
表 7.22	機能端子とポート(2/2).....	148
表 7.23	入出力信号と周辺機能の接続.....	149
表 7.24	搭載一覧.....	150
表 7.25	ベースアドレス一覧.....	150
表 7.26	機能端子とポート(1/2).....	151
表 7.27	機能端子とポート(2/2).....	151
表 7.28	入力信号と周辺機能の接続.....	152
表 7.29	入力信号と周辺機能の接続.....	152
表 7.30	出力信号と周辺機能の接続.....	153
表 7.31	出力信号と周辺機能の接続.....	153
表 7.32	搭載一覧.....	154
表 7.33	ベースアドレス一覧.....	154
表 7.34	搭載一覧.....	155
表 7.35	ベースアドレス一覧.....	155
表 7.36	機能端子とポート.....	156
表 7.37	搭載一覧.....	157
表 7.38	ベースアドレス一覧.....	157
表 7.39	搭載一覧.....	158
表 7.40	ベースアドレス一覧.....	158
表 7.41	搭載一覧.....	159
表 7.42	ベースアドレス一覧.....	159
表 7.43	機能端子とポート.....	159
表 7.44	搭載一覧.....	160
表 7.45	ベースアドレス一覧.....	160
表 7.46	AMP 機能端子とポート.....	161
表 7.47	CMP 機能端子とポート.....	161

表 7.48	搭載一覧.....	162
表 7.49	ベースアドレス一覧.....	162
表 7.50	フラッシュメモリーブロック構成.....	162
表 7.51	ID-Read 時のマクロコード値.....	163
表 7.52	シングルブートモード時の使用リソース.....	163
表 7.53	RAM アドレス範囲.....	163
表 7.54	搭載一覧.....	164
表 7.55	ベースアドレス一覧.....	164
表 7.56	デバッグインターフェース一覧.....	165
表 8.1	信号接続一覧: SIO/UART .....	167
表 8.2	信号接続一覧: TMRB .....	168
表 8.3	信号接続一覧: ADC/AMP,CMP.....	169
表 8.4	信号接続一覧: INT/PMD .....	170
表 8.5	信号接続一覧: ENC/DEBUG/FLASH.....	171
表 8.6	レジスター一覧(1/2).....	173
表 8.7	レジスター一覧(2/2).....	173
表 8.8	ポート A レジスター設定.....	175
表 8.9	ポート B レジスター設定.....	176
表 8.10	ポート C レジスター設定.....	177
表 8.11	ポート D レジスター設定.....	178
表 8.12	ポート E レジスター設定.....	179
表 8.13	ポート F レジスター設定.....	180
表 8.14	ポート G レジスター設定.....	181
表 8.15	ポート H レジスター設定.....	182
表 8.16	ポート I レジスター設定.....	183
表 8.17	ポート J レジスター設定.....	184
表 8.18	ポート K レジスター設定.....	185
表 8.19	ポート L レジスター設定.....	185
表 9.1	プリスケラーからの出力クロックの分解能( $f_c = 80\text{MHz}$ ).....	222
表 10.1	分周値の設定.....	241
表 10.2	モードとデータフォーマット.....	251
表 10.3	プリスケラーからの出力クロックの分解能( $f_c = 80\text{MHz}$ ) (1 / 2).....	255
表 10.4	プリスケラーからの出力クロックの分解能( $f_c = 80\text{MHz}$ ) (2 / 2).....	256
表 10.5	設定可能な分周値.....	257
表 10.6	SIO モードで使用できる転送クロックのレジスター設定.....	258
表 10.7	UART モードで使用できる SIOCLK クロックのレジスター設定.....	260
表 10.8	UART モードのボーレート例 (単位: kbps).....	262
表 10.9	UART モードのボーレート例 (単位: kbps).....	263
表 10.10	シリアル転送モードとバッファー構成.....	265
表 10.11	転送モードと FIFO 構成.....	266

表 10.12	エラーフラグ.....	267
表 10.13	バッファ構成と INTRX <sub>x</sub> の発生タイミング.....	279
表 10.14	FIFO 許可時の INTRX <sub>x</sub> 発生条件.....	280
表 10.15	バッファ構成と INTTX <sub>x</sub> の発生タイミング.....	281
表 10.16	FIFO 使用時の INTTX <sub>x</sub> 発生条件.....	281
表 10.17	SIO モードのエラー割り込み発生タイミング.....	282
表 10.18	UART モードのエラー割り込み発生タイミング.....	282
表 11.1	プログラム番号選択.....	329
表 11.2	AD 変換入力端子の選択.....	335
表 11.3	AD 変換入力端子の選択.....	342
表 11.4	AD 変換入力端子の選択.....	346
表 11.5	AD 変換入力端子の選択.....	350
表 11.6	AD 変換時間と変換開始遅延時間(SCLK = 40MHz).....	356
表 11.7	AD コンバーターユニット A の設定例.....	361
表 11.8	AD コンバーターユニット A/B の設定例.....	362
表 11.9	AD コンバーターユニット A の設定例.....	364
表 11.10	AD コンバーターユニット B の設定例.....	364
表 11.11	AD コンバーターユニット A の設定例.....	365
表 12.1	PMDxMDOUT による通電制御回路出力(PMDxMDPOT<POLH><POLL> = "00"のとき).....	384
表 12.2	PMDxMDOUT による通電制御回路出力(PMDxMDPOT<POLH><POLL> = "11"のとき).....	384
表 12.3	1 シャント電流の検出設定.....	384
表 12.4	トリガーコンペアレジスターの後段バッファ更新タイミング.....	400
表 12.5	トリガー出力.....	401
表 13.1	VEOUTCR <sub>x</sub> <UPWM>、VEOUTCR <sub>x</sub> <UOC[1:0]>PMD 設定: U 相(UO <sub>x</sub> 、XO <sub>x</sub> )の出力制御.....	454
表 13.2	VEOUTCR <sub>x</sub> <VPWM>、VEOUTCR <sub>x</sub> <VOC[1:0]>PMD 設定: V 相(VO <sub>x</sub> 、YO <sub>x</sub> )の出力制御.....	454
表 13.3	VEOUTCR <sub>x</sub> <WPWM>、VEOUTCR <sub>x</sub> <WOC[1:0]>PMD 設定: W 相(WO <sub>x</sub> 、ZO <sub>x</sub> )の出力制御.....	454
表 13.4	スケジュール別の動作タスク.....	460
表 13.5	代表動作フローでの設定例.....	460
表 13.6	タスク概要.....	463
表 13.7	d 軸電流 PI 制御.....	464
表 13.8	q 軸電流 PI 制御.....	465
表 13.9	位相補間.....	466
表 13.10	SIN/COS 演算.....	467
表 13.11	dq-αβ 座標軸変換.....	468
表 13.12	2-3 相変換(空間ベクトル変換).....	469
表 13.13	3 相電圧算出(VESECTOR <sub>x</sub> <SECTOR[3:0]> = "0"の場合).....	470
表 13.14	出力制御.....	471
表 13.15	トリガー生成.....	472
表 13.16	入力処理.....	473
表 13.17	3-2 相変換.....	474

表 13.18	$\alpha\beta$ -dq 座標軸変換 .....	474
表 13.19	VE チャネルと PMD チャネルの組み合わせ .....	475
表 13.20	VE チャネルと ADC ユニット、AD 変換結果格納レジスタの組み合わせ .....	475
表 14.1	カウンターの制御 .....	499
表 14.2	割り込み要因 .....	500
表 16.1	VLTD 特性 .....	509
表 17.1	各動作モードにおける周波数検知回路の状態 .....	518
表 17.2	使用周波数と設定値 .....	519
表 18.1	ウォッチドッグタイマーの検出時間 (fc = 80MHz) .....	524
表 20.1	書き込み/消去時間 .....	536
表 20.2	書き換え方式 .....	537
表 20.3	動作モード説明 .....	539
表 20.4	動作モード設定 .....	539
表 20.5	内蔵フラッシュメモリと RAM のマッピング .....	555
表 20.6	端子の接続 .....	556
表 20.7	動作コマンドデータ .....	557
表 20.8	シングルブート時のメモリーの制約 .....	557
表 20.9	ブートプログラムの転送フォーマット [RAM 転送の場合] .....	558
表 20.10	ブートプログラムの転送フォーマット [フラッシュメモリチップ消去およびプロテクトビット消去の場合] .....	560
表 20.11	対象エリア .....	561
表 20.12	パスワード領域 .....	564
表 20.13	シリアル動作判定データに対する ACK 応答データ .....	569
表 20.14	動作コマンドデータに対する ACK 応答データ .....	569
表 20.15	CHECKSUM データに対する ACK 応答データ .....	569
表 20.16	フラッシュメモリチップ消去およびプロテクトビット消去動作に対する ACK 対応データ .....	569
表 20.17	パスワード領域 .....	573
表 20.18	フラッシュメモリーの機能 .....	576
表 20.19	内部 CPU によるフラッシュメモリアクセス .....	585
表 20.20	バスライトサイクル時のアドレスビット構成 .....	586
表 20.21	ブロックアドレス .....	587
表 20.22	プロテクトビットプログラムアドレス .....	587
表 20.23	プロテクトビット消去アドレス .....	587
表 20.24	ID-Read コマンド第 4 バスライトサイクルの ID アドレス(IA)とその後の .....	588
表 21.1	セキュリティー機能有効時の制限内容 .....	592
表 22.1	デバッグインターフェースと汎用ポートの対応 .....	598
表 22.2	デバッグインターフェース端子兼用汎用ポートのリセット解除後のポート制御レジスタ値 .....	599
表 22.3	デバッグインターフェースと使用するデバッグインターフェース端子 .....	600

表 24.1	絶対最大定格.....	607
表 26.1	改訂履歴.....	629

\*\*\*\*\*

**Arm, Cortex および Thumb は Arm Limited(またはその子会社)の US またはその他の国における登録商標です。 All rights reserved.**

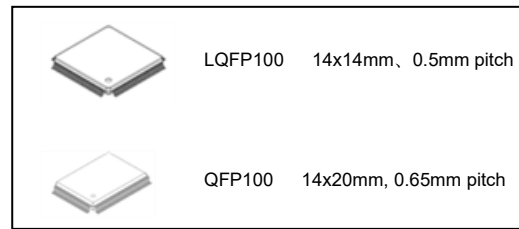


本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

CMOS 形 デジタル集積回路 シリコン モノリシック

## TMPM370FYDFG

## TMPM370FYFG



TMPM370FYDFG/TMPM370FYFG は、Arm® Cortex®-M3 コアを内蔵した 32 ビット RISC マイクロプロセッサです。

製品名	ROM (FLASH)	RAM	パッケージ
TMPM370FYDFG	256Kbyte	10Kbyte	QFP100-P-1420-0.65Q
TMPM370FYFG	256Kbyte	10Kbyte	LQFP100-P-1414-0.50H

## 1. 特長

### (1) Arm 社製 Cortex-M3 コアを使用

#### (a) Thumb®-2 命令で、コード効率の向上を実現

- ・ プログラムフロー改善のための新しい 16 ビット命令
- ・ 性能とコードサイズ向上のための新しい 32 ビット命令
- ・ 32 ビット/16 ビット混在の命令セットでコード効率を向上

#### (b) 高性能化と低消費電力化を同時に実現

##### 【高性能化】

- ・ 32 ビット乗算( $32 \times 32 = 32$  ビット)を 1 クロックで実行
- ・ 除算を 2~12 クロックで実行

##### 【低消費電力化】

- ・ 低消費電力ライブラリーを使用した最適化設計
- ・ プロセッサコアの動作を停止させるスタンバイ機能

#### (c) リアルタイム制御に向けた高速割り込み応答

- ・ 実行時間の長い命令は割り込みで中断可能
- ・ スタックへの PUSH をハードウェアで自動的に実行

- (2) 内蔵プログラムメモリー/データメモリー
  - 内蔵 RAM: 10Kbyte
  - 内蔵 Flash ROM: 256Kbyte
  
- (3) 16 ビットタイマー/イベントカウンタ(TMRB): 8 チャンネル
  - 16 ビットインターバルタイマーモード
  - 16 ビットイベントカウンタモード
  - インプットキャプチャ機能
  - 外部トリガーPPG 出力
  
- (4) ウォッチドッグタイマー(WDT): 1 チャンネル
  - リセットまたはマスク不能割り込み(NMI)発生
  
- (5) パワーオンリセット回路(POR)
  
- (6) 電圧検出回路(VLTD)
  
- (7) 周波数検知回路(OFD)
  
- (8) ベクトルエンジン(VE): 1 ユニット
  - モーター制御用演算機能
  - 2 モーター対応
  
- (9) モーター制御回路(PMD): 2 チャンネル
  - 3 相相補 PWM 出力
  - AD コンバーターを連動させる同期トリガー生成
  - 緊急停止保護機能(EMG/コンパレータ出力)
  
- (10) エンコーダ入力回路(ENC): 2 チャンネル
  - インクリメンタル形エンコーダ対応(AB 信号/ABZ 信号)
  - 回転方向検出回路
  - 絶対位置検出カウンタ
  - 位置コンペア回路
  - ノイズフィルタ内蔵
  - 3 相センサー入力対応

- 
- (11) シリアルチャネル(SIO/UART): 4 チャネル
- UART/SIO モード選択可能(4byte FIFO 内蔵)
- (12) 12 ビットアナログ/デジタルコンバーター(ADC): 2 ユニット(アナログ入力: 22 チャネル)
- トリガースタート機能: TMRB 割り込み/PMD トリガーによるスタート可能
  - 常時変換可能
  - AD 監視機能 2ch
  - 変換時間 2 $\mu$ s(AD 変換クロック 40MHz 時)
- (13) オペアンプ(AMP): 4 チャネル
- 8 ゲイン選択可能
- (14) コンパレータ(CMP): 3+1 チャネル
- モーター制御回路の緊急停止保護用
  - 2 入力選択可能(オペアンプ出力/アナログ入力)
- (15) 入出力ポート(PORT): 76 端子
- 入出力端子 : 74 本
  - 入力端子 : 2 本
- (16) 割り込み機能
- 内部 62 本: 7 レベルの優先順位設定可能(ウオッチドッグタイマー割り込みを除く)
  - 外部 16 本: 7 レベルの優先順位設定可能
- (17) 低消費電力モード
- IDLE、STOP モード
- (18) クロック/モード制御(CG)
- PLL 内蔵(8 逡倍)
  - クロックギア機能: 高速クロックを 1、2、4、8、16 に分周可
- (19) エンディアン
- リトルエンディアン
- (20) 最大動作周波数: 80MHz

(21) 動作電圧範囲

- 4.5 ~ 5.5V(内蔵レギュレーター使用)

(22) 温度範囲

- -40°C ~ 85°C (Flash W/E およびデバック時以外)
- 0°C ~ 70°C (Flash W/E 時)

(23) パッケージ

- QFP100-P-1420-0.65Q (14mm × 20mm、0.65mm ピッチ)
- LQFP100-P-1414-0.50H (14mm × 14mm、0.5mm ピッチ)

## 1.1. 機能別製品一覧

表 1.1 機能別製品一覧

内蔵機能		TMPM370FYDFG
		TMPM370FYFG
Memory	Flash (KB)	256
	RAM (KB)	10
I/O port	PORT (pin)	76
Interrupt	Internal	62
	External	16
Timer function	TMRB (ch)	8
Serial communication function	SIO/UART (ch)	4
Analog function	12-bit ADC Unit A/B (AIN ch)	22
	AMP (ch)	4
	CMP (ch)	3+1
Motor control peripherals	VE (unit)	1
	PMD (ch)	2
	ENC (ch)	2
System function	VLTD (ch)	1
	WDT (ch)	1
	OFD (ch)	1
	POR	1
Debug interface	Debug	JTAG/SW/TRACE
Package	Package type	QFP100 (14mm x 20mm, 0.65mm pitch)
		LQFP100 (14mm x 14mm, 0.5mm pitch)

## 1.2. ブロック図

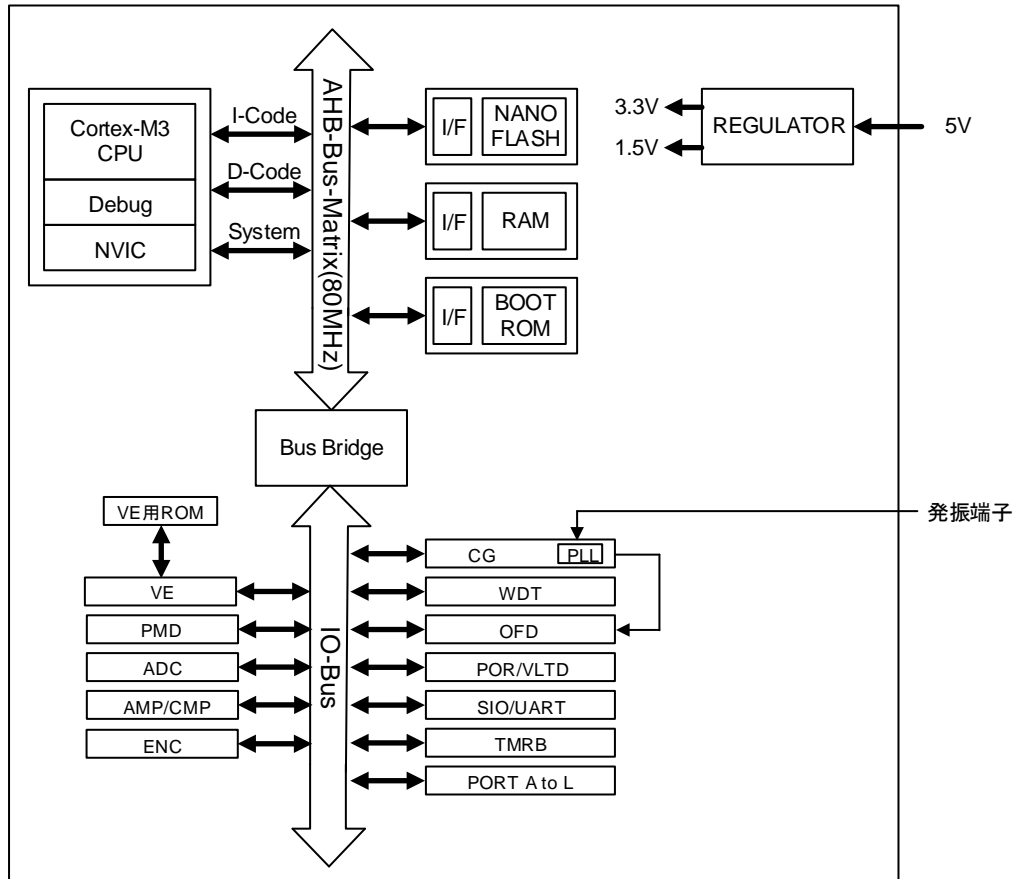
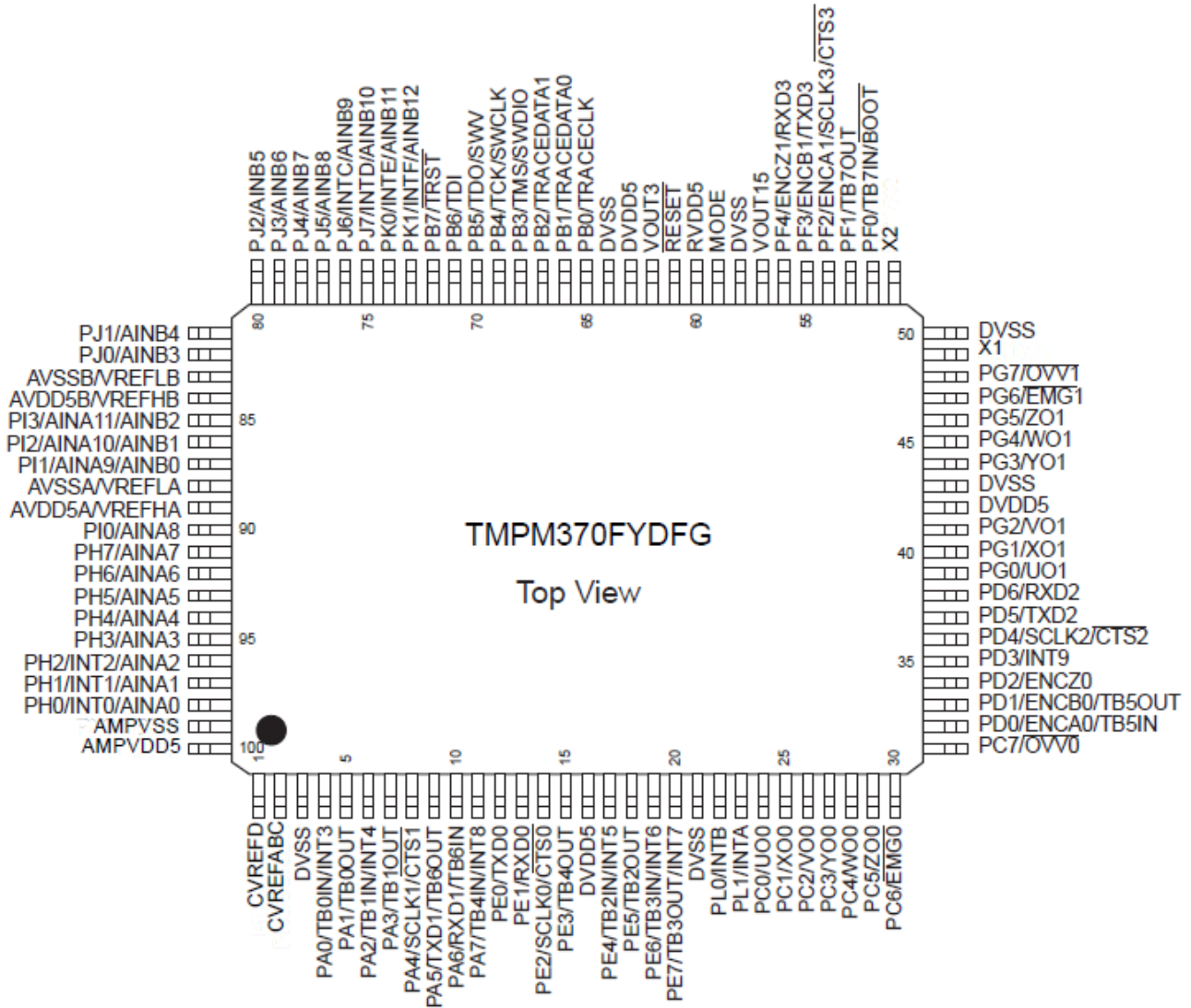


図 1.1 ブロック図

## 1.3. ピン配置図 (top view)

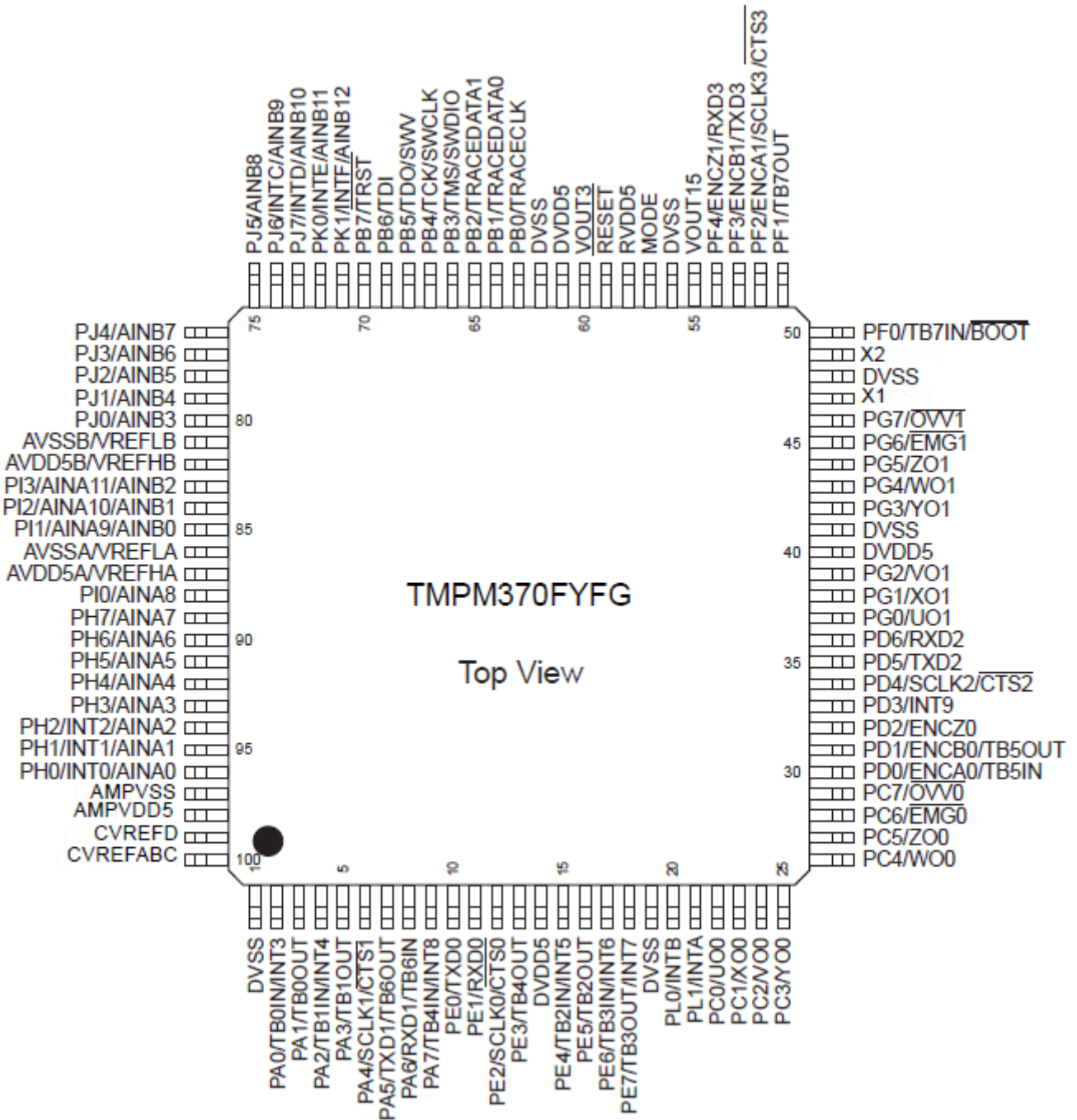
### 1.3.1. QFP100

TMPM370FYDFG のピン配置図は、下図のとおりです。



## 1.3.2. LQFP100

TMPM370FYFG のピン配置図は、下図のとおりです。



## 1.4. ピン名称と機能

## 1.4.1. 機能端子とポート割り当て(端子番号)

機能端子から見たポート割り当てと各製品の端子番号です。

表 1.2 信号接続一覧: SIO/UART

参照周辺機能章	兼用機能端子名	ポート名	TMPM370FYDFG (QFP100)	TMPM370FYFG (LQFP100)
SIO/UART	RXD0	PE1	13	11
	TXD0	PE0	12	10
	$\overline{\text{CTS0}}/\text{SCLK0}$	PE2	14	12
	RXD1	PA6	10	8
	TXD1	PA5	9	7
	$\overline{\text{CTS1}}/\text{SCLK1}$	PA4	8	6
	RXD2	PD6	38	36
	TXD2	PD5	37	35
	$\overline{\text{CTS2}}/\text{SCLK2}$	PD4	36	34
	RXD3	PF4	56	54
	TXD3	PF3	55	53
	$\overline{\text{CTS3}}/\text{SCLK3}$	PF2	54	52

表 1.3 信号接続一覧: TMRB

参照周辺機能章	兼用機能端子名	ポート名	TMPM370FYDFG (QFP100)	TMPM370FYFG (LQFP100)
TMRB	TB0IN	PA0	4	2
	TB0OUT	PA1	5	3
	TB1IN	PA2	6	4
	TB1OUT	PA3	7	5
	TB2IN	PE4	17	15
	TB2OUT	PE5	18	16
	TB3IN	PE6	19	17
	TB3OUT	PE7	20	18
	TB4IN	PA7	11	9
	TB4OUT	PE3	15	13
	TB5IN	PD0	32	30
	TB5OUT	PD1	33	31
	TB6IN	PA6	10	8
	TB6OUT	PA5	9	7
	TB7IN	PF0	52	50
	TB7OUT	PF1	53	51

表 1.4 信号接続一覧: ADC/AMP/CMP

参照周辺機能章	兼用機能端子名	ポート名	TMPM370FYDFG (QFP100)	TMPM370FYFG (LQFP100)
ADC	AINA0	PH0	98	96
	AINA1	PH1	97	95
	AINA2	PH2	96	94
	AINA3	PH3	95	93
	AINA4	PH4	94	92
	AINA5	PH5	93	91
	AINA6	PH6	92	90
	AINA7	PH7	91	89
	AINA8	PI0	90	88
	AINA9/AINB0	PI1	87	85
	AINA10/AINB1	PI2	86	84
	AINA11/AINB2	PI3	85	83
	AINB3	PJ0	82	80
	AINB4	PJ1	81	79
	AINB5	PJ2	80	78
	AINB6	PJ3	79	77
	AINB7	PJ4	78	76
	AINB8	PJ5	77	75
	AINB9	PJ6	76	74
	AINB10	PJ7	75	73
AINB11	PK0	74	72	
AINB12	PK1	73	71	
AMP/CMP	AINA9/AINB0	PI1	87	85
	AINA10/AINB1	PI2	86	84
	AINA11/AINB2	PI3	85	83
	AINB3	PJ0	82	80

表 1.5 信号接続一覧: INT/PMD

参照周辺機能	兼用機能端子名	ポート名	TMPM370FYDFG (QFP100)	TMPM370FYFG (LQFP100)
INT	INT0	PH0	98	96
	INT1	PH1	97	95
	INT2	PH2	96	94
	INT3	PA0	4	2
	INT4	PA2	6	3
	INT5	PE4	17	15
	INT6	PE6	19	17
	INT7	PE7	20	18
	INT8	PA7	11	9
	INT9	PD3	35	33
	INTA	PL1	23	21
	INTB	PL0	22	20
	INTC	PJ6	76	74
	INTD	PJ7	75	73
	INTE	PK0	74	72
	INTF	PK1	73	71
PMD	U00	PC0	24	22
	X00	PC1	25	23
	V00	PC2	26	24
	Y00	PC3	27	25
	W00	PC4	28	26
	Z00	PC5	29	27
	$\overline{\text{EMG0}}$	PC6	30	28
	$\overline{\text{OVV0}}$	PC7	31	29
	U01	PG0	39	37
	X01	PG1	40	38
	V01	PG2	41	39
	Y01	PG3	44	42
	W01	PG4	45	43
	Z01	PG5	46	44
	$\overline{\text{EMG1}}$	PG6	47	45
	$\overline{\text{OVV1}}$	PG7	48	46

表 1.6 信号接続一覧: ENC/DEBUG/制御端子/電源

参照周辺機能	兼用機能端子名	ポート名	TMPM370FYDFG (QFP100)	TMPM370FYFG (LQFP100)
ENC	ENCA0	PD0	32	30
	ENCB0	PD1	33	31
	ENCZ0	PD2	34	32
	ENCA1	PF2	54	52
	ENCB1	PF3	55	53
	ENCZ1	PF4	56	54
DEBUG	TMS/SWDIO	PB3	68	66
	TCK/SWCLK	PB4	69	67
	TDO/SWV	PB5	70	68
	TDI	PB6	71	69
	$\overline{\text{TRST}}$	PB7	72	70
	TRACECLK	PB0	65	63
	TRACEDATA0	PB1	66	64
	TRACEDATA1	PB2	67	65
制御端子	$\overline{\text{BOOT}}$	PF0	52	50
	MODE	-	59	57
	$\overline{\text{RESET}}$	-	61	59
電源	DVSS	-	3	1
	DVSS	-	21	19
	DVSS	-	43	41
	DVSS	-	50	48
	DVSS	-	58	56
	DVSS	-	64	62
	DVDD5	-	16	14
	DVDD5	-	42	40
	DVDD5	-	63	61
	RVDD5	-	60	58
	VOUT15	-	57	55
	VOUT3	-	62	60
	AVSSB/REFLB	-	83	81
	AVDD5B/REFHB	-	84	82
	AVSSA/REFLA	-	88	86
	AVDD5A/REFHA	-	89	87
	CVREFABC	-	2	100
	CVREFD	-	1	99
	AMPVDD5	-	100	98
	AMPVSS	-	99	97

1.5. 電源の種類と供給端子

表 1.7 電源の種類と供給端子

電源の種類	電圧範囲	電源供給端子
DVDD5	4.5 ~ 5.5V	PA、PB、PC、PD、PE、PF、PG、PL $\overline{\text{RESET}}$ 、MODE
AVDD5A		PH、PI
AVDD5B		PJ、PK
RVDD5		-
VOUT15	1.35 ~ 1.65V	内部レギュレーターの安定化コンデンサー接続端子です。外部回路への電源供給はできません。DVSS との間にコンデンサー(3.3 $\mu$ F ~ 4.7 $\mu$ F)を接続してください。
VOUT3	2.7 ~ 3.6V	内部レギュレーターの安定化コンデンサー接続端子です。外部回路への電源供給はできません。DVSS との間にコンデンサー(3.3 $\mu$ F ~ 4.7 $\mu$ F)を接続してください。

## 2. プロセッサコア

TX03 シリーズには、高性能 32 ビットプロセッサコア(Arm 社 Cortex-M3 コア)が内蔵されています。プロセッサコアの動作については、Arm 社からリリースされる"Cortex-M シリーズプロセッサの Arm ドキュメンテーションセット"を参照してください。ここでは、製品固有の情報について説明します。

### 2.1. コアに関する情報

TMPM370FYDFG/TMPM370FYFG で使用している Cortex-M3 コアのリビジョンは以下のとおりです。CPU コア部、アーキテクチャーなどの詳細は、Arm 社のホームページよりドキュメントを参照してください。

表 2.1 コアリビジョン

製品名	コアリビジョン
TMPM370FYDFG	r2p0
TMPM370FYFG	

## 2.2. 構成可能なオプション

Cortex-M3 コアは、一部のブロックについて実装するかどうかを選択することができます。  
TMPM370FYDFG/TMPM370FYFG での構成は以下のとおりです。

表 2.2 構成可能なオプションと実装

構成可能なオプション	実装
FPB	リテラルコンパレーター: 2 本 命令コンパレーター: 6 本
DWT	コンパレーター: 4 本
ITM	あり
MPU	なし
ETM	あり
AHB-AP	あり
AHBトレースマクロ セルインターフェース	あり
TPIU	あり
WIC	なし
デバッグポート	JTAG/シリアルワイヤ

## 2.3. 例外/割り込み

例外/割り込みに関連する製品固有の情報をまとめます。

### 2.3.1. 割り込み本数

Cortex-M3 コアは割り込み本数を 1 ~ 240 本の間で任意に構成することができます。

TMPM370FYDFG/TMPM370FYFG の割り込み本数は 78 本です。割り込み本数は NVIC レジスタの割り込みコントローラタイプレジスタの<INTLINESNUM[4:0]>ビットに反映され、本製品では"0x00"が読み出されます。

### 2.3.2. 割り込み優先度ビット数

Cortex-M3 コアは割り込み優先度ビット数を 3 ~ 8 ビットの間で任意に構成することができます。

TMPM370FYDFG/TMPM370FYFG の割り込み優先度は 3 ビットです。このビット数は割り込み優先度レジスタとシステムハンドラー優先度レジスタのビット構成に反映されます。

### 2.3.3. SysTick

Cortex-M3 コアには SysTick と呼ばれるシステムタイマーがあり、SysTick 例外を発生させることができます。

SysTick の詳細については、例外の「6.3. SysTick」および、「6.5.2. NVIC レジスター」を参照してください。

### 2.3.4. SYSRESETREQ

Cortex-M3 コアは、アプリケーション割り込みおよびリセット制御レジスターの<SYSRESETREQ>ビットがセットされると SYSRESETREQ 信号を出力します。

TMPM370FYDFG/TMPM370FYFG では SYSRESETREQ 信号が出力されるとウォームリセットと同様の動作になります。

### 2.3.5. LOCKUP

回復不能な例外が発生すると Cortex-M3 コアは LOCKUP 信号を出力し、ソフトウェアに重大な誤りのあることを示します。

TMPM370FYDFG/TMPM370FYFG ではこの信号は未使用です。LOCKUP 状態から復帰する際にはマスク不能割り込み(NMI) またはリセットを使用する必要があります。

### 2.3.6. 補助フォールトステータスレジスター

Cortex-M3 コアにはソフトウェアに対して追加のシステムフォールト情報を提供するための補助フォールトステータスレジスターが準備されています。

TMPM370FYDFG/TMPM370FYFG ではこのレジスターに対して機能を定義していません。リードすると常に"0x0000\_0000"が読み出されます。

## 2.4. イベント

Cortex-M3 コアにはイベント出力信号とイベント入力信号があります。イベント出力信号は、SEV 命令実行により出力されます。また、イベントが入力されると WFE 命令による低電力状態から復帰します。

TMPM370FYDFG/TMPM370FYFG では、イベント出力信号、イベント入力信号とも未使用です。SEV 命令、WFE 命令は使用しないでください。

## 2.5. 電力管理

Cortex-M3 コアには電力管理のための信号として SLEEPING および SLEEPDEEP があります。

SLEEPDEEP は、システム制御レジスタの<SLEEPDEEP>ビットがセットされている場合に出力されます。

これらの信号は、割り込み待ち(WFI)命令の実行、イベント待ち(WFE)命令の実行または、システム制御レジスタの<SLEEPONEXIT>ビットがセットされている場合の割り込みサービスルーチン(ISR)からの退出時に出力されます。

TMPM370FYDFG/TMPM370FYFG では、SLEEPDEEP 信号は使用していません。<SLEEPDEEP>ビットはセットしないでください。また、イベント信号も未使用のため、WFE 命令は使用しないでください。電力管理については、「5. クロック/モード制御(CG)」を参照してください。

## 2.6. 排他アクセス

Cortex-M3 コアは DCode バスおよびシステムバスの排他アクセスをサポートしていますが、TMPM370FYDFG/TMPM370FYFG ではこの機能を使用していません。

## 3. メモリーマップ

### 3.1. メモリーマップ

TMPM370FYDFG/TMPM370FYFG のメモリーマップは、Arm Cortex-M3 コアのメモリーマップに沿って作られており、内蔵 ROM 領域は Cortex-M3 コアメモリーマップの Code 領域、内蔵 RAM 領域は SRAM 領域、特殊機能レジスタ(SFR)領域は Peripheral 領域に割り付けられています。特殊機能レジスタ(SFR: Special function register)とは、入出力ポートおよび周辺機能のコントロールレジスタを示します。SRAM 領域、SFR 領域は全てビットバンド領域に含まれています。

CPU 内レジスタ領域はコア内部のレジスタ領域です。

各領域の詳細については、"Cortex-M シリーズプロセッサの Arm ドキュメンテーションセット"を参照してください。

"Fault"と記載された領域では、アクセスするとメモリーフォールトが有効な場合にはメモリーフォールト、無効な場合にはハードフォールトが発生します。また、ベンダー固有領域にはアクセスしないでください。

### 3.1.1. メモリーマップ

メモリーマップを以下に示します。

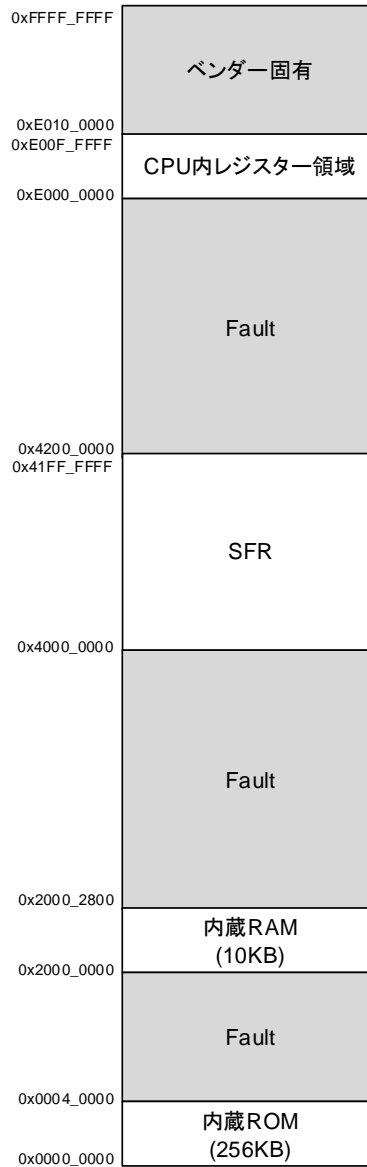


図 3.1 メモリーマップ

## 3.2. SFR 領域詳細

SFR 領域の詳細を表 3.1 に示します。

表 3.1 の Reserved(予約領域)にはアクセスしないでください。また、周辺機能によってはアクセスを制限するアドレスがあります。詳細は各周辺機能の章を参照してください。

表 3.1 SFR詳細

Start Address	End Address	Peripheral
0x4000_0000	0x4000_037F	PORT
0x4000_0380	0x4000_FFFF	Reserved
0x4001_0000	0x4001_01FF	TMRB
0x4001_0200	0x4001_03FF	Reserved
0x4001_0400	0x4001_053F	ENC
0x4001_0540	0x4002_007F	Reserved
0x4002_0080	0x4002_017F	SIO/UART
0x4002_0180	0x4002_FFFF	Reserved
0x4003_0000	0x4003_02FF	ADC
0x4003_0300	0x4003_03FF	Reserved
0x4003_0400	0x4003_043F	AMP/CMP
0x4003_0440	0x4003_FFFF	Reserved
0x4004_0000	0x4004_003F	WDT
0x4004_0040	0x4004_01FF	Reserved
0x4004_0200	0x4004_023F	CG
0x4004_0240	0x4004_07FF	Reserved
0x4004_0800	0x4004_083F	OFD
0x4004_0840	0x4004_08FF	Reserved
0x4004_0900	0x4004_093F	VLTD
0x4004_0940	0x4004_FFFF	Reserved
0x4005_0000	0x4005_023F	VE
0x4005_0240	0x4005_03FF	Reserved
0x4005_0400	0x4005_04FF	PMD
0x4005_0500	0x4007_FFFF	Reserved
0x4008_0000	0x41FF_EFFF	Hard fault
0x41FF_F000	0x41FF_F03F	FLASH
0x41FF_F040	0x41FF_FFFF	Reserved

## 4. リセット動作

### 4.1. リセット入力前状態

電源を投入したときに、パワーオンリセット信号が発生する、または $\overline{\text{RESET}}$ 端子に"Low"レベルが入力されるまでの期間、TMPM370FYDFG/TMPM370FYFG の内部は不確定であり、レジスターの設定や各端子の状態は不定となります。

### 4.2. リセット期間

TMPM370FYDFG/TMPM370FYFG はパワーオンリセット回路を内蔵しており、電源を投入したときに、パワーオンリセット信号が発生されリセットされます。

また、 $\overline{\text{RESET}}$ 端子からリセットをかける場合、電源電圧が動作範囲内であり、かつ、高周波発振器の発振が安定した状態で、 $\overline{\text{RESET}}$ 端子を少なくとも 12 システムクロック間(1.2 $\mu$ s@10MHz 発振接続時)、"Low"レベルにしてください。

注 1)  $\overline{\text{RESET}}$ 端子に"Low"レベルを入力している間、電源を投入することも可能です。

注 2) リセット動作により、内蔵 RAM のデータは保証できなくなります。

### 4.3. リセット解除後

リセット解除後は、Cortex-M3 コアの制御レジスターや周辺機能のレジスターは初期化されます。

なお、リセット解除後はPLL 逡倍回路が停止しているため、PLL 逡倍回路を使用するときにはCGOSCCR およびCGPLLSEL で設定が必要です。

リセット例外処理を行った後、CPU はリセットの割り込み処理ルーチンへ分岐します。リセットの割り込み処理ルーチンの先頭アドレスは、0x0000\_0004 番地に格納します。

## 5. クロック/モード制御(CG)

### 5.1. 特長

クロック/モード制御ブロックでは、クロックギアやプリスケールクロックの選択、PLL(逡倍回路)や発振器のウォーミングアップなどを設定することが可能です。

また、低消費電力モードがあり、モード遷移を行うことで電力の消費を抑えることが可能です。この章では、クロックの制御および動作モードとモード遷移について説明します。

クロックに関連する機能としては以下のようなものがあります。

- システムクロックの制御
- プリスケールクロックの制御
- クロック逡倍回路(PLL)の制御
- ウォーミングアップタイマーの制御

また、動作モードとして **NORMAL** モードと各種低消費電力モードがあり、使用方法に応じて消費電力を抑えることができます。

## 5.2. レジスタ—説明

### 5.2.1. レジスタ—一覧

CG 関連のレジスタ—とアドレスを以下に示します。

レジスタ—名		Address (Base+)
システムコントロールレジスタ—	CGSYSCR	0x0000
発振コントロールレジスタ—	CGOSCCR	0x0004
スタンバイコントロールレジスタ—	CGSTBYCR	0x0008
PLLセレクトレジスタ—	CGPLLSEL	0x000C
Reserved	-	0x0010

注) "Reserved"表記のアドレスにはアクセスしないでください。

## 5.2.2. CGSYSCR (システムコントロールレジスター)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	1
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	FPSEL	-	PRCK		
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	GEAR		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:18	-	R	リードすると"0"が読めます。
17:16	-	R/W	"01"をライトしてください。
15:13	-	R	リードすると"0"が読めます。
12	FPSEL	R/W	fperiph選択 0: fgear 1: fc fperiphのソースクロックを選択します。
11	-	R	リードすると"0"が読めます
10:8	PRCK[2:0]	R/W	プリスケラークロック選択 000: fperiph 001: fperiph / 2 010: fperiph / 4 011: fperiph / 8 100: fperiph / 16 101: fperiph / 32 110: Reserved 111: Reserved 周辺機能に供給するプリスケラークロックを選択します。
7:3	-	R	リードすると"0"が読めます
2:0	GEAR[2:0]	R/W	高速クロック(fc)のギア選択 000: fc 001: Reserved 010: Reserved 011: Reserved 100: fc / 2 101: fc / 4 110: fc / 8 111: fc / 16

## 5.2.3. CGOSCCR (発振コントロールレジスター)

	31	30	29	28	27	26	25	24
bit symbol	WUODR							
リセット後	1	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	WUODR				-	-	-	-
リセット後	0	0	0	0	1	1	1	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	XEN1
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	WUPSEL1	PLLON	WUEF	WUEON
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:20	WUODR[11:0]	R/W	発振器用ウォーミングアップタイマーの時間を設定
19:16	-	R/W	"1110" をライトしてください。
15:12	-	R/W	"0"をライトしてください。
11:10	-	R	リードすると"0"が読めます
9	-	R/W	"0"をライトしてください。
8	XEN1	R/W	高速発振器(外部 OSC) 0: 停止 1: 発振 高速発振器(OSC)の動作を選択します。
7:4	-	R	リードすると"0"が読めます
3	WUPSEL1	R/W	ウォーミングアップタイマー(WUP)のクロック "0"を設定してください。
2	PLLON	R/W	PLL動作 0: 停止 1: 発振 PLL(通倍回路)の動作を選択します。 リセット解除後は停止状態です。PLLを使用する場合はこのビットをセットします。
1	WUEF	R	ウォーミングアップタイマー(WUP)ステータス(注) 0: ウォーミングアップ終了 1: ウォーミングアップ中 このビットを読むことでウォーミングアップタイマーの動作状態を確認できます。
0	WUEON	W	ウォーミングアップタイマー(WUP)制御(注) 0: don't care 1: ウォーミングアップスタート このビットをセットすることでウォーミングアップタイマーがスタートします。

注) 自動ウォーミングアップする低消費電力モード(表 5.6)からの復帰では、本レジスターの設定をする必要はありません。ソフトウェアで WUP スタートした場合にはウォーミングアップが終了していること(<WUEF> = "0")を確認してから、モード遷移するようにしてください。

## 5.2.4. CGSTBYCR (スタンバイコントロールレジスター)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	DRVE
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	RXEN
リセット後	0	0	0	0	0	0	0	1
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	STBY		
リセット後	0	0	0	0	0	0	1	1

Bit	Bit Symbol	Type	機能
31:18	-	R	リードすると"0"が読めます
17	-	R/W	"0"をライトしてください。
16	DRVE	R/W	STOPモード中の端子状態制御 0: STOPモード中端子をドライブしません 1: STOPモード中も端子をドライブします
15:10	-	R	リードすると"0"が読めます
9	-	R/W	"0"をライトしてください。
8	RXEN	R/W	STOPモード解除後の高速発振器の動作選択 "1" を設定してください。
7:3	-	R	リードすると"0"が読めます
2:0	STBY[2:0]	R/W	低消費電力モード選択 000: Reserved 001: STOP 010: Reserved 011: IDLE 100: Reserved 101: Reserved 110: Reserved 111: Reserved

## 5.2.5. CGPLLSEL (PLL セレクトレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	1	0	1	0	0	0	0	1
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	PLLSEL
リセット後	0	0	1	1	1	1	1	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます
15:12	-	R/W	"1010"をライトしてください。
11	-	R	リードすると"0"が読めます
10:1	-	R/W	"00_1001_1111"をライトしてください。
0	PLLSEL	R/W	PLL選択 0: f <sub>OSC</sub> 1: PLL使用 PLLで通倍されたクロック(f <sub>PLL</sub> )をシステムクロック: fcへのクロックソースとするか選択します。 リセット解除後は"f <sub>OSC</sub> "が選択されているので、PLLを使用する場合は設定が必要です。

注) PLL を設定する場合、周波数検知回路(OFD)は必ず禁止の状態で行ってください。特に OFD リセットが発生した後、イニシャルルーチンで PLL の設定を行う場合、OFD は許可のままとなっていますので注意が必要です。

### PLL 設定例

- OFDCR1<OFDWEN[7:0]> = "0xF9" : OFD 制御レジスタ書き込み許可コード設定
- OFDCR2<OFDEN[7:0]> = "0x00" : OFD 動作禁止
- CGPLLSEL<PLLSEL> = "1" : PLL オン
- OFDMNPLLON = "xxxx" : 検知周波数下限設定
- OFDMXPLLON = "yyyy" : 検知周波数上限設定
- OFDCR2<OFDEN[7:0]> = "0xE4" : OFD 動作許可
- OFDCR1<OFDWEN[7:0]> = "0x06" : OFD 制御レジスタ書き込み禁止コード設定

## 5.3. クロック制御

### 5.3.1. クロックの種類

クロックの一覧を以下に示します。

fosc:	外部発振器より入力されるクロック(X1、X2 端子)
f <sub>PLL</sub> :	PLL により逡倍(8 逡倍)されたクロック
fc:	CGPLLSEL<PLLSEL>で選択されたクロック(高速クロック)
fgear:	CGSYSCR<GEAR[2:0]>で選択されたクロック
fsys:	fgear と同一クロック(システムクロック)
fperiph:	CGSYSCR<FPSEL>で選択されたクロック
ΦT0:	CGSYSCR<PRCK[2:0]>で選択されたクロック(プリスケラークロック)

高速クロック fc と、プリスケラークロック ΦT0 は以下のように分周することが可能です。

高速クロック:	fc、fc/2、fc/4、fc/8、fc/16
プリスケラークロック:	fperiph、fperiph/2、fperiph/4、fperiph/8、fperiph/16、fperiph/32

### 5.3.2. リセット動作による初期値

リセット動作により、クロックの設定は下記のような状態に初期化されます。

高速発振器(OSC):	停止(X1、X2)
PLL(逡倍回路):	停止
高速クロックギア:	fc(分周なし)

リセット動作により、全てのクロックの設定が fosc と同じになります。

fc = fosc
fsys = fc (= fosc)
fperiph = fc (= fosc)
ΦT0 = fperiph (= fosc)

## 5.3.3. クロック系統図

クロック系統図を図 5.1 に示します。

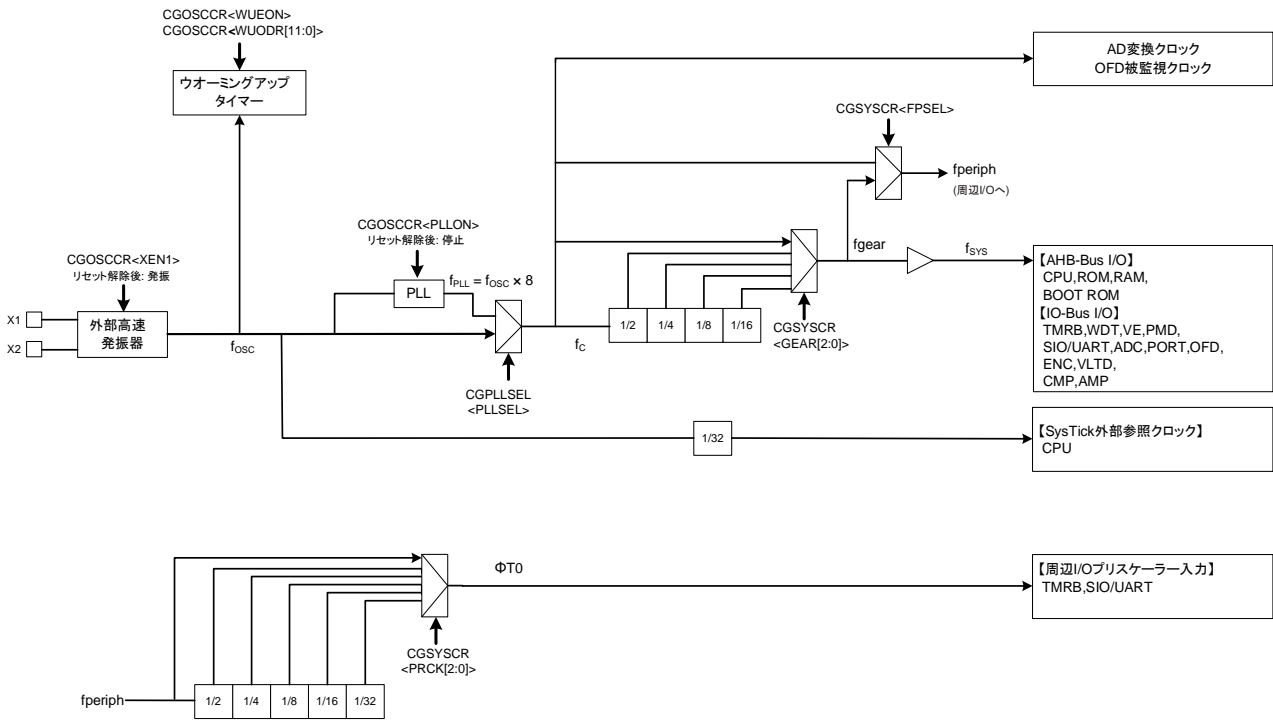


図 5.1 クロック系統図

セレクターに入力されるクロックのうち、矢印つきのものがリセット後の初期状態として選択されます。

### 5.3.4. クロック逡倍回路(PLL)

高速発振器の出力クロック  $f_{OSC}$  を 8 逡倍した  $f_{PLL}$  クロックを出力する回路です。これにより、発振器の発振周波数は低く内部クロックは高速にすることが可能です。

PLL はリセット解除後、禁止状態です。PLL を有効にするためには、CGOSCCR<PLLON>を"1"に設定し、CGPLLSEL<PLLSEL>を"1"に設定することで  $f_{OSC}$  を 8 逡倍した  $f_{PLL}$  クロックを出力することができます。なお、PLL の動作が安定するまでの時間をウォーミングアップ機能などを用いて確保する必要があります。

注) PLL 動作開始の PLL 安定時間は、約 200 $\mu$ s 以上待つてください。

#### 5.3.4.1. PLL 設定シーケンス

以下にリセット解除後の PLL 設定シーケンスを示します。

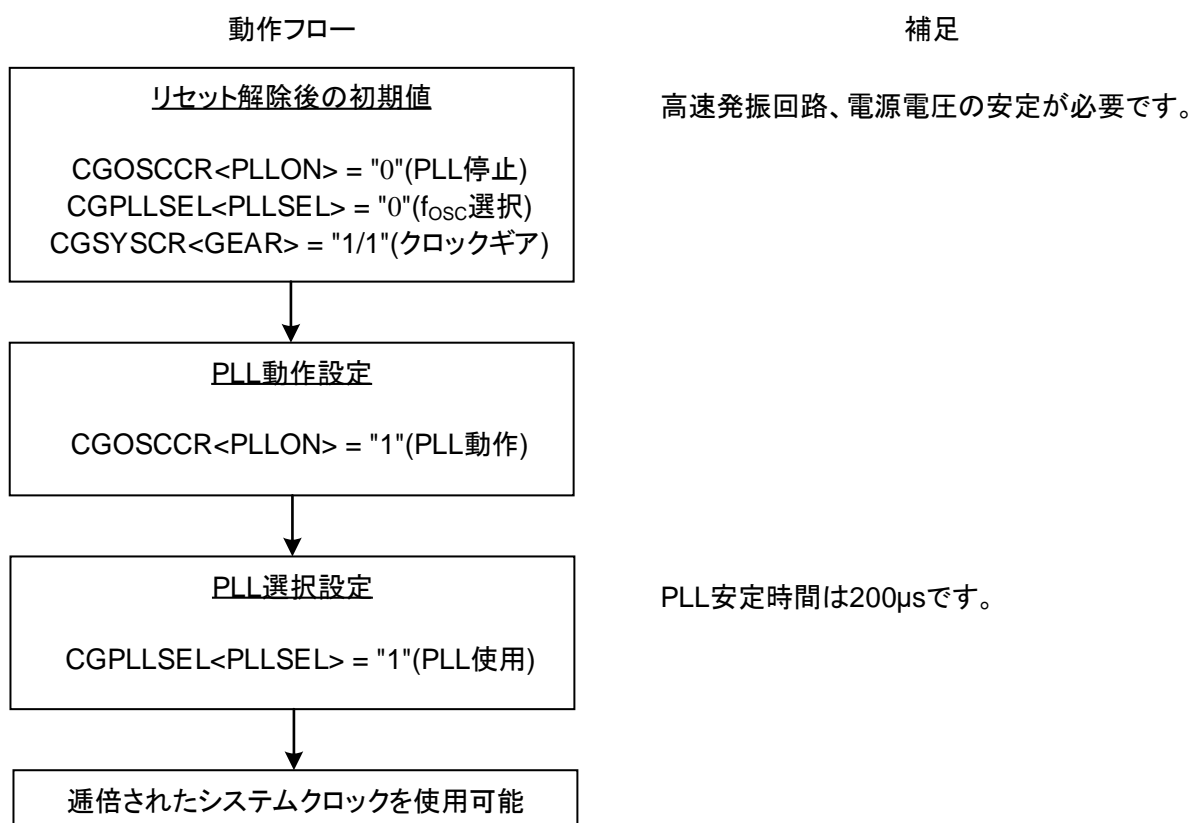


図 5.2 リセット解除後のPLL設定シーケンス

注) PLL を停止する場合は、CGPLLSEL<PLLSEL> = "0"を設定後、CGPLLSEL<PLLSEL>をリードして"0"となっていることを確認した後に CGOSCCR<PLLON> = "0"(PLL 停止)を設定してください。

### 5.3.5. ウォーミングアップ機能

ウォーミングアップ機能は、STOP モード解除時に、ウォーミングアップタイマーを用いて発振子の発振安定時間や、PLL の安定時間を確保するための機能です。詳細機能については「5.6.6. ウォーミングアップ」で説明します。

注) ウォーミングアップタイマー動作中に、低消費電力モードへ遷移しないでください。

ウォーミングアップ機能は、STOP モードからの復帰の際にも使用されます。この場合には、低消費電力モードからの復帰割り込みが発生すると自動的にタイマーがカウントを開始し、設定された時間のカウント終了後、システムクロックが出力され CPU が動作を開始します。

STOP モードでは PLL が禁止になるため、復帰の際には内部発振器の安定の他に、PLL の安定時間も考慮してウォーミングアップ時間を設定してください。

ウォーミングアップ機能の設定方法を説明します。

#### (1) クロックの選択

ウォーミングアップカウンターのカウントアップクロックを CGOSCCR<WUPSEL1>で選択します。  
(<WUPSEL1>は"0"を設定してください。)

#### (2) ウォーミングアップカウンター設定値の算出

ウォーミングアップ時間は CGOSCCR<WUODR[11:0]>により任意の値が設定可能です。

以下にウォーミングアップ時間の計算式と設定例を示します。

$$\text{ウォーミングアップサイクル数} = \frac{\text{ウォーミングアップ時間}}{\text{ウォーミングアップクロック周期}}$$

<例>高速発振子 8MHz 使用時、ウォーミングアップ時間 5ms を設定する場合

$$\frac{\text{ウォーミングアップ時間}}{\text{ウォーミングアップクロック周期}} = \frac{5\text{ms}}{1/8\text{MHz}} = 40,000 \text{ サイクル} = \text{"0x9C40"}$$

下位 4 ビットを切り捨て、"0x9C4"を CGOSCCR<WUODR[11:0]>に設定します。

(3) ウォーミングアップの開始および終了確認

ウォーミングアップタイマーのスタートおよび終了確認は、CGOSCCR<WUEON>および<WUEF>を使用してソフトウェア (命令)により行います。

注) ウォーミングアップタイマーは発振クロックで動作しているため、発振周波数にゆらぎがある場合は誤差を含みます。従って概略時間としてとらえる必要があります。

以下に、ウォーミングアップ機能の設定例を示します。

ウォーミングアップ機能設定例(外部発振の場合)

CGOSCCR<WUPSEL1> = "0" : ウォーミングアップタイマークロック設定  
 CGOSCCR<WUODR[11:0]> = "0x9C4" : ウォーミングアップ時間設定  
 CGOSCCR<WUEON> = "1" : ウォーミングアップタイマー(WUP)スタート  
 CGOSCCR<WUEF>リード : "0"(WUP 終了)になるまでウェイト

### 5.3.6. システムクロック

システムクロックは高速クロックのみです。高速クロックは分周することができます。

- 外部発振周波数: 8MHz ~ 10MHz
- クロックギア: 1、2、4、8、16 分周(リセット後は 1 分周)

表 5.1 高速クロック範囲(単位はMHz)

入力周波数	最低動作周波数	最大動作周波数	リセット後 (PLL = OFF、 CG = 1/1)	クロックギア(CG): PLL = ON時					クロックギア(CG): PLL = OFF時					
				1/1	1/2	1/4	1/8	1/16	1/1	1/2	1/4	1/8	1/16	
f <sub>osc</sub>	8	1	80	8	64	32	16	8	4	8	4	2	1	-
	10			10	80	40	20	10	5	10	5	2.5	1.25	-

注 1) PLL = ON/OFF は CGOSCCR<PLLON>で設定します。

注 2) 高速クロックの分周の切り替えは、CGSYSCR<GEAR[2:0]>へ値を書き込むことにより実行されます。書き込み後、実際に切り替わるまでに若干の時間を要します。

注 3) PLL = OFF 時、クロックギアの 1/16 は設定しないでください。

注 4) SysTick 使用時、クロックギアの 1/16 は設定しないでください。

### 5.3.7. プリスケラークロック

周辺機能には、それぞれにクロックを分周するプリスケラークロックがあります。これらのプリスケラークロックへ入力するクロック  $\Phi T0$  は、CGSYSCR<FPSEL>から選択されたクロック  $f_{periph}$  をさらにCGSYSCR<PRCK[2:0]>で分周することが可能です。リセット後の  $\Phi T0$  は  $f_{periph}/1$  が選択されます。

注) クロックギアを使用する場合、周辺機能の各ブロックのプリスケラーク出力  $\Phi Tn$  は、 $\Phi Tn < f_{sys}$  を満足するように時間設定( $\Phi Tn$  が  $f_{sys}$  よりも遅くなるように)してください。また、タイマーカウンタなどの周辺機能動作中にクロックギアを切り替えないようにしてください。

## 5.4. モードとモード遷移

### 5.4.1. モード状態遷移

動作モードとしてシステムクロックに高速クロックを使用する NORMAL モードがあります。

プロセッサコアの動作を停止して電力の消費を抑える低消費電力モードとして、IDLE モード、STOP モードがあります。

図 5.3 にモード状態遷移図を示します。

WFI 命令、Sleep-on-exit については、"Cortex-M シリーズプロセッサの Arm ドキュメンテーションセット"を参照してください。

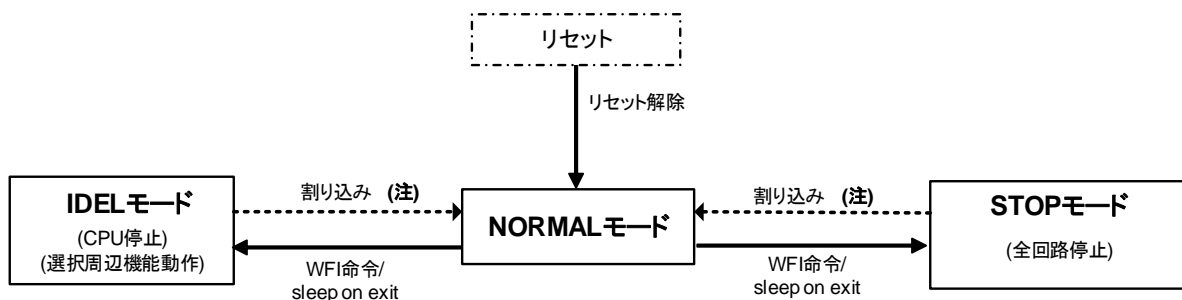


図 5.3 モード状態遷移図

注) 復帰時にウォーミングアップが必要となります。ウォーミングアップ時間の設定は IDLE モード、STOP モードに入る前のモード(NORMAL)で設定する必要があります。ウォーミングアップ時間に関しては、「5.6.6. ウォーミングアップ」を参照してください。

## 5.5. 動作モード

動作モードには NORMAL モードがあります。NORMAL モードの特長は次のとおりです。

### 5.5.1. NORMAL モード

CPU コアおよび周辺機能を高速クロックで動作させるモードです。リセット解除後は、NORMAL モードになります。

## 5.6. 低消費電力モード

低消費電力モードには、IDLE、STOP モードがあります。低消費電力モードに移行するには、システムコントロールレジスターCGSTBYCR<STBY[2:0]>でモードを選択し、WFI(Wait For Interrupt)命令を実行します。WFI 命令によって低消費電力モードへ移行した場合、低消費電力モードからの復帰はリセットまたは割り込み発生により行われます。割り込みで復帰する場合には、設定を行っておく必要があります。詳細は「6. 例外」の章の「6.4. 割り込み」を参照してください。

注 1) TMPM370FYDFG/TMPM370FYFG ではイベントによる復帰はサポートしていないため、WFE(Wait For Event)による低消費電力モードへの移行は行わないでください。

注 2) TMPM370FYDFG/TMPM370FYFG は、Cortex-M3 コアの SLEEPDEEP による低消費電力モードはサポートしていません。システム制御レジスターの<SLEEPDEEP> ビットは設定しないでください。

IDLE、STOP モードの特長は次のとおりです。

### 5.6.1. IDLE モード

CPU のみが停止するモードです。周辺機能は、各モジュールの中のレジスターに IDLE モード時の動作/停止設定レジスターを 1 ビット持ち、IDLE モードでの動作設定が可能です。IDLE モード時に動作停止に設定された周辺機能は、IDLE モードへ遷移したときの状態で停止します。

以下に IDLE モードでの動作を設定できる周辺機能の一覧を示します。設定方法は、各機能の章を参照してください。

- 16 ビットタイマー/イベントカウンター(TMRB)
- シリアルチャネル(SIO/UART)
- ウォッチドッグタイマー(WDT)
- ベクトルエンジン(VE)

注) ウォッチドッグタイマーは IDLE モードへ遷移する前に停止してください。

## 5.6.2. STOP モード

STOP モードでは、内部発振器も含めて全ての内部回路が停止します。

STOPモードが解除されると、STOPモードへ移行する直前の動作モードへ復帰し、動作を開始します。

STOP モードでは、CGSTBYCR<DRVE>の設定により端子の状態を設定することができます。STOPモード時の端子状態を表 5.2 に示します。

表 5.2 STOPモード時の端子状態

	機能	入出力	<DRVE> = 0	<DRVE> = 1
ポート 以外	X1	入力専用	×	
	X2	出力専用	"High"レベル出力	
	$\overline{\text{RESET}}$ 、MODE	入力専用	○	
	VOUT15、VOUT3	出力専用	○	
ポート	TMS TCK TDI $\overline{\text{TRST}}$	入力	○	
	TDO/SWV	出力	データ有効時は許可 データ無効時は禁止	
	SWCLK	入力	○	
	SWDIO	入力	○	
		出力	データ有効時は許可 データ無効時は禁止	
	TRACECLK TRACEDATA0 TRACEDATA1 SWV	出力	○	
	U00,1、VO0,1、WO0,1 X00,1、YO0,1、ZO0,1	出力	×	○
	INT0、INT1、INT2、INT3、 INT4、INT5、INT6、INT7、 INT8、INT9、INTA、INTB、 INTC、INTD、INTE、INTF	入力	○	
	上記以外の機能端子または 汎用入出力として使用	入力	×	○
		出力	×	○

注) ○: 入力または出力が許可であることを示します。

×: 入力または出力が禁止であることを示します。

### 5.6.3. 低消費電力モードの選択

低消費電力モード選択は、CGSTBYCR<STBY[2:0]>の設定で選択されます。

表 5.3 に<STBY[2:0]>の設定により選択されるモードを示します。

表 5.3 低消費電力モードと設定

モード	CGSTBYCR <STBY[2:0]>
STOP	001
IDLE	011

注) 上記以外の設定は行わないでください。

## 5.6.4. 各モードにおける動作状態

各モードにおける動作状態を表 5.4 に示します。

I/O ポートについては「○」は入出力の有効、「×」は無効を、その他の機能については「○」はクロックが供給されていることを、「×」は供給されていないことを示します。

表 5.4 各動作モードにおける動作状態

周辺機能	NORMAL	IDLE	STOP
プロセッサコア	○	×	×
I/O ポート	○	○	× (注 2)
PMD	○	○	×
ENC	○	○	×
OFD	○	○	×
ADC	○	○	×
VE	○	モジュールごとに動作/停止 選択可能	×
SIO/UART	○		×
TMRB	○		×
WDT	○		×
AMP/CMP	○	○	○ (注 3)
VLTD	○	○	○ (注 3)
POR	○	○	○ (注 3)
CG	○	○	×
PLL	○	○	×
高速発振器(fc)	○	○	×

注 1) ○: 対象のモード中に動作が可能

×: 対象のモードに移行すると自動的にモジュールへのクロックが停止

注 2) CGSTBYCR<DRVE>の設定によります。

注 3) クロックは供給されていませんが、動作停止しません。

## 5.6.5. 低消費電力モードの解除

低消費電力モードからの解除は、割り込み、NMI、リセットによって行うことができます。使用できる低消費電力モード解除ソースは、低消費電力モードにより決まります。詳細を表 5.5 に示します。

表 5.5 解除ソースと解除可能なモード

低消費電力モード		IDLE (プログラマブル)	STOP
解除 ソース	割り 込み	INT0 ~ F (注 1)	○
		INTRX0 ~ 3, INTTX0 ~ 3	○
		INTVCNA, INTVCNB	○
		INTEMG0, 1	○
		INTOVV0, 1	○
		INTADAPDA, INTADBPDA	○
		INTADAPDB, INTADBPDB	○
		INTTB00, 10, 20, 30, 40, 50, 60, 70	○
		INTTB01, 11, 21, 31, 41, 51, 61, 71	○
		INTPMD0, 1	○
		INTCAP00, 10, 20, 30, 40, 50, 60, 70	○
		INTCAP01, 11, 21, 31, 41, 51, 61, 71	○
		INTADACPA, INTADBCPA	○
		INTADACPB, INTADBCPB	○
		INTADASFT, INTADBSFT	○
		INTADATMR, INTADBTMR	○
		INTENC0, 1	○
SysTick 割り込み		○	×
NMI (INTWDT)		×	×
リセット (RESET端子)		○	○

注 1) ○: 解除後、割り込み処理を開始します(リセットは本製品を初期化します)。

×: 解除に使用できません。

注 2) レベルモードの割り込みによる解除を行う場合、割り込み処理が開始されるまでレベルを保持してください。それ以前でレベルを変化させた場合は、正しい割り込み処理を開始できません。

注 3) 消費電力モードへ移行する場合は、CPU で復帰要因以外の割り込みを禁止してください。禁止していないと復帰要因以外の割り込みで解除が行われる場合があります。

注 4) 各モードからの復帰に必要なウォーミングアップについては「5.6.6 ウォーミングアップ」を参照してください。

- 割り込み要求による解除  
割り込みによって低消費電力モードを解除する場合、CPU で割り込みが検出されるよう準備しておく必要があります。STOP モードの解除に使用する割り込みは、CPU の設定の他にクロックジェネレーターで割り込み検出の設定を行う必要があります。
- マスク不能割り込み(NMI)による解除  
マスク不能割り込みの要因には、WDT 割り込み(INTWDT)があります。INTWDT は IDLE モードでのみ使用可能です。

注) IDLE モード中は CPU によるウォッチドッグタイマーのクリアができませんので注意してください。

- リセットによる解除  
 $\overline{\text{RESET}}$ 端子によるリセットで全ての低消費電力モードからの解除を行うことができます。リセットで解除した場合には通常のリセット動作と同様になり、解除後は NORMAL モードで全てのレジスターが初期化された状態になります。
- SysTick 割り込みによる解除  
SysTick 割り込みは IDLE モードでのみ使用可能です。

割り込みの詳細に関しては、「6. 例外」章を参照してください。

### 5.6.6. ウォーミングアップ

モード遷移の際には内部回路の安定のためウォーミングアップが必要な場合があります。

STOP モードから NORMAL モードへの遷移では、自動的にウォーミングアップ用カウンタが起動され、設定されているウォーミングアップ時間経過後にシステムクロックの出力が開始されます。このため、STOP モードに移行する命令を実行する前に CGOSCCR<WUPSEL1>でウォーミングアップする発振器の選択(注 1)および、CGOSCCR<WUODR>でウォーミングアップ時間の設定を行ってください。

注 1) TMPM370FYDFG/TMPM370FYFG では、常に CGOSCCR<WUPSEL1> = “0”を設定してください。

注 2) STOP モードでは PLL が禁止になるため、STOP モード解除の際には内部発振器の安定の他に、PLL の安定時間も考慮してウォーミングアップ時間を設定してください。PLL の安定時間は、約 200 $\mu$ s です。

注 3) 自動ウォーミングアップする低消費電力モードからの復帰では、CGOSCCR<WUEON>の設定をする必要はありません。

各動作モード遷移時におけるウォーミングアップ設定の要否を表 5.6 に示します。

表 5.6 各動作モード遷移時のウォーミングアップ設定

動作モード遷移	ウォーミングアップ設定
NORMAL → IDLE	不要
NORMAL → STOP	不要
IDLE → NORMAL	不要
STOP → NORMAL	必要

## 5.6.7. モード遷移によるクロック動作

モード遷移の際の、クロック動作について示します。

### 5.6.7.1. NORMAL→STOP→NORMAL 動作モード遷移

STOP モードから NORMAL モードへ復帰する場合、ウォーミングアップは自動的に起動します。STOP モードへ遷移する前にウォーミングアップ時間の設定を行ってください。

リセットで NORMAL モードへ復帰する場合にはウォーミングアップは行われませんので、発振動作が安定するまでリセット信号を有効に保ってください。

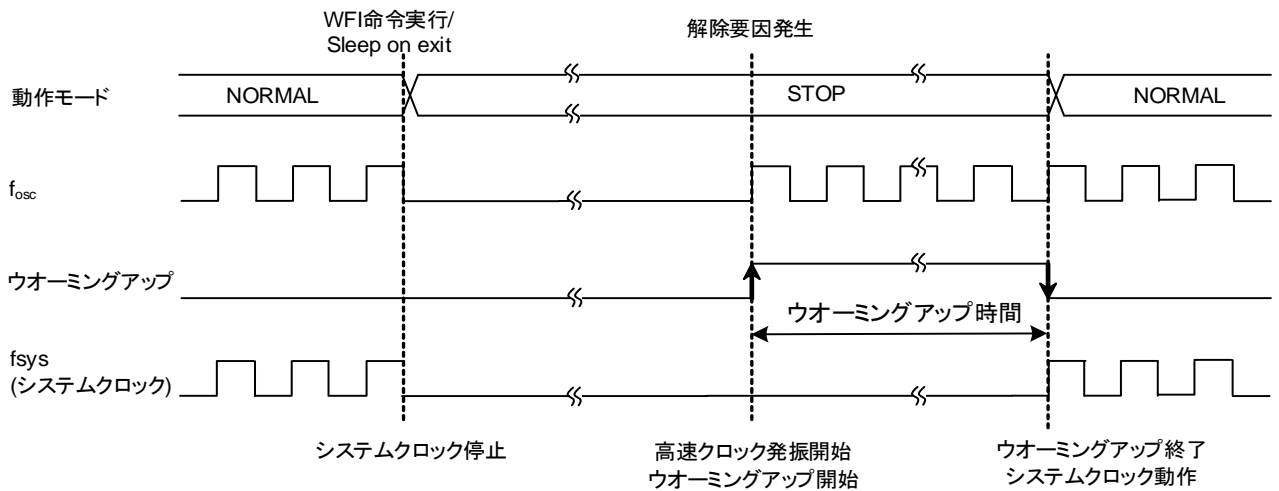


図 5.4 NORMAL→STOP→NORMAL動作モード遷移

## 6. 例外

この章では、例外の特長、種類、処理について説明します。

例外は CPU のアーキテクチャーと深くかかわる部分ですので、必要に応じて「Arm Cortex-M シリーズプロセッサの Arm ドキュメンテーションセット」を参照してください。

### 6.1. 概要

例外は CPU に対し、現在実行中の処理を中断して別の処理に移ることを要求するものです。

例外には、何らかの異常な状態が起こったときや、例外を発生する命令を実行したときに発生するものと、外部割り込み端子や周辺機能からの割り込み要求信号といった、ハードウェアによる要因で発生する割り込みがあります。

全ての例外は優先度に従って CPU 内にあるネスト型ベクター割り込みコントローラー(NVIC)によって処理されます。例外が発生すると、CPU はそのときの状態をスタックに退避し、割り込み処理ルーチンへ分岐します。割り込み処理ルーチンの実行後、スタックに退避した情報は自動的に復帰されます。

#### 6.1.1. 種類

例外には以下のものがあります。

それぞれの例外の詳細な内容は、「Cortex-M シリーズプロセッサの Arm ドキュメンテーションセット」を参照してください。

- リセット
- マスク不能割り込み(NMI)
- ハードフォールト
- メモリー管理
- バスフォールト
- 用法フォールト
- SVCcall (スーパーバイザーコール)
- デバッグモニター
- PendSV
- SysTick
- 外部割り込み

### 6.1.2. 処理の流れ

例外/割り込みの処理の流れの概略を以下に示します。以下の説明で、はハードウェアによる処理を、はソフトウェアによる処理を示しています。

それぞれの処理の内容について、後続の節で説明します。

処理	内容	参照先
<div style="border: 1px solid black; padding: 5px; width: fit-content; margin: 0 auto;">CG/CPUが例外を検出</div>	CG/CPUが例外を検出します。	<div style="border: 1px solid black; padding: 5px; width: fit-content; margin: 0 auto;">6.1.2.1章</div>
<div style="font-size: 2em; margin: 0 auto;">↓</div>		
<div style="border: 1px solid black; padding: 5px; width: fit-content; margin: 0 auto;">CPUが例外を処理</div>	CPUが例外処理を行います。	<div style="border: 1px solid black; padding: 5px; width: fit-content; margin: 0 auto;">6.1.2.2章</div>
<div style="font-size: 2em; margin: 0 auto;">↓</div>		
<div style="border: 1px solid black; padding: 5px; width: fit-content; margin: 0 auto;">CPUが割り込み 処理ルーチンへ分岐</div>	CPUが検出した例外に応じた割り込み処理ルーチンへ分岐します。	<div style="border: 1px solid black; padding: 5px; width: fit-content; margin: 0 auto;">6.1.2.2章</div>
<div style="font-size: 2em; margin: 0 auto;">↓</div>		
<div style="border: 1px solid black; padding: 5px; width: fit-content; margin: 0 auto;">割り込み処理ルーチンの 実行</div>	CPUが必要な処理を行います。	<div style="border: 1px solid black; padding: 5px; width: fit-content; margin: 0 auto;">6.1.2.3章</div>
<div style="font-size: 2em; margin: 0 auto;">↓</div>		
<div style="border: 1px solid black; padding: 5px; width: fit-content; margin: 0 auto;">例外からの復帰</div>	CPUが別の割り込み処理ルーチンへ分岐、または元のプログラムに復帰します。	<div style="border: 1px solid black; padding: 5px; width: fit-content; margin: 0 auto;">6.1.2.4章</div>

図 6.1 処理の流れ

### 6.1.2.1. 例外要求と検出

#### (1) 例外要求の発生

例外は、CPU の命令実行、メモリアクセス、外部割り込み端子や周辺機能からの外部割り込みなどにより発生します。

CPU の命令実行による例外の要求は、例外が発生する命令の実行や、命令実行中の異常が要因で発生します。

メモリアクセスによる例外の要求は、実行不可領域からの命令フェッチや、フォールト領域へのアクセスにより発生します。

外部割り込みの例外の要求は、外部割り込み端子や周辺機能から発生します。外部割り込み端子を低消費電力モード解除に使用する場合、CG の設定も必要になります。詳細は「6.4. 割り込み」で説明します。

#### (2) 例外の検出

複数の例外が同時に検出された場合には、CPU は優先度に従って最も優先度の高い例外を選択します。

各例外の優先度は以下のとおりです。「構成可能」と記載された例外は、優先度を設定することができます。また、メモリー管理、バスフォールト、用法フォールトは許可/禁止を選択することができます。禁止された例外が発生した場合にはハードフォールトとして扱われます。

表 6.1 例外の種類と優先度

番号	例外	優先度	要因
1	リセット	-3 (最高)	RESET $\bar$ 端子、WDT、POR、VLTD、OFD、<SYSRESETREQ>
2	マスク不能割り込み	-2	WDT
3	ハードフォールト	-1	より優先度の高いフォールトの処理中、または禁止されているために発生できないフォールト
4	メモリー管理	構成可能	MPU(メモリー保護ユニット)からの例外(注 1) 実行不可(XN)(Execute Never)領域からの命令フェッチ
5	バスフォールト	構成可能	メモリーマップのハードフォールト領域に対するアクセス
6	用法フォールト	構成可能	未定義命令の実行や、命令実行によって発生するその他のエラー
7 ~ 10	予約	-	-
11	SVCcall	構成可能	SVC 命令によるシステムサービスの呼び出し
12	デバッグモニター	構成可能	CPU がフォールト中でないときのデバッグモニター
13	予約	-	-
14	PendSV	構成可能	保留可能なシステムサービスへの要求
15	SysTick	構成可能	システムタイマーからの通知
16 ~	外部割り込み	構成可能	外部割り込み端子や周辺機能(注 2)

注 1) TMPM370FYDFG/TMPM370FYFG は MPU を搭載していません。

注 2) 外部割り込みは、製品により要因と番号が異なります。具体的な要因と番号については、「6.4.4. 製品別の割り込み要因一覧」を参照してください。

## (3) 優先度の設定

- 優先度レベル

外部割り込みの優先度は、割り込み優先度レジスターで、それ以外の例外はシステムハンドラー優先度レジスターで該当する<PRI\_n[7:0]>に設定します。

<PRI\_n[7:0]>は、構成を変更することが可能になっており、優先度設定のためのビット数は製品により3ビット～8ビットのいずれかになります。このため、設定できる優先度の範囲も製品により異なります。

8ビットの構成の場合、優先度は0～255のレベルを設定できます。最も高い優先度は"0"です。複数の要因を同じ優先度に設定した場合、番号の小さい例外の優先度が高くなります。

注) TMPM370FYDFG/TMPM370FYFG では、<PRI\_n[7:0]>の優先度設定のビット数は3ビットの構成になっています。

- 優先度のグループ化

優先度をグループ化することもできます。アプリケーション割り込みおよびリセット制御レジスターの<PRIGROUP[2:0]>を設定することで、<PRI\_n[7:0]>を横取り優先度とサブ優先度に分割することができます。

優先度はまず横取り優先度で判定され、横取り優先度が同じ場合サブ優先度で判定されます。

サブ優先度も同じ場合は例外番号の小さいほうが優先度が高くなります。

表 6.2 に優先度のグループ化の設定についてまとめます。表中の横取り優先度数、サブ優先度数は、<PRI\_n[7:0]>が8ビット構成の場合の数です。

表 6.2 優先度のグループ化設定

<PRIGROUP[2:0]>の 設定	<PRI_n[7:0]>		横取り優先度数	サブ優先度数
	横取りフィールド	サブ優先度フィールド		
000	[7:1]	[0]	128	2
001	[7:2]	[1:0]	64	4
010	[7:3]	[2:0]	32	8
011	[7:4]	[3:0]	16	16
100	[7:5]	[4:0]	8	32
101	[7:6]	[5:0]	4	64
110	[7]	[6:0]	2	128
111	なし	[7:0]	1	256

注) <PRI\_n[7:0]>の構成が8ビットより小さい場合、下位ビットは"0"となります。

例えば、3ビット構成の場合、<PRI\_n[7:5]>で優先度が設定され、<PRI\_n[4:0]>は"0\_0000"になります。

### 6.1.2.2. 例外の処理と割り込み処理ルーチンへの分岐(横取り)

例外により、実行中の処理を中断して割り込み処理ルーチンへ分岐する動作を「横取り」と呼びます。

#### (1) レジスタの退避

例外を検出すると、CPU は 8 つのレジスタの内容を退避します。退避するレジスタと退避の順序は以下のとおりです。

- プログラムステータスレジスタ(xPSR)
- プログラムカウンタ(PC)
- リンクレジスタ(LR)
- r12
- r3 ~ r0

レジスタの退避が終了すると、SP は 8 ワード分減らされます。レジスタ退避終了後のスタックの状態は以下のようになっています。

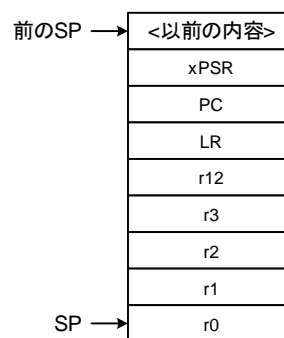


図 6.2 レジスタ退避終了後のスタック

#### (2) 割り込み処理ルーチンのフェッチ

レジスタの退避と同時に CPU は割り込み処理ルーチンの命令フェッチを行います。

各例外の割り込み処理ルーチンの先頭番地をベクターテーブルに準備しておきます。ベクターテーブルはリセット後、コード領域の 0x0000\_0000 番地に置かれます。ベクターテーブルは、ベクターテーブルオフセットレジスタを設定することでコード空間またはSRAM空間の任意のアドレスに置くことができます。

ベクターテーブルにはまた、メインスタックの初期値を設定します。

## (3) 後着

割り込み処理ルーチンの実行前に、検出した例外よりも優先度の高い例外を検出した場合、CPUは優先度の高い例外の処理に移行します。これを後着と呼びます。

後着の場合、CPUは新たに検出された例外の割り込み処理ルーチンの命令フェッチをあらためて行い、分岐しますが、再度レジスターの内容を退避することはありません。

## (4) ベクターテーブルの構成

ベクターテーブルの構成は以下のとおりです。

最初の4ワード(スタックの先頭アドレス、リセット、マスク不能割り込み(NMI)、ハードフォールトの割り込み処理ルーチンアドレス)は必ず設定する必要があります。その他の例外の割り込み処理ルーチンアドレスは、必要に応じて準備します。

表 6.3 ベクターテーブルの構成

オフセット	例外	内容	設定
0x00	リセット	メインスタックの初期値	必須
0x04	リセット	割り込み処理ルーチンアドレス	必須
0x08	マスク不能割り込み(NMI)	割り込み処理ルーチンアドレス	必須
0x0C	ハードフォールト	割り込み処理ルーチンアドレス	必須
0x10	メモリー管理	割り込み処理ルーチンアドレス	任意
0x14	バスフォールト	割り込み処理ルーチンアドレス	任意
0x18	用法フォールト	割り込み処理ルーチンアドレス	任意
0x1C ~ 0x28	予約	-	-
0x2C	SVCall	割り込み処理ルーチンアドレス	任意
0x30	デバッグモニター	割り込み処理ルーチンアドレス	任意
0x34	予約	-	-
0x38	PendSV	割り込み処理ルーチンアドレス	任意
0x3C	SysTick	割り込み処理ルーチンアドレス	任意
0x40	外部割り込み	割り込み処理ルーチンアドレス	任意

### 6.1.2.3. 割り込み処理ルーチンの実行

割り込み処理ルーチンでは、発生した例外に応じて必要な処理を行います。割り込み処理ルーチンはユーザーが準備します。

割り込み処理ルーチンでは、通常の処理プログラムに戻ったときに再度同じ割り込みが発生しないよう、割り込み要求の取り下げなどの処理が必要になる場合があります。

割り込みについての詳細は「6.4. 割り込み」で説明します。

割り込み処理ルーチンの実行中に現在処理中の例外よりも優先度の高い例外を検出した場合、CPU は現在実行中の割り込み処理ルーチンを中断し新たに検出された例外の処理を行います。

### 6.1.2.4. 例外からの復帰

#### (1) 割り込み処理ルーチンからの復帰先

割り込み処理ルーチン終了時の状態により復帰先が決まります。

- テールチェイン  
保留中の例外が存在し、中断されている例外処理がないかまたは中断されているどの例外よりも優先度が高い場合、保留中の例外の割り込み処理ルーチンへ復帰します。  
このとき、レジスターのスタックへの退避と復帰は省略されます。この動作をテールチェインと呼びます。
- 処理が中断されている割り込み処理ルーチンへ復帰  
保留中の例外がない場合、または存在しても処理が中断されている例外の優先度が高い場合、中断されている例外の割り込み処理ルーチンへ復帰します。
- 元のプログラムへ復帰  
保留中の例外も処理が中断されている例外もない場合、元のプログラムへ復帰します。

#### (2) 復帰処理

CPU は、割り込み処理ルーチンから復帰する際に以下の処理を行います。

- レジスターの復帰  
退避していた 8 つのレジスター(xPSR、PC、LR、r12、r3～r0)を復帰し SP を調整します。
- 割り込み番号のロード  
退避していた xPSR から現在有効な割り込み番号をロードします。この割り込み番号によって CPU はどの割り込みに復帰するかを制御します。
- SP の選択  
例外(ハンドラーモード)へ復帰する場合、SP は SP\_main です。スレッドモードへ復帰する場合、SP は SP\_main または SP\_process です。

## 6.2. リセット例外

リセット例外には、以下の 6 種類の要因があります。

リセットの要因を確認するためには、CG レジスタの CGRSTFLG を参照してください。

- $\overline{\text{RESET}}$ 端子によるリセット例外  
 $\overline{\text{RESET}}$ 端子を"Low"レベルにしたのち、"High"レベルにすることによりリセット例外が発生します。
- POR によるリセット例外  
POR にリセット例外を発生する機能があります。詳細は「15. パワーオンリセット回路(POR)」を参照してください。
- VLTD によるリセット例外  
VLTD にリセット例外を発生する機能があります。詳細は「16. 電圧検出回路(VLTD)」を参照してください。
- OFD によるリセット例外  
OFD にリセット例外を発生する機能があります。詳細は「17. 周波数検知回路(OFD)」を参照してください。
- WDT によるリセット例外  
WDT にリセット例外を発生する機能があります。詳細は「18. ウォッチドッグタイマー(WDT)」を参照してください。
- <SYSRESETREQ>によるリセット例外  
NVIC レジスタのアプリケーション割り込みおよびリセット制御レジスタの <SYSRESETREQ>をセットすることで、リセット例外を発生させることができます。

## 6.3. SysTick

SysTick は、CPU の持つシステムタイマーを使用した割り込み機能です。

SysTick リロード値レジスタに値を設定し、SysTick 制御およびステータスレジスタで機能を許可すると、リロード値レジスタに設定された値がタイマーへリロードされカウントダウンを開始します。タイマーが"0"になると SysTick 例外を発生します。また、例外を保留し、フラグでタイマーが"0"になったことを確認することもできます。

SysTick 較正值レジスタには、システムタイマーで 10ms を計測する際のリロード値が準備されています。製品により、カウントクロックの周期は異なるため、較正值レジスタに設定されている値も異なります。

注) TMPM370FYDFG/TMPM370FYFG は外部参照クロックとして  $f_{osc}$ (CGOSCCR<OSCSEL>で選択されるクロック)を 32 分周したクロックが使用されます。

## 6.4. 割り込み

この節では、割り込みの伝わる経路、要因、必要な設定について説明します。

### 6.4.1. マスク不能割り込み(NMI)

マスク不能割り込みの要因については、「6.4.4. 製品別の割り込み要因一覧」の表 6.4 を参照してください。

### 6.4.2. マスク可能割り込み

マスク可能割り込みの要因については、「6.4.4. 製品別の割り込み要因一覧」の表 6.5 を参照してください。

### 6.4.3. 割り込み要求

割り込み要求は、それぞれの割り込み要因からの信号により CPU へ通知されます。

CPU は、優先順位付けを行い最も優先度の高い割り込みを発生します。

#### 6.4.3.1. 割り込み要求経路

割り込み要求の経路を図 6.3 に示します。

外部割り込みのうち、周辺機能からの割り込み要求信号で低消費電力モード解除に使用しないものは CPU に入力されます。(経路(1))

低消費電力モード解除に使用する周辺機能からの割り込み要求信号(経路(2))は、CG に入力され、低消費電力モード解除の回路を経由して CPU に入力されます。(経路(4))

外部割り込みのうち、外部割り込み端子からの割り込み(経路(3))は CG に入力されます。低消費電力モード解除の回路を経由しない信号(経路(6))と経由した信号(経路(7))が、CGIMCGn<INTmEN>で選択され CPU に入力されます(経路(5))。

外部割り込み端子を低消費電力モード解除に使用するときには経路(7)を選択し、使用しないときには経路(6)を選択します。

注) 「n」はレジスタ名称の添え字、「m」はビットシンボルの添え字を示します。

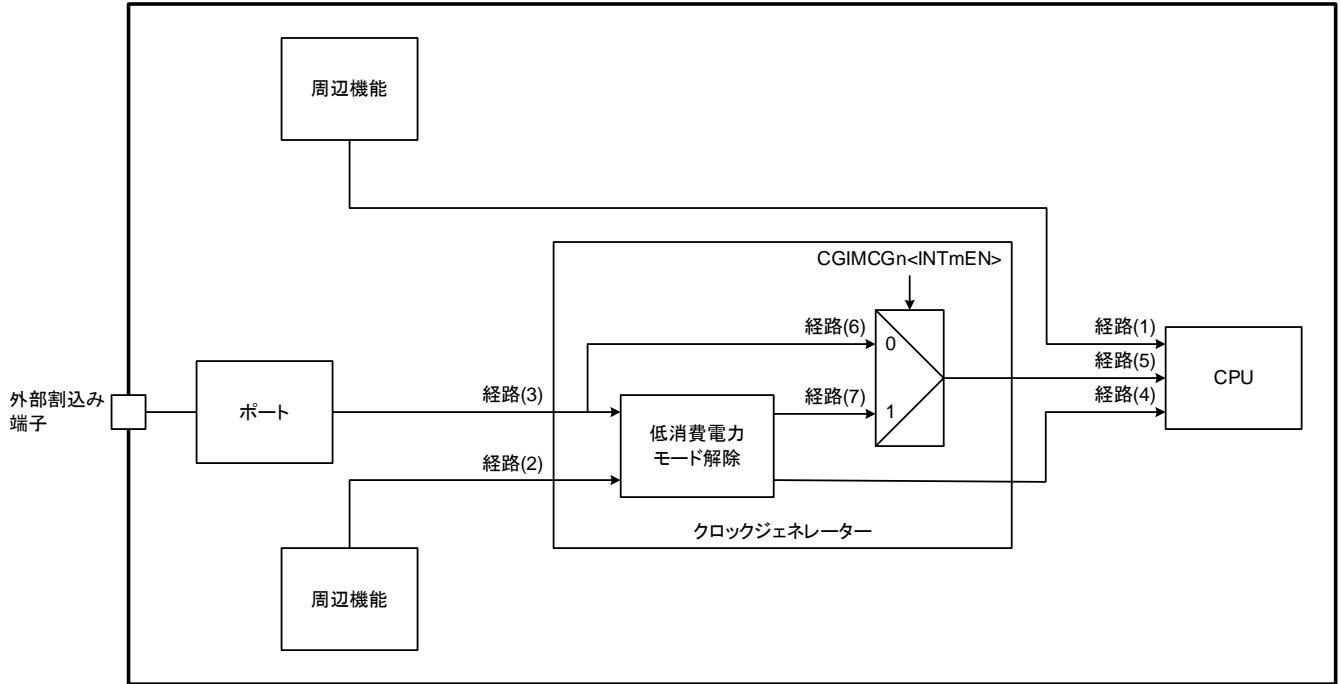


図 6.3 割り込み要求経路

### 6.4.3.2. 割り込み要求の発生

割り込み要求は、割り込み要因に割り当てられた外部割り込み端子、周辺機能、NVIC レジスタの割り込み保留セットレジスタの設定により発生します。

- 外部割り込み端子からの割り込み  
ポートの制御レジスタで端子を割り込み機能に設定します。
- 周辺機能の割り込み  
周辺機能で割り込み要求が出力されるよう設定します。  
詳細は各章を参照してください。
- 割り込みの強制的な保留  
割り込み保留セットレジスタの該当する割り込みのビットをセットすることで、割り込み要求を発生させることができます。

### 6.4.3.3. 割り込み検知レベルのモニター

CG は、検出した割り込み検知レベルのモニターフラグを備えています。

CGIMCGn<EMSTm[1:0]>を読み出すことで検出した検知レベルが分かります。

注) 「n」はレジスタ名称の添え字、「m」はビットシンボルの添え字を示します。

### 6.4.3.4. 割り込み要求の伝達

低消費電力モード解除要因として使用しない割り込み要求は直接 CPU に接続されます。

低消費電力モード解除要因として使用する周辺機能の割り込み要求信号と外部割り込み端子からの信号は、CG を経由して CPU に接続されます。そのため CG の設定が必要です。

#### 6.4.3.5. 外部割り込み端子を使用する際の注意

外部割り込み端子を使用する際には、予期しない割り込みが発生しないよう以下の点に留意してください。

外部割り込み端子からの入力信号は、入力禁止( $PxIE<PxmIE> = "0"$ )のとき、"High"レベルとなります。

外部割り込み端子を低消費電力モード解除要因として使用しない場合（「図 6.3 割り込み要求経路」の(6)の経路）、外部割り込み端子からの入力信号がそのまま CPU に伝わります。

また、CPU は"High"レベルを割り込み要求として認識します。

そのため、入力禁止のまま該当する割り込みを許可すると割り込み要求が発生します。

外部割り込み端子を低消費電力モード解除要因としないときは、外部割り込み端子が"Low"レベルの状態を入力許可にして、その後に CPU で割り込み許可設定を行ってください。

注 1) ポートの設定は「8. 入出力ポート」を参照してください。

注 2) 「x」は該当ポート番号、「m」は該当ビットを示します。

## 6.4.4. 製品別の割り込み要因一覧

マスク不能割り込み(NMI)の割り込み要因を表 6.4 に示します。

表 6.4 割り込み要因一覧 (マスク不能割り込み)

割り込み番号	割り込み要因		NMI発生要因フラグ
1	INTWDT	WDT 割り込み	CGNMIFLG<MNIFLG0>

マスク可能割り込み要因一覧を表 6.5 に示します。

表 6.5 割り込み要因一覧

割り込み番号	割り込み要因		CG割り込みモード コントロールレジスター
0	INT0	外部割り込み端子 0	CGIMCGA
1	INT1	外部割り込み端子 1	CGIMCGA
2	INT2	外部割り込み端子 2	CGIMCGA
3	INT3	外部割り込み端子 3	CGIMCGA
4	INT4	外部割り込み端子 4	CGIMCGB
5	INT5	外部割り込み端子 5	CGIMCGB
6	INTRX0	SIO/UART ch0 シリアル受信	
7	INTTX0	SIO/UART ch0 シリアル送信	
8	INTRX1	SIO/UART ch1 シリアル受信	
9	INTTX1	SIO/UART ch1 シリアル送信	
10	INTVCNA	ベクトルエンジン割り込み A	
11	INTVCNB	ベクトルエンジン割り込み B	
12	INTEMG0	PMD ch0 EMG 割り込み	
13	INTEMG1	PMD ch1 EMG 割り込み	
14	INTOVV0	PMD ch0 OVV 割り込み	
15	INTOVV1	PMD ch1 OVV 割り込み	
16	INTADAPDA	ADC unit A PMD ch0 トリガー変換終了	
17	INTADBPDA	ADC unit B PMD ch0 トリガー変換終了	
18	INTADAPDB	ADC unit A PMD ch1 トリガー変換終了	
19	INTADBPDB	ADC unit B PMD ch1 トリガー変換終了	
20	INTTB00	TMRB ch0 コンペアー一致 0/オーバーフロー	
21	INTTB01	TMRB ch0 コンペアー一致 1	
22	INTTB10	TMRB ch1 コンペアー一致 0/オーバーフロー	
23	INTTB11	TMRB ch1 コンペアー一致 1	
24	INTTB40	TMRB ch4 コンペアー一致 0/オーバーフロー	

割り込み 番号	割り込み要因		CG割り込み モード コントロール レジスタ
25	INTTB41	TMRB ch4 コンペア一致 1	
26	INTTB50	TMRB ch5 コンペア一致 0/オーバーフロー	
27	INTTB51	TMRB ch5 コンペア一致 1	
28	INTPMD0	PMD ch0 PWM 割り込み	
29	INTPMD1	PMD ch1 PWM 割り込み	
30	INTCAP00	TMRB ch0 インพุットキャプチャ0	
31	INTCAP01	TMRB ch0 インพุットキャプチャ1	
32	INTCAP10	TMRB ch1 インพุットキャプチャ0	
33	INTCAP11	TMRB ch1 インพุットキャプチャ1	
34	INTCAP40	TMRB ch4 インพุットキャプチャ0	
35	INTCAP41	TMRB ch4 インพุットキャプチャ1	
36	INTCAP50	TMRB ch5 インพุットキャプチャ0	
37	INTCAP51	TMRB ch5 インพุットキャプチャ1	
38	INT6	外部割り込み端子 6	CGIMCGB
39	INT7	外部割り込み端子 7	CGIMCGB
40	INTRX2	SIO/UART ch2 シリアル受信	
41	INTTX2	SIO/UART ch2 シリアル送信	
42	INTADACPA	ADC unit A 監視割り込み A	
43	INTADBCPA	ADC unit B 監視割り込み A	
44	INTADACPB	ADC unit A 監視割り込み B	
45	INTADBCPB	ADC unit B 監視割り込み B	
46	INTTB20	TMRB ch2 コンペア一致 0/オーバーフロー	
47	INTTB21	TMRB ch2 コンペア一致 1	
48	INTTB30	TMRB ch3 コンペア一致 0/オーバーフロー	
49	INTTB31	TMRB ch3 コンペア一致 1	
50	INTCAP20	TMRB ch2 インพุットキャプチャ0	
51	INTCAP21	TMRB ch2 インพุットキャプチャ1	
52	INTCAP30	TMRB ch3 インพุットキャプチャ0	
53	INTCAP31	TMRB ch3 インพุットキャプチャ1	
54	INTADASFT	ADC unit A ソフトウェアスタート変換終了	
55	INTADBSFT	ADC unit B ソフトウェアスタート変換終了	
56	INTADATMR	ADC unit A タイマー同期変換終了	
57	INTADBTMR	ADC unit B タイマー同期変換終了	
58	INT8	外部割り込み端子 8	CGIMCGC
59	INT9	外部割り込み端子 9	CGIMCGC
60	INTA	外部割り込み端子 A	CGIMCGC

割り込み番号	割り込み要因		CG割り込みモード コントロールレジスター
61	INTB	外部割り込み端子 B	CGIMCGC
62	INTENC0	エンコーダー入力 ch0	
63	INTENC1	エンコーダー入力 ch1	
64	INTRX3	SIO/UART ch3 シリアル受信	
65	INTTX3	SIO/UART ch3 シリアル送信	
66	INTTB60	TMRB ch6 コンペア一致 0/オーバーフロー	
67	INTTB61	TMRB ch6 コンペア一致 1	
68	INTTB70	TMRB ch7 コンペア一致 0/オーバーフロー	
69	INTTB71	TMRB ch7 コンペア一致 1	
70	INTCAP60	TMRB ch6 インพุットキャプチャー0	
71	INTCAP61	TMRB ch6 インพุットキャプチャー1	
72	INTCAP70	TMRB ch7 インพุットキャプチャー0	
73	INTCAP71	TMRB ch7 インพุットキャプチャー1	
74	INTC	外部割り込み端子 C	CGIMCGD
75	INTD	外部割り込み端子 D	CGIMCGD
76	INTE	外部割り込み端子 E	CGIMCGD
77	INTF	外部割り込み端子 F	CGIMCGD

### 6.4.5. 割り込み検知レベル

CG を経由して割り込みを使用するときには、CG 割り込みモードコントロールレジスタ CGIMCGn<EMCGm>で割り込み要求信号の割り込み検知レベル("Low"レベル/"High"レベル/立ち上がりエッジ/立ち下がりエッジ/両エッジ)を選択します。検出された割り込み信号は、"High"レベルの信号として CPU に出力されます。

各種周辺機能から CPU へ直接割り込み信号が伝わるものは、割り込み信号として"High"レベルパルスを出力するようになっています。

CPU は割り込み信号の"High"レベルを割り込み要因とみなします。

注) 「n」はレジスタ名称の添え字、「m」はビットシンボルの添え字を示します。

#### 6.4.5.1. 低消費電力モード解除時の注意

外部割り込みを低消費電力モード解除に使用するには、下記の設定が必要です。

- CGIMCGn<EMCGm>で割り込み検知レベルを設定
- CGIMCGn<INTmEN>を有効に設定

注) 「n」はレジスタ名称の添え字、「m」はビットシンボルの添え字を示します。

## 6.4.6. 処理手順

### 6.4.6.1. 処理の流れ

例外/割り込みの処理の流れの概略を以下に示します。以下の説明で、はハードウェアによる処理を、はソフトウェアによる処理を示しています。

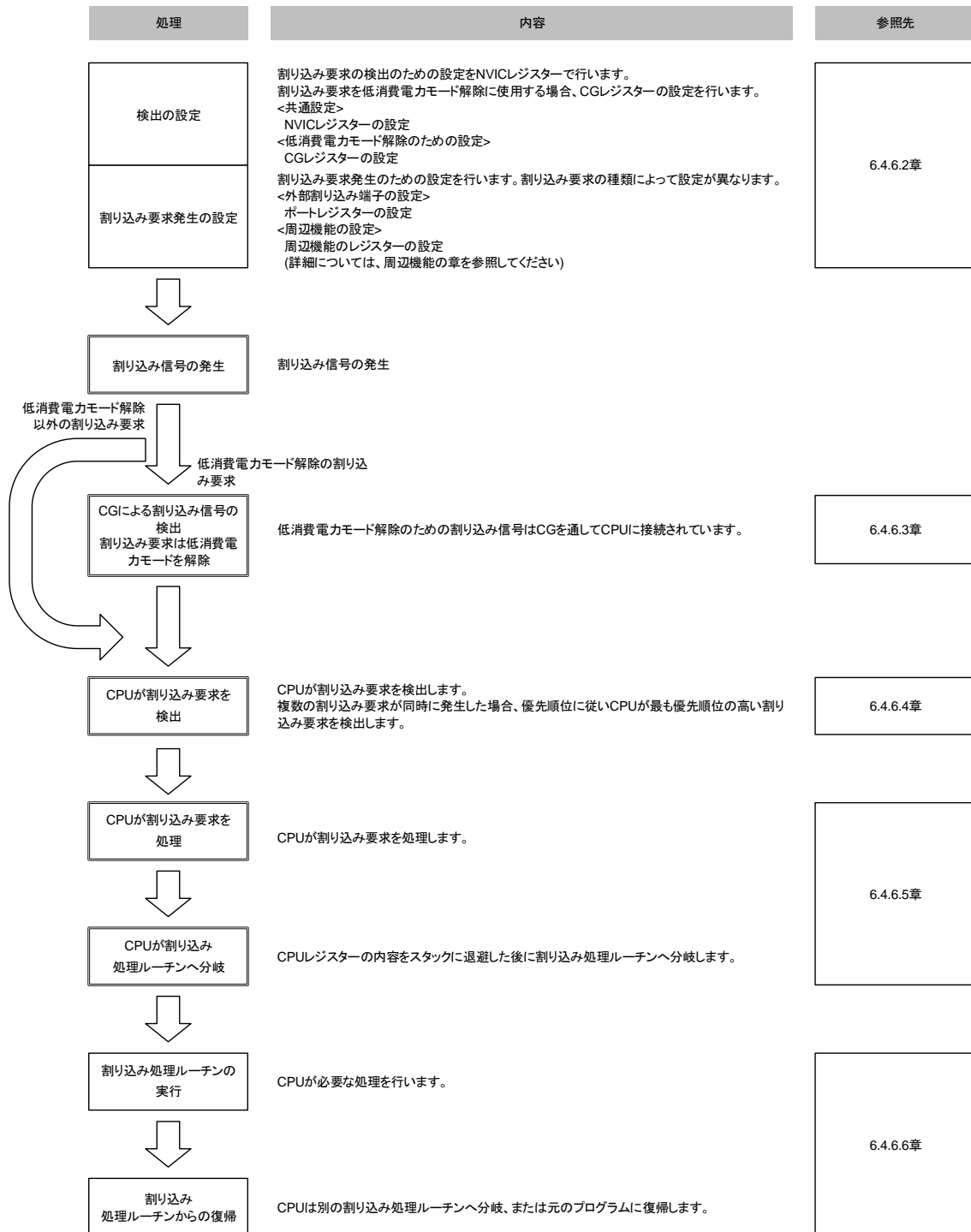


図 6.4 処理の流れ

### 6.4.6.2. 準備

割り込みの準備を行うときには、設定途中で不要な割り込みの発生を防ぐために設定の順番に注意が必要です。

割り込みの使用開始、または設定変更のときの基本的な順序は、まず、CPU で割り込みを禁止し、次に割り込み経路を CPU から遠いところから設定を行います。最後に CPU で割り込みを許可します。

CG の設定を行うときには、条件の設定を行った後、不要な割り込みが発生しないよう CG 内部の割り込み情報をクリアしてから割り込み許可の設定を行います。

以下に設定の手順と、手順ごとの具体的な設定方法を示します。

- (1) CPU 割り込み禁止
- (2) CPU 割り込みレジスター設定
- (3) 割り込み要因の準備(1) (外部割り込み端子)
- (4) 割り込み要因の準備(2) (周辺機能からの割り込み)
- (5) 割り込み要因の準備(3) (割り込み保留セットレジスター)
- (6) CG の設定
- (7) CPU 割り込み許可

- (1) CPU 割り込み禁止

CPU を割り込み禁止状態にするには、PRIMASK に"1"をセットします。これにより、マスク不能割り込みとハードフォールト例外以外の全ての割り込みと例外がマスクされます。

このレジスターをセットするためには「MSR」命令を使用します。

表 6.6 割り込みマスクレジスター設定

割り込みマスクレジスター
PRIMASK ← "1"(割り込み禁止)

注 1) PRIMASK は、ユーザー・アクセス・レベルでは変更できません。

注 2) PRIMASK に"1"がセットされているとき、フォールトが発生するとハードフォールトとして扱われます。

## (2) CPU 割り込みレジスタ設定

NVIC レジスタの割り込み優先度レジスタ<PRI\_n[7:5]>で優先度の設定を行います。

このレジスタは、各割り込み要因ごとに 8 ビット割り当てられていますが、製品ごとに構成するビット数が異なります。8 ビットの構成の場合「0」から「255」までの優先度を設定することができます。最も高い優先度は「0」です。複数の要因を同じ優先度に設定した場合、番号の小さい割り込みの優先度が高くなります。

グループ優先度を設定する場合にはアプリケーション割り込みおよびリセット制御レジスタの<PRIGROUP[2:0]>も設定します。

表 6.7 NVICレジスタ設定

NVICレジスタ	
<PRI_n[7:5]>	← 優先度
<PRIGROUP[2:0]>	← グループ優先度(必要に応じて設定)

注) 「n」は該当する例外/割り込みの番号を示します。

TMPM370FYDFG/TMPM370FYFG では割り込み優先度レジスタの優先度設定ビット幅は 3 ビットの構成になっています。

## (3) 要因の準備(1) (外部割り込み端子)

外部割り込み端子を使用する場合、該当する端子のポートの設定を行います。機能端子として使用するため、PxFRn<PxmFn>を"1"に、入力として使用するために PxIE<PxmIE>を"1"に設定します。

表 6.8 外部割り込み端子設定

ポート設定レジスタ	
PxFRn<PxmFn>	← "1"
PxIE<PxmIE>	← "1"

注 1) 「x」は該当ポート番号、「m」は該当ビット、「n」はファンクションレジスタ番号を示します。

注 2) STOP 以外のモードでは、PxIE で入力許可設定であれば PxFRn の設定によらず外部割り込み端子の入力が有効になります。外部割り込み端子の設定を行う際に、使用しない外部割り込み端子を入力許可にしないようにしてください。詳細については、「6.4.3.5. 外部割り込み端子を使用する際の注意」を参照してください。

## (4) 要因の準備(2) (周辺機能からの割り込み)

周辺機能からの割り込みを使用する場合、設定は周辺機能によって異なります。各周辺機能の章をご覧ください。

(5) 要因の準備(3) (割り込み保留セットレジスター)

割り込み保留セットレジスターで割り込みを発生する場合、該当するビットに"1"をセットします。

**表 6.9 割り込み保留セットレジスター設定**

NVICレジスター	
<SETPEND>	← "1"

注) <SETPEND>は割り込み保留セットレジスターの該当ビットを示します。

(6) CG の設定

低消費電力モード解除要因となる外部割り込みは、CG の CGIMCGn<EMCGm[2:0]>で割り込み検知レベルを、CMIMCGn<INTmEN>で低消費電力モード解除許可の設定を行います。

割り込み許可の前に、不要な外部割り込み要求発生を防止するため、事前に CGICRCG で割り込み要因のクリアが必要です。

CGICRCG は、外部割り込みに対応した値を書き込むことで保持されていた割り込み要求をクリアすることができます。詳細は、「6.5.3.1. CGICRCG(CG 割り込み要求クリアレジスター)」を参照してください。

**表 6.10 CGの設定**

CGレジスター	
CGIMCGn<EMCGm>	← 割り込み検知レベル
CGICRCG<ICRCG>	← 使用する割り込み要求のクリア
CGIMCGn<INTmEN>	← "1"(低消費電力モード解除許可)

注) 「n」はレジスター名称の添え字、「m」はビットシンボルの添え字を示します。

## (7) CPU 割り込み許可

下記の通り、CPU の割り込み許可の設定をします。

割り込み保留クリアレジスタの該当する割り込みのビットに"1"を書くことで、保留されている割り込み要求をクリアすることができます。また、割り込みイネーブルセットレジスタの該当する割り込みのビットに"1"を書くことで割り込みを許可することができます。

これらは1ビットずつ各割り込み要因に割り当てられています。

ただし、割り込み保留セットレジスタの設定で割り込みを発生する場合、割り込み保留クリアを行うと割り込み要因そのものが失われるため、この操作は不要です。

最後に、PRIMASK を"0"にクリアします。

表 6.11 CPU割り込み許可の設定

NVICレジスタ	
<CLRPEND>	← "1"
<SETENA>	← "1"
割り込みマスクレジスタ	
PRIMASK	← "0"(割り込み許可)

注 1) <CLRPEND>は割り込み保留クリアレジスタの該当ビット、<SETENA>は割り込みイネーブルセットレジスタの該当ビットを示します。

注 2) PRIMASK レジスタは、ユーザー・アクセス・レベルでは変更できません。

#### 6.4.6.3. 検出(CG)

低消費電力モード解除要因となる割り込み信号は、CG に設定された割り込み検知レベルに従って発生し CPU に伝えられます。

割り込み検知レベルが立ち上がり/立ち下がり/両エッジの割り込み信号は、CG で検知された後、CGICRCG で割り込み要求が解除されるまで"High"レベルの割り込み信号を CPU に出力します。そのため、割り込み要求を解除をしないで、割り込み処理ルーチンから復帰すると同じ割り込みが発生しますので、割り込み処理ルーチン内で割り込み要求の解除を行ってください。

また、"High"レベルまたは"Low"レベルの割り込み信号は、割り込み検知レベルから変化すると割り込み要求がなくなったとみなされます。そのため、割り込み検出までレベルを保つ必要があります。

#### 6.4.6.4. 検出(CPU)

CPU は優先順位に従って、最も優先度の高い割り込み要求を検出します。

#### 6.4.6.5. CPU の処理

割り込みが検出されると、CPU はスタックへ xPSR、PC、LR、r12、r3 ~ r0 を退避し、検出した割り込みの割り込み処理ルーチンへ分岐します。

#### 6.4.6.6. 割り込み処理ルーチンでの処理(要因のクリア)

割り込み処理ルーチンでは、アプリケーションにより必要な内容をプログラミングしますが、ここでは推奨する処理と要因のクリアについて説明します。

##### (1) 割り込み処理ルーチンでの処理

通常、割り込み処理ルーチンでは必要なレジスタの退避と割り込み処理を行います。Cortex-M3 コアは自動的に xPSR、PC、LR、r12、r3 ~ r0 をスタックへ退避するため、これらのレジスタをユーザープログラムで退避する必要はありません。

その他のレジスタについては必要に応じて退避します。

割り込み処理ルーチン実行中でも、より高い優先度の割り込みやマスク不能割り込み(NMI)などの例外は受け付けます。そのため書き換わる可能性のある汎用レジスタを退避することを推奨します。

## (2) 割り込み要因のクリア

低消費電力モード解除に使用する外部割り込みの要因は、CGICRCG でクリアする必要があります。

割り込み検知レベルが立ち上がり/立ち下がり/両エッジの外部割り込みの場合、CGICRCG に対応した値を書き込むことで保持されていた割り込み要因は取り下げられます。そのため再度設定した割り込み検知レベルが発生したときに、再び割り込み要因として検出されます。

割り込み検知レベルが"High"レベルまたは"Low"レベル設定の外部割り込みの場合、割り込み信号をクリアするまで、割り込み要因は存在し続けます。そのために、割り込み信号をクリアする必要があります。割り込み信号がクリアされると CG からの割り込み要因はクリアされます。

## 6.5. 例外/割り込み関連レジスタ

### 6.5.1. レジスタ一覧

制御レジスタとアドレスを以下に示します。

#### 6.5.1.1. NVIC レジスタ

レジスタ名	Address (Base+)
SysTick制御およびステータスレジスタ	0x0010
SysTickリロード値レジスタ	0x0014
SysTick現在値レジスタ	0x0018
SysTick較正值レジスタ	0x001C
割り込みイネーブルセットレジスタ1	0x0100
割り込みイネーブルセットレジスタ2	0x0104
割り込みイネーブルセットレジスタ3	0x0108
割り込みイネーブルクリアレジスタ1	0x0180
割り込みイネーブルクリアレジスタ2	0x0184
割り込みイネーブルクリアレジスタ3	0x0188
割り込み保留セットレジスタ1	0x0200
割り込み保留セットレジスタ2	0x0204
割り込み保留セットレジスタ3	0x0208
割り込み保留クリアレジスタ1	0x0280
割り込み保留クリアレジスタ2	0x0284
割り込み保留クリアレジスタ3	0x0288
割り込み優先度レジスタ	0x0400 ~ 0x044F
ベクターテーブルオフセットレジスタ	0x0D08
アプリケーション割り込みおよびリセット制御レジスタ	0x0D0C
システムハンドラー優先度レジスタ	0x0D18、0x0D1C、0x0D20
システムハンドラー制御およびステータスレジスタ	0x0D24

## 6.5.1.2. CG レジスタ

レジスタ名		Address (Base+)
CG割り込み要求クリアレジスタ	CGICRCG	0x0014
NMI発生要因フラグレジスタ	CGNMIFLG	0x0018
リセットフラグレジスタ	CGRSTFLG	0x001C
CG割り込みモードコントロールレジスタA	CGIMCGA	0x0020
CG割り込みモードコントロールレジスタB	CGIMCGB	0x0024
CG割り込みモードコントロールレジスタC	CGIMCGC	0x0028
CG割り込みモードコントロールレジスタD	CGIMCGD	0x002C
Reserved	-	0x0030 ~ 0x003F

注) "Reserved"表記のアドレスにはアクセスしないでください。

## 6.5.2. NVIC レジスタ

### 6.5.2.1. SysTick 制御およびステータスレジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	COUNTFLAG
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	CLKSOURCE	TICKINT	ENABLE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:17	-	R	リードすると"0"が読めます。
16	COUNTFLAG	R/W	0: タイマーは"0"になっていない 1: タイマーが"0"になった "1"の場合、最後の読み出しの後にタイマーが"0"になったことを示します。 このレジスタのいずれかの部分を読み出すとこのビットはクリアされます。
15:3	-	R	リードすると"0"が読めます。
2	CLKSOURCE	R/W	0: 外部参照クロック( $f_{osc} / 32$ ) (注) 1: CPUクロック( $f_{sys}$ )
1	TICKINT	R/W	0: SysTickを保留しない 1: SysTickを保留する
0	ENABLE	R/W	0: 禁止 1: 許可 "1"をセットするとリロード値レジスタの値をタイマーにロードし、カウントダウンを開始します。

注) TMPM370FYDFG/TMPM370FYFG は外部参照クロックとして  $f_{osc}$ (CGOSCCR<OSCSSEL>で選択されるクロック)を 32 分周したクロックが使用されます。

## 6.5.2.2. SysTick リロード値レジスター

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	RELOAD							
リセット後	不定							
	15	14	13	12	11	10	9	8
bit symbol	RELOAD							
リセット後	不定							
	7	6	5	4	3	2	1	0
bit symbol	RELOAD							
リセット後	不定							

Bit	Bit Symbol	Type	機能
31:24	-	R	リードすると"0"が読めます。
23:0	RELOAD[23:0]	R/W	リロード値 タイマーが"0"になったときにSysTick現在値レジスターにロードする値を設定します。

## 6.5.2.3. SysTick 現在値レジスター

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CURRENT							
リセット後	不定							
	15	14	13	12	11	10	9	8
bit symbol	CURRENT							
リセット後	不定							
	7	6	5	4	3	2	1	0
bit symbol	CURRENT							
リセット後	不定							

Bit	Bit Symbol	Type	機能
31:24	-	R	リードすると"0"が読めます。
23:0	CURRENT[23:0]	R	SysTickタイマー現在値
		W	任意の値: クリア 任意の値を書き込むとタイマーがクリアされます。 タイマーをクリアすることで、SysTick制御およびステータスレジスターの<COUNTFLAG>もクリアされます。

## 6.5.2.4. SysTick 較正值レジスター

	31	30	29	28	27	26	25	24
bit symbol	NOREF	SKEW	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	TENMS							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TENMS							
リセット後	0	0	0	0	1	0	0	1
	7	6	5	4	3	2	1	0
bit symbol	TENMS							
リセット後	1	1	0	0	0	1	0	0

Bit	Bit Symbol	Type	機能
31	NOREF	R	0: 参照クロックあり 1: 参照クロックなし
30	SKEW	R	0: 較正值は10ms 1: 較正值は10msでない
29:24	-	R	リードすると"0"が読めます。
23:0	TENMS[23:0]	R	較正值 外部参照クロックで10msをカウントするために使用するリロード値(0x9C4)です。(注)

注) マルチショットで使用する場合、<TENMS[23:0]>から"1"を引いた値を使用してください。

### 6.5.2.5. 割り込み制御用レジスター

割り込み要因ごとに、割り込みイネーブルセットレジスター、割り込みイネーブルクリアレジスター、割り込み保留セットレジスター、割り込み保留クリアレジスターがあります。

各ビットが指定された割り込みに対応しています。

注) 割り込み要因は製品ごとに異なります。詳細については、「6.4.4. 製品別の割り込み要因一覧」を参照してください。

#### (1) 割り込みイネーブルセットレジスター

各ビットが割り込み番号に対応しています。

割り込みを許可したり、割り込みの許可状態が確認できます。

"1"をライトすることで該当する割り込みを許可します。

"0"の書き込みは意味を持ちません。

リードすると該当する割り込みの許可状態が確認できます。

このレジスターのビットをクリアするには、割り込みイネーブルクリアレジスターの対応するビットに"1"をセットします。

(a) 割り込みイネーブルセットレジスタ1

Bit	Bit Symbol	リセット後	Type	機能
31	SETENA(割り込み31)	0	R/W	[リード時] 0: 割り込みが禁止状態 1: 割り込みが許可状態  [ライト時] (注) 0: 意味を持ちません 1: 割り込みを許可状態にする
30	SETENA(割り込み30)	0		
29	SETENA(割り込み29)	0		
28	SETENA(割り込み28)	0		
27	SETENA(割り込み27)	0		
26	SETENA(割り込み26)	0		
25	SETENA(割り込み25)	0		
24	SETENA(割り込み24)	0		
23	SETENA(割り込み23)	0		
22	SETENA(割り込み22)	0		
21	SETENA(割り込み21)	0		
20	SETENA(割り込み20)	0		
19	SETENA(割り込み19)	0		
18	SETENA(割り込み18)	0		
17	SETENA(割り込み17)	0		
16	SETENA(割り込み16)	0		
15	SETENA(割り込み15)	0		
14	SETENA(割り込み14)	0		
13	SETENA(割り込み13)	0		
12	SETENA(割り込み12)	0		
11	SETENA(割り込み11)	0		
10	SETENA(割り込み10)	0		
9	SETENA(割り込み9)	0		
8	SETENA(割り込み8)	0		
7	SETENA(割り込み7)	0		
6	SETENA(割り込み6)	0		
5	SETENA(割り込み5)	0		
4	SETENA(割り込み4)	0		
3	SETENA(割り込み3)	0		
2	SETENA(割り込み2)	0		
1	SETENA(割り込み1)	0		
0	SETENA(割り込み0)	0		

注) ビットシンボルが"-."のビットには"0"を書いてください。

(b) 割り込みイネーブルセットレジスタ2

Bit	Bit Symbol	リセット後	Type	機能
31	SETENA(割り込み63)	0	R/W	[リード時] 0: 割り込みが禁止状態 1: 割り込みが許可状態  [ライト時] (注) 0: 意味を持ちません 1: 割り込みを許可状態にする
30	SETENA(割り込み62)	0		
29	SETENA(割り込み61)	0		
28	SETENA(割り込み60)	0		
27	SETENA(割り込み59)	0		
26	SETENA(割り込み58)	0		
25	SETENA(割り込み57)	0		
24	SETENA(割り込み56)	0		
23	SETENA(割り込み55)	0		
22	SETENA(割り込み54)	0		
21	SETENA(割り込み53)	0		
20	SETENA(割り込み52)	0		
19	SETENA(割り込み51)	0		
18	SETENA(割り込み50)	0		
17	SETENA(割り込み49)	0		
16	SETENA(割り込み48)	0		
15	SETENA(割り込み47)	0		
14	SETENA(割り込み46)	0		
13	SETENA(割り込み45)	0		
12	SETENA(割り込み44)	0		
11	SETENA(割り込み43)	0		
10	SETENA(割り込み42)	0		
9	SETENA(割り込み41)	0		
8	SETENA(割り込み40)	0		
7	SETENA(割り込み39)	0		
6	SETENA(割り込み38)	0		
5	SETENA(割り込み37)	0		
4	SETENA(割り込み36)	0		
3	SETENA(割り込み35)	0		
2	SETENA(割り込み34)	0		
1	SETENA(割り込み33)	0		
0	SETENA(割り込み32)	0		

注) ビットシンボルが"-."のビットには"0"を書いてください。

(c) 割り込みイネーブルセットレジスタ3

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R/W	[リード時] 0: 割り込みが禁止状態 1: 割り込みが許可状態  [ライト時] (注) 0: 意味を持ちません 1: 割り込みを許可状態にする
30	-	0		
29	-	0		
28	-	0		
27	-	0		
26	-	0		
25	-	0		
24	-	0		
23	-	0		
22	-	0		
21	-	0		
20	-	0		
19	-	0		
18	-	0		
17	-	0		
16	-	0		
15	-	0		
14	-	0		
13	SETENA(割り込み77)	0		
12	SETENA(割り込み76)	0		
11	SETENA(割り込み75)	0		
10	SETENA(割り込み74)	0		
9	SETENA(割り込み73)	0		
8	SETENA(割り込み72)	0		
7	SETENA(割り込み71)	0		
6	SETENA(割り込み70)	0		
5	SETENA(割り込み69)	0		
4	SETENA(割り込み68)	0		
3	SETENA(割り込み67)	0		
2	SETENA(割り込み66)	0		
1	SETENA(割り込み65)	0		
0	SETENA(割り込み64)	0		

注) ビットシンボルが"-"のビットには"0"を書いてください。

(2) 割り込みイネーブルクリアレジスター

各ビットが割り込み番号に対応しています。

割り込みを禁止したり、割り込みの禁止状態が確認できます。

"1"をライトすることで該当する割り込みを禁止します。

"0"の書き込みは意味を持ちません。

リードすると該当する割り込みの禁止状態が確認できます。

(a) 割り込みイネーブルクリアレジスタ1

Bit	Bit Symbol	リセット後	Type	機能
31	CLRENA(割り込み31)	0	R/W	[リード時] 0: 割り込みが禁止状態 1: 割り込みが許可状態  [ライト時] (注) 0: 意味を持ちません 1: 割り込みを禁止状態にする
30	CLRENA(割り込み30)	0		
29	CLRENA(割り込み29)	0		
28	CLRENA(割り込み28)	0		
27	CLRENA(割り込み27)	0		
26	CLRENA(割り込み26)	0		
25	CLRENA(割り込み25)	0		
24	CLRENA(割り込み24)	0		
23	CLRENA(割り込み23)	0		
22	CLRENA(割り込み22)	0		
21	CLRENA(割り込み21)	0		
20	CLRENA(割り込み20)	0		
19	CLRENA(割り込み19)	0		
18	CLRENA(割り込み18)	0		
17	CLRENA(割り込み17)	0		
16	CLRENA(割り込み16)	0		
15	CLRENA(割り込み15)	0		
14	CLRENA(割り込み14)	0		
13	CLRENA(割り込み13)	0		
12	CLRENA(割り込み12)	0		
11	CLRENA(割り込み11)	0		
10	CLRENA(割り込み10)	0		
9	CLRENA(割り込み9)	0		
8	CLRENA(割り込み8)	0		
7	CLRENA(割り込み7)	0		
6	CLRENA(割り込み6)	0		
5	CLRENA(割り込み5)	0		
4	CLRENA(割り込み4)	0		
3	CLRENA(割り込み3)	0		
2	CLRENA(割り込み2)	0		
1	CLRENA(割り込み1)	0		
0	CLRENA(割り込み0)	0		

注) ビットシンボルが"-."のビットには"0"を書いてください。

(b) 割り込みイネーブルクリアレジスタ2

Bit	Bit Symbol	リセット後	Type	機能
31	CLRENA(割り込み63)	0	R/W	[リード時] 0: 割り込みが禁止状態 1: 割り込みが許可状態  [ライト時] (注) 0: 意味を持ちません 1: 割り込みを禁止状態にする
30	CLRENA(割り込み62)	0		
29	CLRENA(割り込み61)	0		
28	CLRENA(割り込み60)	0		
27	CLRENA(割り込み59)	0		
26	CLRENA(割り込み58)	0		
25	CLRENA(割り込み57)	0		
24	CLRENA(割り込み56)	0		
23	CLRENA(割り込み55)	0		
22	CLRENA(割り込み54)	0		
21	CLRENA(割り込み53)	0		
20	CLRENA(割り込み52)	0		
19	CLRENA(割り込み51)	0		
18	CLRENA(割り込み50)	0		
17	CLRENA(割り込み49)	0		
16	CLRENA(割り込み48)	0		
15	CLRENA(割り込み47)	0		
14	CLRENA(割り込み46)	0		
13	CLRENA(割り込み45)	0		
12	CLRENA(割り込み44)	0		
11	CLRENA(割り込み43)	0		
10	CLRENA(割り込み42)	0		
9	CLRENA(割り込み41)	0		
8	CLRENA(割り込み40)	0		
7	CLRENA(割り込み39)	0		
6	CLRENA(割り込み38)	0		
5	CLRENA(割り込み37)	0		
4	CLRENA(割り込み36)	0		
3	CLRENA(割り込み35)	0		
2	CLRENA(割り込み34)	0		
1	CLRENA(割り込み33)	0		
0	CLRENA(割り込み32)	0		

注) ビットシンボルが"-."のビットには"0"を書いてください。

(c) 割り込みイネーブルクリアレジスタ3

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R/W	[リード時] 0: 割り込みが禁止状態 1: 割り込みが許可状態  [ライト時] (注) 0: 意味を持ちません 1: 割り込みを禁止状態にする
30	-	0		
29	-	0		
28	-	0		
27	-	0		
26	-	0		
25	-	0		
24	-	0		
23	-	0		
22	-	0		
21	-	0		
20	-	0		
19	-	0		
18	-	0		
17	-	0		
16	-	0		
15	-	0		
14	-	0		
13	CLRENA(割り込み77)	0		
12	CLRENA(割り込み76)	0		
11	CLRENA(割り込み75)	0		
10	CLRENA(割り込み74)	0		
9	CLRENA(割り込み73)	0		
8	CLRENA(割り込み72)	0		
7	CLRENA(割り込み71)	0		
6	CLRENA(割り込み70)	0		
5	CLRENA(割り込み69)	0		
4	CLRENA(割り込み68)	0		
3	CLRENA(割り込み67)	0		
2	CLRENA(割り込み66)	0		
1	CLRENA(割り込み65)	0		
0	CLRENA(割り込み64)	0		

注) ビットシンボルが"-"のビットには"0"を書いてください。

### (3) 割り込み保留セットレジスター

各ビットが割り込み番号に対応しています。

割り込みを強制的に保留したり、保留されているかどうかを確認できます。

"1"をライトすることで該当する割り込みを保留します。ただし、すでに保留されている割り込みおよび禁止されている割り込みに対しては無効です。

"0"の書き込みは意味を持ちません。

リードの場合、該当する割り込みが保留されているかどうかを示します。

このレジスターのビットをクリアするには、割り込み保留クリアレジスターの対応するビットに"1"をセットします

。

(a) 割り込み保留セットレジスター1

Bit	Bit Symbol	リセット後	Type	機能
31	SETPEND(割り込み31)	不定	R/W	[リード時] 0: 保留なし 1: 保留あり  [ライト時] (注) 0: 意味を持ちません 1: 保留する
30	SETPEND(割り込み30)	不定		
29	SETPEND(割り込み29)	不定		
28	SETPEND(割り込み28)	不定		
27	SETPEND(割り込み27)	不定		
26	SETPEND(割り込み26)	不定		
25	SETPEND(割り込み25)	不定		
24	SETPEND(割り込み24)	不定		
23	SETPEND(割り込み23)	不定		
22	SETPEND(割り込み22)	不定		
21	SETPEND(割り込み21)	不定		
20	SETPEND(割り込み20)	不定		
19	SETPEND(割り込み19)	不定		
18	SETPEND(割り込み18)	不定		
17	SETPEND(割り込み17)	不定		
16	SETPEND(割り込み16)	不定		
15	SETPEND(割り込み15)	不定		
14	SETPEND(割り込み14)	不定		
13	SETPEND(割り込み13)	不定		
12	SETPEND(割り込み12)	不定		
11	SETPEND(割り込み11)	不定		
10	SETPEND(割り込み10)	不定		
9	SETPEND(割り込み9)	不定		
8	SETPEND(割り込み8)	不定		
7	SETPEND(割り込み7)	不定		
6	SETPEND(割り込み6)	不定		
5	SETPEND(割り込み5)	不定		
4	SETPEND(割り込み4)	不定		
3	SETPEND(割り込み3)	不定		
2	SETPEND(割り込み2)	不定		
1	SETPEND(割り込み1)	不定		
0	SETPEND(割り込み0)	不定		

注) ビットシンボルが"-"のビットには"0"を書いてください。

(b) 割り込み保留セットレジスター2

Bit	Bit Symbol	リセット後	Type	機能
31	SETPEND(割り込み63)	不定	R/W	[リード時] 0: 保留なし 1: 保留あり  [ライト時] (注) 0: 意味を持ちません 1: 保留する
30	SETPEND(割り込み62)	不定		
29	SETPEND(割り込み61)	不定		
28	SETPEND(割り込み60)	不定		
27	SETPEND(割り込み59)	不定		
26	SETPEND(割り込み58)	不定		
25	SETPEND(割り込み57)	不定		
24	SETPEND(割り込み56)	不定		
23	SETPEND(割り込み55)	不定		
22	SETPEND(割り込み54)	不定		
21	SETPEND(割り込み53)	不定		
20	SETPEND(割り込み52)	不定		
19	SETPEND(割り込み51)	不定		
18	SETPEND(割り込み50)	不定		
17	SETPEND(割り込み49)	不定		
16	SETPEND(割り込み48)	不定		
15	SETPEND(割り込み47)	不定		
14	SETPEND(割り込み46)	不定		
13	SETPEND(割り込み45)	不定		
12	SETPEND(割り込み44)	不定		
11	SETPEND(割り込み43)	不定		
10	SETPEND(割り込み42)	不定		
9	SETPEND(割り込み41)	不定		
8	SETPEND(割り込み40)	不定		
7	SETPEND(割り込み39)	不定		
6	SETPEND(割り込み38)	不定		
5	SETPEND(割り込み37)	不定		
4	SETPEND(割り込み36)	不定		
3	SETPEND(割り込み35)	不定		
2	SETPEND(割り込み34)	不定		
1	SETPEND(割り込み33)	不定		
0	SETPEND(割り込み32)	不定		

注) ビットシンボルが"-."のビットには"0"を書いてください。

(c) 割り込み保留セットレジスター3

Bit	Bit Symbol	リセット後	Type	機能
31	-	不定	R/W	[リード時] 0: 保留なし 1: 保留あり  [ライト時] (注) 0: 意味を持ちません 1: 保留する
30	-	不定		
29	-	不定		
28	-	不定		
27	-	不定		
26	-	不定		
25	-	不定		
24	-	不定		
23	-	不定		
22	-	不定		
21	-	不定		
20	-	不定		
19	-	不定		
18	-	不定		
17	-	不定		
16	-	不定		
15	-	不定		
14	-	不定		
13	SETPEND(割り込み77)	不定		
12	SETPEND(割り込み76)	不定		
11	SETPEND(割り込み75)	不定		
10	SETPEND(割り込み74)	不定		
9	SETPEND(割り込み73)	不定		
8	SETPEND(割り込み72)	不定		
7	SETPEND(割り込み71)	不定		
6	SETPEND(割り込み70)	不定		
5	SETPEND(割り込み69)	不定		
4	SETPEND(割り込み68)	不定		
3	SETPEND(割り込み67)	不定		
2	SETPEND(割り込み66)	不定		
1	SETPEND(割り込み65)	不定		
0	SETPEND(割り込み64)	不定		

注) ビットシンボルが"-"のビットには"0"を書いてください。

#### (4) 割り込み保留クリアレジスター

各ビットが割り込み番号に対応しています。

保留された割り込みをクリアしたり、保留されているかどうかを確認できます。

"1"をライトすることで該当する保留された割り込みをクリアします。ただし、すでに処理が開始されている割り込みに対しては無効です。

"0"の書き込みは意味を持ちません。

リードの場合、該当する割り込みが保留されているかどうかを示します。

(a) 割り込み保留クリアレジスター1

Bit	Bit Symbol	リセット後	Type	機能
31	CLRPEND(割り込み31)	不定	R/W	[リード時] 0: 保留なし 1: 保留あり  [ライト時] (注) 0: 意味を持ちません 1: 保留をクリアする
30	CLRPEND(割り込み30)	不定		
29	CLRPEND(割り込み29)	不定		
28	CLRPEND(割り込み28)	不定		
27	CLRPEND(割り込み27)	不定		
26	CLRPEND(割り込み26)	不定		
25	CLRPEND(割り込み25)	不定		
24	CLRPEND(割り込み24)	不定		
23	CLRPEND(割り込み23)	不定		
22	CLRPEND(割り込み22)	不定		
21	CLRPEND(割り込み21)	不定		
20	CLRPEND(割り込み20)	不定		
19	CLRPEND(割り込み19)	不定		
18	CLRPEND(割り込み18)	不定		
17	CLRPEND(割り込み17)	不定		
16	CLRPEND(割り込み16)	不定		
15	CLRPEND(割り込み15)	不定		
14	CLRPEND(割り込み14)	不定		
13	CLRPEND(割り込み13)	不定		
12	CLRPEND(割り込み12)	不定		
11	CLRPEND(割り込み11)	不定		
10	CLRPEND(割り込み10)	不定		
9	CLRPEND(割り込み9)	不定		
8	CLRPEND(割り込み8)	不定		
7	CLRPEND(割り込み7)	不定		
6	CLRPEND(割り込み6)	不定		
5	CLRPEND(割り込み5)	不定		
4	CLRPEND(割り込み4)	不定		
3	CLRPEND(割り込み3)	不定		
2	CLRPEND(割り込み2)	不定		
1	CLRPEND(割り込み1)	不定		
0	CLRPEND(割り込み0)	不定		

注) ビットシンボルが"-."のビットには"0"を書いてください。

(b) 割り込み保留クリアレジスター2

Bit	Bit Symbol	リセット後	Type	機能
31	CLRPEND(割り込み63)	不定	R/W	[リード時] 0: 保留なし 1: 保留あり  [ライト時] (注) 0: 意味を持ちません 1: 保留をクリアする
30	CLRPEND(割り込み62)	不定		
29	CLRPEND(割り込み61)	不定		
28	CLRPEND(割り込み60)	不定		
27	CLRPEND(割り込み59)	不定		
26	CLRPEND(割り込み58)	不定		
25	CLRPEND(割り込み57)	不定		
24	CLRPEND(割り込み56)	不定		
23	CLRPEND(割り込み55)	不定		
22	CLRPEND(割り込み54)	不定		
21	CLRPEND(割り込み53)	不定		
20	CLRPEND(割り込み52)	不定		
19	CLRPEND(割り込み51)	不定		
18	CLRPEND(割り込み50)	不定		
17	CLRPEND(割り込み49)	不定		
16	CLRPEND(割り込み48)	不定		
15	CLRPEND(割り込み47)	不定		
14	CLRPEND(割り込み46)	不定		
13	CLRPEND(割り込み45)	不定		
12	CLRPEND(割り込み44)	不定		
11	CLRPEND(割り込み43)	不定		
10	CLRPEND(割り込み42)	不定		
9	CLRPEND(割り込み41)	不定		
8	CLRPEND(割り込み40)	不定		
7	CLRPEND(割り込み39)	不定		
6	CLRPEND(割り込み38)	不定		
5	CLRPEND(割り込み37)	不定		
4	CLRPEND(割り込み36)	不定		
3	CLRPEND(割り込み35)	不定		
2	CLRPEND(割り込み34)	不定		
1	CLRPEND(割り込み33)	不定		
0	CLRPEND(割り込み32)	不定		

注) ビットシンボルが"-."のビットには"0"を書いてください。

(c) 割り込み保留クリアレジスター3

Bit	Bit Symbol	リセット後	Type	機能
31	-	不定	R/W	[リード時] 0: 保留なし 1: 保留あり  [ライト時] (注) 0: 意味を持ちません 1: 保留をクリアする
30	-	不定		
29	-	不定		
28	-	不定		
27	-	不定		
26	-	不定		
25	-	不定		
24	-	不定		
23	-	不定		
22	-	不定		
21	-	不定		
20	-	不定		
19	-	不定		
18	-	不定		
17	-	不定		
16	-	不定		
15	-	不定		
14	-	不定		
13	CLRPEND(割り込み77)	不定		
12	CLRPEND(割り込み76)	不定		
11	CLRPEND(割り込み75)	不定		
10	CLRPEND(割り込み74)	不定		
9	CLRPEND(割り込み73)	不定		
8	CLRPEND(割り込み72)	不定		
7	CLRPEND(割り込み71)	不定		
6	CLRPEND(割り込み70)	不定		
5	CLRPEND(割り込み69)	不定		
4	CLRPEND(割り込み68)	不定		
3	CLRPEND(割り込み67)	不定		
2	CLRPEND(割り込み66)	不定		
1	CLRPEND(割り込み65)	不定		
0	CLRPEND(割り込み64)	不定		

注) ビットシンボルが"-"のビットには"0"を書いてください。

## 6.5.2.6. 割り込み優先度レジスター

割り込み優先度レジスターは、各割り込みに対し 8 ビットごとの構成になっています。  
割り込み番号と対応する割り込み優先度レジスターのアドレスは以下のとおりです。

表 6.12 割り込み優先度レジスターのアドレス

アドレス	31	24	23	16	15	8	7	0
0xE000E400	PRI_3		PRI_2		PRI_1			PRI_0
0xE000E404		PRI_7		PRI_6		PRI_5		PRI_4
0xE000E408			PRI_11		PRI_10		PRI_9	PRI_8
0xE000E40C				PRI_15		PRI_14		PRI_13
0xE000E410					PRI_19		PRI_18	PRI_17
0xE000E414						PRI_23		PRI_22
0xE000E418							PRI_27	PRI_26
0xE000E41C								PRI_31
0xE000E420								PRI_35
0xE000E424								PRI_39
0xE000E428								PRI_43
0xE000E42C								PRI_47
0xE000E430								PRI_51
0xE000E434								PRI_55
0xE000E438								PRI_59
0xE000E43C								PRI_63
0xE000E440								PRI_67
0xE000E444								PRI_71
0xE000E448								PRI_75
0xE000E44C								-

注) 割り込み要因は製品ごとに異なります。詳細については、「6.4.4. 製品別の割り込み要因一覧」を参照してください。

各割り込みに割り当てられている 8 ビットのうち何ビットを優先度の設定に使用できるかは製品により異なります。TMPM370FYDFG/TMPM370FYFG では、3 ビットで優先度を設定することができます。

以下に、代表として割り込み番号0～3の割り込み優先度レジスタの構成を示します。未使用のビットはリードすると"0"が読め、ライトは無視されます。

**表 6.13 割り込み番号0～3の割り込み優先度レジスタの構成**

	31	30	29	28	27	26	25	24
bit symbol	PRI_3			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	PRI_2			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	PRI_1			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PRI_0			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:29	PRI_3[2:0]	R/W	割り込み番号3優先度
28:24	-	R	リードすると"0"が読めます。
23:21	PRI_2[2:0]	R/W	割り込み番号2優先度
20:16	-	R	リードすると"0"が読めます。
15:13	PRI_1[2:0]	R/W	割り込み番号1優先度
12:8	-	R	リードすると"0"が読めます。
7:5	PRI_0[2:0]	R/W	割り込み番号0優先度
4:0	-	R	リードすると"0"が読めます。

## 6.5.2.7. ベクターテーブルオフセットレジスター

	31	30	29	28	27	26	25	24
bit symbol	-	-	TBLBASE	TBLOFF				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	TBLOFF							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TBLOFF							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TBLOFF	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:30	-	R	リードすると"0"が読めます。
29	TBLBASE	R/W	テーブルベース ベクターテーブルを置くメモリー空間を指定します。 0: コード空間 1: SRAM空間
28:7	TBLOFF[21:0]	R/W	オフセット値 <TBLBASE>で指定した領域の先頭からのオフセット値を設定します。 オフセットはテーブルにある例外の数に基づいてアラインされる必要があります。16個までの割り込みが使える、最小のアライメントは32ワードになります。割り込みの数がより多い場合は、次の2のべき乗まで切り上げて、アライメントを調整する必要があります。
6:0	-	R	リードすると"0"が読めます。

## 6.5.2.8. アプリケーション割り込みおよびリセット制御レジスター

	31	30	29	28	27	26	25	24
bit symbol	VECTKEY/VECTKEYSTAT							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	VECTKEY/VECTKEYSTAT							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENDIANESS	-	-	-	-	PRIGROUP		
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	SYSRESET REQ	VECTCLR ACTIVE	VECTRESET
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	VECTKEYSTAT [15:0]	R	レジスターキー リードすると"0xFA05"が読めます。
	VECTKEY[15:0]	W	レジスターキー このレジスターへ書き込みを行うには、<VECTKEY[15:0]>に"0x05FA"を書き込む必要があります。
15	ENDIANESS	R/W	エンディアン形式ビット(注1) 0: リトルエンディアン 1: ビッグエンディアン
14:11	-	R	リードすると"0"が読めます。
10:8	PRIGROUP[2:0]	R/W	割り込み優先度グループ分け 000: 横取り優先度7bit、サブ優先度1bit 001: 横取り優先度6bit、サブ優先度2bit 010: 横取り優先度5bit、サブ優先度3bit 011: 横取り優先度4bit、サブ優先度4bit 100: 横取り優先度3bit、サブ優先度5bit 101: 横取り優先度2bit、サブ優先度6bit 110: 横取り優先度1bit、サブ優先度7bit 111: 横取り優先度0bit、サブ優先度8bit 割り込み優先度レジスター<PRI_n[7:0]>を、横取り優先度とサブ優先度分けする際のビット構成を設定します。
7:3	-	R	リードすると"0"が読めます。
2	SYSRESETREQ	R/W	システムリセットリクエスト "1"をセットするとCPUがSYSRESETREQ信号を出力します。(注2)
1	VECTCLR ACTIVE	R/W	アクティブなベクターのクリア 0: クリアしません。 1: アクティブなNMI、フォールト、割り込みの全ての状態の情報をクリアします。 <VECTCLRACTIVE>は"1"を設定するとクリアされます。 アプリケーションによるスタックの再初期化が必要です。
0	VECTRESET	R/W	システムリセット 0: システムをリセットしません。 1: システムをリセットします。 "1"をセットするとデバッグコンポーネント(FPB、DWT、ITM)以外のCPU内部をリセットし、本ビットもクリアされます。

注 1) TMPM370FYDFG/TMPM370FYFG はリトルエンディアン固定です。

注 2) TMPM370FYDFG/TMPM370FYFG では、SYSRESETREQ 信号が出力されるとウォームリセットが発生します。ウォームリセットにより<SYSRESETREQ>はクリアされます。

### 6.5.2.9. システムハンドラー優先度レジスター

システムハンドラー優先度レジスターは、各割り込みに対し 8 ビットごとの構成になっています。例外と対応する割り込み優先度レジスターのアドレスは以下のとおりです。

表 6.14 システムハンドラー優先度レジスターのアドレス

アドレス	31	24	23	16	15	8	7	0
0xE000ED18		PRI_7		PRI_6 (用法フォールト)		PRI_5 (バスフォールト)		PRI_4 (メモリー管理)
0xE000ED1C		PRI_11 (SVCall)		PRI_10		PRI_9		PRI_8
0xE000ED20		PRI_15 (SysTick)		PRI_14 (PendSV)		PRI_13		PRI_12 (デバッグモニター)

各割り込みに割り当てられている 8 ビットのうち何ビットを優先度の設定に使用できるかは製品により異なります。TMPM370FYDFG/TMPM370FYFG では、3 ビットで優先度を設定することができます。

以下に、代表として用法フォールト、バスフォールト、メモリー管理のシステムハンドラー優先度レジスターの構成を示します。未使用のビットはリードすると"0"が読め、ライトは無視されます。

**表 6.15 割り込み優先度レジスターの構成**

	31	30	29	28	27	26	25	24
bit symbol	PRI_7			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	PRI_6			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	PRI_5			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PRI_4			-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:29	PRI_7[2:0]	R/W	予約
28:24	-	R	リードすると"0"が読めます。
23:21	PRI_6[2:0]	R/W	用法フォールト優先度
20:16	-	R	リードすると"0"が読めます。
15:13	PRI_5[2:0]	R/W	バスフォールト優先度
12:8	-	R	リードすると"0"が読めます。
7:5	PRI_4[2:0]	R/W	メモリー管理優先度
4:0	-	R	リードすると"0"が読めます。

## 6.5.2.10. システムハンドラー制御およびステータスレジスタ

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	USGFAULT ENA	BUSFAULT ENA	MEMFAULT ENA
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	SVCALL PENDEDED	BUSFAULT PENDEDED	MEMFAULT PENDEDED	USGFAULT PENDEDED	SYSTICKACT	PENDSVACT	-	MONITOR ACT
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	SVCALLACT	-	-	-	USGFAULT ACT	-	BUSFAULT ACT	MEMFAULT ACT
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:19	-	R	リードすると"0"が読めます。
18	USGFAULTENA	R/W	用法フォールト 0: 禁止 1: 許可
17	BUSFAULTENA	R/W	バスフォールト 0: 禁止 1: 許可
16	MEMFAULTENA	R/W	メモリー管理 0: 禁止 1: 許可
15	SVCALLPENDEDED	R/W	SVCall 0: 保留されていない 1: 保留されている
14	BUSFAULTPENDEDED	R/W	バスフォールト 0: 保留されていない 1: 保留されている
13	MEMFAULTPENDEDED	R/W	メモリー管理 0: 保留されていない 1: 保留されている
12	USGFAULTPENDEDED	R/W	用法フォールト 0: 保留されていない 1: 保留されている
11	SYSTICKACT	R/W	SysTick 0: アクティブでない 1: アクティブ
10	PENDSVACT	R/W	PendSV 0: アクティブでない 1: アクティブ
9	-	R	リードすると"0"が読めます。
8	MONITORACT	R/W	デバッグモニター 0: アクティブでない 1: アクティブ

7	SVCALLACT	R/W	SVCall 0: アクティブでない 1: アクティブ
6:4	-	R	リードすると"0"が読めます。
3	USGFAULTACT	R/W	用法フォールト 0: アクティブでない 1: アクティブ
2	-	R	リードすると"0"が読めます。
1	BUSFAULTACT	R/W	バスフォールト 0: アクティブでない 1: アクティブ
0	MEMFAULTACT	R/W	メモリー管理 0: アクティブでない 1: アクティブ

注) アクティブビットの書き換えは、スタックの内容の更新などを行いませんので注意して行ってください。

**6.5.3. CG レジスタ**

- (1) 割り込みを使用する場合は必ず以下の順に設定してください。
  - (a) 汎用ポートを外部割り込み端子と兼用する場合は該当割り込みの入力を許可
  - (b) 初期化時に割り込み検知レベルなどの設定
  - (c) 割り込み要求のクリア
  - (d) 割り込みの許可
- (2) 各設定は必ず割り込み禁止の状態で行ってください。
- (3) TMPM370FYDFG/TMPM370FYFG は、外部割り込み端子を低消費電力モード解除に使用することが可能です。低消費電力モード解除割り込みとして使用するかどうか、および割り込み検知レベルは CG で設定します。

詳細については、「6.4.3.5. 外部割り込み端子を使用する際の注意」を参照してください。

## 6.5.3.1. CGICRCG(CG 割り込み要求クリアレジスター)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	ICRCG				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:5	-	R	リードすると"0"が読めます。
4:0	ICRCG[4:0]	W	割り込み要求クリア 0_0000: INT0      0_1000: INT8 0_0001: INT1      0_1001: INT9 0_0010: INT2      0_1010: INTA 0_0011: INT3      0_1011: INTB 0_0100: INT4      0_1100: INTC 0_0101: INT5      0_1101: INTD 0_0110: INT6      0_1110: INTE 0_0111: INT7      0_1111: INTF 上記以外: 設定禁止

## 6.5.3.2. CGNMIFLG(NMI 発生要因フラグレジスター)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	NMIFLG0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:1	-	R	リードすると"0"が読めます。
0	NMIFLG0	R	NMI発生要因フラグ 0: WDTによるNMI発生なし 1: WDTによるNMI発生

注) <NMIFLG0>は読み出すと自動的に"0"にクリアされます。

### 6.5.3.3. CGRSTFLG(リセットフラグレジスター)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	OFDRSTF	DBGRSTF	VLDRSTF	WDTRSTF	PINRSTF	PONRSTF
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31:1	-	R	リードすると"0"が読めます。
5	OFDRSTF	R	OFDリセットフラグ 0: OFDによるリセットが発生していない 1: OFDによるリセットが発生
		W	0: <OFDRSTF>のクリア 1: Don't care
4	DBGRSTF	R	デバグリセットフラグ(注1) 0: <SYSRESETREQ>によるリセットが発生していない 1: <SYSRESETREQ>によるリセットが発生
		W	0: <DBGRSTF>のクリア 1: Don't care
3	VLDRSTF	R	VLTDリセットフラグ 0: VLTDによるリセットが発生していない 1: VLTDによるリセットが発生
		W	0: <VLDRSTF>のクリア 1: Don't care
2	WDTRSTF	R	WDTリセットフラグ 0: WDTによるリセットが発生していない 1: WDTによるリセットが発生
		W	0: <WDTRSTF>のクリア 1: Don't care
1	PINRSTF	R	RESET端子リセットフラグ 0: RESET端子によるリセットが発生していない 1: RESET端子によるリセットが発生
		W	0: <PINRSTF>のクリア 1: Don't care
0	PONRSTF	R	PORリセットフラグ 0: PORによるリセットが発生していない 1: PORによるリセットが発生
		W	0: <PONRSTF>のクリア 1: Don't care

注1) CPUのNVIC内にある、アプリケーション割り込みおよびリセット制御レジスターの<SYSRESETREQ>のセットにより発生したリセットであることを示します。

注 2) TMPM370FYDFG/TMPM370FYFG は POR を内蔵しています。CGRSTFLG は POR でのみ初期化されます。電源投入時は<PONRSTF>がセットされますが、POR 以外のリセットでは<PONRSTF>はセットされません。リセット要因に対応するリセットフラグがセットされます。

## 6.5.3.4. CGIMCGA(CG 割り込みモードコントロールレジスターA)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCG3			EMST3		-	INT3EN
リセット後	0	0	1	0	0	0	不定	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCG2			EMST2		-	INT2EN
リセット後	0	0	1	0	0	0	不定	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCG1			EMST1		-	INT1EN
リセット後	0	0	1	0	0	0	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCG0			EMST0		-	INT0EN
リセット後	0	0	1	0	0	0	不定	0

Bit	Bit Symbol	Type	機能
31	-	R	リードすると"0"が読めます。
30:28	EMCG3[2:0]	R/W	INT3による低消費電力モード解除の割り込み検知レベル設定 000: "Low"レベル 001: "High"レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ 上記以外: 設定禁止
27:26	EMST3[1:0] (注1)	R	INT3による低消費電力モード解除時の割り込み検知レベルモニター 00: 未検知 01: 立ち上がリエッジ検知 10: 立ち下がリエッジ検知 11: 両エッジ検知
25	-	R	リードすると不定値が読めます。
24	INT3EN (注2)	R/W	INT3による低消費電力モード解除許可 0: 禁止 1: 許可
23	-	R	リードすると"0"が読めます。
22:20	EMCG2[2:0]	R/W	INT2による低消費電力モード解除の割り込み検知レベル設定 000: "Low"レベル 001: "High"レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ 上記以外: 設定禁止
19:18	EMST2[1:0] (注1)	R	INT2による低消費電力モード解除時の割り込み検知レベルモニター 00: 未検知 01: 立ち上がリエッジ検知 10: 立ち下がリエッジ検知 11: 両エッジ検知
17	-	R	リードすると不定値が読めます。
16	INT2EN (注2)	R/W	INT2による低消費電力モード解除許可 0: 禁止 1: 許可
15	-	R	リードすると"0"が読めます。

Bit	Bit Symbol	Type	機能
14:12	EMCG1[2:0]	R/W	INT1による低消費電力モード解除の割り込み検知レベル設定 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ 上記以外: 設定禁止
11:10	EMST1[1:0] (注1)	R	INT1による低消費電力モード解除時の割り込み検知レベルモニター 00: 未検知 01: 立ち上がりエッジ検知 10: 立ち下がりエッジ検知 11: 両エッジ検知
9	-	R	リードすると不定値が読めます。
8	INT1EN (注2)	R/W	INT1による低消費電力モード解除許可 0: 禁止 1: 許可
7	-	R	リードすると"0"が読めます。
6:4	EMCG0[2:0]	R/W	INT0による低消費電力モード解除の割り込み検知レベル設定 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ 上記以外: 設定禁止
3:2	EMST0[1:0] (注1)	R	INT0による低消費電力モード解除時の割り込み検知レベルモニター 00: 未検知 01: 立ち上がりエッジ検知 10: 立ち下がりエッジ検知 11: 両エッジ検知
1	-	R	リードすると不定値が読めます。
0	INT0EN (注2)	R/W	INT0による低消費電力モード解除許可 0: 禁止 1: 許可

注 1) <EMST<sub>m</sub>>は、<EMCG<sub>m</sub>[2:0]>が"100"の両エッジ検知のときのみ意味を持ちます。<EMST<sub>m</sub>>を参照することにより、低消費電力モード解除に使用された割り込み検知レベルを確認することができます。CGICRCG レジスターで割り込みをクリアすると<EMST<sub>m</sub>>もクリアされます。

注 2) <EMCG<sub>m</sub>[2:0]>と同時に<INT<sub>m</sub>EN>を設定しないでください。<EMCG<sub>m</sub>[2:0]>を設定してから<INT<sub>m</sub>EN>を設定してください。

注 3) 「m」はビットシンボルの添え字を示します。

## 6.5.3.5. CGIMCGB(CG 割り込みモードコントロールレジスタ-B)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCG7			EMST7		-	INT7EN
リセット後	0	0	1	0	0	0	不定	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCG6			EMST6		-	INT6EN
リセット後	0	0	1	0	0	0	不定	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCG5			EMST5		-	INT5EN
リセット後	0	0	1	0	0	0	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCG4			EMST4		-	INT4EN
リセット後	0	0	1	0	0	0	不定	0

Bit	Bit Symbol	Type	機能
31	-	R	リードすると"0"が読めます。
30:28	EMCG7[2:0]	R/W	INT7による低消費電力モード解除の割り込み検知レベル設定 000: "Low"レベル 001: "High"レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ 上記以外: 設定禁止
27:26	EMST7[1:0] (注1)	R	INT7による低消費電力モード解除時の割り込み検知レベルモニター 00: 未検知 01: 立ち上がリエッジ検知 10: 立ち下がリエッジ検知 11: 両エッジ検知
25	-	R	リードすると不定値が読めます。
24	INT7EN (注2)	R/W	INT7による低消費電力モード解除許可 0: 禁止 1: 許可
23	-	R	リードすると"0"が読めます。
22:20	EMCG6[2:0]	R/W	INT6による低消費電力モード解除の割り込み検知レベル設定 000: "Low"レベル 001: "High"レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ 上記以外: 設定禁止
19:18	EMST6[1:0] (注1)	R	INT6による低消費電力モード解除時の割り込み検知レベルモニター 00: 未検知 01: 立ち上がリエッジ検知 10: 立ち下がリエッジ検知 11: 両エッジ検知
17	-	R	リードすると不定値が読めます。
16	INT6EN (注2)	R/W	INT6による低消費電力モード解除許可 0: 禁止 1: 許可
15	-	R	リードすると"0"が読めます。

14:12	EMCG5[2:0]	R/W	INT5による低消費電力モード解除の割り込み検知レベル設定 000: "Low"レベル 001: "High"レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ 上記以外: 設定禁止
11:10	EMST5[1:0] (注1)	R	INT5による低消費電力モード解除時の割り込み検知レベルモニター 00: 未検知 01: 立ち上がリエッジ検知 10: 立ち下がリエッジ検知 11: 両エッジ検知
9	-	R	リードすると不定値が読めます。
8	INT5EN (注2)	R/W	INT5による低消費電力モード解除許可 0: 禁止 1: 許可
7	-	R	リードすると"0"が読めます。
6:4	EMCG4[2:0]	R/W	INT4による低消費電力モード解除の割り込み検知レベル設定 000: "Low"レベル 001: "High"レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ 上記以外: 設定禁止
3:2	EMST4[1:0] (注1)	R	INT4による低消費電力モード解除時の割り込み検知レベルモニター 00: 未検知 01: 立ち上がリエッジ検知 10: 立ち下がリエッジ検知 11: 両エッジ検知
1	-	R	リードすると不定値が読めます。
0	INT4EN (注2)	R/W	INT4による低消費電力モード解除許可 0: 禁止 1: 許可

注 1) <EMSTm>は、<EMCGm[2:0]>が"100"の両エッジ検知のときのみ意味を持ちます。<EMSTm>を参照することにより、低消費電力モード解除に使用された割り込み検知レベルを確認することができます。CGICRCG レジスターで割り込みをクリアすると<EMSTm>もクリアされます。

注 2) <EMCGm[2:0]>と同時に<INTmEN>を設定しないでください。<EMCGm[2:0]>を設定してから<INTmEN>を設定してください。

注 3) 「m」はビットシンボルの添え字を示します。

## 6.5.3.6. CGIMCGC(CG 割り込みモードコントロールレジスタ-C)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCGB			EMSTB		-	INTBEN
リセット後	0	0	1	0	0	0	不定	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCGA			EMSTA		-	INTAEN
リセット後	0	0	1	0	0	0	不定	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCG9			EMST9		-	INT9EN
リセット後	0	0	1	0	0	0	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCG8			EMST8		-	INT8EN
リセット後	0	0	1	0	0	0	不定	0

Bit	Bit Symbol	Type	機能
31	-	R	リードすると"0"が読めます。
30:28	EMCGB[2:0]	R/W	INTBによる低消費電力モード解除の割り込み検知レベル設定 000: "Low"レベル 001: "High"レベル 010: 立ち下がリエッジ 011: 立ち上がりエッジ 100: 両エッジ 上記以外: 設定禁止
27:26	EMSTB[1:0] (注1)	R	INTBによる低消費電力モード解除時の割り込み検知レベルモニター 00: 未検知 01: 立ち上がりエッジ検知 10: 立ち下がリエッジ検知 11: 両エッジ検知
25	-	R	リードすると不定値が読めます。
24	INTBEN (注2)	R/W	INTBによる低消費電力モード解除許可 0: 禁止 1: 許可
23	-	R	リードすると"0"が読めます。
22:20	EMCGA[2:0]	R/W	INTAによる低消費電力モード解除の割り込み検知レベル設定 000: "Low"レベル 001: "High"レベル 010: 立ち下がリエッジ 011: 立ち上がりエッジ 100: 両エッジ 上記以外: 設定禁止
19:18	EMSTA[1:0] (注1)	R	INTAによる低消費電力モード解除時の割り込み検知レベルモニター 00: 未検知 01: 立ち上がりエッジ検知 10: 立ち下がリエッジ検知 11: 両エッジ検知
17	-	R	リードすると不定値が読めます。
16	INTAEN (注2)	R/W	INTAによる低消費電力モード解除許可 0: 禁止 1: 許可
15	-	R	リードすると"0"が読めます。

14:12	EMCG[2:0]	R/W	INT9による低消費電力モード解除の割り込み検知レベル設定 000: "Low"レベル 001: "High"レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ 上記以外: 設定禁止
11:10	EMST9[1:0] (注1)	R	INT9による低消費電力モード解除時の割り込み検知レベルモニター 00: 未検知 01: 立ち上がリエッジ検知 10: 立ち下がリエッジ検知 11: 両エッジ検知
9	-	R	リードすると不定値が読めます。
8	INT9EN (注2)	R/W	INT9による低消費電力モード解除許可 0: 禁止 1: 許可
7	-	R	リードすると"0"が読めます。
6:4	EMCG8[2:0]	R/W	INT8による低消費電力モード解除の割り込み検知レベル設定 000: "Low"レベル 001: "High"レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ 上記以外: 設定禁止
3:2	EMST8[1:0] (注1)	R	INT8による低消費電力モード解除時の割り込み検知レベルモニター 00: 未検知 01: 立ち上がリエッジ検知 10: 立ち下がリエッジ検知 11: 両エッジ検知
1	-	R	リードすると不定値が読めます。
0	INT8EN (注2)	R/W	INT8による低消費電力モード解除許可 0: 禁止 1: 許可

注 1) <EMSTm>は、<EMCGm[2:0]>が"100"の両エッジ検知のときのみ意味を持ちます。<EMSTm>を参照することにより、低消費電力モード解除に使用された割り込み検知レベルを確認することができます。CGICRCG レジスターで割り込みをクリアすると<EMSTm>もクリアされます。

注 2) <EMCGm[2:0]>と同時に<INTmEN>を設定しないでください。<EMCGm[2:0]>を設定してから<INTmEN>を設定してください。

注 3) 「m」はビットシンボルの添え字を示します。

## 6.5.3.7. CGIMCGD(CG 割り込みモードコントロールレジスターD)

	31	30	29	28	27	26	25	24
bit symbol	-	EMCGF			EMSTF		-	INTFEN
リセット後	0	0	1	0	0	0	不定	0
	23	22	21	20	19	18	17	16
bit symbol	-	EMCGE			EMSTE		-	INTEEN
リセット後	0	0	1	0	0	0	不定	0
	15	14	13	12	11	10	9	8
bit symbol	-	EMCGD			EMSTD		-	INTDEN
リセット後	0	0	1	0	0	0	不定	0
	7	6	5	4	3	2	1	0
bit symbol	-	EMCGC			EMSTC		-	INTCEN
リセット後	0	0	1	0	0	0	不定	0

Bit	Bit Symbol	Type	機能
31	-	R	リードすると"0"が読めます。
30:28	EMCGF[2:0]	R/W	INTFによる低消費電力モード解除の割り込み検知レベル設定 000: "Low"レベル 001: "High"レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ 上記以外: 設定禁止
27:26	EMSTF[1:0] (注1)	R	INTFによる低消費電力モード解除時の割り込み検知レベルモニター 00: 未検知 01: 立ち上がリエッジ検知 10: 立ち下がリエッジ検知 11: 両エッジ検知
25	-	R	リードすると不定値が読めます。
24	INTFEN (注2)	R/W	INTFによる低消費電力モード解除許可 0: 禁止 1: 許可
23	-	R	リードすると"0"が読めます。
22:20	EMCGE[2:0]	R/W	INTEによる低消費電力モード解除の割り込み検知レベル設定 000: "Low"レベル 001: "High"レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ 上記以外: 設定禁止
19:18	EMSTE[1:0] (注1)	R	INTEによる低消費電力モード解除時の割り込み検知レベルモニター 00: 未検知 01: 立ち上がリエッジ検知 10: 立ち下がリエッジ検知 11: 両エッジ検知
17	-	R	リードすると不定値が読めます。
16	INTEEN (注2)	R/W	INTEによる低消費電力モード解除許可 0: 禁止 1: 許可
15	-	R	リードすると"0"が読めます。

14:12	EMCGD[2:0]	R/W	INTDによる低消費電力モード解除の割り込み検知レベル設定 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ 上記以外: 設定禁止
11:10	EMSTD[1:0] (注1)	R	INTDによる低消費電力モード解除時の割り込み検知レベルモニター 00: 未検知 01: 立ち上がりエッジ検知 10: 立ち下がりエッジ検知 11: 両エッジ検知
9	-	R	リードすると不定値が読めます。
8	INTDEN (注2)	R/W	INTDによる低消費電力モード解除許可 0: 禁止 1: 許可
7	-	R	リードすると"0"が読めます。
6:4	EMCGC[2:0]	R/W	INTCによる低消費電力モード解除の割り込み検知レベル設定 000: "Low"レベル 001: "High"レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ 上記以外: 設定禁止
3:2	EMSTC[1:0] (注1)	R	INTCによる低消費電力モード解除時の割り込み検知レベルモニター 00: 未検知 01: 立ち上がりエッジ検知 10: 立ち下がりエッジ検知 11: 両エッジ検知
1	-	R	リードすると不定値が読めます。
0	INTCN (注2)	R/W	INTCによる低消費電力モード解除許可 0: 禁止 1: 許可

注 1) <EMSTm>は、<EMCGm[2:0]>が"100"の両エッジ検知のときのみ意味を持ちます。<EMSTm>を参照することにより、低消費電力モード解除に使用された割り込み検知レベルを確認することができます。CGICRCG レジスターで割り込みをクリアすると<EMSTm>もクリアされます。

注 2) <EMCGm[2:0]>と同時に<INTmEN>を設定しないでください。<EMCGm[2:0]>を設定してから<INTmEN>を設定してください。

注 3) 「m」はビットシンボルの添え字を示します。

## 7. 製品個別情報

この章では、周辺機能に関し、チャンネルまたはユニット数、端子情報、その他の製品固有機能の情報について纏めています。

### 7.1. 各周辺機能の情報

#### 7.1.1. クロック/モード制御(CG)

##### 7.1.1.1. 搭載一覧

製品ごとの搭載一覧を下記に示します。

表 7.1 搭載一覧

製品	搭載/非搭載 (○: 搭載、-: 非搭載)
TMPM370FYDFG	○
TMPM370FYFG	○

##### 7.1.1.2. ベースアドレス

製品ごとのベースアドレスを下記に示します。

表 7.2 ベースアドレス一覧

製品	ベースアドレス
TMPM370FYDFG	0x4004_0200
TMPM370FYFG	0x4004_0200

## 7.1.2. 例外

### 7.1.2.1. 搭載一覧

製品ごとの搭載一覧を下記に示します。

表 7.3 搭載一覧

製品	搭載/非搭載 (○: 搭載、-: 非搭載)
TMPM370FYDFG	○
TMPM370FYFG	○

### 7.1.2.2. ベースアドレス

製品ごとのベースアドレスを下記に示します。

表 7.4 ベースアドレス一覧

製品	製品	ベースアドレス
TMPM370FYDFG	NVIC	0xE000_E000
	CG	0x4004_0200
TMPM370FYFG	NVIC	0xE000_E000
	CG	0x4004_0200

## 7.1.3. 入出力ポート

### 7.1.3.1. 搭載一覧

製品ごとの搭載一覧を下記に示します。

表 7.5 搭載一覧 (1/2)

製品	搭載/非搭載(○: 搭載、-: 非搭載)					
	ポートA	ポートB	ポートC	ポートD	ポートE	ポートF
TMPM370FYDFG	○	○	○	○	○	○
TMPM370FYFG	○	○	○	○	○	○

表 7.6 搭載一覧 (2/2)

製品	搭載/非搭載(○: 搭載、-: 非搭載)					
	ポートG	ポートH	ポートI	ポートJ	ポートK	ポートL
TMPM370FYDFG	○	○	○	○	○	○
TMPM370FYFG	○	○	○	○	○	○

### 7.1.3.2. ベースアドレス

製品ごとのベースアドレスを下記に示します。

表 7.7 ベースアドレス一覧 (1/2)

製品	ベースアドレス					
	ポートA	ポートB	ポートC	ポートD	ポートE	ポートF
TMPM370FYDFG	0x4000_0000	0x4000_0040	0x4000_0080	0x4000_00C0	0x4000_0100	0x4000_0140
TMPM370FYFG	0x4000_0000	0x4000_0040	0x4000_0080	0x4000_00C0	0x4000_0100	0x4000_0140

表 7.8 ベースアドレス一覧 (2/2)

製品	ベースアドレス					
	ポートG	ポートH	ポートI	ポートJ	ポートK	ポートL
TMPM370FYDFG	0x4000_0180	0x4000_01C0	0x4000_0200	0x4000_0240	0x4000_0280	0x4000_02C0
TMPM370FYFG	0x4000_0180	0x4000_01C0	0x4000_0200	0x4000_0240	0x4000_0280	0x4000_02C0

## 7.1.4. 16 ビットタイマー/イベントカウンタ(TMRB)

### 7.1.4.1. 搭載一覧

製品ごとの搭載一覧を下記に示します。

表 7.9 搭載一覧

製品	搭載/非搭載 (○: 搭載、-: 非搭載)							
	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7
TMPM370FYDFG	○	○	○	○	○	○	○	○
TMPM370FYFG	○	○	○	○	○	○	○	○

### 7.1.4.2. ベースアドレス

製品ごとのベースアドレスを下記に示します。

表 7.10 ベースアドレス一覧 (1/2)

製品	ベースアドレス			
	ch0	ch1	ch2	ch3
TMPM370FYDFG	0x4001_0000	0x4001_0040	0x4001_0080	0x4001_00C0
TMPM370FYFG	0x4001_0000	0x4001_0040	0x4001_0080	0x4001_00C0

表 7.11 ベースアドレス一覧 (2/2)

製品	ベースアドレス			
	ch4	ch5	ch6	ch7
TMPM370FYDFG	0x4001_0100	0x4001_0140	0x4001_0180	0x4001_01C0
TMPM370FYFG	0x4001_0100	0x4001_0140	0x4001_0180	0x4001_01C0

## 7.1.4.3. 機能端子とポート

機能端子のポート割り当てを下記に示します。

表 7.12 機能端子とポート

チャネル	機能端子	ポート名
TMRB ch0	TB0IN	PA0
	TB0OUT	PA1
TMRB ch1	TB1IN	PA2
	TB1OUT	PA3
TMRB ch2	TB2IN	PE4
	TB2OUT	PE5
TMRB ch3	TB3IN	PE6
	TB3OUT	PE7
TMRB ch4	TB4IN	PA7
	TB4OUT	PE3
TMRB ch5	TB5IN	PD0
	TB5OUT	PD1
TMRB ch6	TB6IN	PA6
	TB6OUT	PA5
TMRB ch7	TB7IN	PF0
	TB7OUT	PF1

## 7.1.4.4. 内部信号接続

入出力信号と周辺機能との接続を下記に示します。

表 7.13 入出力信号と周辺機能の接続(1/2)

チャンネル	信号名	接続周辺機能
TMRB ch0	INTCA00	CG
	INTCAP01	CG
	INTTB00	CG
	INTTB01	CG
	TB0OUT	PORT
TMRB ch1	INTCA10	CG
	INTCAP11	CG
	INTTB10	CG
	INTTB11	CG
	TB1OUT	PORT
TMRB ch2	INTCA20	CG
	INTCAP21	CG
	INTTB20	CG
	INTTB21	CG
	TB2OUT	PORT
TMRB ch3	INTCA30	CG
	INTCAP31	CG
	INTTB30	CG
	INTTB31	CG
	TB3OUT	PORT

表 7.14 入出力信号と周辺機能の接続(2/2)

チャンネル	信号名	接続周辺機能
TMRB ch4	INTCA40	CG
	INTCAP41	CG
	INTTB40	CG
	INTTB41	CG
	TB4OUT	PORT SIO/UART0 SIO/UART1
TMRB ch5	INTCA50	CG
	INTCAP51	CG
	INTTB50	CG
	INTTB51	ADC CG
	TB5OUT	PORT
TMRB ch6	INTCA60	CG
	INTCAP61	CG
	INTTB60	CG
	INTTB61	CG
	TB6OUT	PORT
TMRB ch7	INTCA70	CG
	INTCAP71	CG
	INTTB70	CG
	INTTB71	CG
	TB7OUT	PORT SIO/UART2 SIO/UART3

## 7.1.5. シリアルチャネル(SIO/UART)

### 7.1.5.1. 搭載一覧

製品ごとの搭載一覧を下記に示します。

表 7.15 搭載一覧

製品	搭載/非搭載(○: 搭載、-: 非搭載)			
	ch0	ch1	ch2	ch3
TMPM370FYDFG	○	○	○	○
TMPM370FYFG	○	○	○	○

### 7.1.5.2. ベースアドレス

製品ごとのベースアドレスを下記に示します。

表 7.16 ベースアドレス一覧

製品	ベースアドレス			
	ch0	ch1	ch2	ch3
TMPM370FYDFG	0x4002_0080	0x4002_00C0	0x4002_0100	0x4002_0140
TMPM370FYFG	0x4002_0080	0x4002_00C0	0x4002_0100	0x4002_0140

### 7.1.5.3. 機能端子とポート

機能端子のポート割り当てを下記に示します。

表 7.17 機能端子とポート

チャンネル	機能端子	ポート名
UART/SIO ch0	TXD0	PE0
	RXD0	PE1
	$\overline{\text{CTS0}}/\text{SCLK0}$	PE2
UART/SIO ch1	TXD1	PA5
	RXD1	PA6
	$\overline{\text{CTS1}}/\text{SCLK1}$	PA4
UART/SIO ch2	TXD2	PD5
	RXD2	PD6
	$\overline{\text{CTS2}}/\text{SCLK2}$	PD4
UART/SIO ch3	TXD3	PF3
	RXD3	PF4
	$\overline{\text{CTS3}}/\text{SCLK3}$	PF2

### 7.1.5.4. 内部信号接続

入出力信号と周辺機能との接続を下記に示します。

表 7.18 入出力信号と周辺機能の接続

チャンネル	信号名	接続周辺回路
SIO/UART ch0	UART モード時の SIOCLK	TMRB ch4
SIO/UART ch1	UART モード時の SIOCLK	TMRB ch4
SIO/UART ch2	UART モード時の SIOCLK	TMRB ch7
SIO/UART ch3	UART モード時の SIOCLK	TMRB ch7

## 7.1.6. 12ビットアナログデジタルコンバーター(ADC)

### 7.1.6.1. 搭載一覧

製品ごとの搭載一覧を下記に示します。

表 7.19 搭載一覧

製品	搭載/非搭載(○: 搭載、-: 非搭載)	
	unit A	unit B
TMPM370FYDFG	○	○
TMPM370FYFG	○	○

### 7.1.6.2. ベースアドレス

製品ごとのベースアドレスを下記に示します。

表 7.20 ベースアドレス一覧

製品	ベースアドレス	
	unit A	unit B
TMPM370FYDFG	0x4003_0000	0x4003_0200
TMPM370FYFG	0x4003_0000	0x4003_0200

### 7.1.6.3. 機能端子とポート

機能端子のポート割り当てを下記に示します。

表 7.21 機能端子とポート(1/2)

ユニット	入力チャンネル	機能端子	ポート名
ADC unit A	ch0	AINA0	PH0
	ch1	AINA1	PH1
	ch2	AINA2	PH2
	ch3	AINA3	PH3
	ch4	AINA4	PH4
	ch5	AINA5	PH5
	ch6	AINA6	PH6
	ch7	AINA7	PH7
	ch8	AINA8	PI0
	ch9	AINA9	PI1
	ch10	AINA10	PI2
	ch11	AINA11	PI3

表 7.22 機能端子とポート(2/2)

ユニット	入力チャンネル	機能端子	ポート名
ADC unit B	ch0	AINB0	PI1
	ch1	AINB1	PI2
	ch2	AINB2	PI3
	ch3	AINB3	PJ0
	ch4	AINB4	PJ1
	ch5	AINB5	PJ2
	ch6	AINB6	PJ3
	ch7	AINB7	PJ4
	ch8	AINB8	PJ5
	ch9	AINB9	PJ6
	ch10	AINB10	PJ7
	ch11	AINB11	PK0
	ch12	AINB12	PK1

#### 7.1.6.4. 内部信号接続

入出力信号と周辺機能との接続を下記に示します。

表 7.23 入出力信号と周辺機能の接続

ユニット	信号名	接続周辺機能
ADC unit A	INTTB51	TMRB ch5
ADC unit B	INTTB51	TMRB ch5

注) PMD との接続については、「7.1.7. モーター制御回路(PMD)」を参照してください。

## 7.1.7. モーター制御回路(PMD)

### 7.1.7.1. 搭載一覧

製品ごとの搭載一覧を下記に示します。

表 7.24 搭載一覧

製品	搭載/非搭載(○: 搭載、-: 非搭載)	
	ch0	ch1
TMPM370FYDFG	○	○
TMPM370FYFG	○	○

### 7.1.7.2. ベースアドレス

製品ごとのベースアドレスを下記に示します。

表 7.25 ベースアドレス一覧

製品	ベースアドレス	
	ch0	ch1
TMPM370FYDFG	0x4005_0400	0x4005_0480
TMPM370FYFG	0x4005_0400	0x4005_0480

## 7.1.7.3. 機能端子とポート

機能端子のポート割り当てを下記に示します。

表 7.26 機能端子とポート(1/2)

チャンネル	機能端子	ポート名
PMD ch0	U00	PC0
	V00	PC2
	W00	PC4
	X00	PC1
	Y00	PC3
	Z00	PC5
	$\overline{\text{EMG0}}$	PC6
	$\overline{\text{OVV0}}$	PC7

表 7.27 機能端子とポート(2/2)

チャンネル	機能端子	ポート名
PMD ch1	U01	PG0
	V01	PG2
	W01	PG4
	X01	PG1
	Y01	PG3
	Z01	PG5
	$\overline{\text{EMG1}}$	PG6
	$\overline{\text{OVV1}}$	PG7

**7.1.7.4. 内部信号接続**

入出力信号と周辺機能との接続を下記に示します。

**表 7.28 入力信号と周辺機能の接続**

出力周辺機能	信号名	接続周辺機能
VE ch0	VECMPU0	PMD ch0
	VECMPV0	PMD ch0
	VECMPW0	PMD ch0
	VEOUTCR0	PMD ch0
	VETRGCMP00	PMD ch0
	VETRGCMP10	PMD ch0
	VETRGSSEL0	PMD ch0
ADC unit A	ADCA 監視信号 0	PMD ch0
	ADCA 監視信号 1	PMD ch0

**表 7.29 入力信号と周辺機能の接続**

出力周辺機能	信号名	接続周辺機能
VE ch1	VECMPU1	PMD ch1
	VECMPV1	PMD ch1
	VECMPW1	PMD ch1
	VEOUTCR1	PMD ch1
	VETRGCMP01	PMD ch1
	VETRGCMP11	PMD ch1
	VETRGSSEL1	PMD ch1
ADC unit B	ADCB 監視信号 0	PMD ch1
	ADCB 監視信号 1	PMD ch1

表 7.30 出力信号と周辺機能の接続

入力周辺機能	信号名	接続周辺機能
ADC unit A	PMD0TRG0	ADC unit A
	PMD0TRG1	ADC unit A
	PMD0TRG2	ADC unit A
	PMD0TRG3	ADC unit A
	PMD0TRG4	ADC unit A
	PMD0TRG5	ADC unit A

表 7.31 出力信号と周辺機能の接続

入力周辺機能	信号名	接続周辺機能
ADC unit B	PMD1TRG0	ADC unit B
	PMD1TRG1	ADC unit B
	PMD1TRG2	ADC unit B
	PMD1TRG3	ADC unit B
	PMD1TRG4	ADC unit B
	PMD1TRG5	ADC unit B

## 7.1.8. ベクトルエンジン(VE)

## 7.1.8.1. 搭載一覧

製品ごとの搭載一覧を下記に示します。

表 7.32 搭載一覧

製品	搭載/非搭載(○: 搭載、-: 非搭載)	
	ch0	ch1
TMPM370FYDFG	○	○
TMPM370FYFG	○	○

## 7.1.8.2. ベースアドレス

製品ごとのベースアドレスを下記に示します。

表 7.33 ベースアドレス一覧

レジスター	製品	ベースアドレス	
		ch0	ch1
VE 制御レジスター	TMPM370FYDFG	0x4005_0000	0x4005_0000
	TMPM370FYFG	0x4005_0000	0x4005_0000
共通レジスター	TMPM370FYDFG	0x4005_0000	0x4005_0000
	TMPM370FYFG	0x4005_0000	0x4005_0000
専用レジスター	TMPM370FYDFG	0x4005_0044	0x4005_00DC
	TMPM370FYFG	0x4005_0044	0x4005_00DC

## 7.1.8.3. 内部信号接続

PMD との接続は、「7.1.7. モーター制御回路(PMD)」を参照してください。

## 7.1.9. エンコーダー入力回路(ENC)

### 7.1.9.1. 搭載一覧

製品ごとの搭載一覧を下記に示します。

表 7.34 搭載一覧

製品	搭載/非搭載(○: 搭載、-: 非搭載)	
	ch0	ch1
TMPM370FYDFG	○	○
TMPM370FYFG	○	○

### 7.1.9.2. ベースアドレス

製品ごとのベースアドレスを下記に示します。

表 7.35 ベースアドレス一覧

製品	ベースアドレス	
	ch0	ch1
TMPM370FYDFG	0x4001_0400	0x4001_0500
TMPM370FYFG	0x4001_0400	0x4001_0500

### 7.1.9.3. 機能端子とポート

機能端子のポート割り当てを下記に示します。

表 7.36 機能端子とポート

チャンネル	機能端子	ポート名
ENC ch0	ENCA0	PD0
	ENCB0	PD1
	ENCZ0	PD2
ENC ch1	ENCA1	PF2
	ENCB1	PF3
	ENCZ1	PF4

## 7.1.10. 電圧検出回路(VLTD)

### 7.1.10.1. 搭載一覧

製品ごとの搭載一覧を下記に示します。

表 7.37 搭載一覧

製品	搭載/非搭載 (○: 搭載、-: 非搭載)
TMPM370FYDFG	○
TMPM370FYFG	○

### 7.1.10.2. ベースアドレス

製品ごとのベースアドレスを下記に示します。

表 7.38 ベースアドレス一覧

製品	ベースアドレス
TMPM370FYDFG	0x4004_0900
TMPM370FYFG	0x4004_0900

## 7.1.11. 周波数検知回路(OFD)

### 7.1.11.1. 搭載一覧

製品ごとの搭載一覧を下記に示します。

表 7.39 搭載一覧

製品	搭載/非搭載 (○: 搭載、-: 非搭載)
TMPM370FYDFG	○
TMPM370FYFG	○

### 7.1.11.2. ベースアドレス

製品ごとのベースアドレスを下記に示します。

表 7.40 ベースアドレス一覧

製品	ベースアドレス
TMPM370FYDFG	0x4004_0800
TMPM370FYFG	0x4004_0800

## 7.1.12. ウォッチドッグタイマー(WDT)

### 7.1.12.1. 搭載一覧

製品ごとの搭載一覧を下記に示します。

表 7.41 搭載一覧

製品	搭載/非搭載 (○: 搭載、-: 非搭載)
TMPM370FYDFG	○
TMPM370FYFG	○

### 7.1.12.2. ベースアドレス

製品ごとのベースアドレスを下記に示します。

表 7.42 ベースアドレス一覧

製品	ベースアドレス
TMPM370FYDFG	0x4004_0000
TMPM370FYFG	0x4004_0000

### 7.1.12.3. 機能端子とポート

機能端子のポート割り当てを下記に示します。

表 7.43 機能端子とポート

機能端子	ポート名
$\overline{\text{WDTOUT}}$	-

## 7.1.13. オペアンプ/アナログコンパレータ (AMP/CMP)

## 7.1.13.1. 搭載一覧

製品ごとの搭載一覧を下記に示します。

表 7.44 搭載一覧

製品	搭載/非搭載 (○: 搭載、-: 非搭載)
TMPM370FYDFG	○
TMPM370FYFG	○

## 7.1.13.2. ベースアドレス

製品ごとのベースアドレスを下記に示します。

表 7.45 ベースアドレス一覧

機能	製品	ベースアドレス
オペアンプ	TMPM370FYDFG	0x4003_0400
	TMPM370FYFG	0x4003_0400
アナログコンパレータ	TMPM370FYDFG	0x4003_0420
	TMPM370FYFG	0x4003_0420

### 7.1.13.3. 機能端子とポート

機能端子のポート割り当てを下記に示します。

表 7.46 AMP機能端子とポート

機能端子	ポート名
AMPA 入力	PI1
AMPB 入力	PI2
AMPC 入力	PI3
AMPD 入力	PJ0

表 7.47 CMP機能端子とポート

機能端子	ポート名
CMPA 入力	PI1
CMPB 入力	PI2
CMPC 入力	PI3
CMPD 入力	PJ0

## 7.1.14. フラッシュメモリー

### 7.1.14.1. 搭載一覧

製品ごとの搭載一覧を下記に示します。

表 7.48 搭載一覧

製品	搭載/非搭載 (○: 搭載、-: 非搭載)
TMPM370FYDFG	○
TMPM370FYFG	○

### 7.1.14.2. ベースアドレス

製品ごとのベースアドレスを下記に示します。

表 7.49 ベースアドレス一覧

製品	ベースアドレス
TMPM370FYDFG	0x41FF_F000
TMPM370FYFG	0x41FF_F000

### 7.1.14.3. フラッシュメモリーブロック構成

製品ごとのフラッシュメモリーブロック構成を下記に示します。

表 7.50 フラッシュメモリーブロック構成

ブロック名称	ブロックサイズ (KB)
Block0	64
Block1	64
Block2	64
Block3	32
Block4	16
Block5	16

## 7.1.14.4. ID-Read 時のマクロコード値

製品ごとのマクロコードを下記に示します。

表 7.51 ID-Read時のマクロコード値

	Code (ID[7:0])
マクロコード	0x13

## 7.1.14.5. シングルブートモードでの使用リソース

シングルブートモードで使用する周辺機能を下記に示します。

表 7.52 シングルブートモード時の使用リソース

周辺機能	チャンネル	インターフェース	端子名
BOOT	-	-	PF0 ( $\overline{\text{BOOT}}$ )
SIO/UART	ch0	UART モード	PE0 (TXD0)/PE1 (RXD0)
		SIO モード	PE0 (TXD0)/PE1 (RXD0)/PE2 (SCLK0)/ PE4 (ハンドシェイク信号)
TMRB	ch0	-	-

製品ごとの RAM 転送コマンドで転送できる RAM アドレス範囲を下記に示します。

表 7.53 RAMアドレス範囲

製品名	RAM アドレス範囲
TMPM370FYDFG	0x2000_0400 ~ 0x2000_27FF
TMPM370FYFG	0x2000_0400 ~ 0x2000_27FF

## 7.1.15. プロテクト/セキュリティー機能

### 7.1.15.1. 搭載一覧

製品ごとの搭載一覧を下記に示します。

表 7.54 搭載一覧

製品	搭載/非搭載 (○: 搭載、-: 非搭載)
TMPM370FYDFG	○
TMPM370FYFG	○

### 7.1.15.2. ベースアドレス

製品ごとのベースアドレスを下記に示します。

表 7.55 ベースアドレス一覧

製品	ベースアドレス
TMPM370FYDFG	0x41FF_F000
TMPM370FYFG	0x41FF_F000

## 7.1.16. デバッグインターフェース

### 7.1.16.1. デバッグインターフェース端子一覧

デバッグインターフェースには JTAG(TMS、TCK、TDI、 $\overline{\text{TRST}}$ )とシリアルワイヤ(SWDIO、SWCLK)があります。

また、トレース出力(TRACEDATA0 ~ 1)とクロック出力(TRACECLK)および、シリアルワイヤビューアー(SWV)があります。

表 7.56 デバッグインターフェース一覧

SWJ-DP端子名	ポート名
TMS/SWDIO	PB3
TCK/SWCLK	PB4
TDO/SWV	PB5
TDI	PB6
$\overline{\text{TRST}}$	PB7
TRACECLK	PB0
TRACEDATA0	PB1
TRACEDATA1	PB2

## 8. 入出力ポート

### 8.1. 概要

ポート関連のレジスタとその設定について説明します。以下に機能の一覧を示します。

機能分類	機能	説明
ポート	-	内蔵プログラマブルプルアップ/プルダウンの選択、オープンドレイン出力選択が可能
周辺機能端子	外部割り込み端子	ノイズフィルター(フィルター幅 typ. 30ns)付き外部割り込み端子
	16ビットタイマー/イベントカウンター	TMRB インพุットキャプチャー端子、TMRB 出力端子
	シリアルチャネル	送信端子、受信端子、クロック端子、ハンドシェイク用端子
	12ビットアナログ/デジタルコンバーター	アナログ入力端子
	モーター制御回路	X/Y/Z 相出力端子、U/V/W 相出力端子、EMG 検出入力、OVV 検出入力
	エンコーダー入力回路	エンコーダー入力
	オペアンプ/アナログコンパレーター	アナログ入力端子
デバッグ端子	JTAG	デバッグ用端子
	SW	デバッグ用端子
	トレース	デバッグ用端子
制御端子	高速クロック	高速発振子接続端子
	BOOT モード制御	BOOT モード端子

## 8.2. 信号接続一覧

各周辺機能のブロック図に記載された信号名をポート順に変換した表です。周辺機能のレジスタ設定はポート順に説明していますので、ポート名の逆引きにご使用ください。

数値は端子番号を表します。

表 8.1 信号接続一覧: SIO/UART

参照周辺機能章	兼用機能端子名	ポート名	TMPM370FYDFG (QFP100)	TMPM370FYFG (LQFP100)
SIO/UART	RXD0	PE1	13	11
	TXD0	PE0	12	10
	$\overline{\text{CTS0}}/\text{SCLK0}$	PE2	14	12
	RXD1	PA6	10	8
	TXD1	PA5	9	7
	$\overline{\text{CTS1}}/\text{SCLK1}$	PA4	8	6
	RXD2	PD6	38	36
	TXD2	PD5	37	35
	$\overline{\text{CTS2}}/\text{SCLK2}$	PD4	36	34
	RXD3	PF4	56	54
	TXD3	PF3	55	53
	$\overline{\text{CTS3}}/\text{SCLK3}$	PF2	54	52

表 8.2 信号接続一覧: TMRB

参照周辺機能章	兼用機能端子名	ポート名	TMPM370FYDFG (QFP100)	TMPM370FYFG (LQFP100)
TMRB	TB0IN	PA0	4	2
	TB0OUT	PA1	5	3
	TB1IN	PA2	6	4
	TB1OUT	PA3	7	5
	TB2IN	PE4	17	15
	TB2OUT	PE5	18	16
	TB3IN	PE6	19	17
	TB3OUT	PE7	20	18
	TB4IN	PA7	11	9
	TB4OUT	PE3	15	13
	TB5IN	PD0	32	30
	TB5OUT	PD1	33	31
	TB6IN	PA6	10	8
	TB6OUT	PA5	9	7
	TB7IN	PF0	52	50
	TB7OUT	PF1	53	51

表 8.3 信号接続一覧: ADC/AMP,CMP

参照周辺機能章	兼用機能端子名	ポート名	TMPM370FYDFG (QFP100)	TMPM370FYFG (LQFP100)
ADC	AINA0	PH0	98	96
	AINA1	PH1	97	95
	AINA2	PH2	96	94
	AINA3	PH3	95	93
	AINA4	PH4	94	92
	AINA5	PH5	93	91
	AINA6	PH6	92	90
	AINA7	PH7	91	89
	AINA8	PI0	90	88
	AINA9/AINB0	PI1	87	85
	AINA10/AINB1	PI2	86	84
	AINA11/AINB2	PI3	85	83
	AINB3	PJ0	82	80
	AINB4	PJ1	81	79
	AINB5	PJ2	80	78
	AINB6	PJ3	79	77
	AINB7	PJ4	78	76
	AINB8	PJ5	77	75
	AINB9	PJ6	76	74
	AINB10	PJ7	75	73
AINB11	PK0	74	72	
AINB12	PK1	73	71	
AMP/CMP	AINA9/AINB0	PI1	87	85
	AINA10/AINB1	PI2	86	84
	AINA11/AINB2	PI3	85	83
	AINB3	PJ0	82	80

表 8.4 信号接続一覧: INT/PMD

参照周辺機能	兼用機能端子名	ポート名	TMPM370FYDFG (QFP100)	TMPM370FYFG (LQFP100)
INT	INT0	PH0	98	96
	INT1	PH1	97	95
	INT2	PH2	96	94
	INT3	PA0	4	2
	INT4	PA2	6	3
	INT5	PE4	17	15
	INT6	PE6	19	17
	INT7	PE7	20	18
	INT8	PA7	11	9
	INT9	PD3	35	33
	INTA	PL1	23	21
	INTB	PL0	22	20
	INTC	PJ6	76	74
	INTD	PJ7	75	73
	INTE	PK0	74	72
	INTF	PK1	73	71
PMD	UO0	PC0	24	22
	XO0	PC1	25	23
	VO0	PC2	26	24
	YO0	PC3	27	25
	WO0	PC4	28	26
	ZO0	PC5	29	27
	$\overline{\text{EMG0}}$	PC6	30	28
	$\overline{\text{OVV0}}$	PC7	31	29
	UO1	PG0	39	37
	XO1	PG1	40	38
	VO1	PG2	41	39
	YO1	PG3	44	42
	WO1	PG4	45	43
	ZO1	PG5	46	44
	$\overline{\text{EMG1}}$	PG6	47	45
	$\overline{\text{OVV1}}$	PG7	48	46

表 8.5 信号接続一覧: ENC/DEBUG/FLASH

参照周辺機能	兼用機能端子名	ポート名	TMPM370FYDFG (QFP100)	TMPM370FYFG (LQFP100)
ENC	ENCA0	PD0	32	30
	ENCB0	PD1	33	31
	ENCZ0	PD2	34	32
	ENCA1	PF2	54	52
	ENCB1	PF3	55	53
	ENCZ1	PF4	56	54
DEBUG	TMS/SWDIO	PB3	68	66
	TCK/SWCLK	PB4	69	67
	TDO/SWV	PB5	70	68
	TDI	PB6	71	69
	$\overline{\text{TRST}}$	PB7	72	70
	TRACECLK	PB0	65	63
	TRACEDATA0	PB1	66	64
	TRACEDATA1	PB2	67	65
FLASH	$\overline{\text{BOOT}}$	PF0	52	50

### 8.3. レジスタ－説明

ポートを使用するには以下のレジスタ－を設定する必要があります。

レジスタ－は全て 32 ビットですが、ポートのビット数、機能の割り当てにより構成が異なります。

以下の説明では「x」はポート名、「n」はファンクション番号を示します。

レジスタ－名		Type	設定値	説明
PxDATA	データレジスタ－	R/W	"0"または"1"	ポートのデータ読み出し、データ書き込みを行います。
PxCR	出力コントロールレジスタ－	R/W	0: 出力禁止 1: 出力許可	出力の制御を行います。
PxFRn	ファンクションレジスタ－ n	R/W	0: PORT 1: 機能	機能設定を行いません。 "1"をセットすることにより割り当てられている機能を使用できるようになります。ファンクションレジスタ－はポートに割り当てられている機能ごとに存在します。複数の機能が割り当てられている場合、1つの機能のみ有効になるように設定してください。
PxOD	オープンドレインコントロールレジスタ－	R/W	0: CMOS 1: オープンドレイン	プログラマブルオープンドレインの制御を行います。 プログラマブルオープンドレインは、PxOD = "1"の設定で、出力データが"1"の場合に出力バッファ－を禁止にし、擬似的にオープンドレインを実現する機能です。
PxPUP	プルアップコントロールレジスタ－	R/W	0: プルアップ禁止 1: プルアップ許可	プログラマブルプルアップを制御します。
PxPDN	プルダウンコントロールレジスタ－	R/W	0: プルダウン禁止 1: プルダウン許可	プログラマブルプルダウンを制御します。
PxIE	入力コントロールレジスタ－	R/W	0: 入力禁止 1: 入力許可	入力の制御を行いません。

## 8.3.1. レジスタ一覧

機能の存在しないビットをリードすると"0"が読めます。ライトは意味を持ちません。

表 8.6 レジスタ一覧(1/2)

レジスタ名	Address(Base+)	ポートA	ポートB	ポートC	ポートD	ポートE	ポートF
データ レジスタ	0x0000	PADATA	PBDATA	PCDATA	PDDATA	PEDATA	PFDATA
出カコントロールレジスタ	0x0004	PACR	PBCR	PCCR	PDCR	PECR	PFCR
ファンクションレジスタ 1	0x0008	PAFR1	PBFR1	PCFR1	PDFR1	PEFR1	PFFR1
ファンクションレジスタ 2	0x000C	PAFR2	-	-	PDFR2	PEFR2	PFFR2
ファンクションレジスタ 3	0x0010	-	-	-	-	-	PFFR3
オープンドレインコントロールレジスタ	0x0028	PAOD	PBOD	PCOD	PDOD	PEOD	PFOD
プルアップコントロールレジスタ	0x002C	PAPUP	PBPUP	PCPUP	PDPUP	PEPUP	PFPUP
プルダウンコントロールレジスタ	0x0030	PAPDN	PBPDN	PCPDN	PDPDN	PEPDN	PFPDN
入カコントロールレジスタ	0x0038	PAIE	PBIE	PCIE	PDIE	PEIE	PFIE

注) "-"表記のアドレスにはアクセスしないでください。

表 8.7 レジスタ一覧(2/2)

レジスタ名	Address(Base+)	ポートG	ポートH	ポートI	ポートJ	ポートK	ポートL
データ レジスタ	0x0000	PGDATA	PHDATA	PIDATA	PJDATA	PKDATA	PLDATA
出カコントロールレジスタ	0x0004	PGCR	PHCR	PICR	PJCR	PKCR	-
ファンクションレジスタ 1	0x0008	PGFR1	PHFR1	-	PJFR1	PKFR1	PLFR1
ファンクションレジスタ 2	0x000C	-	-	-	-	-	-
ファンクションレジスタ 3	0x0010	-	-	-	-	-	-
オープンドレインコントロールレジスタ	0x0028	PGOD	PHOD	PIOD	PJOD	PKOD	-
プルアップコントロールレジスタ	0x002C	PGPUP	PHPUP	PIPUP	PJPUP	PKPUP	-
プルダウンコントロールレジスタ	0x0030	PGPDN	PHPDN	PIPDN	PJPDN	PKPDN	-
入カコントロールレジスタ	0x0038	PGIE	PHIE	PIIE	PJIE	PKIE	PLIE

注) "-"表記のアドレスにはアクセスしないでください。

## 8.3.2. ポート機能とレジスター設定

ポート機能レジスター設定一覧の表の見方を説明します。

PxFRn の欄は、設定に必要なファンクションレジスターを示します。このレジスターを"1"に設定するとその機能が有効となります。(「x」はポート名、「n」はファンクション番号)

表中の"N/A"のビットはリードすると"0"が読め、ライトは意味を持ちません。

表中の"0"、"1"は設定値を示し、"0"/"1"は任意に設定可能であることを示します。

PORT	リセット状態	Input/Output	PORT Type	制御レジスター						
				PADATA	PACR	PAFRn	PAOD	PAPUP	PAPDN	PAIE
PA0	リセット後		T12	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TB0IN	Input		0/1	0	PAFR1	0/1	0/1	0/1	1
	INT3	Input		0/1	0	PAFR2	0/1	0/1	0/1	1
PA7	リセット後		T12	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TB4IN	Input		0/1	0	PAFR1	0/1	0/1	0/1	1
	INT8	Input		0/1	0	PAFR2	0/1	0/1	0/1	1

PxFRn	端子		
	INT3	TB0IN	Input Port Output Port
PAFR1<bit0>	0	1	0
PAFR2<bit0>	1	0	0

注)リセット後のレジスター値は、クロックが許可される前の初期値です。

### 8.3.2.1. 機能端子を使用する際の設定について

機能端子を周辺機能の出力端子として使用する際には、ファンクションレジスターを使用する周辺機能(PxFRn<bit m> = "1")に設定し、出力コントロールレジスターを出力許可(PxCR<bit m> = "1")に設定した後、周辺機能の設定をしてください。ファンクションレジスターの設定よりも先に出力許可すると、ファンクションレジスターが設定されるまで、ポートのデータレジスター値が出力されます。

機能端子を周辺機能の入力端子として使用する際には、ポートの入力コントロールレジスターを入力(PxIE<bit m> = "1")に設定し、ファンクションレジスターを使用する周辺機能(PxFRn<bit m> = "1")に設定した後、周辺機能の設定をしてください。

また、SIO/UART など入出力端子となる周辺機能を使用する場合は、ポートの入力コントロールレジスターを入力(PxIE<bit m> = "1")に設定し、ファンクションレジスターを使用する周辺機能(PxFRn<bit m> = "1")に設定し、出力コントロールレジスターを出力許可(PxCR<bit m> = "1")に設定した後、周辺機能の設定をしてください。

- 複数の機能が割り当てられているポートは、使用する機能を一つだけ選択してください。
- 同一機能が複数ポートに割り当てられている端子は、排他的に使用してください。

## 8.3.2.2. PORT A

表 8.8 ポートA レジスター設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスター						
	機能			PADATA	PACR	PAFRn	PAOD	PAPUP	PAPDN	PAIE
PA0	リセット後		T12	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TB0IN	Input		0/1	0	PAFR1	0/1	0/1	0/1	1
	INT3	Input		0/1	0	PAFR2	0/1	0/1	0/1	1
PA1	リセット後		T2	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TB0OUT	Output		0/1	1	PAFR1	0/1	0/1	0/1	0
PA2	リセット後		T12	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TB1IN	Input		0/1	0	PAFR1	0/1	0/1	0/1	1
	INT4	Input		0/1	0	PAFR2	0/1	0/1	0/1	1
PA3	リセット後		T2	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TB1OUT	Output		0/1	1	PAFR1	0/1	0/1	0/1	0
PA4	リセット後		T9	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	SCLK1	Input		0/1	0	PAFR1	0/1	0/1	0/1	1
		Output		0/1	1		0/1	0/1	0/1	0
CTS1	Input	0/1	0	PAFR2	0/1	0/1	0/1	1		
PA5	リセット後		T13	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TXD1	Output		0/1	1	PAFR1	0/1	0/1	0/1	0
	TB6OUT	Output		0/1	1	PAFR2	0/1	0/1	0/1	0
PA6	リセット後		T11	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	RXD1	Input		0/1	0	PAFR1	0/1	0/1	0/1	1
	TB6IN	Input		0/1	0	PAFR2	0/1	0/1	0/1	1
PA7	リセット後		T12	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TB4IN	Input		0/1	0	PAFR1	0/1	0/1	0/1	1
	INT8	Input		0/1	0	PAFR2	0/1	0/1	0/1	1

## 8.3.2.3. PORT B

表 8.9 ポートB レジスター設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスター						
	機能			PBDATA	PBCR	PBFRn	PBOD	PBPUP	PBPDN	PBIE
PB0	リセット後		T18	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TRACECLK	Output		0/1	1	PBFR1	0	0	0	0
PB1	リセット後		T18	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TRACEDATA0	Output		0/1	1	PBFR1	0	0	0	0
PB2	リセット後		T18	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TRACEDATA1	Output		0/1	1	PBFR1	0	0	0	0
PB3	リセット後 (TMS/SWDIO)	I/O	T6	0	1(注1)	PBFR1	0	1	0	1
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
PB4	リセット後 (TCK/SWCLK)	Input	T8	0	0	PBFR1	0	0	1	1
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
PB5	リセット後 (TDO/SWV)	Output	T19	0	1(注1)	PBFR1	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
PB6	リセット後 (TDI)	Input	T7	0	0	PBFR1	0	1	0	1
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
PB7	リセット後(TRST)	Input	T7 (注2)	0	0	PBFR1	0	1	0	1
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0

注 1) ツールからのコマンドを受け付けるまでは出力にはなりません。

注 2) ノイズフィルター(30ns typ.)が入ります。

## 8.3.2.4. PORT C

表 8.10 ポートC レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
	機能			PCDATA	PCCR	PCFRn	PCOD	PCPUP	PCPDN	PCIE
PC0	リセット後		T1	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UO0	Output		0/1	1	PCFR1	0/1	0/1	0/1	0
PC1	リセット後		T1	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	XO0	Output		0/1	1	PCFR1	0/1	0/1	0/1	0
PC2	リセット後		T1	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	VO0	Output		0/1	1	PCFR1	0/1	0/1	0/1	0
PC3	リセット後		T1	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	YO0	Output		0/1	1	PCFR1	0/1	0/1	0/1	0
PC4	リセット後		T1	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	WO0	Output		0/1	1	PCFR1	0/1	0/1	0/1	0
PC5	リセット後		T1	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	ZO0	Output		0/1	1	PCFR1	0/1	0/1	0/1	0
PC6	リセット後		T3	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	EMG0	Input		0/1	0	PCFR1	0/1	0/1	0/1	1
PC7	リセット後		T3	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	OVV0	Input		0/1	0	PCFR1	0/1	0/1	0/1	1

## 8.3.2.5. PORT D

表 8.11 ポートD レジスター設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスター						
	機能			PDDATA	PDCR	PDFRn	PDOD	PDPUP	PDPDN	PDIE
PD0	リセット後		T11	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	ENCA0	Input		0/1	0	PDFR1	0/1	0/1	0/1	1
	TBIN5	Input		0/1	0	PDFR2	0/1	0/1	0/1	1
PD1	リセット後		T10	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	ENCB0	Input		0/1	0	PDFR1	0/1	0/1	0/1	1
	TB5OUT	Output		0/1	1	PDFR2	0/1	0/1	0/1	0
PD2	リセット後		T3	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	ENCZ0	Input		0/1	0	PDFR1	0/1	0/1	0/1	1
PD3	リセット後		T4	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT9	Input		0/1	0	PDFR1	0/1	0/1	0/1	1
PD4	リセット後		T9	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	SCLK2	Input		0/1	0	PDFR1	0/1	0/1	0/1	1
		Output		0/1	1		0/1	0/1	0/1	0
CTS2	Input	0/1	0	PDFR2	0/1	0/1	0/1	1		
PD5	リセット後		T2	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TXD2	Output		0/1	1	PDFR1	0/1	0/1	0/1	0
PD6	リセット後		T3	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	RXD2	Input		0/1	0	PDFR1	0/1	0/1	0/1	1

## 8.3.2.6. PORT E

表 8.12 ポートE レジスター設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスター							
	機能			PEDATA	PECR	PEFRn	PEOD	PEPUP	PEPDN	PEIE	
PE0	リセット後		T2	0	0	0	0	0	0	0	
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0/1	0
	TXD0	Output		0/1	1	PEFR1	0/1	0/1	0/1	0/1	0
PE1	リセット後		T3	0	0	0	0	0	0	0	
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0/1	0
	RXD0	Input		0/1	0	PEFR1	0/1	0/1	0/1	0/1	1
PE2	リセット後		T9	0	0	0	0	0	0	0	
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0/1	0
	SCLK0	Input		PEFR1	0/1	0	0/1	0/1	0/1	0/1	1
		Output			0/1	1	0/1	0/1	0/1	0/1	0
CTS0	Input	0/1	0	PEFR2	0/1	0/1	0/1	0/1	1		
PE3	リセット後		T2	0	0	0	0	0	0	0	
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0/1	0
	TB4OUT	Output		0/1	1	PEFR1	0/1	0/1	0/1	0/1	0
PE4	リセット後		T12	0	0	0	0	0	0	0	
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0/1	0
	TB2IN	Input		0/1	0	PEFR1	0/1	0/1	0/1	0/1	1
	INT5	Input		0/1	0	PEFR2	0/1	0/1	0/1	0/1	1
PE5	リセット後		T2	0	0	0	0	0	0	0	
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0/1	0
	TB2OUT	Output		0/1	1	PEFR1	0/1	0/1	0/1	0/1	0
PE6	リセット後		T12	0	0	0	0	0	0	0	
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0/1	0
	TB3IN	Input		0/1	0	PEFR1	0/1	0/1	0/1	0/1	1
	INT6	Input		0/1	0	PEFR2	0/1	0/1	0/1	0/1	1
PE7	リセット後		T14	0	0	0	0	0	0	0	
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0/1	0
	TB3OUT	Output		0/1	1	PEFR1	0/1	0/1	0/1	0/1	0
	INT7	Input		0/1	0	PEFR2	0/1	0/1	0/1	0/1	1

## 8.3.2.7. PORT F

表 8.13 ポートF レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ							
	機能			PFDATA	PFCR	PFFRn	PFOD	PFPUP	PFPDN	PFIE	
PF0	リセット中( $\overline{\text{BOOT}}$ ) (注)	Input	T20	0	0	0	0	1	0	0	
	リセット後			0	0	0	0	0	0	0	
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1	
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0	
	TB7IN	Input		0/1	0	PFFR1	0/1	0/1	0/1	1	
PF1	リセット後	Input	T2	0	0	0	0	0	0	0	
	Input Port			0/1	0	0	0/1	0/1	0/1	1	
	Output Port			0/1	1	0	0/1	0/1	0/1	0	
	TB7OUT			Output	0/1	1	PFFR1	0/1	0/1	0/1	0
PF2	リセット後	Input	T15	0	0	0	0	0	0	0	
	Input Port			0/1	0	0	0/1	0/1	0/1	1	
	Output Port			0/1	1	0	0/1	0/1	0/1	0	
	ENCA1			Input	0/1	0	PFFR1	0/1	0/1	0/1	1
	SCLK3			Input	0/1	0	PFFR2	0/1	0/1	0/1	1
				Output	0/1	1		0/1	0/1	0/1	0
	CTS3			Input	0/1	0	PFFR3	0/1	0/1	0/1	1
PF3	リセット後	Input	T10	0	0	0	0	0	0	0	
	Input Port			0/1	0	0	0/1	0/1	0/1	1	
	Output Port			0/1	1	0	0/1	0/1	0/1	0	
	ENCB1			Input	0/1	0	PFFR1	0/1	0/1	0/1	1
	TXD3			Output	0/1	1	PFFR2	0/1	0/1	0/1	0
PF4	リセット後	Input	T11	0	0	0	0	0	0	0	
	Input Port			0/1	0	0	0/1	0/1	0/1	1	
	Output Port			0/1	1	0	0/1	0/1	0/1	0	
	ENCZ1			Input	0/1	0	PFFR1	0/1	0/1	0/1	1
	RXD3			Input	0/1	0	PFFR2	0/1	0/1	0/1	1

注) リセット端子( $\overline{\text{RESET}}$ )によるリセット期間中は PFPUP は許可状態("1")となります。PFIE レジスタは"0"ですが、 $\overline{\text{BOOT}}$ 信号が入力可能となります。

## 8.3.2.8. PORT G

表 8.14 ポートG レジスター設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスター						
	機能			PGDATA	PGCR	PGFRn	PGOD	PGPUP	PGPDN	PGIE
PG0	リセット後		T1	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UO1	Output		0/1	1	PGFR1	0/1	0/1	0/1	0
PG1	リセット後		T1	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	XO1	Output		0/1	1	PGFR1	0/1	0/1	0/1	0
PG2	リセット後		T1	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	VO1	Output		0/1	1	PGFR1	0/1	0/1	0/1	0
PG3	リセット後		T1	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	YO1	Output		0/1	1	PGFR1	0/1	0/1	0/1	0
PG4	リセット後		T1	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	WO1	Output		0/1	1	PGFR1	0/1	0/1	0/1	0
PG5	リセット後		T1	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	ZO1	Output		0/1	1	PGFR1	0/1	0/1	0/1	0
PG6	リセット後		T3	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	EMG1	Input		0/1	0	PGFR1	0/1	0/1	0/1	1
PG7	リセット後		T3	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	OVV1	Input		0/1	0	PGFR1	0/1	0/1	0/1	1

## 8.3.2.9. PORT H

表 8.15 ポートH レジスター設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスター						
	機能			PHDATA	PHCR	PHFRn	PHOD	PHPUP	PHPDN	PHIE
PH0	リセット後		T17	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT0	Input		0/1	0	PHFR1	0/1	0/1	0/1	1
	AINA0	Input		0/1	0	0	0/1	0	0	0
PH1	リセット後		T17	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT1	Input		0/1	0	PHFR1	0/1	0/1	0/1	1
	AINA1	Input		0/1	0	0	0/1	0	0	0
PH2	リセット後		T17	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT2	Input		0/1	0	PHFR1	0/1	0/1	0/1	1
	AINA2	Input		0/1	0	0	0/1	0	0	0
PH3	リセット後		T16	0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA3	Input		0/1	0	N/A	0/1	0	0	0
PH4	リセット後		T16	0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA4	Input		0/1	0	N/A	0/1	0	0	0
PH5	リセット後		T16	0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA5	Input		0/1	0	N/A	0/1	0	0	0
PH6	リセット後		T16	0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA6	Input		0/1	0	N/A	0/1	0	0	0
PH7	リセット後		T16	0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA7	Input		0/1	0	N/A	0/1	0	0	0

## 8.3.2.10. PORT I

表 8.16 ポートI レジスター設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスター						
	機能			PIDATA	PICR	PIFRn	PIOD	PIPUP	PIPDN	PIIE
PI0	リセット後		T16	0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA8	Input		0/1	0	N/A	0/1	0	0	0
PI1	リセット後		T16	0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA9/AINB0	Input		0/1	0	N/A	0/1	0	0	0
PI2	リセット後		T16	0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA10/AINB1	Input		0/1	0	N/A	0/1	0	0	0
PI3	リセット後		T16	0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA11/AINB2	Input		0/1	0	N/A	0/1	0	0	0

## 8.3.2.11. PORT J

表 8.17 ポートJ レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
	機能			PJDATA	PJCR	PJFRn	PJOD	PJPUP	PJPDN	PJIE
PJ0	リセット後		T16	0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINB3	Input		0/1	0	N/A	0/1	0	0	0
PJ1	リセット後		T16	0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINB4	Input		0/1	0	N/A	0/1	0	0	0
PJ2	リセット後		T16	0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINB5	Input		0/1	0	N/A	0/1	0	0	0
PJ3	リセット後		T16	0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINB6	Input		0/1	0	N/A	0/1	0	0	0
PJ4	リセット後		T16	0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINB7	Input		0/1	0	N/A	0/1	0	0	0
PJ5	リセット後		T16	0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINB8	Input		0/1	0	N/A	0/1	0	0	0
PJ6	リセット後		T17	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INTC	Input		0/1	0	PJFR1	0/1	0/1	0/1	1
	AINB9	Input		0/1	0	0	0/1	0	0	0
PJ7	リセット後		T17	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INTD	Input		0/1	0	PJFR1	0/1	0/1	0/1	1
	AINB10	Input		0/1	0	0	0/1	0	0	0

## 8.3.2.12. PORT K

表 8.18 ポートK レジスター設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスター						
	機能			PKDATA	PKCR	PKFRn	PKOD	PKPUP	PKPDN	PKIE
PK0	リセット後		T17	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INTE	Input		0/1	0	PKFR1	0/1	0/1	0/1	1
	AINB11	Input		0/1	0	0	0/1	0	0	0
PK1	リセット後		T17	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INTF	Input		0/1	0	PKFR1	0/1	0/1	0/1	1
	AINB12	Input		0/1	0	0	0/1	0	0	0

## 8.3.2.13. PORT L

表 8.19 ポートL レジスター設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスター						
	機能			PLDATA	PLCR	PLFRn	PLOD	PLPUP	PLPDN	PLIE
PL0	リセット後		T5	N/A	N/A	0	N/A	N/A	N/A	0
	Input Port	Input		N/A	N/A	0	N/A	N/A	N/A	1
	Output Port	Output		N/A	N/A	0	N/A	N/A	N/A	0
	INTB	Input		N/A	N/A	PLFR1	N/A	N/A	N/A	1
PL1	リセット後		T5	N/A	N/A	0	N/A	N/A	N/A	0
	Input Port	Input		N/A	N/A	0	N/A	N/A	N/A	1
	Output Port	Output		N/A	N/A	0	N/A	N/A	N/A	0
	INTA	Input		N/A	N/A	PLFR1	N/A	N/A	N/A	1

## 8.4. ポート回路図

ポートには、T1 ~ T21 のタイプがあります。それぞれの回路図を次ページから示します。

回路図内の"I/O リセット"は、パワーオンリセット(POR)または端子リセットを示します。ただし、デバッグ用端子(TMS/SWDIO、TDI、TDO/SWV、TCK/SWCLK、 $\overline{\text{TRST}}$ )の I/O リセットは、パワーオンリセット(POR)のみとなります。

## 8.4.1. タイプ T1

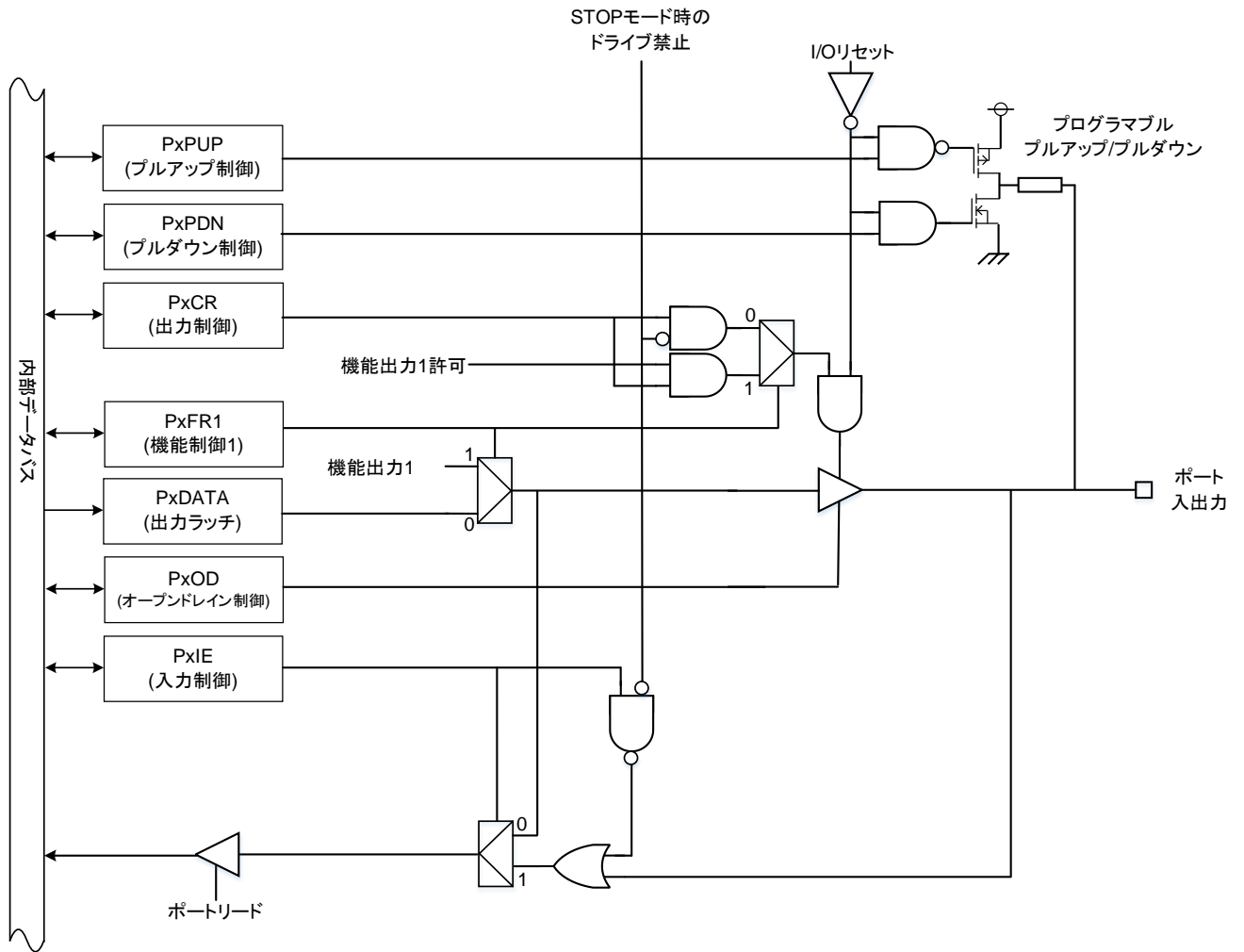


図 8.1 ポートタイプT1

8.4.2. タイプ T2

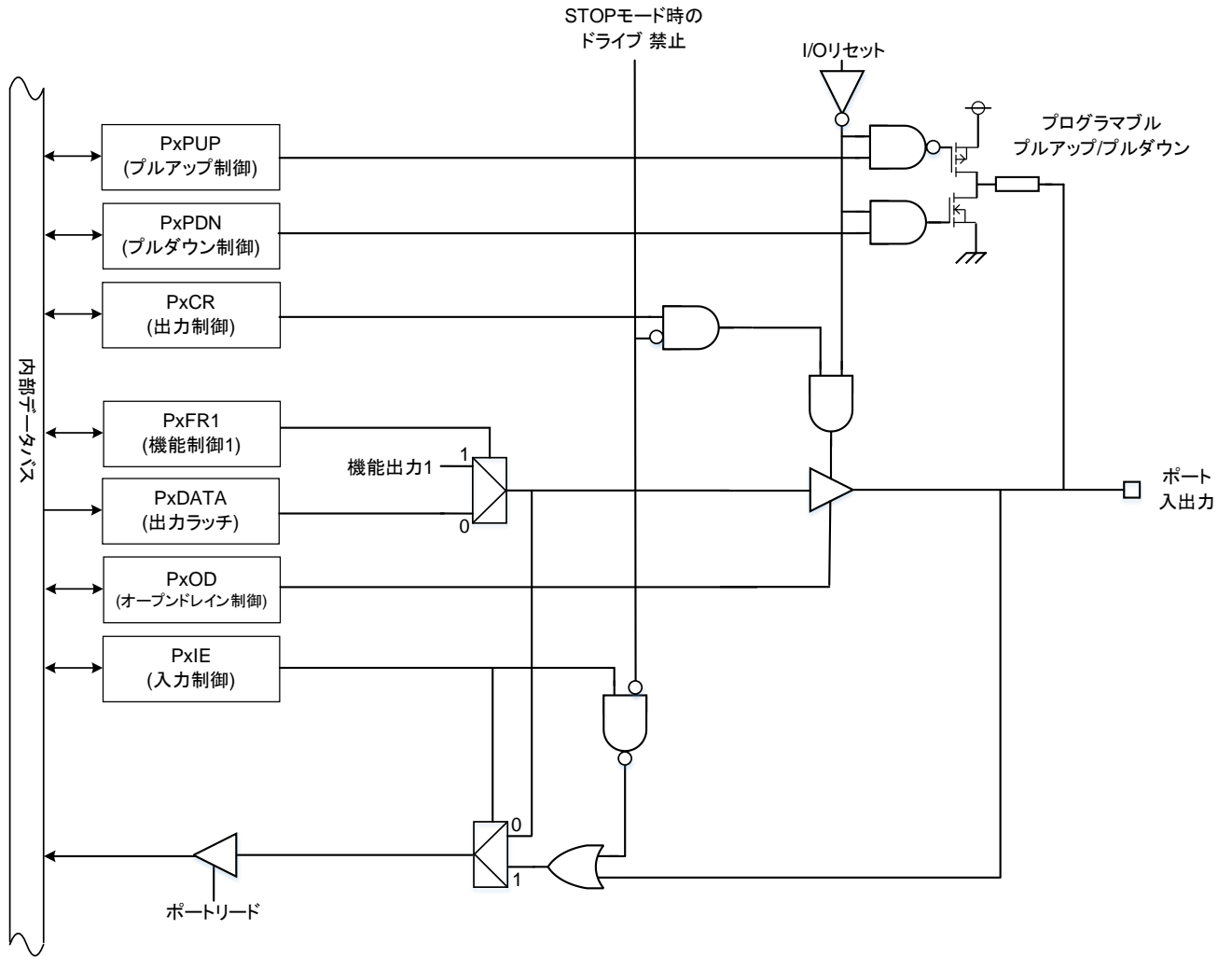


図 8.2 ポートタイプT2

8.4.3. タイプ T3

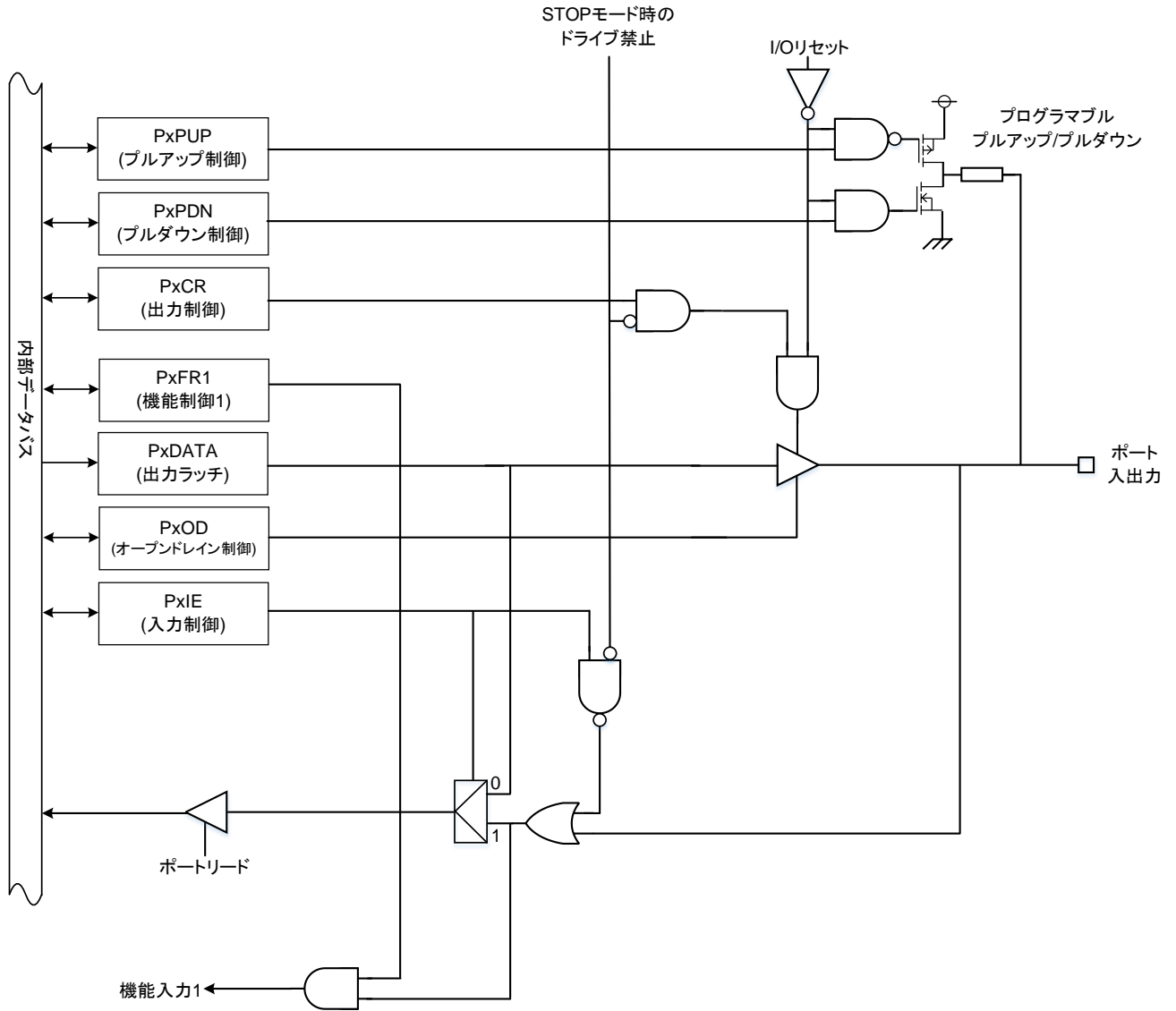


図 8.3 ポートタイプT3

## 8.4.4. タイプ T4

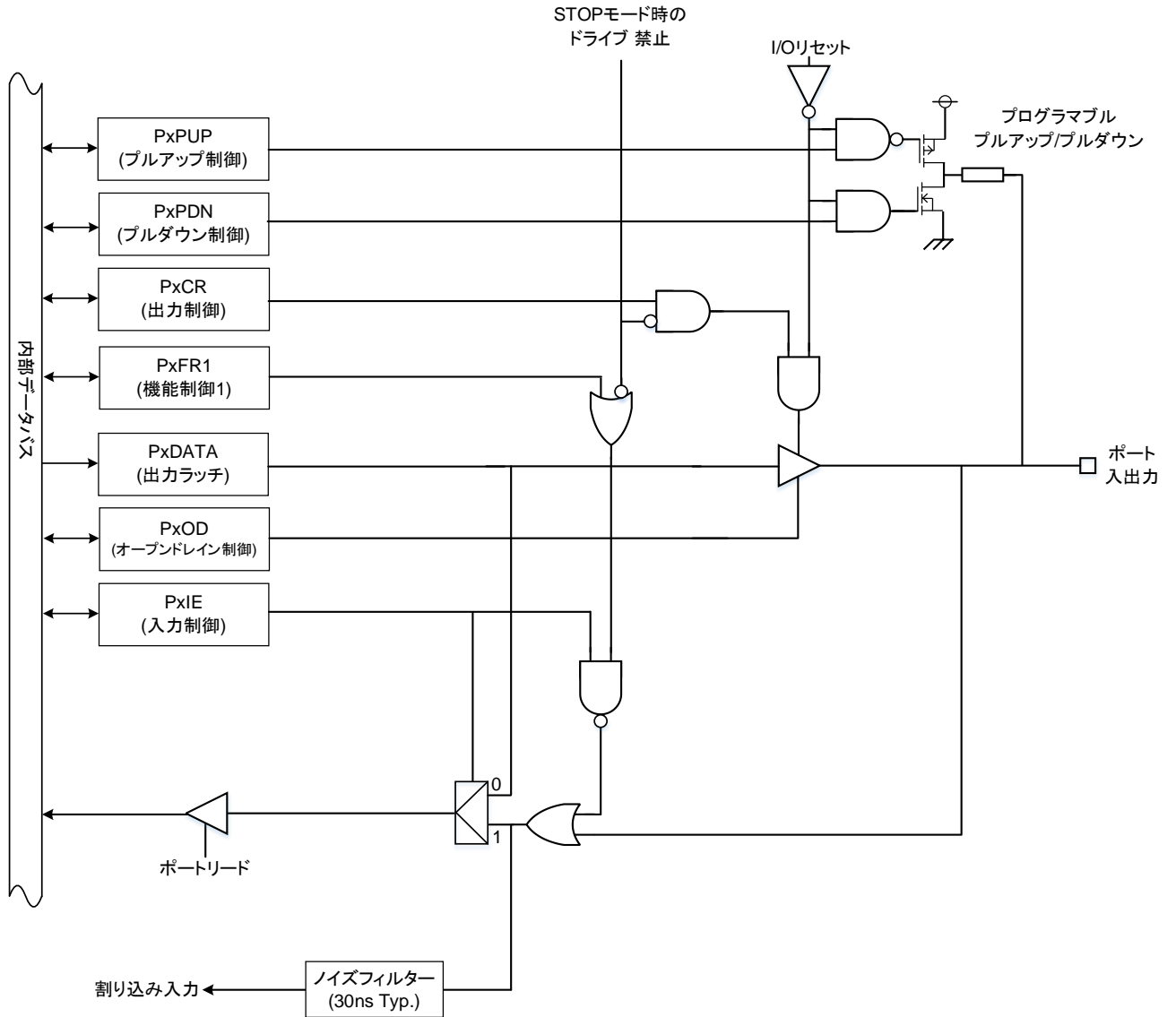


図 8.4 ポートタイプT4

## 8.4.5. タイプ T5

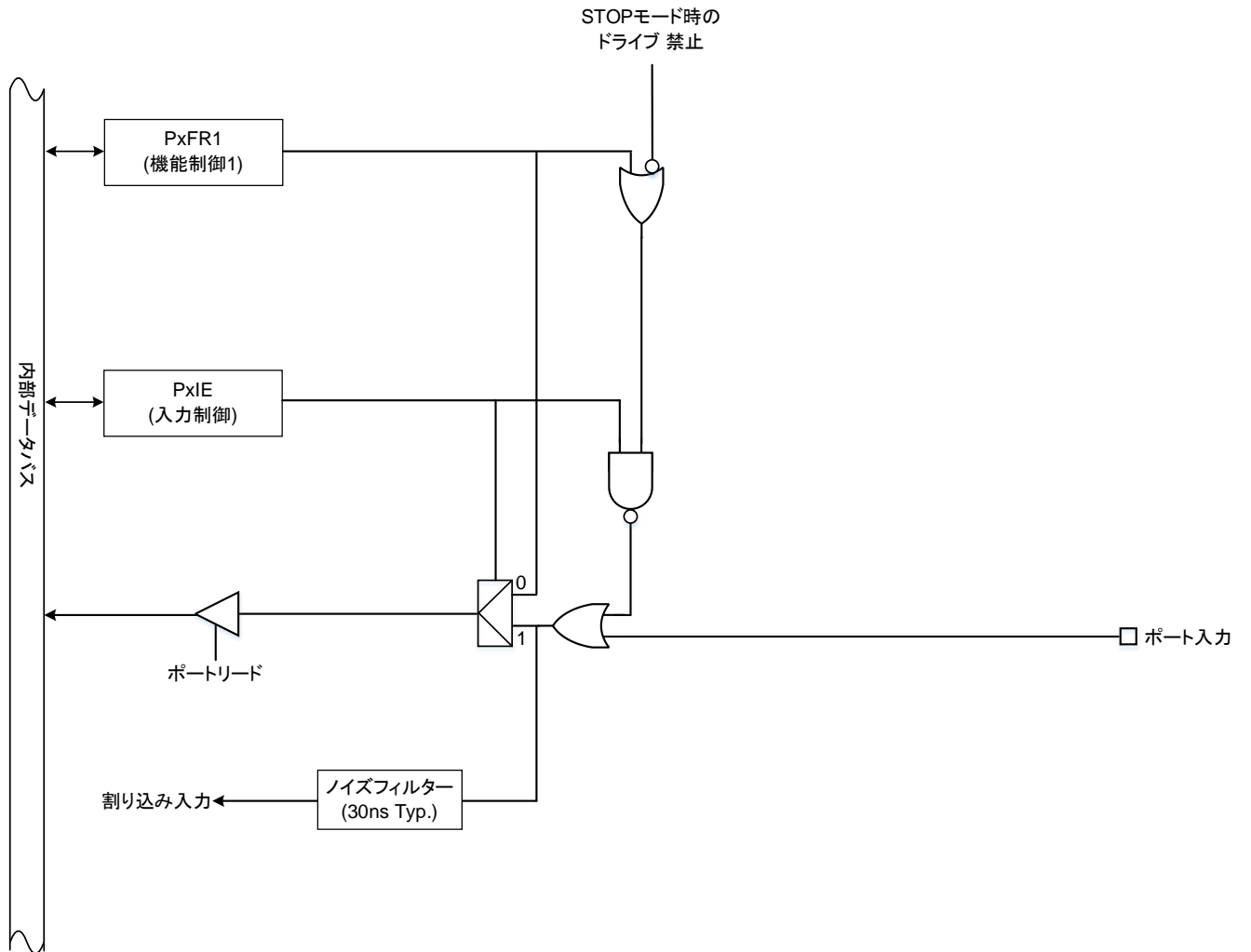


図 8.5 ポートタイプT5

## 8.4.6. タイプ T6

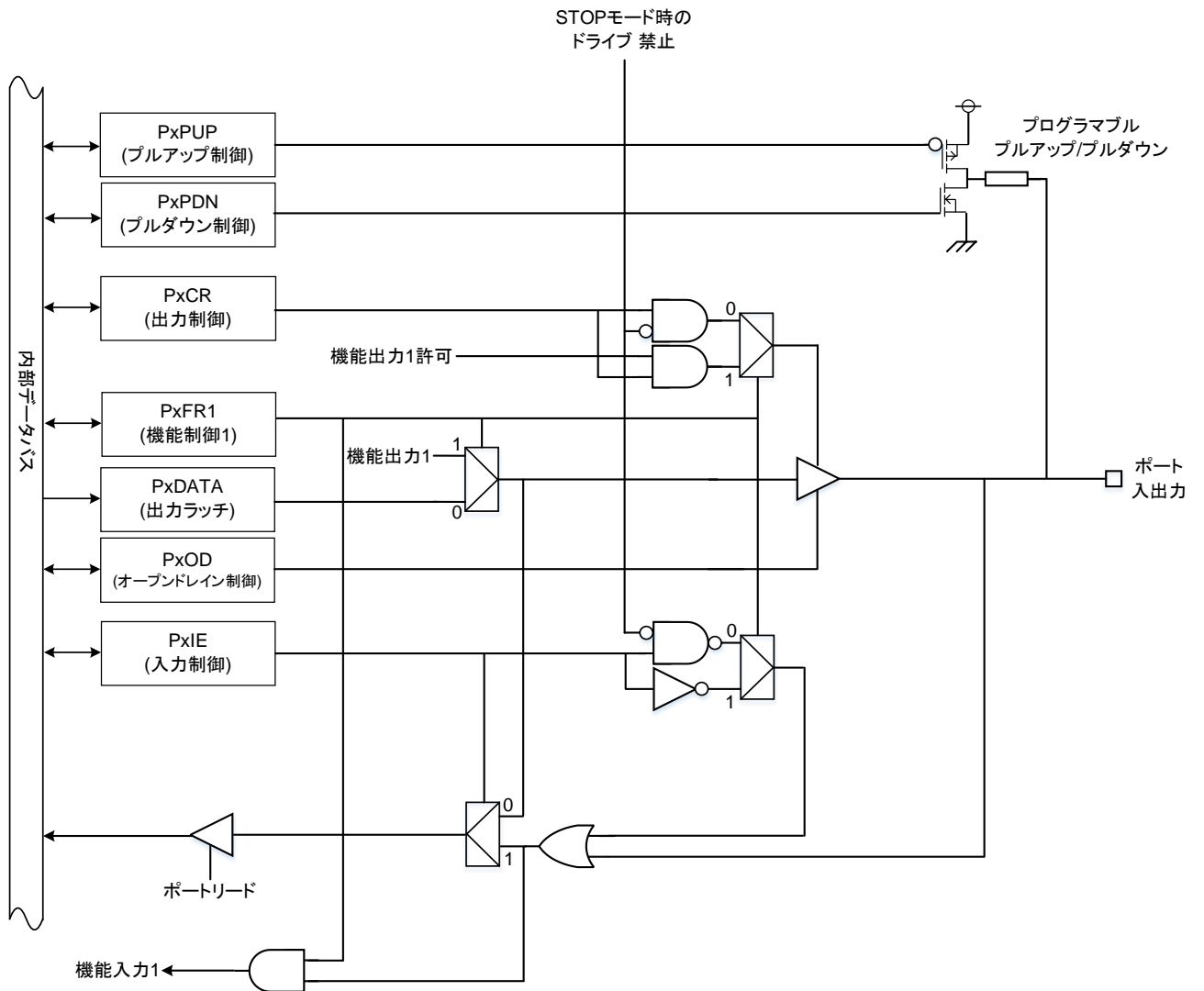


図 8.6 ポートタイプT6

8.4.7. タイプ T7

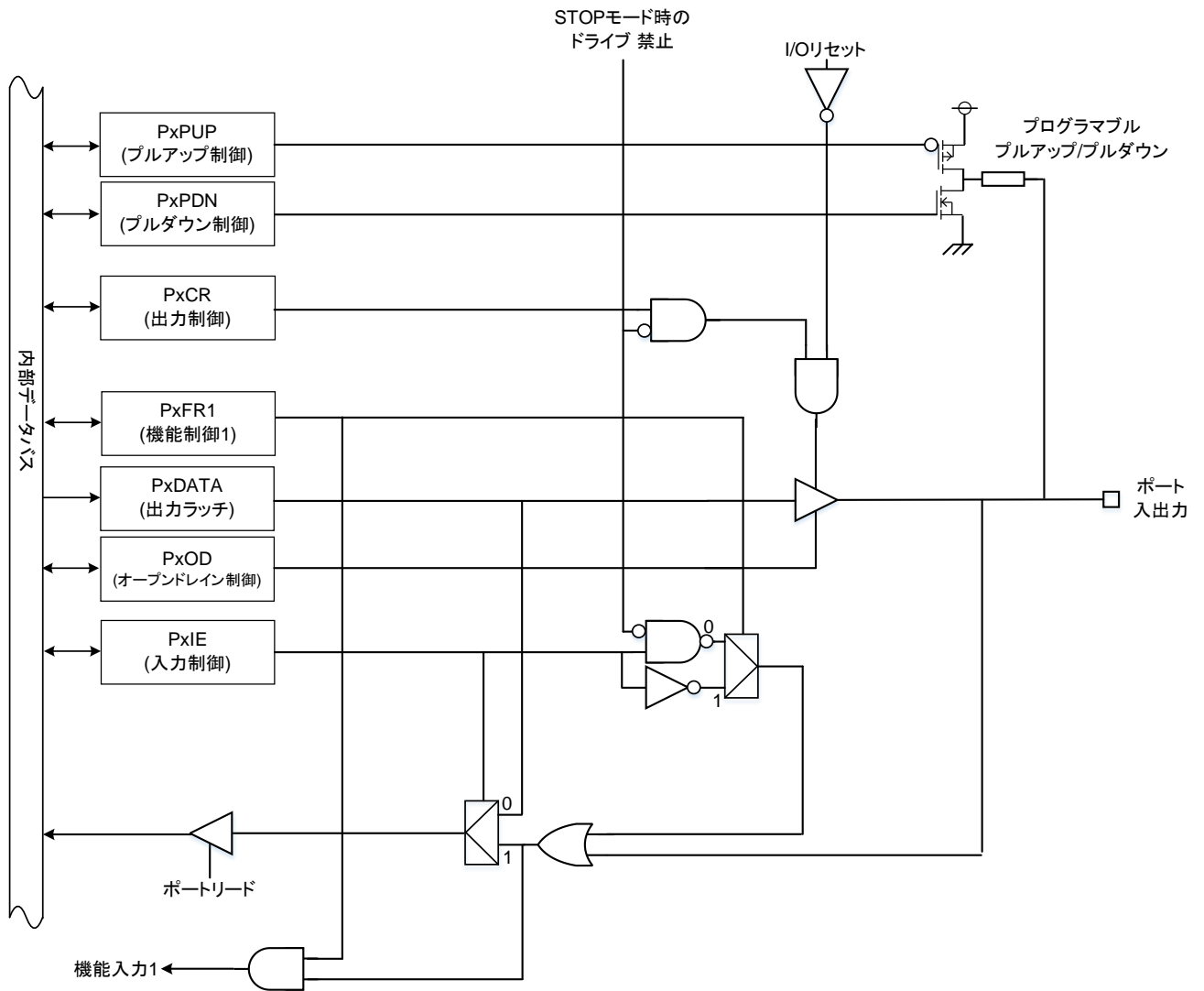


図 8.7 ポートタイプT7

## 8.4.8. タイプ T8

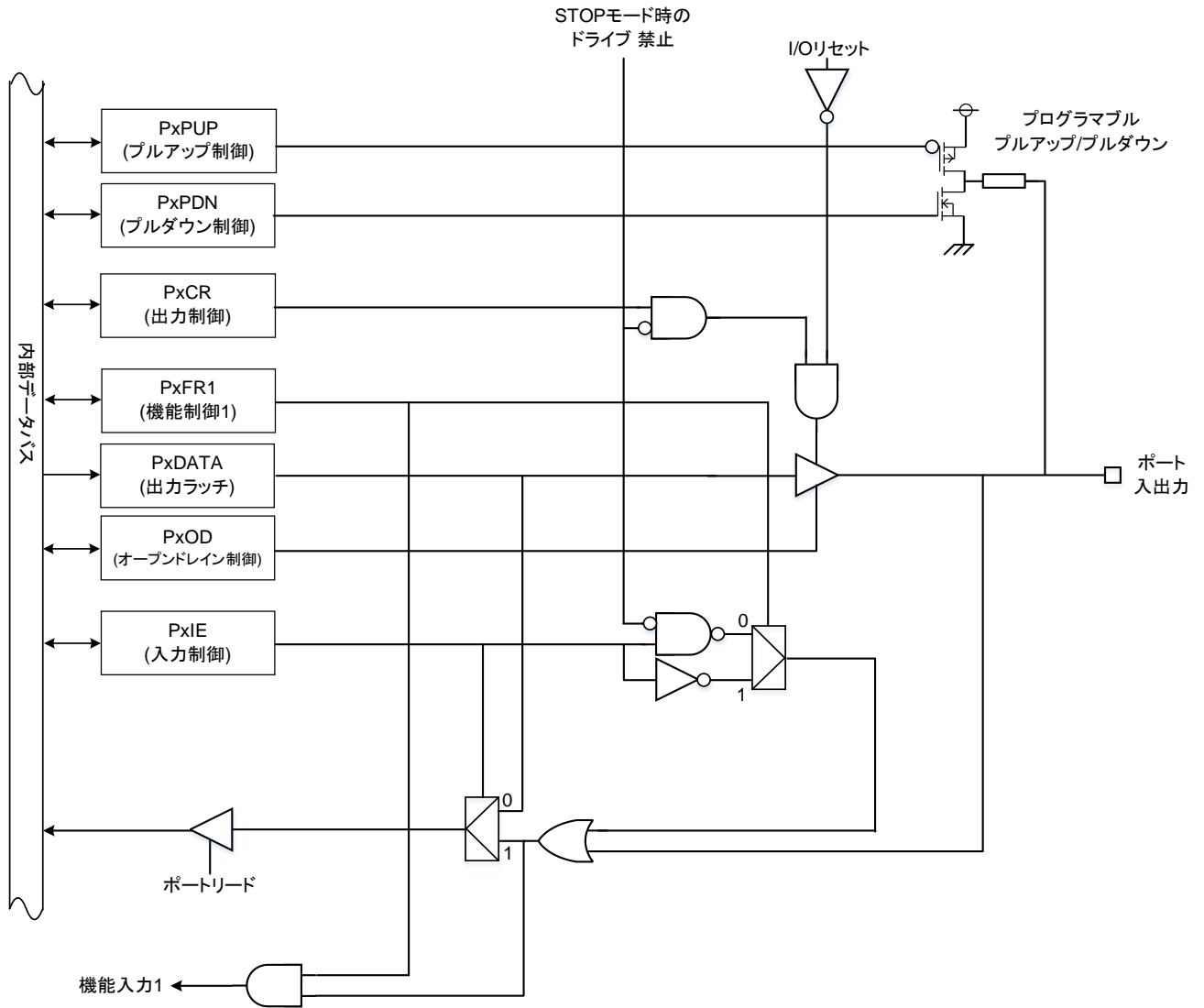


図 8.8 ポートタイプT8

## 8.4.9. タイプ T9

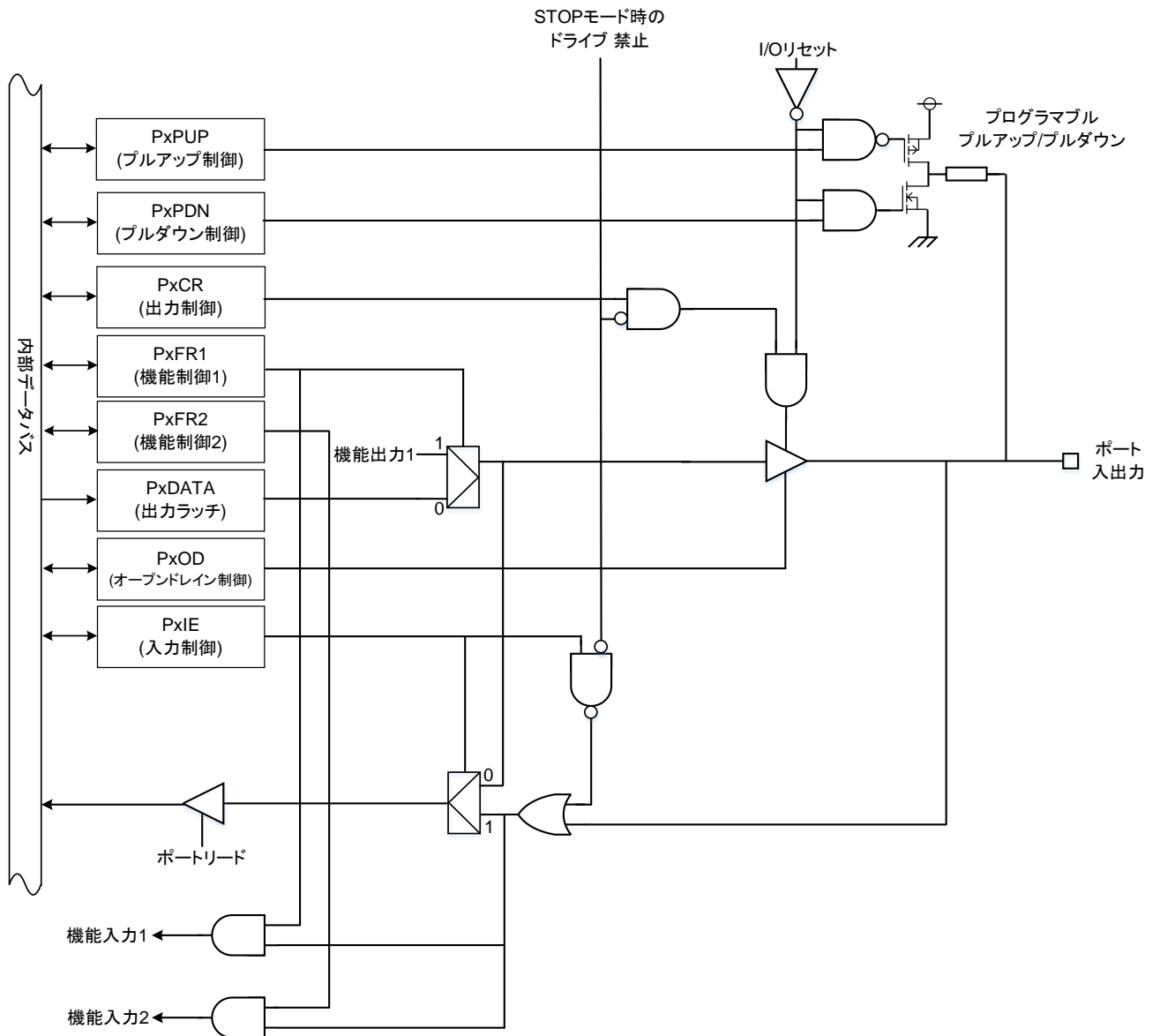


図 8.9 ポートタイプT9

8.4.10. タイプ T10

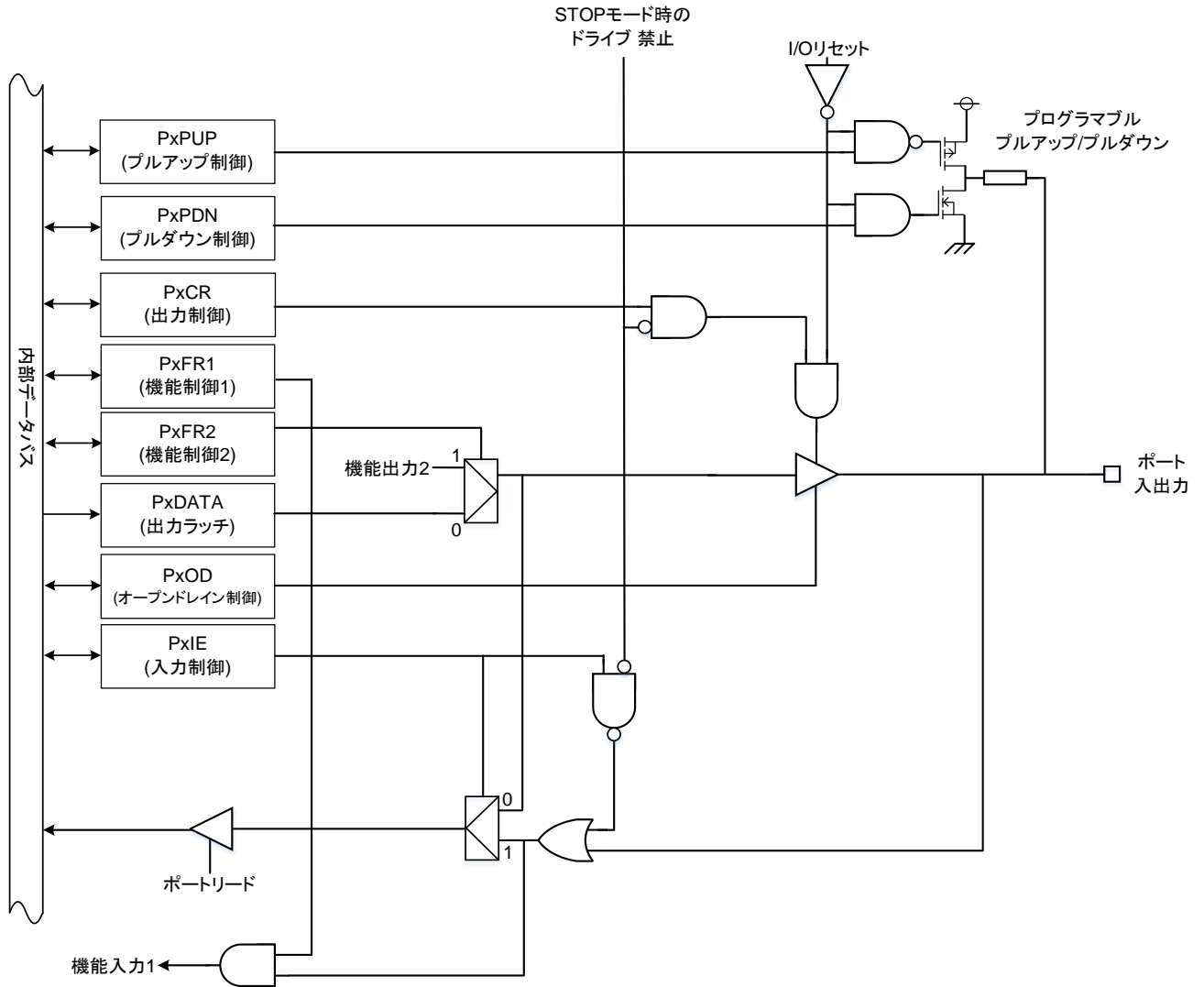


図 8.10 ポートタイプT10

## 8.4.11. タイプ T11

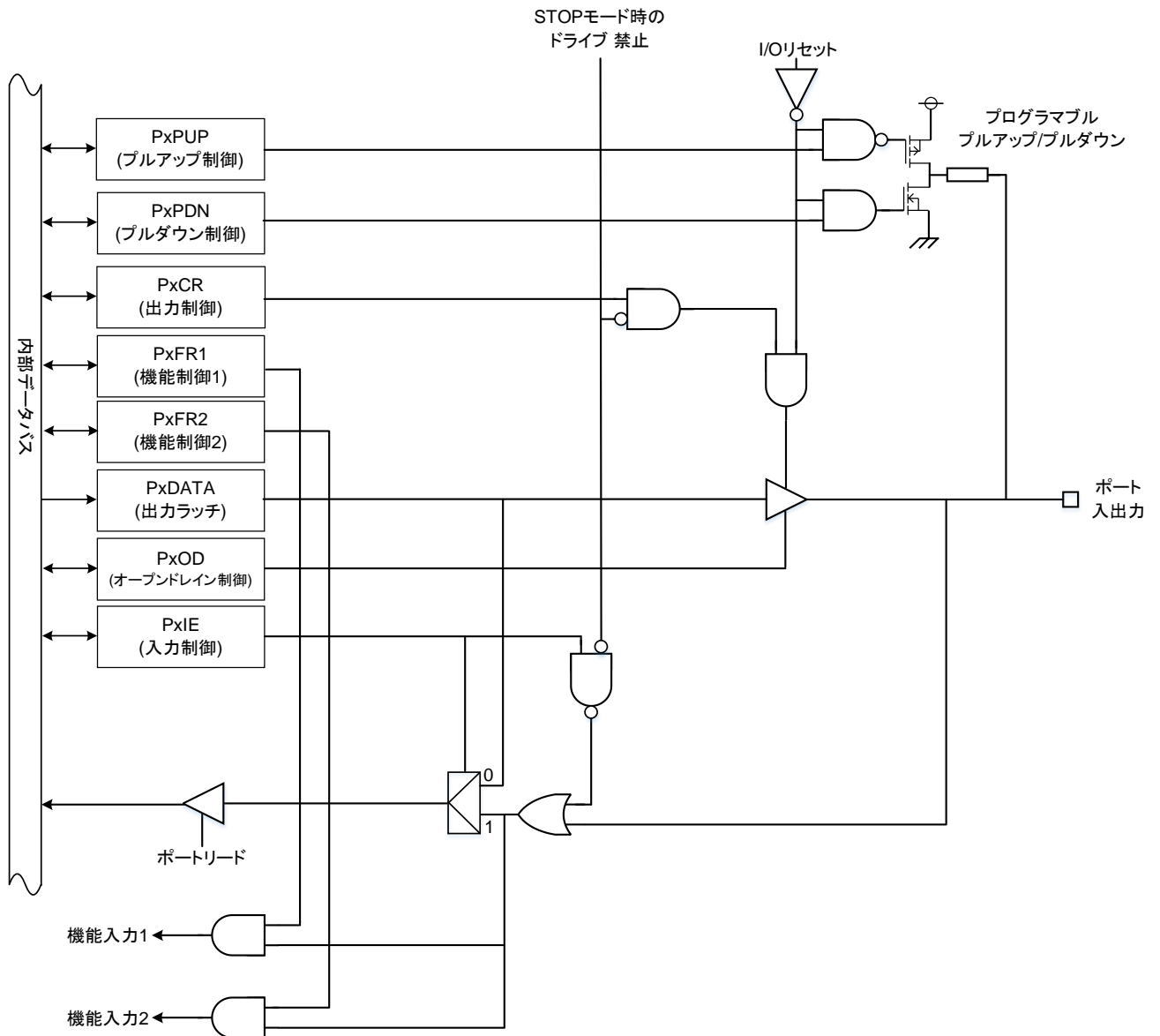


図 8.11 ポートタイプT11

## 8.4.12. タイプ T12

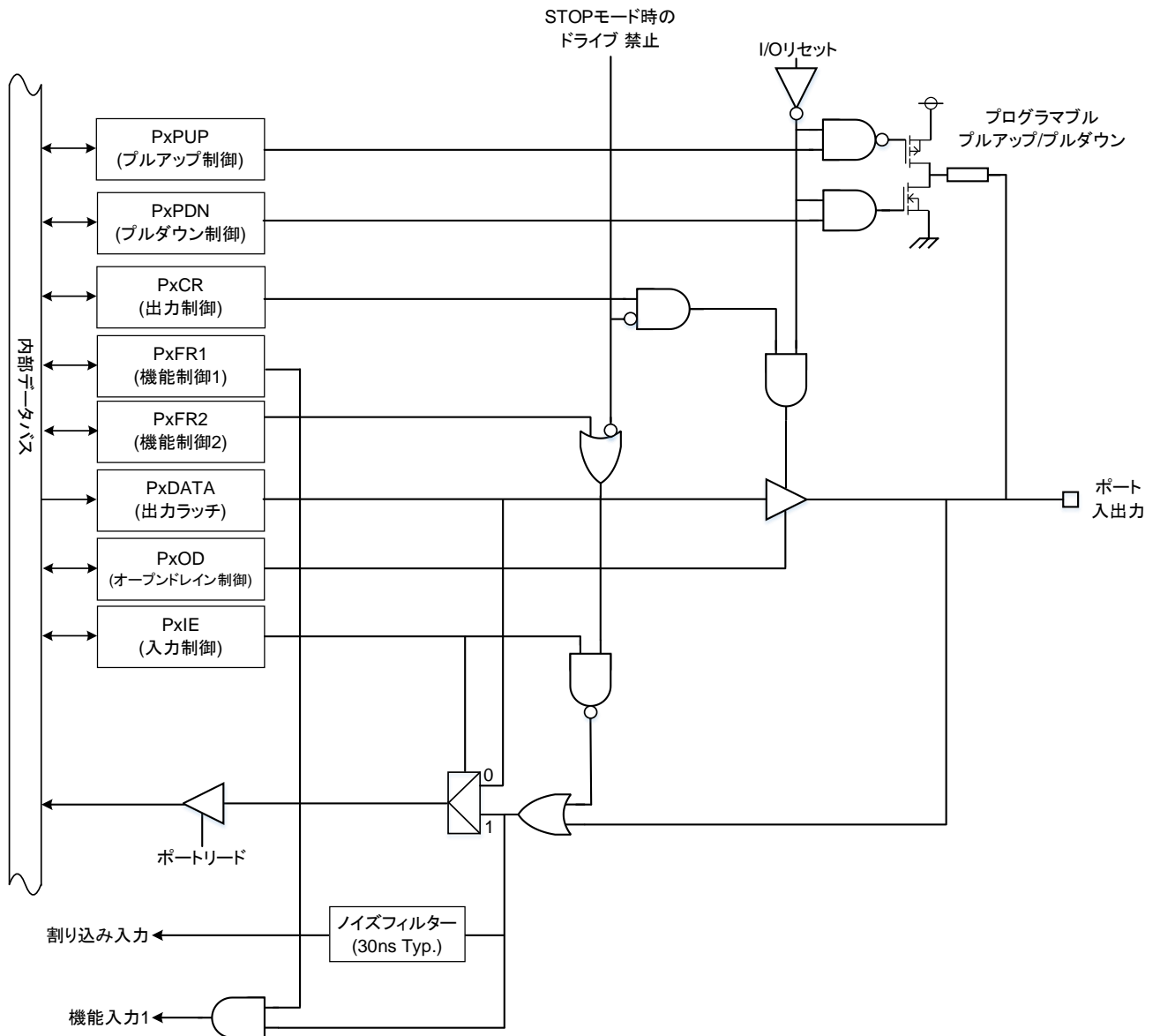


図 8.12 ポートタイプT12

## 8.4.13. タイプ T13

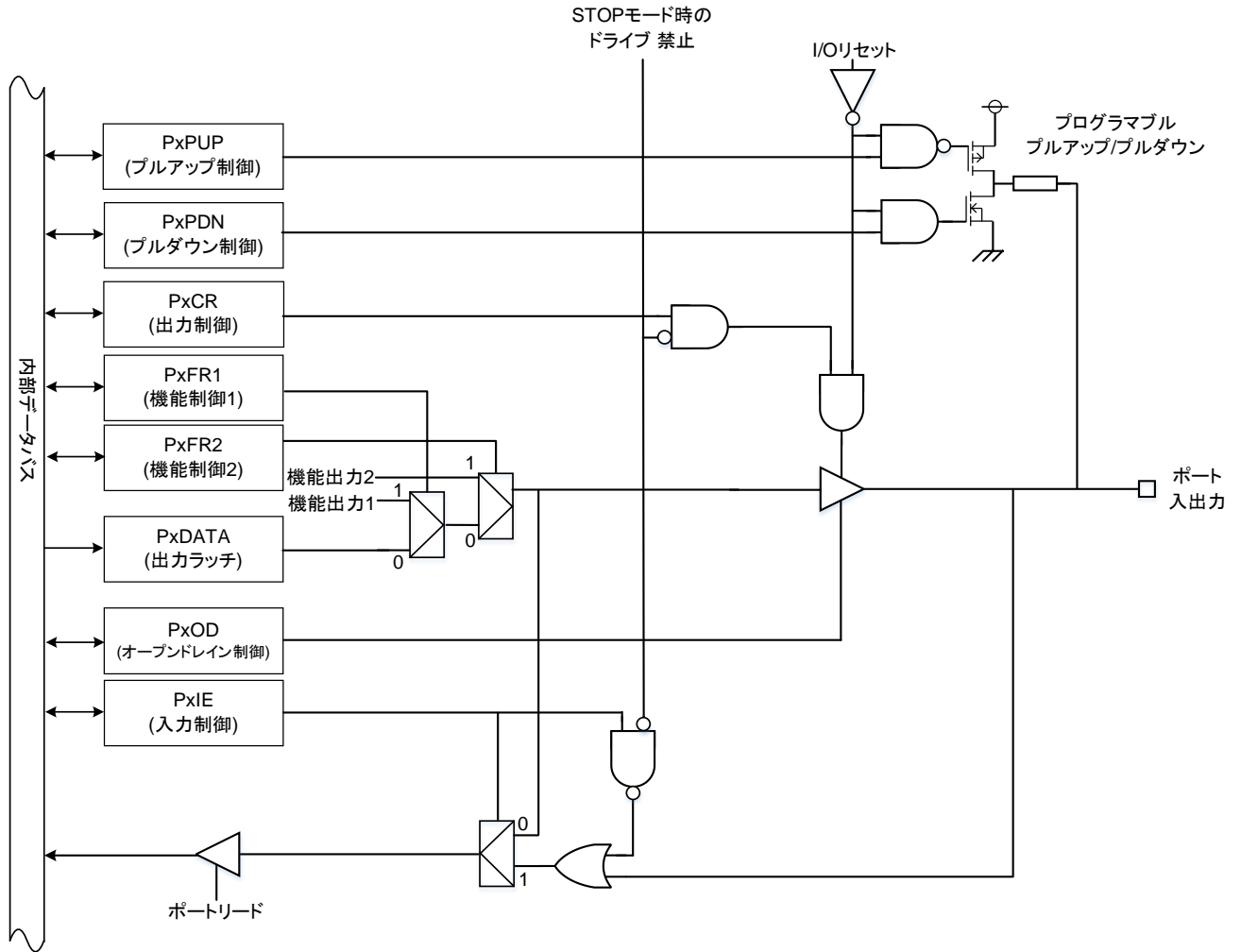


図 8.13 ポートタイプT13

8.4.14. タイプ T14

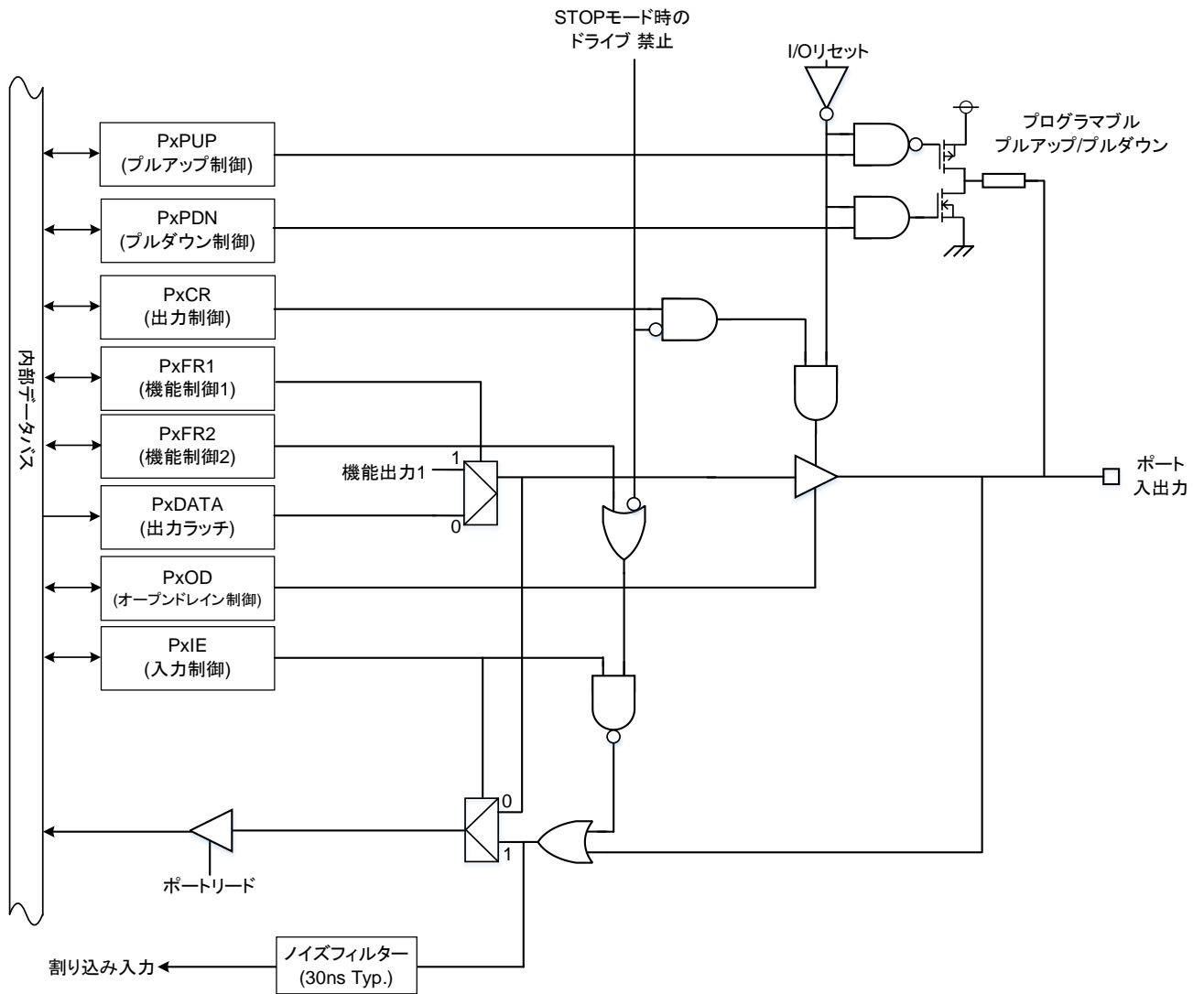


図 8.14 ポートタイプT14

8.4.15. タイプ T15

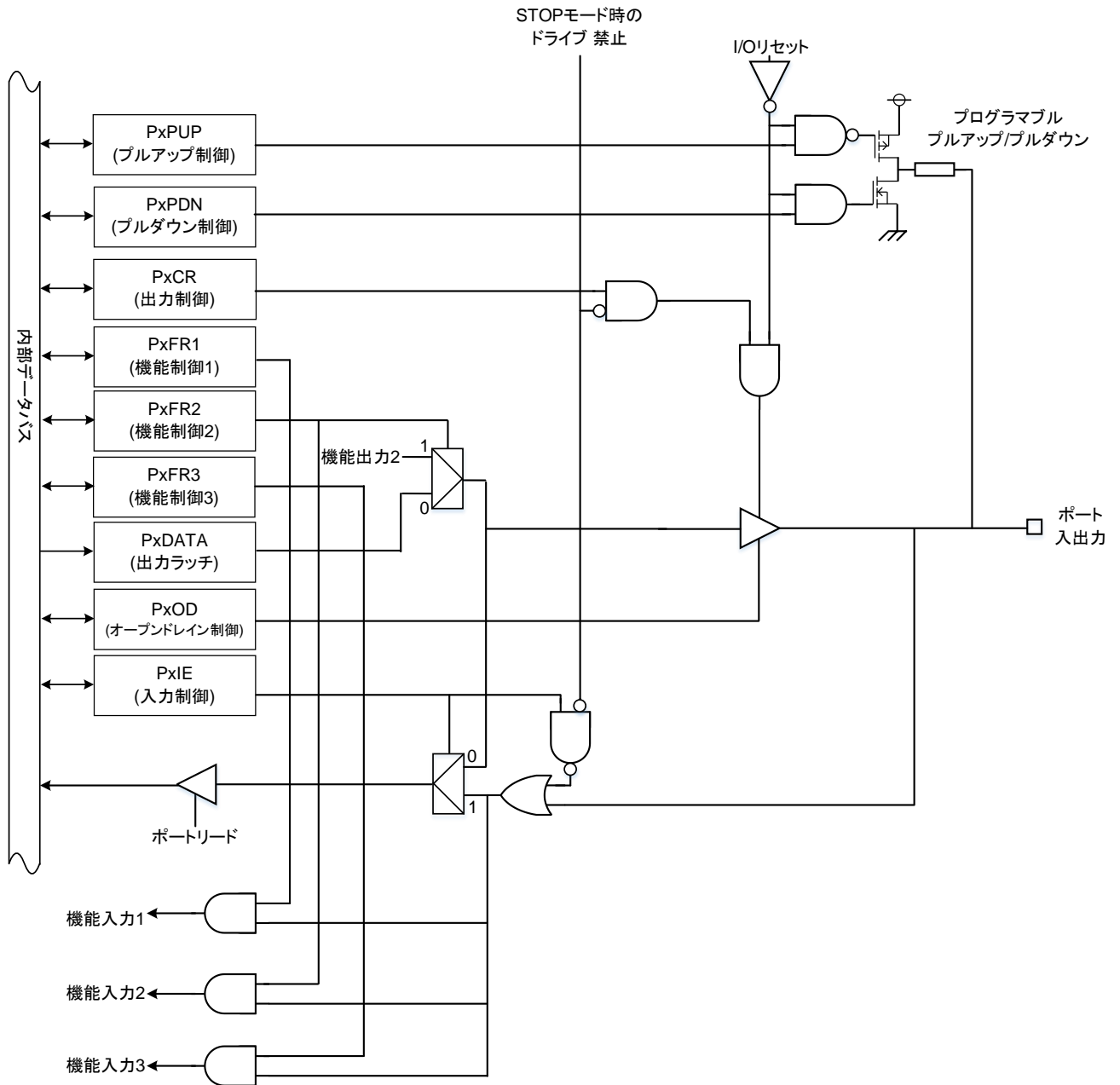


図 8.15 ポートタイプT15

8.4.16. タイプ T16

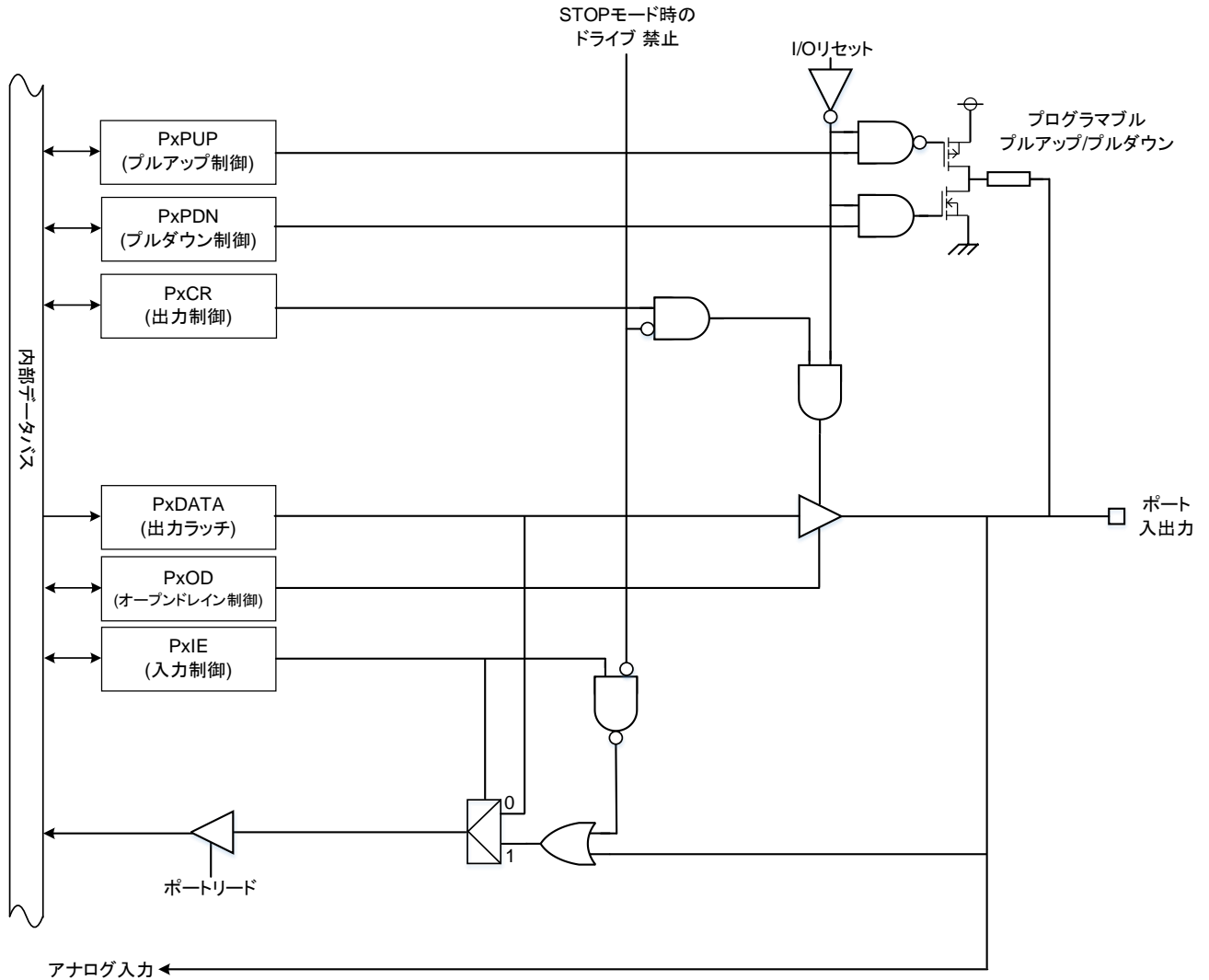


図 8.16 ポートタイプT16

8.4.17. タイプ T17

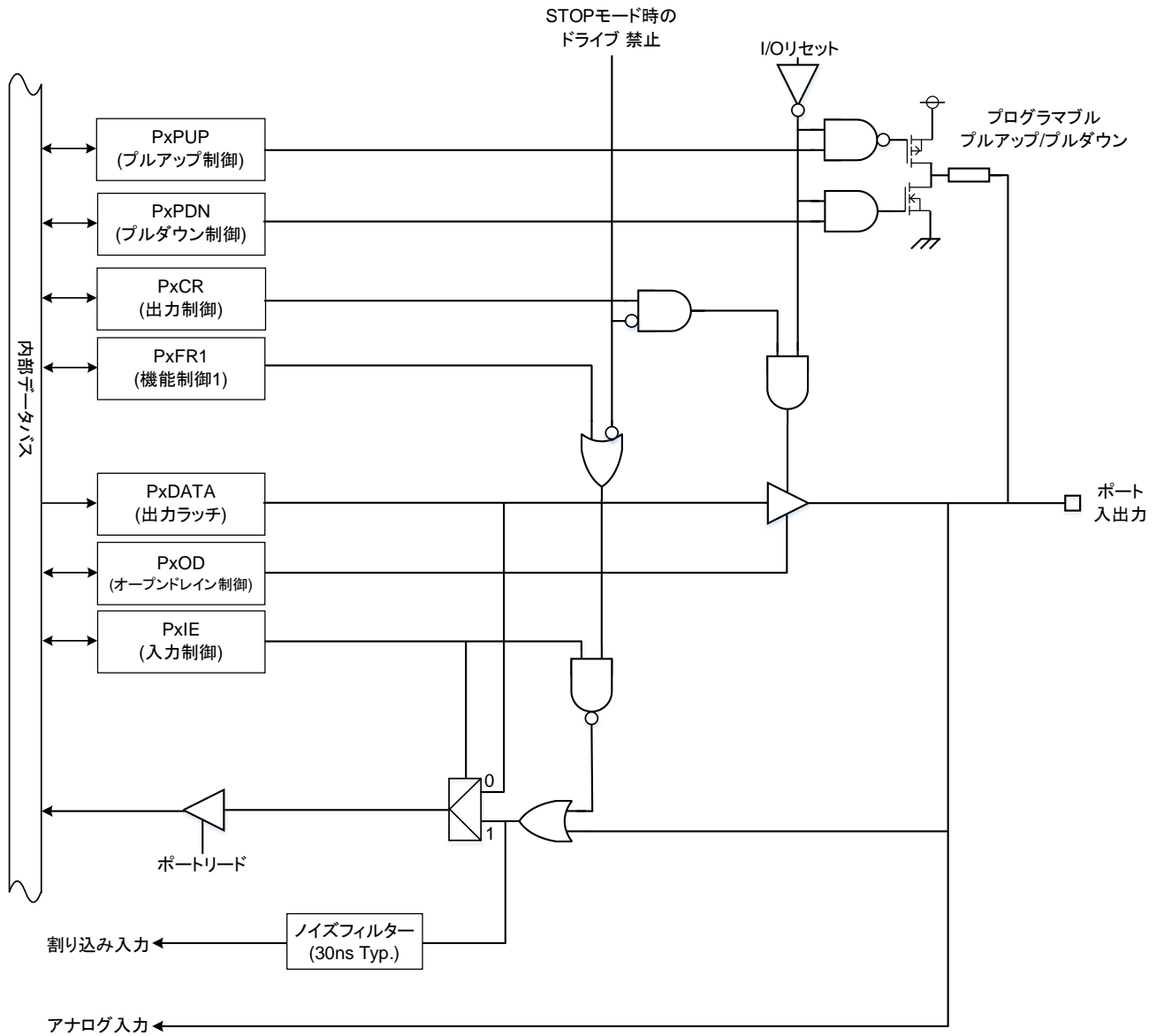


図 8.17 ポートタイプT17

8.4.18. タイプ T18

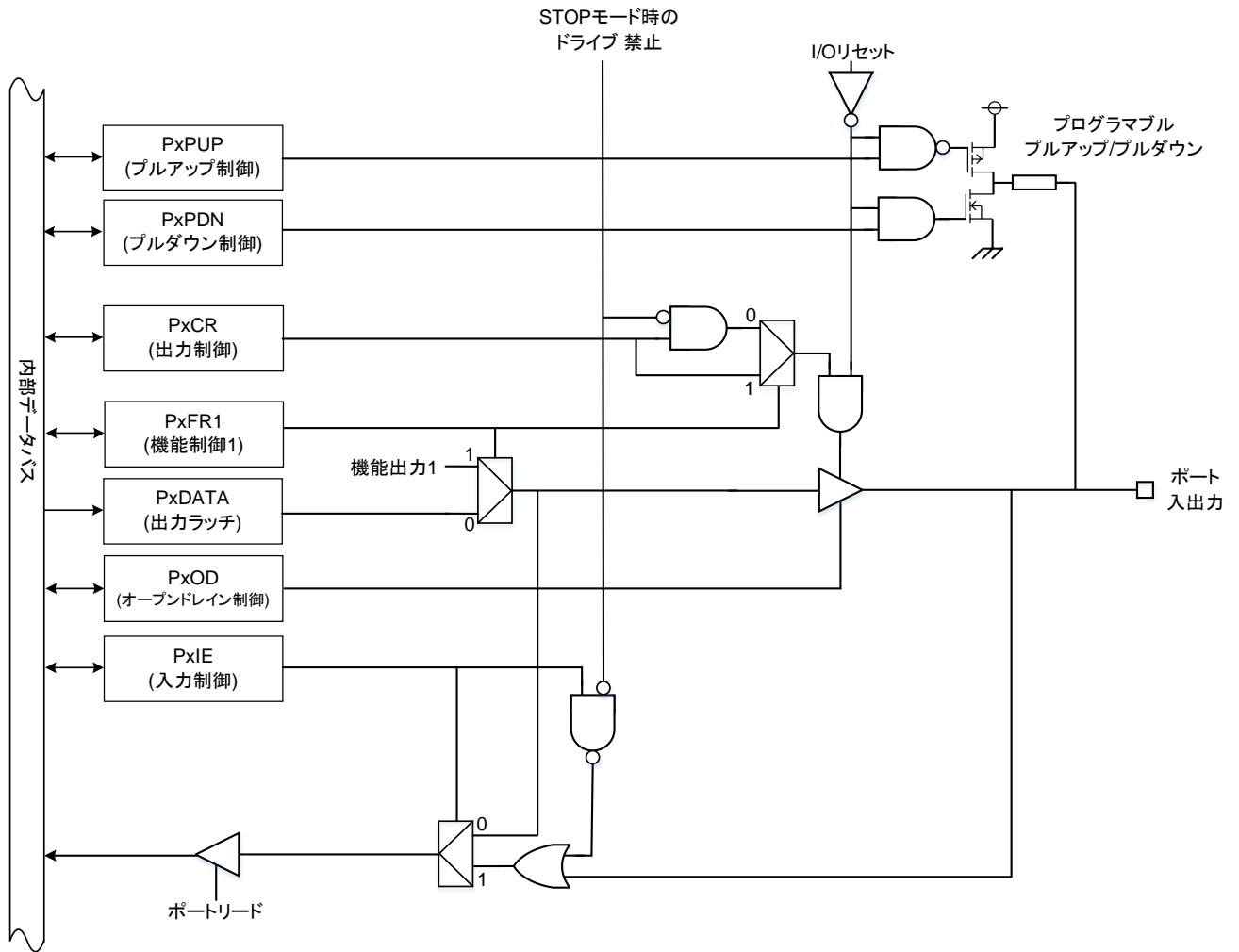


図 8.18 ポートタイプT18

8.4.19. タイプ T19

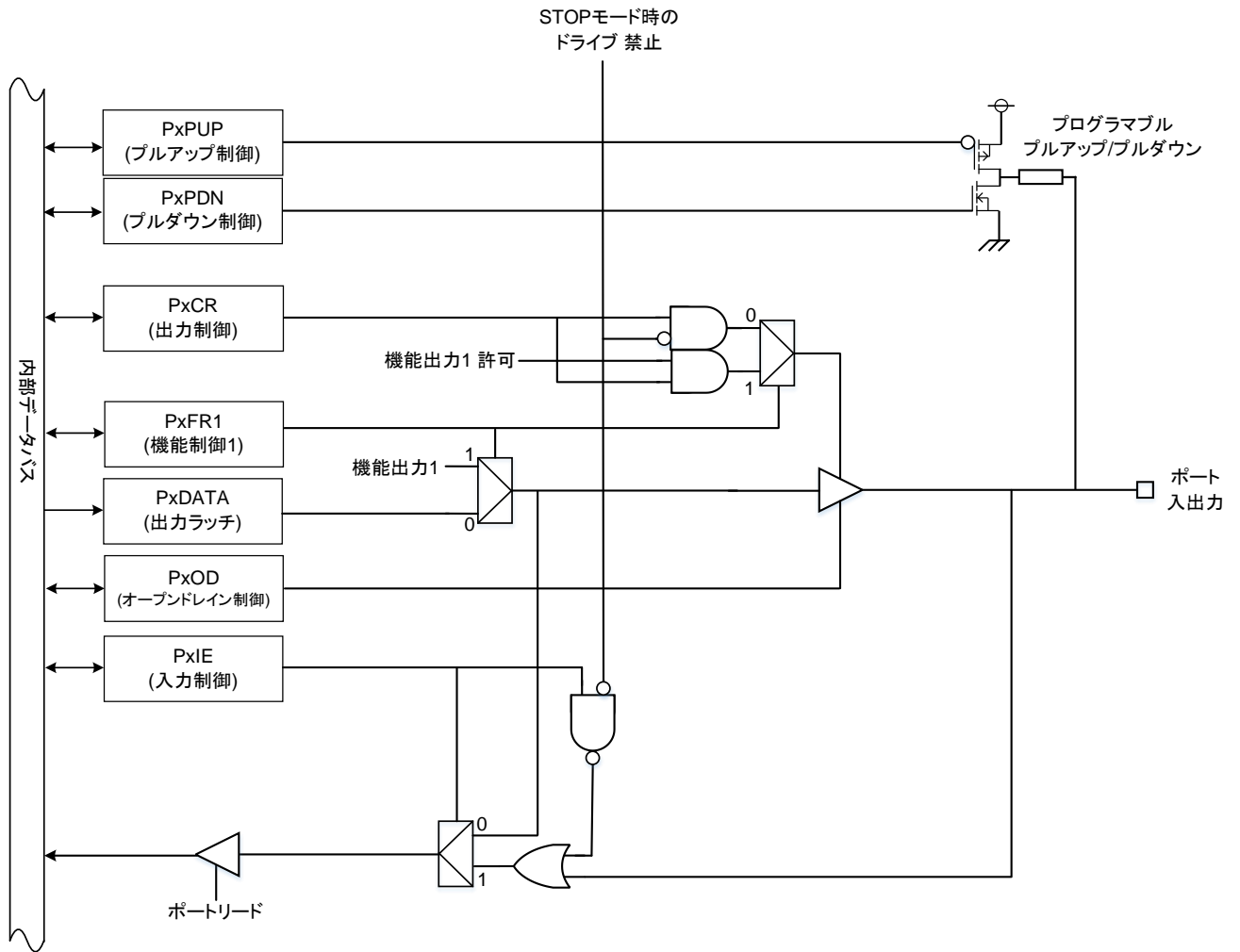


図 8.19 ポートタイプT19

## 8.4.20. タイプ T20

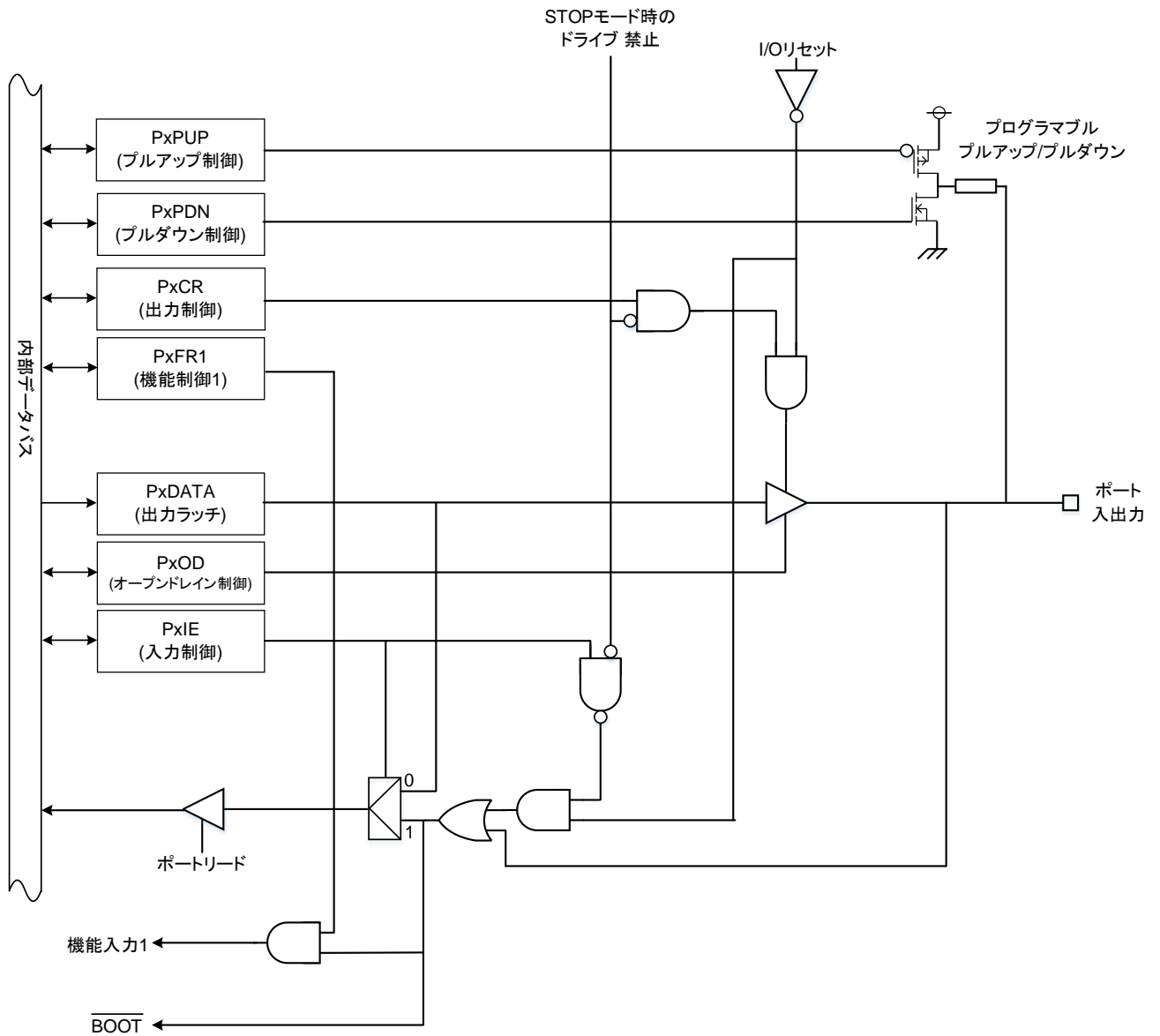


図 8.20 ポートタイプT20

## 8.4.21. タイプ T21

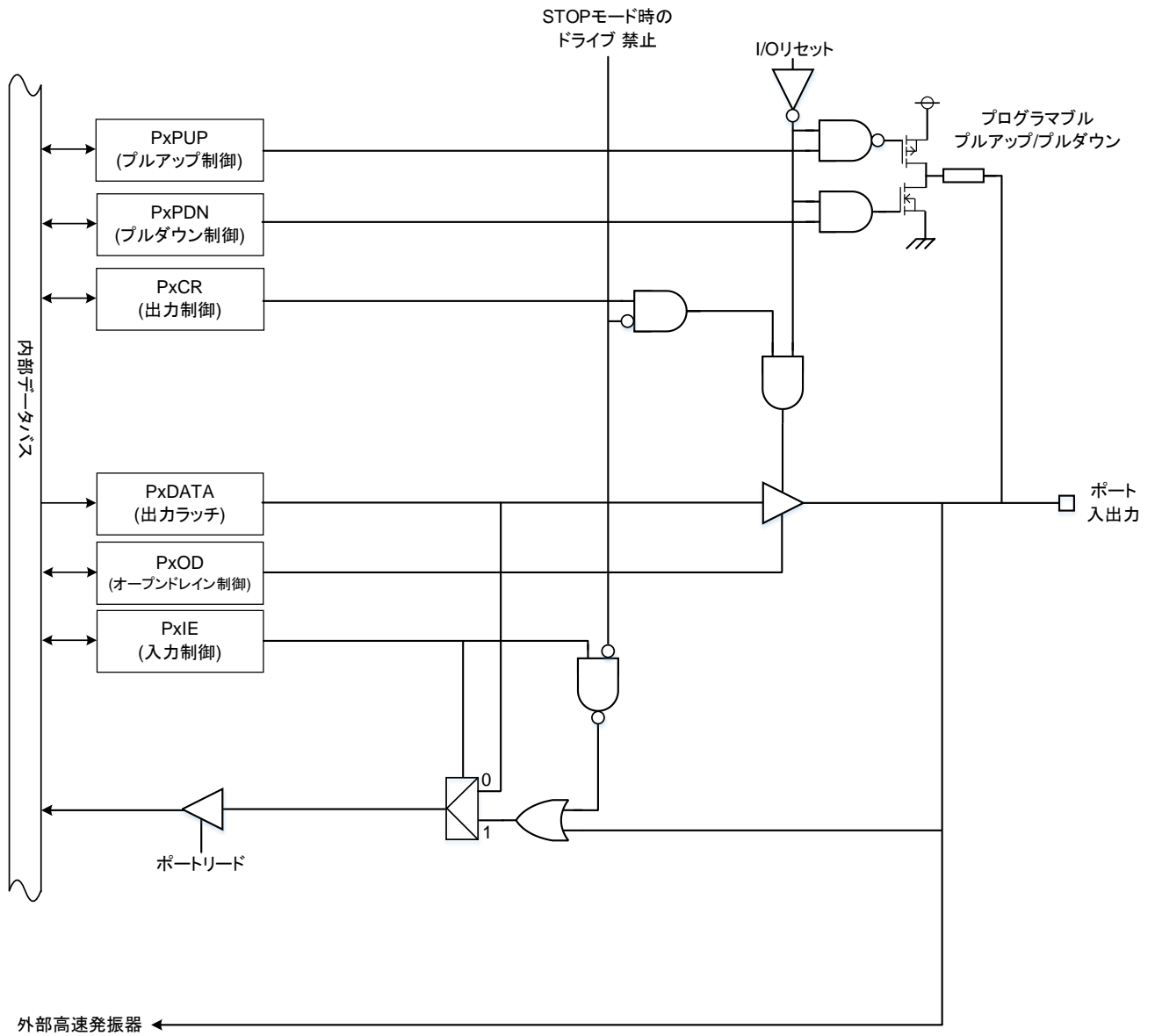


図 8.21 ポートタイプT21

## 8.5. 使用上のご注意およびお願い事項

### 8.5.1. リセット期間中の端子状態について

リセット期間中、下記以外の端子はハイインピーダンス状態となり、プルアップ・プルダウンも無効状態となります。

- デバッグ用端子(PB3～PB7)はデバッグ端子状態となります。
- PF0(BOOT)は端子リセット期間中は入力およびプルアップが許可となっており、リセット信号の立ち上がりで、PF0が"High"レベルの場合、シングルチップモードとなり内蔵フラッシュメモリーから起動し、PF0が"Low"レベルの場合、シングルブートモードとなり内蔵BOOT ROMから起動します。

### 8.5.2. 未使用端子の処理について

未使用端子は、1本ずつ抵抗を通して電源端子または1本ずつ抵抗を通してGND端子に固定することを推奨します。

一般にハイインピーダンスの端子を開放状態で製品を動作させると、外部からのノイズを受け誘起電圧が発生してLSI内部で静電破壊やラッチアップが発生することがあります。

### 8.5.3. デバッグ用端子を汎用ポートとして使用する際の注意

リセット解除後ユーザープログラムでデバッグ用端子を汎用ポートに設定すると、それ以降はデバッグツールからの接続ができなくなり制御ができなくなります。

デバッグツールによるデバッグができなくなった場合、シングルブートモードに設定しUART接続でフラッシュ消去することで、再度デバッグツールと接続することができます。詳細は「20.1 フラッシュメモリー」を参照してください。

## 9. 16ビットタイマー/イベントカウンター(TMRB)

### 9.1. 概要

TMRB は、次の機能をもっています。

- 16ビットインターバルタイマーモード
- 16ビットイベントカウンターモード
- 16ビットプログラマブル矩形波出力(PPG)モード
- 外部トリガープログラマブル矩形波出力(PPG)モード

また、キャプチャー機能を利用することで、次のような用途に使用することができます。

- 外部トリガーからのワンショットパルス出力
- パルス幅測定

以下の説明中、「x」はチャンネル番号を表します。

9.2. 構成

16ビットアップカウンタ、16ビットタイマーレジスタ2本(ダブルバッファ構成)、16ビットのキャプチャレジスタ2本、コンパレータ2個、および、キャプチャ入力制御、タイマーフリップフロップとその制御回路で構成されています。タイマーの動作モードやタイマーフリップフロップはレジスタで制御されます。

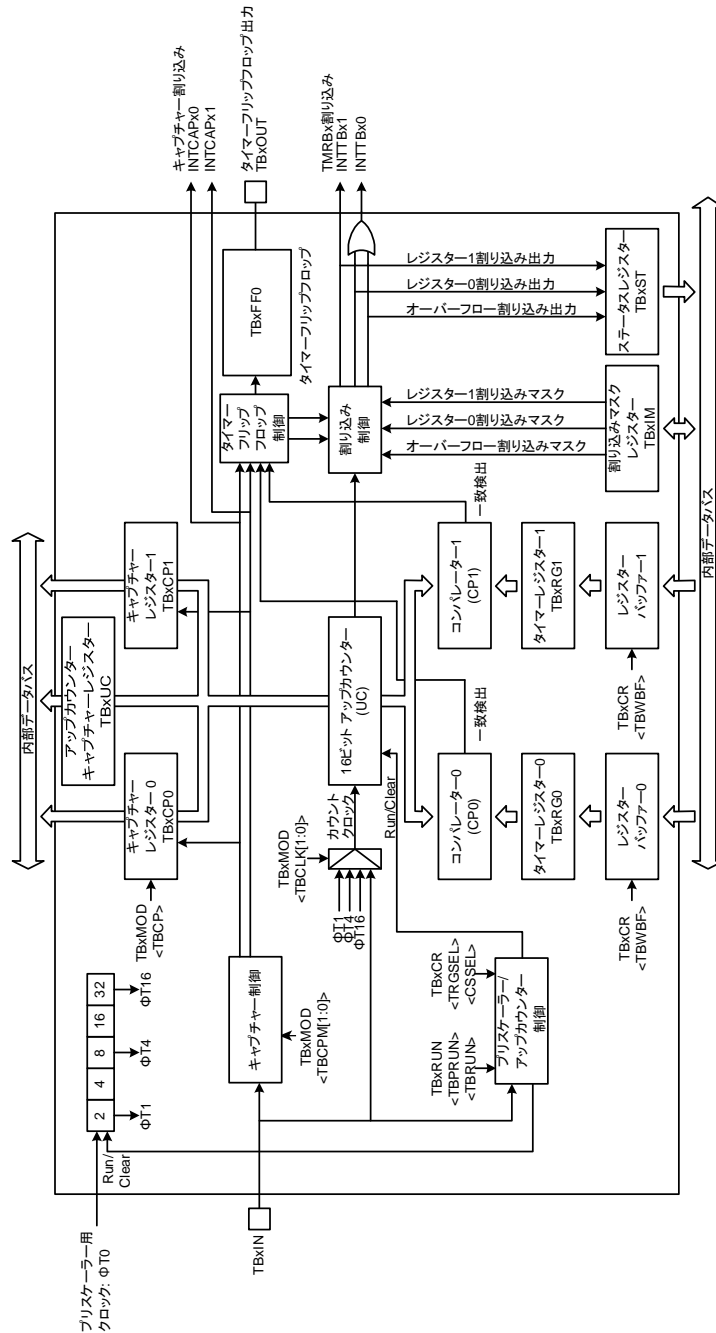


図 9.1 TMRBブロック図

## 9.3. レジスタ—説明

### 9.3.1. レジスタ—一覧

制御レジスタ—とアドレスを以下に示します。

レジスタ—名		Base+ (Address)
許可レジスタ—	TBxEN	0x0000
RUNレジスタ—	TBxRUN	0x0004
コントロールレジスタ—	TBxCR	0x0008
モードレジスタ—	TBxMOD	0x000C
フリップフロップコントロールレジスタ—	TBxFFCR	0x0010
ステータスレジスタ—	TBxST	0x0014
割り込みマスクレジスタ—	TBxIM	0x0018
アップカウンタ—キャプチャ—レジスタ—	TBxUC	0x001C
タイマ—レジスタ—0	TBxRG0	0x0020
タイマ—レジスタ—1	TBxRG1	0x0024
キャプチャ—レジスタ—0	TBxCP0	0x0028
キャプチャ—レジスタ—1	TBxCP1	0x002C

## 9.3.2. TBxEN(許可レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	TBEN	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:8	-	R	リードすると"0"が読めます。
7	TBEN	R/W	TMRB動作制御 0: 禁止 1: 許可 TMRBの動作を指定します。動作禁止の状態ではTMRBの他のレジスターへクロックが供給されませんので消費電力の低減が可能です(この状態では、TBxEN以外のレジスターへのリード、ライトはできません)。TMRBを使用する場合は、TMRBの各レジスターを設定する前に許可("1")にしてください。TMRBをいったん動作させた後に動作禁止した場合、各レジスターの設定は保持されます。
6:0	-	R	リードすると"0"が読めます。

### 9.3.3. TBxRUN(RUN レジスタ)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	-	-	-	-	-	TBPRUN	-	TBRUN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:3	-	R	リードすると"0"が読めます。
2	TBPRUN	R/W	プリスケララー動作制御 0: 停止&クリア 1: カウント開始
1	-	R	リードすると"0"が読めます。
0	TBRUN	R/W	アップカウンター動作制御 0: 停止&クリア 1: カウント開始

注 1) 外部トリガーでカウントをスタートさせる場合は、必ず TBxRUN<TBRUN>に"1"を設定してください。

注 2) アップカウンター停止状態(TBxRUN<TBRUN> = "0")で TBxUC<TBxUC[15:0]>をリードすると、アップカウンター動作時に最後にキャプチャーした値がリードされます。

## 9.3.4. TBxCR(コントロールレジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	TBWWF	-	-	-	I2TB	-	TRGSEL	CSSEL
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:8	-	R	リードすると"0"が読めます。
7	TBWWF	R/W	ダブルバッファ制御 0: 禁止 1: 許可
6:5	-	R/W	"0"をライトしてください。
4	-	R	リードすると"0"が読めます。
3	I2TB	R/W	IDLEモード時動作制御 0: 停止 1: 動作
2	-	R	リードすると"0"が読めます。
1	TRGSEL	R/W	外部トリガー選択 0: 立ち上がりエッジ 1: 立ち下がりエッジ
0	CSSEL	R/W	アップカウンターのスタート方法選択 0: ソフトウェアスタート 1: 外部トリガースタート

注 1) TBxCR は TMRB 動作中に変更しないでください。

注 2) アップカウントスタートの方法に外部トリガースタートを選択したときは、TBxCR<CSSEL>と TBxCR<TRGSEL>を設定した後、TBxRUN<TBRUN>と TBxRUN<TBPRUN>に"1"を設定してください。

## 9.3.5. TBxMOD(モードレジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	-	TBRSWR	TBCP	TBCPM		TBCLE	TBCLK	
リセット後	0	0	1	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:7	-	R	リードすると"0"が読めます。
6	TBRSWR	R/W	ダブルバッファ使用時のタイマーレジスター0、1への書き込みタイミング制御 0: タイマーレジスター0、タイマーレジスター1への書き込み準備が片側のみしかできていない場合でも、片方ずつタイマーレジスターに書き込みを行うことができます。 1: タイマーレジスター0、タイマーレジスター1への書き込み準備が両方ともできていない場合は、タイマーレジスターに書き込みを行うことができません。
5	TBCP	R	リードすると"1"が読めます。
		W	ソフトウェアキャプチャー制御 0: ソフトウェアキャプチャー 1: Don't care "0"を書き込むとキャプチャーレジスター0(TBxCP0)にカウント値を取り込みます。
4:3	TBCPM[1:0]	R/W	キャプチャー制御 00: 禁止 01: TBxIN端子入力の立ち上がりでキャプチャーレジスター0(TBxCP0)にカウント値を取り込む 10: TBxIN端子入力の立ち上がりでキャプチャーレジスター0(TBxCP0)にカウント値を取り込み、TBxIN端子入力の立ち下がりでキャプチャーレジスター1(TBxCP1)にカウント値を取り込む 11: 禁止
2	TBCLE	R/W	アップカウンタークリア制御 0: クリア禁止 1: クリア許可 アップカウンターのクリア制御を行います。 "0"を設定するとクリア禁止、"1"を設定するとタイマーレジスター1(TBxRG1)との一致時にクリアします。
1:0	TBCLK[1:0]	R/W	TMRBのソースクロック選択 00: TBxIN端子入力 01: ΦT1 10: ΦT4 11: ΦT16

注) TBxMOD は TMRB 動作中に変更しないでください。

## 9.3.6. TBxFFCR(フリップフロップコントロールレジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	-	-	TBC1T1	TBC0T1	TBE1T1	TBE0T1	TBFF0C	
リセット後	1	1	0	0	0	0	1	1

Bit	Bit Symbol	Type	機能
31:8	-	R	リードすると"0"が読めます。
7:6		R	リードすると"1"が読めます。
5	TBC1T1	R/W	TBxCP1へのアップカウンター値取り込み時のTBxFF0反転制御 0: 反転禁止 1: 反転許可 "1"を設定すると、アップカウンターの値がTBxCP1に取り込まれたときに、TBxFF0を反転します。"0"を設定すると反転しません。
4	TBC0T1	R/W	TBxCP0へのアップカウンター値取り込み時のTBxFF0反転制御 0: 反転禁止 1: 反転許可 "1"を設定すると、アップカウンターの値がTBxCP0に取り込まれたときに、TBxFF0を反転します。"0"を設定すると反転しません。
3	TBE1T1	R/W	アップカウンターとTBxRG1との一致時のTBxFF0反転制御 0: 反転禁止 1: 反転許可 "1"を設定すると、アップカウンターとTBxRG1との一致時にTBxFF0を反転します。"0"を設定すると反転しません。
2	TBE0T1	R/W	アップカウンターとTBxRG0との一致時のTBxFF0反転制御 0: 反転禁止 1: 反転許可 "1"を設定すると、アップカウンターとTBxRG0との一致時にTBxFF0を反転します。"0"を設定すると反転しません。
1:0	TBFF0C[1:0]	R	リードすると"11"が読めます。
		W	TBxFF0の制御 00: TBxFF0の値を反転します。 01: TBxFF0を"1"にセットします。 10: TBxFF0を"0"にクリアします。 11: Don't care

注) TBxFFCR は TMRB 動作中に変更しないでください。

## 9.3.7. TBxST(ステータスレジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	-	-	-	-	-	INTTBOF	INTTB1	INTTB0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:3	-	R	リードすると"0"が読めます。
2	INTTBOF	R	オーバーフローフラグ 0: オーバーフローは発生していない 1: オーバーフローが発生した アップカウンターがオーバーフローすると"1"がセットされます。
1	INTTB1	R	アップカウンターとTBxRG1との一致フラグ 0: 一致を検出していない 1: TBxRG1との一致を検出した アップカウンターとTBxRG1との一致を検出すると"1"がセットされます。
0	INTTB0	R	アップカウンターとTBxRG0との一致フラグ 0: 一致を検出していない 1: TBxRG0との一致を検出した アップカウンターとTBxRG0との一致を検出すると"1"がセットされます。

注 1) TBxIM で各割り込み要求にマスクが設定されていても、割り込み要求が発生するとフラグはセットされます。

注 2) フラグはレジスターをリードすると自動的にクリアされます。

## 9.3.8. TBxIM(割り込みマスクレジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	-	-	-	-	-	TBIMOF	TBIM1	TBIM0
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:3	-	R	リードすると"0"が読めます。
2	TBIMOF	R/W	オーバーフロー割り込み要求マスク制御 0: 割り込み要求をマスクしない 1: 割り込み要求をマスクする "0"を設定すると、オーバーフロー割り込み要求をマスクしません。"1"を設定するとマスクします。
1	TBIM1	R/W	アップカウンターとタイマーレジスター1(TBxRG1)の一致割り込み要求マスク制御 0: 割り込み要求をマスクしない 1: 割り込み要求をマスクする "0"を設定すると、アップカウンターとTBxRG1の一致割り込み要求をマスクしません。"1"を設定するとマスクします。
0	TBIM0	R/W	アップカウンターとタイマーレジスター0(TBxRG0)の一致割り込み要求マスク制御 0: 割り込み要求をマスクしない 1: 割り込み要求をマスクする "0"を設定すると、アップカウンターとTBxRG0の一致割り込み要求をマスクしません。"1"を設定するとマスクします。

注) TBxIM で割り込み要求をマスクしても割り込み要求が発生すると TBxST の各フラグはセットされます。

## 9.3.9. TBxUC(アップカウンターキャプチャーレジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	TBUC							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	TBUC							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:0	TBUC[15:0]	R	アップカウンターのキャプチャー値 アップカウンター動作時にTBxUC<TBxUC[15:0]>をリードすると、リード時のアップカウンターの値をキャプチャーしリードされます。

注) アップカウンターが停止しているとき(TBxRUN<TBRUN> = "0")、TBxUC<TBxUC[15:0]>をリードするとアップカウンター動作時にキャプチャーした最後の値がリードされます。

### 9.3.10. TBxRG0(タイマーレジスター0)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	TBRG0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	TBRG0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:0	TBRG0[15:0]	R/W	アップカウンターと比較する値を設定します。

### 9.3.11. TBxRG1(タイマーレジスター1)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	TBRG1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	TBRG1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:0	TBRG1[15:0]	R/W	アップカウンターと比較する値を設定します。

### 9.3.12. TBxCP0(キャプチャーレジスター0)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	TBCP0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	TBCP0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:0	TBCP0[15:0]	R	アップカウンタをキャプチャーした値が読めます。

### 9.3.13. TBxCP1(キャプチャーレジスター1)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	TBCP1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	TBCP1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:0	TBCP1[15:0]	R	アップカウンタをキャプチャーした値が読めます。

## 9.4. 動作説明

### 9.4.1. プリスケーラー

アップカウンター(UC)のソースクロックを生成する4ビットのプリスケーラーです。

プリスケーラーへの入力クロック  $\Phi T0$  は CGSYSCR<PRCK[2:0]>で選択された fperiph / 1、fperiph / 2、fperiph / 4、fperiph / 8、fperiph / 16、fperiph / 32 のいずれかのクロックです。

fperiph は CGSYSCR<FPSEL>で選択した fgear または fc のいずれかのクロックです。

fgear は CGSYSCR<GEAR[2:0]>で選択された fc / 1、fc / 2、fc / 8、fc / 16 のいずれかのクロックです。

プリスケーラーの動作は TBxRUN<TBPRUN>により制御します。"1"をライトするとカウントを開始し、"0"をライトするとカウントは停止し、プリスケーラーはクリアされます。

プリスケーラーからの出力クロックの分解能を表 9.1 に示します。

表 9.1 プリスケーラーからの出力クロックの分解能(fc = 80MHz)

CGSYSCR <FPSEL>	CGSYSCR <GEAR[2:0]>	CGSYSCR <PRCK[2:0]>	プリスケーラーからの出力クロックの分解能		
			$\Phi T1$	$\Phi T4$	$\Phi T16$
0 (fgear)	000 (fc)	000 (fperiph/1)	0.025 $\mu$ s (fc/2 <sup>1</sup> )	0.1 $\mu$ s (fc/2 <sup>3</sup> )	0.4 $\mu$ s (fc/2 <sup>5</sup> )
		001 (fperiph/2)	0.05 $\mu$ s (fc/2 <sup>2</sup> )	0.2 $\mu$ s (fc/2 <sup>4</sup> )	0.8 $\mu$ s (fc/2 <sup>6</sup> )
		010 (fperiph/4)	0.1 $\mu$ s (fc/2 <sup>3</sup> )	0.4 $\mu$ s (fc/2 <sup>5</sup> )	1.6 $\mu$ s (fc/2 <sup>7</sup> )
		011 (fperiph/8)	0.2 $\mu$ s (fc/2 <sup>4</sup> )	0.8 $\mu$ s (fc/2 <sup>6</sup> )	3.2 $\mu$ s (fc/2 <sup>8</sup> )
		100 (fperiph/16)	0.4 $\mu$ s (fc/2 <sup>5</sup> )	1.6 $\mu$ s (fc/2 <sup>7</sup> )	6.4 $\mu$ s (fc/2 <sup>9</sup> )
		101 (fperiph/32)	0.8 $\mu$ s (fc/2 <sup>6</sup> )	3.2 $\mu$ s (fc/2 <sup>8</sup> )	12.8 $\mu$ s (fc/2 <sup>10</sup> )
	100 (fc / 2)	000 (fperiph/1)	0.05 $\mu$ s (fc/2 <sup>2</sup> )	0.2 $\mu$ s (fc/2 <sup>4</sup> )	0.8 $\mu$ s (fc/2 <sup>6</sup> )
		001 (fperiph/2)	0.1 $\mu$ s (fc/2 <sup>3</sup> )	0.4 $\mu$ s (fc/2 <sup>5</sup> )	1.6 $\mu$ s (fc/2 <sup>7</sup> )
		010 (fperiph/4)	0.2 $\mu$ s (fc/2 <sup>4</sup> )	0.8 $\mu$ s (fc/2 <sup>6</sup> )	3.2 $\mu$ s (fc/2 <sup>8</sup> )
		011 (fperiph/8)	0.4 $\mu$ s (fc/2 <sup>5</sup> )	1.6 $\mu$ s (fc/2 <sup>7</sup> )	6.4 $\mu$ s (fc/2 <sup>9</sup> )
		100 (fperiph/16)	0.8 $\mu$ s (fc/2 <sup>6</sup> )	3.2 $\mu$ s (fc/2 <sup>8</sup> )	12.8 $\mu$ s (fc/2 <sup>10</sup> )
		101 (fperiph/32)	1.6 $\mu$ s (fc/2 <sup>7</sup> )	6.4 $\mu$ s (fc/2 <sup>9</sup> )	25.6 $\mu$ s (fc/2 <sup>11</sup> )
	101 (fc / 4)	000 (fperiph/1)	0.1 $\mu$ s (fc/2 <sup>3</sup> )	0.4 $\mu$ s (fc/2 <sup>5</sup> )	1.6 $\mu$ s (fc/2 <sup>7</sup> )
		001 (fperiph/2)	0.2 $\mu$ s (fc/2 <sup>4</sup> )	0.8 $\mu$ s (fc/2 <sup>6</sup> )	3.2 $\mu$ s (fc/2 <sup>8</sup> )
		010 (fperiph/4)	0.4 $\mu$ s (fc/2 <sup>5</sup> )	1.6 $\mu$ s (fc/2 <sup>7</sup> )	6.4 $\mu$ s (fc/2 <sup>9</sup> )
		011 (fperiph/8)	0.8 $\mu$ s (fc/2 <sup>6</sup> )	3.2 $\mu$ s (fc/2 <sup>8</sup> )	12.8 $\mu$ s (fc/2 <sup>10</sup> )
		100 (fperiph/16)	1.6 $\mu$ s (fc/2 <sup>7</sup> )	6.4 $\mu$ s (fc/2 <sup>9</sup> )	25.6 $\mu$ s (fc/2 <sup>11</sup> )
		101 (fperiph/32)	3.2 $\mu$ s (fc/2 <sup>8</sup> )	12.8 $\mu$ s (fc/2 <sup>10</sup> )	51.2 $\mu$ s (fc/2 <sup>12</sup> )
	110 (fc / 8)	000 (fperiph/1)	0.2 $\mu$ s (fc/2 <sup>4</sup> )	0.8 $\mu$ s (fc/2 <sup>6</sup> )	3.2 $\mu$ s (fc/2 <sup>8</sup> )
		001 (fperiph/2)	0.4 $\mu$ s (fc/2 <sup>5</sup> )	1.6 $\mu$ s (fc/2 <sup>7</sup> )	6.4 $\mu$ s (fc/2 <sup>9</sup> )
		010 (fperiph/4)	0.8 $\mu$ s (fc/2 <sup>6</sup> )	3.2 $\mu$ s (fc/2 <sup>8</sup> )	12.8 $\mu$ s (fc/2 <sup>10</sup> )
		011 (fperiph/8)	1.6 $\mu$ s (fc/2 <sup>7</sup> )	6.4 $\mu$ s (fc/2 <sup>9</sup> )	25.6 $\mu$ s (fc/2 <sup>11</sup> )
		100 (fperiph/16)	3.2 $\mu$ s (fc/2 <sup>8</sup> )	12.8 $\mu$ s (fc/2 <sup>10</sup> )	51.2 $\mu$ s (fc/2 <sup>12</sup> )
		101 (fperiph/32)	6.4 $\mu$ s (fc/2 <sup>9</sup> )	25.6 $\mu$ s (fc/2 <sup>11</sup> )	102.4 $\mu$ s (fc/2 <sup>13</sup> )
	111 (fc / 16)	000 (fperiph/1)	0.4 $\mu$ s (fc/2 <sup>5</sup> )	1.6 $\mu$ s (fc/2 <sup>7</sup> )	6.4 $\mu$ s (fc/2 <sup>9</sup> )
		001 (fperiph/2)	0.8 $\mu$ s (fc/2 <sup>6</sup> )	3.2 $\mu$ s (fc/2 <sup>8</sup> )	12.8 $\mu$ s (fc/2 <sup>10</sup> )
		010 (fperiph/4)	1.6 $\mu$ s (fc/2 <sup>7</sup> )	6.4 $\mu$ s (fc/2 <sup>9</sup> )	25.6 $\mu$ s (fc/2 <sup>11</sup> )
		011 (fperiph/8)	3.2 $\mu$ s (fc/2 <sup>8</sup> )	12.8 $\mu$ s (fc/2 <sup>10</sup> )	51.2 $\mu$ s (fc/2 <sup>12</sup> )
		100 (fperiph/16)	6.4 $\mu$ s (fc/2 <sup>9</sup> )	25.6 $\mu$ s (fc/2 <sup>11</sup> )	102.4 $\mu$ s (fc/2 <sup>13</sup> )
		101 (fperiph/32)	12.8 $\mu$ s (fc/2 <sup>10</sup> )	51.2 $\mu$ s (fc/2 <sup>12</sup> )	204.8 $\mu$ s (fc/2 <sup>14</sup> )

CGSYSCR <FPSEL>	CGSYSCR <GEAR[2:0]>	CGSYSCR <PRCK[2:0]>	プリスケラーからの出力クロックの分解能		
			ΦT1	ΦT4	ΦT16
1 (fc)	000 (fc)	000 (fperiph/1)	0.025μs (fc/2 <sup>1</sup> )	0.1μs (fc/2 <sup>3</sup> )	0.4μs (fc/2 <sup>5</sup> )
		001 (fperiph/2)	0.05μs (fc/2 <sup>2</sup> )	0.2μs (fc/2 <sup>4</sup> )	0.8μs (fc/2 <sup>6</sup> )
		010 (fperiph/4)	0.1μs (fc/2 <sup>3</sup> )	0.4μs (fc/2 <sup>5</sup> )	1.6μs (fc/2 <sup>7</sup> )
		011 (fperiph/8)	0.2μs (fc/2 <sup>4</sup> )	0.8μs (fc/2 <sup>6</sup> )	3.2μs (fc/2 <sup>8</sup> )
		100 (fperiph/16)	0.4μs (fc/2 <sup>5</sup> )	1.6μs (fc/2 <sup>7</sup> )	6.4μs (fc/2 <sup>9</sup> )
		101 (fperiph/32)	0.8μs (fc/2 <sup>6</sup> )	3.2μs (fc/2 <sup>8</sup> )	12.8μs (fc/2 <sup>10</sup> )
	100 (fc / 2)	000 (fperiph/1)	-	0.1μs (fc/2 <sup>3</sup> )	0.4μs (fc/2 <sup>5</sup> )
		001 (fperiph/2)	0.05μs (fc/2 <sup>2</sup> )	0.2μs (fc/2 <sup>4</sup> )	0.8μs (fc/2 <sup>6</sup> )
		010 (fperiph/4)	0.1μs (fc/2 <sup>3</sup> )	0.4μs (fc/2 <sup>5</sup> )	1.6μs (fc/2 <sup>7</sup> )
		011 (fperiph/8)	0.2μs (fc/2 <sup>4</sup> )	0.8μs (fc/2 <sup>6</sup> )	3.2μs (fc/2 <sup>8</sup> )
		100 (fperiph/16)	0.4μs (fc/2 <sup>5</sup> )	1.6μs (fc/2 <sup>7</sup> )	6.4μs (fc/2 <sup>9</sup> )
		101 (fperiph/32)	0.8μs (fc/2 <sup>6</sup> )	3.2μs (fc/2 <sup>8</sup> )	12.8μs (fc/2 <sup>10</sup> )
	101 (fc / 4)	000 (fperiph/1)	-	0.1μs (fc/2 <sup>3</sup> )	0.4μs (fc/2 <sup>5</sup> )
		001 (fperiph/2)	-	0.2μs (fc/2 <sup>4</sup> )	0.8μs (fc/2 <sup>6</sup> )
		010 (fperiph/4)	0.1μs (fc/2 <sup>3</sup> )	0.4μs (fc/2 <sup>5</sup> )	1.6μs (fc/2 <sup>7</sup> )
		011 (fperiph/8)	0.2μs (fc/2 <sup>4</sup> )	0.8μs (fc/2 <sup>6</sup> )	3.2μs (fc/2 <sup>8</sup> )
		100 (fperiph/16)	0.4μs (fc/2 <sup>5</sup> )	1.6μs (fc/2 <sup>7</sup> )	6.4μs (fc/2 <sup>9</sup> )
		101 (fperiph/32)	0.8μs (fc/2 <sup>6</sup> )	3.2μs (fc/2 <sup>8</sup> )	12.8μs (fc/2 <sup>10</sup> )
	110 (fc / 8)	000 (fperiph/1)	-	-	0.4μs (fc/2 <sup>5</sup> )
		001 (fperiph/2)	-	0.2μs (fc/2 <sup>4</sup> )	0.8μs (fc/2 <sup>6</sup> )
		010 (fperiph/4)	-	0.4μs (fc/2 <sup>5</sup> )	1.6μs (fc/2 <sup>7</sup> )
		011 (fperiph/8)	0.2μs (fc/2 <sup>4</sup> )	0.8μs (fc/2 <sup>6</sup> )	3.2μs (fc/2 <sup>8</sup> )
		100 (fperiph/16)	0.4μs (fc/2 <sup>5</sup> )	1.6μs (fc/2 <sup>7</sup> )	6.4μs (fc/2 <sup>9</sup> )
		101 (fperiph/32)	0.8μs (fc/2 <sup>6</sup> )	3.2μs (fc/2 <sup>8</sup> )	12.8μs (fc/2 <sup>10</sup> )
	111 (fc / 16)	000 (fperiph/1)	-	-	0.4μs (fc/2 <sup>5</sup> )
		001 (fperiph/2)	-	-	0.8μs (fc/2 <sup>6</sup> )
		010 (fperiph/4)	-	0.4μs (fc/2 <sup>5</sup> )	1.6μs (fc/2 <sup>7</sup> )
		011 (fperiph/8)	-	0.8μs (fc/2 <sup>6</sup> )	3.2μs (fc/2 <sup>8</sup> )
		100 (fperiph/16)	0.4μs (fc/2 <sup>5</sup> )	1.6μs (fc/2 <sup>7</sup> )	6.4μs (fc/2 <sup>9</sup> )
		101 (fperiph/32)	0.8μs (fc/2 <sup>6</sup> )	3.2μs (fc/2 <sup>8</sup> )	12.8μs (fc/2 <sup>10</sup> )

注 1) プリスケラーからの出力クロック ΦTn は、必ず ΦTn < fsys を満足するように(ΦTn が fsys よりも遅くなるように)選択してください。

注 2) TMRB 動作中はクロックギアの切り替えは行わないでください。

注 3) "-"は設定禁止です。

### 9.4.2. アップカウンター(UC)

16 ビットのバイナリーカウンターです。

- ソースクロック  
ソースクロックは TBxMOD<TBCLK[1:0]>で設定します。プリスケイラー出力クロック  $\Phi T1$ 、 $\Phi T4$ 、 $\Phi T16$ 、または、TBxIN 入力から選択できます。
- UC 動作の開始と停止  
UC のクリアは TBxRUN<TBRUN>で設定します。<TBRUN>を"1"に設定するとカウントを開始し、"0"に設定するとカウントを停止するとともに UC をクリアします。
- UC クリアのタイミング
  - (a) コンペア一致時  
TBxMOD<TBCLE>を"1"に設定することで、UC と TBxRG1 の一致とともに UC をクリアします。  
TBxMOD<TBCLE>を"0"に設定することで、UC と TBxRG1 の一致検出は行われません。したがって、UC はフリーランニングアップカウンターとして動作します。
  - (b) UC 停止時  
TBxRUN<TBRUN>を"0"に設定することで、カウントを停止するとともに UC をクリアします。
- UC のオーバーフロー  
UC がオーバーフローすると、TBxST<INTTBOF>が"1"にセットされるとともに、オーバーフロー割り込み(INTTBx0)が発生します。

### 9.4.3. タイマーレジスター(TBxRG0、TBxRG1)

UC と比較する値を設定するレジスターで 2 つあります。タイマーレジスターに設定された値と UC の値をコンパレーター(CPn)で比較し、一致すると CPn が一致検出信号を出力します。

TBxRG0 と TBxRG1 はダブルバッファ構成になっており、バッファレジスターとペアになっています。初期状態では、ダブルバッファは禁止です。

ダブルバッファ制御は TBxCR<TBWBF>で設定します。TBxCR<TBWBF>を"0"に設定すると禁止、TBxCR<TBWBF>を"1"に設定すると許可します。

ダブルバッファが許可のとき、UC と TBxRG1 が一致すると、レジスターバッファ0/1 からタイマーレジスターTBxRG0/1 ヘータが転送されます。なお、ダブルバッファが許可でも UC が停止しているとき、ダブルバッファは無効になり、バッファレジスターに値を書き込むと同時に TBxRG0/1 に転送されます。

#### 9.4.4. キャプチャー制御

TBxIN 端子入力の立ち上がり/立ち下がりによって UC の値をキャプチャーレジスタ TBxCP0、TBxCP1 に取り込むタイミングを制御する回路です。キャプチャーレジスタへの取り込みタイミングは、TBxMOD<TBCPM[1:0]>で設定します。

また、ソフトウェアにより任意のタイミングで UC の値をキャプチャーレジスタへ取り込むことも可能です。TBxMOD<TBCP>に"0"を設定すると、設定したタイミングの UC の値を TBxCP0 へ取り込みます。

#### 9.4.5. キャプチャーレジスタ(TBxCP0、TBxCP1)

UC をキャプチャーした値を格納するレジスタで、2 つあります。どちらのキャプチャーレジスタにキャプチャーした値が格納されるかは、「9.4.4. キャプチャー制御」を参照してください。

TBxCP0、TBxCP1 を読み出す場合は、16bit データ転送命令を用いるか、下位、上位の順に読み出してください。

#### 9.4.6. アップカウンタキャプチャーレジスタ(TBxUC)

キャプチャー制御によるキャプチャーの他に、TBxUC を読み出すことにより、UC の現在の値をキャプチャーし、読み出すことができます。

#### 9.4.7. コンパレーター(CP0、CP1)

UC と TBxRG0、TBxRG1 の設定値を比較します。それぞれが一致すると一致信号を出力するとともに INTTBx0 と INTTBx1 を発生します。

#### 9.4.8. タイマーフリップフロップ(TBxFF0)

タイマーフリップフロップ(TBxFF0)は、CPn からの一致信号または UC の値を TBxCPn へ取り込む信号によって、出力が反転するフリップフロップです。反転の許可/禁止は、TBxFFCR<TBC1T1>、<TBC0T1>、<TBE1T1>、<TBE0T1>で設定します。

リセット解除後、TBxFF0 不定です。

TBxFFCR<TBFF0C[1:0]>に"00"を設定すると TBxFF0 の値が反転します。"01"を設定すると"1"にセットされます。"10"を設定すると"0"にクリアされます。

TBxFF0 の値は、タイマーフリップフロップ出力端子(TBxOUT)へ出力されます。TBxFF0 の値を出力するときは、あらかじめ該当するポートの設定を行う必要があります。

#### 9.4.9. キャプチャー割り込み(INTCAPx0、INTCAPx1)

キャプチャーレジスタ TBxCP0、TBxCP1 に UC の値を取り込むタイミングで INTCAPx0、INTCAPx1 を発生します。

## 9.5. モード別動作説明

### 9.5.1. 16 ビットインターバルタイマーモード

一定周期の割り込みを発生させる場合、TBxRG0 にインターバル時間を設定し、INTTBx0 を発生させます。同様に TBxRG1 にインターバル時間を設定し、INTTBx1 を発生させます。

		7	6	5	4	3	2	1	0	
TBxEN	←	1	x	x	x	x	x	x	x	TMRBの動作を許可します。
TBxRUN	←	x	x	x	x	x	0	x	0	プリスケラー、UCの動作を停止、クリアします。
割り込み許可セット レジスター	←	*	*	*	*	*	*	*	*	INTTBx1割り込みに対応するビットを"1"にし、 割り込みを許可します。
TBxFFCR	←	x	x	0	0	0	0	1	1	TBxFF0反転を禁止します。
TBxMOD	←	x	0	1	0	0	1	Y	Y	UCのソースクロックをプリスケラー出力 クロックにします。ソフトウェア、ハードウェアによる キャプチャーを行いません。
										インターバル時間(16ビット)を設定します。
TBxRG1	←	*	*	*	*	*	*	*	*	
TBxRUN	←	x	x	x	x	x	1	x	1	プリスケラー、UCのカウントを開始します。

注) x: Don't care、\*: 任意の値を設定できます、-: 変更できません

### 9.5.2. 16 ビットイベントカウンターモード

UC のカウントクロックを TBxIN 端子に入力する信号にすることで、イベントカウンターとして使用します。

UC は信号の立ち上がりエッジでカウントアップします。

TBxMOD<TBxCP>に"0"を設定して、UC の値を TBxCP0 に取り込むこともできます。

		7	6	5	4	3	2	1	0	
TBxEN	←	1	x	x	x	x	x	x	x	TMRBの動作を許可します。
TBxRUN	←	x	x	x	x	x	0	x	0	プリスケラー、UCの動作を停止、クリアします。
ポートレジスター設定										TBxIN端子に割り当てられているポートを TBxIN端子として使用するための設定を行います。
TBxFFCR	←	x	x	0	0	0	0	1	1	TBxFF0反転を禁止します。
TBxMOD	←	x	0	1	0	0	0	0	0	ソースクロックをTBxIN端子入力にし、ソフトウェア、 ハードウェアキャプチャーを行いません。
TBxRUN	←	x	x	x	x	x	1	x	1	プリスケラー、UCのカウントを開始します。
:										
:										
TBxMOD	←	x	0	0	0	0	0	0	0	UCの値をTBxCP0に取り込みます。

注) x: Don't care、\*: 任意の値を設定できます、-: 変更できません

### 9.5.3. 16ビットプログラマブル矩形波出力(PPG)モード

任意の周期で任意デューティの矩形波(プログラマブル矩形波)を出力します。

プログラマブル矩形波は、"Low"アクティブ、"High"アクティブのどちらにも対応します。

TBxRG1 でプログラマブル矩形波の周期を決定します。TBxRG0 でプログラマブル矩形波のデューティを決定します。また、UC と TBxRG0、TBxRG1 との一致での TBxFF0 反転を許可します。TBxRG1 が TBxRG0 より大きくなるようにそれぞれの値を設定してください。

なお、プログラマブル矩形波を TBxOUT 端子から出力するには、あらかじめポートを TBxOUT 端子として使用するための設定が必要です。

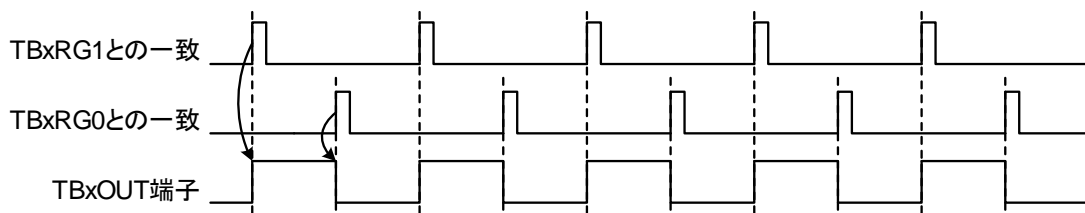


図 9.2 16ビットプログラマブル矩形波出力(PPG)モードの出力波形

プログラマブル矩形波デューティを小さくするときに、TBxRG0 の変更が間に合わないことがあります。

ダブルバッファを許可することで、あらかじめ設定されたレジスタバッファ0の値が UC と TBxRG1 の一致で TBxRG0 へ転送されます。

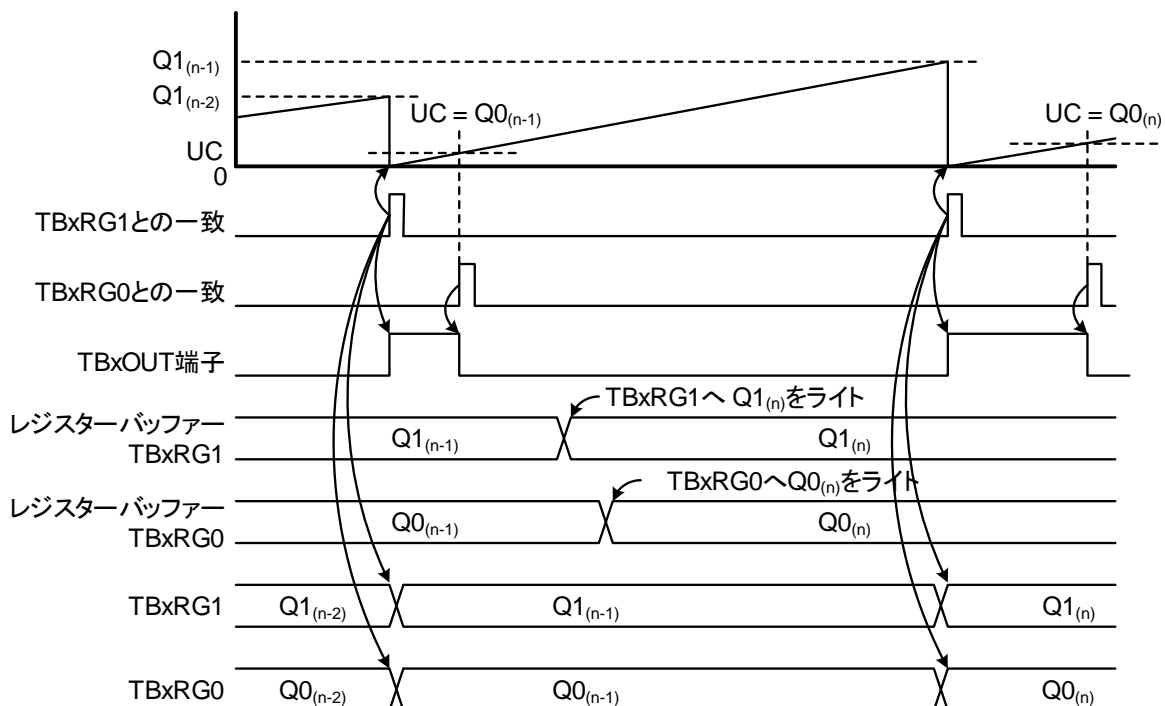


図 9.3 レジスタバッファの動作

16ビットプログラマブル矩形波出力(PPG)モードの出力回路を図 9.4 に示します。

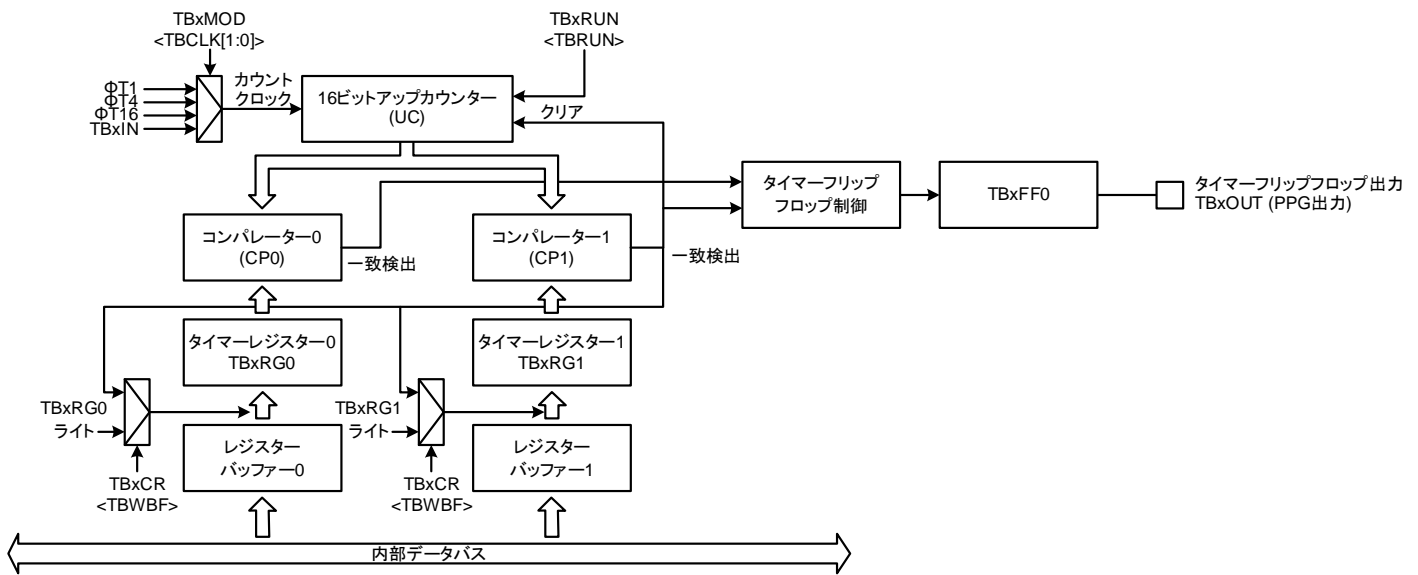


図 9.4 16ビットプログラマブル矩形波出力(PPG)モードの出力回路

16ビットプログラマブル矩形波出力(PPG)モードのとき、各レジスタは下記のとおり設定します。

		7	6	5	4	3	2	1	0	
TBxEN	←	1	x	x	x	x	x	x	x	TMRBの動作を許可します。
TBxRUN	←	x	x	x	x	x	0	x	0	プリスケイラー、UCの動作を停止、クリアします。
TBxCR	←	0	0	0	x	x	x	x	0	ダブルバッファを禁止します。カウンタスタート方法をソフトウェアスタートにします。
TBxRG0	←	*	*	*	*	*	*	*	*	デューティー(16ビット)を設定します。
TBxRG1	←	*	*	*	*	*	*	*	*	周期(16ビット)を設定します
TBxCR	←	1	0	0	x	x	x	x	-	ダブルバッファを許可します
TBxFFCR	←	x	x	0	0	1	1	1	0	TBxFF0を"0"にします。
TBxMOD	←	x	0	1	0	0	1	Y	Y	UCとTBxRG1との一致でのUCクリアを許可します。キャプチャーを禁止します。
								YY = "01"、"10"または"11"		UCのソースクロックをプリスケイラー出カクロックにします。
ポートレジスタ設定										TBxOUT端子に割り当てられているポートをTBxOUT端子として使用するための設定を行います
TBxRUN	←	x	x	x	x	x	1	x	1	プリスケイラー、UCのカウンタを開始します

注) x: Don't care、\*: 任意の値を設定できます、-: 変更できません

#### 9.5.4. 外部トリガープログラマブル矩形波(PPG)出力モード

TBxIN 端子に入力した外部信号に対して遅延を持ったプログラマブル矩形波を出力します。

外部信号の立ち上がりから、(d)の遅延を持った"High"パルス幅(p)のプログラマブル矩形波を1回出力する例を以下に説明します。

TBxCR<CSSEL>を"1"に設定して UC を外部トリガーでスタートさせます。また、TBxCR<TRGSEL>を"0"に設定して外部信号の立ち上がりを外部トリガーにします。

TBxRG0 に遅延(d)を設定します。TBxRG1 に遅延(d)とパルス幅(p)を加えた値(d) + (p)を設定します。

TBxFFCR<TBFF0C[1:0]>に"10"を設定して TBxFF0 を"0"にします。TBxFFCR<TBE1T1>と<TBE0T1>に"1"を設定して、UC と TBxRG0、TBxRG1 との一致での TBxFF0 反転を許可します。

外部信号の立ち上がりで UC がスタートします。UC と TBxRG0 との一致で TBxOUT 端子が"High"レベルに変化します。UC と TBxRG1 との一致で TBxOUT 端子が"Low"レベルに変化するとともに INTTBx1 が発生します。INTTBx1 の割り込みサービスルーチンで TBxFFCR<TBE1T1>と<TBE0T1>に"1"を設定して TBxFF0 反転を禁止するか、TBxRUN<TBRUN>に"0"を設定して、UC を停止、クリアします。

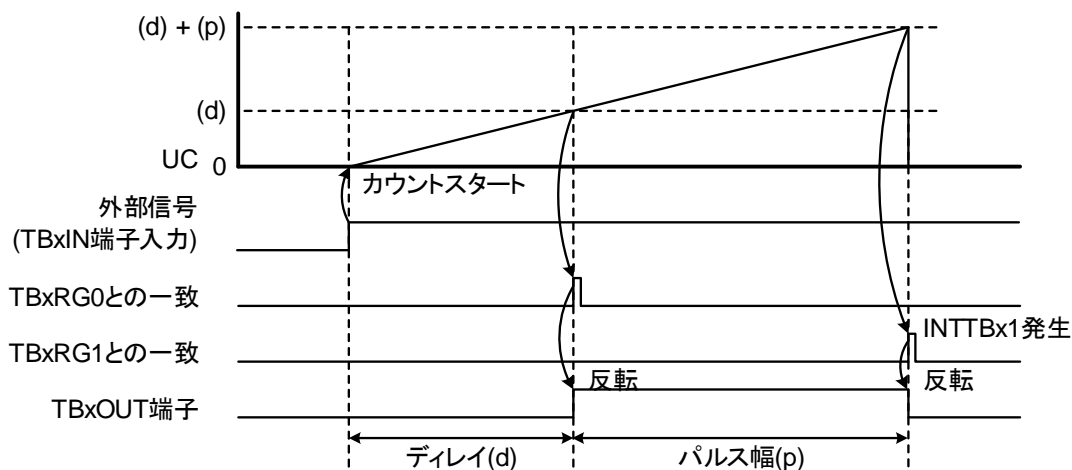


図 9.5 外部トリガープログラマブル矩形波(PPG)出力モードによる矩形波出力

## 9.5.5. キャプチャー機能を利用した応用例

キャプチャー機能を利用することにより、次に示す例をはじめ多くの応用が可能です。

- (1) 外部信号からの矩形波出力
- (2) パルス幅測定

### 9.5.5.1. 外部信号からの矩形波出力

キャプチャー機能を使用して、UCをフリーランニングアップカウンターとして動作させているときに、外部信号の立ち上がりから、(d)の遅延を持った"High"パルス幅(p)のプログラマブル矩形波を1回出力する例を以下に説明します。

TBxMOD<TBCLE>を"0"に設定して、UCのクリアを禁止します。UCはフリーランニングアップカウンターとして動作します。

TBxMOD<TBxCPM[1:0]>を"01"に設定して、TBxIN端子入力の立ち上がりでTBxCAPOにUCのカウンタ値を取り込みます。

TBxFFCR<TBFF0C[1:0]>に"10"を設定してTBxFF0を"0"にします。TBxFFCR<TBE1T1>と<TBE0T1>に"1"を設定して、UCとTBxRG0、TBxRG1との一致でのTBxFF0反転を許可します。

外部信号が立ち上がると、UCの値をTBxCAPOに取り込みむとともに、INTCAPx0が発生します。INTCAPx0の割り込みサービスルーチンで、TBxCAPOの値(c)を読み出し、遅延(d)を加算した値(c) + (d)をTBxRG0に設定します。また、(c) + (d)に"High"パルス幅(p)を加算した値(c) + (d) + (p)をTBxRG1に設定します。

UCとTBxRG0との一致でTBxOUT端子が"High"レベルに変化します。UCとTBxRG1との一致でTBxOUT端子が"Low"レベルに変化するとともにINTTBx1が発生します。INTTBx1の割り込みサービスルーチンでTBxFFCR<TBE1T1>と<TBE0T1>に"1"を設定してTBxFF0反転を禁止するか、TBxRUN<TBRUN>に"0"を設定して、UCを停止、クリアします。

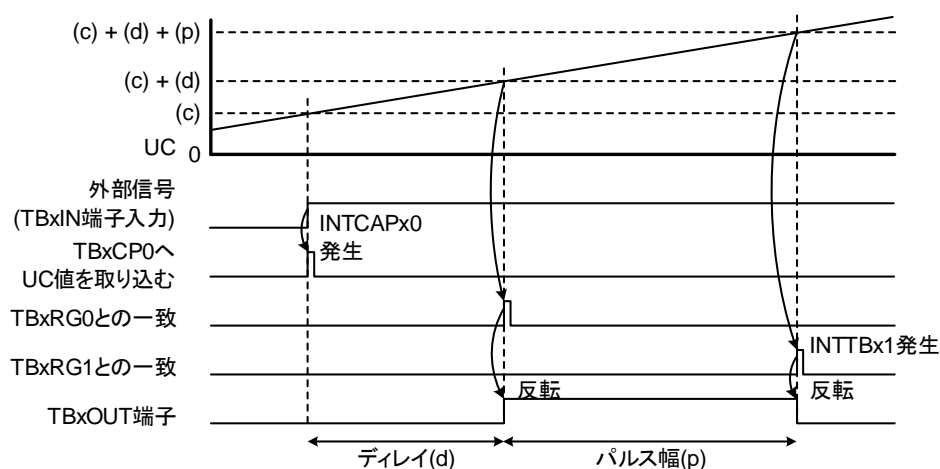


図 9.6 フリーランニングカウンターを使った外部信号からの矩形波出力(遅延付き)

TBxIN 端子入力信号の立ち上がりをトリガーとして、3ms 後に 2ms 幅の矩形波を出力する設定例を以下に示します。

$$(d) = 3\text{ms} / \Phi T1, (p) = 2\text{ms} / \Phi T1$$

		7	6	5	4	3	2	1	0		
[メイン処理] TBxIN端子でのキャプチャー設定											
TBxEN	←	1	x	x	x	x	x	x	x	TMRBの動作を許可します。	
TBxRUN	←	x	x	x	x	x	0	x	0	プリスケューラー、UCの動作を停止、クリアします。	
TBxCR	←	0	0	0	x	x	x	x	0	ダブルバッファを禁止し、カウンタースタート方法をソフトウェアスタートにします。	
TBxCR	←	1	0	0	x	x	x	x	-	ダブルバッファを許可します	
TBxFFCR	←	x	x	0	0	0	0	1	0	TBxFF0を"0"にします。TBxFF0反転を禁止します。	
TBxMOD	←	x	0	1	0	1	0	0	1	TBxIN端子入力信号の立ち上がりでUCの値をTBxCP0に 取り込みます。UCクリアを禁止します。 UCのソースクロックをΦT1にします。	
ポートレジスター設定											
ポートレジスター設定											
割り込み許可設定											
TBxRUN	←	x	x	x	x	x	1	x	1	TBxIN端子に割り当てられているポートを TBxIN端子として使用するための設定を行います TBxOUT端子に割り当てられているポートを TBxOUT端子として使用するための設定を行います INTCAPx0を許可します。	
		:									プリスケューラー、UCのカウントを開始します
		:									
[INTCAPx0割り込みサービスルーチンの処理] 遅延、パルス幅設定											
TBxRG0	←	*	*	*	*	*	*	*	*	遅延としてTBxCAP0 + (d)を設定します。	
		:									
TBxRG1	←	*	*	*	*	*	*	*	*	パルス幅としてTBxCAP0 + (d) + (p)を設定します	
		:									
TBxFFCR	←	x	x	0	0	1	1	1	1	UCとTBxRG0、TBxRG1の一致でのTBxFF0反転を 許可します。	
割り込み許可設定											
		:									INTTBx1を許可します。
		:									
[INTTBx1割り込みサービスルーチンの処理] TBxFF0反転の禁止											
TBxFFCR	←	x	x	0	0	0	0	1	1	TBxFF0反転を禁止します。	
割り込み禁止設定											
		:									INTTBx1を禁止します。
		:									

注) x: Don't care、\*: 任意の値を設定できます

## 9.5.5.2. TBxIN 端子入力パルスの"High"レベル幅測定

キャプチャー機能を使用して、UCをフリーランニングアップカウンタとして動作させているときに、TBxIN 端子入力パルスの"High"レベル幅を測定する例を以下に説明します。

TBxMOD<TBCLE>を"0"に設定して、UC のクリアを禁止します。UC はフリーランニングアップカウンタとして動作します。

TBxMOD<TBxCPM[1:0]>を"10"に設定して、TBxIN 端子入力の立ち上がりで TBxCAP0 に、立ち下がりで TBxCAP1 に UC のカウント値を取り込みます。

割り込み許可レジスタを設定して、INTCAPx1 で割り込みを発生させます。

外部信号が立ち上がると、UC の値を TBxCAP0 に取り込みます。

外部信号が立ち下がると、UC の値を TBxCAP1 に取り込みむとともに、INTCAPx1 が発生します。

INTCAPx1 の割り込みサービスルーチンで、TBxCAP1 の値から TBxCAP0 の値を引き、その値に UC のソースクロックの周期をかけると、TBxIN 端子入力パルスの"High"レベル幅を求めることができます。

例えば TBxCP1 と TBxCP0 の差が 100 で、UC のソースクロックの周期が  $0.5\mu\text{s}$  のとき、"High"レベルの幅は、 $100 \times 0.5\mu\text{s} = 50\mu\text{s}$  となります。

なお、UC の最大カウント周期を越える"High"レベル幅を測定するときには、UC の最大カウント周期を加算するなど、ソフトウェアによる処理が必要となります。

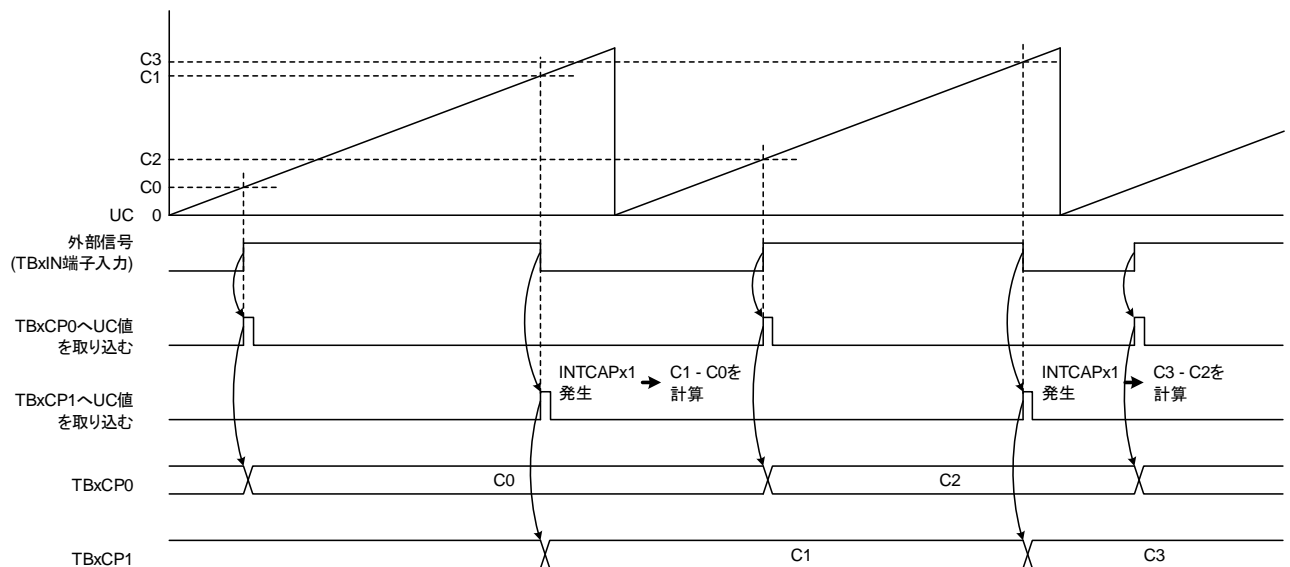


図 9.7 TBxIN端子入力パルスの"High"レベル幅測定

## 10. シリアルチャネル(SIO/UART)

### 10.1. 概要

シリアルチャネル(SIO/UART)は同期通信モード(SIO モード)と非同期通信モード(UART モード)の2つのモードを持っています。

特長は以下のとおりです。

- 転送クロック
  - プリスケイラーでペリフェラルクロック( $\Phi T0$ )を2、8、32、128 分周可能
  - プリスケイラー出力クロックに対し、1~16 分周可能
  - プリスケイラー出力クロックに対し、 $N + \frac{(16-K)}{16}$ 分周( $N = 2 \sim 15$ 、 $K = 1 \sim 15$ )が可能  
(UART モードのみ)
  - システムクロック  $f_{sys}$  を使用可能(UART モードのみ)
- 送受信ダブルバッファと FIFO  
送受信ダブルバッファおよび、最大4バイトの FIFO を使用可能
- SIO モード
  - 転送モード: 半二重(送信/受信)、全二重
  - データ入力/出力タイミング:  
SCLK<sub>x</sub> 端子出力: 入力は SCLK<sub>x</sub> 端子の立ち上がり、出力は SCLK<sub>x</sub> 端子の立ち下がり  
SCLK<sub>x</sub> 端子入力: SCLK<sub>x</sub> 端子のエッジ選択が可能
  - 連続転送時のインターバル時間設定が可能
- UART モード
  - データ長: 7、8、9 ビット
  - パリティビット付加(7、8 ビットデータ長)
  - $\overline{CTSx}$ 端子を用いたハンドシェイク機能
  - ウェイクアップ機能によるシリアルリンク(9 ビットデータ長)

以下の説明では、「x」はチャネル番号をあらわします。

## 10.2. 構成

図 10.1 に SIO/UART のブロック図を示します。

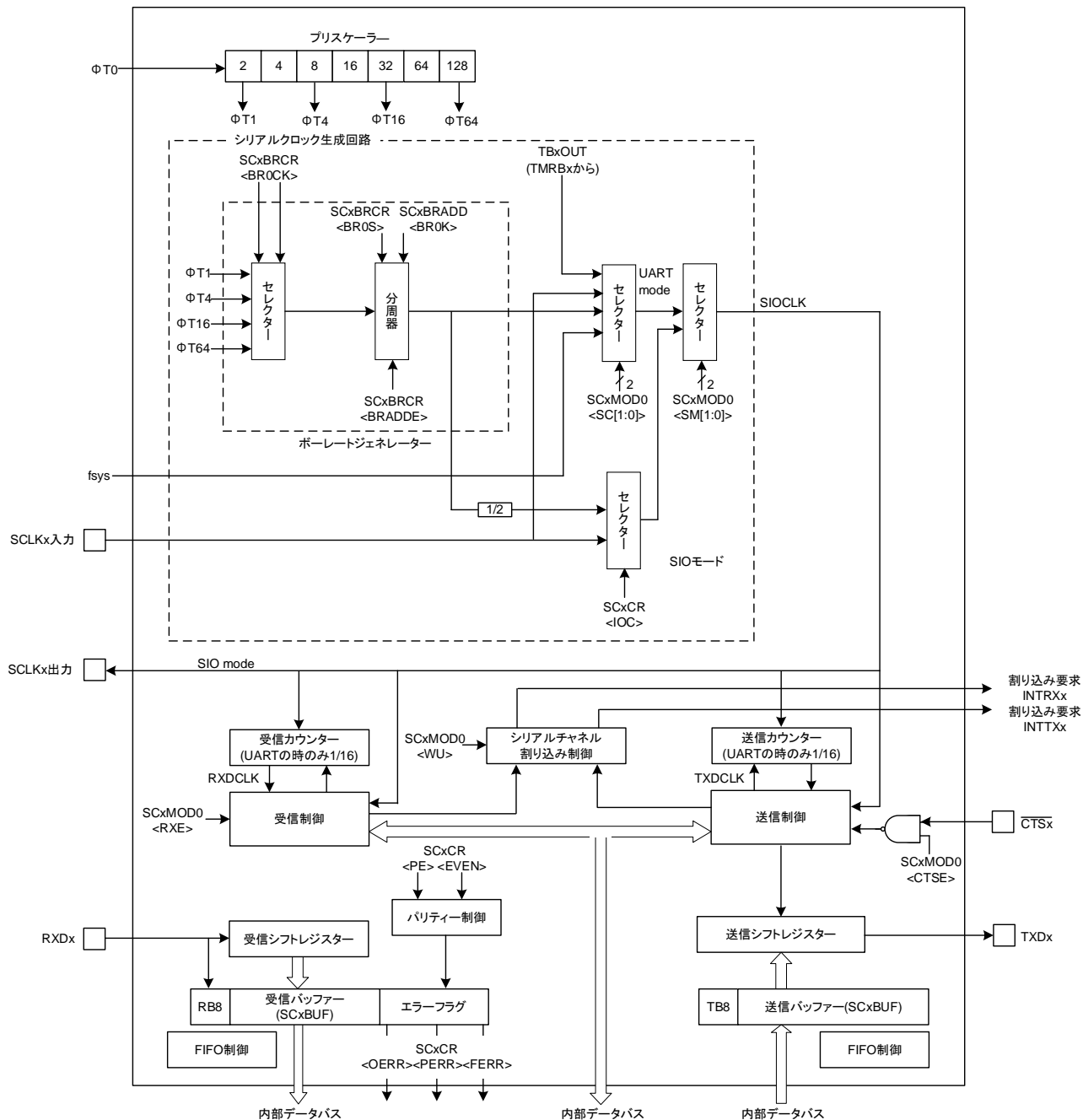


図 10.1 SIO/UARTブロック図

## 10.3. レジスタ—説明

### 10.3.1. レジスタ—一覧

制御レジスタ—とアドレスを以下に示します。

レジスタ—名		Address (Base+)
許可レジスタ—	SCxEN	0x0000
送受信バッファ—レジスタ—	SCxBUF	0x0004
コントロールレジスタ—	SCxCR	0x0008
モードコントロールレジスタ—0	SCxMOD0	0x000C
ポーレートジェネレーターコントロールレジスタ—	SCxBRCR	0x0010
ポーレートジェネレーターコントロールレジスタ—2	SCxBRADD	0x0014
モードコントロールレジスタ—1	SCxMOD1	0x0018
モードコントロールレジスタ—2	SCxMOD2	0x001C
受信FIFOコンフィグレジスタ—	SCxRFC	0x0020
送信FIFOコンフィグレジスタ—	SCxTFC	0x0024
受信FIFOステータスレジスタ—	SCxRST	0x0028
送信FIFOステータスレジスタ—	SCxTST	0x002C
FIFOコンフィグレジスタ—	SCxFCNF	0x0030

注) 送信中、受信中に制御レジスタ—を書き換えしないでください。

## 10.3.2. SCxEN(許可レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	-	-	-	-	-	-	-	SIOE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:1	-	R	リードすると"0"が読めます。
0	SIOE	R/W	<p>SIO/UART動作制御</p> <p>0: 禁止 1: 許可</p> <p>SIO/UARTの動作を指定します。SIO/UARTを使用する場合は、まずSCxEN&lt;SIOE&gt;を"1"に設定してください。</p> <p>SIO/UARTを動作許可した後に動作禁止にした場合は、SCxTFC&lt;TIL[1:0]&gt;を除くすべてのレジスターの値は保持されます。</p> <p>動作禁止の状態では、SCxENを除くSIO/UARTへのクロック供給が停止しますので消費電力を低減できます。</p>

注) SCxEN<SIOE>に"0"が設定(SIO/UART 動作禁止)、または SCxMOD1<I2S0>に"0"が設定されていて、かつ IDLE モードへ移行(IDLE モード中の動作禁止)したときは、IDLE モードから復帰後、SCxTFCの再設定を行ってください。

### 10.3.3. SCxBUF(バッファレジスタ)

SCxBUF は、書き込み時は送信バッファまたは FIFO、読み出し時は受信バッファまたは FIFO として機能します。

	<b>31</b>	<b>30</b>	<b>29</b>	<b>28</b>	<b>27</b>	<b>26</b>	<b>25</b>	<b>24</b>
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	<b>23</b>	<b>22</b>	<b>21</b>	<b>20</b>	<b>19</b>	<b>18</b>	<b>17</b>	<b>16</b>
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	<b>15</b>	<b>14</b>	<b>13</b>	<b>12</b>	<b>11</b>	<b>10</b>	<b>9</b>	<b>8</b>
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	<b>7</b>	<b>6</b>	<b>5</b>	<b>4</b>	<b>3</b>	<b>2</b>	<b>1</b>	<b>0</b>
Bit symbol	TB/RB							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:8	-	R	リードすると"0"が読めます。
7:0	RB[7:0]	R	受信バッファ/FIFO
	TB[7:0]	W	送信バッファ/FIFO

## 10.3.4. SCxCR(コントロールレジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:8	-	R	リードすると"0"が読めます。
7	RB8	R	受信データビット8(UARTモード) 9ビットUARTモード時の9ビット目の受信データです。
6	EVEN	R/W	パリティビット設定(UARTモード) 0: Odd 1: Even パリティビットのodd/evenを設定します。 パリティビットは、7ビットUARTモード、8ビットUARTモードで使用可能です。
5	PE	R/W	パリティビット付与制御(UARTモード) 0: 禁止 1: 許可 パリティビット付与の許可/禁止を制御するビットです。 パリティビットは、7ビットUARTモード、8ビットUARTモードで使用可能です。
4	OERR	R	オーバーランエラー(注) 0: エラーが発生していない 1: エラーが発生
3	PERR	R	パリティ/アンダーランエラー(注) 0: エラーが発生していない 1: エラーが発生
2	FERR	R	フレーミングエラー(注) 0: エラーが発生していない 1: エラーが発生
1	SCLKS	R/W	クロックエッジ選択(SIOモード) 0: SCLKx端子の立ち下がりエッジで送信シフトレジスターのデータを1ビットずつTXDx端子へ出力します。SCLKx端子の立ち上がりエッジでRXDx端子のデータを1ビットずつ受信シフトレジスターに取り込みます。このとき、SCLKx端子は"High"レベルからスタートします。 1: SCLKx端子の立ち上がりエッジで送信シフトレジスターのデータを1ビットずつTXDx端子へ出力します。SCLKx端子の立ち下がりエッジでRXDx端子のデータを1ビットずつ受信シフトレジスターに取り込みます。このとき、SCLKx端子は"Low"レベルからスタートします。 SCxCR<IOC>を"0"に設定した時には、SCxCR<SCLKS>に"0"を設定してください。
0	IOC	R/W	転送クロック出力選択(SIOモード) 0: SCLKx端子出力 1: SCLKx端子入力

注) エラーフラグ(OERR、PERR、FERR)は読み出すとクリアされます。

## 10.3.5. SCxMOD0(モードコントロールレジスタ0)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	TB8	CTSE	RXE	WU	SM		SC	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:8	-	R	リードすると"0"が読めます。
7	TB8	R/W	送信データビット8(UARTモード) 9ビットUARTモード時の9ビット目の送信データをセットします。
6	CTSE	R/W	ハンドシェイク機能制御(UARTモード) 0: ハンドシェイク機能禁止 1: ハンドシェイク機能許可 ハンドシェイク機能の制御を行います。許可にするとCTSx端子を用いたハンドシェイク機能が使用できます。
5	RXE	R/W	受信動作制御(注1)(注2) 0: 禁止 1: 許可
4	WU	R/W	ウエイクアップ機能制御(UARTモード) 0: 禁止 1: 許可 9ビットUARTモード時のみ有効で、その他のモードでは意味を持ちません。許可の場合、9ビット目の受信データが"1"のときに割り込みが発生します。
3:2	SM[1:0]	R/W	シリアル転送モード 00: SIOモード 01: 7ビットUARTモード 10: 8ビットUARTモード 11: 9ビットUARTモード
1:0	SC[1:0]	R/W	SIOCLKクロック選択(UARTモード) 00: TMRB TBxOUT 01: ポーレートジェネレーター 10: fsys 11: SCLKx端子入力

注 1) SCxMOD0、SCxMOD1、SCxMOD2 を設定した後に、SCxMOD0<RXE>を設定してください。

注 2) 受信中に SCxMOD0<RXE>を"0"に設定しないでください。

## 10.3.6. SCxBRCR(ポーレートジェネレーターコントロールレジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	-	BRADDE	BROCK		BROS			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:8	-	R	リードすると"0"が読めます。
7	-	R/W	"0"をライトしてください。
6	BRADDE	R/W	$N + \frac{(16-K)}{16}$ 分周制御(UARTモード) 0: 禁止 1: 許可 SIOモードでは、SCxBRCR<BRADDE>に"0"を設定してください。
5:4	BROCK[1:0]	R/W	ポーレートジェネレーター入カクロック選択 00: $\Phi T1$ 01: $\Phi T4$ 10: $\Phi T16$ 11: $\Phi T64$
3:0	BROS[3:0]	R/W	分周値"N"設定 0000: 16 0001: 1 0010: 2 : 1111: 15

## 10.3.7. SCxBRADD(ポーレートジェネレーターコントロールレジスター2)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	-	-	-	-	BR0K			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:4	-	R	リードすると"0"が読めます。
3:0	BR0K[3:0]	R/W	分周値"K"設定(UARTモード) 0000: 設定禁止 0001: 1 0010: 2 : 1111: 15

分周値の設定を表 10.1 に示します。

表 10.1 分周値の設定

項目	SCxBRCR<BRADDE> = "0"のとき	SCxBRCR<BRADDE> = "1"のとき(注1) (UARTモードのみ使用可能)
SCxBRCR<BR0S>の設定	分周値"N"を設定(注2)(注3)	
SCxBRADD<BR0K>の設定	設定不要	"K"を設定
分周値	N分周	$N + \frac{(16-K)}{16}$ 分周

注 1)  $N + \frac{(16-K)}{16}$ 分周分周を使用する場合、必ず SCxBRADD<BR0K>に"K"を設定後に SCxBRCR <BRADDE>に"1"を設定してください。

注 2) UART モードで  $N + \frac{(16-K)}{16}$ 分周を使用する場合、分周値"N"に"1"と"16"は設定できません。

注 3) SIO モードでダブルバッファ許可の場合のみ分周値"N"に"1"を設定できます。

## 10.3.8. SCxMOD1(モードコントロールレジスター1)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	I2S0	FDPX		TXE	SINT			-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:8	-	R	リードすると"0"が読めます。
7	I2S0	R/W	IDLEモード時の動作 0: 停止 1: 動作
6:5	FDPX[1:0]	R/W	転送モード設定 00: 転送禁止 01: 半二重受信 10: 半二重送信 11: 全二重 SIOモード時の転送モードとFIFOの構成を指定します。 UARTモード時はFIFO構成のみ指定します。
4	TXE	R/W	送信動作制御(注1)(注2) 0: 禁止 1: 許可
3:1	SINT[2:0]	R/W	連続転送時のインターバル時間(SIOモード) 000: なし 001: 1 × SCLKx周期 010: 2 × SCLKx周期 011: 4 × SCLKx周期 100: 8 × SCLKx周期 101: 16 × SCLKx周期 110: 32 × SCLKx周期 111: 64 × SCLKx周期 SIOモードで転送クロックにSCLKx端子出力を選択したときに有効なビットです。その他のモードでは意味を持ちません。 SIOモードで、ダブルバッファまたはFIFOが許可されているときに連続転送のインターバル時間を指定します。
0	-	R/W	"0"をライトしてください。

注 1) SCxMOD0、SCxMOD1、SCxMOD2 を設定した後に、SCxMOD1<TXE>を設定してください。

注 2) 送信中に SCxMOD1<TXE>を"0"に設定しないでください。

注 3) SCxEN<SIOE>に"0"が設定(SIO/UART 動作禁止)、または SCxMOD1<I2S0>に"0"が設定されているとき、IDLE モードへ移行(IDLE モード中の動作禁止)した後は、SCxTFC の再設定を行ってください。

## 10.3.9. SCxMOD2(モードコントロールレジスター2)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	TBEMP	RBFL	TXRUN	SBLEN	DRCHG	WBUF	SWRST	
リセット後	1	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能											
31:8	-	R	リードすると"0"が読めます。											
7	TBEMP	R	送信バッファエンプティフラグ 0: バッファフル 1: バッファエンプティ 送信バッファのバッファエンプティを示すフラグです。送信バッファのデータが送信シフトレジスターに転送されバッファエンプティになると"1"になり、送信バッファに送信データが書き込まれると"0"になります。ダブルバッファ禁止のとき、このフラグは意味を持ちません。											
6	RBFL	R	受信バッファフルフラグ 0: バッファエンプティ 1: バッファフル 受信バッファのバッファフルを示すフラグです。受信動作が終了して、受信シフトレジスターから受信バッファへデータが格納されると"1"になり、受信バッファから受信データを読み出すと"0"になります。ダブルバッファ禁止の場合はこのフラグは意味を持ちません。											
5	TXRUN	R	送信動作フラグ 0: 停止 1: 動作 送信動作を示すステータスフラグです。 SCxMOD2<TXRUN>とSCxMOD2<TBEMP>で以下のような状態を示します。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>SCxMOD2 &lt;TXRUN&gt;</th> <th>SCxMOD2 &lt;TBEMP&gt;</th> <th>状態</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>-</td> <td>送信動作中</td> </tr> <tr> <td rowspan="2">0</td> <td>1</td> <td>送信終了</td> </tr> <tr> <td>0</td> <td>送信バッファに次のデータがあり送信待ち</td> </tr> </tbody> </table>	SCxMOD2 <TXRUN>	SCxMOD2 <TBEMP>	状態	1	-	送信動作中	0	1	送信終了	0	送信バッファに次のデータがあり送信待ち
SCxMOD2 <TXRUN>	SCxMOD2 <TBEMP>	状態												
1	-	送信動作中												
0	1	送信終了												
	0	送信バッファに次のデータがあり送信待ち												
4	SBLEN	R/W	送信STOPビット長選択(UARTモード) 0: 1ビット 1: 2ビット 送信STOPビット長を選択します。受信STOPビット長はSCxMOD2<SBLEN>によらず、1ビットのみです。											
3	DRCHG	R/W	転送方向選択 0: LSBファースト 1: MSBファースト SIOモード時の転送方向を選択します。UARTモード時はSCxMOD2<DRCHG>に"0"を設定してください。											

2	WBUF	R/W	<p>ダブルバッファの制御 0: 禁止 1: 許可</p> <p>SIOモードで、転送クロックにSCLKx端子出力を選択したとき、またはSCLKx端子入力を選択して送信のときに有効になります UARTモードでは、送信のときに有効になります。</p> <p>SIOモードで、SCLKx端子入力を選択して受信のとき、UARTモードで受信のときは、SCxMOD2&lt;WBUF&gt;の設定にかかわらず、ダブルバッファは許可となります。</p>										
1:0	SWRST[1:0]	R/W	<p>ソフトウェアリセット "10" → "01"の順に書き込むことでソフトウェアリセットが発生します。 ソフトウェアリセットにより、以下のビットが初期化されます。また、送受信回路とFIFOは初期状態になります。(注1)(注2)</p> <table border="1" data-bbox="496 568 1453 775"> <thead> <tr> <th>レジスター名</th> <th>ビット</th> </tr> </thead> <tbody> <tr> <td>SCxMOD0</td> <td>&lt;RXE&gt;</td> </tr> <tr> <td>SCxMOD1</td> <td>&lt;TXE&gt;</td> </tr> <tr> <td>SCxMOD2</td> <td>&lt;TBEMP&gt;、&lt;RBFL&gt;、&lt;TXRUN&gt;</td> </tr> <tr> <td>SCxCR</td> <td>&lt;OERR&gt;、&lt;PERR&gt;、&lt;FERR&gt;</td> </tr> </tbody> </table>	レジスター名	ビット	SCxMOD0	<RXE>	SCxMOD1	<TXE>	SCxMOD2	<TBEMP>、<RBFL>、<TXRUN>	SCxCR	<OERR>、<PERR>、<FERR>
レジスター名	ビット												
SCxMOD0	<RXE>												
SCxMOD1	<TXE>												
SCxMOD2	<TBEMP>、<RBFL>、<TXRUN>												
SCxCR	<OERR>、<PERR>、<FERR>												

注 1) 転送動作中にソフトウェアリセットを実施する場合は 2 回連続して実施してください。

注 2) ソフトウェアリセット動作が完了するのに、命令実行後 2 クロック必要です。

## 10.3.10. SCxRFC(受信 FIFO コンフィグレジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	RFCS	RFIS	-	-	-	-	RIL	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能															
31:8	-	R	リードすると"0"が読めます。															
7	RFCS	R	リードすると"0"が読めます。															
		W	受信用FIFOクリア制御(注) 0: Don't care 1: クリア "1"を書き込むと受信に使用されているFIFO、リードポインターが初期化され、SCxRST<RLVL[2:0]>が"000"になります。															
6	RFIS	R/W	FIFO許可時の割り込み発生条件選択 0: FILLレベル到達 1: FILLレベル到達および新規データ読み出し時にFILLレベルを超えている															
5:2	-	R	リードすると"0"が読めます。															
1:0	RIL[1:0]	R/W	FIFO許可時、割り込みが発生するFILLレベル設定															
			<table border="1"> <thead> <tr> <th>SCxRFC &lt;RIL[1:0]&gt;</th> <th>半二重</th> <th>全二重</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>フル</td> <td>フル</td> </tr> <tr> <td>01</td> <td>1バイト</td> <td>1バイト</td> </tr> <tr> <td>10</td> <td>2バイト</td> <td>フル</td> </tr> <tr> <td>11</td> <td>3バイト</td> <td>1バイト</td> </tr> </tbody> </table>	SCxRFC <RIL[1:0]>	半二重	全二重	00	フル	フル	01	1バイト	1バイト	10	2バイト	フル	11	3バイト	1バイト
			SCxRFC <RIL[1:0]>	半二重	全二重													
			00	フル	フル													
			01	1バイト	1バイト													
10	2バイト	フル																
11	3バイト	1バイト																

注) FIFO 許可時は、SIO/UART の転送モード設定(SCxMOD1<FDPX[1:0]>)、FIFO 許可(SCxFCNF <CNFG>に"1"を設定)の後、必ず送信用/受信用 FIFO のクリアを実行してください。

## 10.3.11. SCxTFC(送信 FIFO コンフィグレジスタ)(注 2)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	TFCS	TFIS	-	-	-	-	TIL	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能															
31:8	-	R	リードすると"0"が読めます。															
7	TFCS	R	リードすると"0"が読めます。															
		W	送信用FIFOクリア制御(注1) 0: Don't care 1: クリア "1"を書き込むと送信に使用されているFIFO、ライトポインターが初期化され、SCxTST<TLVL[2:0]>が"000"になります。															
6	TFIS	R/W	FIFO許可時の割り込み発生条件選択 0: FILLレベル到達 1: FILLレベル到達および新規データ書き込み時にFILLレベルに達していない															
5:2	-	R	リードすると"0"が読めます。															
1:0	TIL[1:0]	R/W	FIFO許可時、割り込みが発生するFILLレベル設定															
			<table border="1"> <thead> <tr> <th>SCxTFC &lt;TIL[1:0]&gt;</th> <th>半二重</th> <th>全二重</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>エンプティ</td> <td>エンプティ</td> </tr> <tr> <td>01</td> <td>1バイト</td> <td>1バイト</td> </tr> <tr> <td>10</td> <td>2バイト</td> <td>エンプティ</td> </tr> <tr> <td>11</td> <td>3バイト</td> <td>1バイト</td> </tr> </tbody> </table>	SCxTFC <TIL[1:0]>	半二重	全二重	00	エンプティ	エンプティ	01	1バイト	1バイト	10	2バイト	エンプティ	11	3バイト	1バイト
			SCxTFC <TIL[1:0]>	半二重	全二重													
			00	エンプティ	エンプティ													
			01	1バイト	1バイト													
10	2バイト	エンプティ																
11	3バイト	1バイト																
00	エンプティ	エンプティ																
01	1バイト	1バイト																
10	2バイト	エンプティ																
11	3バイト	1バイト																

注 1) FIFO 使用時は、SIO の転送モード設定(SCxMOD1<FDPX[1:0]>)、FIFO 許可(SCxFCNF <CNFG> = "1") の後、必ず送信用/受信用 FIFO のクリアを実行してください。

注 2) SIO/UART 動作禁止(SCxEN<SIOE> = "0")、または SCxMOD1<I2S0>に"0"が設定されているとき、IDLE モードへの移行(IDLE モード中の動作禁止)した後は、SCxTFC の再設定を行ってください。

## 10.3.12. SCxRST(受信 FIFO ステータスレジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	ROR	-	-	-	-	RLVL		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:8	-	R	リードすると"0"が読めます。
7	ROR	R	FIFO許可時のオーバーランエラー(注) 0: エラーが発生していない 1: エラーが発生
6:3	-	R	リードすると"0"が読めます。
2:0	RLVL[2:0]	R	受信用FIFOのFILLレベル 000: 0バイト 001: 1バイト 010: 2バイト 011: 3バイト 100: フル

注) SCxRST<ROR>は SCxBUF を読み出すと"0"になります。

### 10.3.13. SCxTST(送信 FIFO ステータスレジスタ)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	TUR	-	-	-	-	TLVL		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:8	-	R	リードすると"0"が読めます。
7	TUR	R	FIFO許可時のアンダーランエラー(注) 0: エラーが発生していない 1: エラーが発生
6:3	-	R	リードすると"0"が読めます。
2:0	TLVL[2:0]	R	送信用FIFOのFILLレベル 000: エンプティ 001: 1バイト 010: 2バイト 011: 3バイト 100: 4バイト

注) SCxTST<TUR>は SCxBUF に書き込むと"0"になります。

## 10.3.14. SCxFCNF(FIFO コンフィグレジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	-	-	-	RFST	TFIE	RFIE	RXTXCNT	CNFG
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能	
31:8	-	R	リードすると"0"が読めます。	
7:5	-	R/W	"0"をライトしてください。	
4	RFST	R/W	受信時に使用するFIFOバイト数設定(注1) 0: 最大 1: 受信FIFOのFILLレベルと同じ "0"の場合、構成されているFIFOの最大のバイト数が使用可能です。 "1"の場合、SCxRFC<RIL[1:0]>に設定したFILLレベルのバイト数が使用可能です。 使用できるFIFOのバイト数はSCxFCNF<CNFG>を参照してください。	
3	TFIE	R/W	送信時、FIFO許可での送信割り込み発生制御 0: 禁止 1: 許可 FIFOが許可されているときの送信割り込み発生禁止/許可を行います	
2	RFIE	R/W	受信時、FIFO許可での受信割り込み発生制御 0: 禁止 1: 許可 FIFOが有効にされているときの受信割り込み発生禁止/許可を行います	
1	RXTXCNT	R/W	SCxMOD0<RXE>/SCxMOD1<TXE>の自動禁止制御 0: 禁止 1: 許可 転送モードより、以下のように動作します。	
			<b>転送モード</b>	<b>動作</b>
			半二重受信	受信シフトレジスター、受信バッファおよびFIFOに、指定されたバイト数分のデータが格納されると自動的にSCxMOD0<RXE>が"0"となり受信動作が禁止される。
			半二重送信	FIFO、送信バッファおよび送信シフトレジスターの全てのデータ送信が終了すると自動的に SCxMOD1<TXE>が"0"となり、送信動作が禁止される。
全二重	半二重受信または半二重送信のどちらかの条件が成立すると、自動的に SCxMOD1 <TXE>、SCxMOD0<RXE>がともに"0"となり、送信/受信動作が禁止される。			

0	CNFG	R/W	FIFOの許可制御(注2) 0: 禁止 1: 許可 転送モードにより、FIFO構成は以下のようになります。	
			転送モード	FIFO構成
			半二重受信	受信4バイト
			半二重送信	送信 4 バイト
全二重	受信 2 バイト + 送信 2 バイト			

注 1) 送信時の FIFO 使用バイト数は、常に最大バイトです。

注 2) 9 ビット UART モードでは FIFO は使用できません。

## 10.4. モード

表 10.2 にモードとデータフォーマットを示します。

表 10.2 モードとデータフォーマット

モード	種類	データ長	転送方向	パリティビット付加	STOPビット長
モード0	同期通信モード (SIOモード)	8ビット	LSBファーストまたは MSBファースト	×	×
モード1	非同期通信モード (UARTモード)	7ビット	LSBファースト	○	送信: 1ビットまたは2ビット 受信: 1ビット
モード2		8ビット		○	
モード3		9ビット		×	

注) ○: 可能、×: 不可

モード0はSIOモードで、I/Oを拡張するために使用します。

SCLK<sub>x</sub>端子に同期してデータの送受信を行います。SCLK<sub>x</sub>端子は入力/出力いずれでも使用できます。

転送方向は、LSBファーストとMSBファーストから選択します。

パリティビット付加、STOPビット付加ともに非対応です。

モード1からモード3はUARTモードです。

転送方向はLSBファーストのみです。

モード1とモード2はパリティビットの付加が可能です。モード3は、データ長が9ビットであるため、パリティビットの付加はできません。

STOPビット付加が可能です。送信時のSTOPビットは1ビット、2ビットから選択します。受信時のSTOPビット長は1ビットのみです。

モード3には、マスターコントローラーがシリアルリンク(マルチコントローラーシステム)でスレーブコントローラーを起動させるためのウエイクアップ機能に対応しています。

## 10.5. データフォーマット

### 10.5.1. データフォーマット一覧

図 10.2 にデータフォーマットを示します。

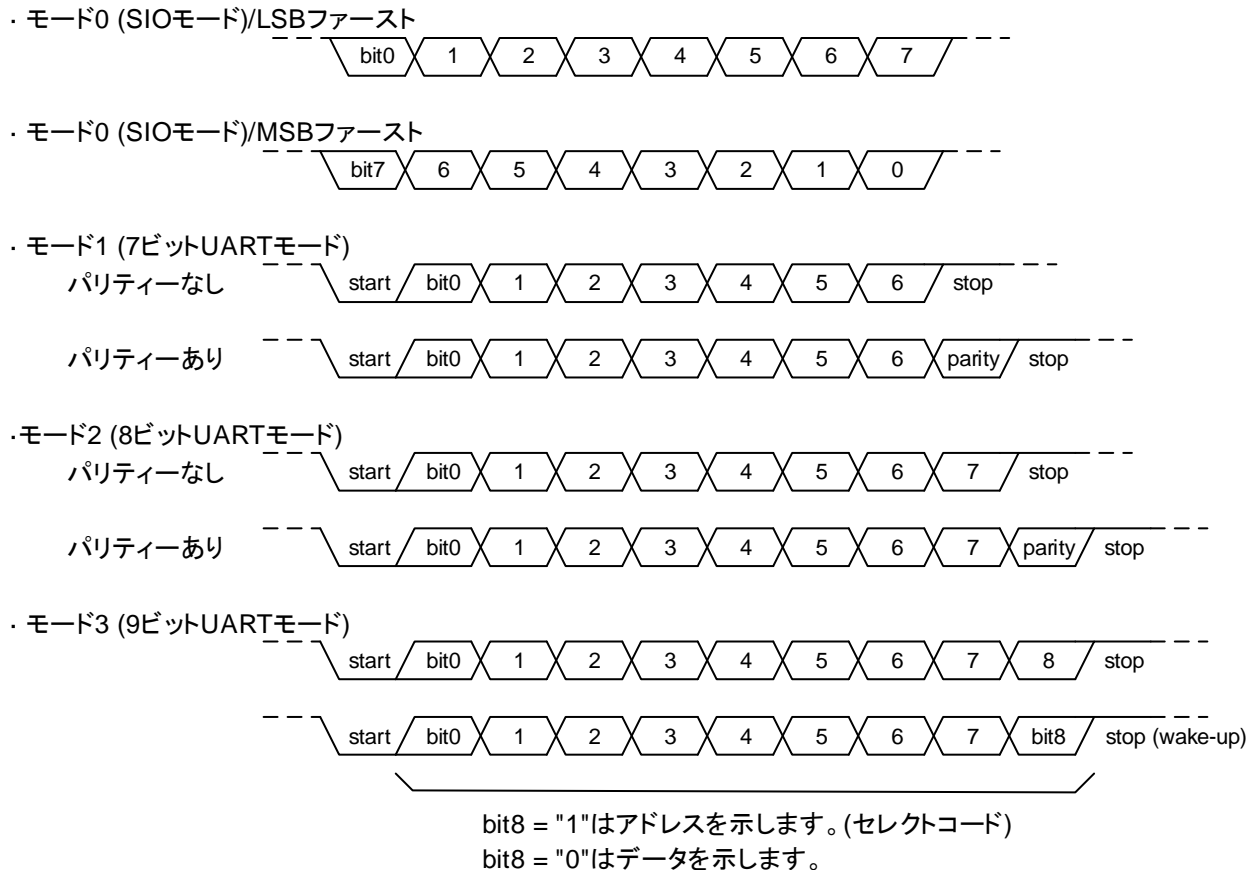


図 10.2 データフォーマット

### 10.5.2. パリティビット制御

モード1およびモード2では転送データにパリティビットを付加することができます。

SCxCR<PE>に"1"を設定するとパリティビット付加が許可されます。

SCxCR<EVEN>でパリティビットの odd、even を選択します。

#### 10.5.2.1. 送信時

送信時、パリティ制御回路は、バッファレジスタのデータに対して自動的にパリティビットを発生します。

モード1のときは、SCxBUF<TB7>にパリティビットが格納されます。

モード2のときは、SCxMOD0<TB8>にパリティビットが格納されます。

SCxCR<PE>と SCxCR<EVEN>の設定は、送信データをバッファレジスタに書き込む前に行ってください。

### 10.5.2.2. 受信時

受信時、パリティ制御回路は、データが受信シフトレジスターから受信バッファレジスターに格納されると自動的にパリティビットを発生します。

モード1のときは、SCxBUF<RB7>と発生したパリティビットを比較します。

モード2のときは、SCxCR<RB8>と発生したパリティビットを比較します。

比較結果が不一致なときにパリティエラーが発生し、SCxCR<PERR>が"1"になります。

FIFOを使用する場合、SCxCR<PERR>は受信したいずれかのデータでパリティエラーが発生したことを示します。

### 10.5.3. STOP ビット長

シリアル転送モードがUARTモードのとき、SCxMOD2<SBLEN>で送信時のSTOPビット長を1ビットまたは2ビットから選択します。

受信時のSTOPビット長は、SCxMOD2<SBLEN>によらず、1ビットのみです。

## 10.6. クロック制御

### 10.6.1. プリスケーラー

7ビットのプリスケーラーを内蔵しており、 $\Phi T0$  の 2/8/32/128 分周クロックを生成します。

プリスケーラーの入力クロック  $\Phi T0$  は、クロック/モード制御回路の CGSYSCR で fgear と fc から選択します。

プリスケーラーが生成したクロックを使用する条件を以下に示します。

- SIO モード  
SCxCR<IOC>を"0"に設定して、転送クロックに SCLKx 端子出力を選択する。
- UART モード  
SCxMOD0<SC[1:0]>を"01"に設定して、シリアル転送クロックにポーレートジェネレーターを選択する。

プリスケラーからの出力クロックの分解能を表 9.1、表 10.4 に示します。

表 10.3 プリスケラーからの出力クロックの分解能( $f_c = 80\text{MHz}$ ) (1 / 2)

CGSYSCR <FPSEL>	CGSYSCR <GEAR[2:0]>	CGSYSCR <PRCK[2:0]>	プリスケラーからの出力クロックの分解能			
			$\Phi T1$	$\Phi T4$	$\Phi T16$	$\Phi T64$
0 (fgear)	000 (fc)	000 (fperiph / 1)	-	$0.1\mu\text{s} (f_c / 2^3)$	$0.4\mu\text{s} (f_c / 2^5)$	$1.6\mu\text{s} (f_c / 2^7)$
		001 (fperiph / 2)	$0.05\mu\text{s} (f_c / 2^2)$	$0.2\mu\text{s} (f_c / 2^4)$	$0.8\mu\text{s} (f_c / 2^6)$	$3.2\mu\text{s} (f_c / 2^8)$
		010 (fperiph / 4)	$0.1\mu\text{s} (f_c / 2^3)$	$0.4\mu\text{s} (f_c / 2^5)$	$1.6\mu\text{s} (f_c / 2^7)$	$6.4\mu\text{s} (f_c / 2^9)$
		011 (fperiph / 8)	$0.2\mu\text{s} (f_c / 2^4)$	$0.8\mu\text{s} (f_c / 2^6)$	$3.2\mu\text{s} (f_c / 2^8)$	$12.8\mu\text{s} (f_c / 2^{10})$
		100 (fperiph / 16)	$0.4\mu\text{s} (f_c / 2^5)$	$1.6\mu\text{s} (f_c / 2^7)$	$6.4\mu\text{s} (f_c / 2^9)$	$25.6\mu\text{s} (f_c / 2^{11})$
		101 (fperiph / 32)	$0.8\mu\text{s} (f_c / 2^6)$	$3.2\mu\text{s} (f_c / 2^8)$	$12.8\mu\text{s} (f_c / 2^{10})$	$51.2\mu\text{s} (f_c / 2^{12})$
	100 (fc / 2)	000 (fperiph / 1)	-	$0.2\mu\text{s} (f_c / 2^4)$	$0.8\mu\text{s} (f_c / 2^6)$	$3.2\mu\text{s} (f_c / 2^8)$
		001 (fperiph / 2)	$0.1\mu\text{s} (f_c / 2^3)$	$0.4\mu\text{s} (f_c / 2^5)$	$1.6\mu\text{s} (f_c / 2^7)$	$6.4\mu\text{s} (f_c / 2^9)$
		010 (fperiph / 4)	$0.2\mu\text{s} (f_c / 2^4)$	$0.8\mu\text{s} (f_c / 2^6)$	$3.2\mu\text{s} (f_c / 2^8)$	$12.8\mu\text{s} (f_c / 2^{10})$
		011 (fperiph / 8)	$0.4\mu\text{s} (f_c / 2^5)$	$1.6\mu\text{s} (f_c / 2^7)$	$6.4\mu\text{s} (f_c / 2^9)$	$25.6\mu\text{s} (f_c / 2^{11})$
		100 (fperiph / 16)	$0.8\mu\text{s} (f_c / 2^6)$	$3.2\mu\text{s} (f_c / 2^8)$	$12.8\mu\text{s} (f_c / 2^{10})$	$51.2\mu\text{s} (f_c / 2^{12})$
		101 (fperiph / 32)	$1.6\mu\text{s} (f_c / 2^7)$	$6.4\mu\text{s} (f_c / 2^9)$	$25.6\mu\text{s} (f_c / 2^{11})$	$102.4\mu\text{s} (f_c / 2^{13})$
	101 (fc / 4)	000 (fperiph / 1)	-	$0.4\mu\text{s} (f_c / 2^5)$	$1.6\mu\text{s} (f_c / 2^7)$	$6.4\mu\text{s} (f_c / 2^9)$
		001 (fperiph / 2)	$0.2\mu\text{s} (f_c / 2^4)$	$0.8\mu\text{s} (f_c / 2^6)$	$3.2\mu\text{s} (f_c / 2^8)$	$12.8\mu\text{s} (f_c / 2^{10})$
		010 (fperiph / 4)	$0.4\mu\text{s} (f_c / 2^5)$	$1.6\mu\text{s} (f_c / 2^7)$	$6.4\mu\text{s} (f_c / 2^9)$	$25.6\mu\text{s} (f_c / 2^{11})$
		011 (fperiph / 8)	$0.8\mu\text{s} (f_c / 2^6)$	$3.2\mu\text{s} (f_c / 2^8)$	$12.8\mu\text{s} (f_c / 2^{10})$	$51.2\mu\text{s} (f_c / 2^{12})$
		100 (fperiph / 16)	$1.6\mu\text{s} (f_c / 2^7)$	$6.4\mu\text{s} (f_c / 2^9)$	$25.6\mu\text{s} (f_c / 2^{11})$	$102.4\mu\text{s} (f_c / 2^{13})$
		101 (fperiph / 32)	$3.2\mu\text{s} (f_c / 2^8)$	$12.8\mu\text{s} (f_c / 2^{10})$	$51.2\mu\text{s} (f_c / 2^{12})$	$204.8\mu\text{s} (f_c / 2^{14})$
	110 (fc / 8)	000 (fperiph / 1)	-	$0.8\mu\text{s} (f_c / 2^6)$	$3.2\mu\text{s} (f_c / 2^8)$	$12.8\mu\text{s} (f_c / 2^{10})$
		001 (fperiph / 2)	$0.4\mu\text{s} (f_c / 2^5)$	$1.6\mu\text{s} (f_c / 2^7)$	$6.4\mu\text{s} (f_c / 2^9)$	$25.6\mu\text{s} (f_c / 2^{11})$
		010 (fperiph / 4)	$0.8\mu\text{s} (f_c / 2^6)$	$3.2\mu\text{s} (f_c / 2^8)$	$12.8\mu\text{s} (f_c / 2^{10})$	$51.2\mu\text{s} (f_c / 2^{12})$
		011 (fperiph / 8)	$1.6\mu\text{s} (f_c / 2^7)$	$6.4\mu\text{s} (f_c / 2^9)$	$25.6\mu\text{s} (f_c / 2^{11})$	$102.4\mu\text{s} (f_c / 2^{13})$
		100 (fperiph / 16)	$3.2\mu\text{s} (f_c / 2^8)$	$12.8\mu\text{s} (f_c / 2^{10})$	$51.2\mu\text{s} (f_c / 2^{12})$	$204.8\mu\text{s} (f_c / 2^{14})$
		101 (fperiph / 32)	$6.4\mu\text{s} (f_c / 2^9)$	$25.6\mu\text{s} (f_c / 2^{11})$	$102.4\mu\text{s} (f_c / 2^{13})$	$409.6\mu\text{s} (f_c / 2^{15})$
111 (fc / 16)	000 (fperiph / 1)	-	$1.6\mu\text{s} (f_c / 2^7)$	$6.4\mu\text{s} (f_c / 2^9)$	$25.6\mu\text{s} (f_c / 2^{11})$	
	001 (fperiph / 2)	$0.8\mu\text{s} (f_c / 2^6)$	$3.2\mu\text{s} (f_c / 2^8)$	$12.8\mu\text{s} (f_c / 2^{10})$	$51.2\mu\text{s} (f_c / 2^{12})$	
	010 (fperiph / 4)	$1.6\mu\text{s} (f_c / 2^7)$	$6.4\mu\text{s} (f_c / 2^9)$	$25.6\mu\text{s} (f_c / 2^{11})$	$102.4\mu\text{s} (f_c / 2^{13})$	
	011 (fperiph / 8)	$3.2\mu\text{s} (f_c / 2^8)$	$12.8\mu\text{s} (f_c / 2^{10})$	$51.2\mu\text{s} (f_c / 2^{12})$	$204.8\mu\text{s} (f_c / 2^{14})$	
	100 (fperiph / 16)	$6.4\mu\text{s} (f_c / 2^9)$	$25.6\mu\text{s} (f_c / 2^{11})$	$102.4\mu\text{s} (f_c / 2^{13})$	$409.6\mu\text{s} (f_c / 2^{15})$	
	101 (fperiph / 32)	$12.8\mu\text{s} (f_c / 2^{10})$	$51.2\mu\text{s} (f_c / 2^{12})$	$204.8\mu\text{s} (f_c / 2^{14})$	$819.2\mu\text{s} (f_c / 2^{16})$	

注 1) プリスケラーからの出力クロック  $\Phi T_n$  は、必ず  $\Phi T_n < f_{\text{sys}} / 2$  を満足するように ( $\Phi T_n$  が  $f_{\text{sys}} / 2$  よりも遅くなるように) 選択してください。

注 2) SIO/UART 動作中に CGSYSCR<FPSEL>、CGSYSCR<GEAR[2:0]>、CGSYSCR<PRCK[2:0]> を変更しないでください。

注 3) "-" は設定禁止です。

表 10.4 プリスケーラーからの出力クロックの分解能( $f_c = 80\text{MHz}$ ) (2 / 2)

CGSYSCR <FPSEL>	CGSYSCR <GEAR[2:0]>	CGSYSCR <PRCK[2:0]>	プリスケーラーからの出力クロックの分解能			
			$\Phi T_1$	$\Phi T_4$	$\Phi T_{16}$	$\Phi T_{64}$
1 (fc)	000 (fc)	000 (fperiph / 1)	-	$0.1\mu\text{s} (f_c / 2^3)$	$0.4\mu\text{s} (f_c / 2^5)$	$1.6\mu\text{s} (f_c / 2^7)$
		001 (fperiph / 2)	$0.05\mu\text{s} (f_c / 2^2)$	$0.2\mu\text{s} (f_c / 2^4)$	$0.8\mu\text{s} (f_c / 2^6)$	$3.2\mu\text{s} (f_c / 2^8)$
		010 (fperiph / 4)	$0.1\mu\text{s} (f_c / 2^3)$	$0.4\mu\text{s} (f_c / 2^5)$	$1.6\mu\text{s} (f_c / 2^7)$	$6.4\mu\text{s} (f_c / 2^9)$
		011 (fperiph / 8)	$0.2\mu\text{s} (f_c / 2^4)$	$0.8\mu\text{s} (f_c / 2^6)$	$3.2\mu\text{s} (f_c / 2^8)$	$12.8\mu\text{s} (f_c / 2^{10})$
		100 (fperiph / 16)	$0.4\mu\text{s} (f_c / 2^5)$	$1.6\mu\text{s} (f_c / 2^7)$	$6.4\mu\text{s} (f_c / 2^9)$	$25.6\mu\text{s} (f_c / 2^{11})$
		101 (fperiph / 32)	$0.8\mu\text{s} (f_c / 2^6)$	$3.2\mu\text{s} (f_c / 2^8)$	$12.8\mu\text{s} (f_c / 2^{10})$	$51.2\mu\text{s} (f_c / 2^{12})$
	100 (fc / 2)	000 (fperiph / 1)	-	$0.1\mu\text{s} (f_c / 2^3)$	$0.4\mu\text{s} (f_c / 2^5)$	$1.6\mu\text{s} (f_c / 2^7)$
		001 (fperiph / 2)	-	$0.2\mu\text{s} (f_c / 2^4)$	$0.8\mu\text{s} (f_c / 2^6)$	$3.2\mu\text{s} (f_c / 2^8)$
		010 (fperiph / 4)	$0.1\mu\text{s} (f_c / 2^3)$	$0.4\mu\text{s} (f_c / 2^5)$	$1.6\mu\text{s} (f_c / 2^7)$	$6.4\mu\text{s} (f_c / 2^9)$
		011 (fperiph / 8)	$0.2\mu\text{s} (f_c / 2^4)$	$0.8\mu\text{s} (f_c / 2^6)$	$3.2\mu\text{s} (f_c / 2^8)$	$12.8\mu\text{s} (f_c / 2^{10})$
		100 (fperiph / 16)	$0.4\mu\text{s} (f_c / 2^5)$	$1.6\mu\text{s} (f_c / 2^7)$	$6.4\mu\text{s} (f_c / 2^9)$	$25.6\mu\text{s} (f_c / 2^{11})$
		101 (fperiph / 32)	$0.8\mu\text{s} (f_c / 2^6)$	$3.2\mu\text{s} (f_c / 2^8)$	$12.8\mu\text{s} (f_c / 2^{10})$	$51.2\mu\text{s} (f_c / 2^{12})$
	101 (fc / 4)	000 (fperiph / 1)	-	-	$0.4\mu\text{s} (f_c / 2^5)$	$1.6\mu\text{s} (f_c / 2^7)$
		001 (fperiph / 2)	-	$0.2\mu\text{s} (f_c / 2^4)$	$0.8\mu\text{s} (f_c / 2^6)$	$3.2\mu\text{s} (f_c / 2^8)$
		010 (fperiph / 4)	-	$0.4\mu\text{s} (f_c / 2^5)$	$1.6\mu\text{s} (f_c / 2^7)$	$6.4\mu\text{s} (f_c / 2^9)$
		011 (fperiph / 8)	$0.2\mu\text{s} (f_c / 2^4)$	$0.8\mu\text{s} (f_c / 2^6)$	$3.2\mu\text{s} (f_c / 2^8)$	$12.8\mu\text{s} (f_c / 2^{10})$
		100 (fperiph / 16)	$0.4\mu\text{s} (f_c / 2^5)$	$1.6\mu\text{s} (f_c / 2^7)$	$6.4\mu\text{s} (f_c / 2^9)$	$25.6\mu\text{s} (f_c / 2^{11})$
		101 (fperiph / 32)	$0.8\mu\text{s} (f_c / 2^6)$	$3.2\mu\text{s} (f_c / 2^8)$	$12.8\mu\text{s} (f_c / 2^{10})$	$51.2\mu\text{s} (f_c / 2^{12})$
	110 (fc / 8)	000 (fperiph / 1)	-	-	$0.4\mu\text{s} (f_c / 2^5)$	$1.6\mu\text{s} (f_c / 2^7)$
		001 (fperiph / 2)	-	-	$0.8\mu\text{s} (f_c / 2^6)$	$3.2\mu\text{s} (f_c / 2^8)$
		010 (fperiph / 4)	-	$0.4\mu\text{s} (f_c / 2^5)$	$1.6\mu\text{s} (f_c / 2^7)$	$6.4\mu\text{s} (f_c / 2^9)$
		011 (fperiph / 8)	-	$0.8\mu\text{s} (f_c / 2^6)$	$3.2\mu\text{s} (f_c / 2^8)$	$12.8\mu\text{s} (f_c / 2^{10})$
		100 (fperiph / 16)	$0.4\mu\text{s} (f_c / 2^5)$	$1.6\mu\text{s} (f_c / 2^7)$	$6.4\mu\text{s} (f_c / 2^9)$	$25.6\mu\text{s} (f_c / 2^{11})$
		101 (fperiph / 32)	$0.8\mu\text{s} (f_c / 2^6)$	$3.2\mu\text{s} (f_c / 2^8)$	$12.8\mu\text{s} (f_c / 2^{10})$	$51.2\mu\text{s} (f_c / 2^{12})$
111 (fc / 16)	000 (fperiph / 1)	-	-	-	$1.6\mu\text{s} (f_c / 2^7)$	
	001 (fperiph / 2)	-	-	$0.8\mu\text{s} (f_c / 2^6)$	$3.2\mu\text{s} (f_c / 2^8)$	
	010 (fperiph / 4)	-	-	$1.6\mu\text{s} (f_c / 2^7)$	$6.4\mu\text{s} (f_c / 2^9)$	
	011 (fperiph / 8)	-	$0.8\mu\text{s} (f_c / 2^6)$	$3.2\mu\text{s} (f_c / 2^8)$	$12.8\mu\text{s} (f_c / 2^{10})$	
	100 (fperiph / 16)	-	$1.6\mu\text{s} (f_c / 2^7)$	$6.4\mu\text{s} (f_c / 2^9)$	$25.6\mu\text{s} (f_c / 2^{11})$	
	101 (fperiph / 32)	$0.8\mu\text{s} (f_c / 2^6)$	$3.2\mu\text{s} (f_c / 2^8)$	$12.8\mu\text{s} (f_c / 2^{10})$	$51.2\mu\text{s} (f_c / 2^{12})$	

注 1) プリスケーラーからの出力クロック  $\Phi T_n$  は、必ず  $\Phi T_n < f_{\text{sys}} / 2$  を満足するように ( $\Phi T_n$  が  $f_{\text{sys}} / 2$  よりも遅くなるように) 選択してください。

注 2) SIO/UART 動作中に CGSYSCR<FPSEL>、CGSYSCR<GEAR[2:0]>、CGSYSCR<PRCK[2:0]> を変更しないでください。

注 3) "-" は設定禁止です。

## 10.6.2. シリアルクロック生成回路

送信/受信クロック(SIOCLK)を生成する回路です。

ボーレートジェネレーターとクロック選択回路で構成されています。

### 10.6.2.1. ボーレートジェネレーター

ボーレートジェネレーターは、SIO/UART の転送速度を定めるクロックを生成するための回路です。

ボーレートジェネレーター入力クロックを分周回路で分周して、ボーレートジェネレーター出力クロックを出力します。

#### (1) ボーレートジェネレーター入力クロック

ボーレートジェネレーターの入力クロックは、プリスケイラーから出力される 2/8/32/128 分周クロックから選択します。分周クロックは SCxBRCR<BR0CK[1:0]>で選択します。

#### (2) ボーレートジェネレーター出力クロック

分周回路は、N 分周回路と  $N + \frac{(16-K)}{16}$  分周回路をから構成されます。

分周値は SCxBRCR<BRADDE>、<BR0S[3:0]>、SCxBRADD<BR0K>で設定します。

シリアル転送モードごとに使用できる分周設定と分周値を表 10.5 に示します。

表 10.5 設定可能な分周値

シリアル転送モード	分周設定 SCxBRCR<BRADDE>	分周値"N" SCxBRCR<BR0S[3:0]>	分周値"K" SCxBRADD<BR0K>
SIO モード	0: $N + \frac{(16-K)}{16}$ 分周禁止 (N 分周が使用されます)	1 ~ 16(注)	意味を持ちません
UART モード	0: $N + \frac{(16-K)}{16}$ 分周禁止 (N 分周が使用されます)	1 ~ 16	意味を持ちません
	1: $N + \frac{(16-K)}{16}$ 分周許可	2 ~ 15	1 ~ 15

注) 1 分周は、ダブルバッファ許可時のみ使用できます。

## 10.6.2.2. クロック選択回路

シリアル転送モードにより、クロックを選択する回路です。

シリアル転送モードは SCxMOD0<SM[1:0]>で指定します。

SIO モード時のボーレートジェネレーター出力クロックは、SCxCR<IOC>、SCxCR<SCLKS>で指定します。

UART モード時のボーレートジェネレーター出力クロックは、SCxMOD0<SC[1:0]>で指定します。

### (1) SIO モードの転送クロック

表 10.6 に SIO モードで使用できる転送クロックのレジスター設定を示します。

表 10.6 SIOモードで使用できる転送クロックのレジスター設定

シリアル転送モード SCxMOD0<SM[1:0]>	転送クロック入出力選 択SCxCR<IOC>	クロックエッジ選択 SCxCR<SCLKS>	転送クロック
00: SIO モード	0: SCLKx 端子出力	0: 送信: 立ち下がり 受信: 立ち上がり	ボーレートジェネレーター出力の 2 分周クロック
	1: SCLKx 端子入力	0: 送信: 立ち下がり 受信: 立ち上がり	SCLKx 端子入力クロック
		1: 送信: 立ち上がり 受信: 立ち下がり	

転送クロックの最大周波数を以下に示します。

注) 電気的特性章の「24.7. AC 電気的特性」を満たすように、クロックを設定してください。

- クロック/モード制御回路の設定
  - $f_c = 80\text{MHz}$
  - $f_{\text{gear}} = 80\text{MHz}(\text{CGSYSCR}\langle\text{GEAR}[2:0]\rangle = "000"$ 、 $f_c$  選択)
  - $f_{\text{periph}} = 80\text{MHz}(\text{CGSYSCR}\langle\text{FPSEL}\rangle = "0"$ 、 $f_{\text{gear}}$  選択)
  - $\Phi T0 = 80\text{MHz}(\text{CGSYSCR}\langle\text{PRCK}[2:0]\rangle = "000"$ 、 $f_{\text{periph}}$  の 1 分周選択)
- 転送クロックに SCLKx 端子出力を使用する場合
  - ダブルバッファ許可時の SIO/UART の設定
    - プリスケイラー出力クロック選択( $\text{SCxBRCR}\langle\text{BR0CK}[1:0]\rangle = "00"$ 、 $\Phi T1$  選択) = 40MHz
    - 分周値"N"( $\text{SCxBRCR}\langle\text{BR0S}[3:0]\rangle = "0001"$ 、1 分周)、分周回路出力 = 40MHz  
ダブルバッファ許可の場合、分周値"N"に"1"を設定できます。
    - $\text{SIOCLK}(\text{分周回路出力周波数} / 2) = 20\text{MHz}$
  - ダブルバッファ禁止時の SIO/UART の設定
    - プリスケイラー出力クロック( $\text{SCxBRCR}\langle\text{BR0CK}[1:0]\rangle = "00"$ 、 $\Phi T1$  選択) = 40MHz
    - 分周値"N"( $\text{SCxBRCR}\langle\text{BR0S}[3:0]\rangle = "0010"$ 、2 分周)、分周回路出力 = 20MHz  
ダブルバッファ禁止の場合、分周値"N"に設定できる最小値は"2"です。
    - $\text{SIOCLK}(\text{分周回路出力周波数} / 2) = 10\text{MHz}$
- 転送クロックに SCLKx 端子入力を使用する場合
  - ダブルバッファ許可時の SIO/UART の設定
    - SCLKx 端子入力転送クロック周期  $> 6 / f_{\text{sys}}$   
転送クロックの最大周波数は、 $f_{\text{SCLKx}} = 80\text{MHz} / 6 = 13.3\text{MHz}@f_{\text{sys}} = 80\text{MHz}$  未満となります。
  - ダブルバッファ禁止時の SIO/UART の設定
    - SCLKx 端子入力転送クロック周期  $> 8 / f_{\text{sys}}$   
転送クロックの最大周波数は、 $f_{\text{SCLKx}} = 80\text{MHz} / 8 = 10\text{MHz}@f_{\text{sys}} = 80\text{MHz}$  未満となります。

(2) UART モードの転送クロック

表 10.7 に UART モードで使用できる転送クロックのレジスター設定を示します。

UART モードでは、SCxMOD0<SC[1:0]>で選択された SIOCLK クロックを受信/送信カウンタで 16 分周します。

**表 10.7 UARTモードで使用できるSIOCLKクロックのレジスター設定**

モード SCxMOD0<SM[1:0]>	SIOCLKクロック選択 SCxMOD0<SC[1:0]>
01: UART モード	00: TMRB TBxOUT
	01: ボーレートジェネレーター
10: UART モード	10: fsys
11: UART モード	11: SCLKx 端子入力

SCxMOD0<SC[1:0]>で選択した SIOCLK クロックごとのボーレートを以下に示します。

- TMRB TBxOUT を使用する場合

TMRB TBxOUT を使用する場合、あらかじめ UC のソースクロックを選択、UC と TBxRG1 の一致で TBxFF0 出力を反転に設定します。UC のソースクロックに  $\Phi T1$  を選択したときのボーレートの計算式を以下に示します。

ボーレートの計算式:

$$\text{ボーレート} = \frac{\Phi T1}{(\text{TBxRG1} \times 2) \times 2 \times 16}$$

タイマープリスケラークロック  $\Phi T1$ (2分周)を選択した場合

TBxFF0 出力反転 2回で1クロックとなる

表 10.8 に下記のクロック設定で TMRB TBxOUT を使用する場合のボーレート例を示します。

- クロック/モード制御回路の設定
  - $f_c = 80\text{MHz}$ 、 $9.8304\text{MHz}$ 、 $8\text{MHz}$
  - $f_{\text{gear}} = 80\text{MHz}$ 、 $9.8304\text{MHz}$ 、 $8\text{MHz}$ (CGSYSCR<GEAR[2:0]> = "000"、 $f_c$  選択)
  - $f_{\text{periph}} = 80\text{MHz}$ 、 $9.8304\text{MHz}$ 、 $8\text{MHz}$ (CGSYSCR<FPSEL> = "0"、 $f_{\text{gear}}$  選択)
  - $\Phi T0 = 80\text{MHz}$ 、 $9.8304\text{MHz}$ 、 $8\text{MHz}$ (CGSYSCR<PRCK[2:0]> = "000"、 $f_{\text{periph}}$  の 1 分周選択)
  
- TMRB の設定
  - UC のソースクロック =  $40\text{MHz}$ 、 $4.9152\text{MHz}$ 、 $4\text{MHz}$ (TBxMOD<TBCLK[1:0]> = "01"、 $\Phi T1$  選択)

**表 10.8 UARTモードのボーレート例 (単位: kbps)**

TBxRG1設定	fc (MHz)		
	80	9.8304	8
0x0001	625.0	76.8	62.5
0x0002	312.5	38.4	31.25
0x0003	-	25.6	-
0x0004	156.25	19.2	15.625
0x0005	125.0	15.36	12.5
0x0006	-	12.8	-
0x0008	78.125	9.6	-
0x000A	62.5	7.68	6.25
0x0010	39.025	4.8	-
0x0014	31.25	3.84	3.125

- ボーレートジェネレーターを使用する場合  
ボーレートジェネレーターを使用する場合の最大ボーレートを以下に示します。
  - クロック/モード制御回路の設定
    - $f_c = 80\text{MHz}$
    - $f_{\text{gear}} = 80\text{MHz}(\text{CGSYSCR}\langle\text{GEAR}[2:0]\rangle = "000"$ 、 $f_c$  選択)
    - $f_{\text{periph}} = 80\text{MHz}(\text{CGSYSCR}\langle\text{FPSEL}\rangle = "0"$ 、 $f_{\text{gear}}$  選択)
    - $\Phi T_0 = 80\text{MHz}(\text{CGSYSCR}\langle\text{PRCK}[2:0]\rangle = "000"$ 、 $f_{\text{periph}}$  の 1 分周選択)
  - SIO/UART の設定
    - $\Phi T_1 = 40\text{MHz}(\text{SCxBRCR}\langle\text{BR0CK}[1:0]\rangle = "00"$ 、 $\Phi T_1$  選択)
    - $\text{SCxBRCR}\langle\text{BRADDE}\rangle$ が"0"に設定されているとき  
分周値"N"が"1"に設定されているとき、SIOCLK は 40MHz となります。転送ボーレートは SIOCLK が 16 分周され 2.5Mbps となります。
    - $\text{SCxBRCR}\langle\text{BRADDE}\rangle$ が"1"に設定されているとき  
分周値"N"が"2"、分周値"K"が"15"に設定されているとき、SIOCLK は 19.4MHz となります。転送ボーレートは SIOCLK が 16 分周され 1.2Mbps となります。

表 10.9に下記のクロック設定でボーレートジェネレーターを使用する場合のボーレート例を示します。

- クロック/モード制御回路の設定
  - $f_c = 9.8304\text{MHz}$
  - $f_{\text{gear}} = 9.8304\text{MHz}(\text{CGSYSCR}\langle\text{GEAR}[2:0]\rangle = "000"$ 、 $f_c$  選択)
  - $f_{\text{periph}} = 9.8304\text{MHz}(\text{CGSYSCR}\langle\text{FPSEL}\rangle = "0"$ 、 $f_{\text{gear}}$  選択)
  - $\Phi T_0 = 4.9152\text{MHz}(\text{CGSYSCR}\langle\text{PRCK}[2:0]\rangle = "001"$ 、 $f_{\text{periph}}$  の 2 分周選択)
- SIO/UART の設定
  - $\text{SCxBRCR}\langle\text{BRADDE}\rangle$ が"0"に設定されているとき

表 10.9 UARTモードのボーレート例 (単位: kbps)

fc (MHz)	分周値"N" (SCxBRCR<BRS[3:0]>)	$\Phi T_1$ ( $\Phi T_0 / 2$ )	$\Phi T_4$ ( $\Phi T_0 / 8$ )	$\Phi T_{16}$ ( $\Phi T_0 / 32$ )	$\Phi T_{64}$ ( $\Phi T_0 / 128$ )
9.830400	0010: 2	76.800	19.200	4.800	1.200
	0100: 4	38.400	9.600	2.400	0.600
	1000: 8	19.200	4.800	1.200	0.300
	0000: 16	9.600	2.400	0.600	0.150

- SCLKx 端子入力を使用する場合
  - SCLKx 端子入力周期  $> 2 / f_{\text{sys}}$   
SIOCLK は 40MHz 未満なので、最大ボーレートは、 $40\text{MHz} / 16 = 2.5\text{Mbps}$  未満となります。
- fsys を使用する場合  
fsys は最大 80MHz ですので、最大ボーレートは、 $80 / 16 = 5\text{Mbps}$  となります。

## 10.7. 送信/受信バッファと FIFO

### 10.7.1. 構成

送信/受信バッファと FIFO の構成を図 10.3 に示します。

送信/受信バッファと FIFO を使用するには事前に SIO/UART レジスタの設定が必要です。また、転送モードにより FIFO 構成が決まっています。

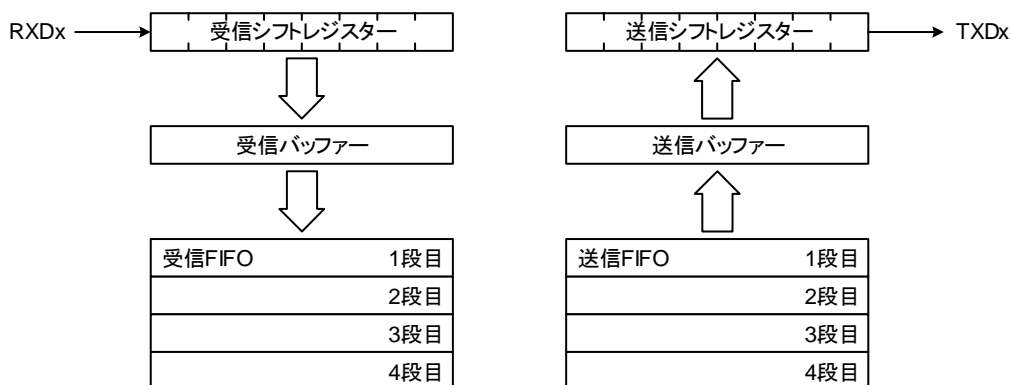


図 10.3 送信/受信バッファと FIFO の構成

### 10.7.2. 送信/受信バッファ

送信/受信バッファはダブルバッファを許可できます。SCxMOD2<WBUF>でダブルバッファの許可/禁止の設定をします。

受信時の SIO モードで転送クロックが SCLKx 端子入力するとき、または受信時の UART モードのときは、SCxMOD2<WBUF>の設定によらずダブルバッファは許可です。

それ以外は SCxMOD2<WBUF>の設定によります。

表 10.10 にシリアル転送モードとバッファ構成の関係を示します。

表 10.10 シリアル転送モードとバッファ構成

シリアル転送モード		SCxMOD2<WBUF>	
		0	1
UART モード	送信	ダブルバッファ禁止	ダブルバッファ許可
	受信	ダブルバッファ許可	ダブルバッファ許可
SIO モード (SCLKx 端子入力)	送信	ダブルバッファ禁止	ダブルバッファ許可
	受信	ダブルバッファ許可	ダブルバッファ許可
SIO モード (SCLKx 端子出力)	送信	ダブルバッファ禁止	ダブルバッファ許可
	受信	ダブルバッファ禁止	ダブルバッファ許可

### 10.7.3. FIFO

ダブルバッファに加えて、4byte の FIFO を使用することができます。

FIFO を許可するには SCxMOD2<WBUF>を"1"、SCxFCNF<CNFG>に"1"を設定します。

FIFO の構成は SCxMOD1<FDPX[1:0]>で設定します。

注) FIFO 使用時は、SIO/UART の転送モード設定(半二重/全二重)、FIFO 許可(SCxFCNF <CNFG> = "1")の後、必ず送信用/受信用 FIFO のクリアを実行してください。

表 10.11 に転送モードと FIFO 構成の関係を示します。

表 10.11 転送モードとFIFO構成

転送モード	SCxMOD1<FDPX[1:0]>	受信FIFO	送信FIFO
半二重受信	01	4byte	-
半二重送信	10	-	4byte
全二重	11	2byte	2byte

## 10.8. ステータスフラグ

SCxMOD2<RBFL>は、受信バッファフルを示すフラグです。データの受信が終了した後に、データが受信シフトレジスタから受信バッファに格納されると"1"になります。受信バッファを読み出すと"0"になります。

SCxMOD2<TBEMP>は、送信バッファエンプティを示すフラグです。送信バッファから送信シフトレジスタへデータが転送されると"1"になります。送信バッファにデータを書き込むと"0"になります。

これらのステータスフラグは、ダブルバッファが許可の時のみ意味を持ちます。

## 10.9. エラーフラグ

これらのフラグは、SCxCR を読み出すと"0"にクリアされます。

表 10.12 エラーフラグ

シリアル転送モード	フラグ		
	SCxCR<OERR>	SCxCR<PERR>	SCxCR<FERR>
UART モード	オーバーランエラー	パリティエラー	フレーミングエラー
SIO モード (SCLKx 端子入力)	オーバーランエラー	アンダーランエラー (ダブルバッファ許可 またはダブルバッファ /FIFO 許可時)	"0"
		"0" (ダブルバッファ および FIFO 禁止時)	
SIO モード (SCLKx 端子出力)	意味を持ちません	送信終了	"0"

### 10.9.1. OERR フラグ

オーバーランエラーは、UART モード、SIO モードで、受信バッファのデータを読み出す前に、次のデータの受信が終了すると発生し、OERR フラグが"1"になります。

FIFO を有効にしている場合は、受信バッファのデータが FIFO へ自動的に転送されます。そのため、FIFO がフルになるまで、OERR フラグ"1"になりません。

SIO モードで転送クロックに SCLKx 端子出力を使用するとき、使用可能な受信バッファ/FIFO に全てデータが格納されると SCLKx 端子出力が停止するため、OERR フラグは意味を持ちません。

注) SIO モードで転送クロックに SCLKx 端子出力を使用しているときに、転送モード、転送クロックを変更する前に SCxCR を読み出し、OERR フラグをクリアしてください。

### 10.9.2. PERR フラグ

UART モードではパリティエラーを、SIO モードではアンダーランエラーまたは送信終了を示します。

パリティエラーは、受信したデータから生成されたパリティビットと受信したパリティビットが異なるときに発生し、PERR フラグが"1"になります。

アンダーランエラーは、ダブルバッファまたは FIFO に次に送信するデータがないときに、次の転送クロックが入力されたときに発生し、PERR フラグが"1"になります。

SIO モードで転送クロックに SCLKx 端子出力を使用しているとき、データが全て送信されると SCLKx 端子出力は自動的に停止するため、アンダーランエラーは発生しません。

注) SIO モードで転送クロックに SCLKx 端子出力を使用しているときに、転送モード、転送クロックを変更する前に SCxCR を読み出し、PERR フラグをクリアしてください。

### 10.9.3. FERR フラグ

フレーミングエラーは、UART モードの受信時に、STOP ビットを STOP ビットタイミングの中央付近でサンプリングした結果が"0"の場合に発生し、FERR フラグが"1"になります。

SIO モードではこのビットは常に"0"です。

## 10.10. 受信

### 10.10.1. 受信カウンター

受信カウンターは4ビットのバイナリーカウンターです。

SIOモードでは、SIOCLKクロックでカウントアップされます。

UARTモードでは、16 SIOCLKクロックでカウントアップされます。

### 10.10.2. 受信制御

#### 10.10.2.1. SIOモードの場合

転送クロックに SCLKx 端子出力を使用しているとき、SCLKx 端子へ出力されるクロックの立ち上がりで RXDx 端子を取り込みます。

転送クロックに SCLKx 端子入力を使用しているときは、SCxCR<SCLKS>の設定に従って、SCLKx 端子入力の立ち上がりまたは立ち下がりで RXDx 端子を取り込みます。

#### 10.10.2.2. UARTモードの場合

受信制御回路はスタートビット検出回路を持ちます。正常なスタートビットを検出して受信動作を開始します。

データ受信は、SIOCLKの7、8、9クロック目でRXDx端子をサンプリングし、多数決により受信データを決定します。

## 10.10.3. 受信動作

### 10.10.3.1. 受信バッファの動作

受信シフトレジスタに受信データが1ビットずつ格納され、受信が終了すると受信割り込み(INTRXx)が発生します

ダブルバッファ許可の場合は、受信動作が終了して、受信シフトレジスタから受信バッファへ受信データが格納されると受信バッファフルフラグ(SCxMOD2<RBFL>)が"1"になります。SCxMOD2<RBFL>は、受信バッファからデータを読み出すと"0"になります。

ダブルバッファ禁止の場合、SCxMOD2<RBFL>は意味を持ちません。

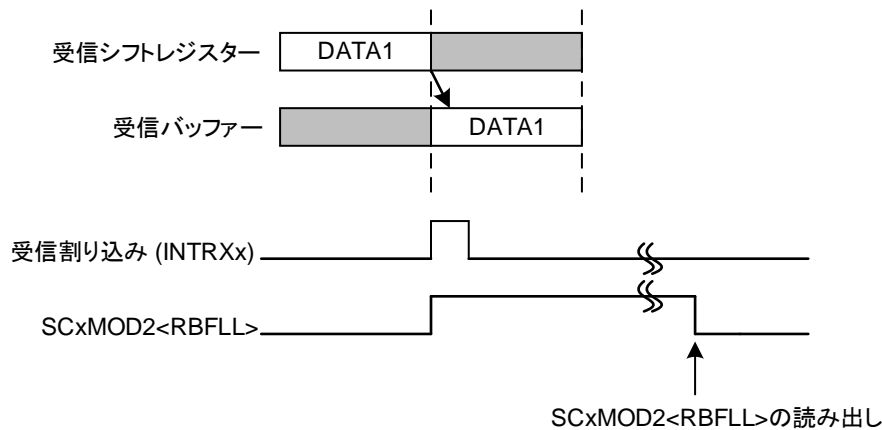


図 10.4 受信バッファの動作

### 10.10.3.2. FIFO の動作

FIFO が許可されている場合、受信動作が終了した後、受信データは受信バッファから FIFO に転送されるために、直ちに SCxMOD2<RBFL>は"0"になります。

割り込みは SCxRFC<RIL[1:0]>の設定に従って発生します。

以下に、4 バイトのデータを半二重受信する場合の設定と動作を示します。

SCxMOD1<FDPX[1:0]> = "01"	: 転送モードを半二重受信に設定
SCxFCNF<RFST><TFIE><RFIE> <RXTXCNT><CNFG> = "10111"	: FILL レベル到達後の自動禁止の許可。FIFO の使用バイト数は割り込み発生 FILL レベルに同じ
SCxRFC<RIL[1:0]> = "00"	: 受信割り込みが発生する FIFO の FILL レベルを 4 バイトに設定
SCxRFC<RFCS><RFIS> = "11"	: FIFO のクリアと割り込み発生条件の設定
SCxFCNF<CNFG> = "1"	: FIFO の許可

上記の FIFO 許可の設定後、SCxMOD0<RXE>を"1"に設定するとデータ受信を開始します。4 バイトのデータが FIFO に格納されると INTRXx が発生します。受信シフトレジスタ、受信バッファ、受信 FIFO 全てにデータが格納されると SCxMOD0<RXE>を自動的に"0"にして受信を終了します。

上記の設定で、FILL レベル到達後の自動禁止を禁止に設定すると、FIFO のデータを読み出すと継続して受信動作を行います。

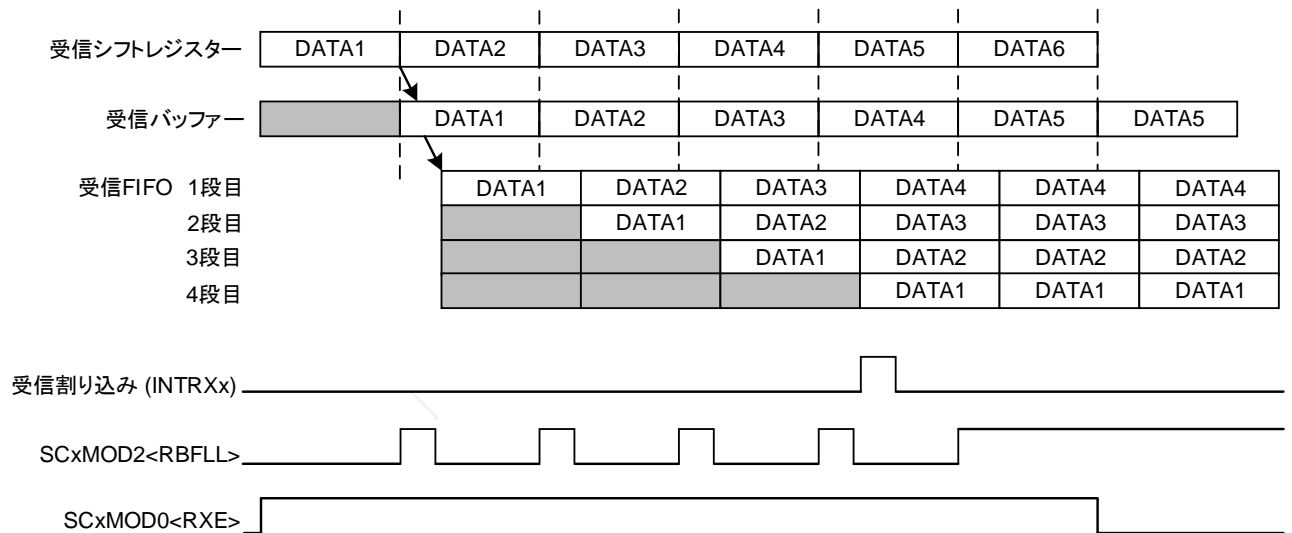


図 10.5 受信FIFOの動作

### 10.10.3.3. SIO モード、SCLKx 端子出力での受信

SCLKx 端子出力の停止/再開のタイミングは受信バッファ/FIFO の許可/禁止によって変わります。

(1) ダブルバッファ禁止の場合

受信シフトレジスタにデータが格納されると SCLKx 端子出力を停止します。受信バッファからデータが読み出されると SCLKx 端子出力を再開します。

(2) ダブルバッファ許可の場合

受信シフトレジスタ、受信バッファともにデータが格納されると、SCLKx 端子出力を停止します。受信バッファのデータが読み出されると受信シフトレジスタから受信バッファへ受信データが転送され、SCLKx 端子出力を再開します。

### (3) FIFO 許可の場合

受信シフトレジスター、受信バッファ、FIFO にデータが格納されると、SCLKx 端子出力を停止します。FIFO のデータが読み出されると受信バッファから FIFO へ、受信シフトレジスターから受信バッファへ受信データが転送され、SCLKx 端子出力を再開します。

なお、SCxFCNF<RXTXCNT>に"1"を設定していると、SCLKx 端子出力停止とともに SCxMOD0<RXE>が"0"になり、受信動作を停止します。

#### 10.10.3.4. 受信データの読み出し

FIFO の許可/禁止にかかわらず SCxBUF からデータを読み出します。

FIFO が禁止の場合は、読み出しにより SCxMOD2<RBFL>は"0"になります。

受信バッファを読み出す前でも、次の受信データは受信シフトレジスターに格納することができます。モード2でパリティビット付加の場合とモード3の場合、MSBはSCxCR<RB8>に格納されます。

モード3ではFIFOを許可できません。モード2でパリティビット付加の場合、FIFOにパリティビットは格納できませんが、各受信データごとにパリティエラーの判定は行われ、その結果はSCxCR<PERR>に格納されます。

#### 10.10.3.5. ウェイクアップ機能

モード3の場合、SCxMOD0<WU>を"1"に設定(ウェイクアップ機能制御許可)すると、スレーブコントローラーのウェイクアップ動作が可能です。SCxCR<RB8>が"1"のときのみ、INTRXxを発生させることができます。

#### 10.10.3.6. オーバーランエラー

FIFO が許可されていないとき、受信バッファを読み出す前に、次のデータの受信が終了するとオーバーランエラーが発生します。

オーバーランエラーが発生した場合、受信バッファの内容は保持されます。また、SCxCR<RB8>の内容も保持されます。

FIFO が許可にされているとき、FIFO がフルにもかかわらず、FIFO を読み出す前に、次のデータ受信が終了するとオーバーランが発生します。

オーバーランエラーが発生した場合、FIFO のデータは保存されます。

## 10.11. 送信

### 10.11.1. 送信カウンター

送信カウンターは4ビットのバイナリーカウンターです。

SIOモードでは、SIOCLKでカウントされます。

UARTモードでは、SIOCLK 16クロックでカウントアップされます。16クロックごとにTXDCLKを生成します。

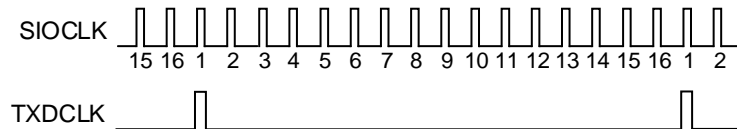


図 10.6 UARTモード送信クロックの生成

### 10.11.2. 送信制御

#### 10.11.2.1. SIOモードの場合

転送クロックに SCLKx 端子出力を使用しているとき、SCLKx 端子へ出力されるクロックの立ち下がりで送信シフトレジスタのデータを1ビットずつ TXDx 端子へ出力します。

転送クロックに SCLKx 端子入力を使用しているときは、SCxCR<SCLKS>の設定に従って SCLKx 端子入力の立ち上がり/立ち下がりで送信シフトレジスタのデータを1ビットずつ TXD 端子 x へ出力します。

#### 10.11.2.2. UARTモードの場合

送信バッファに送信データが書き込まれると、次の TXDCLK クロックの立ち上がりエッジから送信を開始し、送信シフトクロックを生成します。

### 10.11.3. 送信動作

#### 10.11.3.1. 送信バッファの動作

ダブルバッファ禁止の場合、送信データの書き込みは送信シフトレジスタに対して行われ、送信が終了すると送信割り込み(INTTXx)が発生します。

ダブルバッファ許可、またはダブルバッファ/FIFO 許可の場合、送信バッファへ書き込まれたデータは送信シフトレジスタに転送されます。同時に INTTXx が発生し、SCxMOD2<TBEMP>が"1"になります。次のデータを送信バッファに書き込むと SCxMOD2<TBEMP>は"0"になります。

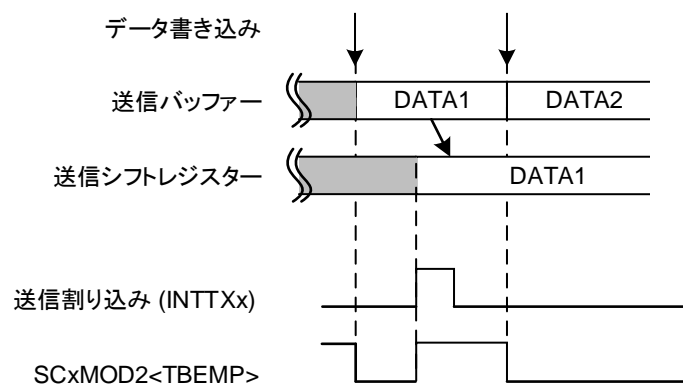


図 10.7 送信バッファの動作

#### 10.11.3.2. FIFO の動作

FIFO が許可されている場合、送信バッファと FIFO で最大 5 バイトの送信データを格納することができます。送信を許可すると、送信シフトレジスタに送信バッファに格納されたデータが転送されて送信を開始します。この時、FIFO に送信データが格納されている場合は、送信バッファへ送信データが転送され、SCxMOD2<TBEMP>フラグは"0"にクリアされます。

割り込みは SCxTFC<TIL[1:0]>の設定に従って発生します。

以下に、4 バイトのデータを半二重送信する場合の設定と動作を示します。

- SCxMOD1<FDPX[1:0]> = "10" : 転送モードを半二重送信に設定
- SCxFCNF<RFST><TFIE><RFIE> : FIFO がエンプティーター時の自動禁止の許可。FIFO  
     <RXTXCNT><CNFG> = "10111" の使用バイト数は割り込み発生 FILL レベルに同じ
- SCxTFC<TIL[1:0]> = "00" : 割り込み発生の FIFO FILL レベルを 0 byte に設定
- SCxTFC<TFCS><TFIS> = "11" : FIFO のクリアと割り込み発生条件の設定
- SCxFCNF<CNFG> = "1" : FIFO の許可

上記の FIFO の許可設定後、送信バッファ/FIFO に 5 バイト分の送信データを書き込み、SCxMOD1<TXE>を"1"に設定するとデータ送信を開始します。最後の送信データが送信バッファに転送されると INTTXx が発生します。最後の送信データの送信が終了すると SCxMOD1<TXE>を自動的に"0"にします。

上記の設定で、FILL レベル到達後の自動禁止を禁止に設定すると、送信データを書き込むと継続して送信動作を行います。

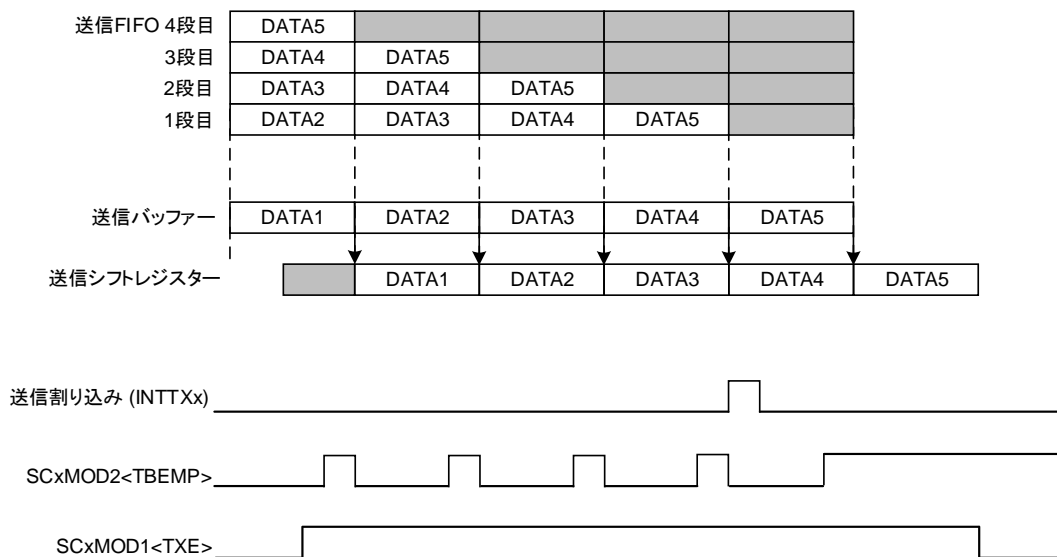


図 10.8 送信FIFOの動作

### 10.11.3.3. SIO モード、SCLKx 出力での送信

SCLKx 出力の停止/再開のタイミングは送信バッファ/FIFO の許可/禁止によって変わります。

(1) ダブルバッファ禁止の場合

送信シフトレジスタのデータ送信後に SCLKx 端子出力を停止します。送信バッファに送信データが書き込まれると SCLKx 端子出力を再開します。

(2) ダブルバッファ許可の場合

送信シフトレジスタ、送信バッファのデータ送信後に SCLKx 端子出力を停止します。送信バッファに送信データが書き込まれると送信バッファから送信シフトレジスタへデータが転送され、SCLKx 端子出力を再開します。

(3) FIFO 許可の場合

送信シフトレジスタ、送信バッファ、FIFO のデータの送信後に SCLKx 端子出力を停止します。次のデータが書き込まれると送信バッファから送信シフトレジスタへデータが転送され、SCLKx 出力を再開します。

なお、SCxFCNF<RXTXCNT>に"1"を設定していると、SCLKx 端子出力停止とともに SCxMOD1<TXE>が"0"になり、送信動作を停止します。

### 10.11.3.4. アンダーランエラー

送信シフトレジスタのデータの送信が終了し、次の送信を開始する前に送信バッファへ次のデータが書き込まれないと、アンダーランエラーが発生します。

## 10.12. ハンドシェーク機能

ハンドシェーク機能は1データごとの送信を行う機能です。この機能により、オーバーランエラー発生を防ぐことができます。ハンドシェーク機能はUARTモードで使用します。

ハンドシェーク機能はSCxMOD0<CTSE>によって許可/禁止を設定できます。

$\overline{\text{CTSx}}$ 端子入力が"High"レベルになると、現在送信中のデータ送信完了後、 $\overline{\text{CTSx}}$ 端子入力が"Low"レベルになるまで送信を停止します。

INTTxの割り込みサービスルーチンで、次の送信データを送信バッファーに書き込み、送信待機状態にすることができます。

注1) 送信中に $\overline{\text{CTSx}}$ 端子入力を立ち上げたとき、送信中のデータ送信終了後に停止します。(図 10.10 "a")

注2)  $\overline{\text{CTSx}}$ 端子入力が"Low"レベルになったあとの最初のTXDCLKクロックから送信を開始します。(図 10.10 "b")

なお、RTS端子はありませんが、任意のポートの1つをRTS端子に割り当てることで容易にハンドシェーク機能を構築できます。受信終了時に受信割り込みサービスルーチン内でこのポートを"High"レベルにし、送信側に送信の一時停止を要求します。

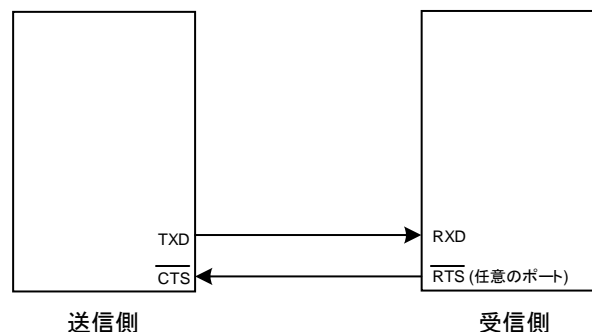


図 10.9 ハンドシェーク機能接続

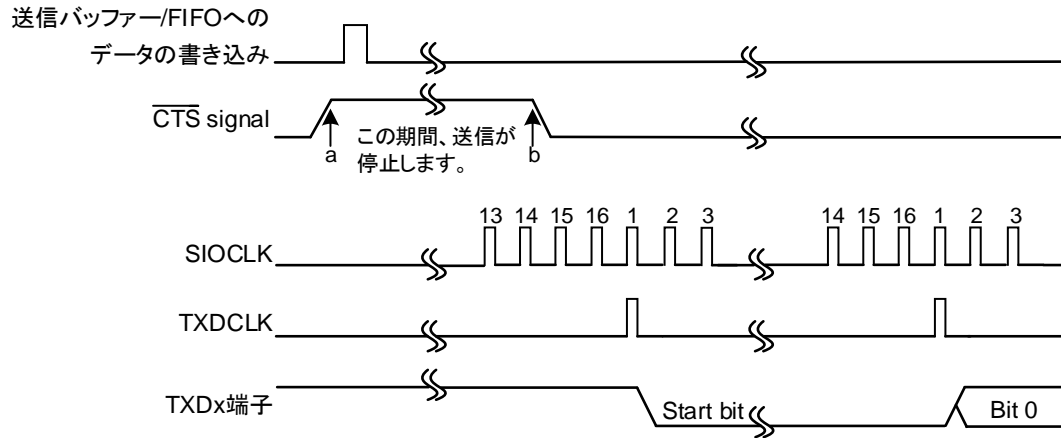


図 10.10  $\overline{\text{CTS}}$ 信号のタイミング

## 10.13. 割り込み/エラー発生タイミング

### 10.13.1. 受信割り込み(INTRXx)

受信動作のデータの流れと読み出しの経路を図 10.11 に示します。

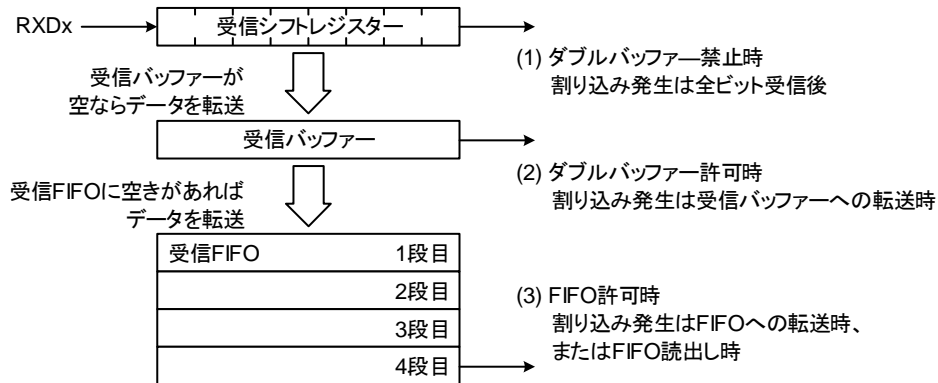


図 10.11 受信動作のデータの流れと読み出しの経路

#### 10.13.1.1. バッファ構成と INTRXx の発生タイミング

INTRXx は、バッファ構成と転送モードにより以下のタイミングで発生します。

表 10.13 バッファ構成と INTRXx の発生タイミング

バッファ構成	転送モード	
	UARTモード	SIOモード
ダブルバッファ禁止	-	転送クロックとして SCLKx 端子出力を使用しているとき、最終ビットの SCLKx 出力の立ち上がり直後
ダブルバッファ許可	1 つ目の STOP ビットの中央付近	転送クロックとして SCLKx 端子入力を使用しているとき、最終ビットの SCLKx 入力の立ち上がり/立ち下がり直後(立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による) 転送クロックとして SCLKx 端子出力を使用しているとき、最終ビットの SCLKx 出力の立ち上がり直後 受信バッファのリードによる、受信シフトレジスタから受信バッファへのデータ転送時

注) オーバーランエラーが発生したときには割り込みは発生しません。

## 10.13.1.2. FIFO 許可の場合

FIFO 使用の場合の受信割り込みは、表 10.14 の割り込み発生タイミングに記載の動作が発生したときに、SCxRFC<RFIS>の設定で決まる条件を満たしていると発生します。

表 10.14 FIFO許可時のINTRXx発生条件

SCxRFC<RFIS>	割り込み発生条件	割り込み発生タイミング
0	FIFO fill レベル(SCxRST<RLVL[2:0]>) = 割り込み発生 fill レベル(<RIL[1:0]>)のとき	・受信バッファから受信 FIFO へ受信データの転送がおこなわれるとき
1	FIFO fill レベル(SCxRST<RLVL[2:0]>) ≥ 割り込み発生 fill レベル(<RIL[1:0]>)のとき	・受信 FIFO から受信データをリードしたとき ・受信バッファから受信 FIFO へ受信データの転送がおこなわれるとき

## 10.13.2. 送信割り込み(INTTXx)

送信動作のデータの流れと書き込みの経路を図 10.12 に示します。

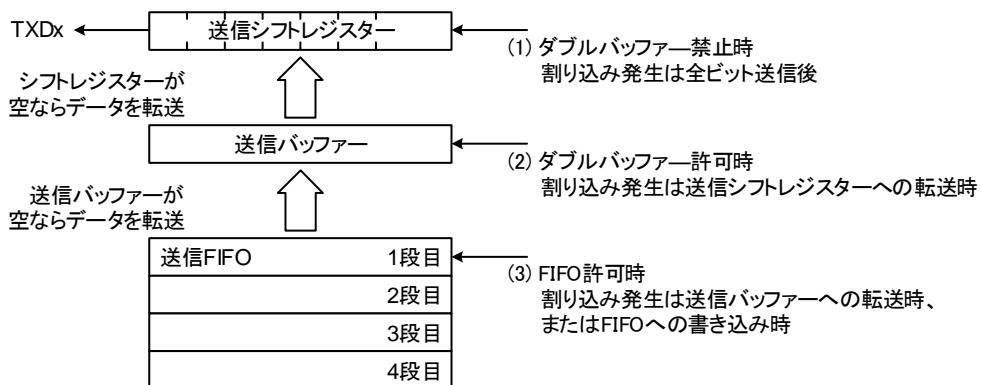


図 10.12 送信動作のデータの流れと書き込みの経路

## 10.13.2.1. バッファ構成と INTTXx の発生タイミング

INTTXx は、転送モードとバッファ構成により以下のタイミングで発生します。

表 10.15 バッファ構成とINTTXxの発生タイミング

バッファ構成	UARTモード	SIOモード
ダブルバッファ禁止	STOP ビット送直前の直前	転送クロックとして SCLKx 端子入力を使用しているとき、最終ビットの SCLKx 端子入力の立ち上がり/立ち下がり直後(立ち上がり/立ち下がり、SCxCR <SCLKS> 設定による) 転送クロックとして SCLKx 端子出力を使用しているとき、最終ビットの SCLKx 端子出力の立ち下がり直後
ダブルバッファ許可	送信バッファから送信シフトレジスタへのデータ転送時	

注) ダブルバッファ許可の場合、送信バッファへの書き込みによって送信バッファから送信シフトレジスタへデータが転送された場合も INTTXx が発生します。

## 10.13.2.2. FIFO 使用の場合

FIFO 使用の場合の送信割り込みは、表 10.16 の割り込み発生タイミングに記載の動作が発生したときに、SCxTFC<TFIS>の設定で決まる条件を満たした場合に発生します。

表 10.16 FIFO使用時のINTTXx発生条件

SCxTFC<TFIS>	割り込み発生条件	割り込み発生タイミング
0	FIFO fill レベル(SCxTST<TLVL[2:0]>) = 割り込み発生 fill レベル(<TIL[1:0]>) のとき	・送信 FIFO から送信バッファへ送信データの転送が行われたとき
1	FIFO fill レベル(SCxTST<TLVL[2:0]>) ≤ 割り込み発生 fill レベル(<TIL[1:0]>) のとき	・送信 FIFO へ送信データをライトしたとき ・送信 FIFO から送信バッファへ送信データの転送が行われたとき

## 10.13.3. エラー発生時の割り込み発生タイミング

### 10.13.3.1. SIO モード

表 10.17 SIOモードのエラー割り込み発生タイミング

エラー	転送クロック	
	SCLKx端子出力	SCLKx端子入力
オーバーランエラー	なし	受信の場合、最終ビットの SCLKx 端子入力の立ち上がり/立ち下がり直後(立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)
アンダーランエラー	なし	送信の場合、次データの先頭ビットの SCLKx 端子入力の立ち上がり/立ち下がり直後(立ち上がり/立ち下がりは、SCxCR<SCLKS>設定による)

### 10.13.3.2. UART モード

表 10.18 UARTモードのエラー割り込み発生タイミング

エラー	モード		
	モード3	モード1、モード2	モード1、モード2
	パリティビット付与禁止	パリティビット付与禁止	パリティビット付与許可
フレーミングエラー オーバーランエラー	STOP ビットの中央付近	STOP ビットの中央付近	STOP ビットの中央付近
パリティエラー	なし	なし	パリティビットの中央付近

## 10.14. ソフトウェアリセット

SCxMOD2<SWRST[1:0]>に"10" → "01"の順でライトすることによりソフトウェアリセットが発生します。初期化される範囲は、「10.3.9. SCxMOD2(モードコントロールレジスター2)」を参照してください。

## 10.15. モード別動作説明

### 10.15.1. モード0(SIO モード)

このモードでの転送クロックを下記に示します。

- SCLKx 端子から出力するとき
- SCLKx 端子に入力するとき

以下に FIFO が禁止されている状態での、受信、送信、送受信動作の説明を行います。

FIFO の動作については、「10.7.3. FIFO」を参照してください。

#### 10.15.1.1. 受信

- (1) 転送クロックに SCLKx 端子出力を使用しているとき

SCxMOD0<RXE>を"1"に設定すると、SCLKx 端子出力が開始され、RXDx 端子のデータを取り込みます。

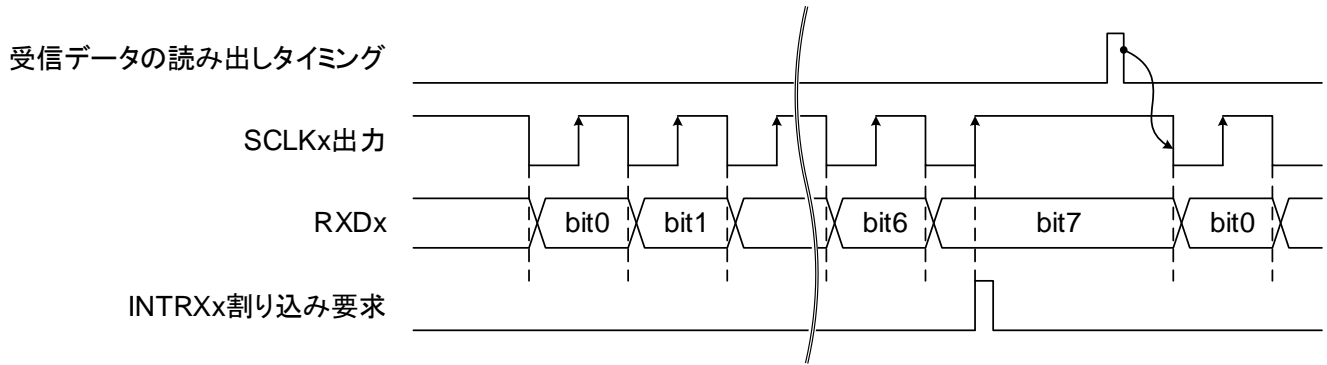
- ダブルバッファ禁止(SCxMOD2<WBUF> = "0")の場合  
受信データが読み出されるごとに、SCLKx 端子より転送クロックが出力され次のデータが受信シフトレジスタに格納されます。データ受信が終了すると、INTRXx が発生します。

- ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合  
受信シフトレジスタに格納されたデータが受信バッファに転送されるため、続けて次のデータを受信することができます。

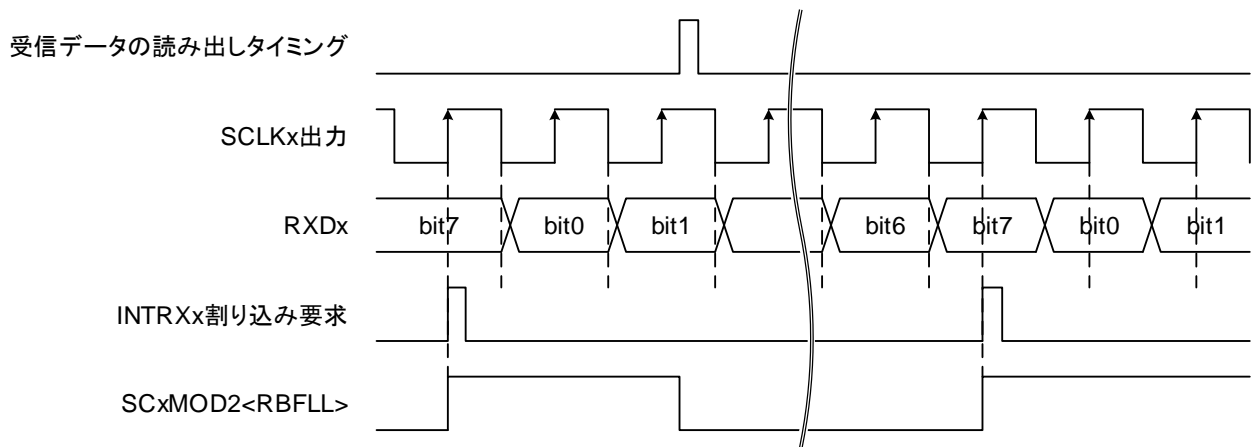
受信シフトレジスタから受信バッファにデータが転送されると、SCxMOD2<RBFL>が"1"になり、INTRXx が発生します。

受信バッファにデータが存在する状態で、次のデータを受信完了する前に受信バッファのデータが読み出されない場合、INTRXx は発生せず、SCLKx 端子出力は停止します。

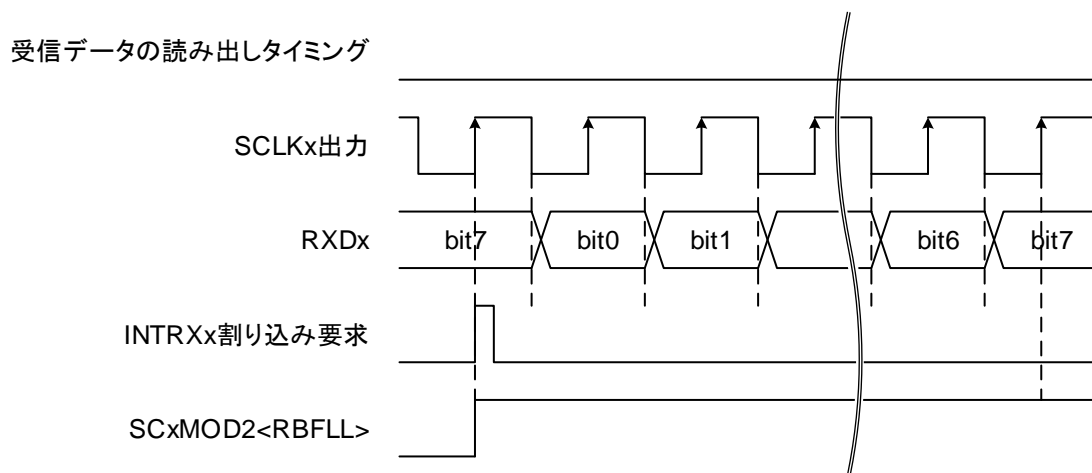
この状態で受信バッファのデータを読み出すと、受信シフトレジスタのデータを受信バッファに転送し、INTRXx を発生します。SCLKx 端子より転送クロックが出力され受信が再開します。



$SCxMOD2\langle WBUF \rangle = "0"$  (ダブルバッファ禁止)



$SCxMOD2\langle WBUF \rangle = "1"$  (ダブルバッファ許可でバッファからデータ読出し)



$SCxMOD2\langle WBUF \rangle = "1"$  (ダブルバッファ許可でバッファからデータ読出し)

図 10.13 SIOモード受信動作(転送クロックにSCLKx端子出力を使用しているとき)

(2) 転送クロックに SCLKx 端子入力を使用しているとき

SCxMOD0<RXE>が"1"に設定されているときに、SCLKx 端子に転送クロックが入力されると RXDx 端子のデータを取り込みます。

転送クロックに SCLKx 端子入力を使用しているとき常に受信ダブルバッファが許可されます。そのため、受信したデータは受信シフトレジスタから受信バッファに転送され、連続して次のデータを受信することができます。

受信データが受信バッファへ転送されるごとに INTRXx が発生します。

受信バッファにデータが存在する状態で、次のデータを受信完了する前に受信バッファのデータが読み出されない場合、INTRXx は発生せず、SCxCR<OERR>が"1"になります。

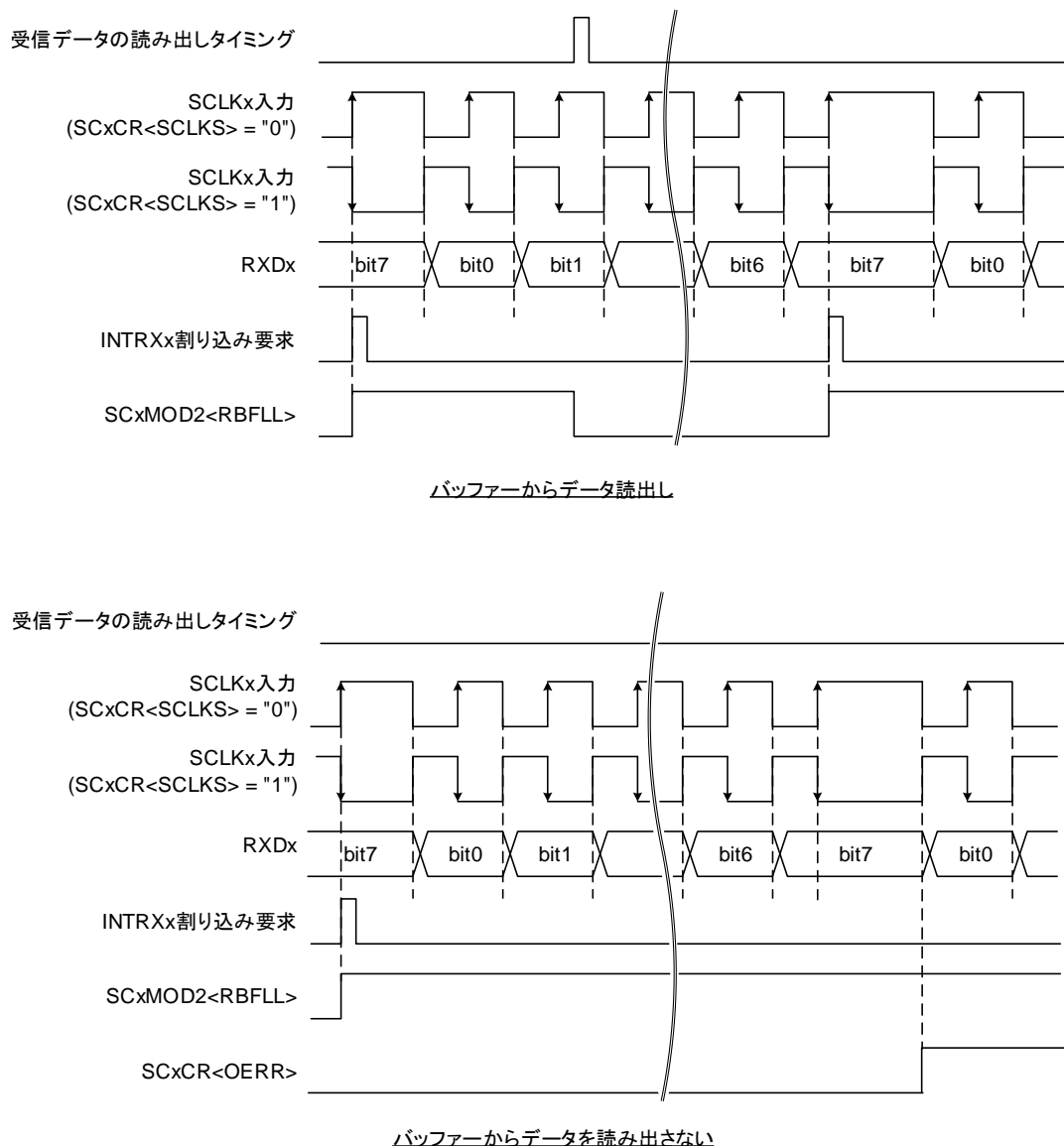
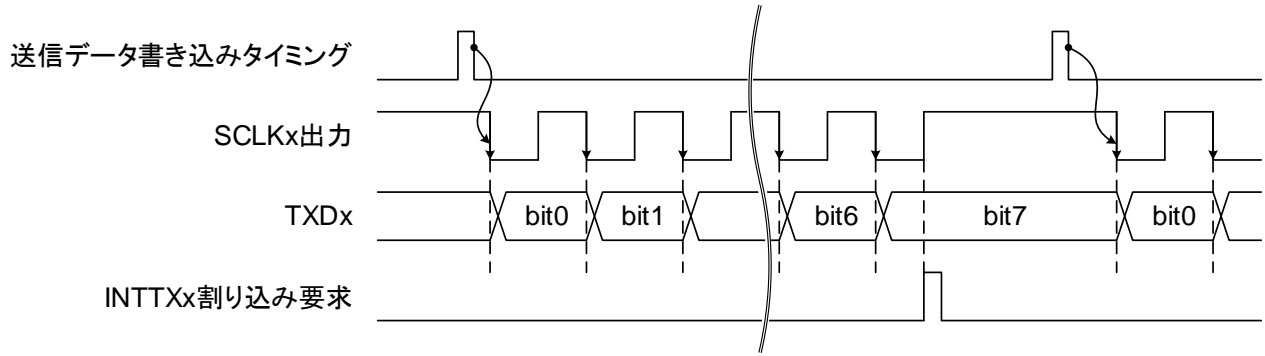


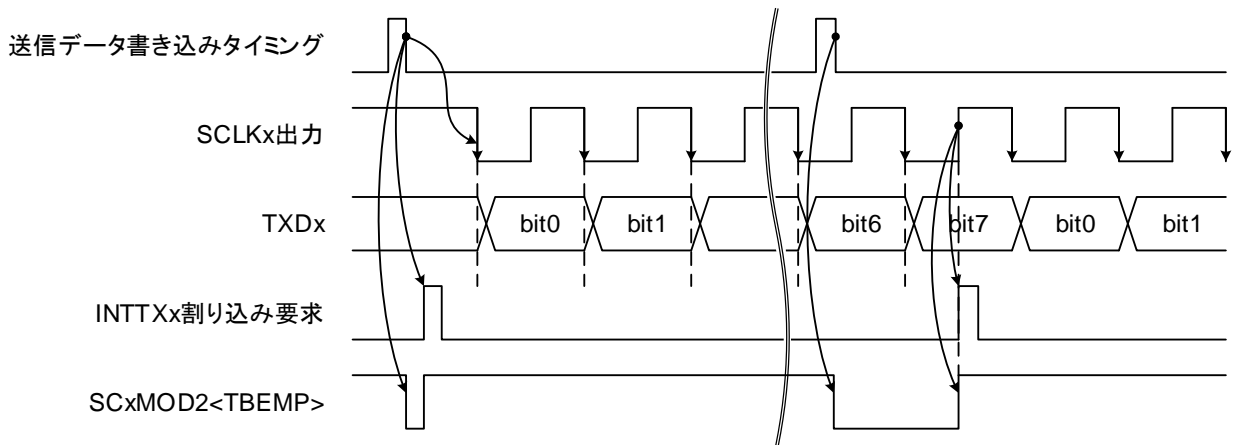
図 10.14 SIOモード受信動作(転送クロックにSCLKx端子入力を使用しているとき)

### 10.15.1.2. 送信

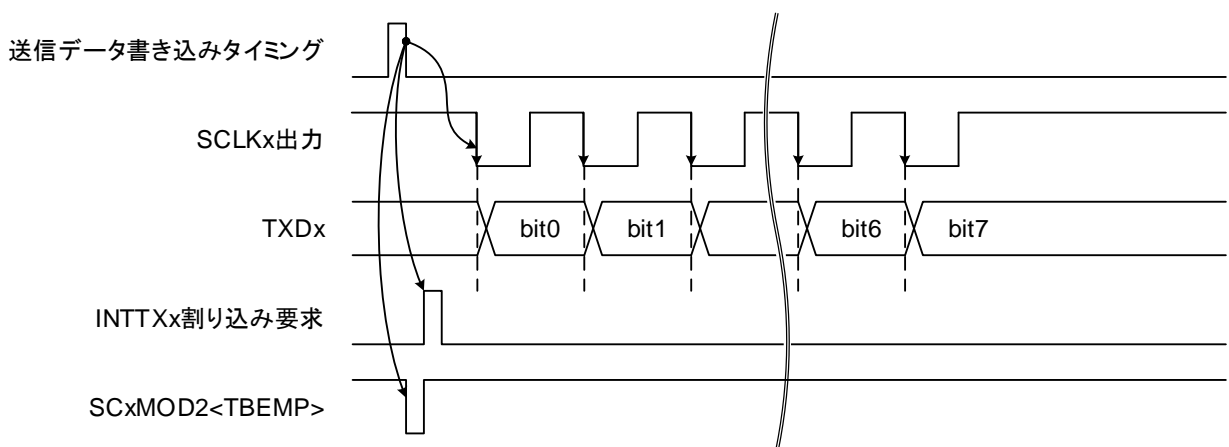
- (1) 転送クロックに SCLKx 端子出力を使用しているとき  
送信データを書き込んだ状態で、SCxMOD1<TXE>を"1"に設定すると転送クロックが SCLKx 端子から出力され、TXDx 端子からデータが出力されます。
- ダブルバッファ禁止(SCxMOD2<WBUF> = "0")の場合  
送信バッファにデータを書き込むたびに、データが TXDx 端子から、転送クロックが SCLKx 端子より出力されます。データ送信が終了すると INTTXx が発生します。
  - ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合  
送信停止の状態で送信バッファにデータを書き込んだとき、または送信シフトレジスタのデータ送信が終了したときに送信バッファから送信シフトレジスタにデータが転送されます。このとき、SCxMOD2 <TBEMP>が"1"になり、INTTXx が発生します。  
送信シフトレジスタのデータの送信が終了したときに送信バッファにデータが書き込まれていない場合、INTTXx を発生せず、SCLKx 端子出力は停止します。  
この状態で送信バッファにデータを書き込むと、送信バッファのデータが送信シフトレジスタに転送され、INTTXx が発生します。SCLKx 端子より転送クロックが出力され送信が再開します。



SCxMOD2<WBUF> = "0" (ダブルバッファ禁止)



SCxMOD2<WBUF> = "1" (ダブルバッファ許可でデータがバッファに存在)



SCxMOD2<WBUF> = "1" (ダブルバッファ許可でデータがバッファに存在しない)

図 10.15 SIOモード送信動作(転送クロックにSCLKx端子出力を使用しているとき)

## (2) 転送クロックに SCLKx 端子入力を使用しているとき

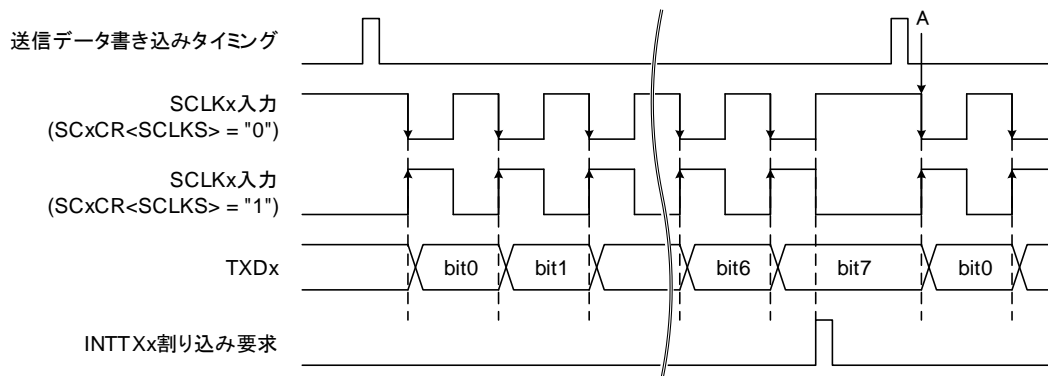
## ● ダブルバッファ禁止(SCxMOD2&lt;WBUF&gt;="0")の場合

送信バッファにデータが書き込まれている状態で SCLKx 端子に転送クロックが入力されると、データが TXDx 端子より出力されます。データが送信されると INTTXx が発生します。次のデータは図 10.16 に示す A 点までに書き込んでください。

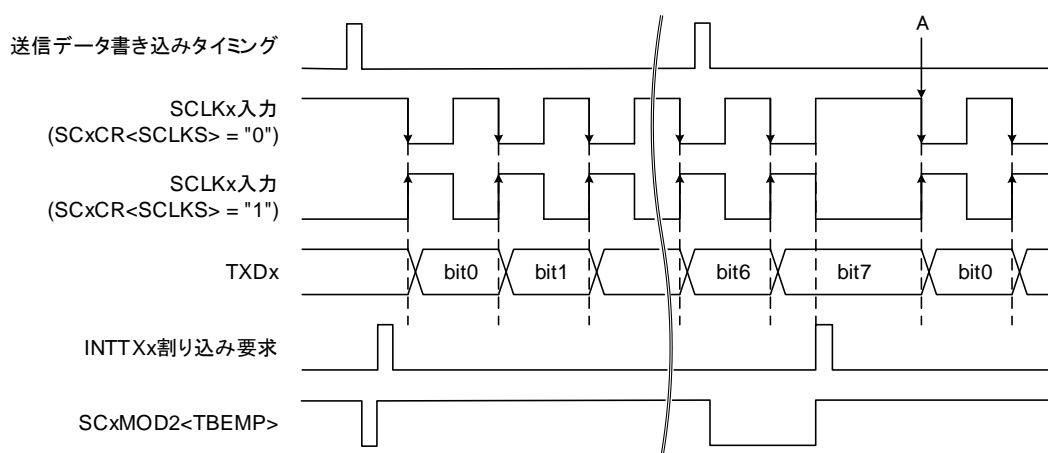
## ● ダブルバッファ許可(SCxMOD2&lt;WBUF&gt;="1")の場合

送信停止状態で送信バッファにデータを書き込んだとき、または送信シフトレジスタのデータ送信が終了したときに送信バッファから送信シフトレジスタへデータが転送されます。このとき、SCxMOD2<TBEMP>が"1"になり、INTTXx が発生します。次のデータは図 10.16 に示す A 点までに書き込んでください。

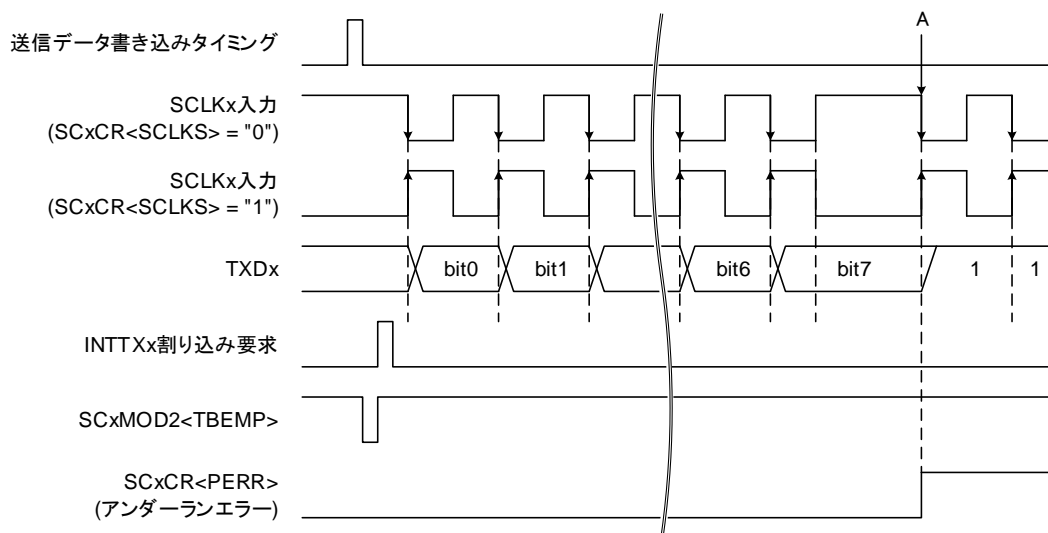
送信シフトレジスタのデータ送信が終了したときに、送信バッファに次のデータが書き込まれていなく転送クロックが SCLKx 端子に入力された場合、送信動作は継続されますが、アンダーランエラーが発生します。この時、SCxCR<PERR>が"1"になり、TXDx 端子から 8 ビット分のダミーデータ"0xFF"を出力します。



SCxMOD2<WBUF> = "0" (ダブルバッファ禁止)



SCxMOD2<WBUF> = "1" (ダブルバッファ許可でデータがバッファに存在)



SCxMOD2<WBUF> = "1" (ダブルバッファ許可でデータがバッファに存在しない)

図 10.16 SIOモード送信動作(転送クロックにSCLKx端子入力を使用しているとき)

### 10.15.1.3. 送受信(全二重)

(1) 転送クロックに SCLKx 端子出力を使用しているとき

- ダブルバッファ禁止(SCxMOD2<WBUF> = "0")の場合

送信バッファにデータを書き込むと SCLKx 端子出力を開始します。

RXDx 端子を通して、受信データが受信シフトレジスタに格納され、INTRXx が発生します。また、送信バッファに書き込んだデータが、TXDx 端子より出力され、データ送信が終了すると INTTXx が発生します。この時、SCLKx 端子出力は停止します。

受信バッファの読み出しと次のデータが送信バッファへ書き込まれると SCLKx 端子出力が再開され、次のデータの送信、受信が行われます。

受信バッファの読み出しと送信バッファの書き込み順番は任意です。両方の条件が成立した場合に SCLKx 端子出力は再開されます。

- ダブルバッファ許可(SCxMOD2<WBUF> = "1")の場合

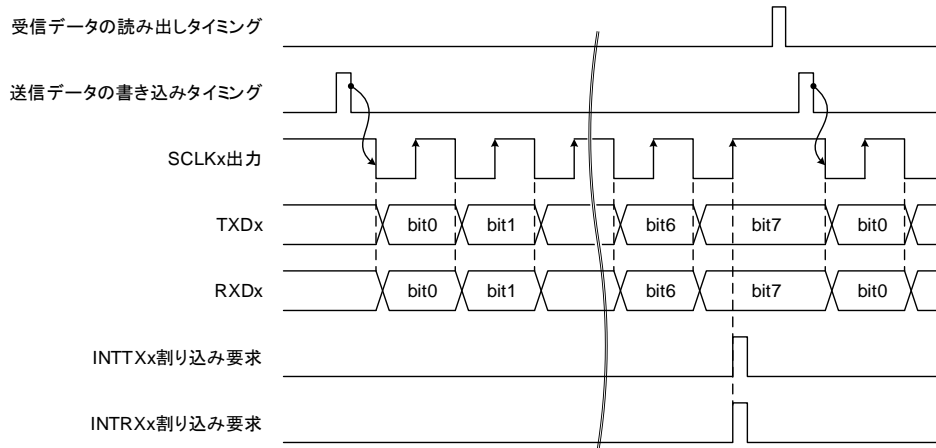
送信バッファにデータを書き込むと SCLKx 出力を開始します。

RXDx 端子を通して、受信データが受信シフトレジスタに格納され、INTRXx が発生します。

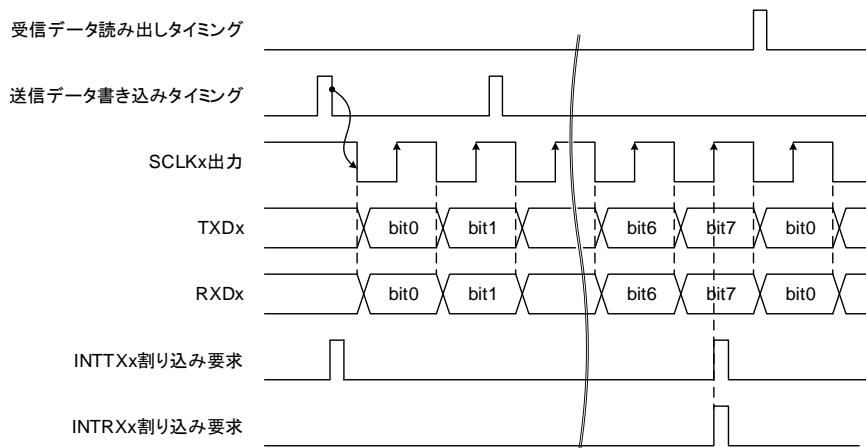
また、送信バッファに書き込んだデータが TXDx 端子より出力され、データ送信が終了したとき送信バッファに次のデータ書き込まれていると INTTXx が発生します。この場合、SCLKx 端子出力は継続し、次のデータの送信、受信が行われます。

送信バッファに次のデータが書き込まれていないと INTTXx が発生しません。また、SCLKx 端子出力は停止します。

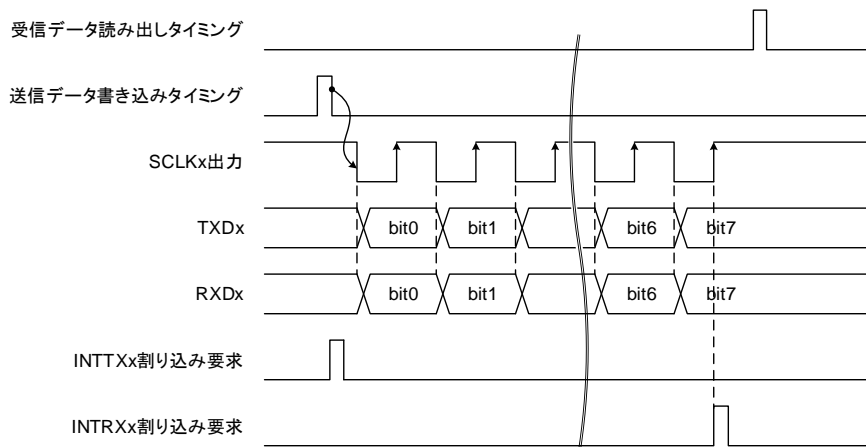
受信データの読み出しと送信データの書き込みの両方の条件が成立すると、SCLKx 端子出力は再開されます。



SCxMOD2<WBUF> = "0" (ダブルバッファ禁止)



SCxMOD2<WBUF> = "0" (ダブルバッファ許可)



SCxMOD2<WBUF> = "0" (ダブルバッファ許可)

図 10.17 SIOモード送受信動作(転送クロックにSCLKx端子出力を使用しているとき)

## (2) 転送クロックに SCLKx 端子入力を使用しているとき

- ダブルバッファ禁止(SCxMOD2<WBUF>="0")の場合

受信は SCxMOD2<WBUF>の設定に関わらずダブルバッファ許可になります。

送信バッファにデータが書き込まれている状態で転送クロックが SCLKx 端子に入力されると、送信データが TXDx 端子より出力されます。また、RXDx 端子を通して、受信データが受信シフトレジスタに格納されます。

データ出力が終了すると INTTx が発生します。また、受信が終了すると受信シフトレジスタから受信バッファへデータが格納され、INTRx が発生します。

次のデータは図 10.18 に示す A 点までに書き込んでください。受信データは、次のデータ受信が終了する前に読み出してください。

- ダブルバッファ許可(SCxMOD2<WBUF>="1")の場合

送信バッファにデータが書き込まれている状態で転送クロックが SCLKx 端子に入力されると、データが送信バッファから送信シフトレジスタに転送され、INTTx が発生します。SCLKx 端子に入力されている転送クロックに同期して、送信データが TXDx 端子より出力されます。また、RXDx 端子を通して、受信データが受信シフトレジスタに格納されます。

送信シフトレジスタのデータの送信が終了すると、INTTx が発生します。また、受信が終了すると受信シフトレジスタから受信バッファへデータが転送され、INTRx が発生します。

次の送信データは図 10.18 に示す A 点までに書き込んでください。受信データは、次のデータの受信が終了する前に読み出してください。

続けて次のデータの転送クロックが SCLKx 端子に入力されると、送信バッファのデータが送信シフトレジスタへ転送され、INTTx が発生します。また、RXDx 端子を通して、受信データが受信シフトレジスタに格納されます。

このデータの最終ビットの受信までに受信バッファのデータが読み出されていない場合はオーバーランエラーが発生します。また、図 10.18 に示す A 点までに次の送信データが送信バッファに書き込まれていない場合はアンダーランエラーが発生します。

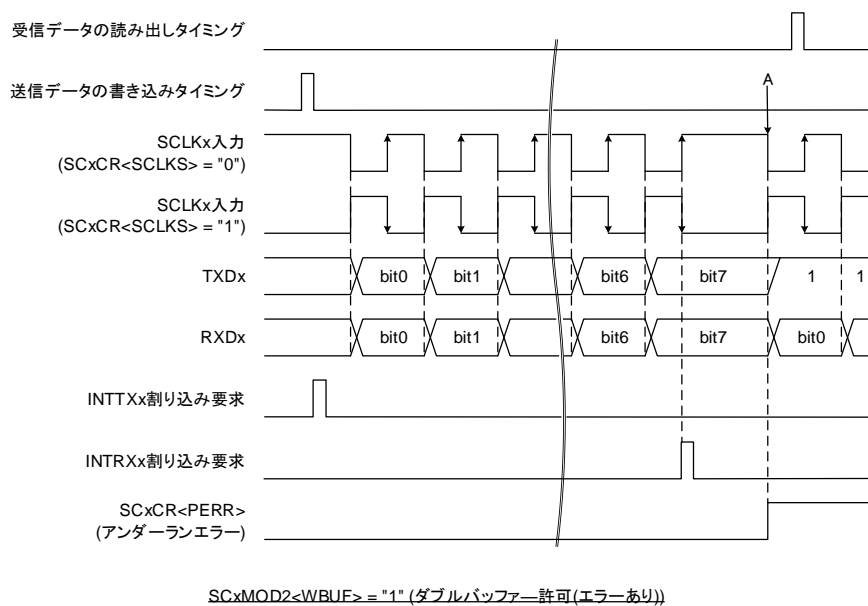
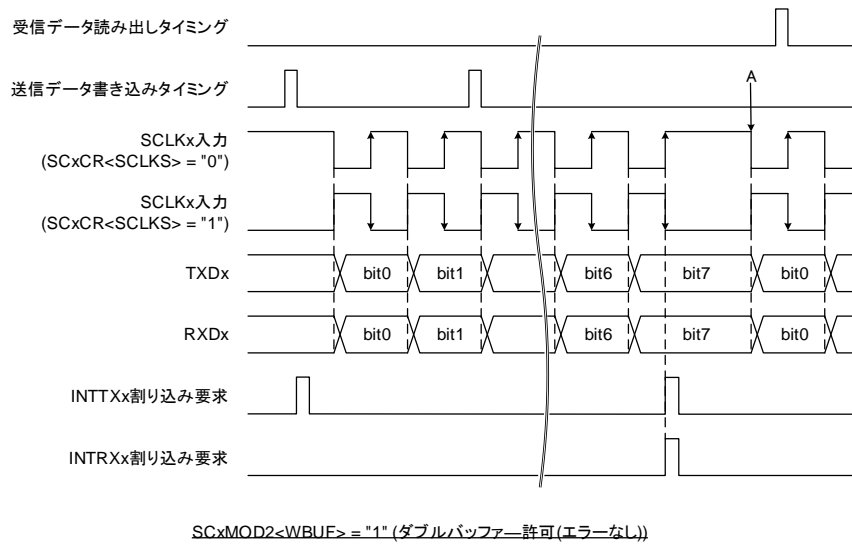
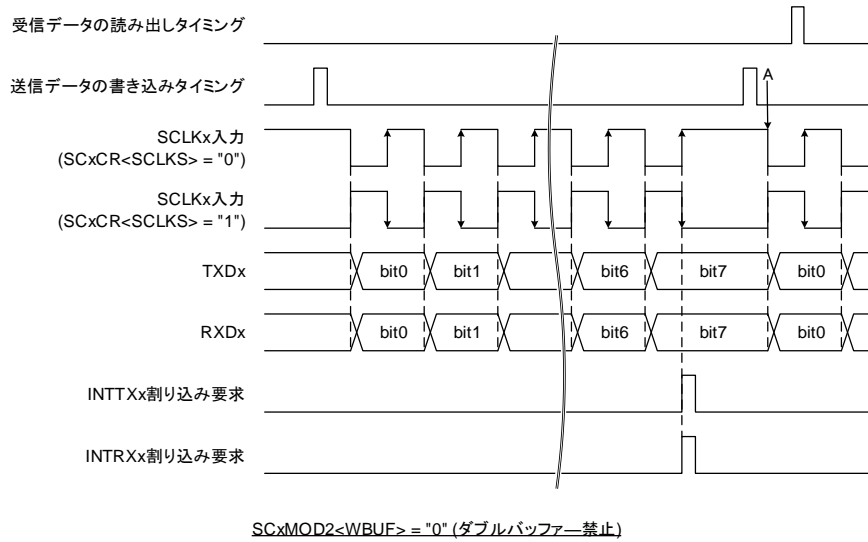


図 10.18 SIOモード送受信動作(転送クロックにSCLKx端子入力を使用しているとき)

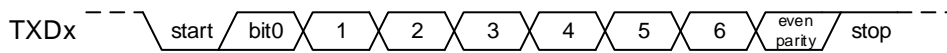
## 10.15.2. モード1(7ビットUARTモード)

SCxMOD0<SM[1:0]>に"01"を設定すると、UARTはモード1で動作します。

このモードでは、パリティビットの付加が可能です。SCxCR<PE>でパリティビット付加の許可/禁止を制御します。SCxCR<EVEN>でパリティビットのOdd、Evenを設定します。

また、送信の場合のみ、SCxMOD2<SBLEN>でSTOPビット長を選択します。受信の場合はSTOPビット長は1ビットのみです。

下記のフォーマットのデータを送信する場合の設定例を示します。



転送速度 2400bps @ fc = 9.8304MHz

クロック条件

$$\left\{ \begin{array}{ll} f_{\text{SYS}}: & f_c \\ f_{\text{gear}}: & f_c \\ \Phi T0: & f_{\text{periph}} / 32 \quad (f_{\text{periph}} = f_{\text{SYS}}) \end{array} \right.$$

図 10.19 モード1(7ビットUARTモード)

		7	6	5	4	3	2	1	0	
SCxMOD0	←	x	0	0	0	0	1	0	1	7ビットUARTモードに設定
SCxCR	←	x	1	1	x	x	x	0	0	パリティビット付加許可、evenに設定
SCxBRCR	←	0	0	1	0	0	1	0	0	2400bpsに設定(ΦT16、N = 4)
SCxBUF	←	*	*	*	*	*	*	*	*	送信データを設定

注) x: Don't care、\*: 任意の値を設定可能

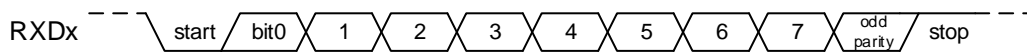
### 10.15.3. モード2(8ビットUARTモード)

SCxMOD0<SM[1:0]>を"10"に設定すると、UARTはモード2で動作します。

このモードでは、パリティビットの付加が可能です。SCxCR<PE>でパリティビット付加の許可/禁止を制御します。SCxCR<EVEN>でパリティビットのOdd、Evenを設定します。

また、送信の場合のみ、SCxMOD2<SBLEN>でSTOPビット長を選択します。受信の場合はSTOPビット長は1ビットのみです。

下記のフォーマットのデータを受信する場合の設定例を示します。



転送速度 9600bps @ fc = 9.8304MHz

クロック条件

{	f <sub>sys</sub> :	fc
	f <sub>gear</sub> :	fc
	ΦT0:	f <sub>periph</sub> / 32 (f <sub>periph</sub> = f <sub>sys</sub> )

図 10.20 モード2(8ビットUARTモード)

		7	6	5	4	3	2	1	0	
SCxMOD0	←	x	0	0	0	1	0	0	1	8ビットUARTモードに設定
SCxCR	←	x	1	1	x	x	x	0	0	パリティビット許可付加、Oddに設定
SCxBRCR	←	0	0	0	1	0	1	0	0	9600bpsに設定(ΦT4、N = 4)
SCxMOD0	←	x	-	1	-	-	-	-	-	受信許可

注) x: Don't care、-: 変更できません

#### 10.15.4. モード3(9ビットUARTモード)

SCxMOD0<SM[1:0]>に"11"を設定すると、UARTはモード3で動作します。

このモードでは、パリティビットの付加はできません、SCxCR<PE>に"0"を設定してください。

データのMSBを、送信の場合SCxMOD0<TB8>に書き込み、受信の場合SCxCR<RB8>から読み出します。送信データの書き込み、受信データの読み出しは、データのMSBを最初に行います。

また、送信の場合のみ、SCxMOD2<SBLEN>でSTOPビット長を選択します。受信の場合はSTOPビット長は1ビットのみです。

モード3では、スレーブコントローラーのウェイクアップ機能が使用できます。

##### 10.15.4.1. ウェイクアップ機能

###### (1) ウェイクアップ機能によるシリアルリンク

モード3ではスレーブコントローラーのウェイクアップ機能を使うことができます。ウェイクアップ機能を許可するには、SCxMOD0<WU>を"1"に設定します。

ウェイクアップ機能が許可されているとき、SCxCR<RB8>が"1"のときのみINTRX<sub>x</sub>が発生します。

注) スレーブコントローラーのTXD<sub>x</sub>端子は、必ずPxODレジスターを設定してオープンドレイン出力モードにしてください。

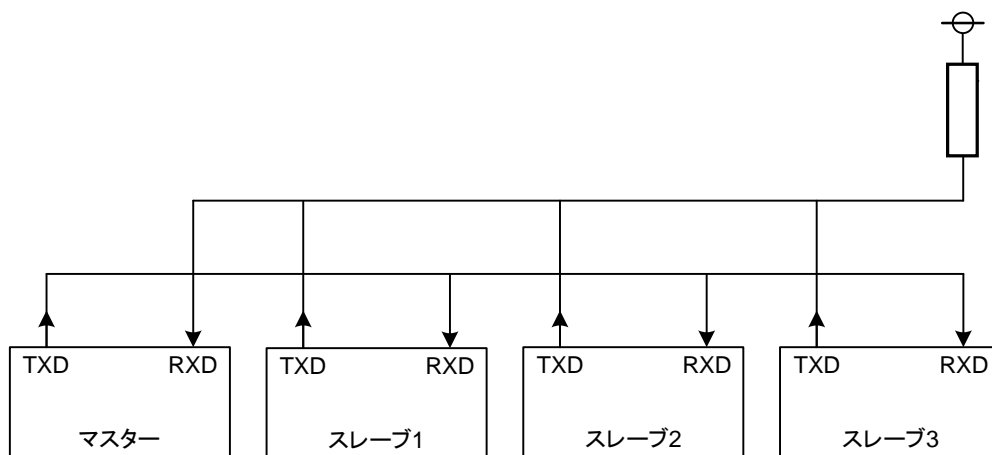


図 10.21 ウェイクアップ機能によるシリアルリンク

(2) プロトコル

- (a) マスターおよびスレーブコントローラーはモード3にします。
- (b) 各スレーブコントローラーの SCxMOD0<WU>を"1"に設定します。

SCxMOD0<RXE>を"1"にセットし受信可能状態とします。

マスターコントローラーは、スレーブコントローラーのセレクトコード(8ビット)を含む1フレームを送信します。

このときマスターコントローラーの SCxMOD0<TB8>に"1"を設定します。

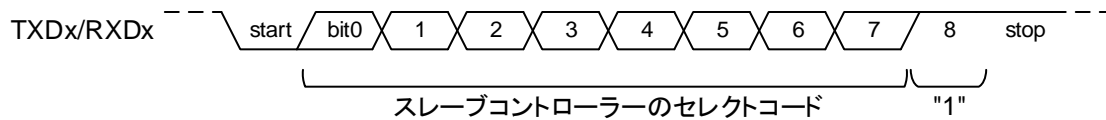


図 10.22 ウェイクアップ機能のときの1stフレームフォーマット

- (c) 各スレーブコントローラーは、上記フレームを受信し、自分のセレクトコードと一致すれば、SCxMOD0<WU>に"0"を設定します。
- (d) マスターコントローラーは指定したスレーブコントローラー(SCxMOD0<WU>に"0"を設定したコントローラー)に対しデータを送信します。  
このときマスターコントローラーの SCxMOD0<TB8>に"0"を設定します。

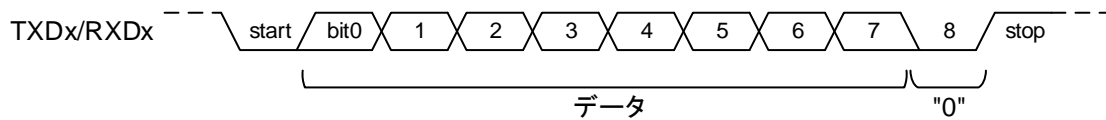


図 10.23 ウェイクアップ機能のときの2ndフレームフォーマット

- (e) 自分のセレクトコードと一致しなかったスレーブコントローラーは、SCxMOD0<WU>が"1"のままで受信データのMSBが"0"であるため、INTRXxが発生しません。  
自分のセレクトコードと一致したスレーブコントローラーは、SCxMOD0<WU>に"0"を設定しているため、INTRXxが発生します。スレーブコントローラーはINTRXxの割り込みサービスルーチンで、マスターコントローラーにデータを送信し、この送信データで受信終了をマスターコントローラーに通知することもできます。

## 11. 12ビットアナログ/デジタルコンバーター(ADC)

TMPM370FYDFG/TMPM370FYFGには、2つの12ビット逐次変換方式アナログ/デジタルコンバーター(ADC)を内蔵しています。モーター制御用ベクトルエンジン、およびPMD回路と連携してモーターのベクトル制御を支援します。

ADコンバーターユニットAは15本のアナログ入力を持っています。6本はモーター0の測定用に使用可能です。この6本のうち3本はマイコン内部でオペアンプ/コンパレーターの出力に接続されています。外部から入力可能なアナログ入力は12本です。

ADコンバーターユニットBは17本のアナログ入力を持っています。6本はモーター0の測定用、および2本はモーター1の測定用に使用可能です。この8本のうち4本はマイコン内部でオペアンプ/コンパレーターの出力に接続されています。外部から入力可能なアナログ入力は13本です。

22本のアナログ入力端子(AINA0~AINA8、AINA9/AINB0、AINA10/AINB1、AINA11/AINB2、AINB3~AINB12)は、入出力ポートと兼用です。

### 11.1. 機能と特徴

- (1) PMDやタイマーからのトリガー信号に同期して任意のアナログ入力を変換することができます。
- (2) ソフトウェア起動、常時起動に任意のアナログ入力を変換することができます。
- (3) AD変換値レジスターが12個あります。
- (4) トリガー起動したプログラムの終了時に割り込みを発生できます。
- (5) ソフトウェア起動、常時起動したプログラムの終了時に割り込みを発生できます。
- (6) AD監視機能があります。有効時に比較条件と一致した場合は割り込みを発生します。

## 11.2. ブロック図

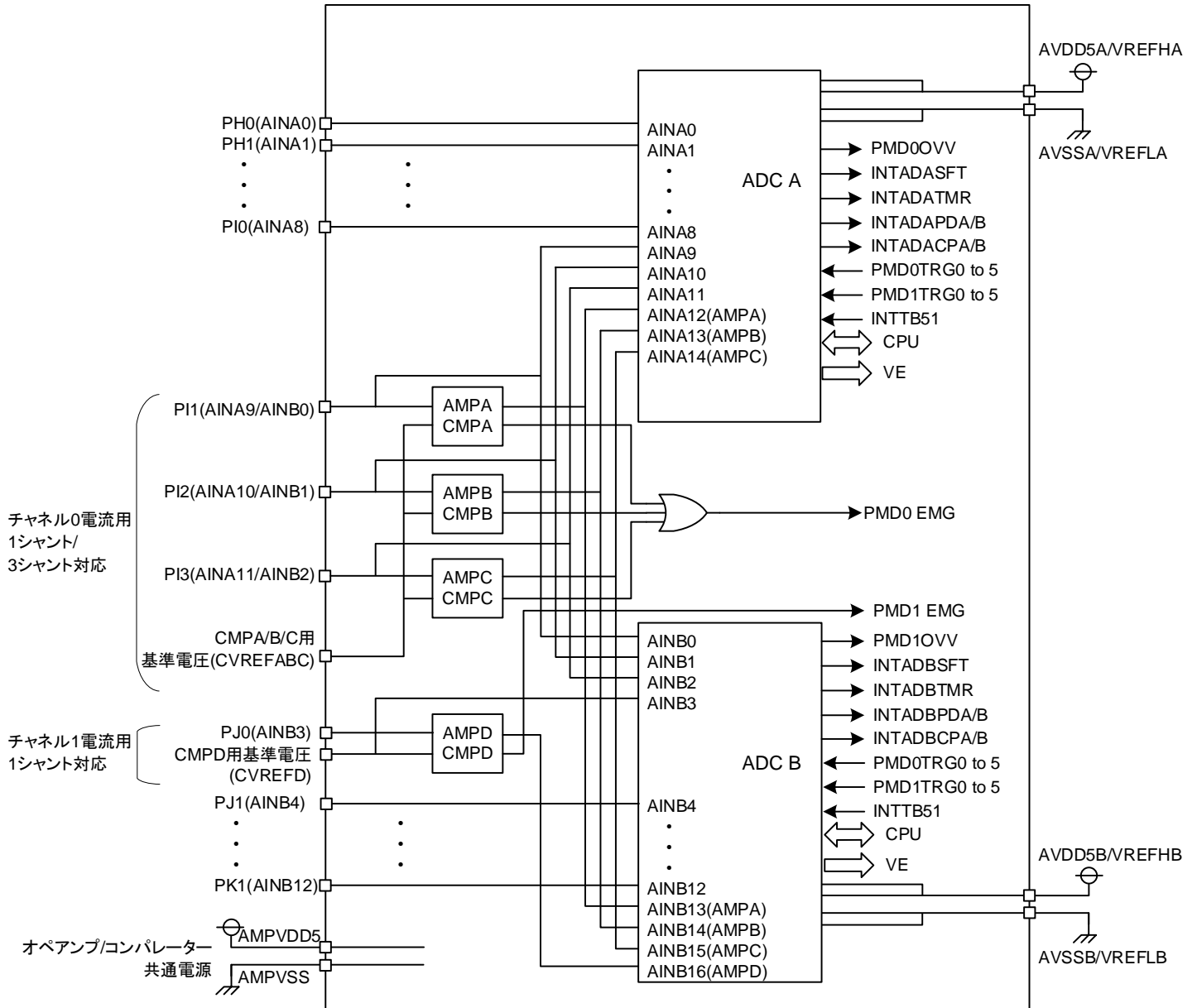


図 11.1 ADコンバーターブロック図

## 11.3. レジスタ一覧

レジスタ名		Address (Base+)
クロック設定レジスタ	ADxCLK	0x0000
モード設定レジスタ0	ADxMOD0	0x0004
モード設定レジスタ1	ADxMOD1	0x0008
モード設定レジスタ2	ADxMOD2	0x000C
監視割り込み設定レジスタ0	ADxCMPCR0	0x0010
監視割り込み設定レジスタ1	ADxCMPCR1	0x0014
変換結果比較レジスタ0	ADxCMP0	0x0018
変換結果比較レジスタ1	ADxCMP1	0x001C
変換結果格納レジスタ0	ADxREG0	0x0020
変換結果格納レジスタ1	ADxREG1	0x0024
変換結果格納レジスタ2	ADxREG2	0x0028
変換結果格納レジスタ3	ADxREG3	0x002C
変換結果格納レジスタ4	ADxREG4	0x0030
変換結果格納レジスタ5	ADxREG5	0x0034
変換結果格納レジスタ6	ADxREG6	0x0038
変換結果格納レジスタ7	ADxREG7	0x003C
変換結果格納レジスタ8	ADxREG8	0x0040
変換結果格納レジスタ9	ADxREG9	0x0044
変換結果格納レジスタ10	ADxREG10	0x0048
変換結果格納レジスタ11	ADxREG11	0x004C
PMDトリガー用プログラム番号選択レジスタ0	ADxPSEL0	0x0050
PMDトリガー用プログラム番号選択レジスタ1	ADxPSEL1	0x0054
PMDトリガー用プログラム番号選択レジスタ2	ADxPSEL2	0x0058
PMDトリガー用プログラム番号選択レジスタ3	ADxPSEL3	0x005C
PMDトリガー用プログラム番号選択レジスタ4	ADxPSEL4	0x0060
PMDトリガー用プログラム番号選択レジスタ5	ADxPSEL5	0x0064
PMDトリガー用プログラム番号選択レジスタ6	ADxPSEL6	0x0068
PMDトリガー用プログラム番号選択レジスタ7	ADxPSEL7	0x006C
PMDトリガー用プログラム番号選択レジスタ8	ADxPSEL8	0x0070
PMDトリガー用プログラム番号選択レジスタ9	ADxPSEL9	0x0074
PMDトリガー用プログラム番号選択レジスタ10	ADxPSEL10	0x0078
PMDトリガー用プログラム番号選択レジスタ11	ADxPSEL11	0x007C
PMDトリガー用割り込み選択レジスタ0	ADxPINTS0	0x0080
PMDトリガー用割り込み選択レジスタ1	ADxPINTS1	0x0084

レジスタ名		Address (Base+)
PMDトリガー用割り込み選択レジスタ2	ADxPINTS2	0x0088
PMDトリガー用割り込み選択レジスタ3	ADxPINTS3	0x008C
PMDトリガー用割り込み選択レジスタ4	ADxPINTS4	0x0090
PMDトリガー用割り込み選択レジスタ5	ADxPINTS5	0x0094
PMDトリガー用プログラム選択レジスタ0	ADxPSET0	0x0098
PMDトリガー用プログラム選択レジスタ1	ADxPSET1	0x009C
PMDトリガー用プログラム選択レジスタ2	ADxPSET2	0x00A0
PMDトリガー用プログラム選択レジスタ3	ADxPSET3	0x00A4
PMDトリガー用プログラム選択レジスタ4	ADxPSET4	0x00A8
PMDトリガー用プログラム選択レジスタ5	ADxPSET5	0x00AC
タイマトリガー用プログラムレジスタ0~3	ADxTSET03	0x00B0
タイマトリガー用プログラムレジスタ4~7	ADxTSET47	0x00B4
タイマトリガー用プログラムレジスタ8~11	ADxTSET811	0x00B8
ソフトウェアトリガー用プログラムレジスタ0~3	ADxSSET03	0x00BC
ソフトウェアトリガー用プログラムレジスタ4~7	ADxSSET47	0x00C0
ソフトウェアトリガー用プログラムレジスタ8~11	ADxSSET811	0x00C4
常時変換用プログラムレジスタ0~3	ADxASET03	0x00B8
常時変換用プログラムレジスタ4~7	ADxASET47	0x00BC
常時変換用プログラムレジスタ8~11	ADxASET811	0x00D0
モード設定レジスタ3	ADxMOD3	0x00D4

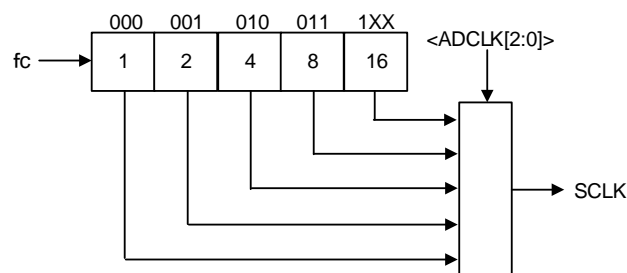
## 11.4. レジスター詳細

AD 変換は AD コンバータークロック設定レジスタによって選択されたクロックで実行されます。

### 11.4.1. ADxCLK(変換クロック設定レジスタ)

	31	30	29	28	27	26	25	24	
bit symbol	-	-	-	-	-	-	-	-	
リセット後	0	0	0	0	0	0	0	0	
	23	22	21	20	19	18	17	16	
bit symbol	-	-	-	-	-	-	-	-	
リセット後	0	0	0	0	0	0	0	0	
	15	14	13	12	11	10	9	8	
bit symbol	-	-	-	-	-	-	-	-	
リセット後	0	0	0	0	0	0	0	0	
	7	6	5	4	3	2	1	0	
bit symbol	-	TSH				ADCLK			
リセット後	0	1	0	1	1	0	0	0	

Bit	Bit Symbol	Type	機能
31:7	-	R	リードすると"0"が読めます。
6:3	TSH[3:0]	R/W	"1001"をライトしてください。
2:0	ADCLK[2:0]	R/W	AD 変換クロック(SCLK)選択 000: fc(注1) 001: fc/2 010: fc/4 011: fc/8 1xx: fc/16



注 1) SCLK は最大 40MHz です。したがって、fc が 40MHz を超える場合は<ADCLK[2:0]> = "000"を選択しないでください。

注 2) AD 変換は上記レジスタで選択されたクロックで実行されますが、保証精度を満足するように変換クロックを選択する必要があります。

注 3) AD 変換中に、AD 変換クロック設定を変更しないでください。

## 11.4.2. ADxMOD0(モード設定レジスター0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	DACON	ADSS
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:2	-	R	リードすると"0"が読めます。
1	DACON	R/W	DAC制御 0: OFF 1: ON ADコンバーターを使用するときには必ず<DACON>を"1"にセットしてください。
0	ADSS	W	ソフトウェア変換スタート 0: Don't care 1: 変換開始 ADxMOD1<ADEN>を"1"にセットして変換を許可し、<ADSS>を"1"にセットするとAD変換を開始します。また、PMDトリガー、タイマー割り込み入力でもAD変換を開始します。PMDトリガーのタイミング設定、タイマー割り込みの設定はPMDとTMRBの章を参照してください。

## 11.4.3. ADxMOD1(モード設定レジスター1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADEN	-	-	-	-	-	-	ADAS
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:8	-	R	リードすると"0"が読めます。
7	ADEN	R/W	AD変換許可/禁止 0: 禁止 1: 許可 <ADEN>を"1"に設定することでADを変換許可します。<ADEN>が"1"のとき、<ADAS>を"1"に設定することでAD変換を開始します。
6:1	-	R	リードすると"0"が読めます。
0	ADAS	W	常時AD変換許可/禁止 0: 禁止 1: 許可

## 11.4.4. ADxMOD2(モード設定レジスタ-2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	ADSFN	ADBFN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:2	-	R	リードすると"0"が読めます。
1	ADSFN	R	ソフトウェア変換フラグ 0: ソフトウェア変換終了 1: ソフトウェア変換中
0	ADBFN	R	AD変換ビジーフラグ 0: 変換停止 1: 変換中 <ADBFN>はAD変換ビジーフラグで、ソフトウェア変換が開始されると、"1"にセットされ、変換が終了すると"0"にクリアされます。

## 11.4.5. ADxCMPCR0(監視割り込み設定レジスタ-0)

判定が確定すると割り込み(INTADxCPn)を発生します。(n = A、B、A: 監視 0、B: 監視 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	CMPCNT0			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CMP0EN	-	-	ADBIG0	REGS0			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:12	-	R	リードすると"0"が読めます。
11:8	CMPCNT0[3:0]	R/W	判定確定するまでの比較回数を設定 0: 毎回有効 1: 2回以上有効 . . 15: 16回以上有効
7	CMP0EN	R/W	AD監視機能禁止/許可 0: 禁止 1: 許可
6:5	-	R	リードすると"0"が読めます。
4	ADBIG0	R/W	大小判定設定 0: 比較レジスタより大 1: 比較レジスタより小
3:0	REGS0[3:0]	R/W	比較するAD変換結果格納レジスタ 0000: ADxREG0    0100: ADxREG4    1000: ADxREG8 0001: ADxREG1    0101: ADxREG5    1001: ADxREG9 0010: ADxREG2    0110: ADxREG6    1010: ADxREG10 0011: ADxREG3    0111: ADxREG7    1011: ADxREG11

## 11.4.6. ADxCMPCR1(監視割り込み設定レジスター1)

判定が確定すると割り込み(INTADxCPn)を発生します。(n = A、B、A: 監視 0、B: 監視 1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	CMPCNT1			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CMP1EN	-	-	ADBIG1	REGS1			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:12	-	R	リードすると"0"が読めます。
11:8	CMPCNT1[3:0]	R/W	判定確定するまでの比較回数を設定 0: 毎回有効 1: 2回以上有効 . . 15: 16回以上有効
7	CMP1EN	R/W	AD監視機能禁止/許可 0: 禁止 1: 許可
6:5	-	R	リードすると"0"が読めます。
4	ADBIG1	R/W	大小判定設定 0: 比較レジスターより大 1: 比較レジスターより小
3:0	REGS1[3:0]	R/W	比較するAD変換結果格納レジスター 0000: ADxREG0    0100: ADxREG4    1000: ADxREG8 0001: ADxREG1    0101: ADxREG5    1001: ADxREG9 0010: ADxREG2    0110: ADxREG6    1010: ADxREG10 0011: ADxREG3    0111: ADxREG7    1011: ADxREG11

## 11.4.7. ADxCMP0(変換結果比較レジスター0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	AD0CMP0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	AD0CMP0				-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:4	AD0CMP0[11:0]	R/W	AD変換結果比較値格納 AD変換結果と比較する値を設定します。
3:0	-	R	リードすると"0"が読めます。

## 11.4.8. ADxCMP1(変換結果比較レジスター1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	AD0CMP1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	AD0CMP1				-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:4	AD0CMP1[11:0]	R/W	AD変換結果比較値格納 AD変換結果と比較する値を設定します。
3:0	-	R	リードすると"0"が読めます。

## 11.4.9. ADxREG0(変換結果格納レジスター0)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADRO							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADRO				-	-	OVR0	ADR0RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:4	ADR0[11:0]	R	AD変換結果値格納
3:2	-	R	リードすると"0"が読めます。
1	OVR0	R	Over Runフラグ 0: 発生なし 1: 発生あり ADxREG0レジスターを読み出す前にAD変換結果が上書きされると"1"にセットされます。このフラグはADxREG0レジスターの下位8ビットをリードすると"0"にクリアされます。
0	ADR0RF	R	AD変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり AD変換値が格納されると"1"にセットされます。このフラグはADxREG0レジスターの下位8ビットをリードすると"0"にクリアされます。

## 11.4.10. ADxREG1(変換結果格納レジスター1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR1				-	-	OVR1	ADR1RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:4	ADR1[11:0]	R	AD変換結果値格納
3:2	-	R	リードすると"0"が読めます。
1	OVR1	R	Over Runフラグ 0: 発生なし 1: 発生あり ADxREG1レジスターを読み出す前にAD変換結果が上書きされると"1"にセットされます。このフラグはADxREG1レジスターの下位8ビットをリードすると"0"にクリアされます。
0	ADR1RF	R	AD変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり AD変換値が格納されると"1"にセットされます。このフラグはADxREG1レジスターの下位8ビットをリードすると"0"にクリアされます。

## 11.4.11. ADxREG2(変換結果格納レジスター2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR2							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR2				-	-	OVR2	ADR2RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:4	ADR2[11:0]	R	AD変換結果値格納
3:2	-	R	リードすると"0"が読めます。
1	OVR2	R	Over Runフラグ 0: 発生なし 1: 発生あり ADxREG2レジスターを読み出す前にAD変換結果が上書きされると"1"にセットされます。このフラグはADxREG2レジスターの下位8ビットをリードすると"0"にクリアされます。
0	ADR2RF	R	AD変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり AD変換値が格納されると"1"にセットされます。このフラグはADxREG2レジスターの下位8ビットをリードすると"0"にクリアされます。

## 11.4.12. ADxREG3(変換結果格納レジスター3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR3							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR3				-	-	OVR3	ADR3RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:4	ADR3[11:0]	R	AD変換結果値格納
3:2	-	R	リードすると"0"が読めます。
1	OVR3	R	Over Runフラグ 0: 発生なし 1: 発生あり ADxREG3レジスターを読み出す前にAD変換結果が上書きされると"1"にセットされます。このフラグはADxREG3レジスターの下位8ビットをリードすると"0"にクリアされます。
0	ADR3RF	R	AD変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり AD変換値が格納されると"1"にセットされます。このフラグはADxREG3レジスターの下位8ビットをリードすると"0"にクリアされます。

## 11.4.13. ADxREG4(変換結果格納レジスター4)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR4							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR4				-	-	OVR4	ADR4RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:4	ADR4[11:0]	R	AD変換結果値格納
3:2	-	R	リードすると"0"が読めます。
1	OVR4	R	Over Runフラグ 0: 発生なし 1: 発生あり ADxREG4レジスターを読み出す前にAD変換結果が上書きされると"1"にセットされます。このフラグはADxREG4レジスターの下位8ビットをリードすると"0"にクリアされます。
0	ADR4RF	R	AD変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり AD変換値が格納されると"1"にセットされます。このフラグはADxREG4レジスターの下位8ビットをリードすると"0"にクリアされます。

## 11.4.14. ADxREG5(変換結果格納レジスター5)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR5							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR5				-	-	OVR5	ADR5RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:4	ADR5[11:0]	R	AD変換結果値格納
3:2	-	R	リードすると"0"が読めます。
1	OVR5	R	Over Runフラグ 0: 発生なし 1: 発生あり ADxREG5レジスターを読み出す前にAD変換結果が上書きされると"1"にセットされます。このフラグはADxREG5レジスターの下位8ビットをリードすると"0"にクリアされます。
0	ADR5RF	R	AD変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり AD変換値が格納されると"1"にセットされます。このフラグはADxREG5レジスターの下位8ビットをリードすると"0"にクリアされます。

## 11.4.15. ADxREG6(変換結果格納レジスター6)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR6							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR6				-	-	OVR6	ADR6RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:4	ADR6[11:0]	R	AD変換結果値格納
3:2	-	R	リードすると"0"が読めます。
1	OVR6	R	Over Runフラグ 0: 発生なし 1: 発生あり ADxREG6レジスターを読み出す前にAD変換結果が上書きされると"1"にセットされます。このフラグはADxREG6レジスターの下位8ビットをリードすると"0"にクリアされます。
0	ADR6RF	R	AD変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり AD変換値が格納されると"1"にセットされます。このフラグはADxREG6レジスターの下位8ビットをリードすると"0"にクリアされます。

## 11.4.16. ADxREG7(変換結果格納レジスター7)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR7							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR7				-	-	OVR7	ADR7RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:4	ADR7[11:0]	R	AD変換結果値格納
3:2	-	R	リードすると"0"が読めます。
1	OVR7	R	Over Runフラグ 0: 発生なし 1: 発生あり ADxREG7レジスターを読み出す前にAD変換結果が上書きされると"1"にセットされます。このフラグはADxREG7レジスターの下位8ビットをリードすると"0"にクリアされます。
0	ADR7RF	R	AD変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり AD変換値が格納されると"1"にセットされます。このフラグはADxREG7レジスターの下位8ビットをリードすると"0"にクリアされます。

## 11.4.17. ADxREG8(変換結果格納レジスタ-8)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR8							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR8				-	-	OVR8	ADR8RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:4	ADR8[11:0]	R	AD変換結果値格納
3:2	-	R	リードすると"0"が読めます。
1	OVR8	R	Over Runフラグ 0: 発生なし 1: 発生あり ADxREG8レジスタを読み出す前にAD変換結果が上書きされると"1"にセットされます。このフラグはADxREG8レジスタの下位8ビットをリードすると"0"にクリアされます。
0	ADR8RF	R	AD変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり AD変換値が格納されると"1"にセットされます。このフラグはADxREG8レジスタの下位8ビットをリードすると"0"にクリアされます。

## 11.4.18. ADxREG9(変換結果格納レジスタ-9)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR9							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR9				-	-	OVR9	ADR9RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:4	ADR9[11:0]	R	AD変換結果値格納
3:2	-	R	リードすると"0"が読めます。
1	OVR9	R	Over Runフラグ 0: 発生なし 1: 発生あり ADxREG9レジスターを読み出す前にAD変換結果が上書きされると"1"にセットされます。このフラグはADxREG9レジスターの下位8ビットをリードすると"0"にクリアされます。
0	ADR9RF	R	AD変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり AD変換値が格納されると"1"にセットされます。このフラグはADxREG9レジスターの下位8ビットをリードすると"0"にクリアされます。

## 11.4.19. ADxREG10(変換結果格納レジスター10)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR10							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR10				-	-	OVR10	ADR10RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:4	ADR10[11:0]	R	AD変換結果値格納
3:2	-	R	リードすると"0"が読めます。
1	OVR10	R	Over Runフラグ 0: 発生なし 1: 発生あり ADxREG10レジスターを読み出す前にAD変換結果が上書きされると"1"にセットされます。このフラグはADxREG10レジスターの下位8ビットをリードすると"0"にクリアされます。
0	ADR10RF	R	AD変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり AD変換値が格納されると"1"にセットされます。このフラグはADxREG10レジスターの下位8ビットをリードすると"0"にクリアされます。

## 11.4.20. ADxREG11(変換結果格納レジスター11)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ADR11							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ADR11				-	-	OVR11	ADR11RF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:4	ADR11[11:0]	R	AD変換結果値格納
3:2	-	R	リードすると"0"が読めます。
1	OVR11	R	Over Runフラグ 0: 発生なし 1: 発生あり ADxREG11レジスターを読み出す前にAD変換結果が上書きされると"1"にセットされます。このフラグはADxREG11レジスターの下位8ビットをリードすると"0"にクリアされます。
0	ADR11RF	R	AD変換結果格納フラグ 0: 変換結果なし 1: 変換結果あり AD変換値が格納されると"1"にセットされます。このフラグはADxREG11レジスターの下位8ビットをリードすると"0"にクリアされます。

#### 11.4.21. PMD トリガー用プログラムレジスター

AD コンバーターは PMD が発生するトリガー信号によって AD 変換を開始することができます。

PMD トリガー用プログラムレジスターは PMD が発生する 12 種類のトリガーによって起動するプログラム番号の設定、プログラム終了時に発生する割り込みの制御、AD 変換の AIN の選択を行います。

PMD トリガー用プログラムレジスターは 3 種類のレジスターから構成されます。

- PMD トリガー用プログラム番号選択レジスター(ADxPSEL0 ~ ADxPSEL11)  
PMD からの 12 本のトリガー信号(PMD0TRG0 ~ 5、PMD1TRG0 ~ 5)に対して、それぞれ起動するプログラム番号(0 ~ 5)を選択します。  
ADxPSEL0 ~ ADxPSEL5 が PMD0TRG0 ~ PMD0TRG5 に、ADxPSEL6 ~ ADxPSEL11 が PMD1TRG0 ~ PMD1TRG5 に対応しています。
- PMD トリガー用割り込み選択レジスター(ADxPINTS0 ~ ADxPINTS5)  
それぞれのプログラム番号ごとにプログラム終了時に発生させる割り込みの有無や種類(INTADxPDA、INTADxPDB)を選択します。  
ADxPINTS0 ~ ADxPINTS5 がプログラム 0 ~ 5 に対応しています。
- PMD トリガー用プログラム選択レジスター(ADxPSET0 ~ ADxPSET5)  
プログラム番号(0 ~ 5)に対して、AD 変換する AIN 番号とベクトルエンジンへの通知用に U/V/W の相を設定します。プログラム番号 1 つに PMD トリガー用プログラム選択レジスターが 1 つ割り当てられます。1 つの PMD トリガー用プログラム選択レジスターには、AD 変換する AIN 番号とベクトルエンジンへの通知用に U/V/W の相を設定するためのレジスターを 4 組持ちます。それぞれの組の AD 変換結果は、変換結果格納レジスター 0 ~ 3(ADxREG0 ~ 3)に格納されます。

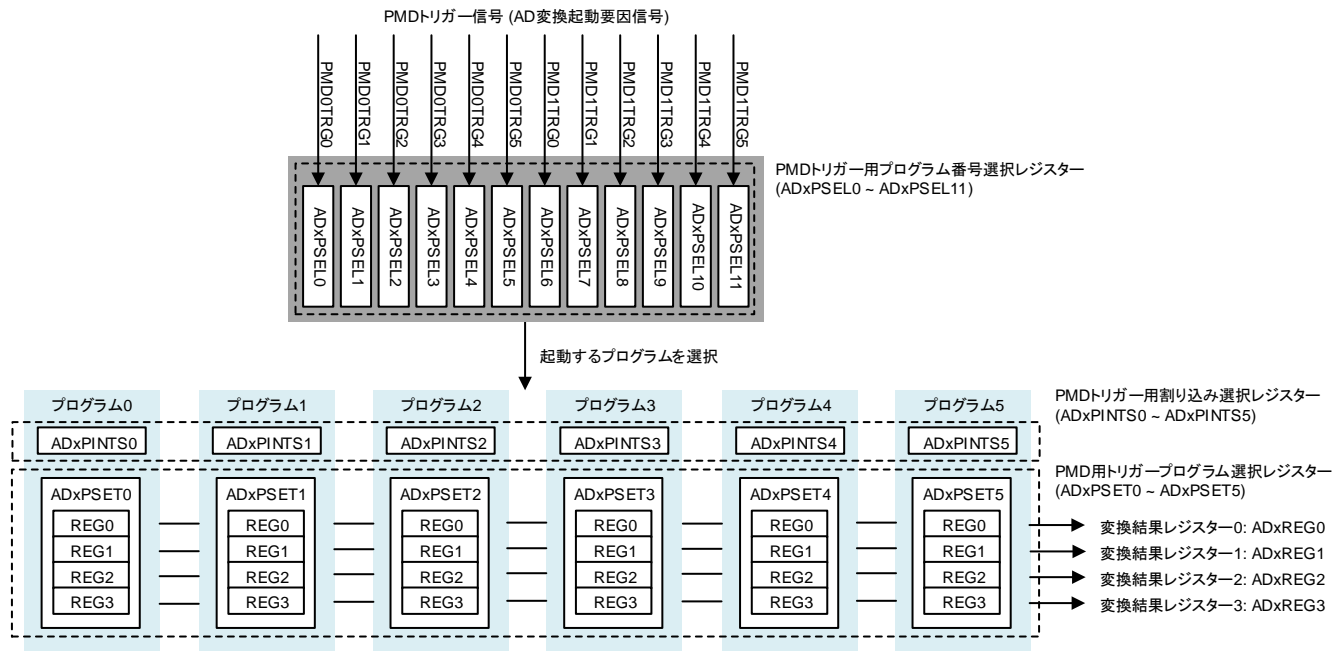


図 11.2 PMDトリガー用プログラムレジスター

## 11.4.21.1. ADxPSEL0 ~ ADxPSEL11(PMD トリガー用プログラム番号選択レジスター0 ~ 11)

ADxPSEL0: PMD トリガー用プログラム番号選択レジスター0

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PENS0	-	-	-	-	PMDS0		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:8	-	R	リードすると"0"が読めます。
7	PENS0	R/W	PMD0TRG0トリガー制御 0: 禁止 1: 許可
6:3	-	R	リードすると"0"が読めます。
2:0	PMDS0[2:0]	R/W	プログラム番号選択(表 11.1参照)

ADxPSEL1: PMD トリガー用プログラム番号選択レジスター1

	<b>31</b>	<b>30</b>	<b>29</b>	<b>28</b>	<b>27</b>	<b>26</b>	<b>25</b>	<b>24</b>
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	<b>23</b>	<b>22</b>	<b>21</b>	<b>20</b>	<b>19</b>	<b>18</b>	<b>17</b>	<b>16</b>
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	<b>15</b>	<b>14</b>	<b>13</b>	<b>12</b>	<b>11</b>	<b>10</b>	<b>9</b>	<b>8</b>
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	<b>7</b>	<b>6</b>	<b>5</b>	<b>4</b>	<b>3</b>	<b>2</b>	<b>1</b>	<b>0</b>
bit symbol	PENS1	-	-	-	-	PMDS1		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:8	-	R	リードすると"0"が読めます。
7	PENS1	R/W	PMD0TRG1トリガー制御 0: 禁止 1: 許可
6:3	-	R	リードすると"0"が読めます。
2:0	PMDS1[2:0]	R/W	プログラム番号選択(表 11.1参照)

ADxPSEL2: PMD トリガー用プログラム番号選択レジスター2

	<b>31</b>	<b>30</b>	<b>29</b>	<b>28</b>	<b>27</b>	<b>26</b>	<b>25</b>	<b>24</b>
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	<b>23</b>	<b>22</b>	<b>21</b>	<b>20</b>	<b>19</b>	<b>18</b>	<b>17</b>	<b>16</b>
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	<b>15</b>	<b>14</b>	<b>13</b>	<b>12</b>	<b>11</b>	<b>10</b>	<b>9</b>	<b>8</b>
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	<b>7</b>	<b>6</b>	<b>5</b>	<b>4</b>	<b>3</b>	<b>2</b>	<b>1</b>	<b>0</b>
bit symbol	PENS2	-	-	-	-	PMDS2		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:8	-	R	リードすると"0"が読めます。
7	PENS2	R/W	PMD0TRG2トリガー制御 0: 禁止 1: 許可
6:3	-	R	リードすると"0"が読めます。
2:0	PMDS2[2:0]	R/W	プログラム番号選択(表 11.1参照)

### ADxPSEL3: PMD トリガー用プログラム番号選択レジスター3

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PENS3	-	-	-	-	PMDS3		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:8	-	R	リードすると"0"が読めます。
7	PENS3	R/W	PMD0TRG3トリガー制御 0: 禁止 1: 許可
6:3	-	R	リードすると"0"が読めます。
2:0	PMDS3[2:0]	R/W	プログラム番号選択(表 11.1参照)

### ADxPSEL4: PMD トリガー用プログラム番号選択レジスター4

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PENS4	-	-	-	-	PMDS4		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:8	-	R	リードすると"0"が読めます。
7	PENS4	R/W	PMD0TRG4トリガー制御 0: 禁止 1: 許可
6:3	-	R	リードすると"0"が読めます。
2:0	PMDS4[2:0]	R/W	プログラム番号選択(表 11.1参照)

ADxPSEL5: PMD トリガー用プログラム番号選択レジスター5

	<b>31</b>	<b>30</b>	<b>29</b>	<b>28</b>	<b>27</b>	<b>26</b>	<b>25</b>	<b>24</b>
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	<b>23</b>	<b>22</b>	<b>21</b>	<b>20</b>	<b>19</b>	<b>18</b>	<b>17</b>	<b>16</b>
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	<b>15</b>	<b>14</b>	<b>13</b>	<b>12</b>	<b>11</b>	<b>10</b>	<b>9</b>	<b>8</b>
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	<b>7</b>	<b>6</b>	<b>5</b>	<b>4</b>	<b>3</b>	<b>2</b>	<b>1</b>	<b>0</b>
bit symbol	PENS5	-	-	-	-	PMDS5		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:8	-	R	リードすると"0"が読めます。
7	PENS5	R/W	PMD0TRG5トリガー制御 0: 禁止 1: 許可
6:3	-	R	リードすると"0"が読めます。
2:0	PMDS5[2:0]	R/W	プログラム番号選択(表 11.1参照)

ADxPSEL6: PMD トリガー用プログラム番号選択レジスター6

	<b>31</b>	<b>30</b>	<b>29</b>	<b>28</b>	<b>27</b>	<b>26</b>	<b>25</b>	<b>24</b>
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	<b>23</b>	<b>22</b>	<b>21</b>	<b>20</b>	<b>19</b>	<b>18</b>	<b>17</b>	<b>16</b>
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	<b>15</b>	<b>14</b>	<b>13</b>	<b>12</b>	<b>11</b>	<b>10</b>	<b>9</b>	<b>8</b>
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	<b>7</b>	<b>6</b>	<b>5</b>	<b>4</b>	<b>3</b>	<b>2</b>	<b>1</b>	<b>0</b>
bit symbol	PENS6	-	-	-	-	PMDS6		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:8	-	R	リードすると"0"が読めます。
7	PENS6	R/W	PMD1TRG0トリガー制御 0: 禁止 1: 許可
6:3	-	R	リードすると"0"が読めます。
2:0	PMDS6[2:0]	R/W	プログラム番号選択(表 11.1参照)

ADxPSEL7: PMD トリガー用プログラム番号選択レジスター7

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PENS7	-	-	-	-	PMDS7		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:8	-	R	リードすると"0"が読めます。
7	PENS7	R/W	PMD1TRG1トリガー制御 0: 禁止 1: 許可
6:3	-	R	リードすると"0"が読めます。
2:0	PMDS7[2:0]	R/W	プログラム番号選択(表 11.1参照)

ADxPSEL8: PMD トリガー用プログラム番号選択レジスター8

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PENS8	-	-	-	-	PMDS8		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:8	-	R	リードすると"0"が読めます。
7	PENS8	R/W	PMD1TRG2トリガー制御 0: 禁止 1: 許可
6:3	-	R	リードすると"0"が読めます。
2:0	PMDS8[2:0]	R/W	プログラム番号選択(表 11.1参照)

ADxPSEL9: PMD トリガー用プログラム番号選択レジスター9

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PENS9	-	-	-	-	PMDS9		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:8	-	R	リードすると"0"が読めます。
7	PENS9	R/W	PMD1TRG3トリガー制御 0: 禁止 1: 許可
6:3	-	R	リードすると"0"が読めます。
2:0	PMDS9[2:0]	R/W	プログラム番号選択(表 11.1参照)

ADxPSEL10: PMD トリガー用プログラム番号選択レジスター10

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	PENS10	-	-	-	-	PMDS10		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:8	-	R	リードすると"0"が読めます。
7	PENS10	R/W	PMD1TRG4トリガー制御 0: 禁止 1: 許可
6:3	-	R	リードすると"0"が読めます。
2:0	PMDS10[2:0]	R/W	プログラム番号選択(表 11.1参照)

ADxPSEL11: PMD トリガー用プログラム番号選択レジスター11

	<b>31</b>	<b>30</b>	<b>29</b>	<b>28</b>	<b>27</b>	<b>26</b>	<b>25</b>	<b>24</b>
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	<b>23</b>	<b>22</b>	<b>21</b>	<b>20</b>	<b>19</b>	<b>18</b>	<b>17</b>	<b>16</b>
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	<b>15</b>	<b>14</b>	<b>13</b>	<b>12</b>	<b>11</b>	<b>10</b>	<b>9</b>	<b>8</b>
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	<b>7</b>	<b>6</b>	<b>5</b>	<b>4</b>	<b>3</b>	<b>2</b>	<b>1</b>	<b>0</b>
bit symbol	PENS11	-	-	-	-	PMDS11		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:8	-	R	リードすると"0"が読めます。
7	PENS11	R/W	PMD1TRG5トリガー制御 0: 禁止 1: 許可
6:3	-	R	リードすると"0"が読めます。
2:0	PMDS11[2:0]	R/W	プログラム番号選択(表 11.1参照)

表 11.1 プログラム番号選択

<PMDS0[2:0]> ~ <PMDS11[2:0]>	プログラム番号
000	プログラム 0
001	プログラム 1
010	プログラム 2
011	プログラム 3
100	プログラム 4
101	プログラム 5
110	Reserved
111	Reserved

## 11.4.21.2. ADxPINTS0 ~ 5(PMD トリガー用割り込み選択レジスター0 ~ 5)

ADxPINTS0: PMD 用割り込み選択レジスター0

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	INTSELO	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:2	-	R	リードすると"0"が読めます。
1:0	INTSELO[1:0]	R/W	割り込み選択 00: 割り込み出力なし 01: INTADxPDA 10: INTADxPDB 11: 割り込み出力なし プログラム0に対して、起動する割り込みを選択します。

### ADxPINTS1: PMD 用割り込み選択レジスター1

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	INTSEL1	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:2	-	R	リードすると"0"が読めます。
1:0	INTSEL1[1:0]	R/W	割り込み選択 00: 割り込み出力なし 01: INTADxPDA 10: INTADxPDB 11: 割り込み出力なし プログラム1に対して、起動する割り込みを選択します。

### ADxPINTS2: PMD 用割り込み選択レジスター2

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	INTSEL2	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:2	-	R	リードすると"0"が読めます。
1:0	INTSEL2[1:0]	R/W	割り込み選択 00: 割り込み出力なし 01: INTADxPDA 10: INTADxPDB 11: 割り込み出力なし プログラム2に対して、起動する割り込みを選択します。

### ADxPINTS3: PMD 用割り込み選択レジスタ3

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	INTSEL3	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:2	-	R	リードすると"0"が読めます。
1:0	INTSEL3[1:0]	R/W	割り込み選択 00: 割り込み出力なし 01: INTADxPDA 10: INTADxPDB 11: 割り込み出力なし プログラム3に対して、起動する割り込みを選択します。

### ADxPINTS4: PMD 用割り込み選択レジスタ4

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	INTSEL4	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:2	-	R	リードすると"0"が読めます。
1:0	INTSEL4[1:0]	R/W	割り込み選択 00: 割り込み出力なし 01: INTADxPDA 10: INTADxPDB 11: 割り込み出力なし プログラム4に対して、起動する割り込みを選択します。

ADxPINTS5: PMD 用割り込み選択レジスター5

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	INTSEL5	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:2	-	R	リードすると"0"が読めます。
1:0	INTSEL5[1:0]	R/W	割り込み選択 00: 割り込み出力なし 01: INTADxPDA 10: INTADxPDB 11: 割り込み出力なし プログラム5に対して、起動する割り込みを選択します。

### 11.4.21.3. ADxPSET0 ~ 5(PMD トリガー用プログラム選択レジスタ-0 ~ 5)

各 ADxPSETn (n = 0 ~ 5: プログラム番号) は、AD 変換入力端子の選択をする<AINSPnm[4:0]>とベクトルエンジンへの通知用の相を選択をする<UVWISnm[1:0]>およびADxREGmを許可する<ENSPnm>を1組とした4つのセットで構成されます(m = 0 ~ 3)。

ADxPSETn \ ADxREGm	m = 0	m = 1	m = 2	m = 3
n = 0	<ENSP00> <UVWIS00[1:0]> <AINSP00[4:0]>	<ENSP01> <UVWIS01[1:0]> <AINSP01[4:0]>	<ENSP02> <UVWIS02[1:0]> <AINSP02[4:0]>	<ENSP03> <UVWIS03[1:0]> <AINSP03[4:0]>
n = 1	<ENSP10> <UVWIS10[1:0]> <AINSP10[4:0]>	<ENSP11> <UVWIS11[1:0]> <AINSP11[4:0]>	<ENSP12> <UVWIS12[1:0]> <AINSP12[4:0]>	<ENSP13> <UVWIS13[1:0]> <AINSP13[4:0]>
n = 2	<ENSP20> <UVWIS20[1:0]> <AINSP20[4:0]>	<ENSP21> <UVWIS21[1:0]> <AINSP21[4:0]>	<ENSP22> <UVWIS22[1:0]> <AINSP22[4:0]>	<ENSP23> <UVWIS23[1:0]> <AINSP23[4:0]>
n = 3	<ENSP30> <UVWIS30[1:0]> <AINSP30[4:0]>	<ENSP31> <UVWIS31[1:0]> <AINSP31[4:0]>	<ENSP32> <UVWIS32[1:0]> <AINSP32[4:0]>	<ENSP33> <UVWIS33[1:0]> <AINSP33[4:0]>
n = 4	<ENSP40> <UVWIS40[1:0]> <AINSP40[4:0]>	<ENSP41> <UVWIS41[1:0]> <AINSP41[4:0]>	<ENSP42> <UVWIS42[1:0]> <AINSP42[4:0]>	<ENSP43> <UVWIS43[1:0]> <AINSP43[4:0]>
n = 5	<ENSP50> <UVWIS50[1:0]> <AINSP50[4:0]>	<ENSP51> <UVWIS51[1:0]> <AINSP51[4:0]>	<ENSP52> <UVWIS52[1:0]> <AINSP52[4:0]>	<ENSP53> <UVWIS53[1:0]> <AINSP53[4:0]>

表 11.2 AD変換入力端子の選択

<AINSP00[4:0]> ~ <AINSP53[4:0]>	ADコンバーター ユニットA	ADコンバーター ユニットB
0_0000	AINA0	AINB0
0_0001	AINA1	AINB1
0_0010	AINA2	AINB2
0_0011	AINA3	AINB3
0_0100	AINA4	AINB4
0_0101	AINA5	AINB5
0_0110	AINA6	AINB6
0_0111	AINA7	AINB7
0_1000	AINA8	AINB8
0_1001	AINA9	AINB9
0_1010	AINA10	AINB10
0_1011	AINA11	AINB11
0_1100	AINA12	AINB12
0_1101	AINA13	AINB13
0_1110	AINA14	AINB14
0_1111	Reserved	AINB15
1_0000	Reserved	AINB16
1_0001 ~ 1_1111	Reserved	Reserved

ADxPSET0: PMD トリガー用プログラム選択レジスター0

	31	30	29	28	27	26	25	24
bit symbol	ENSP03	UVWIS03			AINSP03			
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENSP02	UVWIS02			AINSP02			
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENSP01	UVWIS01			AINSP01			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENSP00	UVWIS00			AINSP00			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENSP03	R/W	ADxREG3許可 0: 禁止 1: 許可
30:29	UVWIS03[1:0]	R/W	相選択(ベクトルエンジン通知用) 下表参照
28:24	AINSP03[4:0]	R/W	AIN選択 「表 11.2 AD変換入力端子の選択」を参照
23	ENSP02	R/W	ADxREG2許可 0: 禁止 1: 許可
22:21	UVWIS02[1:0]	R/W	相選択(ベクトルエンジン通知用) 下表参照
20:16	AINSP02[4:0]	R/W	AIN選択 「表 11.2 AD変換入力端子の選択」を参照
15	ENSP01	R/W	ADxREG1許可 0: 禁止 1: 許可
14:13	UVWIS01[1:0]	R/W	相選択(ベクトルエンジン通知用) 下表参照
12:8	AINSP01[4:0]	R/W	AIN選択 「表 11.2 AD変換入力端子の選択」を参照
7	ENSP00	R/W	ADxREG0許可 0: 禁止 1: 許可
6:5	UVWIS00[1:0]	R/W	相選択(ベクトルエンジン通知用) 下表参照
4:0	AINSP00[4:0]	R/W	AIN選択 「表 11.2 AD変換入力端子の選択」を参照

相選択

<UVWIS00[1:0]> ~ <UVWIS03[1:0]>	相選択
00	指定なし
01	U相
10	V相
11	W相

ADxPSET1: PMD トリガー用プログラム選択レジスター1

	31	30	29	28	27	26	25	24
bit symbol	ENSP13	UVWIS13			AINSP13			
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENSP12	UVWIS12			AINSP12			
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENSP11	UVWIS11			AINSP11			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENSP10	UVWIS10			AINSP10			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENSP13	R/W	ADxREG3許可 0: 禁止 1: 許可
30:29	UVWIS13[1:0]	R/W	相選択(ベクトルエンジン通知用) 下表参照
28:24	AINSP13[4:0]	R/W	AIN選択 「表 11.2 AD変換入力端子の選択」を参照
23	ENSP12	R/W	ADxREG2許可 0: 禁止 1: 許可
22:21	UVWIS12[1:0]	R/W	相選択(ベクトルエンジン通知用) 下表参照
20:16	AINSP12[4:0]	R/W	AIN選択 「表 11.2 AD変換入力端子の選択」を参照
15	ENSP11	R/W	ADxREG1許可 0: 禁止 1: 許可
14:13	UVWIS11[1:0]	R/W	相選択(ベクトルエンジン通知用) 下表参照
12:8	AINSP11[4:0]	R/W	AIN選択 「表 11.2 AD変換入力端子の選択」を参照
7	ENSP10	R/W	ADxREG0許可 0: 禁止 1: 許可
6:5	UVWIS10[1:0]	R/W	相選択(ベクトルエンジン通知用) 下表参照
4:0	AINSP10[4:0]	R/W	AIN選択 「表 11.2 AD変換入力端子の選択」を参照

相選択

<UVWIS10[1:0]> ~ <UVWIS13[1:0]>	相選択
00	指定なし
01	U相
10	V相
11	W相

ADxPSET2: PMD トリガー用プログラム選択レジスター2

	31	30	29	28	27	26	25	24
bit symbol	ENSP23	UVWIS23			AINSP23			
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENSP22	UVWIS22			AINSP22			
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENSP21	UVWIS21			AINSP21			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENSP20	UVWIS20			AINSP20			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENSP23	R/W	ADxREG3許可 0: 禁止 1: 許可
30:29	UVWIS23[1:0]	R/W	相選択(ベクトルエンジン通知用) 下表参照
28:24	AINSP23[4:0]	R/W	AIN選択 「表 11.2 AD変換入力端子の選択」を参照
23	ENSP22	R/W	ADxREG2許可 0: 禁止 1: 許可
22:21	UVWIS22[1:0]	R/W	相選択(ベクトルエンジン通知用) 下表参照
20:16	AINSP22[4:0]	R/W	AIN選択 「表 11.2 AD変換入力端子の選択」を参照
15	ENSP21	R/W	ADxREG1許可 0: 禁止 1: 許可
14:13	UVWIS21[1:0]	R/W	相選択(ベクトルエンジン通知用) 下表参照
12:8	AINSP21[4:0]	R/W	AIN選択 「表 11.2 AD変換入力端子の選択」を参照
7	ENSP20	R/W	ADxREG0許可 0: 禁止 1: 許可
6:5	UVWIS20[1:0]	R/W	相選択(ベクトルエンジン通知用) 下表参照
4:0	AINSP20[4:0]	R/W	AIN選択 「表 11.2 AD変換入力端子の選択」を参照

相選択

<UVWIS20[1:0]> ~ <UVWIS23[1:0]>	相選択
00	指定なし
01	U相
10	V相
11	W相

ADxPSET3: PMD トリガー用プログラム選択レジスター3

	31	30	29	28	27	26	25	24
bit symbol	ENSP33	UVWIS33			AINSP33			
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENSP32	UVWIS32			AINSP32			
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENSP31	UVWIS31			AINSP31			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENSP30	UVWIS30			AINSP30			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENSP33	R/W	ADxREG3許可 0: 禁止 1: 許可
30:29	UVWIS33[1:0]	R/W	相選択(ベクトルエンジン通知用) 下表参照
28:24	AINSP33[4:0]	R/W	AIN選択 「表 11.2 AD変換入力端子の選択」を参照
23	ENSP32	R/W	ADxREG2許可 0: 禁止 1: 許可
22:21	UVWIS32[1:0]	R/W	相選択(ベクトルエンジン通知用) 下表参照
20:16	AINSP32[4:0]	R/W	AIN選択 「表 11.2 AD変換入力端子の選択」を参照
15	ENSP31	R/W	ADxREG1許可 0: 禁止 1: 許可
14:13	UVWIS31[1:0]	R/W	相選択(ベクトルエンジン通知用) 下表参照
12:8	AINSP31[4:0]	R/W	AIN選択 「表 11.2 AD変換入力端子の選択」を参照
7	ENSP30	R/W	ADxREG0許可 0: 禁止 1: 許可
6:5	UVWIS30[1:0]	R/W	相選択(ベクトルエンジン通知用) 下表参照
4:0	AINSP30[4:0]	R/W	AIN選択 「表 11.2 AD変換入力端子の選択」を参照

相選択

<UVWIS30[1:0]> ~ <UVWIS33[1:0]>	相選択
00	指定なし
01	U相
10	V相
11	W相

ADxPSET4: PMD トリガー用プログラム選択レジスター4

	31	30	29	28	27	26	25	24
bit symbol	ENSP43	UVWIS43			AINSP43			
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENSP42	UVWIS42			AINSP42			
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENSP41	UVWIS41			AINSP41			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENSP40	UVWIS40			AINSP40			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENSP43	R/W	ADxREG3許可 0: 禁止 1: 許可
30:29	UVWIS43[1:0]	R/W	相選択(ベクトルエンジン通知用) 下表参照
28:24	AINSP43[4:0]	R/W	AIN選択 「表 11.2 AD変換入力端子の選択」を参照
23	ENSP42	R/W	ADxREG2許可 0: 禁止 1: 許可
22:21	UVWIS42[1:0]	R/W	相選択(ベクトルエンジン通知用) 下表参照
20:16	AINSP42[4:0]	R/W	AIN選択 「表 11.2 AD変換入力端子の選択」を参照
15	ENSP41	R/W	ADxREG1許可 0: 禁止 1: 許可
14:13	UVWIS41[1:0]	R/W	相選択(ベクトルエンジン通知用) 下表参照
12:8	AINSP41[4:0]	R/W	AIN選択 「表 11.2 AD変換入力端子の選択」を参照
7	ENSP40	R/W	ADxREG0許可 0: 禁止 1: 許可
6:5	UVWIS40[1:0]	R/W	相選択(ベクトルエンジン通知用) 下表参照
4:0	AINSP40[4:0]	R/W	AIN選択 「表 11.2 AD変換入力端子の選択」を参照

相選択

<UVWIS40[1:0]> ~ <UVWIS43[1:0]>	相選択
00	指定なし
01	U相
10	V相
11	W相

ADxPSET5: PMD トリガー用プログラム選択レジスター5

	31	30	29	28	27	26	25	24
bit symbol	ENSP53	UVWIS53			AINSP53			
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENSP52	UVWIS52			AINSP52			
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENSP51	UVWIS51			AINSP51			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENSP50	UVWIS50			AINSP50			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENSP53	R/W	ADxREG3許可 0: 禁止 1: 許可
30:29	UVWIS53[1:0]	R/W	相選択(ベクトルエンジン通知用) 下表参照
28:24	AINSP53[4:0]	R/W	AIN選択 「表 11.2 AD変換入力端子の選択」を参照
23	ENSP52	R/W	ADxREG2許可 0: 禁止 1: 許可
22:21	UVWIS52[1:0]	R/W	相選択(ベクトルエンジン通知用) 下表参照
20:16	AINSP52[4:0]	R/W	AIN選択 「表 11.2 AD変換入力端子の選択」を参照
15	ENSP51	R/W	ADxREG1許可 0: 禁止 1: 許可
14:13	UVWIS51[1:0]	R/W	相選択(ベクトルエンジン通知用) 下表参照
12:8	AINSP51[4:0]	R/W	AIN選択 「表 11.2 AD変換入力端子の選択」を参照
7	ENSP50	R/W	ADxREG0許可 0: 禁止 1: 許可
6:5	UVWIS50[1:0]	R/W	相選択(ベクトルエンジン通知用) 下表参照
4:0	AINSP50[4:0]	R/W	AIN選択 「表 11.2 AD変換入力端子の選択」を参照

相選択

<UVWIS50[1:0]> ~ <UVWIS53[1:0]>	相選択
00	指定なし
01	U相
10	V相
11	W相

## 11.4.22. ADxTSET03/ADxTSET47/ADxTSET811(タイマートリガー用プログラムレジスター)

AD コンバーターは TMRB5 が発生するトリガー信号 INTTB51 によって AD 変換を開始することができます。

タイマートリガー用プログラムレジスターは 12 組の設定レジスターから構成されます。設定レジスターの番号は変換結果レジスター番号(m = 0 ~ 11)にそれぞれ対応しています。

<ENSTm>を"1"にセットすると一組の設定レジスターを許可にします。

<AINSTm[4:0]>は AD 変換する AIN 入力を選択します。

タイマートリガーによる AD 変換が終了すると INTADxTMR を発生します。

表 11.3 AD変換入力端子の選択

<AINST0[4:0]> ~ <AINST11[4:0]>	ADコンバーター ユニットA	ADコンバーター ユニットB
0_0000	AINA0	AINB0
0_0001	AINA1	AINB1
0_0010	AINA2	AINB2
0_0011	AINA3	AINB3
0_0100	AINA4	AINB4
0_0101	AINA5	AINB5
0_0110	AINA6	AINB6
0_0111	AINA7	AINB7
0_1000	AINA8	AINB8
0_1001	AINA9	AINB9
0_1010	AINA10	AINB10
0_1011	AINA11	AINB11
0_1100	AINA12	AINB12
0_1101	AINA13	AINB13
0_1110	AINA14	AINB14
0_1111	Reserved	AINB15
1_0000	Reserved	AINB16
1_0001 ~ 1_1111	Reserved	Reserved

ADxTSET03: タイマートリガー用プログラムレジスタ03

	31	30	29	28	27	26	25	24
bit symbol	ENST3	-	-	AINST3				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENST2	-	-	AINST2				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENST1	-	-	AINST1				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENST0	-	-	AINST0				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENST3	R/W	ADxREG3許可 0: 禁止 1: 許可
30:29	-	R	リードすると"0"が読めます。
28:24	AINST3[4:0]	R/W	AIN選択 「表 11.3 AD変換入力端子の選択」を参照
23	ENST2	R/W	ADxREG2許可 0: 禁止 1: 許可
22:21	-	R	リードすると"0"が読めます。
20:16	AINST2[4:0]	R/W	AIN選択 「表 11.3 AD変換入力端子の選択」を参照
15	ENST1	R/W	ADxREG1許可 0: 禁止 1: 許可
14:13	-	R	リードすると"0"が読めます。
12:8	AINST1[4:0]	R/W	AIN選択 「表 11.3 AD変換入力端子の選択」を参照
7	ENST0	R/W	ADxREG0許可 0: 禁止 1: 許可
6:5	-	R	リードすると"0"が読めます。
4:0	AINST0[4:0]	R/W	AIN選択 「表 11.3 AD変換入力端子の選択」を参照

ADxTSET47: タイマートリガー用プログラムレジスタ47

	31	30	29	28	27	26	25	24
bit symbol	ENST7	-	-	AINST7				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENST6	-	-	AINST6				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENST5	-	-	AINST5				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENST4	-	-	AINST4				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENST7	R/W	ADxREG7許可 0: 禁止 1: 許可
30:29	-	R	リードすると"0"が読めます。
28:24	AINST7[4:0]	R/W	AIN選択 「表 11.3 AD変換入力端子の選択」を参照
23	ENST6	R/W	ADxREG6許可 0: 禁止 1: 許可
22:21	-	R	リードすると"0"が読めます。
20:16	AINST6[4:0]	R/W	AIN選択 「表 11.3 AD変換入力端子の選択」を参照
15	ENST5	R/W	ADxREG5許可 0: 禁止 1: 許可
14:13	-	R	リードすると"0"が読めます。
12:8	AINST5[4:0]	R/W	AIN選択 「表 11.3 AD変換入力端子の選択」を参照
7	ENST4	R/W	ADxREG4許可 0: 禁止 1: 許可
6:5	-	R	リードすると"0"が読めます。
4:0	AINST4[4:0]	R/W	AIN選択 「表 11.3 AD変換入力端子の選択」を参照

ADxTSET811: タイマートリガー用プログラムレジスタ811

	31	30	29	28	27	26	25	24
bit symbol	ENST11	-	-	AINST11				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENST10	-	-	AINST10				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENST9	-	-	AINST9				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENST8	-	-	AINST8				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENST11	R/W	ADxREG11許可 0: 禁止 1: 許可
30:29	-	R	リードすると"0"が読めます。
28:24	AINST11[4:0]	R/W	AIN選択 「表 11.3 AD変換入力端子の選択」を参照
23	ENST10	R/W	ADxREG10許可 0: 禁止 1: 許可
22:21	-	R	リードすると"0"が読めます。
20:16	AINST10[4:0]	R/W	AIN選択 「表 11.3 AD変換入力端子の選択」を参照
15	ENST9	R/W	ADxREG9許可 0: 禁止 1: 許可
14:13	-	R	リードすると"0"が読めます。
12:8	AINST9[4:0]	R/W	AIN選択 「表 11.3 AD変換入力端子の選択」を参照
7	ENST8	R/W	ADxREG8許可 0: 禁止 1: 許可
6:5	-	R	リードすると"0"が読めます。
4:0	AINST8[4:0]	R/W	AIN選択 「表 11.3 AD変換入力端子の選択」を参照

## 11.4.23. ADxSSET03/ADxSSET47/ADxSSET811

### (ソフトウェアトリガー用プログラムレジスター)

AD コンバーターはソフトウェアによって、AD 変換を開始することができます。

ソフトウェアトリガー用のプログラムレジスターは 12 組の設定レジスターから構成されます。設定レジスターの番号は変換結果レジスター番号(m = 0 ~ 11)にそれぞれ対応しています。

<ENSSm>を"1"にセットすると一組の設定レジスターを許可にします。

<AINSSm[4:0]>は AD 変換する AIN を選択します。

ソフトウェアトリガーによる AD 変換が終了すると INTADxSFT を発生します。

表 11.4 AD変換入力端子の選択

<AINSS0[4:0]> ~ <AINSS11[4:0]>	ADコンバーター ユニットA	ADコンバーター ユニットB
0_0000	AINA0	AINB0
0_0001	AINA1	AINB1
0_0010	AINA2	AINB2
0_0011	AINA3	AINB3
0_0100	AINA4	AINB4
0_0101	AINA5	AINB5
0_0110	AINA6	AINB6
0_0111	AINA7	AINB7
0_1000	AINA8	AINB8
0_1001	AINA9	AINB9
0_1010	AINA10	AINB10
0_1011	AINA11	AINB11
0_1100	AINA12	AINB12
0_1101	AINA13	AINB13
0_1110	AINA14	AINB14
0_1111	Reserved	AINB15
1_0000	Reserved	AINB16
1_0001 ~ 1_1111	Reserved	Reserved

ADxSSET03: ソフトウェアトリガー用プログラムレジスタ03

	31	30	29	28	27	26	25	24
bit symbol	ENSS3	-	-	AINSS3				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENSS2	-	-	AINSS2				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENSS1	-	-	AINSS1				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENSS0	-	-	AINSS0				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENSS3	R/W	ADxREG3許可 0: 禁止 1: 許可
30:29	-	R	リードすると"0"が読めます。
28:24	AINSS3[4:0]	R/W	AIN選択 「表 11.4 AD変換入力端子の選択」を参照
23	ENSS2	R/W	ADxREG2許可 0: 禁止 1: 許可
22:21	-	R	リードすると"0"が読めます。
20:16	AINSS2[4:0]	R/W	AIN選択 「表 11.4 AD変換入力端子の選択」を参照
15	ENSS1	R/W	ADxREG1許可 0: 禁止 1: 許可
14:13	-	R	リードすると"0"が読めます。
12:8	AINSS1[4:0]	R/W	AIN選択 「表 11.4 AD変換入力端子の選択」を参照
7	ENSS0	R/W	ADxREG0許可 0: 禁止 1: 許可
6:5	-	R	リードすると"0"が読めます。
4:0	AINSS0[4:0]	R/W	AIN選択 「表 11.4 AD変換入力端子の選択」を参照

ADxSSET47: ソフトウェアトリガー用プログラムレジスタ47

	31	30	29	28	27	26	25	24
bit symbol	ENSS7	-	-	AINSS7				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENSS6	-	-	AINSS6				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENSS5	-	-	AINSS5				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENSS4	-	-	AINSS4				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENSS7	R/W	ADxREG7許可 0: 禁止 1: 許可
30:29	-	R	リードすると"0"が読めます。
28:24	AINSS7[4:0]	R/W	AIN選択 「表 11.4 AD変換入力端子の選択」を参照
23	ENSS6	R/W	ADxREG6許可 0: 禁止 1: 許可
22:21	-	R	リードすると"0"が読めます。
20:16	AINSS6[4:0]	R/W	AIN選択 「表 11.4 AD変換入力端子の選択」を参照
15	ENSS5	R/W	ADxREG5許可 0: 禁止 1: 許可
14:13	-	R	リードすると"0"が読めます。
12:8	AINSS5[4:0]	R/W	AIN選択 「表 11.4 AD変換入力端子の選択」を参照
7	ENSS4	R/W	ADxREG4許可 0: 禁止 1: 許可
6:5	-	R	リードすると"0"が読めます。
4:0	AINSS4[4:0]	R/W	AIN選択 「表 11.4 AD変換入力端子の選択」を参照

ADxSSET811: ソフトウェアトリガー用プログラムレジスター811

	31	30	29	28	27	26	25	24
bit symbol	ENSS11	-	-	AINSS11				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENSS10	-	-	AINSS10				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENSS9	-	-	AINSS9				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENSS8	-	-	AINSS8				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENSS11	R/W	ADxREG11許可 0: 禁止 1: 許可
30:29	-	R	リードすると"0"が読めます。
28:24	AINSS11[4:0]	R/W	AIN選択 「表 11.4 AD変換入力端子の選択」を参照
23	ENSS10	R/W	ADxREG10許可 0: 禁止 1: 許可
22:21	-	R	リードすると"0"が読めます。
20:16	AINSS10[4:0]	R/W	AIN選択 「表 11.4 AD変換入力端子の選択」を参照
15	ENSS9	R/W	ADxREG9許可 0: 禁止 1: 許可
14:13	-	R	リードすると"0"が読めます。
12:8	AINSS9[4:0]	R/W	AIN選択 「表 11.4 AD変換入力端子の選択」を参照
7	ENSS8	R/W	ADxREG8許可 0: 禁止 1: 許可
6:5	-	R	リードすると"0"が読めます。
4:0	AINSS8[4:0]	R/W	AIN選択 「表 11.4 AD変換入力端子の選択」を参照

## 11.4.24. ADxASET03/ADxASET47/ADxASET811(常時変換用プログラムレジスター)

AD コンバーターは常時変換状態に設定することが出来ます。

常時変換用プログラムレジスターは 12 組の設定レジスターから構成されます。設定レジスターの番号は変換結果レジスター番号(m = 0 ~ 11)にそれぞれ対応しています。

<ENSA<sub>m</sub>>を"1"にセットすると一組の設定レジスターを許可にします。

<AINSA<sub>m</sub>[4:0]>は AD 変換する AIN 入力を選択します。

表 11.5 AD変換入力端子の選択

<AINSA0[4:0]> ~ <AINSA11[4:0]>	ADコンバーター ユニットA	ADコンバーター ユニットB
0_0000	AINA0	AINB0
0_0001	AINA1	AINB1
0_0010	AINA2	AINB2
0_0011	AINA3	AINB3
0_0100	AINA4	AINB4
0_0101	AINA5	AINB5
0_0110	AINA6	AINB6
0_0111	AINA7	AINB7
0_1000	AINA8	AINB8
0_1001	AINA9	AINB9
0_1010	AINA10	AINB10
0_1011	AINA11	AINB11
0_1100	AINA12	AINB12
0_1101	AINA13	AINB13
0_1110	AINA14	AINB14
0_1111	Reserved	AINB15
1_0000	Reserved	AINB16
1_0001 ~ 1_1111	Reserved	Reserved

ADxASET03: 常時トリガー用プログラムレジスタ03

	31	30	29	28	27	26	25	24
bit symbol	ENSA3	-	-	AINSA3				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENSA2	-	-	AINSA2				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENSA1	-	-	AINSA1				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENSA0	-	-	AINSA0				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENSA3	R/W	ADxREG3許可 0: 禁止 1: 許可
30:29	-	R	リードすると"0"が読めます。
28:24	AINSA3[4:0]	R/W	AIN選択 「表 11.5 AD変換入力端子の選択」を参照
23	ENSA2	R/W	ADxREG2許可 0: 禁止 1: 許可
22:21	-	R	リードすると"0"が読めます。
20:16	AINSA2[4:0]	R/W	AIN選択 「表 11.5 AD変換入力端子の選択」を参照
15	ENSA1	R/W	ADxREG1許可 0: 禁止 1: 許可
14:13	-	R	リードすると"0"が読めます。
12:8	AINSA1[4:0]	R/W	AIN選択 「表 11.5 AD変換入力端子の選択」を参照
7	ENSA0	R/W	ADxREG0許可 0: 禁止 1: 許可
6:5	-	R	リードすると"0"が読めます。
4:0	AINSA0[4:0]	R/W	AIN選択 「表 11.5 AD変換入力端子の選択」を参照

ADxASET47: 常時トリガー用プログラムレジスター47

	31	30	29	28	27	26	25	24
bit symbol	ENSA7	-	-	AINSA7				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENSA6	-	-	AINSA6				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENSA5	-	-	AINSA5				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENSA4	-	-	AINSA4				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENSA7	R/W	ADxREG7許可 0: 禁止 1: 許可
30:29	-	R	リードすると"0"が読めます。
28:24	AINSA7[4:0]	R/W	AIN選択 「表 11.5 AD変換入力端子の選択」を参照
23	ENSA6	R/W	ADxREG6許可 0: 禁止 1: 許可
22:21	-	R	リードすると"0"が読めます。
20:16	AINSA6[4:0]	R/W	AIN選択 「表 11.5 AD変換入力端子の選択」を参照
15	ENSA5	R/W	ADxREG5許可 0: 禁止 1: 許可
14:13	-	R	リードすると"0"が読めます。
12:8	AINSA5[4:0]	R/W	AIN選択 「表 11.5 AD変換入力端子の選択」を参照
7	ENSA4	R/W	ADxREG4許可 0: 禁止 1: 許可
6:5	-	R	リードすると"0"が読めます。
4:0	AINSA4[4:0]	R/W	AIN選択 「表 11.5 AD変換入力端子の選択」を参照

ADxASET811: 常時トリガー用プログラムレジスター811

	31	30	29	28	27	26	25	24
bit symbol	ENSA11	-	-	AINSA11				
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	ENSA10	-	-	AINSA10				
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	ENSA9	-	-	AINSA9				
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ENSA8	-	-	AINSA8				
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31	ENSA11	R/W	ADxREG11許可 0: 禁止 1: 許可
30:29	-	R	リードすると"0"が読めます。
28:24	AINSA11[4:0]	R/W	AIN選択 「表 11.5 AD変換入力端子の選択」を参照
23	ENSA10	R/W	ADxREG10許可 0: 禁止 1: 許可
22:21	-	R	リードすると"0"が読めます。
20:16	AINSA10[4:0]	R/W	AIN選択 「表 11.5 AD変換入力端子の選択」を参照
15	ENSA9	R/W	ADxREG9許可 0: 禁止 1: 許可
14:13	-	R	リードすると"0"が読めます。
12:8	AINSA9[4:0]	R/W	AIN選択 「表 11.5 AD変換入力端子の選択」を参照
7	ENSA8	R/W	ADxREG8許可 0: 禁止 1: 許可
6:5	-	R	リードすると"0"が読めます。
4:0	AINSA8[4:0]	R/W	AIN選択 「表 11.5 AD変換入力端子の選択」を参照

## 11.4.25. ADxMOD3(モード設定レジスター3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	1	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	PMODE			-	-	-
リセット後	0	1	0	1	1	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:11	-	R/W	"00000"をライトしてください。
10:6	-	R/W	"10001"をライトしてください。
5:3	PMODE[2:0]	R/W	"100"をライトしてください。
2:0	-	R/W	"000"をライトしてください。

注) ADxMOD3 には指定した値を設定してください。

## 11.5. 動作説明

### 11.5.1. アナログ基準電圧

アナログ基準電圧はADコンバータユニットBのVREFH<sub>x</sub>、VREFL<sub>x</sub>端子にそれぞれ"High"レベル、"Low"レベルを入力します。またVREFH<sub>x</sub>とVREFL<sub>x</sub>間に流れる電流を制御するレジスタは無く、一定の電流が流れ続けます。

注1) AD変換精度への影響を避けるためにAD動作(変換)中は出力ポートとしてポートI/J/Kの出力データを書き換えないようにしてください。

注2) 電源電圧の変動や周囲のノイズの影響によってAD変換結果がばらつくことがあります。AD変換中にAD入力に兼用となっている端子への入力および端子出力を変化させる、またはAD変換中に出力ポートに設定している端子の出力電流が変動するとAD変換精度が低下することがあります。プログラムで複数回の平均値をとるなどして対策してください。

### 11.5.2. AD変換開始

ADコンバータはソフトウェアによる起動(ソフトウェアトリガー)またはPMD/タイマーからのトリガー信号により任意のADが変換開始します。

これらの起動トリガーには優先順位があり、

PMDトリガー0 > … > PMDトリガー5 > タイマー > ソフトウェア > 常時変換

上位の起動トリガーが発生したときは、実行中のAD変換を中止して直ちに上位のプログラムを実行します。PMDトリガーによるAD変換実行中に上位のPMDトリガーが発生したときは、実行中のAD変換終了後に上位のプログラムに移行します。

起動要因発生から実際のAD変換実行までには遅れがあります。トリガー要因によるAD変換タイミングと遅延時間を以下に示します。

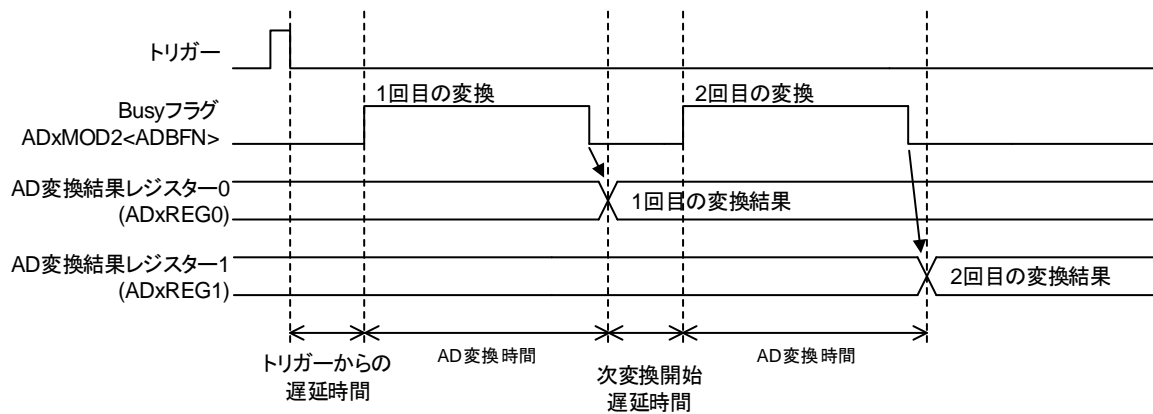


図 11.3 AD変換開始動作タイミングチャート

表 11.6 AD変換時間と変換開始遅延時間(SCLK = 40MHz)

	変換開始トリガー	f <sub>sys</sub> = 80MHz		f <sub>sys</sub> = 40MHz	
		MIN	MAX	MIN	MAX
開始遅延時間[μs] (注1)	PMD	0.125	0.163	0.225	0.3
	TMRB	0.125	0.263	0.225	0.5
	ソフトウェア、 常時変換	0.138	0.275	0.25	0.525
AD比較時間[μs]	-	1.85		1.85	
次変換開始遅延時間 [μs] (注2)	PMD	0.1	0.125	0.175	0.225
	TMRB、ソフトウェア、 常時変換	0.1	0.238	0.175	0.425

注 1) 変換開始トリガー発生から AD 変換開始までの時間

注 2) 同一変換開始トリガーで複数の変換を設定する場合の 2 番目以降の開始遅延時間

### 11.5.3. AD 監視機能

AD コンバーターには AD 監視機能があり、監視機能有効時に比較条件と一致した場合、割り込みを発生します。

ADxCMPn<CMPnEN>を"1"に設定すると AD 監視機能が有効となります。<REGSn[3:0]>で指定された変換結果格納レジスタの内容と ADxCMPn の値が比較されます。比較結果が、<ADBiGn>で設定された条件と一致すると比較カウンターがインクリメントされます。比較動作は変換結果が格納されるごとに行われます。

比較カウンターが<CMPCNTn[3:0]>で設定した条件を満たすと、INTADxCpN が発生します。

注 1) AD 監視機能による変換結果の読み出しでは AD 変換結果格納フラグ<ADR0RF> ~ <ADR11RF>はクリアされません。

注 2) AD 監視機能は通常の読み出し動作と異なりますので、ソフトによる変換結果読み出しなしに連続して AD 変換が行われる場合は、Over Run フラグ<OVR0> ~ <OVR11>が"1"にセットされます。

## 11.6. AD 変換タイミングチャート

ソフトウェア AD 変換、常時 AD 変換、PMD トリガー/タイマートリガー受け付け時のタイミングチャートを以下に示します。

### 11.6.1. ソフトウェア AD 変換

ソフトウェア AD 変換では、ADxSSET03、ADxSSET47、ADxSSET811 でプログラムされた AD 変換が終了時に割り込みが発生します(図 11.4 参照)。

ソフトウェア AD 変換中に ADxMOD1<ADEN> = "0"とした場合、実行中の AD 変換を終了します。このとき、変換途中の結果はレジスタには格納されません(図 11.5 参照)。

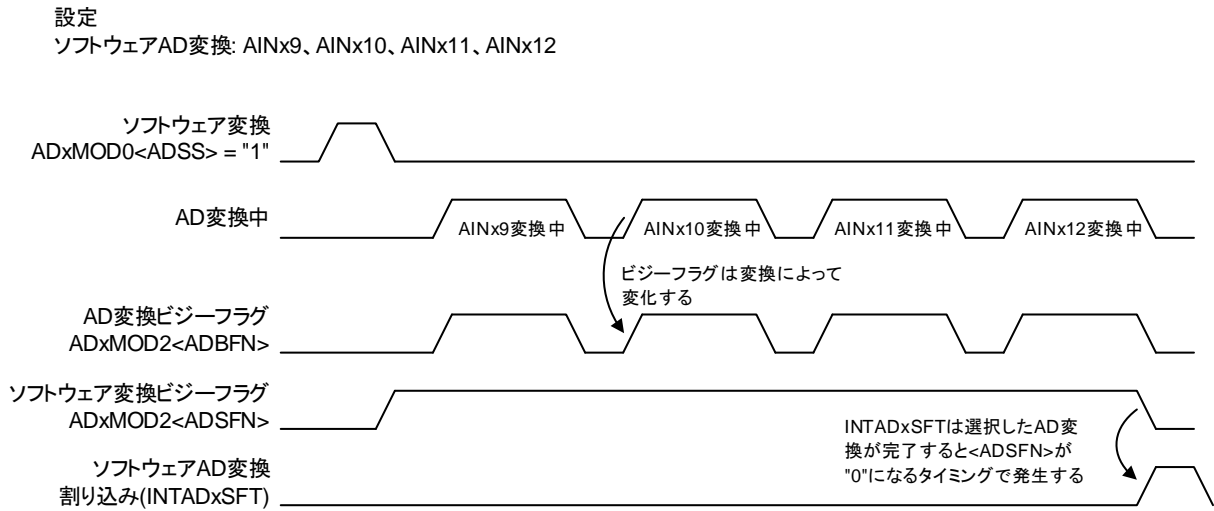


図 11.4 ソフトウェアAD変換時のタイミングチャート

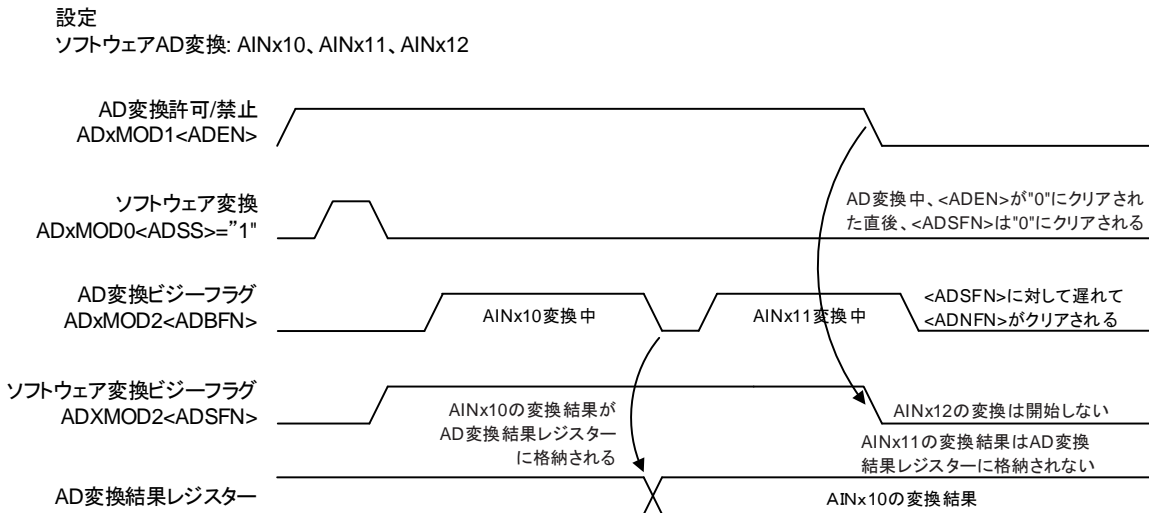


図 11.5 ソフトウェアAD変換中に<ADEN> = "0"書き込み

## 11.6.2. 常時 AD 変換

常時 AD 変換では、変換結果を読み出す前に次の AD 変換が終了した場合、Over Run フラグが"1"にセットされます。このとき、変換結果レジスタは後続のデータによって上書きされます。Over Run フラグは変換結果を読み出すことにより"0"にクリアされます(図 11.6 参照)。

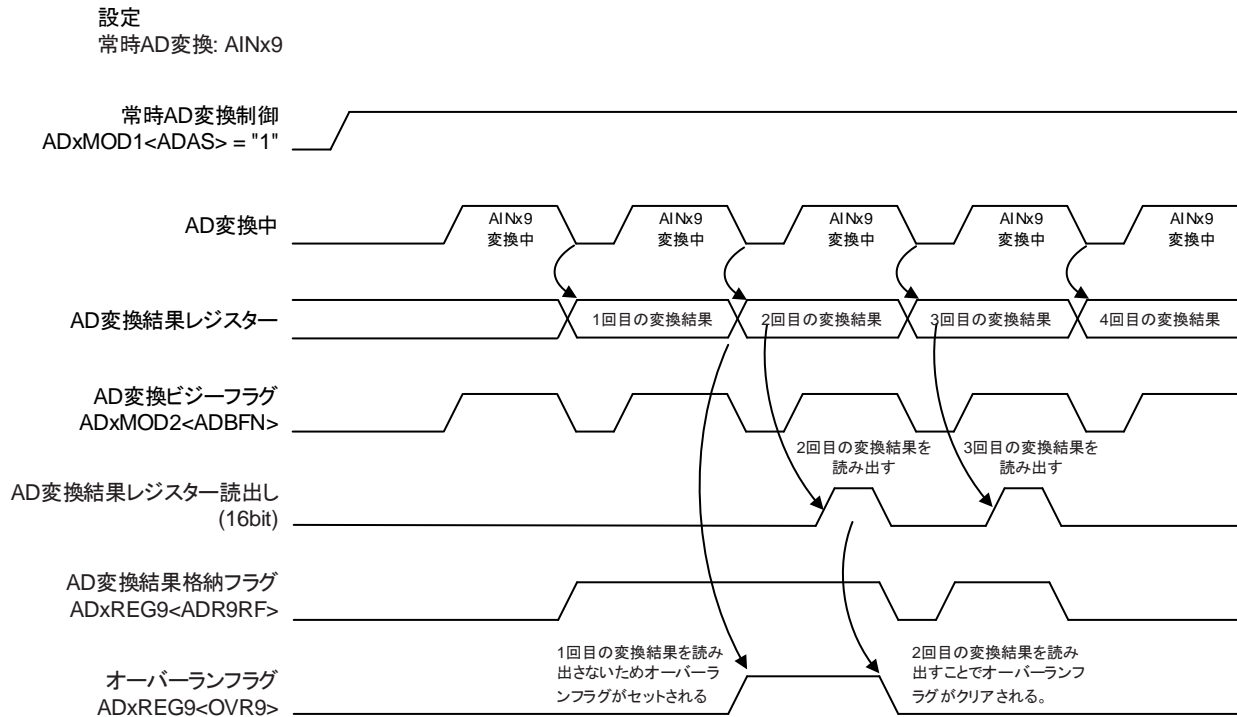


図 11.6 常時AD変換時のタイミングチャート

### 11.6.3. トリガーによる AD 変換開始

ソフトウェア AD 変換実行中に PMD トリガーが発生した場合、実行中のソフトウェア AD 変換は直ちに中断して PMD トリガーによる AD 変換を開始します(図 11.7 参照)。PMD トリガーによる AD 変換が終了後、ソフトウェア AD 変換は設定されたプログラムの最初から AD 変換を開始します。タイマー トリガーが発生した場合も同様です(図 11.8 参照)。

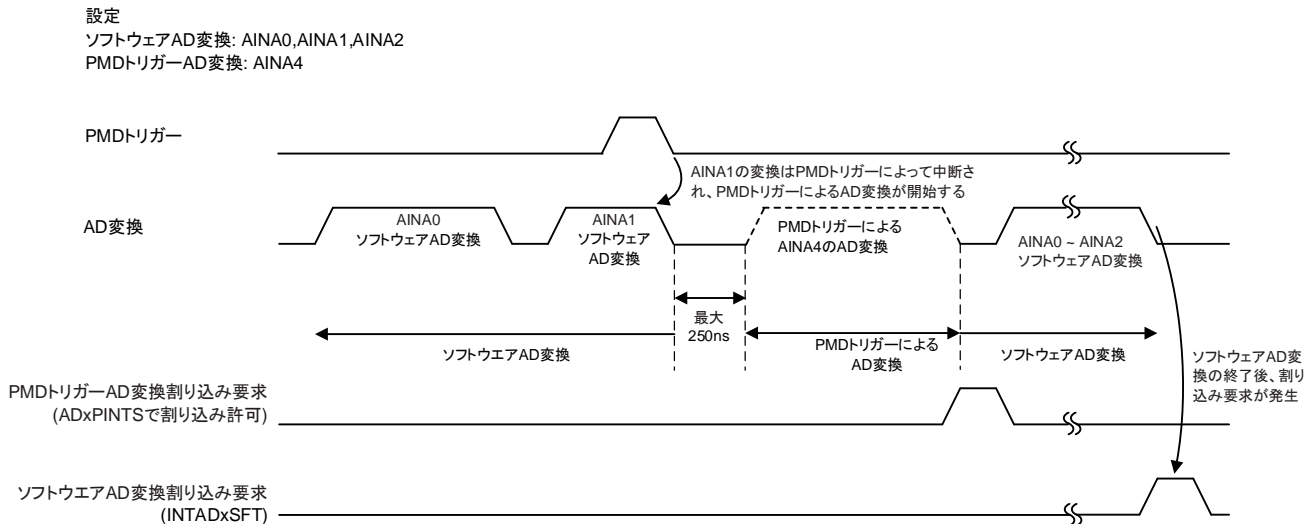


図 11.7 ソフトウェアAD変換中のPMDトリガー発生

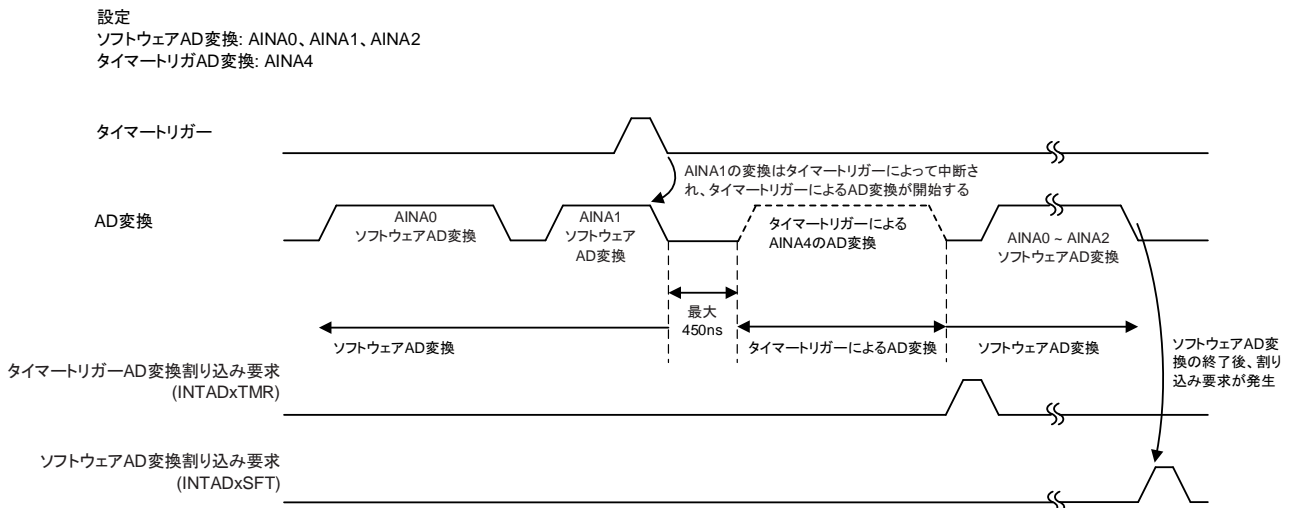


図 11.8 ソフトウェアAD変換中のタイマートリガー発生

注) タイマートリガーを使用しない場合は、INTTB51 を使用しないでください。TB5IM<TBIM1> = "1" に設定してください。

## 11.7. 使用方法の例

### 11.7.1. PMD ch0(3 シャント)、AD コンバーターを1つ(ユニット A)を使用したときの例

PMD ch0 を3 シャントで、AD コンバーターを1つ(ユニット A)を使用した場合の回路例を以下に示します。

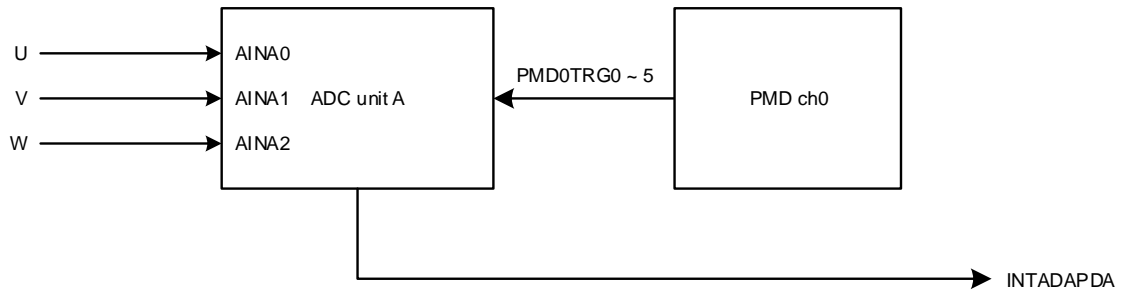


図 11.9 PMD ch0を3シャントで、ADコンバーターを1つ(ユニットA)を使用した場合の回路例

この場合のADコンバーターユニットAの設定例を「表 11.7 ADコンバーターユニットAの設定例」に示します。

PMD ch0 からの6本のトリガー信号 PMD0TRG0 ~ 5 に対し、ADAPSEL0<PMDS0[2:0]> ~ ADAPSEL5<PMDS5[2:0]>でそれぞれ0~5のプログラム番号を選択します。

「U」、「V」、「W」はモーターの位相を表しており、それぞれの位相が得られるAD変換入力端子を選択します。

トリガー信号が入力されるとADAPSETn[7:0]、ADAPSETn[15:8]の順でAD変換が開始されます。それぞれの変換結果が変換結果格納レジスターへ保存され、INTADAPDA 割り込み要求が出力されます。

表 11.7 ADコンバーターユニットAの設定例

プログラム番号	0	1	2	3	4	5
ADAPSETn[7:0]	U	U	W	V	W	U
ADAPSETn[15:8]	V	W	U	U	V	W
割り込み要求	INTADAPDA	INTADAPDA	INTADAPDA	INTADAPDA	INTADAPDA	INTADAPDA

## 11.7.2. PMD ch0(3 シャント)、AD コンバーターを 2 つ(ユニット A/B)を使用したときの例

PMD ch0 を 3 シャントで、AD コンバーターを 2 つ(ユニット A/B)を使用した場合の回路例を以下に示します。

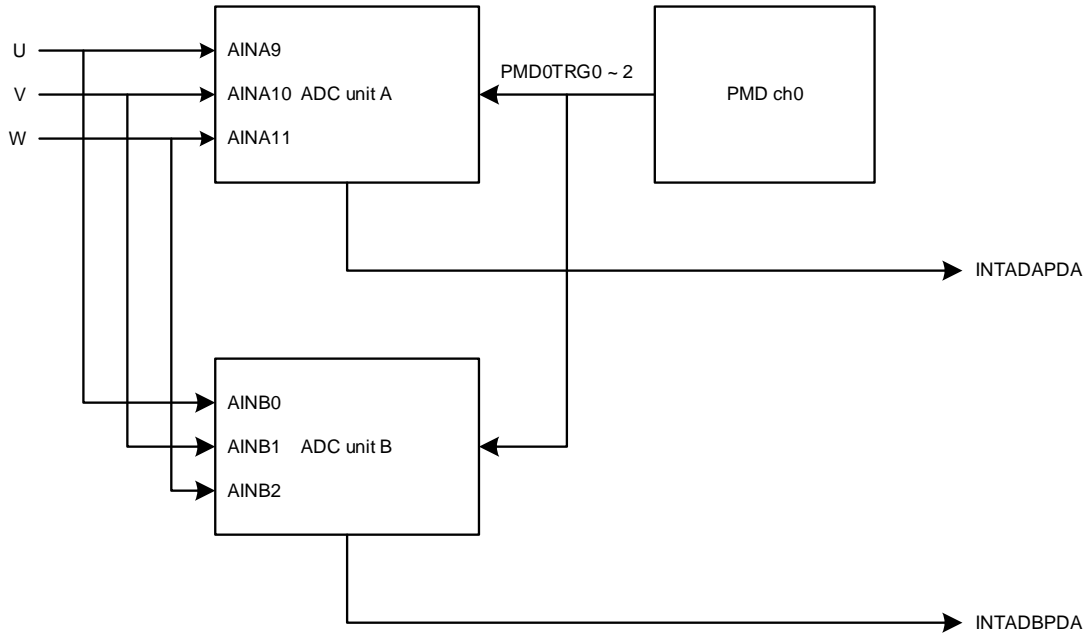


図 11.10 PMD ch0を3シャントで、ADコンバーターを2つ(ユニットA/B)を使用した場合の回路例

この場合の AD コンバーターユニット A/B の設定例を「表 11.8 AD コンバーターユニット A/B の設定例」に示します。

PMD ch0 からの 3 本のトリガー信号 PMD0TRG0 ~ 2 に対し、AD コンバーターユニット A では、ADAPSEL0<PMDS0[2:0]> ~ ADAPSEL2<PMDS2[2:0]>で 0 ~ 2 のプログラム番号を選択します。

AD コンバーターユニット B では、ADBPSEL0<PMDS0[2:0]> ~ ADBPSEL2<PMDS2[2:0]>で 0 ~ 2 のプログラム番号を選択します。

「U」、「V」、「W」はモーターの位相を表しており、それぞれの位相が得られる AD 変換入力端子を選択します。

トリガー信号が入力されると ADAPSETn[7:0]、ADBPSETn[7:0]の AD 変換が同時に開始されます。それぞれの変換結果が変換結果格納レジスターへ保存され、INTADAPDA/INTBDAPDA 割り込み要求が出力されます。

表 11.8 ADコンバーターユニットA/Bの設定例

プログラム番号	0	1	2
ADAPSETn[7:0]	U	V	W
割り込み要求	INTADAPDA	INTADAPDA	INTADAPDA
ADBPSETn[7:0]	U	V	W
割り込み要求	INTADBPDA	INTADBPDA	INTADBPDA

### 11.7.3. PMD ch0(3 シャント)、ch1(1 シャント)、AD コンバーターを 2 つ(ユニット A/B)を使用したときの例

PMD ch0 を 3 シャント、ch1 を 1 シャントで、AD コンバーターを 2 つ(ユニット A/B)を使用した場合の回路例を以下に示します。

ここで、AD コンバーターユニット B は割り込み要求を出力しない設定になっているものとします。

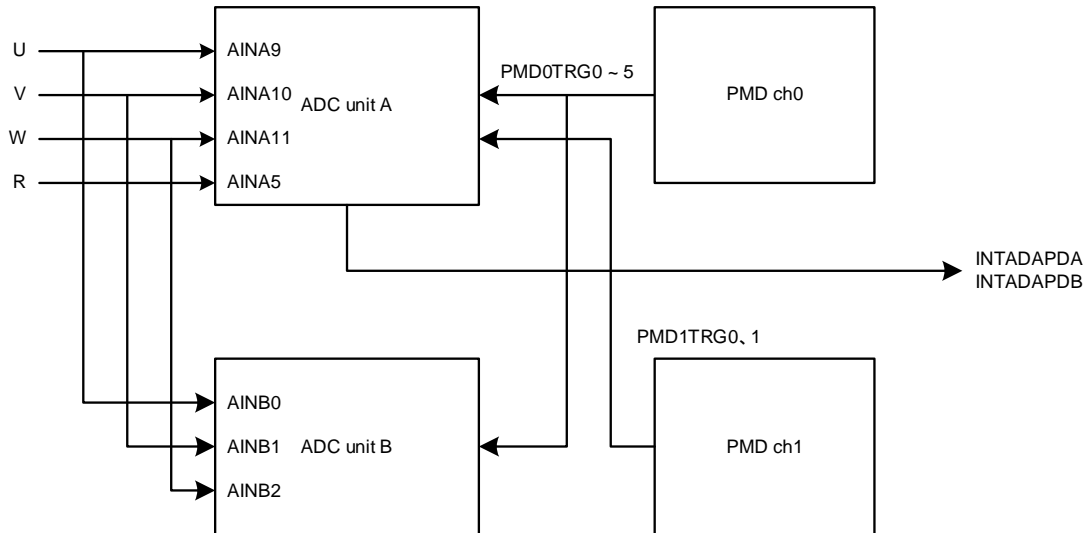


図 11.11 PMD ch0を3シャント、ch1を1シャントで、ADコンバーターを2つ(ユニットA/B)を使用した場合の回路例

この場合の AD コンバーターユニット A/B の設定例を「表 11.9 AD コンバーターユニット A の設定例」、「表 11.10 AD コンバーターユニット B の設定例」に示します。

AD コンバーターユニット A は、PMD ch0、1 から出力される 8 本のトリガー信号に対して、PMD ch0 からの 6 本のトリガー信号 PMD0TRG0 ~ 5 に ADAPSEL0<PMDS0[2:0]> ~ ADAPSEL5<PMDS5[2:0]> で 0 ~ 2 のプログラム番号を選択、ch1 からの 2 本のトリガー信号 PMD1TRG0、1 に ADAPSEL6<PMDS6[2:0]>、ADAPSEL7<PMDS7[2:0]> で 3、4 のプログラム番号を選択します。

AD コンバーターユニット B は、PMD ch0 からの 6 本のトリガー信号 PMD0TRG0 ~ 5 に ADBPSEL0<PMDS0[2:0]> ~ ADBPSEL5<PMDS5[2:0]> で 0 ~ 2 のプログラム番号を選択します。

「U」、「V」、「W」はモーターの位相を表しており、それぞれの位相が得られる AD 変換入力端子を選択します。「R」は抵抗を表しており、接続されている AD 変換入力端子を選択します。

トリガー信号が入力されると ADAPSETn[7:0]、ADAPSETn[15:8]、ADAPSETn[23:16]、ADBPSETn[7:0] の AD 変換が開始されます。それぞれの変換結果が変換結果格納レジスターへ保存されます。

AD コンバーターユニット A は、PMD ch0 からのトリガー信号には INTADAPDA 割り込み要求が、ch1 からのトリガー信号には INTADAPDB 割り込み要求が出力されます。

**表 11.9 ADコンバーターユニットAの設定例**

トリガー信号	PMD0TRG0 PMD0TRG3	PMD0TRG1 PMD0TRG4	PMD0TRG2 PMD0TRG5	PMD1TRG0	PMD1TRG1
プログラム番号	0	1	2	3	4
ADAPSETn[7:0]	U	V	W	-	-
ADAPSETn[15:8]	-	-	-	R	-
ADAPSETn[23:16]	-	-	-	-	R
割り込み要求	INTADAPDA	INTADAPDA	INTADAPDA	-	INTADAPDB

**表 11.10 ADコンバーターユニットBの設定例**

トリガー信号	PMD0TRG0 PMD0TRG3	PMD0TRG1 PMD0TRG4	PMD0TRG2 PMD0TRG5
プログラム番号	0	1	2
ADBPSETn[7:0]	V	W	U
割り込み要求	-	-	-

## 11.7.4. PMD ch0(1 シャント)、AD コンバーターを 1 つ(ユニット A)を使用したときの例

PMD ch0 を 1 シャントで、AD コンバーターを 1 つ(ユニット A)を使用した場合の回路例を以下に示します。

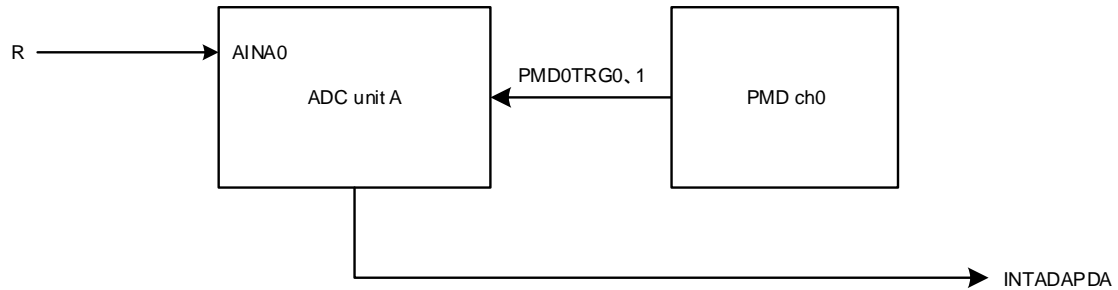


図 11.12 PMD ch0を1シャントで、ADコンバーターを1つ(ユニットA)を使用した場合の回路例

この場合の AD コンバーターユニット A の設定例をに示します。

PMD ch0 からの 2 本のトリガー信号 PMD0TRG0、1 に対し、ADAPSEL0<PMDS0[2:0]>、ADAPSEL1<PMDS1[2:0]>でそれぞれ 0、1 のプログラム番号を選択します。

「R」は抵抗を表しており、接続されている AD 変換入力端子を選択します。

トリガー信号が入力されると ADAPSETn[7:0]、ADAPSETn[15:8]の順で AD 変換が開始されます。それぞれの変換結果が変換結果格納レジスターへ保存され、INTADAPDA 割り込み要求が出力されます。

表 11.11 ADコンバーターユニットAの設定例

トリガー信号	PMD0TRG0	PMD0TRG1
プログラム番号	0	1
ADAPSETn[7:0]	R	-
ADAPSETn[15:8]	-	R
割り込み要求	-	INTADAPDA

## 12. モーター制御回路(PMD)

### 12.1. 概要

PMD は 1 シャントセンサーレスモーター制御を実現させるために、通電出力制御や DC 過電圧検出入力を搭載しています。また、ADC、AMP/CMP、VE を連携させたモーター制御を可能としています。

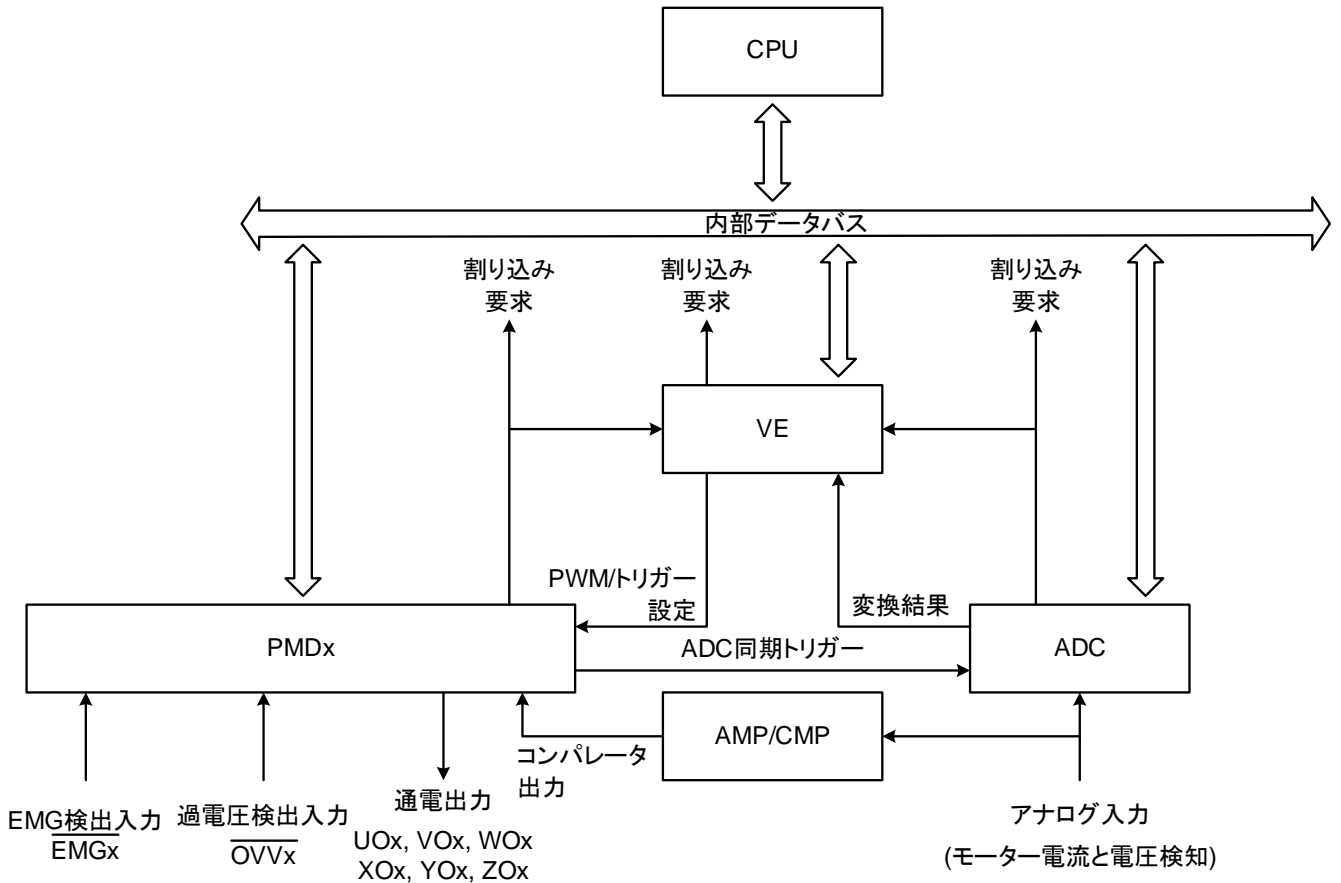


図 12.1 PMDとADC、AMP/CMP、VEの連携

## 12.2. 構成

PMD は大きく分けて波形生成回路と同期トリガー生成回路の2ブロックから構成されています。波形生成回路を構成する回路は下記のとおりです。

- パルス幅変調回路は PWM 周波数が等しい 3 相の独立した PWM 波形を生成します。
- 通電制御回路は U、V、W 相の各上下相の出力パターンを決定します。
- 保護回路では  $\overline{\text{EMGx}}$  端子入力、PMDxEMG(コンパレータ出力)、 $\overline{\text{OVVx}}$  端子入力による緊急出力停止を行います。
- デッドタイム制御回路では上下相の切り替え時の短絡を防止します。

また、同期トリガー生成回路は ADC への同期トリガー信号を生成します。

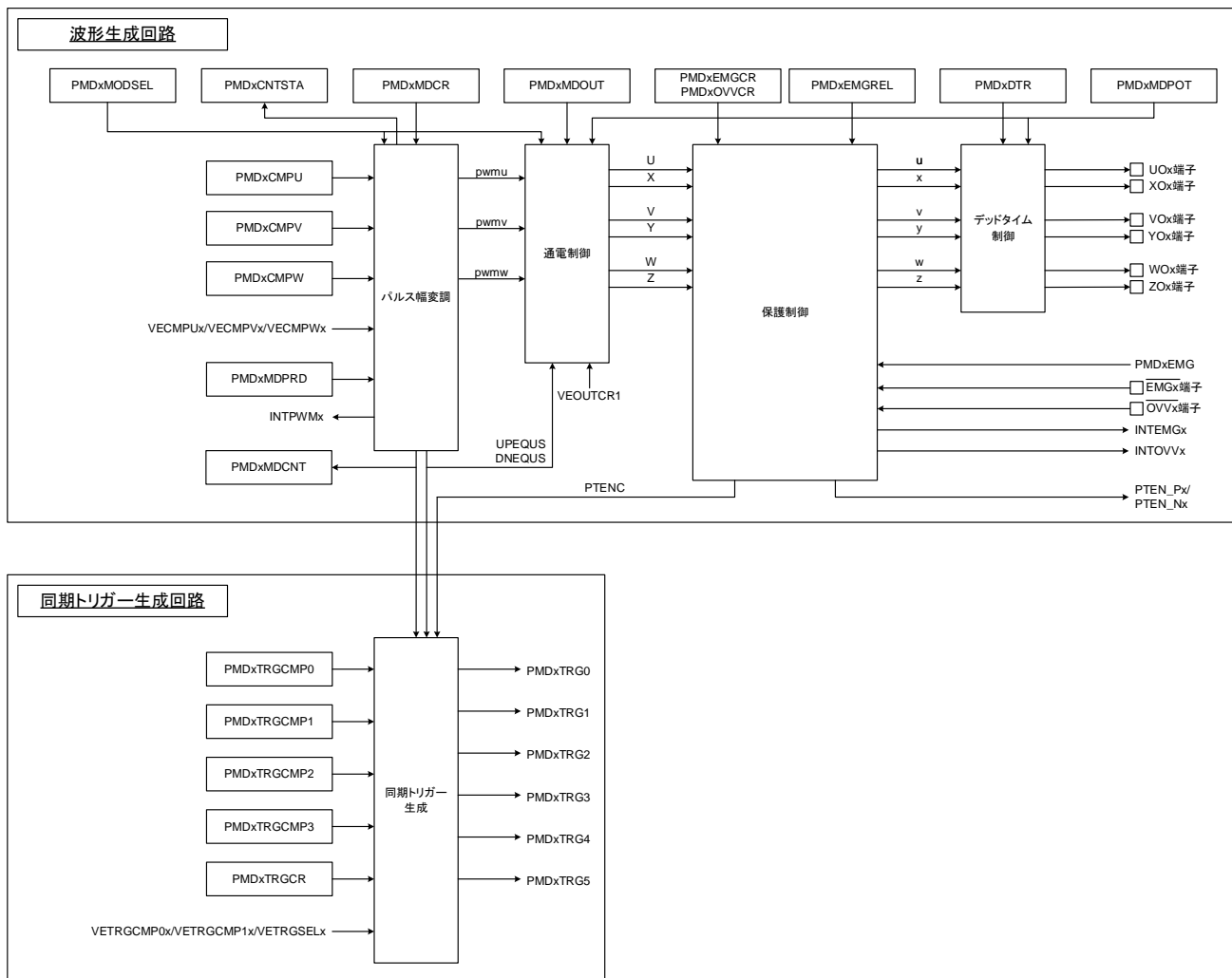


図 12.2 PMDブロック図

## 12.3. レジスタ—説明

### 12.3.1. レジスタ—一覧

制御レジスタ—とアドレスを以下に示します。

レジスタ—名		Base+ (Address)
PMDイネーブルレジスタ—	PMDxMDEN	0x0000
ポート出力モードレジスタ—	PMDxPORTMD	0x0004
PMDコントロールレジスタ—	PMDxMDCR	0x0008
PWMカウンタステータスレジスタ—	PMDxCNTSTA	0x000C
PWMカウンタレジスタ—	PMDxMDCNT	0x0010
PWM周期レジスタ—	PMDxMDPRD	0x0014
PWMコンペアUレジスタ—	PMDxCMPU	0x0018
PWMコンペアVレジスタ—	PMDxCMPV	0x001C
PWMコンペアWレジスタ—	PMDxCMPW	0x0020
モード選択レジスタ—	PMDxMODESEL	0x0024
PMD出力コントロールレジスタ—	PMDxMDOUT	0x0028
PMD出力設定レジスタ—	PMDxMDPOT	0x002C
EMG解除レジスタ—	PMDxEMGREL	0x0030
EMGコントロールレジスタ—	PMDxEMGCR	0x0034
EMGステータスレジスタ—	PMDxEMGSTA	0x0038
OVVコントロールレジスタ—	PMDxOVVCR	0x003C
OVVステータスレジスタ—	PMDxOVVSTA	0x0040
デッドタイムレジスタ—	PMDxDTR	0x0044
トリガ—コンペア0レジスタ—	PMDxTRGCMP0	0x0048
トリガ—コンペア1レジスタ—	PMDxTRGCMP1	0x004C
トリガ—コンペア2レジスタ—	PMDxTRGCMP2	0x0050
トリガ—コンペア3レジスタ—	PMDxTRGCMP3	0x0054
トリガ—コントロールレジスタ—	PMDxTRGCR	0x0058
トリガ—出力モード設定レジスタ—	PMDxTRGMD	0x005C
トリガ—出力選択レジスタ—	PMDxTRGSEL	0x0060
Reserved	-	0x007C

注) "Reserved"表記のアドレスにはアクセスしないでください。

## 12.3.2. PMD 制御部

### 12.3.2.1. PMD<sub>x</sub>MDEN(PMD イネーブルレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	PWMEN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:1	-	R	リードすると"0"が読めます。
0	PWMEN	R/W	<p>波形合成機能の許可/禁止制御</p> <p>0: 禁止 1: 許可</p> <p>ポートを機能出力(PWM出力)として使用しているとき、PMD<sub>x</sub>MDEN&lt;PWMEN&gt;を"0"に設定すると機能出力として使用しているポートは"Hi-Z"になります。</p> <p>出力ポート極性選択などの設定を行った後に、PMD<sub>x</sub>MDEN&lt;PWMEN&gt;を"1"に設定します。</p>

## 12.3.2.2. PMDxPORTMD(ポート出力モードレジスター)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	PORTMD	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:2	-	R	リードすると"0"が読めます。
1:0	PORTMD[1:0]	R/W	U相、V相、W相、X相、Y相、Z相出力端子制御 00: 上相 "Hi-Z"/下相 "Hi-Z" 01: 上相 "Hi-Z"/下相オン(注3) 10: 上相オン(注3)/下相 "Hi-Z" 11: 上相オン(注3)/下相オン(注3) ホールドしたときに上相(UOx、VOx、WOx端子)および下相(XOx、YOx、ZOx端子)の出力設定します。

注1) PMDxMDEN<PWMEN>が"0"のときは、ポートの出力コントロールレジスターの設定によらずUOx、VOx、WOx、XOx、YOx、ZOx 出力端子を"Hi-Z"にします。

注2) UOx、VOx、WOx、XOx、YOx、ZOx 出力端子制御は、PMDxEMGCR<EMGMD[1:0]>の設定により、 $\overline{\text{EMGx}}$ 端子入力が"Low"レベルになったときにも行われます。

注3) オン: PWM 出力を継続します。

### 12.3.2.3. PMDxMODESEL(モード選択レジスター)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	MDSEL
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:1	-	R	リードすると"0"が読めます。
0	MDSEL	R/W	<p>モード選択レジスター</p> <p>0: バスモード 1: VEモード</p> <p>PMDxMODESEL&lt;MDSEL&gt;は、ダブルバッファの後段への入力方法をバスから設定したレジスター値を使用するバスモード、またはVEからの値を使用するVEモードから選択します。</p> <p>PMDxCMPU、PMDxCMPV、PMDxCMPW、PMDxTRGCMP0、PMDxTRGCMP1、PMDxMDOUTはダブルバッファ構成となっています。</p> <p>PMDxMODESEL&lt;MDSEL&gt;が"0"のときは、レジスターに書き込んだデータが直ちにダブルバッファ—後段にロードされます。</p> <p>PMDxMODESEL&lt;MDSEL&gt;が"1"のときはPMD内部の更新タイミングでダブルバッファの後段へデータがロードされます。</p>

### 12.3.3. パルス幅変調回路

パルス幅変調回路は、16ビットのアップ/ダウンカウンタであるPMDカウンタを持ち、 $12.5\text{ns}@f_{\text{sys}} = 80\text{MHz}$ の分解能でPWMキャリアを生成します。PWMキャリアの波形モードはPWMモード0としてエッジPWM(のこぎり波変調)、モード1としてセンターPWM(三角波変調)を選択可能です。

また、PWM周期延長モード(PMDxMDCR<PWMCK> = "1")にすることにより、PWMカウンタは50nsの分解能でPWMキャリアを生成します。

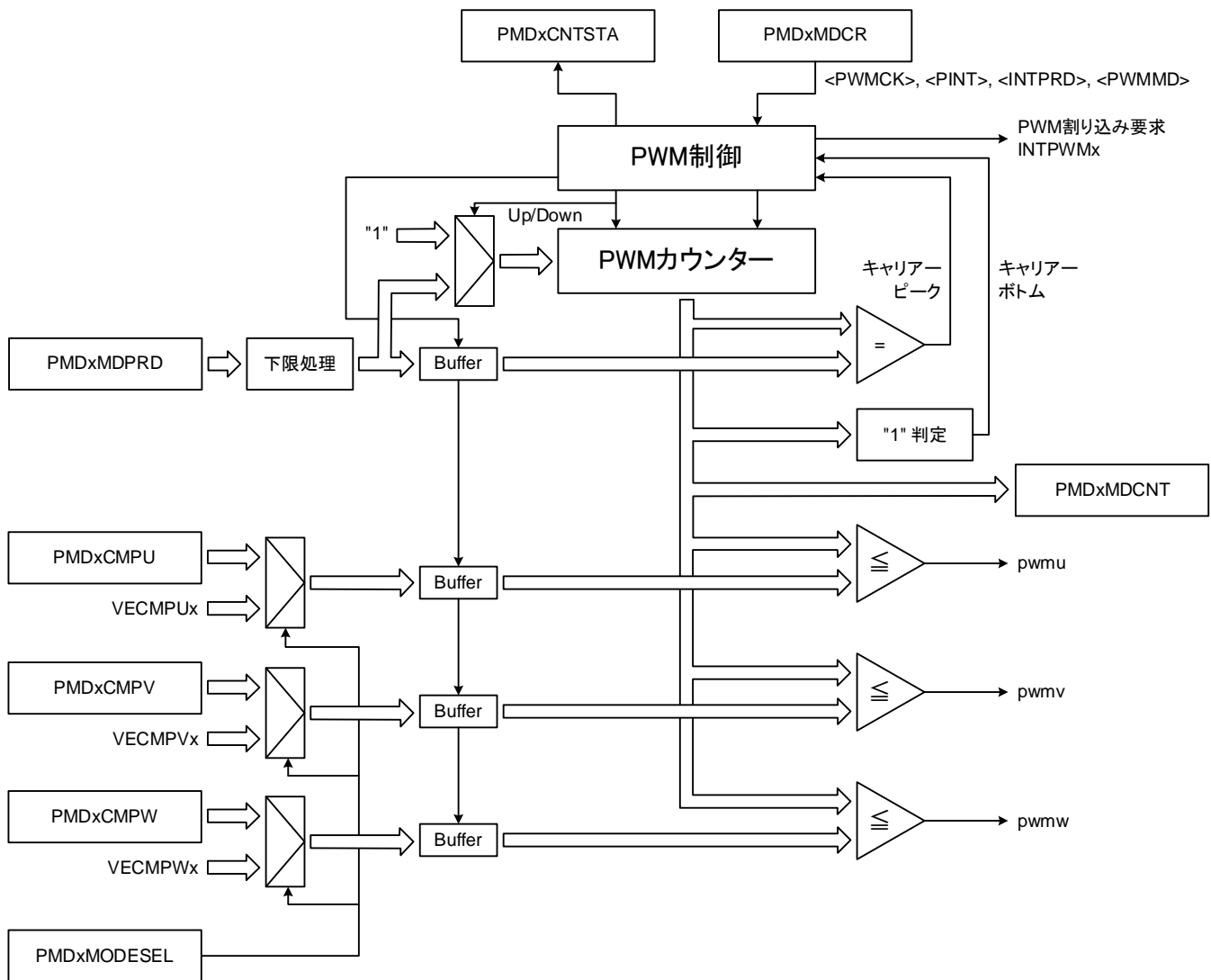


図 12.3 パルス幅変調回路

### 12.3.3.1. PWM 周期設定

PMDxMDPRD<MDPRD[15:0]>により PWM 周期を決定します。PMDxMDPRD はダブルバッファ構成であり、コンパレータ入力は PWM 周期で更新されます。PWM 半周期ごとの更新(半周期ごとロード)も選択できます。

$$\text{のこぎり波 PWM: PMDxMDPRD のレジスタ設定} = \frac{\text{発振周波数 [Hz]}}{\text{PWM 周波数 [Hz]}}$$

$$\text{三角波変調 PWM: PMDxMDPRD のレジスタ設定} = \frac{\text{発振周波数 [Hz]}}{\text{PWM 周波数} \times 2 \text{ [Hz]}}$$

### 12.3.3.2. コンペア機能

3 相の PWM コンペアレジスタ(PMDxCMPU/V/W)の値と、PMDxMDCNT<MDCNT[15:0]>が生成する搬送波をコンパレータで比較して所望のデューティの PWM 波形を生成します。

各相の PMD コンペアレジスタは比較レジスタを持ち、ダブルバッファ構成となります。

PMD コンペアレジスタの値は PWM 周期に同期して、PMDxMDCNT<MDCNT[15:0]>が PMDxMDPRD<MDPRD[15:0]>と一致したときに比較レジスタにロードされます。

PWM 半周期での更新(半周期ごとロード)も選択できます。

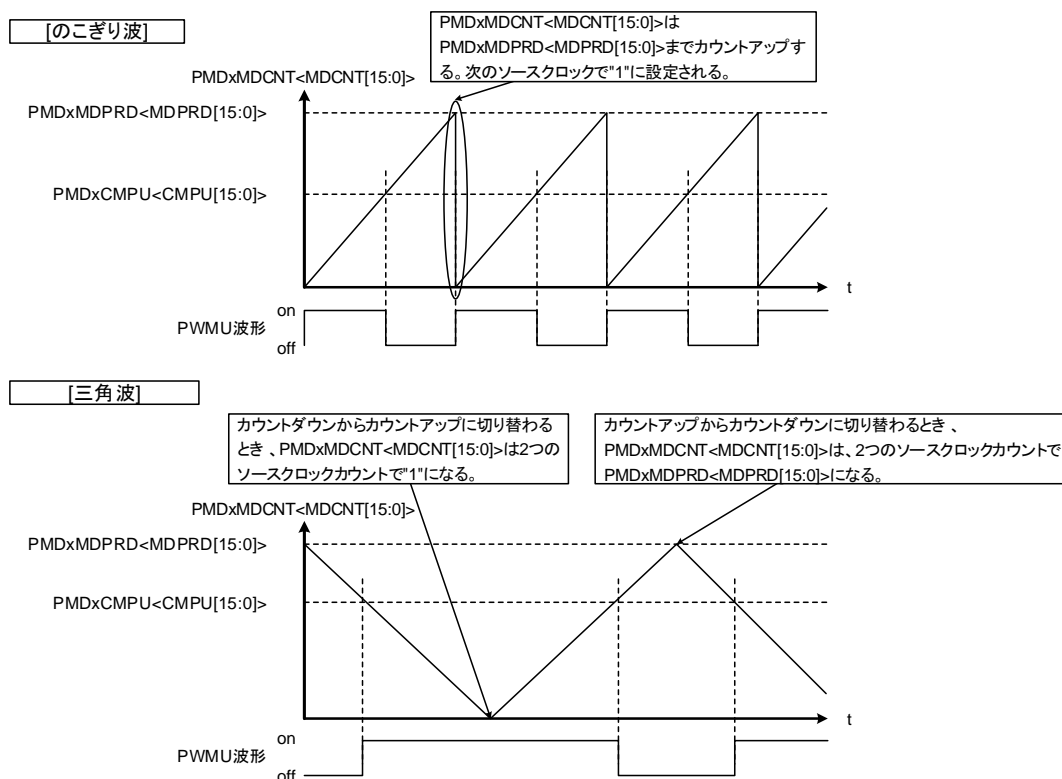


図 12.4 のこぎり波、三角波のPWM波形

### 12.3.3.3. 波形モード

下記の 3 相 PWM の生成モードを選択できます。

- (1) 3 相独立デューティモード: 3 相の PMD コンペアレジスターにそれぞれ独立した値を設定して、3 相の独立した PWM 波形を生成します。これは、正弦波などの任意の駆動波形生成に使用します。
- (2) 3 相共通デューティモード: U 相の PMD コンペアレジスターだけに値を設定し、U 相の設定値で 3 相同一の PWM 波形を生成します。これは、DC モーターの矩形波駆動に使用します。

### 12.3.3.4. 割り込み処理

パルス幅変調回路では PWM 波形に同期して PWM 割り込み要求(INTPWM<sub>x</sub>)を発生します。INTPWM<sub>x</sub> の頻度は下記から選択できます。

- (1) PWM 周期半周期に 1 回
- (2) PWM1 周期に 1 回
- (3) PWM2 周期に 1 回
- (4) PWM4 周期に 1 回

## 12.3.3.5. PMDxMDCR(PMD コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	PWMCK	SYNTMD	DTYMD	PINT	INTPRD		PWMMD
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:7	-	R	リードすると"0"が読めます。
6	PWMCK	R/W	PWM周期延長モード選択 0: 通常周期 1: 4倍周期 通常周期を選択したとき、PWMカウンタは分解能12.5ns@fsys = 80MHzで動作します。ノコギリ波の分解能は12.5ns、三角波の分解能は25nsです。 4倍周期を選択したとき、PWMカウンタは分解能50ns@fsys = 80MHzで動作します。ノコギリ波の分解能は50ns、三角波の分解能は100nsです。
5	SYNTMD	R/W	UOx、VOx、WOx、XOx、YOx、ZOx出力端子モード設定 UOx、VOx、WOx、XOx、YOx、ZOx出力端子を設定します。詳細については、表 12.2を参照してください。
4	DTYMD	R/W	デューティモード選択 0: 3相共通デューティモード 1: 3相独立デューティモード デューティの設定にPMDxCMPUの設定値を3相共通で用いるか、PMDxCMPU/V/Wの設定値それぞれを3相独立で用いるかの選択を行います。
3	PINT	R/W	INTPWMx発生タイミング選択 0: PWMカウンタPMDxMDCNT<MDCNT[15:0]> = "0x0001"(最小)のときINTPWMx発生 1: PWMカウンタPMDxMDCNT<MDCNT[15:0]> = PMDxMDPRD<MDPRD[15:0]>のときINTPWMx発生 INTPWMx発生タイミングをPWMカウンタが"0x0001"のとき、PMDxMDPRD<MDPRD[15:0]>のときから選択します。 PMDxMDCR<PINT> = "1"のとき、PMDxMDCR<PWMMD>の設定値によりINTPWMx発生のタイミングが下記ようになります。 PMDxMDCR<PWMMD> = "0"のとき:PMDxMDCNT<MDCNT[15:0]>がPMDxMDPRD<MDPRD[15:0]>のときINTPWMx発生 PMDxMDCR<PWMMD> = "1"のとき:"PMDxMDCNT<MDCNT[15:0]>が0x0001"またはPMDxMDPRD<MDPRD[15:0]>のときINTPWMx発生
2:1	INTPRD[1:0]	R/W	INTPWMx発生周期選択 00: PWM 0.5周期ごとにINTPWMxが発生 (PMDxMDCR<PWMMD> = "1"の場合のみ設定できます) (注) 01: PWM 1周期ごとにINTPWMxが発生 10: PWM 2周期ごとにINTPWMxが発生 11: PWM 4周期ごとにINTPWMxが発生 INTPWMxが発生する頻度をPWM周期0.5、1周期、2周期、4周期ごとから選択します。

0	PWMMD	R/W	PWMキャリアー波形選択 0: PWMモード0(エッジPWM、ノコギリ波変調) 1: PWMモード1(センターPWM、三角波変調) PWMのモードを選択します。PWMモード0はエッジPWM、PWMモード1はセンターPWMになります。
---	-------	-----	---

注) PMD<sub>x</sub>MDCR<INTPRD[1:0]>="00"のとき、PMD<sub>x</sub>CMPU/V/W、PMD<sub>x</sub>MDPRD は  
PMD<sub>x</sub>MDCNT<MDCNT[15:0]>が"0x0001"またはPMD<sub>x</sub>MDPRD <MDPRD[15:0]>と一致したときにダブルバッファ後段にデータが取り込まれます。

### 12.3.3.6. PMDxCNTSTA(PWM カウンターステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	UPDWN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:1	-	R	リードすると"0"が読めます。
0	UPDWN	R	PWMカウンターステータスフラグ 0: アップカウント中 1: ダウンカウント中 PWMカウンターステータスがアップカウント中かダウンカウント中かを示します。 PWMモード0が選択されているとき、常に"0"が読み出されます。

### 12.3.3.7. PMDxMDCNT(PWM カウンターレジスター)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	MDCNT							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MDCNT							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:0	MDCNT[15:0]	R	<p>PWMカウンター読み出し</p> <p>PWM周期をカウントする16bitのPWMカウンターの値を読み出すことができます。</p> <p>PMDxMDCR&lt;PWMCK&gt; = "0"のとき、PWMカウンターは分解能12.5ns@fsys = 80MHzで動作します。ノコギリ波の分解能は12.5ns、三角波の分解能は25nsです。</p> <p>PMDxMDCR&lt;PWMCK&gt; = "1"のとき、PWMカウンターは分解能50ns@fsys = 80MHzで動作します。ノコギリ波の分解能は50ns、三角波の分解能は100nsです。</p> <p>波形合成機能が禁止 (PMDxMDEN&lt;PWWEN&gt; = "0") のとき、PWMカウンター値はPMDxMDCR&lt;PWWMD&gt;の設定値によって、以下のようになります。</p> <p>PMDxMDCR&lt;PWWMD&gt; = "0"の場合: "0x0001"</p> <p>PMDxMDCR&lt;PWWMD&gt; = "1"の場合: PMDxMDPRD&lt;MDPRD[15:0]&gt;の値</p>

### 12.3.3.8. PMDxMDPRD(PWM 周期レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	MDPRD							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	MDPRD							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:0	MDPRD[15:0]	R/W	<p>PWM周期設定 PMDxMDPRD&lt;MDPRD[15:0]&gt;には"0x0010"以上の値を設定してください。 PMDxMDPRD&lt;MDPRD[15:0]&gt;でPWM周期を設定します。 ダブルバッファ構成となっているので、PWMカウンターの動作中でも変更することが出来ます。ダブルバッファ後段にはPWM周期ごとに書き込んだ値がロードされます。 PWMカウンターがPMDxMDPRD&lt;MDPRD[15:0]&gt;と一致したときにロードされます。 PMDxMDCR&lt;INTPRD[1:0]&gt;に"00"が設定されているとき、PWMカウンターが"0x0001"またはPMDxMDPRD&lt;MDPRD[15:0]&gt;と一致したときにロードされます。 このとき、PMDxMDPRD&lt;MDPRD[15:0]&gt;のLSBには"0"を設定してください。 PMDxMDPRD&lt;MDPRD[15:0]&gt;に"0x0010"未満の値を設定した場合、PMDxMDPRD&lt;MDPRD[15:0]&gt;には設定した値が設定されますが、"0x0010"を設定したとして扱われます。</p>

注) このレジスタへのバイト転送命令による書き込み(上位 8bit([15:8]、下位 8bit([7:0])を別々に書き込む)をしないでください。

### 12.3.3.9. PMDxCMPU(U 相用 PWM コンペアレジスター)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CMPU1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CMPU1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:0	CMPU1[15:0]	R	リードするとダブルバッファ前段(書き込んだ値)が読めます。
		W	<p>U相PWMパルス幅設定 PMDxCMPU&lt;CMPU1[15:0]&gt;でU相のPWMパルス幅を設定します。 U相のPWMパルス幅の分解能12.5ns@fsys = 80MHzです。ノコギリ波の分解能は12.5ns、三角波の分解能は25nsです。</p> <p>ダブルバッファ構成となっているので、PWMカウンターの動作中でも変更することが出来ます。ダブルバッファ後段にはPWM周期ごとに書き込んだ値がロードされます。</p> <p>PWMカウンターとダブルバッファ後段の値を比較することでPWMパルス幅を決定します。 PWMカウンターがPMDxMDPRD&lt;MDPRD[15:0]&gt;と一致したときにロードされます。</p> <p>PMDxMDCR&lt;INTPRD[1:0]&gt;に"00"が設定されているとき、PWMカウンターが"0x0001"またはPMDxMDPRD&lt;MDPRD[15:0]&gt;と一致したときにロードされます。</p>

注 1) 本レジスターに書き込んだデータをダブルバッファ後段に直ちにロードする場合は、PMDxMODESEL<MDSEL>に"0"を設定します。

注 2) このレジスターへのバイト転送命令による書き込み(上位 8bit([15:8])、下位 8bit([7:0])を別々に書き込む)をしないでください。

## 12.3.3.10. PMDxCMPV(V 相用 PWM コンペアレジスター)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CMPV1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CMPV1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:0	CMPV1[15:0]	R	リードするとダブルバッファ前段(書き込んだ値)が読めます。
		W	<p>V相PWMパルス幅設定 PMDxCMPV&lt;CMPV1[15:0]&gt;でV相のPWMパルス幅を設定します。 V相のPWMパルス幅の分解能12.5ns@f<sub>sys</sub> = 80MHzです。ノコギリ波の分解能は12.5ns、三角波の分解能は25nsです。</p> <p>ダブルバッファ構成となっているので、PWMカウンターの動作中でも変更することが出来ます。ダブルバッファ後段にはPWM周期ごとに書き込んだ値がロードされます。</p> <p>PWMカウンターとダブルバッファ後段の値を比較することでPWMパルス幅を決定します。 PWMカウンターがPMDxMDPRD&lt;MDPRD[15:0]&gt;と一致したときにロードされます。 PMDxMDCR&lt;INTPRD[1:0]&gt;に"00"が設定されているとき、PWMカウンターが"0x0001"またはPMDxMDPRD&lt;MDPRD[15:0]&gt;と一致したときにロードされます。</p>

注 1) 本レジスタに書き込んだデータをダブルバッファ後段に直ちにロードする場合は、PMDxMODESEL<MDSEL>に"0"を設定します。

注 2) このレジスタへのバイト転送命令による書き込み(上位 8bit([15:8])、下位 8bit([7:0])を別々に書き込む)をしないでください。

## 12.3.3.11. PMDxCMPW(W 相用 PWM コンペアレジスター)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CMPW1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CMPW1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:0	CMPW1[15:0]	R	リードするとダブルバッファ前段(書き込んだ値)が読めます。
		W	<p>W相PWMパルス幅設定 PMDxCMPW&lt;CMPU1[15:0]&gt;でW相のPWMパルス幅を設定します。 W相のPWMパルス幅の分解能12.5ns@fsys = 80MHzです。ノコギリ波の分解能は12.5ns、三角波の分解能は25nsです。</p> <p>ダブルバッファ構成となっているので、PWMカウンターの動作中でも変更することが出来ます。ダブルバッファ後段にはPWM周期ごとに書き込んだ値がロードされます。</p> <p>PWMカウンターとダブルバッファ後段の値を比較することでPWMパルス幅を決定します。 PWMカウンターがPMDxMDPRD&lt;MDPRD[15:0]&gt;と一致したときにロードされます。 PMDxMDCR&lt;INTPRD[1:0]&gt;に"00"が設定されているとき、PWMカウンターが"0x0001"またはPMDxMDPRD&lt;MDPRD[15:0]&gt;と一致したときにロードされます。</p>

注 1) 本レジスタに書き込んだデータをダブルバッファ後段に直ちにロードする場合は、PMDxMODESEL<MDSEL>に"0"を設定します。

注 2) このレジスタへのバイト転送命令による書き込み(上位 8bit([15:8])、下位 8bit([7:0])を別々に書き込む)をしないでください。

## 12.3.4. 通電制御回路

通電制御回路は、PMDxMDOUT と PMDxMDPOT に設定された内容により、PWM 出力の制御を行います。

通電制御回路は大きく、PMDxMDOUT リロードタイミングの選択と PWM 出力設定に分けられます。

PMDxMDOUT リロードタイミングの選択を PMDxMDPOT<PSYNCS>で行います。同期タイミングは PWM カウンターの同期と非同期を選択できます。リロードタイミングで PWM 出力が更新されます。

PWM 出力設定は、PWM 出力の上相、下相それぞれに、"Low"アクティブ/"High"アクティブを PMDxMDPOT<POLH>、<POLL>で設定します。

PWM 出力の U 相、V 相、W 相それぞれに、"High"レベル/"Low"レベル出力と PWM 出力の選択を PMDxMDOUT<WPWM>、<VPWM>、<UPWM>で設定します。

"High"レベル/"Low"レベル出力を選択すると通電制御回路は"High"レベル、または"Low"レベルを出力します。

PWM 出力を選択すると通電制御回路は PWM 波形を出力します。

PMDxMDOUT による PWM 出力設定と PMDxMDPOT によるの極性設定の関係については、表 12.1、表 12.2 を参照してください。

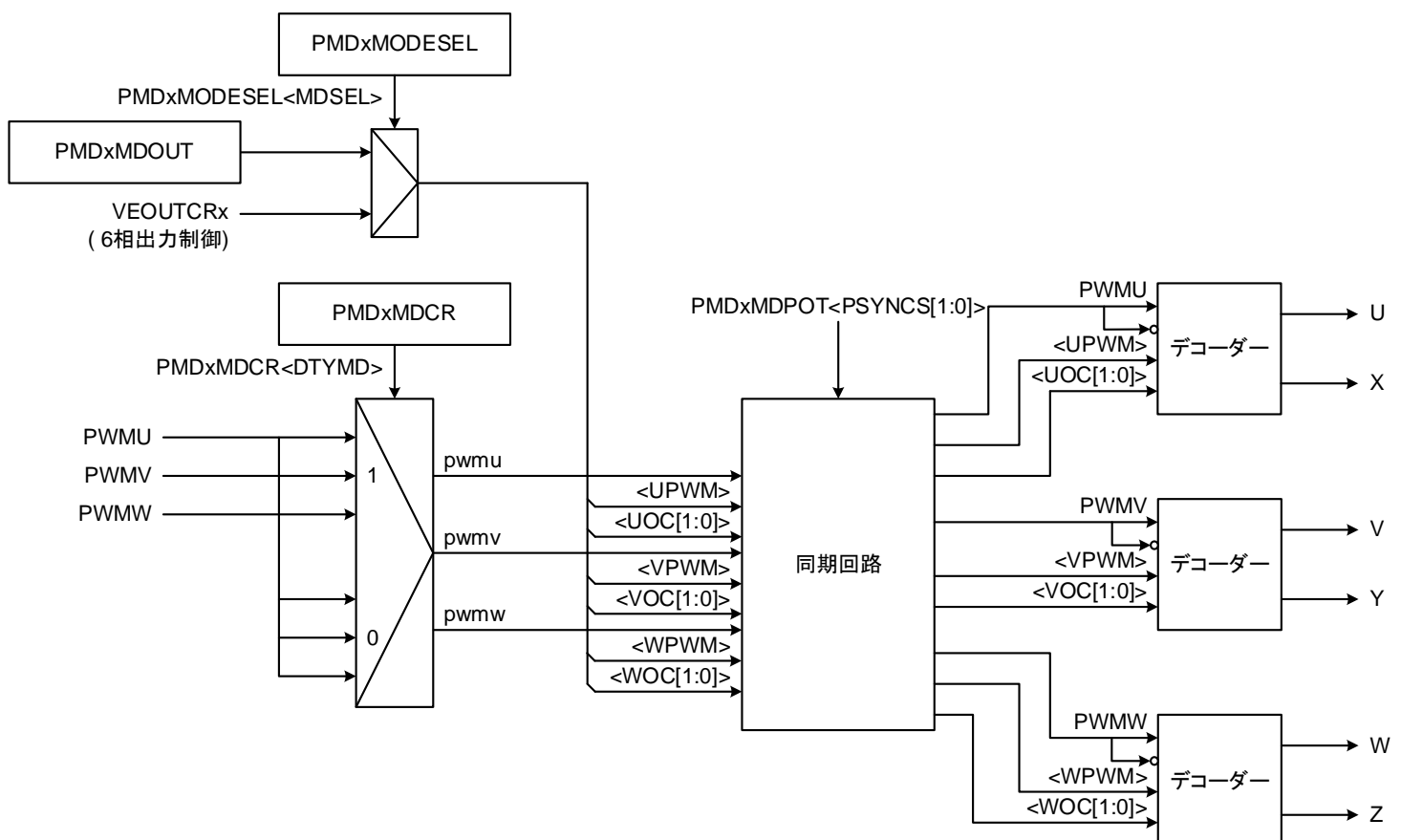


図 12.5 通電制御回路

表 12.1 PMDxMDOUTによる通電制御回路出力(PMDxMDPOT<POLH><POLL> = "00"のとき)

PMDxMDOUT <WOC[1:0]> <VOC[1:0]> <UOC[1:0]>	PMDxMDOUT <UPWM>、<VPWM>、<WPWM>			
	0: "High"/"Low"レベル出力		1: PWM出力	
	上相出力	下相出力	上相出力	下相出力
00	"High"レベル	"High"レベル	PWM出力	$\overline{\text{PWM}}$ 出力
01	"High"レベル	"Low"レベル	"High"レベル	$\overline{\text{PWM}}$ 出力
10	"Low"レベル	"High"レベル	$\overline{\text{PWM}}$ 出力	"High"レベル
11	"Low"レベル	"Low"レベル	$\overline{\text{PWM}}$ 出力	PWM出力

表 12.2 PMDxMDOUTによる通電制御回路出力(PMDxMDPOT<POLH><POLL> = "11"のとき)

PMDxMDOUT <WOC[1:0]> <VOC[1:0]> <UOC[1:0]>	PMDxMDOUT <UPWM>、<VPWM>、<WPWM>			
	0: "High"/"Low"レベル出力		1: PWM出力	
	上相出力	下相出力	上相出力	下相出力
00	"Low"レベル	"Low"レベル	$\overline{\text{PWM}}$ 出力	PWM出力
01	"Low"レベル	"High"レベル	"Low"レベル	PWM出力
10	"High"レベル	"Low"レベル	PWM出力	"Low"レベル
11	"High"レベル	"High"レベル	PWM出力	$\overline{\text{PWM}}$ 出力

1 シャント電流の検出は下記のように設定することで対応可能です。

表 12.3 1シャント電流の検出設定

レジスター	通常	U相PWMシフト	V相PWMシフト	W相PWMシフト
PMDxCMPU	duty_U	<MDPRD[15:0]>-duty_U	duty_U	duty_U
PMDxCMPV	duty_V	duty_V	<MDPRD[15:0]>-duty_V	duty_V
PMDxCMPW	duty_W	duty_W	duty_W	<MDPRD[15:0]>-duty_W
PMDxMDOUT <UOC[1:0]>	11	00	11	11
PMDxMDOUT <VOC[1:0]>	11	11	00	11
PMDxMDOUT <WOC[1:0]>	11	11	11	00

## 12.3.4.1. PMDxMDPOT (PMD 出力設定レジスター)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	POLH	POLL	PSYNCS	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:4	-	R	リードすると"0"が読めます。
3	POLH	R/W	PWM出力上相極性選択 0: "Low"アクティブ 1: "High"アクティブ
2	POLL	R/W	PWM出力下相極性選択 0: "Low"アクティブ 1: "High"アクティブ
1:0	PSYNCS[1:0]	R/W	PMDxMDOUTリロードタイミング選択 00: PWMカウンター非同期 01: PWMカウンター<MDCNT[15:0]> = "0x0001"のときリロード 10: PWMカウンター<MDCNT[15:0]> = PMDxMDPRD<MDPRD[15:0]>のときリロード 11: PWMカウンター<MDCNT[15:0]> = "0x0001"またはPMDxMDPRD<MDPRD[15:0]>のときリロード  PMDxMDOUTのリロードタイミングを選択します。リロードタイミングでPWM出力が更新されます。 "00"を設定した場合、PMDxMDOUTの更新タイミングでPWM出力が更新されます。 VEからのVEOUTCR1に対しても有効です。

注) PMDxMDEN<PWMEN>が"0"に設定されているとき、設定してください。

## 12.3.4.2. PMDxMDOUT(PMD 出力コントロールレジスター)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	WPWM	VPWM	UPWM
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	WOC		VOC		UOC	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:11	-	R	リードすると"0"が読めます。
10	WPWM	R/W	U相、V相、W相出力制御 0: "High"/"Low"レベル出力 1: PWM出力 詳細については、表 12.1、表 12.2を参照してください。
9	VPWM	R/W	
8	UPWM	R/W	
7:6	-	R	リードすると"0"が読めます。
5:4	WOC[1:0]	R/W	U相、V相、W相出力制御 詳細については、表 12.1、表 12.2を参照してください。
3:2	VOC[1:0]	R/W	
1:0	UOC[1:0]	R/W	

注 1) 本レジスターに書き込んだデータをダブルバッファ後段に直ちにロードする場合は、PMDxMODESEL<MDSEL>に"0"を設定します。

注 2) このレジスターへのバイト転送命令による書き込み(上位 8bit([15:8])、下位 8bit([7:0])を別々に書き込む)をしないでください。

12.3.5. 保護制御回路

保護制御回路は、EMG 保護制御回路、OVV 保護制御回路部とポート出力禁止回路から構成されます。

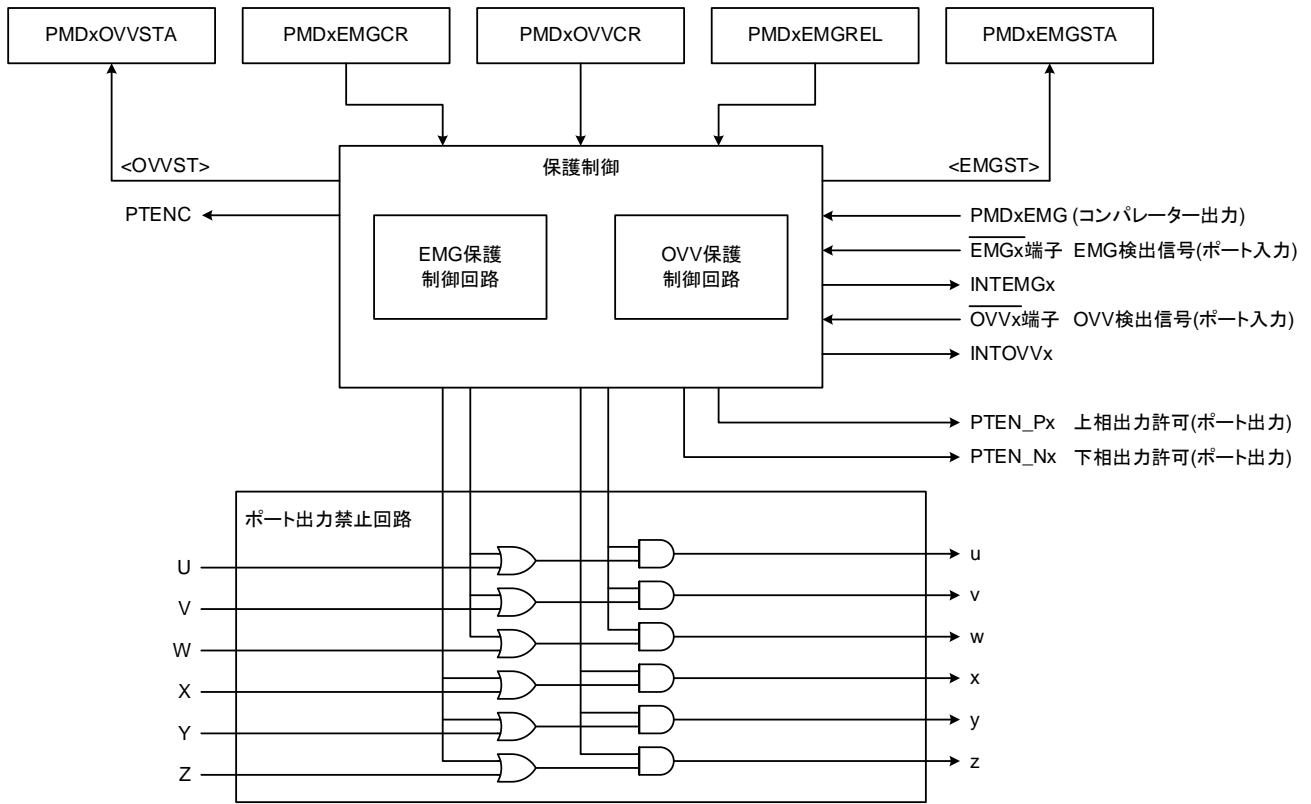


図 12.6 保護制御回路

### 12.3.5.1. EMG 保護制御回路

EMG 保護制御回路は緊急停止用保護回路です。ポート出力禁止回路と組み合わせて使用します。

EMG 保護制御回路の動作は PMDxEMGCR で設定します。

PMDxEMGCR<EMGEN>を"1"に設定すると EMG 保護制御回路の動作は許可されます。

EMG 入力が"Low"レベルになると PMD は緊急停止します。EMG 入力は、PMDxEMGCR<EMGISEL>で $\overline{\text{EMGx}}$ 端子入力と PMDxEMG(コンパレータ出力)から選択されます。

注) リセット解除後、EMG 保護制御回路は許可です。

- $\overline{\text{EMGx}}$ 端子  
 $\overline{\text{EMGx}}$ 端子にはノイズフィルターが挿入されています。ノイズフィルターが除去するノイズ時間は PMDxEMGCR<EMGCNT[3:0]>で指定します。PMDxEMGCR<EMGCNT[3:0]>に"0000"を設定したとき、ノイズフィルターは無視されます。
- PMDxEMG(コンパレータ出力)  
PMDxEMG は、AMP/CMP のコンパレータの出力信号です。詳細については「19. オペアンプ/アナログコンパレータ(AMP/CMP)」を参照してください。

注) EMG 保護制御回路許可の状態では PMDxEMGCR<EMGCNT[3:0]>を書き換えると EMG 保護中となる場合があります。そのため、書き変えたときには「EMG 保護中の解除」を実行してください。

- 保護制御回路の動作  
EMG 入力が"Low"レベルになると、EMG 保護制御回路が動作し EMG 保護中になります。このとき、UOx、VOx、WOx、XOx、YOx、ZOx 出力端子を禁止するための制御信号を出力します。これにより各出力端子を直ちに禁止します。各出力端子の禁止時の出力は、PMDxEMGCR <EMGMD[1:0]>で設定します。また、EMG 割り込み(INTEMGx)を発生します。  
PMDxEMGSTA<EMGST>をリードしたときに、リードした値が"1"なら EMG 保護中であることを示します。

- EMG 保護中の解除

PMDxMDOUT<WPWM>、<VPWM>、<UPWM>、<WOC[1:0]>、<VOC[1:0]>、<UOC[1:0]>を全て"0"を設定して UOx、VOx、WOx、XOx、YOx、ZOx 出力端子を全てインアクティブにします。

その後、PMDxEMGCR<EMGRS>に"1"を設定して EMG 保護中を解除します。

EMG 保護中を解除するときには、必ず、PMDxEMGSTA<EMGI>を読み出し"1"になったことを確認します。PMDxEMGSTA<EMGI>が"1"のとき、EMG 入力は"High"レベルです。EMG 入力が"Low"レベルで、解除シーケンスを実行しても、それは無視されます。

注)  $\overline{\text{EMGx}}$ 端子入力と兼用となっている入出力ポートは、リセット解除後はポート機能が選択されていますが、EMG 保護制御回路は許可です。そのため、EMG 保護中になっている場合がありますので、下記の手順で、EMG 保護中を解除してください。

- (1) ポートのファンクションレジスタ(PxFRn)で EMG 機能を選択します。
- (2) PMDxEMGSTA<EMGI>をリードし、"1"であることを確認します。
- (3) PMDxMDOUT<WPWM>、<VPWM>、<UPWM>、<WOC[1:0]>、<VOC[1:0]>、<UOC[1:0]>を全て"0"に設定し、UOx、VOx、WOx、XOx、YOx、ZOx 出力端子を全てインアクティブにします。
- (4) PMDxEMGCR<EMGRS>を"1"に設定し、EMG 保護中を解除します

- EMG 保護制御回路動作の禁止

EMG 保護制御回路動作を禁止するには、PMDxEMGREL に"0x5A" → "0xA5"を設定します。その後、PMDxEMGCR<EMGEN>に"0"を設定します。誤って EMG 保護制御回路を禁止することを防止するため、3 命令連続して行う必要があります。

## 12.3.5.2. PMDxEMGREL(EMG 解除レジスター)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	EMGREL							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:8	-	R	リードすると"0"が読めます。
7:0	EMGREL[7:0]	W	EMG保護制御回路/OVV保護制御回路禁止コード "0x5A"→"0xA5"に設定することによりEMG保護制御回路とOVV保護制御回路の禁止がされます。禁止コードを書き込んだ後に、PMDxEMGCR<EMGEN>または、PMDxEMGCR<OVVEN>に"0"を設定してください。

注) EMG 保護制御回路禁止時と OVV 保護制御回路禁止時のそれぞれで、禁止コードの書き込みが必要です。

### 12.3.5.3. PMDxEMGCR(EMG コントロールレジスター)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	EMGCNT			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	INHEN	EMGMD		EMGISEL	EMGRS	EMGEN
リセット後	0	0	1	1	1	0	0	1

Bit	Bit Symbol	Type	機能
31:12	-	R	リードすると"0"が読めます。
11:8	EMGCNT[3:0]	R/W	EMG入力検出時間 "0000" ~ "1111" ("0000"設定時はノイズフィルターをスルーします) EMGx端子入力のノイズ除去時間を設定します。ノイズ除去時間は以下の計算式で表されます。 $PMDxEMGCR<EMGCNT[3:0]> \times 16 / f_{sys}$ (分解能200ns@f <sub>sys</sub> = 80MHz)
7:6	-	R	リードすると"0"が読めます。
5	INHEN	R/W	ホールド時のPMDの許可/禁止 0: 禁止 1: 許可(初期状態は許可) ホールド時にPMDを停止させるかを選択します。
4:3	EMGMD[1:0]	R/W	EMG保護モード選択 00: 全相 "Hi-Z" 01: 全上相オン/全下相 "Hi-Z" 10: 全上相 "Hi-Z"/全下相オン 11: 全相 "Hi-Z" EMG保護制御回路が動作したときの、上相(UOx、VOx、WOx端子)および下相(XOx、YOx、ZOx端子)の出力を設定します。「オン」はPWM出力を示します。
2	EMGISEL	R/W	EMG入力選択 0: EMGx端子入力 1: PMDxEMG(コンパレータ出力) 保護回路に入力させるEMG入力をEMGx端子入力とPMDxEMG(コンパレータ出力)から選択されます。
1	EMGRS	R	リードすると"0"が読めます。
		W	EMG保護中からの解除 0: Don't care 1: EMG保護中からの解除 PMDxMDOUT<WPWM>、<VPWM>、<UPWM>、<WOC[1:0]>、<VOC[1:0]>、<UOC[1:0]>を全て"0"に設定します。PMDxEMGSTA<EMGI>が"1"になったことを確認してから、PMDxEMGCR <EMGRS>に"1"を設定することによりEMG保護中を解除します。
0	EMGEN	R/W	EMG保護制御回路の制御 0: 禁止 1: 許可 禁止するときはPMDxEMGRELに"0x5A"→"0xA5"を設定します。その後、PMDxEMGCR<EMGEN>に"0"を設定してください。3命令を連続して実行してください。

## 12.3.5.4. PMDxEMGSTA(EMG ステータスレジスター)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	EMGI	EMGST
リセット後	0	0	0	0	0	0	不定	0

Bit	Bit Symbol	Type	機能
31:2	-	R	リードすると"0"が読めます。
1	EMGI	R	EMG入力状態 0: "Low"レベル入力 1: "High"レベル入力 リードすることにより、EMG入力の状態を知ることができます。
0	EMGST	R	EMG保護状態 0: 通常動作中 1: EMG保護中 リードすることにより、EMG保護の状態を知ることができます。

### 12.3.6. OVV 保護制御制御

OVV 保護制御回路は緊急停止用保護回路です。ポート出力禁止回路と組み合わせて使用します。

OVV 保護制御回路の動作は PMD<sub>x</sub>OVVCR で設定します。

PMD<sub>x</sub>OVVCR<OVVEN>を"1"に設定すると OVV 保護制御回路の動作は許可されます。OVV 入力が "Low" レベルになると PMD は緊急停止します。

注) リセット解除後、OVV 保護制御回路は禁止です。

- OVV 入力

OVV 入力には、PMD<sub>x</sub>OVVCR<OVVISEL>で  $\overline{\text{OVVx}}$  端子入力と ADC 監視機能信号から選択できます。

ADC 監視機能は PMD<sub>x</sub>OVVCR<ADIN0EN>、<ADIN1EN>で監視信号を禁止/許可できます。

$\overline{\text{OVVx}}$  端子にはノイズフィルターが挿入されています。ノイズフィルターが除去するノイズ時間は PMD<sub>x</sub>OVVCR<OVVCNT[3:0]>で指定します。PMD<sub>x</sub>OVVCR<OVVCNT[3:0]>に"0000"を設定したとき、"0001"を設定したとして動作します。PMD<sub>x</sub>OVVCR<OVVCNT[3:0]>は PMD<sub>x</sub>OVVCR<OVVISEL>が"1"に設定されているときのみ有効になります。

注) OVV 許可状態で PMD<sub>x</sub>OVVCR<OVVCNT[3:0]>を書き換えると OVV 保護状態になる可能性があります。そのため書き変えた場合は、「OVV 保護からの復帰」を実行してください。

- OVV 保護の動作

OVV 入力がアクティブレベルになると、OVV 保護制御回路が動作し OVV 保護中になります。このとき、UO<sub>x</sub>、VO<sub>x</sub>、WO<sub>x</sub>、XO<sub>x</sub>、YO<sub>x</sub>、ZO<sub>x</sub> 出力端子を禁止するための制御信号を出力します。これにより各出力端子を直ちに禁止します。各出力端子の禁止時の出力は、PMD<sub>x</sub>OVVCR<OVVMD[1:0]>で設定します。また、OVV 割り込み(INTOVV<sub>x</sub>)を発生します。

PMD<sub>x</sub>OVVSTA<OVVST>をリードしたときに、リードした値が"1"なら OVV 保護中であることを示します。

- OVV 保護中の解除

PMD<sub>x</sub>OVVCR<OVVRS>に"1"を設定して OVV 保護中を解除します。

OVV 保護中を解除するときには、必ず、PMD<sub>x</sub>OVVSTA<OVVI>を読み出し"1"になったことを確認します。PMD<sub>x</sub>OVVSTA<OVVI>が"1"のとき、OVV 入力はインアクティブレベルです。OVV 入力がアクティブレベルで、解除シーケンスを実行しても、それは無視されます。

PMD<sub>x</sub>OVVCR<OVVRS>が"1"に設定されていると、OVV 入力がインアクティブレベルになった後の PWM カウンターと PMD<sub>x</sub>MDPRD<MDPRD[15:0]>が一致したタイミングで OVV 保護中が解除されます。

ただし、PWM 0.5 周期割り込み設定のときには、PWM カウンターと"0x0001"または PMD<sub>x</sub>MDPRD<MDPRD[15:0]>が一致したタイミングで OVV 保護中が解除されます。

- OVV 保護制御回路動作の禁止  
OVV 保護制御回路動作を禁止するには、PMDxEMGREL に"0x5A" → "0xA5"を設定します。その後、PMDxOVVCR<OVVEN>に"0"を設定します。誤って OVV 保護制御回路を禁止することを防止するため、3 命令連続して行う必要があります。

## 12.3.6.1. PMDxOVVCR(OVV コントロールレジスター)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	OVVCNT			
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	ADIN1EN	ADIN0EN	OVVMD		OVISEL	OVRVS	OVVEN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:12	-	R	リードすると"0"が読めます。
11:8	OVVCNT[3:0]	R/W	OVV入力検出時間(注1) "0000" ~ "1111" ("0000"設定時は"0001"設定として動作します。) OVV入力のノイズ除去時間を設定します。ノイズ除去時間は以下の計算式で表されます。 $PMDxOVVCR<OVVCNT[3:0]> \times 16 / f_{sys}$ (分解能200ns@f <sub>sys</sub> = 80MHz)
7	-	R	リードすると"0"が読めます。
6	ADIN1EN	R/W	ADC監視信号1入力制御(注2) 0: 禁止 1: 許可 ADC監視機能1からの監視信号の許可/禁止を設定します。許可に設定し、かつOVV入力にADC監視信号を選択したときのみ、ADCの監視機能1の監視信号をOVV入力として使用できます。
6	ADIN0EN	R/W	ADC監視信号0入力制御(注2) 0: 禁止 1: 許可 ADC監視機能0からの監視信号の許可/禁止を設定します。許可に設定し、かつOVV入力にADC監視信号を選択したときのみ、ADCの監視機能0の監視信号をOVV入力として使用できます。
4:3	OVVMD[1:0]	R/W	OVV保護モード選択(注3) 00: 出力制御なし 01: 全上相オン/全下相オフ 10: 全上相オフ/全下相オン 11: 全相オフ OVV保護制御回路が動作したときの、上相(UOx、VOx、WOx端子)および下相(XOx、YOx、ZOx端子)の出力を設定します。「オン」はアクティブレベル出力、「オフ」はインアクティブレベル出力を示します。
2	OVISEL	R/W	OVV入力選択(注1) 0: OVVx端子 1: ADC監視信号 OVV保護制御回路に入力するOVV入力を選択します。
1	OVRVS	R/W	OVV保護中からの解除 0: Don't care 1: 保護中からの解除 PMDxOVVSTA<OVVI>が"1"になったことを確認してから、PMDxOVVCR<OVRVS>に"1"を設定することによりOVV保護中を解除します。
0	OVVEN	R/W	OVV保護制御回路の制御 0: 禁止 1: 許可 禁止するときはPMDxEMGRELに"0x5A"→"0xA5"を設定します。その後、PMDxOVVCR<OVVEN>に"0"を設定してください。3命令を連続して実行してください。

注 1) PMDxOVVCR<OVVISEL>が"1"に設定されているときのみ有効です。

注 2) ADC 監視機能の詳細は「11. 12 ビットアナログ/デジタルコンバーター(ADC)」の動作説明の"AD 監視機能"を参照してください。

注 3) OVV、EMG 保護制御回路が同時に動作したときは、PMDxEMGCR<EMGMD[1:0]>の設定が優先されます。

## 12.3.6.2. PMDxOVVSTA(OVV ステータスレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	OVVI	OVVST
リセット後	0	0	0	0	0	0	不定	0

Bit	Bit Symbol	Type	機能
31:2	-	R	リードすると"0"が読めます。
1	OVVI	R	OVV入力状態 0: "Low"レベル入力 1: "High"レベル入力 リードすることにより、OVV入力の状態を知ることができます。
0	OVVST	R	OVV保護状態 0: 通常動作中 1: OVV保護中 リードすることにより、OVV保護の状態を知ることができます。

## 12.3.7. デバッガーでブレイクしたときの保護制御

デバッガーでブレイクしたときの PMD 保護制御時も UOx、VOx、WOx、XOx、YOx、ZOx 出力端子を禁止します。各出力端子の禁止時の出力は、PMDxPORTMD<PORTMD>で設定します。

### 12.3.8. デッドタイム回路

デッドタイム回路はデッドタイム回路と出力極性切替回路から構成されます。

デッドタイム回路は、上相(UOx、VOx、WOx 端子)、下相(XOx、YOx、ZOx 端子)が逆転する場合に上下相が短絡するのを回避するため、オン時間を遅延させます。

遅延時間は、PMDxDTR<DTR[7:0]>により  $8 / f_{sys}$  (100ns@ $f_{sys} = 80\text{MHz}$ )の分解能で設定が可能です。

出力極性切替回路は、上相(UOx、VOx、WOx 端子)と下相(XOx、YOx、ZOx 端子)それぞれに対して、ハイアクティブ/ローアクティブをPMDxMDPOT<POLH>、<POLL>により設定します。

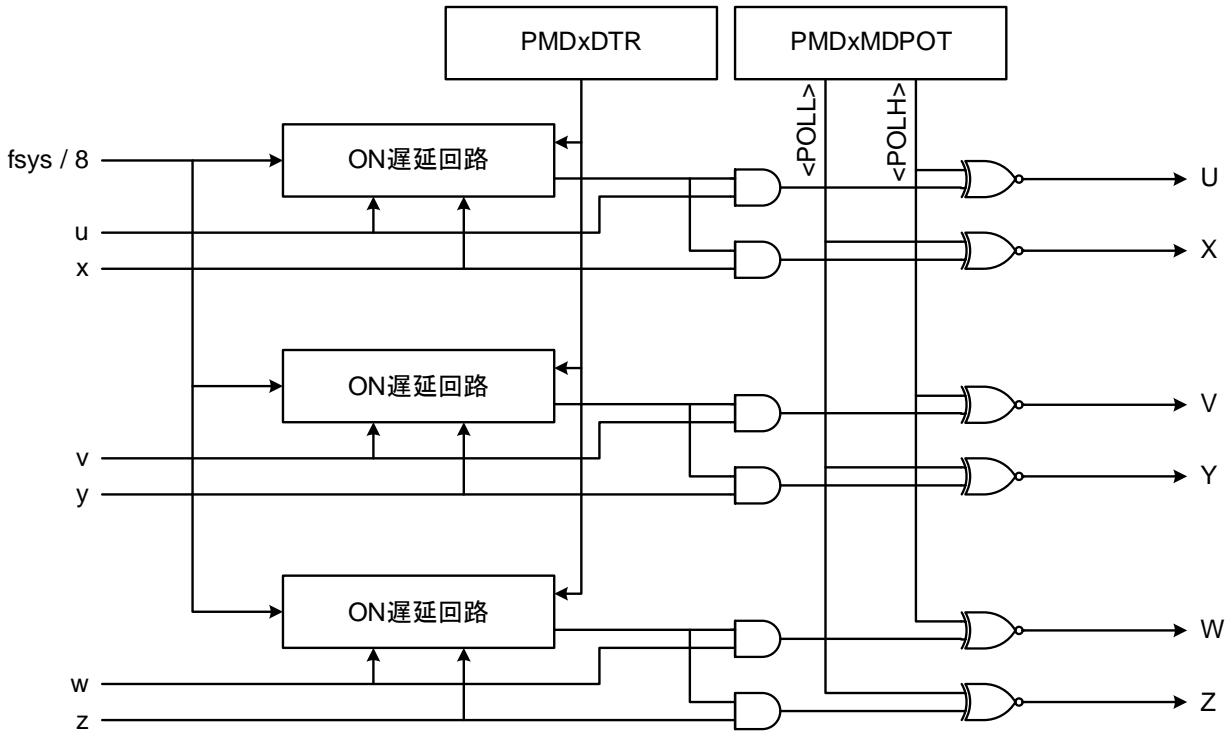


図 12.7 デッドタイム回路

## 12.3.8.1. PMDxDTR(デッドタイムレジスター)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	DTR							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:8	-	R	リードすると"0"が読めます。
7:0	DTR[7:0]	R/W	デッドタイムを設定します。 "0x00" ~ "0xFF" デッドタイムは以下の計算式で表されます。 <DTR[7:0]> × 8 / fsys (最大25.5μs@fsys = 80MHz)

注) このレジスターは PMDxMDEN<PWMEN>が"0"のときに変更してください。

## 12.3.9. 同期トリガー生成回路

同期トリガー生成回路は相別 PWM キャリアーに同期して ADC のサンプリングを行うためのトリガー信号を生成します。

PMDxMDCNT<MDCNT[15:0]>と PMDxTRGCMPn<TRGCMPn[15:0]>が一致したときにトリガー信号 (TRG0 ~ TRG3)を発生します。

発生タイミングは下記から選択します。

- (1) アップカウント動作時の一致
- (2) ダウンカウント動作時の一致
- (3) アップおよびダウンカウント両動作での一致

エッジモード選択時はアップカウント時となります。

PMDxMDEN<PWMEN>が"0"のとき、トリガー信号は出力されません。

### 12.3.9.1. PMDxTRGCMPn (n = 0 ~3)の更新タイミング

PMDxTRGCMPn はダブルバッファ構造となっています。PMDxTRGCR<TRGnBE>に"0"を設定すると、ダブルバッファ後段の更新タイミングは PMDxTRGCR<TRGnMD[2:0]>で決まります。PMDxTRGCR<TRGnBE>に"1"を設定すると、PMDxTRGCMPn に書き込んだデータが、ダブルバッファ後段に直ちに転送されます。

表 12.4 トリガーコンペアレジスタの後段バッファ更新タイミング

PMDxTRGCR<TRGnMD[2:0]>	PMDxTRGCMPn<TRGCMPn[15:0]>ダブルバッファ後段更新タイミング
000: トリガー出力禁止	常にダブルバッファ後段更新
001: ダウンカウント時の一致でトリガー出力	キャリアーピーク(PMDxCNT<MDCNT[15:0]>とPMDxMDPRD<MDPRD[15:0]>との一致)でダブルバッファ後段更新
010: アップカウント時の一致でトリガー出力	キャリアーボトム(PMDxCNT<MDCNT[15:0]>と"0x0001"との一致)でダブルバッファ後段更新
011: アップおよびダウンカウント時の一致でトリガー出力	キャリアーのピークとボトムでダブルバッファ後段更新
100: PWM キャリアーピークでトリガー出力	常にダブルバッファ後段更新
101 :PWM キャリアーボトムでトリガー出力	
110: PWM キャリアーピークおよびボトムでトリガー出力	
111: トリガー出力禁止	

## 12.3.9.2. トリガー出力パターン

トリガー出力モードをトリガー固定出力モードに設定(PMDxTRGMD<TRGOUT> = "0")すると ADC 同期トリガー信号(PMDxTRGn)は下記のように出力されます。

- PMDxMDCNT<MDCNT[15:0]>と PMDxTRGCMPn<TRGCMPn[15:0]>が一致したときに、PMDxTRGSEL<TRGSEL[2:0]>によらず、ADC 同期トリガー信号(PMDxTRGn)に出力されます。

トリガー選択出力モードに設定(PMDxTRGMD<TRGOUT> = "1")すると、ADC 同期トリガー信号(PMDxTRGn)は下記のように出力されます。

- PMDxMDCNT<MDCNT[15:0]>と PMDxTRGCMP0<TRGCMP0[15:0]>が一致したときに、PMDxTRGSEL<TRGSEL[2:0]>で選択した ADC 同期トリガー信号(PMDxTRGn)に出力されます。

表 12.5 トリガー出力

PMDxTRGMD <TRGOUT>	PMDxTRGCMPn コンペアレジスター	PMDxTRGSEL <TRGSEL[2:0]>	ADC同期トリガー出力
0	PMDxTRGCMP0	-	PMDxTRG0
	PMDxTRGCMP1		PMDxTRG1
	PMDxTRGCMP2		PMDxTRG2
	PMDxTRGCMP3		PMDxTRG3
1	PMDxTRGCMP0	000	PMDxTRG0
		001	PMDxTRG1
		010	PMDxTRG2
		011	PMDxTRG3
		100	PMDxTRG4
		101	PMDxTRG5
	PMDxTRGCMP1	-	トリガー出力なし
	PMDxTRGCMP2		トリガー出力なし
	PMDxTRGCMP3		トリガー出力なし

注) -: Don't care

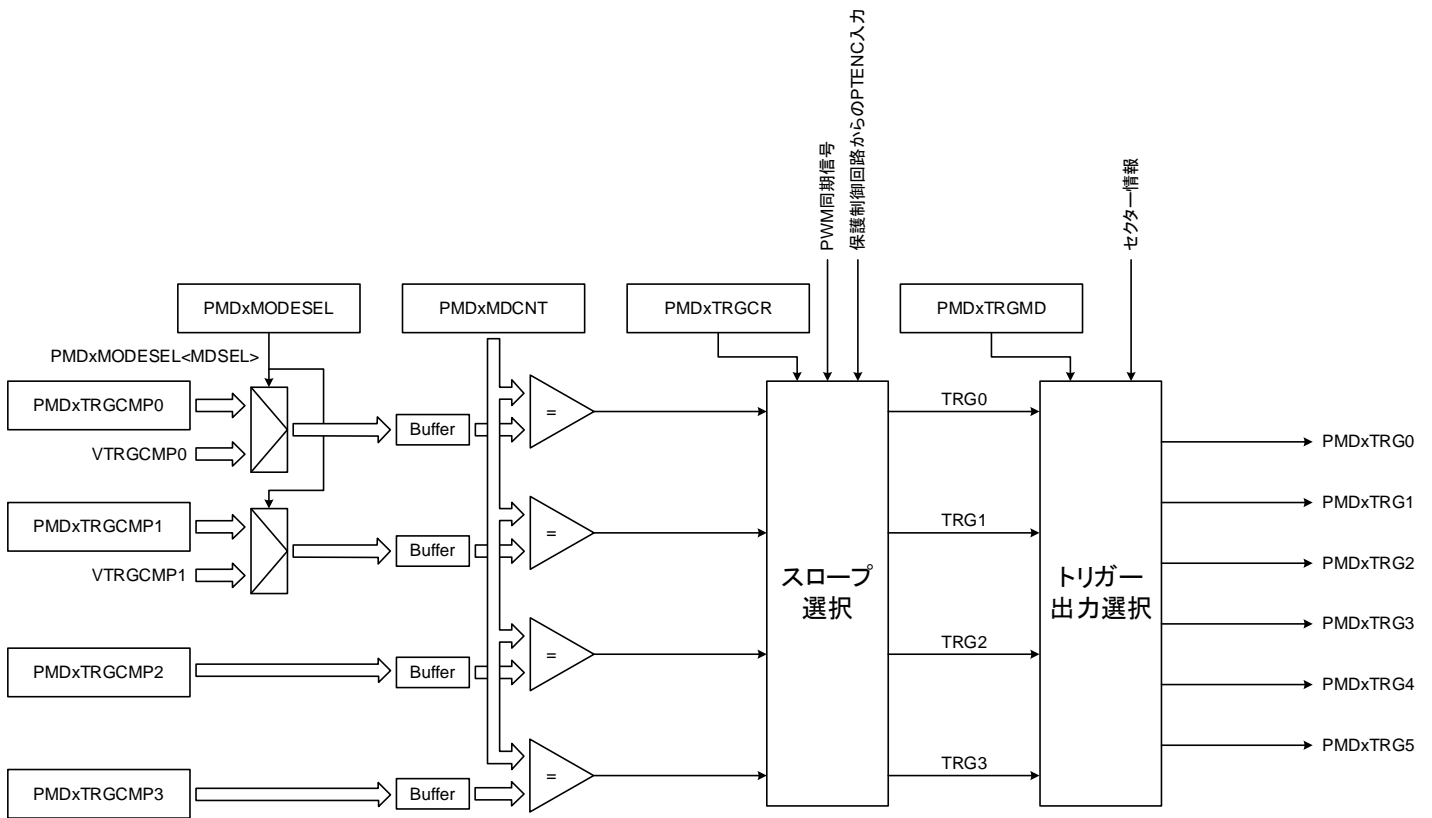


図 12.8 同期トリガー生成回路

### 12.3.9.3. PMDxTRGCMPn(トリガーコンペアレジスターn) (n = 0 ~ 3)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TRGCMPn							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TRGCMPn							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:0	TRGCMPn[15:0]	R	リード時はダブルバッファ前段の値(バスから設定したデータ)が読めます。
		W	トリガーコンペアレジスター "0x0001" ~ PMDxMDPRD<MDPRD[15:0]> - 1 上記以外: 設定禁止 PWMカウンタPMDxCNT<MDCNT[15:0]>とPMDxTRGCMPn<TRGCMPn[15:0]>が一致するとトリガー信号TRGnを出力します。

注 1) 本レジスタに書き込んだデータをダブルバッファ後段に直ちにロードする場合は、PMDxMODESEL<MDSEL>"0"を設定します。

注 2) このレジスタへのバイト転送命令による書き込み(上位 8bit([15:8])、下位 8bit([7:0])を別々に書き込む)をしないでください。

注 3) PMDxMDCR<PWMMD>に"0"(PWM モード 0)を設定し、PMDxTRGCMPn<TRGCMPn>に"0x0001"を設定すると、PMDxMDEN<PWMEN>に"1"を設定した後の最初の 1 周期はトリガー信号 TRGn が出力されません。

## 12.3.9.4. PMDxTRGCR(トリガーコントロールレジスター)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	TRG3BE	TRG3MD			TRG2BE	TRG2MD		
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	TRG1BE	TRG1MD			TRG0BE	TRG0MD		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15	TRG3BE	R/W	PMDxTRGCMP3のダブルバッファ後段の更新タイミング選択(注1) 0: 同期更新(注2) 1: 非同期更新(書き込み後、直ちに転送されます)
14:12	TRG3MD[2:0]	R/W	PMDxTRGCMP3のモード設定 000: トリガー出力禁止 001: ダウンカウント時の一致でトリガー出力 010: アップカウント時の一致でトリガー出力 011: アップおよびダウンカウント時の一致でトリガー出力 100: PWMキャリアピークでトリガー出力 101: PWMキャリアボトムでトリガー出力 110: PWMキャリアピークおよびボトムでトリガー出力 111: トリガー出力禁止 トリガー出力TRG3の一致モードを選択します。 PMDxMDCR<PMDMD>でPWMモード0(ノコギリ波)を選択したときには、ダウンカウントの一致またはキャリアボトムを選択しても、アップカウント時の一致またはキャリアピークでの出力となります。 PMDxTRGCMP3<TRGCMP3[15:0]>に"0x0001"を設定し、かつPMDxMDCR<PMMMD>でモード1(三角波)を選択したときには、PMDxTRGCR<TRG3MD[2:0]>に"011"を設定すると、トリガー出力は1周期に1回となります。
11	TRG2BE	R/W	PMDxTRGCMP2のダブルバッファ後段の更新タイミング選択(注1) 0: 同期更新(注2) 1: 非同期更新(書き込み後、直ちに転送されます)
10:8	TRG2MD[2:0]	R/W	PMDxTRGCMP2のモード設定 000: トリガー出力禁止 001: ダウンカウント時の一致でトリガー出力 010: アップカウント時の一致でトリガー出力 011: アップおよびダウンカウント時の一致でトリガー出力 100: PWMキャリアピークでトリガー出力 101: PWMキャリアボトムでトリガー出力 110: PWMキャリアピークおよびボトムでトリガー出力 111: トリガー出力禁止 トリガー出力TRG2の一致モードを選択します。 PMDxMDCR<PMDMD>でPWMモード0(ノコギリ波)を選択したときには、ダウンカウントの一致またはキャリアボトムを選択しても、アップカウント時の一致またはキャリアピークでの出力となります。 PMDxTRGCMP2<TRGCMP2[15:0]>に"0x0001"を設定し、かつPMDxMDCR<PMMMD>でモード1(三角波)を選択したときには、PMDxTRGCR<TRG2MD[2:0]>に"011"を設定すると、トリガー出力は1周期に1回となります。

7	TRG1BE	R/W	<p>PMDxTRGCMP1のダブルバッファ後段の更新タイミング選択(注1)</p> <p>0: 同期更新(注2)</p> <p>1: 非同期更新(書き込み後、直ちに転送されます)</p>
6:4	TRG1MD[2:0]	R/W	<p>PMDxTRGCMP1のモード設定</p> <p>000: トリガー出力禁止</p> <p>001: ダウンカウント時の一致でトリガー出力</p> <p>010: アップカウント時の一致でトリガー出力</p> <p>011: アップおよびダウンカウント時の一致でトリガー出力</p> <p>100: PWMキャリアピークでトリガー出力</p> <p>101: PWMキャリアボトムでトリガー出力</p> <p>110: PWMキャリアピークおよびボトムでトリガー出力</p> <p>111: トリガー出力禁止</p> <p>トリガー出力TRG1の一致モードを選択します。</p> <p>PMDxMDCR&lt;PMDMD&gt;でPWMモード0(ノコギリ波)を選択したときには、ダウンカウントの一致またはキャリアボトムを選択しても、アップカウント時の一致またはキャリアピークでの出力となります。</p> <p>PMDxTRGCMP1&lt;TRGCMP1[15:0]&gt;に"0x0001"を設定し、かつPMDxMDCR&lt;PMMMD&gt;でモード1(三角波)を選択したときには、PMDxTRGCR&lt;TRG1MD[2:0]&gt;に"011"を設定すると、トリガー出力は1周期に1回となります。</p>
3	TRG0BE	R/W	<p>PMDxTRGCMP0のダブルバッファ後段の更新タイミング選択(注1)</p> <p>0: 同期更新(注2)</p> <p>1: 非同期更新(書き込み後、直ちに転送されます)</p>
2:0	TRG0MD[2:0]	R/W	<p>PMDxTRGCMP0のモード設定</p> <p>000: トリガー出力禁止</p> <p>001: ダウンカウント時の一致でトリガー出力</p> <p>010: アップカウント時の一致でトリガー出力</p> <p>011: アップおよびダウンカウント時の一致でトリガー出力</p> <p>100: PWMキャリアピークでトリガー出力</p> <p>101: PWMキャリアボトムでトリガー出力</p> <p>110: PWMキャリアピークおよびボトムでトリガー出力</p> <p>111: トリガー出力禁止</p> <p>トリガー出力TRG0の一致モードを選択します。</p> <p>PMDxMDCR&lt;PMDMD&gt;でPWMモード0(ノコギリ波)を選択したときには、ダウンカウントの一致またはキャリアボトムを選択しても、アップカウント時の一致またはキャリアピークでの出力となります。</p> <p>PMDxTRGCMP0&lt;TRGCMP0[15:0]&gt;に"0x0001"を設定し、かつPMDxMDCR&lt;PMMMD&gt;でモード1(三角波)を選択したときには、PMDxTRGCR&lt;TRG0MD[2:0]&gt;に"011"を設定すると、トリガー出力は1周期に1回となります。</p>

注 1) PMDxMDEN<PWMEN>が"0"のときは、設定に関わらず非同期更新になります。

注 2) 更新タイミングは「表 12.4 トリガーコンペアレジスターの後段バッファ更新タイミング」を参照してください。

## 12.3.9.5. PMDxTRGMD(トリガー出力モード設定レジスター)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	TRGOUT	EMGTGE
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:2	-	R	リードすると"0"が読めます。
1	TRGOUT	R/W	トリガー出力モード 0: トリガー固定出力モード 1: トリガー選択出力モード トリガー固定出力モードでは、トリガー出力PMDxTRG0 ~ PMDxTRG3はそれぞれ、PWMカウンターPMDxCNT <MDCNT[15:0]>がPMDxTRGCMP0<TRGCMP0> ~ PMDxTRGCMP3<TRGCMP3>と一致するとトリガー信号を出力します。PMDxTRG4、PMDxTRG5は出力されません。 トリガー選択出力モードでは、PWMカウンターPMDxCNT<MDCNT[15:0]>がPMDxTRGCMP0<TRGCMP0>と一致すると出力されるトリガー信号をトリガー出力PMDxTRG0 ~ PMDxTRG5のいずれかに出力します。トリガー出力はPMDxTRGSEL<TRGSEL[2:0]>で選択します。(注)
0	EMGTGE	R/W	EMG保護動作中の出力許可設定 0: 保護動作時トリガー出力禁止 1: 保護動作時トリガー出力許可

注) PMDxTRGMD<TRGOUT>に"1"を設定したときの、トリガー出力については「表 12.5 トリガー出力」を参照してください。

## 12.3.9.6. PMDxTRGSEL(トリガー出力選択)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	TRGSEL		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:3	-	R	リードすると"0"が読めます。
2:0	TRGSEL[2:0]	R/W	<p>トリガー出力選択</p> <p>000: PMDxTRG0より出力 001: PMDxTRG1より出力 010: PMDxTRG2より出力 011: PMDxTRG3より出力 100: PMDxTRG4より出力 101: PMDxTRG5より出力 110: トリガー出力しない 111: トリガー出力しない</p> <p>トリガー選択出力がトリガー選択出力モードのとき(PMDxTRGMD&lt;TRGOUT&gt; =1)、有効となります。PWMカウンタPMDxCNT&lt;MDCNT[15:0]&gt;がPMDxTRGCMP0&lt;TRGCMP0&gt;一致すると出力されるトリガー信号の出力先を選択します。(表 12.5を参照してください。)</p>

## 13. ベクトルエンジン(VE)

### 13.1. 概要

#### 13.1.1. 特徴

- (1) ベクトル制御で実行される基本的な処理(座標軸変換、相変換、SIN/COS 演算)の組み込み演算処理は固定小数点形式データで行われます。  
→ソフトウェア処理では面倒な小数点位置管理不要
- (2) PMD と ADC を制御するインターフェース(出力制御、トリガー生成、入力処理)の組み込み
  - 固定小数点形式の演算結果を PMD の設定データ形式に変換
  - 連携動作タイミングデータの生成
  - AD 変換結果を固定少数点形式のデータに変換
- (3) 電流、電圧、回転速度をそれぞれの最大値を基準に正規化した値で演算  
この場合、小数は固定小数点形式
- (4) 電流制御に PI 制御の組み込み
- (5) 回転速度を積分する位相補間の組み込み

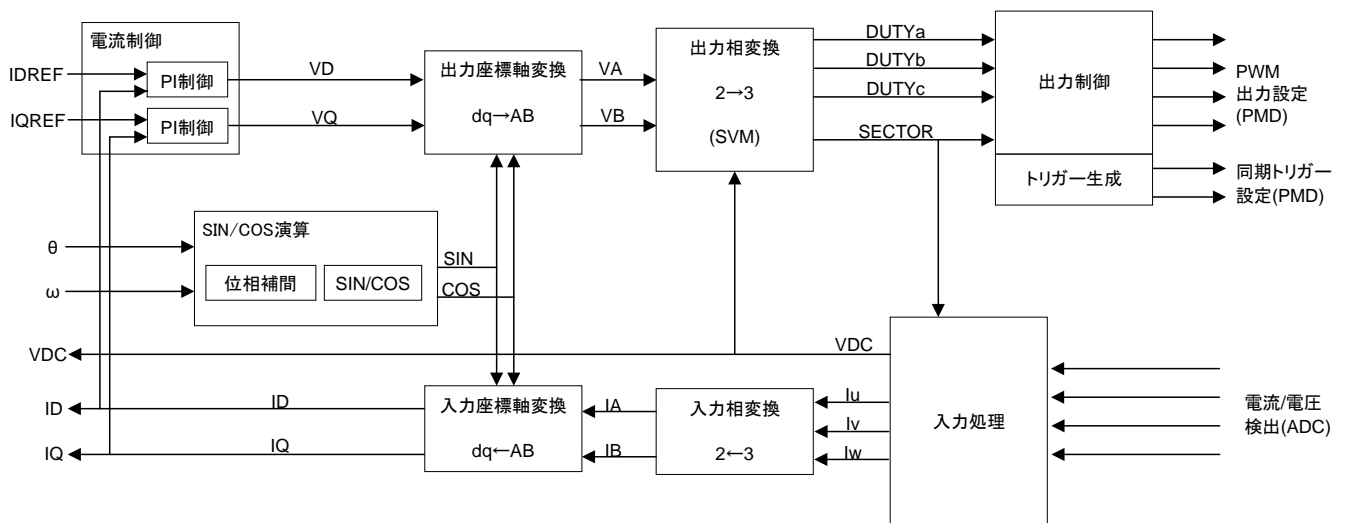


図 13.1 ベクトル制御の構成

## 13.1.2. 主な機能

- (1) 2相から3相への相変換には、空間ベクトル変換を採用。変換方式は、2相変調と3相変調に対応します。
- (2) トリガー生成では、センサーレス電流検出方式に対応するADCのサンプリングタイミングを生成可能。電流検出は1シャント方式、3シャント方式および2センサー方式に対応します。
- (3) 電流制御には、d軸とq軸に独立したPI制御を採用。電流制御処理を使用しないで直接電圧指令することも可能です。
- (4) SIN/COS演算には、級数展開を使った近似式を採用。位相指定は直接設定と回転速度からPWM周期で積分する位相補間が可能です。

注1) VEを使用する場合はPMDおよびADCの設定が必要です。PMDの設定は、モード選択レジスタ(PMDxMODESEL)でVEモードを選択します。

注2) ADCの設定は、PMDからの同期トリガー毎のプログラム(トリガー許可、AIN選択、結果レジスタ選択)を設定します。

## 13.2. 構成

VEの構成を図13.2に示します。

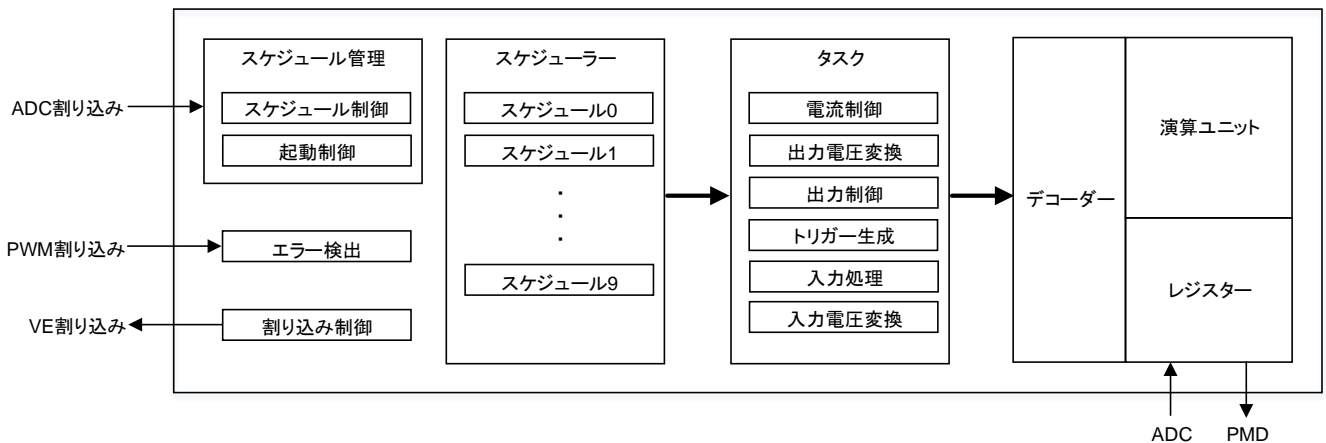


図 13.2 VE構成

### 13.2.1. VE と PMD および ADC の関連

VE は図 13.3 に示すように PMD および ADC と直接データの受け渡しができます。

PMD レジスタの PMDxCMPU、PMDxCMPV、PMDxCMPW、PMDxMDOUT、PMDxTRGCMP0、PMDxTRGCMP1、PMDxTRGSEL は PMDxMODESEL で VE モードに設定すると、それぞれ VE レジスタの VECMPU<sub>x</sub>、VECMPV<sub>x</sub>、VECMPW<sub>x</sub>、VEOUTCR<sub>x</sub>、VETRGCMP0<sub>x</sub>、VETRGCMP1<sub>x</sub>、VETRGSEL<sub>x</sub> に切り替わります。この場合、CPU から PMD の該当レジスタの書き込みによる制御はできず、VE からの書き込みで制御します。その他の PMD のレジスタについては読み書き制限はありません。

ADC レジスタの ADxREG0、ADxREG1、ADxREG2、ADxREG3、ADxPSETn<UVWISn0[1:0]>、<UVWISn1[1:0]>、<UVWISn2[1:0]>、<UVWISn3[1:0]>はそれぞれ VE レジスタの VEADREG0<sub>x</sub>、VEADREG1<sub>x</sub>、VEADREG2<sub>x</sub>、VEADREG3<sub>x</sub>、VEPHNUM0<sub>x</sub>、VEPHNUM1<sub>x</sub>、VEPHNUM2<sub>x</sub>、VEPHNUM3<sub>x</sub>(これらは CPU からアクセスできない専用レジスタ)に読み込まれます。CPU から ADC のレジスタへの読み書きの制限はありません。

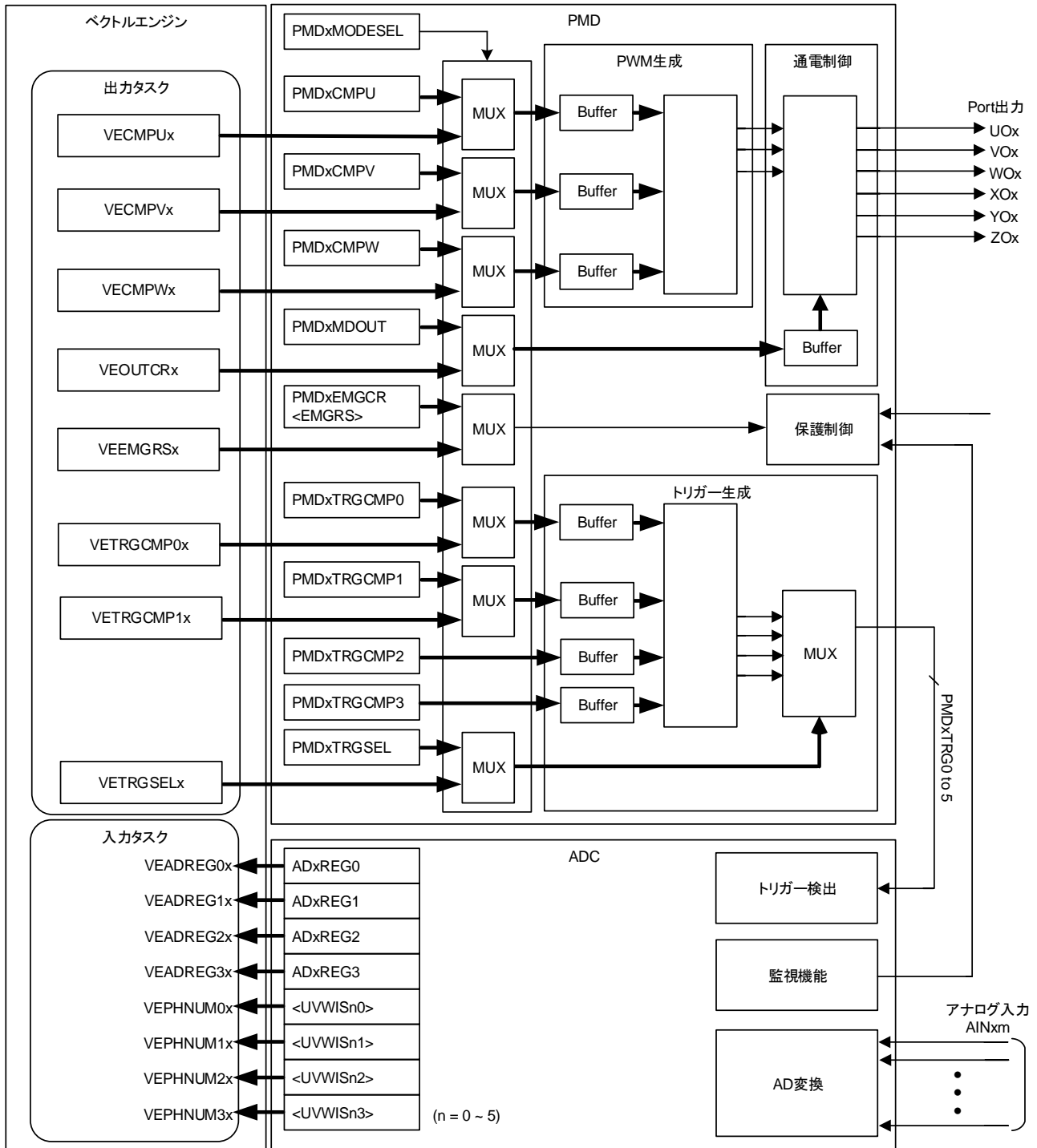


図 13.3 VEとPMDおよびADCの関連図

### 13.3. レジスタ—説明

VE は下記のとおり、3つのレジスタ—が存在します。

- VE 制御レジスタ—  
VE 制御用レジスタ—およびテンポラリ—レジスタ—
- 共通レジスタ—  
チャンネルで共通に使用するレジスタ—
- 専用レジスタ—  
チャンネル毎の演算データおよび演算制御レジスタ—

#### 13.3.1. レジスタ—一覧

##### 13.3.1.1. VE 制御レジスタ—

レジスタ—名		Address (Base+)
VE動作許可/禁止レジスタ—	VEEN	0x0000
CPU起動トリガ—選択レジスタ—	VECPURUNTRG	0x0004
タスク指定レジスタ—	VETASKAPP	0x0008
動作スケジュール選択レジスタ—	VEACTSCH	0x000C
動作スケジュール繰返し回数指定レジスタ—	VEREPTIME	0x0010
起動トリガ—モード設定レジスタ—	VETRGMODE	0x0014
エラー割り込み許可/禁止設定レジスタ—	VEERRINTEN	0x0018
VE強制終了レジスタ—	VECOMPEND	0x001C
エラー検出レジスタ—	VEERRDET	0x0020
スケジュール動作状態/実行中タスク番号レジスタ—	VESCHTASKRUN	0x0024
Reserved	-	0x0028
テンポラリ—0レジスタ—	VETMPREG0	0x002C
テンポラリ—1レジスタ—	VETMPREG1	0x0030
テンポラリ—2レジスタ—	VETMPREG2	0x0034
テンポラリ—3レジスタ—	VETMPREG3	0x0038
テンポラリ—4レジスタ—	VETMPREG4	0x003C
テンポラリ—5レジスタ—	VETMPREG5	0x0040
Reserved	-	0x01BC

注) "Reserved"表記のアドレスにはアクセスしないでください。

### 13.3.1.2. 共通レジスタ

レジスタ名		Address (Base+)
Reserved	-	0x0174
AD変換時間設定(PWM クロック基準)レジスタ	VETADC	0x0178

注) "Reserved"表記のアドレスにはアクセスしないでください。

### 13.3.1.3. 専用レジスタ

レジスタ名		Address (Base+)
ステータスフラグレジスタ	VEMCTLFx	0x0000
タスク制御モードレジスタ	VEMODEx	0x0004
フロー制御レジスタ	VEFMODEx	0x0008
PWM周期レート (PWM周期[s] × 最大速度(注1) × 2 <sup>16</sup> ) 設定レジスタ	VEPWMx	0x000C
回転速度(速度[Hz] ÷ 最大速度(注1) × 2 <sup>15</sup> )設定 レジスタ	VEOMEGAx	0x0010
モーター位相(モーター位相[deg] ÷ 360 × 2 <sup>16</sup> )設定 レジスタ	VEHETAx	0x0014
d軸基準電流値(電流[A] ÷ 最大電流(注2) × 2 <sup>15</sup> ) 設定レジスタ	VEIDREFx	0x0018
q軸基準電流値(電流[A] ÷ 最大電流(注2) × 2 <sup>15</sup> ) 設定レジスタ	VEIQREFx	0x001C
d軸電圧(電圧[V] ÷ 最大電圧(注3) × 2 <sup>31</sup> )設定 レジスタ	VEVDx	0x0020
q軸電圧(電圧[V] ÷ 最大電圧(注3) × 2 <sup>31</sup> )設定 レジスタ	VEVQx	0x0024
d軸電流制御PI制御積分項係数設定レジスタ	VECIDKix	0x0028
d軸電流制御PI制御比例項係数設定レジスタ	VECIDKPx	0x002C
q軸電流制御PI制御積分項係数設定レジスタ	VECIQKix	0x0030
q軸電流制御PI制御比例項係数設定レジスタ	VECIQKPx	0x0034
d軸電圧積分項保持(VDIの上位32bit)レジスタ	VEVDIHx	0x0038
d軸電圧積分項保持(VDIの下位32bit)レジスタ	VEVDILHx	0x003C
q軸電圧積分項保持(VQIの上位32bit)レジスタ	VEVQIHx	0x0040
q軸電圧積分項保持(VQIの下位32bit)レジスタ	VEVQILHx	0x0044
2相変調でシフトPWM許可時の回転速度 レジスタ	VEFPWMCHGx	0x0048
PWM周期設定(PMDのPWM周期設定と同じ値を 設定)レジスタ	VEMDPRDx	0x004C

レジスタ名		Address (Base+)
最小パルス幅差設定レジスタ	VEMINPLSx	0x0050
同期トリガー補正量設定レジスタ	VETRGCRCx	0x0054
Reserved	-	0x0058
THETAでの余弦値出力変換用(Q15データ)レジスタ	VECOSx	0x005C
THETAでの正弦値出力変換用(Q15データ)レジスタ	VESINx	0x0060
前回の余弦値入力処理用(Q15データ)レジスタ	VECOSMx	0x0064
前回の正弦値入力処理用(Q15データ)レジスタ	VESINMx	0x0068
セクター情報レジスタ	VESECTORx	0x006C
前回セクター情報レジスタ	VESECTORMx	0x0070
a相ゼロ電流検出時のAD変換結果レジスタ(注4)	VEIAOx	0x0074
b相ゼロ電流検出時のAD変換結果レジスタ(注4)	VEIBOx	0x0078
c相ゼロ電流検出時のAD変換結果レジスタ(注4)	VEICOx	0x007C
a相電流AD変換結果レジスタ(注4)	VEIAADCx	0x0080
b相電流AD変換結果レジスタ(注4)	VEIBADCx	0x0084
c相電流AD変換結果レジスタ(注4)	VEICADCx	0x0088
DC電源電圧(電圧[V] ÷ 最大電圧(注3) × 2 <sup>15</sup> )レジスタ	VEVDCx	0x008C
d軸電流(電流[A] ÷ 最大電流(注2) × 2 <sup>31</sup> )レジスタ	VEIDx	0x0090
q軸電流(電流[A] ÷ 最大電流(注2) × 2 <sup>31</sup> )レジスタ	VEIQx	0x0094
PMD制御: U相PWMパルス幅設定レジスタ	VECMPUx	0x00C0
PMD制御: V相PWMパルス幅設定レジスタ	VECMPVx	0x00C4
PMD制御: W相PWMパルス幅設定レジスタ	VECMPWx	0x00C8
PMD制御: 6相出力制御レジスタ	VEOUTCRx	0x00CC
PMD制御: トリガータイミング設定(TRGCMP0)レジスタ	VETRGCMP0x	0x00D0
PMD制御: トリガータイミング設定(TRGCMP1)レジスタ	VETRGCMP1x	0x00D4
PMD制御: 同期トリガー指定レジスタ	VETRGSSELx	0x00D8
PMD制御: EMG復帰設定レジスタ	VEEMGRSx	0x00DC

注 1) 最大速度: 制御あるいは動作可能な最大回転数[Hz]

注 2) 最大電流: 相電流の AD 変換結果をゼロレベル補正した後に"0x7FF0"になる場合の電流値[A]

注 3) 最大電圧: 電源電圧(VDC)の AD 変換結果が"0xFFFF0"になる場合の電圧値[V]

注 4) AD 変換結果は 16bit レジスターの上位 12bit に保存されます

注 5) "Reserved"表記のアドレスにはアクセスしないでください。

## 13.3.2. VE 制御レジスター

### 13.3.2.1. VEEN(VE 動作許可/禁止レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	-	-	-	-	-	-	VEIDLEN	VEEN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:2	-	R	リードすると"0"が読めます。
1	VEIDLEN	R/W	IDLEモード時のクロック動作制御 0: 停止 1: 動作
0	VEEN	R/W	VE動作制御 0: 禁止 1: 許可

### 13.3.2.2. VECPURUNTRG(CPU 起動トリガー選択レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	-	-	-	-	-	-	VCPURTB	VCPURTA
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:2	-	R	リードすると"0"が読めます。
1	VCPURTB	R	リードすると"0"が読めます。
		W	VE ch1をソフトウェアで起動(注1) 0: - 1: 動作開始
0	VCPURTA	R	リードすると"0"が読めます。
		W	VE ch0をソフトウェアで起動(注1) 0: - 1: 動作開始

注 1) "1"を書き込んでも、次のサイクルでクリアされます。

注 2) 動作開始されるタスクは VETASKAPP と VEACTSCH の設定により決まります。

注 3) スケジュール実行中に、同じチャンネルのタスクを再起動する場合、VECOMPEND で対応するチャンネルを強制終了してから、再度、VECPURUNTRG で動作を開始させてください。

### 13.3.2.3. VETASKAPP(タスク指定レジスタ)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	VTASKB				VTASKA			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:8	-	R	リードすると"0"が読めます。
7:4	VTASKB[3:0]	R/W	VEの開始タスクを指定 0x0: 出力制御 0x1: トリガー生成 0x2: 入力処理 0x3: 入力相変換 0x4: 入力座標軸変換 0x5: 電流制御 0x6: SIN/COS演算 0x7: 出力座標軸変換 0x8: 出力相変換 0x9 ~ 0xF: 設定禁止 VE ch1をソフトウェアで起動するときの開始タスクを指定します。
3:0	VTASKA[3:0]	R/W	VEの開始タスクを指定 0x0: 出力制御 0x1: トリガー生成 0x2: 入力処理 0x3: 入力相変換 0x4: 入力座標軸変換 0x5: 電流制御 0x6: SIN/COS演算 0x7: 出力座標軸変換 0x8: 出力相変換 0x9 ~ 0xF: 設定禁止 VE ch0をソフトウェアで起動するときの開始タスクを指定します。

注) 動作スケジュールに含まれているタスク以外を指定しないでください。

### 13.3.2.4. VEACTION(動作スケジュール選択レジスタ)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	VACTB				VACTA			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:8	-	R	リードすると"0"が読めます。
7:4	VACTB[3:0]	R/W	VE ch1の動作スケジュールを指定 0x0: タスク実行 0x1: スケジュール1 0x4: スケジュール4 0x9: スケジュール9 その他: 設定禁止
3:0	VACTA[3:0]	R/W	VE ch0の動作スケジュールを指定 0x0: タスク実行 0x1: スケジュール1 0x4: スケジュール4 0x9: スケジュール9 その他: 設定禁止

### 13.3.2.5. VEREPTIME(動作スケジュール繰り返し回数指定レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	VREPB				VREPA			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:8	-	R	リードすると"0"が読めます。
7:4	VREPB[3:0]	R/W	VE ch1動作スケジュールの繰り返し回数指定(注) 0: スケジュール実行しない 1 ~ 15: 設定回数だけスケジュール実行する
3:0	VREPA[3:0]	R/W	VE ch0動作スケジュールの繰り返し回数指定(注) 0: スケジュール実行しない 1 ~ 15: 設定回数だけスケジュール実行する

注) "0"設定時はスケジュール動作しません。

### 13.3.2.6. VETRGMODE(起動トリガーモード設定レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	-	-	-	-	VTRGB		VTRGA	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:4	-	R	リードすると"0"が読めます。
3:2	VTRGB[1:0]	R/W	VE ch1のトリガーモード 00: INTADAPDB(ADCユニットA、PMD ch1トリガー変換終了割り込み)、INTADBPDB(ADCユニットB、PMD ch1トリガー変換終了割り込み)とも無視 01: INTADAPDB(ADCユニットA、PMD ch1トリガー変換終了割り込み)で起動 10: INTADBPDB(ADCユニットB、PMD ch1トリガー変換終了割り込み)割り込みで起動 11: INTADAPDB(ADCユニットA、PMD ch1トリガー変換終了割り込み)、INTADBPDB(ADCユニットB、PMD ch1トリガー変換終了割り込み)(ADC ユニットB)両方が揃うと起動
1:0	VTRGA[1:0]	R/W	VE ch0のトリガーモード 00: INTADAPDA(ADCユニットA、PMD ch0トリガー変換終了割り込み)、INTADBPDA(ADCユニットB、PMD ch0トリガー変換終了割り込み)とも無視 01: INTADAPDA(ADCユニットA、PMD ch0トリガー変換終了割り込み)で起動 10: INTADBPDA(ADCユニットB、PMD ch0トリガー変換終了割り込み)割り込みで起動 11: INTADAPDA(ADCユニットA、PMD ch0トリガー変換終了割り込み)、INTADBPDA(ADCユニットB、PMD ch0トリガー変換終了割り込み)(ADC ユニットB)両方が揃うと起動

### 13.3.2.7. VEERRINTEN(エラー割り込み許可/禁止設定レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	-	-	-	-	-	-	VERRENB	VERRENA
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:2	-	R	リードすると"0"が読めます。
1	VERRENB	R/W	VE ch1エラー検出時の割り込み制御 0: 禁止 1: 許可
0	VERRENA	R/W	VE ch0エラー検出時の割り込み制御 0: 禁止 1: 許可

### 13.3.2.8. VECOMPEND(VE 強制終了レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	-	-	-	-	-	-	VCENDB	VCENDA
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:2	-	R	リードすると"0"が読めます。
1	VCENDB	R	リードすると"0"が読めます。
		W	VE ch1動作中のスケジュール強制終了(注) 0: - 1: 停止
0	VCENDA	R	リードすると"0"が読めます。
		W	VE ch0動作中のスケジュール強制終了(注) 0: - 1: 停止

注) "1"を書き込んでも次のサイクルでクリアされます。

### 13.3.2.9. VEERRDET(エラー検出レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	-	-	-	-	-	-	VERRDB	VERRDA
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:2	-	R	リードすると"0"が読めます。
1	VERRDB	R	VE ch1エラーフラグ 0: エラー未検出 1: エラー検出 スケジュールを実行中(起動トリガー待ちを含まない)にPWM割り込みを検知するとエラーフラグに"1"がセットされます。
0	VERRDA	R	VE ch0エラーフラグ 0: エラー未検出 1: エラー検出 スケジュールを実行中(起動トリガー待ちを含まない)にPWM割り込みを検知するとエラーフラグに"1"がセットされます。

注) エラーフラグはレジスターをリードするとクリアされます。

### 13.3.2.10. VESCHTASKRUN(スケジュール動作状態/実行中タスク番号レジスタ)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	VRTASKB	
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	VRTASKB		VRSCHB	VRTASKA				VRSCHA
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:10	-	R	リードすると"0"が読めます。
9:6	VRTASKB[3:0]	R	VE ch1の実行中タスク番号 0x0: 出力制御 0x1: トリガー生成 0x2: 入力処理 0x3: 入力相変換 0x4: 入力座標軸変換 0x5: 電流制御 0x6: SIN/COS演算 0x7: 出力座標軸変換 0x8: 出力相変換 0x9 ~ 0xF: 設定禁止
5	VRSCHB	R	VE ch1スケジュール動作状態 0: 停止 1: 実行中
4:1	VRTASKA[3:0]	R	VE ch0の実行中タスク番号 0x0: 出力制御 0x1: トリガー生成 0x2: 入力処理 0x3: 入力相変換 0x4: 入力座標軸変換 0x5: 電流制御 0x6: SIN/COS演算 0x7: 出力座標軸変換 0x8: 出力相変換 0x9 ~ 0xF: 設定禁止
0	VRSCHA	R	VE ch0スケジュール動作状態 0: 停止 1: 実行中

### 13.3.2.11. VETMPREGn(テンポラリーn レジスタ)(n = 0 ~ 5)

	31	30	29	28	27	26	25	24
Bit symbol	TMPREGn							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	TMPREGn							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	TMPREGn							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	TMPREGn							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:0	TMPREGn[31:0]	R/W	テンポラリーnレジスタ

## 13.3.3. 共通レジスタ

### 13.3.3.1. VETADC(AD 変換時間設定(PWM クロック基準)レジスタ)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	TADC							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	TADC							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:0	TADC[15:0]	R/W	AD変換時間 "0x0000" ~ "0xFFFF": (AD変換時間[s] ÷ PWMカウンタークロック周期[s]を設定)

注) 1 シャント電流検出方式でシフト PWM 許可時に有効

## 13.3.4. 専用レジスタ

### 13.3.4.1. VEMCTLFx(ステータスフラグレジスタ)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	-	-	PLSLFM	PLSLF	-	LVTF	LAVFM	LAVF
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:8	-	R	リードすると"0"が読めます。
7:6	-	R/W	"0"をライトしてください。
5	PLSLFM	R/W	<PLSLF>の前回値
4	PLSLF	R/W	パルス幅最小フラグ 0: 最小パルス幅差 $\geq$ VEMINPLSx<MINPLS>の場合 1: 最小パルス幅差 < VEMINPLSx<MINPLS>の場合
3	-	R/W	"0"をライトしてください。
2	LVTF	R/W	電源電圧低下フラグ 0: VEVDCx<VDC> $\geq$ 1/128の場合 1:VEVDCx<VDC> < 1/128の場合
1	LAVFM	R/W	VEMCTLFx<LAVF>の前回値
0	LAVF	R/W	低速度フラグ 0: VEOMEGAx<OMEGA> $\geq$ VEFPWMCHGx<FPWMCHG>の場合(高速) 1: VEOMEGAx<OMEGA> < VEFPWMCHGx<FPWMCHG>の場合(低速)

## 13.3.4.2. VEMODEx(タスク制御モードレジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	-	-	-	-	OCRMD		ZIEN	PVIEN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:8	-	R	リードすると"0"が読めます。
7:4	-	R/W	"0"をライトしてください。
3:2	OCRMD[1:0]	R/W	出力制御動作 00: 出力オフ 01: 出力許可 10: 設定禁止 11: EMG復帰
1	ZIEN	R/W	ゼロ電流検出制御 0: 禁止 1: 許可
0	PVIEN	R/W	位相補間制御 0: 禁止 1: 許可

### 13.3.4.3. VEFMODEx(フロー制御レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	MREGDIS	CRGEN
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	ADCSEL		-	PMDSEL	IDMODE		SPWMEN	C2PEN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:10	-	R/W	"0"をライトしてください。
9	MREGDIS	R/W	SIN/COS/SECTOR前回値保持選択 0: 許可 1: 禁止 禁止時は、VESINMx = VESINx、VECOSMx = VECOSx、VESECTORMx = VESECTORx
8	CRGEN	R/W	トリガー補正許可 0: 禁止 1: 許可
7:6	ADCSEL[1:0]	R/W	使用ADCユニット選択 00: ユニットA 01: ユニットB 10: ユニットA、B 11: ユニットA、B  VEのチャンネルに合わせ以下のように設定してください。 VE ch0: 使用ADCユニット AまたはA、B VE ch1: 使用ADCユニット BまたはA、B
5	-	R/W	"0"をライトしてください。
4	PMDSEL	R/W	使用PMDチャンネル選択 0: チャンネル0 1: チャンネル1  VEのチャンネルに合わせ以下のように設定してください。 VE ch0: 使用PMDチャンネル チャンネル0 VE ch1: 使用PMDチャンネル チャンネル1
3:2	IDMODE	R/W	電流検出モード 00: 3シャント 01: 2センサー 10: 1シャント(PMDTRGアップカウンター(注)) 11: 1シャント(PMDTRGダウンカウンター(注))
1	SPWMEN	R/W	シフトPWM許可 0: 禁止 1: 許可
0	C2PEN	R/W	変調モード選択 0: 3相変調 1: 2相変調

注) 1 シャントモード使用時の PMDTRG の設定値は、下記を参照してください。

VEFMODEx <IDMODE[1:0]>	PMDxTRGCR <TRG0MD[2:0]>	PMDxTRGCR <TRG1MD[2:0]>
10	010(アップカウント)	010(アップカウント)
10	101(キャリアーボトム)	010(アップカウント)
11	001(ダウンカウント)	001(ダウンカウント)
11	001(ダウンカウント)	101(キャリアーボトム)

### 13.3.4.4. VETPWMx(PWM 周期レート(PWM 周期[s] × 最大速度 × 2<sup>16</sup>)設定レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	TPWM							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	TPWM							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:0	TPWM[15:0]	R/W	PWM周期レート設定、位相補間時の積分単位を設定、16ビット固定小数点データ"0.0" ~ "1.0" "0x0000" ~ "0xFFFF": PWM周期[s] × Max_Hz × 2 <sup>16</sup> PWM周波数と最大回転数との比を表します。 (Max_Hz: 最大回転数)

### 13.3.4.5. VEOMEGAx(回転速度(速度[Hz] ÷ 最大速度 × 2<sup>15</sup>)設定レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	OMEGA							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	OMEGA							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:0	OMEGA[15:0]	R/W	回転速度設定、16ビット固定小数点データ"-1.0" ~ "1.0" "0x0000" ~ "0xFFFF": 回転速度[Hz] ÷ Max_Hz × 2 <sup>15</sup> (Max_Hz: 最大回転数)

### 13.3.4.6. VETHETAx(モーター位相(モーター位相[deg] ÷ 360 × 2<sup>16</sup>)設定レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	THETA							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	THETA							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:0	THETA[15:0]	R/W	位相設定、16ビット固定小数点データ"0.0" ~ "1.0" 計算式: 位相[deg] ÷ 360 × 2 <sup>16</sup>

### 13.3.4.7. VEIDREFx(d 軸基準電流値(電流[A] ÷ 最大電流 × 2<sup>15</sup>)設定レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	IDREF							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	IDREF							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:0	IDREF[15:0]	R/W	d軸電流指令値16bit固定小数点データ"-1.0" ~ "1.0" "0x0000" ~ "0xFFFF"(d軸電流指令[A] ÷ Max_I × 2 <sup>15</sup> ) Max_I: (AD変換値が1LSB変化する相電流の変化量[A]) × 2 <sup>11</sup>

### 13.3.4.8. VEIQREFx(q 軸基準電流値(電流[A] ÷ 最大電流 × 2<sup>15</sup>)設定レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	IQREF							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	IQREF							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:0	IQREF[15:0]	R/W	q軸電流指令値16bit固定小数点データ"-1.0" ~ "1.0" "0x0000" ~ "0xFFFF"(q軸電流指令[A] ÷ Max_I × 2 <sup>15</sup> ) Max_I: (ACD変換値が1LSB変化する相電流の変化量[A]) × 2 <sup>11</sup>

### 13.3.4.9. VEVDx(d 軸電圧(電圧[V] ÷ 最大電圧 × 2<sup>31</sup>)設定レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	VD							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	VD							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	VD							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	VD							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:0	VD[31:0]	R/W	d軸電圧、32bit固定小数点データ"-1.0" ~ "1.0" "0x0000_0000" ~ "0xFFFF_FFFF"(d軸電圧 ÷ Max_V × 2 <sup>31</sup> ) Max_V: (AD変換値が1LSB変化する電源電圧の変化量[V]) × 2 <sup>12</sup>

### 13.3.4.10. VEVQx(q 軸電圧(電圧[V] ÷ 最大電圧 × 2<sup>31</sup>)設定レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	VQ							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	VQ							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	VQ							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	VQ							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:0	VQ[31:0]	R/W	q軸電圧、32bit固定小数点データ"-1.0" ~ "1.0" "0x0000_0000" ~ "0xFFFF_FFFF"(q軸電圧 ÷ Max_V × 2 <sup>31</sup> ) Max_V: (AD変換値が1LSB変化する電源電圧の変化量[V]) × 2 <sup>12</sup>

### 13.3.4.11. VECIDKlx(d 軸電流制御 PI 制御積分項係数設定レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	CIDKI							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	CIDKI							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます
15:0	CIDKI[15:0]	R/W	d軸PI制御積分係数"0x0000" ~ "0xFFFF"

### 13.3.4.12. VECIDKPx(d 軸電流制御 PI 制御比例項係数設定レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	CIDKP							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	CIDKP							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます
15:0	CIDKP[15:0]	R/W	d軸PI制御比例係数"0x0000" ~ "0xFFFF"

### 13.3.4.13. VEVCIQIx(q 軸電流制御 PI 制御積分項係数設定レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	CIQKI							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	CIQKI							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます
15:0	CIQKI[15:0]	R/W	q軸PI制御積分係数"0x0000" ~ "0xFFFF"

### 13.3.4.14. VECIQKPx(q 軸電流制御 PI 制御比例項係数設定レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	CIQKP							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	CIQKP							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます
15:0	CIQKP[15:0]	R/W	q軸PI制御比例係数"0x0000" ~ "0xFFFF"

### 13.3.4.15. VEVDIHx(d 軸電圧積分項保持(VDI の上位 32bit)レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	VDIH							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	VDIH							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	VDIH							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	VDIH							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:0	VDIH[31:0]	R/W	d軸PI制御の積分項(VDI)の上位32bit

### 13.3.4.16. VEVdILHx(d 軸電圧積分項保持(VDI の下位 32bit)レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	VDILH							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	VDILH							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	VDILH[15:0]	R/W	d軸PI制御の積分項(VDI)の下位32bit、ただし下位16bitは"0x0000"固定
15:0	-	R	リードすると"0"が読めます。

注) VDI は 64bit 固定小数点データ(小数 63bit"-1.0" ~ "1.0")

### 13.3.4.17. VEVqIHx(q 軸電圧積分項保持(VQI の上位 32bit)レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	VQIH							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	VQIH							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	VQIH							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	VQIH							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:0	VQIH[31:0]	R/W	q軸PI制御の積分項(VQI)の上位32bit

### 13.3.4.18. VEVQILHx(q 軸電圧積分項保持(VQI)の下位 32bit)レジスター

	31	30	29	28	27	26	25	24
Bit symbol	VQILH							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	VQILH							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	VQILH[15:0]	R/W	q軸PI制御の積分項(VQI)の下位32bit、ただし下位16bitは"0x0000"固定
15:0	-	R	リードすると"0"が読めます。

注) VQI は 64bit 固定小数点データ(小数 63bit"-1.0" ~ "1.0")

### 13.3.4.19. VEFPWMCHGx(2 相変調でシフト PWM 許可時の回転速度レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	FPWMCHG							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	FPWMCHG							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:0	FPWMCHG[15:0]	R/W	シフトPWM許可時のPWM回転速度設定 回転速度[Hz] ÷ Max_Hz × 2 <sup>15</sup> を設定 (Max_Hz: 最大回転数[Hz])

### 13.3.4.20. VEMDPRDx(PWM 周期設定(PMD の PWM 周期設定と同じ値を設定)レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	VMDPRD							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	VMDPRD							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:0	VMDPRD[15:0]	R/W	PWM周期設定 PMDのPMDxMDPRDの値を設定します。

### 13.3.4.21. VEMINPLSx(最小パルス幅差設定レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	MINPLS							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	MINPLS							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:0	MINPLS[15:0]	R/W	最小パルス幅差(3相PWM(VECMPUx、VECMPVx、VECMPWx)のDuty差の最小値) 設定値: パルス幅差[s] ÷ PWMカウンタークロック周期[s]

### 13.3.4.22. VETRGCRcx(同期トリガー補正量設定レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	TRGCRC							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	TRGCRC							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:0	TRGCRC[15:0]	R/W	同期トリガータイミングを補正 設定値: 補正時間[s] ÷ PWMカウンタークロック周期[s]

### 13.3.4.23. VECOSx(THETA での余弦値出力変換用(Q15 データ)レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	COS							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	COS							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:0	COS[15:0]	R/W	THETA値での余弦値、16bit固定小数点データ"-1.0" ~ "1.0" "0x0000" ~ "0xFFFF"

### 13.3.4.24. VESINx(THETA での正弦値出力変換用(Q15 データ)レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	SIN							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	SIN							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:0	SIN[15:0]	R/W	THETA値での正弦値、16bit固定小数点データ"-1.0" ~ "1.0" "0x0000" ~ "0xFFFF"

### 13.3.4.25. VECOSMx(前回の余弦値入力処理用(Q15 データ)レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	COSM							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	COSM							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:0	COSM[15:0]	R/W	VECOSxの前回値保存 "0x0000" ~ "0xFFFF"

### 13.3.4.26. VESINMx(前回の正弦値入力処理用(Q15 データ)レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	SINM							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	SINM							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:0	SINM[15:0]	R/W	VESINxの前回値保存 "0x0000" ~ "0xFFFF"

### 13.3.4.27. VESECTORx(セクター情報レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	-	-	-	-	SECTOR			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:4	-	R	リードすると"0"が読めます。
3:0	SECTOR[3:0]	R/W	セクター情報 設定値: "0x0" ~ "0xF" 出力時の回転位置を30度毎の12エリアに分けてセクターで表します。

### 13.3.4.28. VESECTORMx(前回セクター情報レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	-	-	-	-	SECTORM			
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:4	-	R	リードすると"0"が読めます。
3:0	SECTORM[3:0]	R/W	前回のセクター情報 設定値: "0x0" ~ "0xF" 入力処理で使用します。

### 13.3.4.29. VEIAOx(a 相ゼロ電流検出時の AD 変換結果レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	IAO							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	IAO							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:0	IAO[15:0]	R/W	a相ゼロ電流時AD変換結果保存(モーター停止時のa相電流のAD変換結果を保存)

注 1) ゼロ電流検出許可時に AD 変換結果が自動で保存されます。

注 2) AD 変換結果は上位 12bit に保存されます。下位 4bit は常に"0"です。

### 13.3.4.30. VEIBOX(b 相ゼロ電流検出時の AD 変換結果レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	IBO							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	IBO							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:0	IBO[15:0]	R/W	b相ゼロ電流時AD変換結果保存(モーター停止時のb相電流のAD変換結果を保存)

注 1) ゼロ電流検出許可時に AD 変換結果が自動で保存されます。

注 2) AD 変換結果は上位 12bit に保存されます。下位 4bit は常に"0"です。

### 13.3.4.31. VEICOx(c 相ゼロ電流検出時の AD 変換結果レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	ICO							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	ICO							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:0	ICO[15:0]	R/W	c相ゼロ電流時AD変換結果保存(停止時のc相電流のAD変換結果を保存)

注 1) ゼロ電流検出許可時に AD 変換結果が自動で保存されます。

注 2) AD 変換結果は上位 12bit に保存されます。下位 4bit は常に"0"です。

### 13.3.4.32. VEIAADCx(a 相電流 AD 変換結果レジスタ)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	IAADC							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	IAADC							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:0	IAADC[15:0]	R/W	a相電流AD変換結果保存"0x0000" ~ "0xFFFF"

注) AD 変換結果は上位 12bit に保存されます。下位 4bit は常に"0"です。

### 13.3.4.33. VEIBADCx(b 相電流 AD 変換結果レジスタ)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	IBADC							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	IBADC							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:0	IBADC[15:0]	R/W	b相電流AD変換結果保存"0x0000" ~ "0xFFFF"

注) AD 変換結果は上位 12bit に保存されます。下位 4bit は常に"0"です。

### 13.3.4.34. VEICADCx(c 相電流 AD 変換結果レジスタ)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	ICADC							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	ICADC							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:0	ICADC[15:0]	R/W	c相電流AD変換結果保存"0x0000" ~ "0xFFFF"

注) AD 変換結果は上位 12bit に保存されます。下位 4bit は常に"0"です。

### 13.3.4.35. VEVDCx(DC 電源電圧(電圧[V] ÷ 最大電圧 × 2<sup>15</sup>)レジスタ)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	VDC							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	VDC							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:0	VDC[15:0]	R/W	電源電圧、16bit固定小数点データ"0" ~ "1.0" 設定値: "0x0000" ~ "0x7FFF" 実電圧値に変換するには、VDC値 × Max_V ÷ 2 <sup>15</sup> (Max_V: (ADC変換値が1LSB変化する電源電圧の変化量[V]) × 2 <sup>12</sup> )

### 13.3.4.36. VEIDx(d 軸電流(電流[A] ÷ 最大電流 × 2<sup>31</sup>)レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	ID							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	ID							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	ID							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	ID							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:0	ID[31:0]	R/W	d軸電流、32bit固定小数点データ"-1.0" ~ "1.0" 設定値: "0x0000_0000" ~ "0xFFFF_FFFF" 実電流値に変換するには、ID値×Max_I ÷ 2 <sup>31</sup> (Max_I: (AD変換値が1LSB変化する相電流の変化量[A]) × 2 <sup>11</sup> )

### 13.3.4.37. VEIQx(q 軸電流(電流[A] ÷ 最大電流 × 2<sup>31</sup>)レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	IQ							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	IQ							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	IQ							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	IQ							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:0	IQ[31:0]	R/W	q軸電流、32bit固定小数点データ"-1.0" ~ "1.0" 設定値: "0x0000_0000" ~ "0xFFFF_FFFF" 実電流値に変換するには、IQ値 × Max_ ÷ 2 <sup>31</sup> (Max_I: (AD変換値が1LSB変化する相電流の変化量[A]) × 2 <sup>11</sup> )

### 13.3.4.38. VECMPUx(PMD 制御 : U 相 PWM パルス幅設定レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	VCMPU							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	VCMPU							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:0	VCMPU[15:0]	R/W	U相PWMパルス幅設定 設定値: "0x0000" ~ "0xFFFF"

### 13.3.4.39. VECMPVx(PMD 制御 : V 相 PWM パルス幅設定レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	VCMPV							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	VCMPV							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:0	VCMPV[15:0]	R/W	V相PWMパルス幅設定 設定値: "0x0000" ~ "0xFFFF"

### 13.3.4.40. VECMPWx(PMD 制御 : W 相 PWM パルス幅設定レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	VCMPW							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	VCMPW							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:0	VCMPW[15:0]	R/W	W相PWMパルス幅設定 設定値: "0x0000" ~ "0xFFFF"

### 13.3.4.41. VEOUTCRx(PMD 制御 : 6 相出力制御レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	-	WPWM
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	VPWM	UPWM	WOC		VOC		UOC	
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:9	-	R	リードすると"0"が読めます。
8	WPWM	R/W	W相PWM 0: オン/オフ出力 1: PWM出力
7	VPWM	R/W	V相PWM 0: オン/オフ出力 1: PWM出力
6	UPWM	R/W	U相PWM 0: オン/オフ出力 1: PWM出力
5:4	WOC[1:0]	R/W	W相出力制御 00: WOオフ、ZOオフ(注) 01: WOオフ、ZOオン 10: WOオン、ZOオフ 11: WOオン、ZOオン
3:2	VOC[1:0]	R/W	V相出力制御 00: VOオフ、YOオフ(注) 01: VOオフ、YOオン 10: VOオン、YOオフ 11: VOオン、YOオン
1:0	UOC[1:0]	R/W	U相出力制御 00: UOオフ、XOオフ(注) 01: UOオフ、XOオン 10: UOオン、XOオフ 11: UOオン、XOオン

注) VEOUTCRx<WPWM>、<VPWM>、<UPWM> = "1"時は両方オン

PMD の U、V、W 相の出力制御を以下に示します。(VE で使用する組み合わせのみ示します。)

**表 13.1 VEOUTCx<UPWM>、VEOUTCRx<UOC[1:0]>PMD設定: U相(UOx、XOx)の出力制御**

設定		出力	
VEOUTCRx <UPWM>	VEOUTCRx <UOC[1:0]>	UOx	XOx
0	00	オフ出力	オフ出力
1	00	PWMU反転出力	PWMU出力
1	11	PWMU出力	PWMU反転出力

**表 13.2 VEOUTCx<VPWM>、VEOUTCRx<VOC[1:0]>PMD設定: V相(VOx、YOx)の出力制御**

設定		出力	
VEOUTCRx <VPWM>	VEOUTCRx <VOC[1:0]>	VOx	YOx
0	00	オフ出力	オフ出力
1	00	PWMV反転出力	PWMV出力
1	11	PWMV出力	PWMV反転出力

**表 13.3 VEOUTCx<WPWM>、VEOUTCRx<WOC[1:0]>PMD設定: W相(WOx、ZOx)の出力制御**

設定		出力	
VEOUTCRx <WPWM>	VEOUTCRx <WOC[1:0]>	WOx	ZOx
0	00	オフ出力	オフ出力
1	00	PWMW反転出力	PWMW出力
1	11	PWMW出力	PWMW反転出力

### 13.3.4.42. VETRGCMP0x(PMD 制御 : トリガータイミング設定(TRGCMP0)レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	VTRGCMP0							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	VTRGCMP0							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:0	VTRGCMP0 [15:0]	R/W	ADCをPMDと同期させてサンプリングさせるトリガータイミングの設定(PMD設定) 0x0000: 設定禁止 0x0001 ~ (PMDxMDPRD<MDPRD[15:0]> - 1): トリガータイミング PMDxMDPRD <MDPRD[15:0]> ~ "0xFFFF": 設定禁止

注 1) PMD のトリガーモードに次の何れかを選択したときに有効になります。

- ダウンカウント時の一致
- アップカウント時の一致
- アップおよびダウンカウント時の一致

注 2) PMD のトリガー出力モードにトリガー選択出力(PMDxTRGMD<TRGOUT> = "1")を選択時は無効です。

### 13.3.4.43. VETRGCMP1x(PMD 制御 : トリガータイミング設定(TRGCMP1)レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	VTRGCMP1							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	VTRGCMP1							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:0	VTRGCMP1 [15:0]	R/W	ADCをPMDと同期させてサンプリングさせるトリガータイミングの設定(PMD設定) 0x0000: 設定禁止 0x0001 ~ (PMDxMDPRD<MDPRD[15:0]>値-1): トリガータイミング PMDxMDPRD <MDPRD[15:0]> ~ "0xFFFF": 設定禁止

注 1) PMD のトリガーモードに次の何れかを選択したときに有効になります。

- ダウンカウント時の一致
- アップカウント時の一致
- アップおよびダウンカウント時の一致

注 2) PMD のトリガー出力モードにトリガー選択出力(PMDxTRGMD<TRGOUT> = "1")を選択時は無効です。

### 13.3.4.44. VETRGSELx(PMD 制御：同期トリガー指定レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	-	-	-	-	-	VTRGSEL		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:3	-	R	リードすると"0"が読めます。
2:0	VTRGSEL[2:0]	R/W	VETRGCMP0x<VTRGCMP0[15:0]>設定タイミングで出力する同期トリガー番号の指定(注) 0~5: 出力トリガー番号 6~7: 設定禁止

注) PMD のトリガー出力モードにトリガー選択出力(PMDxTRGMD<TRGOUT> = "1")を選択時に有効になります。

### 13.3.4.45. VEEMGRSx(PMD 制御：EMG 復帰設定レジスター)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	-	-	-	-	-	-	-	EMGRS
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:1	-	R	リードすると"0"が読めます。
0	EMGRS	R/W	EMG復帰コマンド(PMD設定) 0: - 1: EMG復帰コマンド

### 13.4. 動作説明

#### 13.4.1. スケジュール管理

モーター制御は図 13.4 のようなフローで実行されます。VE は各動作状態をスケジュール設定と MODE 設定を切り替えることで遷移させます。

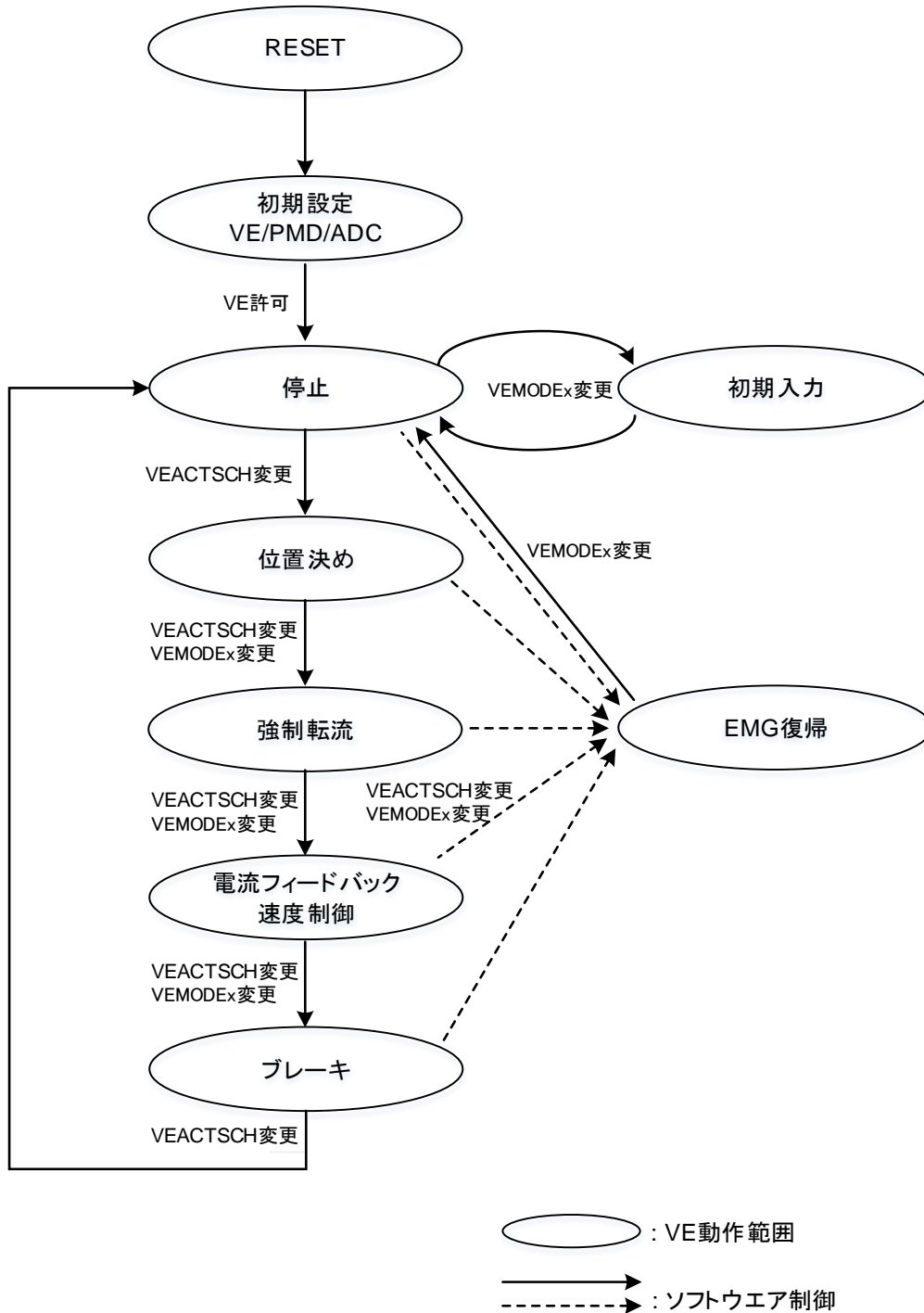


図 13.4 モーター制御の動作状態フロー例

RESET	MCU リセット
初期設定	ユーザーソフトウェアによる初期設定
停止	モーター停止
初期入力	モーター停止時のゼロ電流データをサンプリングして保存
位置決め	モーター起動時の位置決め制御
強制転流	モーター起動所定時間はフィードバック制御しないで設定速度で回転させる
電流フィードバック速度制御	電流フィードバックによるモーター回転数制御
ブレーキ	減速制御
EMG 復帰	EMG 保護状態から復帰する

## 13.4.1.1. スケジュール制御

動作スケジュールは VECTSCH で選択します。

スケジュールは出力処理を行う出力スケジュールと入力処理を行う入力スケジュールで構成されます。出力スケジュールは出力関連のタスク、入力スケジュールは入力関連のタスクで構成されます。スケジュールと動作するタスクの関連を表 13.4 に示します。

また、VEMODEx 設定で位相補間許可/出力制御動作/ゼロ電流検出をモーター制御フローに応じて設定を切り替えます。(表 13.5)

表 13.4 スケジュール別の動作タスク

スケジュール選択 VEACTSCH	出力スケジュール						入力スケジュール		
	電流制御	SIN/COS 演算	出力 座標軸 変換	出力 相変換	出力制御	トリガー 生成	入力処理	入力 相変換	入力 座標軸 変換
0: 個別動作	(注1)	(注1)	(注1)	(注1)	(注1)	(注1)	(注1)	(注1)	(注1)
1: スケジュール1	○	○(注2)	○	○	○(注3)	○	○(注4)	○	○
4: スケジュール4	-	○(注2)	○	○	○(注3)	○	○(注4)	○	○
9: スケジュール9	-	-	-	-	○(注3)	○	○(注4)	-	-

○: スケジュールで実行するタスク、-: スケジュールで実行しないタスク

注 1) 指定タスクのみ実行

注 2) 位相補間設定

注 3) 出力オフ設定: VEEMGRSx<EMGRS>

注 4) ゼロ電流検出でタスク動作を切り替え

表 13.5 代表動作フローでの設定例

設定 モーター 制御フロー	スケジュール設定 VEACTSCH <VACTB[3:0]>	タスク指定 VETASKAPP <VTASKB[3:0]>	位相補間許可 VEMODEx <PVIEN>	出力制御動作 VEMODEx <OCRMD[1:0]>	ゼロ電流検出 VEMODEx <ZIEN>
停止	1001	0000	×	00	0
初期入力	1001	0000	×	00	1
位置決め	0001	0101	0	01	0
強制転流	0001	0101	1	01	0
電流フィードバック 速度制御	0001	0101	1	01	0
ブレーキ	0100	0110	0	01	0
EMG復帰	1001	0000	×	11	0

×: 設定しない

出力スケジュールはコマンド(VECPURUNTRG)で動作開始し、出力関連タスクが全て終了すると VE は待機状態に移行して起動トリガーを待ちます。この時、他のチャンネルのスケジュールを実行することができます。

入力スケジュールは起動トリガーで動作開始し、入力関連タスクが全て終了すると CPU に割り込みを発生して VE は休止状態に移行します。ただし、スケジュールの繰り返し回数(VEREPTIME)を 2 回以上に設定している場合は、設定回数に達するまでは割り込みを発生しないで出力スケジュールを起動します。

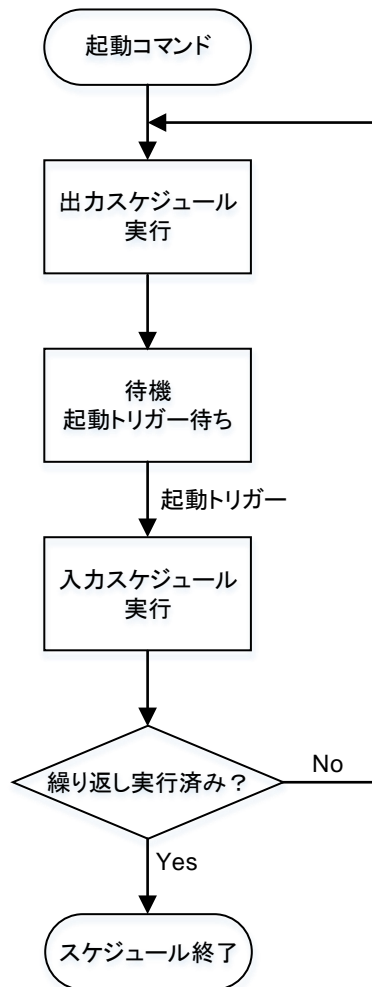


図 13.5 動作スケジュールの動作遷移

### 13.4.1.2. 起動制御

VE許可(VEEN<VEEN>="1")します。動作スケジュール指定(VEACTSCH)、タスク指定(VETASKAPP)、繰り返し回数(VEREPTIME)を設定します。VEの動作スケジュールは出力スケジュールと入力スケジュールに分かれています。基本的には出力スケジュールを最初に実行します。そして、待機状態に移行します。起動トリガーによって入力スケジュールが実行されます。

出力スケジュールと入力スケジュールはそれぞれ次の条件で起動します。

- 出力スケジュールの起動
  - (a) コマンドスタート(VECPURUNTRG)で指定タスク(VETASKAPP)の開始
  - (b) 入力スケジュール終了後の繰り返しスタート(VEREPTIME  $\geq$  2)
  
- 入力スケジュールの起動
  - (a) 出力スケジュール終了後の起動トリガー(VETRGMODEで選択したトリガー入力)による入力処理タスクの開始
  - (b) コマンドスタート(VECPURUNTRG)で指定タスク(VETASKAPP)の開始

**13.4.2. タスク概要**

スケジュールで動作する各タスクの概要を示します。

個別実行または起動タスクを指定する場合は表 13.6 のタスク番号を指定します。

**表 13.6 タスク概要**

タスク		タスク機能	タスク番号
出力 スケジュール	電流制御	dq 電流制御	5
	SIN/COS 演算	正弦/余弦演算、位相補間	6
	出力座標軸変換	dq 座標軸から $\alpha\beta$ 座標軸に変換	7
	出力相変換	2 相から 3 相に変換	8
	出力制御	PMD 設定形式へのデータ変換 シフト PWM 切り替え	0
	トリガー生成	同期トリガータイミング生成	1
入力 スケジュール	入力処理	AD 変換結果取り込み 固定小数点数へのデータ変換	2
	入力相変換	3 相から 2 相に変換	3
	入力座標軸変換	$\alpha\beta$ 座標軸から dq 座標軸に変換	4

## 13.4.2.1. 電流制御

電流制御部は、d 軸、q 軸それぞれの PI 制御部で構成されます。  
本電流制御で d 軸、q 軸電圧を算出します。

### (1) d 軸電流 PI 制御

<演算式>

$\Delta ID = VEIDREFx - VEIDx <ID[31:0]>$  : 電流指令値と電流フィードバックの差分

$VDIx = VECIDKIx \times \Delta ID + VDIx$  : 積分項演算

$VEVDx = VECIDKPx \times \Delta ID + VDIx$  : 比例項を合わせて電圧算出

表 13.7 d軸電流PI制御

	レジスタ名	機能	データフォーマット
入力	VEIDx	d 軸電流	32bit 固定小数点データ(小数点以下 31bit)
	VEIDREFx	d 軸電流基準値	16bit 固定小数点データ(小数点以下 15bit)
	VECIDKPx	比例係数	16bit データ
	VECIDKIx	積分係数	16bit データ
出力	VEVDx	d 軸電圧	32bit 固定小数点データ(小数点以下 31bit)
内部	VDIx	d 軸電圧積分項保持	64bit 固定小数点データ(小数点以下 63bit)

(2) q 軸電流 PI 制御

<演算式>

$\Delta IQ = VEIQREFx - VEIQx <IQ[31:0]>$  : 電流指令値と電流フィードバックの差分

$VQIx = VECIQKIx \times \Delta IQ + VQIx$  : 積分項演算

$VEVQx = VECIQKPx \times \Delta IQ + VQIx$  : 比例項を合わせて電圧算出

表 13.8 q軸電流PI制御

	レジスタ名	機能	データフォーマット
入力	VEIQx	q 軸電流	32bit 固定小数点データ(小数点以下 31bit)
	VEIQREFx	q 軸電流基準値	16bit 固定小数点データ(小数点以下 15bit)
	VECIQKPx	比例係数	16bit データ
	VECIQKIx	積分係数	16bit データ
出力	VEVQx	q 軸電圧	32bit 固定小数点データ(小数点以下 31bit)
内部	VQI1x	q 軸電圧積分項保持	64bit 固定小数点データ(小数点以下 63bit)

## 13.4.2.2. SIN/COS 演算

SIN/COS 演算部は、位相補間部と SIN/COS 算出部で構成されます。

位相補間は回転速度を PWM 周期で積分して算出し、位相補間許可時のみ実行します。

### (1) 位相補間

<演算式>

$VETHETA_x = VEOMEGA_x \times VETPWM_x + VETHETA_x$  : 回転速度積分、位相補間許可時のみ

表 13.9 位相補間

	レジスタ名	機能	データフォーマット
入力	VETHETA <sub>x</sub>	位相 θ	16bit 固定小数点データ("0.0" ~ "1.0"、小数点以下 16bit)
	VEOMEGA <sub>x</sub>	回転速度	16bit 固定小数点データ("-1.0" ~ "1.0"、小数点以下 15bit)
	VETPWM <sub>x</sub>	PWM 周期レート	16bit 固定小数点データ("0.0" ~ "1.0"、小数点以下 16bit)
	VEMODE <sub>x</sub>	位相補間許可	設定
出力	VETHETA <sub>x</sub>	位相 θ	16bit 固定小数点データ("0.0" ~ "1.0"、小数点以下 16bit)

(2) SIN/COS 演算

<演算式>

$VESINM_x = VESIN_x$  : 前回値保存(入力処理用)

$VECOSM_x = VECOS_x$  : 前回値保存(入力処理用)

$VESIN_x = \sin(VETHETA_x \times \pi)$  : SIN/COS 演算

$VECOS_x = \sin((VETHETA_x + 1 \div 4) \times \pi)$  : SIN/COS 演算

表 13.10 SIN/COS演算

	レジスタ名	機能	データフォーマット
入力	VETHETA <sub>x</sub>	位相 $\theta$	16bit 固定小数点データ("0.0" ~ "1.0"、小数点以下 16bit)
出力	VESIN <sub>x</sub>	$\theta$ での正弦値	16bit 固定小数点データ("-1.0" ~ "1.0"、小数点以下 15bit)
	VECOS <sub>x</sub>	$\theta$ での余弦値	
	VESINM <sub>x</sub>	前回の正弦値	
	VECOSM <sub>x</sub>	前回の余弦値	

### 13.4.2.3. 出力電圧変換(座標軸変換/相変換)

出力電圧変換は、dq-αβ 座標軸変換と 2-3 相変換で構成されます。

dq-αβ 座標軸変換は Vd、Vq、VESINx、VECOSx から Vα、Vβ を算出します。

2-3 相変換は Vα、Vβ からセクター判定し、判別したセクターに応じた空間ベクトル変換を行い Va、Vb、Vc を算出します。また、2-3 相変換では変換方式に 2 相変調か 3 相変調を選択できます。

#### (1) dq-αβ 座標軸変換

<演算式>

$$\text{VETMPREG3} = \text{VECOSx} \times \text{VEVDx} - \text{VESINx} \times \text{VEVQx} \quad : \text{V}\alpha \text{ 算出}$$

$$\text{VETMPREG4} = \text{VESINx} \times \text{VEVDx} + \text{VECOSx} \times \text{VEVQx} \quad : \text{V}\beta \text{ 算出}$$

表 13.11 dq-αβ座標軸変換

	レジスター名	機能	データフォーマット
入力	VEVDx	d 軸電圧	32bit 固定小数点データ("-1.0" ~ "1.0"、小数点以下 31bit)
	VEVQx	q 軸電圧	32bit 固定小数点データ("-1.0" ~ "1.0"、小数点以下 31bit)
	VESINx	θ での正弦値	16bit 固定小数点データ("-1.0" ~ "1.0"、小数点以下 15bit)
	VECOSx	θ での余弦値	16bit 固定小数点データ("-1.0" ~ "1.0"、小数点以下 15bit)
出力	VETMPREG3	α 軸電圧	32bit 固定小数点データ("-1.0" ~ "1.0"、小数点以下 31bit)
	VETMPREG4	β 軸電圧	32bit 固定小数点データ("-1.0" ~ "1.0"、小数点以下 31bit)

(2) 2-3 相変換(空間ベクトル変換)

(a) セクター判定

<演算式>

```

VESECTORMx = VESECTORx           : 前回セクターを保存
if (Vα ≥ 0 & Vβ ≥ 0)             : Vβ 算出
    if (|Vα| ≥ |Vβ| ÷ √3)
        if (|Vα| ÷ √3 ≥ |Vβ|)     SECTOR = "0"
        else                       SECTOR = "1"
    else                             SECTOR = "2"
else if (Vα < 0 & Vβ ≥ 0)
    if (|Vα| < |Vβ| ÷ √3)         SECTOR = "3"
    else if (|Vα| ÷ √3 < |Vβ|)    SECTOR = "4"
    else                           SECTOR = "5"
else if (Vα < 0 & Vβ < 0)
    if (|Vα| ≥ |Vβ| ÷ √3)
        if (|Vα| ÷ √3 ≥ |Vβ|)     SECTOR = "6"
        else                       SECTOR = "7"
    else                             SECTOR = "8"
else if (Vα ≥ 0 & Vβ < 0)
    if (|Vα| < |Vβ| ÷ √3)         SECTOR = "9"
    else if (|Vα| ÷ √3 < |Vβ|)    SECTOR = "10"
    else                           SECTOR = "11"
    
```

表 13.12 2-3相変換(空間ベクトル変換)

	レジスター名	機能	データフォーマット
入力	VETMPREG3	α 軸電圧	32bit 固定小数点データ("-1.0" ~ "1.0"、小数点以下 31bit)
	VETMPREG4	β 軸電圧	32bit 固定小数点データ("-1.0" ~ "1.0"、小数点以下 31bit)
出力	VESECTORx	セクター	4bit データ
	VESECTORMx	前回のセクター	4bit データ

(b) 3相電圧算出(VESECTORx<SECTOR[3:0]> = "0"の場合)

<演算式>

if (VESECTORx<SECTOR[3:0]> = "0")

$t1 = (\sqrt{3}) \div (VEVDCx) \times ((\sqrt{3}) \div 2 \times Va - 1 \div 2 \times V\beta)$  : V1 期間算出  
 $t2 = (\sqrt{3}) \div (VEVDCx) \times (V\beta)$  : V2 期間算出  
 $t3 = 1 - t1 - t2$  : V0 + V7 期間算出

if (VEFMODEx<C2PEN> = "0") : 3相変調

VETMPREG0 =  $t1 + t2 + t3 \div 2$  : Va 算出  
 VETMPREG1 =  $t2 + t3 \div 2$  : Vb 算出  
 VETMPREG2 =  $t3 \div 2$  : Vc 算出

else : 2相変調

VETMPREG0 =  $t1 + t2$  : Va 算出  
 VETMPREG1 =  $t2$  : Vb 算出  
 VETMPREG2 = "0" : Vc 算出

表 13.13 3相電圧算出(VESECTORx<SECTOR[3:0]> = "0"の場合)

	レジスタ名	機能	データフォーマット
入力	VETMPREG3	α 軸電圧	32bit 固定小数点データ("-1.0" ~ "1.0"、小数点以下 31bit)
	VETMPREG4	β 軸電圧	32bit 固定小数点データ("-1.0" ~ "1.0"、小数点以下 31bit)
	VEVDCx	電源電圧	16bit 固定小数点データ("0.0" ~ "1.0"、小数点以下 15bit)
	VESECTORx	セクター	4bit データ
	VEFMODEx	変調モード	VEFMODEx<C2PEN> 0: 3相変調 1: 2相変調
出力	VETMPREG0	a 相電圧	32bit 固定小数点データ("0.0" ~ "1.0"、小数点以下 31bit)
	VETMPREG1	b 相電圧	32bit 固定小数点データ("0.0" ~ "1.0"、小数点以下 31bit)
	VETMPREG2	c 相電圧	32bit 固定小数点データ("0.0" ~ "1.0"、小数点以下 31bit)

## 13.4.2.4. 出力制御

出力制御部は、3相電圧値を PWM 設定形式の VECMPU<sub>x</sub>、VECMPV<sub>x</sub>、VECMPW<sub>x</sub> に変換して設定し、動作モードに応じて VEOUTCR<sub>x</sub> を設定します。

1 シャント電流検出かつ 2 相変調でシフト PWM 許可している場合、回転速度がシフト PWM 切り替え基準より遅いと出力はシフト PWM 出力に切り替わります。

表 13.14 出力制御

	レジスタ名	機能	データフォーマット
入力	VETMPREG0	a 相電圧	32bit 固定小数点データ("0.0" ~ "1.0"、小数点以下 31bit)
	VETMPREG1	b 相電圧	32bit 固定小数点データ("0.0" ~ "1.0"、小数点以下 31bit)
	VETMPREG2	c 相電圧	32bit 固定小数点データ("0.0" ~ "1.0"、小数点以下 31bit)
	VEMDPRD <sub>x</sub>	PWM 周期設定	16bit データ(PMD PWM 周期設定値)
	VESECTOR <sub>x</sub>	セクター	4bit データ
	VEOMEGA <sub>x</sub>	回転速度	16bit 固定小数点データ("-1.0" ~ "1.0"、小数点以下 15bit)
	VEFPWMCHG <sub>x</sub>	シフト PWM 切り替え基準	16bit 固定小数点データ("0.0" ~ "1.0"、小数点以下 15bit)
	VEMODE <sub>x</sub>	出力制御動作	設定
	VEFMODE <sub>x</sub>	PMD チャンネル選択/シフト PWM 許可/変調モード/検出モード	設定
出力	VECMPU <sub>x</sub>	PMD U 相 PWM 設定	16 ビットデータ(0 - VEMDPRD <sub>x</sub> <VMDPRD[15:0]>値)
	VECMPV <sub>x</sub>	PMD V 相 PWM 設定	16 ビットデータ(0 - VEMDPRD <sub>x</sub> <VMDPRD[15:0]>値)
	VECMPW <sub>x</sub>	PMD W 相 PWM 設定	16 ビットデータ(0 - VEMDPRD <sub>x</sub> <VMDPRD[15:0]>値)
	VEOUTCR <sub>x</sub>	PMD 出力制御設定	9bit 設定
	VEEMGRS <sub>x</sub>	PMD EMG 復帰	1bit 設定
	VEMCTLF <sub>x</sub>	シフト切り替えフラグ	ステータス

## 13.4.2.5. トリガー生成

トリガー生成部は、VECMPU<sub>x</sub>、VECMPV<sub>x</sub>、VECMPW<sub>x</sub> から電流検出方式に応じたトリガータイミングを算出して VETRGCMP0<sub>x</sub>、VETRGCMP1<sub>x</sub> に設定します。

表 13.15 トリガー生成

	レジスタ名	機能	データフォーマット
入力	VECMPU <sub>x</sub>	PMD U 相 PWM 設定	16 ビットデータ(0 - VEMDPRD <sub>x</sub> <VMDPRD[15:0]>値)
	VECMPV <sub>x</sub>	PMD V 相 PWM 設定	16 ビットデータ(0 - VEMDPRD <sub>x</sub> <VMDPRD[15:0]>値)
	VECMPW <sub>x</sub>	PMD W 相 PWM 設定	16 ビットデータ(0 - VEMDPRD <sub>x</sub> <VMDPRD[15:0]>値)
	VEMDPRD <sub>x</sub>	PWM 周期設定	16bit データ(PMD PWM 周期設定値)
	VETADC	AD 変換時間	16 ビットデータ(0 - VEMDPRD <sub>x</sub> <VMDPRD[15:0]>値)
	VETRGCRC <sub>x</sub>	トリガー補正值	16 ビットデータ(0 - VEMDPRD <sub>x</sub> <VMDPRD[15:0]>値)
	VESECTOR <sub>x</sub>	セクター	4bit データ
	VEMODE <sub>x</sub>	出力制御動作	設定
	VEFMODE <sub>x</sub>	PMD チャネル選択/シフト PWM 許可/変調モード/検 出モード/トリガー補正許可	設定
	VEMCTLF <sub>x</sub>	シフト切り替えフラグ	ステータス
出力	VETRGCMP0 <sub>x</sub>	PMDトリガー0 タイミング設 定	16 ビットデータ(0 - VEMDPRD <sub>x</sub> <VMDPRD[15:0]>値)
	VETRGCMP1 <sub>x</sub>	PMDトリガー1 タイミング設 定	16 ビットデータ(0 - VEMDPRD <sub>x</sub> <VMDPRD[15:0]>値)
	VETRGSSEL <sub>x</sub>	PMDトリガー選択	3bit データ

## 13.4.2.6. 入力処理

入力処理タスクでは電流変換結果を3相成分判定して保存し、電流および電圧の変換結果を固定小数点データに変換します。また、初期入力動作時にゼロ電流変換結果を保存します。

表 13.16 入力処理

	レジスター名	機能	データフォーマット
入力	VEADREG0x	AD 変換結果 0	16bit データ(上位 12bit に結果保持)
	VEADREG1x	AD 変換結果 1	
	VEADREG2x	AD 変換結果 2	
	VEADREG3x	AD 変換結果 3	
	VEPHNUM0x	ADREG0x 検出相情報	2bit データ
	VEPHNUM1x	ADREG1x 検出相情報	
	VEPHNUM2x	ADREG2x 検出相情報	
	VEPHNUM3x	ADREG3x 検出相情報	
	VESECTORMx	セクター情報	4bit データ
	VEMODEx	ゼロ電流検出	設定
	VEFMODEx	PMD チャネル選択/電流検出モード/シフト PWM 許可	設定
	VEMCTLFx	シフト切り替えフラグ	ステータス
出力	VEVDCx	電源電圧	16bit 固定小数点データ("0.0" ~ "1.0"、小数点以下 15bit)
	VETMPREG0	a 相電流	32bit 固定小数点データ("-1.0" ~ "1.0"、小数点以下 31bit)
	VETMPREG1	b 相電流	
	VETMPREG2	c 相電流	
内部	VEIAOx	a 相ゼロ電流変換結果	16bit データ(上位 12bit に結果保持)
	VEIBOx	b 相ゼロ電流変換結果	
	VEICOx	c 相ゼロ電流変換結果	
	VEIAADCx	a 相電流変換結果	16bit データ(上位 12bit に結果保持)
	VEIBADCx	b 相電流変換結果	
	VEICADCx	c 相電流変換結果	

### 13.4.2.7. 入力電流変換(相変換/座標軸変換)

入力電流変換は、3-2 相変換と  $\alpha\beta$ -dq 座標軸変換で構成されます。

3-2 相変換は Ia、Ib、Ic から  $I_\alpha$ 、 $I_\beta$  を算出します。

$\alpha\beta$ -dq 座標軸変換は  $I_\alpha$ 、 $I_\beta$ 、VESINMx、VECOSMx から Id、Iq を算出します。

(1) 3-2 相変換

<演算式>

$$\text{VETMPREG3} = \text{VETMPREG0} \quad : I_\alpha \text{ 算出}$$

$$\text{VETMPREG4} = 1 \div \sqrt{3} \times \text{VETMPREG1} - 1 \div \sqrt{3} \times \text{VETMPREG2} \quad : I_\beta \text{ 算出}$$

表 13.17 3-2相変換

	レジスタ名	機能	データフォーマット
入力	VETMPREG0	a 相電流	32bit 固定小数点データ("-1.0" ~ "1.0"、小数点以下 31bit)
	VETMPREG1	b 相電流	32bit 固定小数点データ("-1.0" ~ "1.0"、小数点以下 31bit)
	VETMPREG2	c 相電流	32bit 固定小数点データ("-1.0" ~ "1.0"、小数点以下 31bit)
出力	VETMPREG3	$\alpha$ 軸電流	32bit 固定小数点データ("-1.0" ~ "1.0"、小数点以下 31bit)
	VETMPREG4	$\beta$ 軸電流	32bit 固定小数点データ("-1.0" ~ "1.0"、小数点以下 31bit)

(2)  $\alpha\beta$ -dq 座標軸変換

<演算式>

$$\text{VEIDx} = \text{VECOSMx} \times \text{VETMPREG3} + \text{VESINMx} \times \text{VETMPREG4} \quad : I_d \text{ 算出}$$

$$\text{VEIQx} = -\text{VESINMx} \times \text{VETMPREG3} + \text{VECOSMx} \times \text{VETMPREG4} \quad : I_q \text{ 算出}$$

表 13.18  $\alpha\beta$ -dq座標軸変換

	レジスタ名	機能	データフォーマット
入力	VETMPREG3	$\alpha$ 軸電流	32bit 固定小数点データ("-1.0" ~ "1.0"、小数点以下 31bit)
	VETMPREG4	$\beta$ 軸電流	
	VESINMx	$\theta$ での正弦値	16bit 固定小数点データ("-1.0" ~ "1.0"、小数点以下 15bit)
	VECOSMx	$\theta$ での余弦値	
出力	VEIDx	d 軸電流	32bit 固定小数点データ("-1.0" ~ "1.0"、小数点以下 31bit)
	VEIQx	q 軸電流	

## 13.5. VE チャンネルと PMD チャンネル、ADC ユニットの組み合わせ

VE の使用チャンネルにより、使用できる PMD チャンネルおよび ADC ユニットの組み合わせに制限があります。

また、AD 変換結果格納レジスタ0~2(ADxREG0~2、x=A、B)の値を電流値、AD 変換結果格納レジスタ3(ADxREG3、x=A、B)の値を電圧値として計算します。VE の各モードに応じて、表 13.20 に示すように AD 変換結果格納レジスタを割り付けてください

表 13.19 VEチャンネルとPMDチャンネルの組み合わせ

VEチャンネル	PMDチャンネル
ch0	ch0
ch1	ch1

表 13.20 VEチャンネルとADCユニット、AD変換結果格納レジスタの組み合わせ

VE			ADCユニットA				ADCユニットB			
チャンネル	電流検出モード VEFMODEx <IDMODE[1:0]>	ADCユニット選択 VEFMODEx <ADCSEL[1:0]>	ADAREG0	ADAREG1	ADAREG2	ADAREG3	ADBREG0	ADBREG1	ADBREG2	ADBREG3
0	0*	00	電流検出1	電流検出2	(注1)	VDC検出	-	-	-	-
		1*	電流検出1	-	(注1)	VDC検出	電流検出2	-	-	-
	1*	00	電流検出1	電流検出2	-	VDC検出	-	-	-	-
1	0*	00	-	-	-	-	電流検出1	電流検出2	(注1)	VDC検出
		1*	-	電流検出2	-	-	-	電流検出1	(注1)	VDC検出
	1*	01	-	-	-	-	電流検出1	電流検出2	-	VDC検出

注 1) ADxREG2 の変換結果は不要ですが、相情報の設定が必要です。「11. 12 ビットアナログ/デジタルコンバーター(ADC)」を参照してください。

注 2) \*: Don't care

注 3) 電流検出モードと AD 変換結果レジスタの組み合わせは上記以外禁止です。

## 14. エンコーダー入力回路(ENC)

### 14.1. 概要

エンコーダー入力回路は、エンコーダーモード、センサーモード(2種類)、タイマーモードの4つの動作モードに対応しています。また、以下の機能を備えています。

- インクリメンタルエンコーダーおよびホール IC センサー対応(センサー信号を直接入力可能)
- 汎用 24 ビットタイマー機能
- 4 通倍(6 通倍)回路内蔵
- 回転方向検出回路内蔵
- カウンター(24 ビット)内蔵
- コンペア許可/禁止設定可能
- 割り込み要求出力 1 本
- 入力信号についてデジタルノイズフィルタ内蔵

インクリメンタルエンコーダーの信号を直接入力し、モーターの絶対位置を容易に得ることができます。

### 14.2. ブロック図

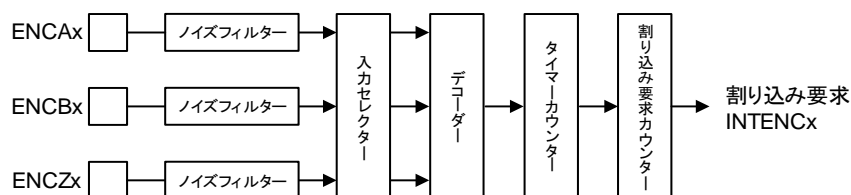


図 14.1 エンコーダー入力回路ブロック図

## 14.3. レジスタ—説明

### 14.3.1. レジスタ—一覧

制御レジスタ—とアドレスを以下に示します。

レジスタ—名		Address (Base+)
入力制御レジスタ—	ENxTNCR	0x0000
カウンタ—リロードレジスタ—	ENxRELOAD	0x0004
比較レジスタ—	ENxINT	0x0008
カウンタ—レジスタ—	ENxCNT	0x000C

### 14.3.2. ENxTNCR(入力制御レジスタ—)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	MODE		P3EN
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CMP	REVERR	UD	ZDET	SFTCAP	ENCLR	ZESEL	CMPEM
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	ZEN	ENRUN	NR		INTEN	ENDEV		
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:19	-	R	リードすると"0"が読めます。
18:17	MODE[1:0]	R/W	エンコーダ—入力モード設定 00: エンコーダ—モード 01: センサ—モード(イベントカウンタ) 10: センサ—モード(タイマ—カウンタ) 11: タイマ—モード
16	P3EN	R/W	2相/3相入力選択(センサ—モード時)(注1) 0: 2相入力 1: 3相入力 入力信号の数を設定します
15	CMP	R	コンパ—発生フラグ 0: - 1: コンパ—発生(リードでクリア) コンパ—が実施されると<CMP>が"1"にセットされます。 値を読み出すとフラグがクリアされます。また、<ENRUN> = "0"のときは常に"0"がセットされます。このビットに値を書き込んでも何も起こりません。

14	REVERR	R	<p>反転エラーフラグ(センサーモード(タイマーカウント)時)(注2)</p> <p>0: -</p> <p>1: エラー発生(リードでクリア)</p> <p>センサーモード(タイマーカウント)時、反転エラーが発生すると&lt;REVERR&gt;が"1"にセットされます。値を読み出すとフラグがクリアされます。また、&lt;ENRUN&gt; = "0"のときは常に"0"がセットされます。このビットに値を書き込んでも何も起こりません。エンコーダーモード、センサーモード(イベントカウント)およびタイマーモードの場合、このビットは意味を持ちません。</p>
13	UD	R	<p>エンコーダー回転方向</p> <p>0: CCW方向</p> <p>1: CW方向</p> <p>モーターがCW方向に回転しているときは"1"、CCW方向に回転しているときは"0"がセットされます。また、&lt;ENRUN&gt; = "0"のときは常に"0"がセットされます。</p>
12	ZDET	R	<p>Z相通過検出</p> <p>0: Z相非検出</p> <p>1: Z相検出</p> <p>&lt;ENRUN&gt; = "0"→"1"変化後のZ相入力(ENCZx)の最初の検出エッジ(インクリメンタル型エンコーダー信号のZ相の立ち上がりエッジ(CW方向)、または立ち下がりエッジ(CCW方向))のタイミングで"1"がセットされます。また、&lt;ENRUN&gt; = "0"のときは常に"0"がセットされます。このビットの動作は&lt;ZEN&gt;の値とは無関係です。センサーモード(イベントカウント)およびセンサーモード(タイマーカウント)の場合、このビットは常に"0"です。</p>
11	SFTCAP	W	<p>ソフトウェアキャプチャー実行(タイマーモード/センサーモード(タイマーカウント)時)</p> <p>0: -</p> <p>1: ソフトウェアキャプチャー</p> <p>&lt;SFTCAP&gt;に"1"が書き込まれると、エンコーダーカウンターの値をキャプチャーし、ENxCNTレジスターに格納します。"0"を書き込んでも何も起こりません。また、リードすると"0"が読めます。エンコーダーモードおよびセンサーモード(イベントカウント)の場合、このビットは意味を持たず、"1"を書き込んでも何も起こりません。</p>
10	ENCLR	W	<p>エンコーダーパルスカウンタークリア</p> <p>0: -</p> <p>1: クリア</p> <p>&lt;ENCLR&gt;に"1"が書き込まれると、エンコーダーカウンターは"0"にクリアされます。クリアされた後は、再びカウントを始めます。"0"を書き込んでも何も起こりません。また、リードすると"0"が読めます。</p>
9	ZESEL	R/W	<p>ENCZxの使用エッジ選択(タイマーモード時)</p> <p>0: 立ち上がりエッジ</p> <p>1: 立ち下がりエッジ</p> <p>タイマーモード時、外部トリガーとして使用するENCZx入力のエッジを選択します。他のモードの場合、このビットは意味を持ちません。</p>
8	CMPEN	R/W	<p>コンペア許可</p> <p>0: コンペア実行しない</p> <p>1: コンペア実行する</p> <p>&lt;CMPEN&gt;に"1"が書き込まれると、エンコーダーカウンターのカウンター値とENxINTレジスター値のコンペアを実施します。&lt;CMPEN&gt;に"0"が書き込まれると、コンペアを実施しません。</p>
7	ZEN	R/W	<p>Z相許可(エンコーダーモード/タイマーモード時)</p> <p>0: 禁止</p> <p>1: 許可</p> <p>他のモードの場合、このビットは意味を持ちません。</p> <p>&lt;エンコーダーモード時&gt;: ENCZx入力によるエンコーダーカウンターのクリアを設定          &lt;ZEN&gt; = "1"のとき、CW方向に回転しているときはENCZxの立ち上がりエッジを検出してエンコーダーカウンターが"0"にクリアされ、CCW方向に回転しているときはENCZxの立ち下がりエッジを検出してエンコーダーカウンターが"0"にクリアされます。ENCLK(A相、B相信号を4通倍したクロック)タイミングとこのエッジ検出のタイミングが同時となった場合には、エンコーダーカウンターはカウント動作を行わず"0"にクリアされます。(クリア優先)</p> <p>&lt;タイマーモード時&gt;: ENCZx入力を外部トリガーとして使用するかどうかを設定          &lt;ZEN&gt; = "1"のとき、&lt;ZESEL&gt;で指定されたENCZx入力のエッジ検出で、エンコーダーカウンターの値をキャプチャー、およびエンコーダーカウンターを"0"にクリアします。</p>

6	ENRUN	R/W	<p>エンコーダー動作許可</p> <p>0: 禁止 1: 許可</p> <p>&lt;ENRUN&gt; = "1"で、&lt;ZDET&gt;を"0"クリアするとともにエンコーダー動作を許可します。&lt;ENRUN&gt; = "0"で、エンコーダー動作を禁止にします。エンコーダーの動作を停止した際(&lt;ENRUN&gt;ビットを"1"→"0")、クリアされるカウンターおよびフラグと、クリアされないカウンターおよびフラグが存在します。</p>								
5:4	NR[1:0]	R/W	<p>ノイズフィルター</p> <p>00: ノイズフィルターなし 01: 31 / fsys未満のパルスはノイズとして除去 10: 63 / fsys未満のパルスはノイズとして除去 11: 127 / fsys未満のパルスはノイズとして除去</p> <p>デジタルノイズフィルターでノイズとして除去するパルスの幅を設定します。</p>								
3	INTEN	R/W	<p>エンコーダー割り込み許可</p> <p>0: 禁止 1: 許可</p> <p>&lt;INTEN&gt; = "1"で割り込み信号の発生を許可にし、&lt;INTEN&gt; = "0"で割り込み信号の発生を禁止にします。</p>								
2:0	ENDEV[2:0]	R/W	<p>エンコーダーパルス分周設定</p> <table border="0"> <tr> <td>000: 1分周</td> <td>100: 16分周</td> </tr> <tr> <td>001: 2分周</td> <td>101: 32分周</td> </tr> <tr> <td>010: 4分周</td> <td>110: 64分周</td> </tr> <tr> <td>011: 8分周</td> <td>111: 128分周</td> </tr> </table> <p>エンコーダーパルスの分周比を設定します。この設定に従ってエンコーダーパルスが分周され、イベント割り込みの発生周期として使用されます。</p>	000: 1分周	100: 16分周	001: 2分周	101: 32分周	010: 4分周	110: 64分周	011: 8分周	111: 128分周
000: 1分周	100: 16分周										
001: 2分周	101: 32分周										
010: 4分周	110: 64分周										
011: 8分周	111: 128分周										

注 1) エンコーダーモード、タイマーモードの場合は、必ず<P3EN> = "0"に設定してください。

注 2) モードを変更した後は、必ず最初にフラグをリードし、"0"にクリアしてください。

動作モードは<MODE[1:0]>、<P3EN>、<ZEN>により決定し、全部で 8 種類の設定があります。動作モードの設定表を以下に示します。

<MODE[1:0]>	<ZEN>	<P3EN>	入力端子	モード
00	0	0	A、B	エンコーダーモード
	1		A、B、Z	エンコーダーモード(Z 相使用)
01	0	0	U、V	センサーモード(イベントカウント、2 相入力)
		1	U、V、W	センサーモード(イベントカウント、3 相入力)
10	0	0	U、V	センサーモード(タイマーカウント、2 相入力)
		1	U、V、W	センサーモード(タイマーカウント、3 相入力)
11	0	0	-	タイマーモード
	1		Z	タイマーモード(Z 相使用)

<ENRUN>と各信号の状態を以下に示します。

カウンター/フラグ	<ENRUN> = "0"時 (リセット解除後)	<ENRUN> = "1"時 (動作中)	<ENRUN> = "0"時 (停止中)	<ENRUN> = "0"時 対象フラグ/カウンターの クリア手段
エンコーダーカウンター	0x000000	カウント動作	停止時の値を保持	ソフトウェアクリア (<ENCLR> = "1" WR)
ノイズフィルター カウンター	0b0000000	カウントアップ動作	カウントアップ動作 (常時フィルタリング)	リセットのみ
エンコーダーパルス 分周カウンター	0x00	カウントダウン動作	停止してクリア	<ENRUN> = "0"時はクリア
コンペアフラグ <CMP>	0	コンペア時"1"セット リードでクリア	クリア	<ENRUN> = "0"時はクリア
反転エラーフラグ <REVERR>	0	エラー発生で"1"セット リードでクリア	クリア	<ENRUN> = "0"時はクリア
Z 検出フラグ <ZDET>	0	Z 検出で"1"セット	クリア	<ENRUN> = "0"時はクリア
回転方向ビット <UD>	0	方向検出で "0"/"1"セット	クリア	<ENRUN> = "0"時はクリア

### 14.3.3. ENxRELOAD(カウンターリロードレジスター)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	RELOAD							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	RELOAD							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:16	-	R	リードすると"0"が読めます。
15:0	RELOAD[15:0]	R/W	エンコーダーカウンターの周期(4通倍/6通倍後)設定 "0x0000" ~ "0xFFFF" Z相使用する場合 : 1回転分のカウントパルス数を設定 Z相使用しない場合 : 1回転分のカウントパルス数-1を設定 エンコーダーカウンターの周期(4通倍/6通倍後)を設定します。 エンコーダーカウンターがアップカウントを行っていた場合、カウンターの値が<RELOAD[15:0]>の値と等しくなったら、次のENCLKタイミングで"0"にクリアされます。ダウンカウントを行っていた場合、カウンターの値が"0"になった次のENCLKのタイミングで、<RELOAD[15:0]>の値がエンコーダーカウンターにロードされます。

注 1) エンコーダーモード時のみ使用

注 2) ENxRELOAD レジスターは、必ずワード単位でアクセスしてください。

## 14.3.4. ENxINT(比較レジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	INT							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	INT							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	INT							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:24	-	R	リードすると"0"が読めます。
23:0	INT[23:0]	R/W	<p>カウンター比較値設定</p> <p>&lt;エンコーダーモード時&gt; エンコーダーのパルス位置割り込み発生位置設定: "0x0000" ~ "0xFFFF" &lt;CMPEN&gt; = "1"のときエンコーダーカウンターと&lt;INT[15:0]&gt;の値が一致すると、&lt;CMP&gt;が"1"にセットされます。さらに&lt;INTEN&gt; = "1"であれば割り込み要求(INTENCx)が発生します。ただし、&lt;ZEN&gt; = "1"のときは、&lt;ZDET&gt; = "1"になるまでの間の一致については割り込み要求は発生しません。</p> <p>&lt;センサーモード時(イベントカウント)&gt; エンコーダーのパルス位置割り込み発生位置設定: "0x0000" ~ "0xFFFF" &lt;CMPEN&gt; = "1"のとき、エンコーダーカウンターと&lt;INT[15:0]&gt;の値が一致すると、&lt;CMP&gt;が"1"にセットされます。さらに&lt;INTEN&gt; = "1"であれば割り込み要求(INTENCx)が発生します。&lt;ZEN&gt;の値には影響しません。</p> <p>&lt;センサーモード時(タイマーカウント)&gt; パルス未検出時間異常判定割り込み発生位置設定: "0x000000" ~ "0xFFFFFFF" &lt;CMPEN&gt; = "1"のとき、内部カウンター値が&lt;INT[23:0]&gt;の値と一致すると、パルス未検出時間異常エラーと判定され、&lt;CMP&gt;が"1"にセットされます。さらに&lt;INTEN&gt; = "1"であれば割り込み要求(INTENCx)が発生します。&lt;ZEN&gt;の値には影響しません。</p> <p>&lt;タイマーモード時&gt; タイマーコンペア割り込み発生位置設定: "0x000000" ~ "0xFFFFFFF" &lt;CMPEN&gt; = "1"のとき、内部カウンター値が&lt;INT[23:0]&gt;の値と一致すると、&lt;CMP&gt;が"1"にセットされます。さらに&lt;INTEN&gt; = "1"であればタイマーコンペア割り込み要求(INTENCx)が発生します。&lt;ZEN&gt;の値には影響しません。</p>

注 1) <INT[23:16]>はセンサーモード(タイマーカウント)、タイマーモード時のみ使用

注 2) ENxINT レジスタは、必ずワード単位でアクセスしてください。

## 14.3.5. ENxCNT(カウンターレジスター)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	CNT							
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	CNT							
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	CNT							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:24	-	R	リードすると"0"が読めます。
23:0	CNT[23:0]	R/W	<p>エンコーダーカウンター/キャプチャー値</p> <p>&lt;エンコーダーモード時&gt; エンコーダーパルスのカウント値: "0x0000" ~ "0xFFFF" エンコーダーパルスのカウント値を読み出すことができます。エンコーダーモード時、エンコーダーカウンターは、エンコーダーパルス(ENCLK)をアップまたはダウンカウントします。CW方向に回転しているときはアップカウントを行い、カウンター値が&lt;RELOAD[15:0]&gt;と等しくなったとき、次のENCLKタイミングで"0"にクリアされます。CCW方向に回転しているときはダウンカウントを行い、カウント値が"0"のとき、次のENCLKタイミングで&lt;RELOAD[15:0]&gt;の値がカウンターにロードされます。</p> <p>&lt;センサーモード時(イベントカウント)&gt; エンコーダーパルスのカウント値: "0x0000" ~ "0xFFFF" エンコーダーパルスのカウント値を読み出すことができます。センサーモード(イベントカウント)時、エンコーダーカウンターは、エンコーダーパルス(ENCLK)をアップまたはダウンカウントします。CW方向に回転しているときはアップカウントを行い、カウンター値が"0xFFFF"までカウントすると、次のENCLKタイミングで"0"にクリアされます。CCW方向に回転しているときはダウンカウントを行い、カウント値が"0"のとき、次のENCLKタイミングで"0xFFFF"がカウンターにロードされます。</p> <p>&lt;センサーモード時(タイマーカウント)&gt; パルス検出時間の値またはソフトウェアキャプチャー値: "0x000000" ~ "0xFFFFF" エンコーダーパルス(ENCLK)によりエンコーダーカウンターをキャプチャーした値、または、&lt;SFTCAP&gt;に"1"を書きこむことでエンコーダーカウンターをソフトウェアキャプチャーした値を読み出すことができます。キャプチャーした値はシステムリセットで"0"にクリアされます。また、&lt;ENCLR&gt; = "1"を書き込んでカウンターをクリアした後、ソフトウェアキャプチャーすることによりクリアすることも可能です。センサーモード(タイマーカウント)時、エンコーダーカウンターは、fsysでアップカウントし、フリーランで動作します。エンコーダーパルス(ENCLK)を検出すると"0"にクリアされます。"0xFFFFF"までカウントすると自動的に"0"にクリアされます。</p> <p>&lt;タイマーモード時&gt; 内部カウンターのキャプチャー値またはソフトウェアキャプチャー値: "0x000000" ~ "0xFFFFF" &lt;SFTCAP&gt;に"1"を書きこむことでエンコーダーカウンターをソフトウェアキャプチャーした値を読み出すことができます。&lt;ZEN&gt; = "1"のときは、&lt;ZESSEL&gt;で指定されたZ相の検出エッジでもキャプチャーされます。キャプチャーした値はリセットで"0"にクリアされます。&lt;ENCLR&gt; = "1"を書き込んでカウンターをクリアした後にソフトウェアキャプチャーすることにより、クリアすることも可能です。タイマーモード時、エンコーダーカウンターは、fsysでアップカウントし、フリーランで動作します。"0xFFFFF"までカウントすると自動的に"0"にクリアされます。</p>

注 1) <CNT[23:16]>はセンサーモード(タイマーカウント)、タイマーモード時のみ使用。(エンコーダーモ

ード、センサーモード(イベントカウント)時は常に"0"がリードされます。)

注 2) ENxCNT レジスターは、必ずワード単位でアクセスしてください。

## 14.4. 動作説明

### 14.4.1. エンコーダーモード

高速位置センサー対応(位相判定)で、AB エンコーダー入力および ABZ エンコーダー入力に対応しています。

- イベント検出(回転パルス) → 割り込み発生
- イベントカウント → 一致割り込み発生(移動量測定)
- 回転方向検出
- アップダウンカウント(動作中随時変更可能)
- カウンター周期設定可能

### 14.4.2. センサーモード

低速位置センサー対応(ゼロクロス判定)で、UV ホールセンサー入力および UVW ホールセンサー入力に対応しています。

イベントカウントモードとタイマーカウントモード(fsyst でカウント)の2種類があります。

#### 14.4.2.1. イベントカウントモード

- イベント検出(回転パルス) → 割り込み発生
- イベントカウント → 一致割り込み発生(移動量測定)
- 回転方向検出

#### 14.4.2.2. タイマーカウントモード

- イベント検出(回転パルス) → 割り込み発生
- タイマーカウント
- 回転方向検出
- キャプチャー機能 → イベントキャプチャー(イベント間隔測定) → 割り込み発生ソフトウェアキャプチャー
- 未検出時間によるエラー(タイマーコンペア) → 一致割り込み発生
- 反転検出エラー → 回転方向変化によるエラーフラグ

### 14.4.3. タイマーモード

汎用 24 ビットタイマーとして使用できます。

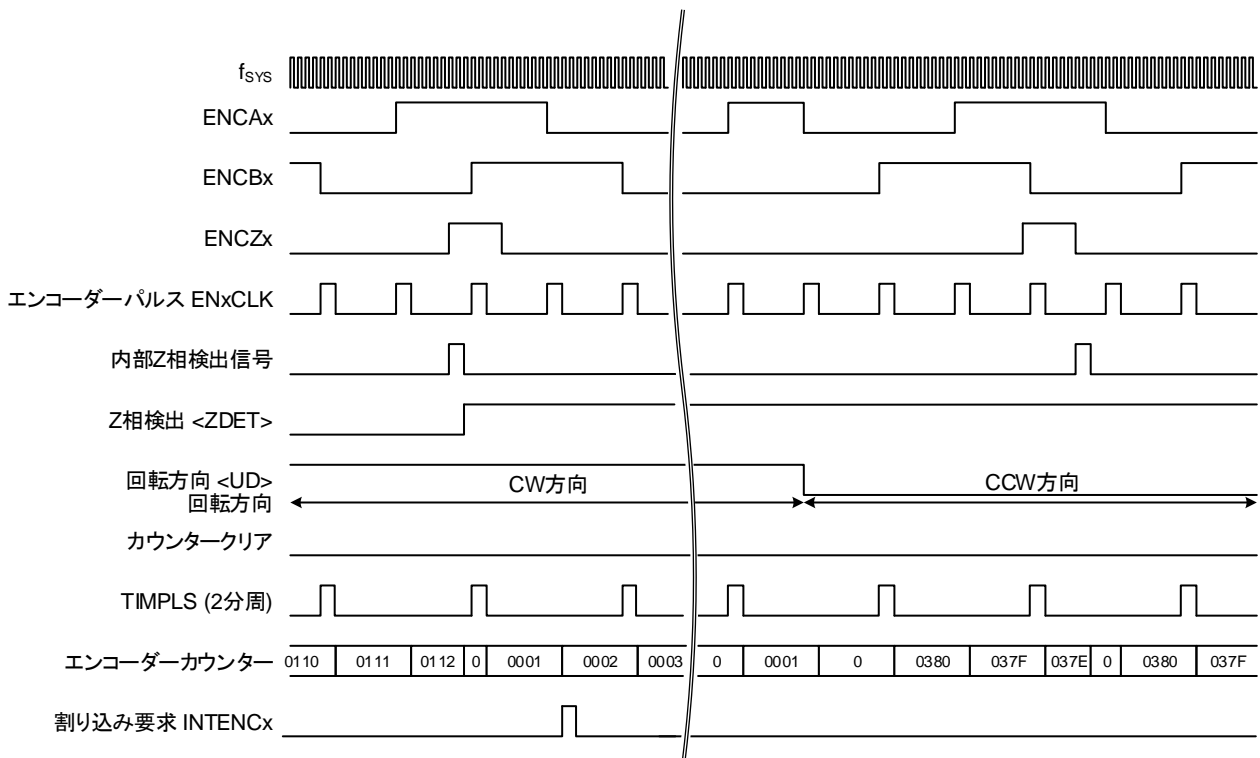
- 24 ビットアップカウンター
- カウンタークリア制御(ソフトウェアクリア、タイマークリア、外部トリガー、フリーランカウント)
- コンペア機能 → 一致割り込み発生
- キャプチャー機能 → 外部トリガーキャプチャー → 割り込み発生
- ソフトウェアキャプチャー

## 14.5. 機能

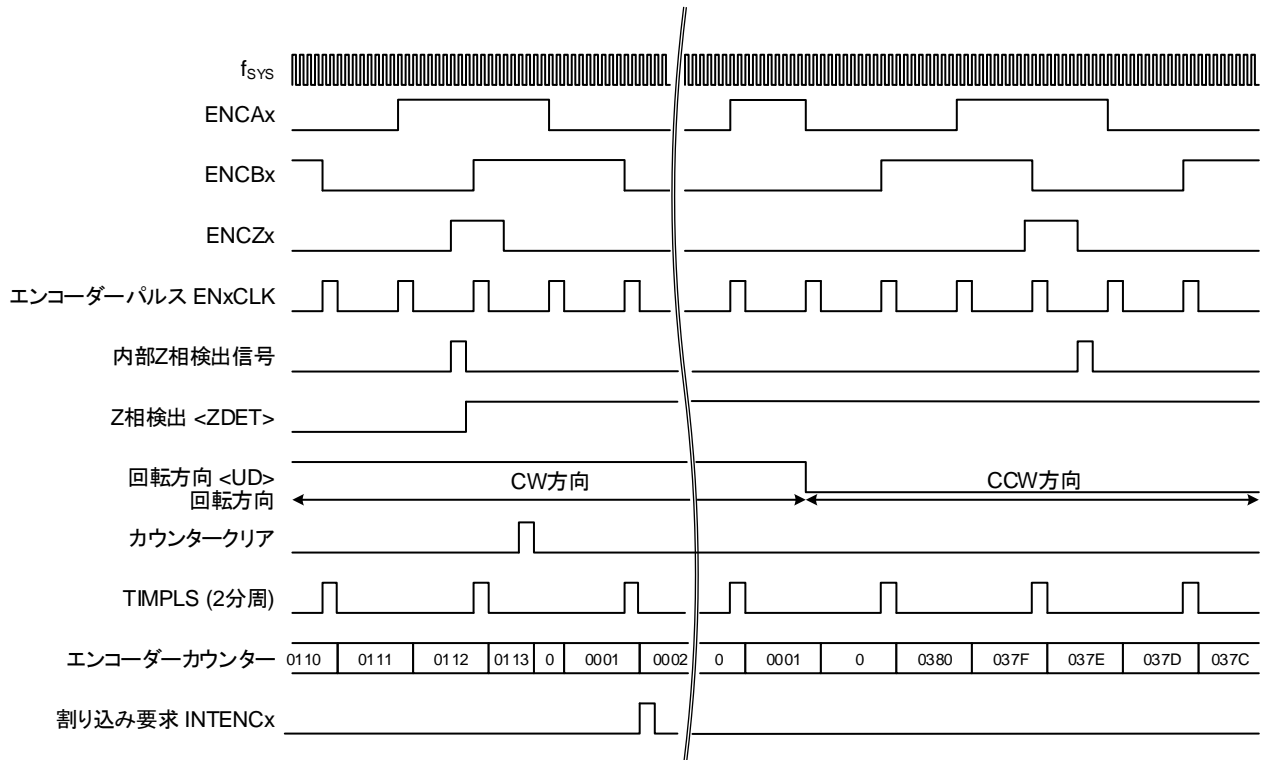
### 14.5.1. モード動作概要

#### 14.5.1.1. エンコーダーモード

(1) <ZEN> = "1" のとき (<RELOAD[15:0]> = "0x0380"、<INT[15:0]> = "0x0002")



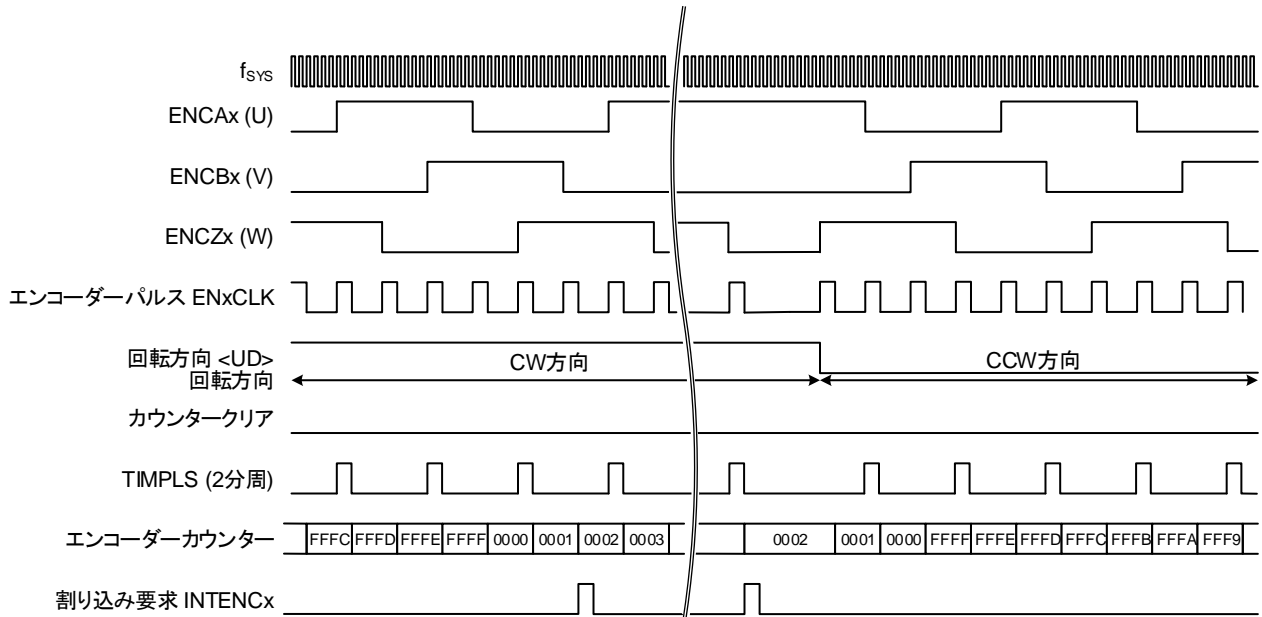
(2) <ZEN> = "0" のとき (<RELOAD[15:0]> = "0x0380"、<INT[15:0]> = "0x0002")



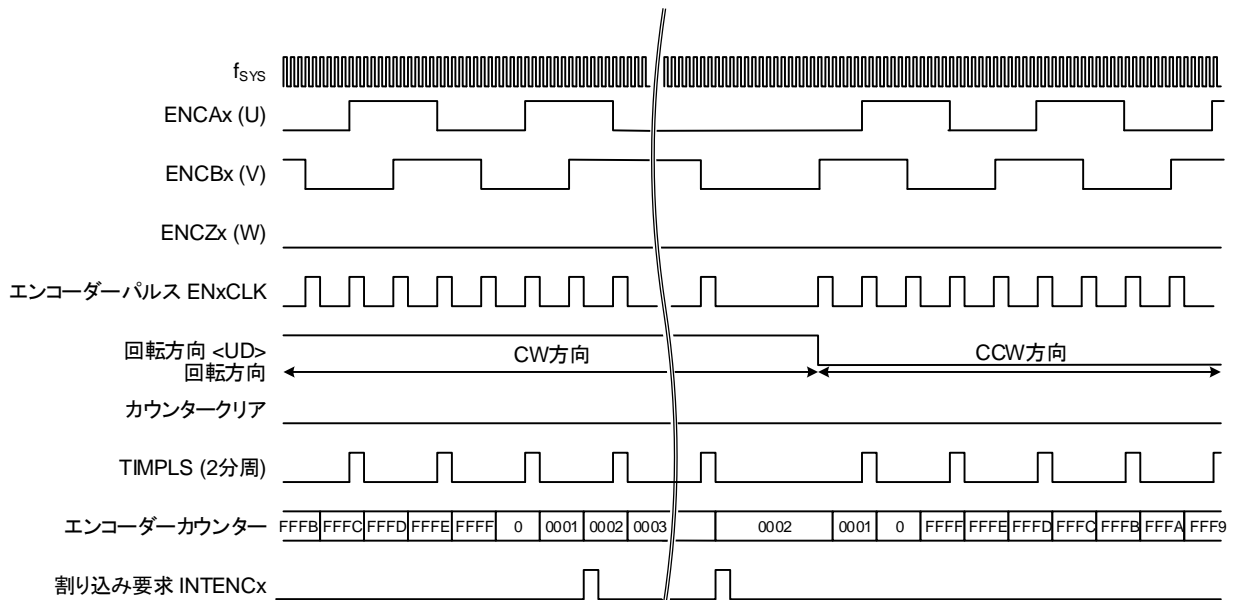
- インクリメンタルエンコーダー入力を A、B、Z 相に接続します。A、B 信号を 4 通倍して、エンコーダーパルス数のカウントを行います。
- CW 方向(A 相が B 相に対して 90 度進んでいる状態)に回転しているときはアップカウントを行い、カウンター値が<RELOAD[15:0]>と等しくなったとき、次の ENCLK でカウンターが"0"クリアされます。
- CCW 方向(A 相が B 相に対して 90 度遅れている状態)に回転しているときはダウンカウントを行い、カウンター値が"0x0000"と等しくなったとき、次の ENCLK でカウンターに<RELOAD[15:0]>の値がセットされます。
- さらに、<ZEN> = "1"の場合は、CW 方向に回転しているときは Z 相の立ち上がりエッジでカウンターが"0"にクリアされます。CCW 方向に回転しているときは Z 相の立ち下がりエッジでカウンターが"0"にクリアされます。ENCLK と Z 相検出のタイミングが同時になったときは、カウント動作を行わず、"0"にクリアされます。
- <ENCLR>に"1"が書き込まれると、カウンターは"0"にクリアされます。
- <UD>は CW 方向に回転していることを検出しているときは"1"、CCW 方向のときは"0"がセットされます。
- ENCLK を分周した信号(TIMPLS)を取り出すことができます。
- <CMPEN> = "1"のとき、<INT[15:0]>の値とエンコーダーカウンター値が等しくなったときに割り込みが発生します。ただし、<ZEN> = "1"の場合、<ZDET> = "0"の期間の一致では割り込みを発生しません。
- <ZDET>、<UD>は、<ENRUN> = "0"のときは"0"にクリアされます。

## 14.5.1.2. センサーモード(イベントカウント)

(1) <P3EN> = "1" のとき (<INT[15:0]> = "0x0002")



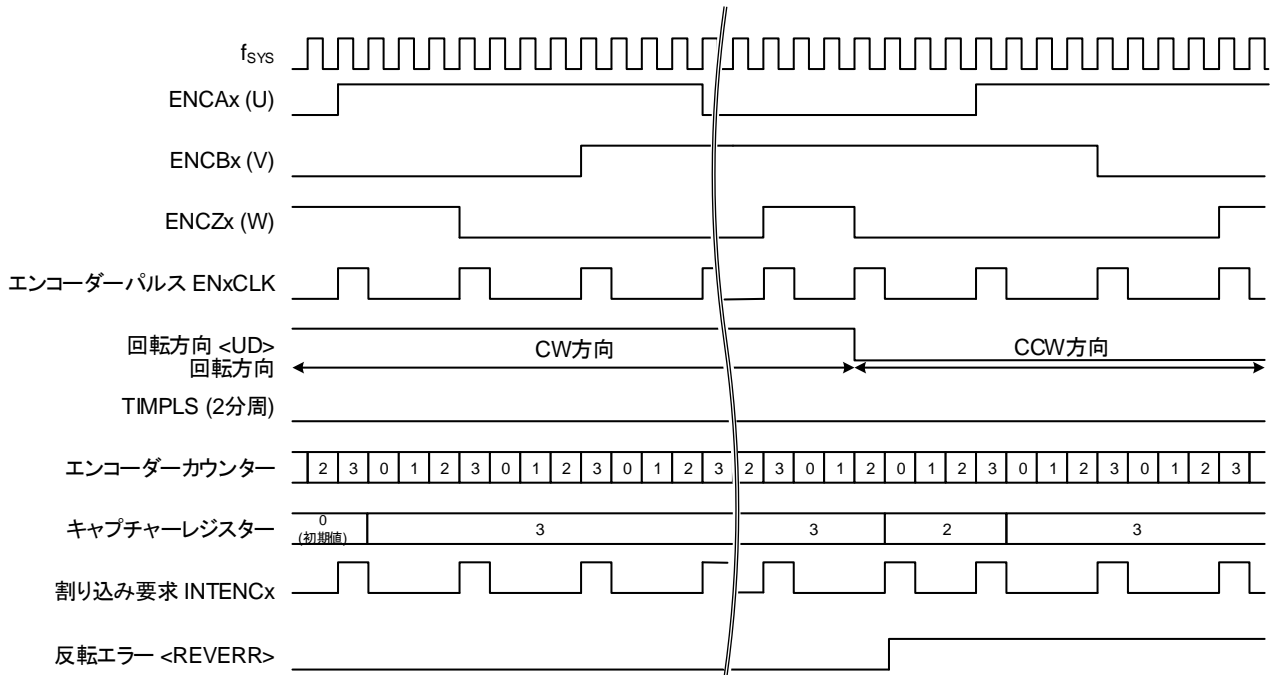
(2) <P3EN> = "0" のとき (<INT[15:0]> = "0x0002")



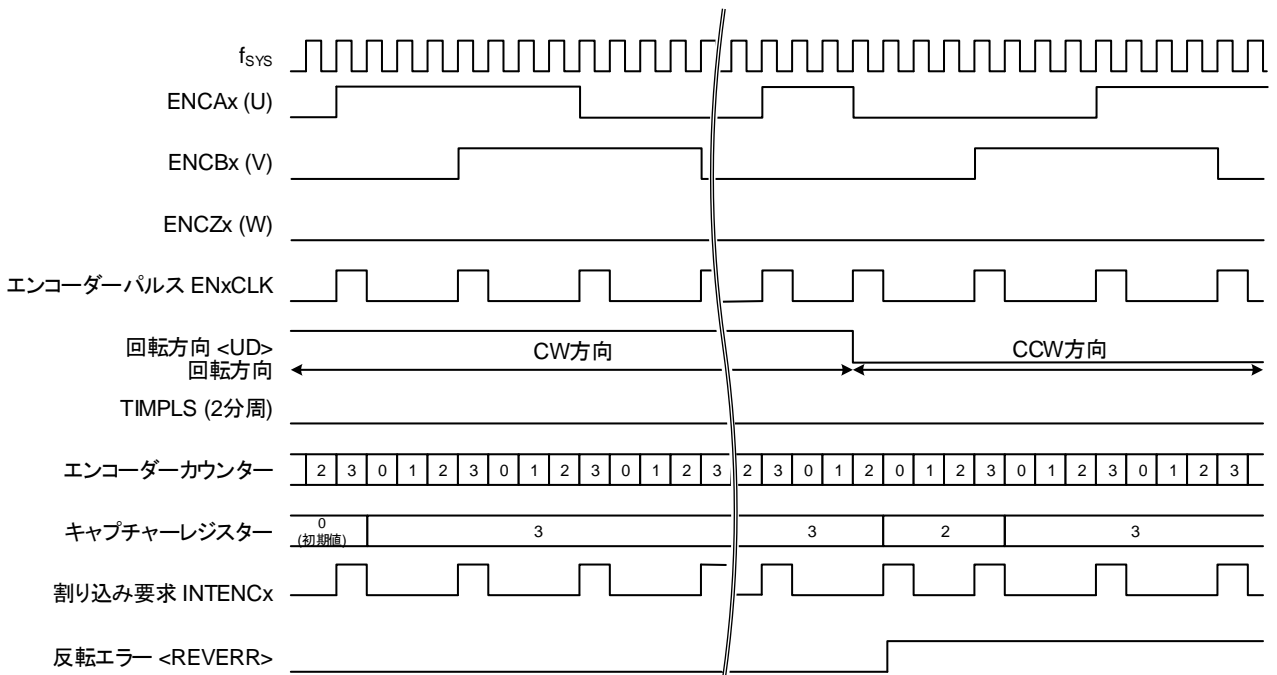
- ホールセンサー入力を U、V、W 相に接続します。<P3EN> = "0"の場合は U、V 信号を 4 通倍、<P3EN> = "1"の場合は U、V、W 信号を 6 通倍して、ホールセンサーパルス数のカウントを行います。
- CW 方向(U 相が V 相、V 相が W 相に対して 90 度進んでいる状態)に回転しているときはアップカウントを行い、カウンター値が"0xFFFF"と等しくなったとき、次の ENCLK でカウンターが"0"にクリアされます。
- CCW 方向(U 相が V 相、V 相が W 相に対して 90 度遅れている状態)に回転しているときはダウンカウントを行い、カウンター値が"0x0000"と等しくなったとき、次の ENCLK でカウンターに"0xFFFF"がセットされます。
- <ENCLR>に"1"が書き込まれると、カウンターは"0"にクリアされます。
- <UD>は CW 方向に回転していることを検出しているときは"1"、CCW 方向のときは"0"がセットされます。
- ENCLK を分周した信号(TIMPLS)を取り出すことができます。
- <CMPEN> = "1"のとき、<INT[15:0]>の値とカウンター値が等しくなったときに割り込みが発生しません。
- <UD>は<ENRUN> = "0"のときは"0"にクリアされます。

## 14.5.1.3. センサーモード(タイマーカウント)

(1) <P3EN> = "1" のとき (<INT[23:0]> = "0x0002")



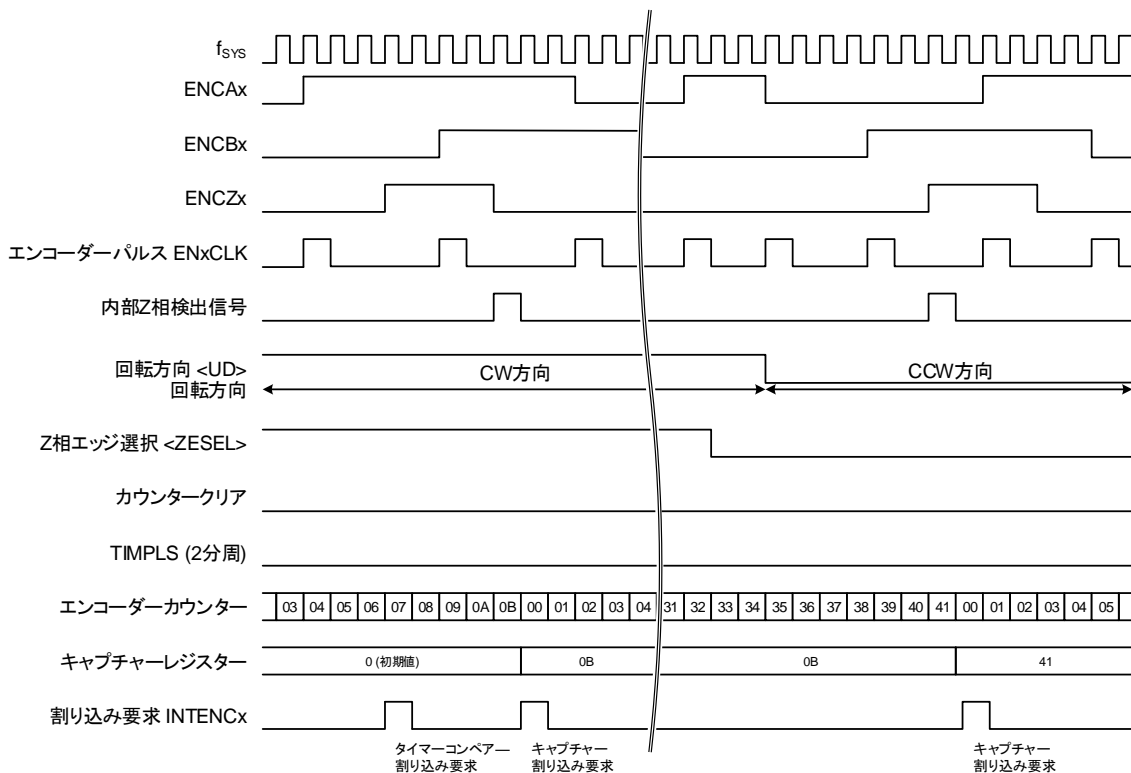
(2) <P3EN> = "0" のとき (<INT[23:0]> = "0x0002")



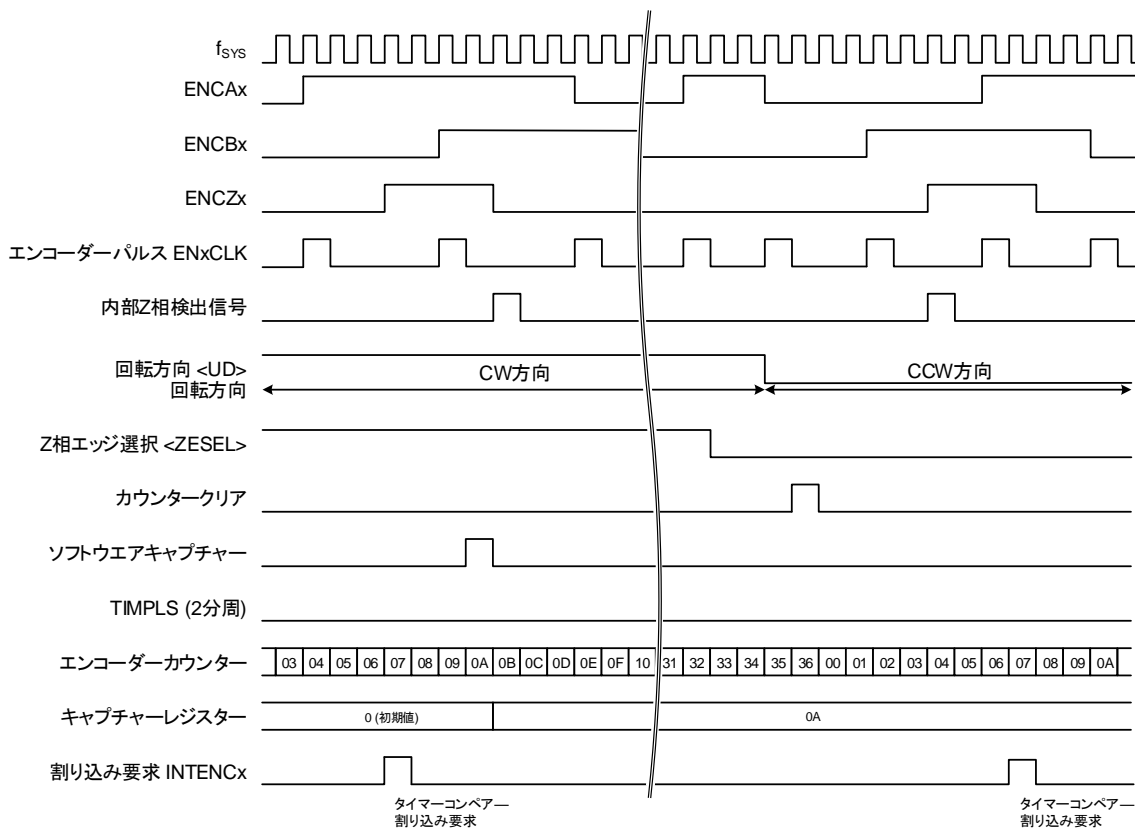
- ホールセンサー入力を U、V、W 相に接続します。<P3EN> = "0"の場合は U、V 信号を 4 通倍、<P3EN> = "1"の場合は U、V、W 信号を 6 通倍して、ホールセンサーパルス幅のカウントを行います。
- カウンターは常にアップカウントを行い、ENCLK でカウンターが"0"にクリアされます。また、カウンター値が"0xFFFFFFFF"と等しくなったとき、カウンターが"0"にクリアされます。
- <ENCLR>に"1"が書き込まれると、カウンターは"0"にクリアされます。
- ENCLK により、カウンター値がキャプチャーされます。キャプチャーした値は ENxCNT レジスターから読み出すことができます。
- <SFTCAP>に"1"が書き込まれると、カウンター値がキャプチャーされます。キャプチャーは任意のタイミングで行うことができます。キャプチャーした値は ENxCNT レジスターから読み出すことができます。
- <UD>は CW 方向に回転していることを検出しているときは"1"、CCW 方向のときは"0"がセットされます。
- <CMPEN> = "1"のとき、<INT[23:0]>の値とカウンター値が等しくなったときに割り込みが発生します。
- <UD>は<ENRUN> = "0"のときは"0"にクリアされます。
- 回転方向が変化した場合は<REVERR> = "1"にセットされます。フラグは読み出すことでクリアされます。
- ENxCNT レジスターの値(キャプチャー値)は、<ENRUN>の値にかかわらず保持されます。ENxCNT レジスターのクリア要因はリセットのみです。

## 14.5.1.4. タイマーモード

(1) <ZEN> = "1"のとき(<INT[23:0]> = "0x0006")



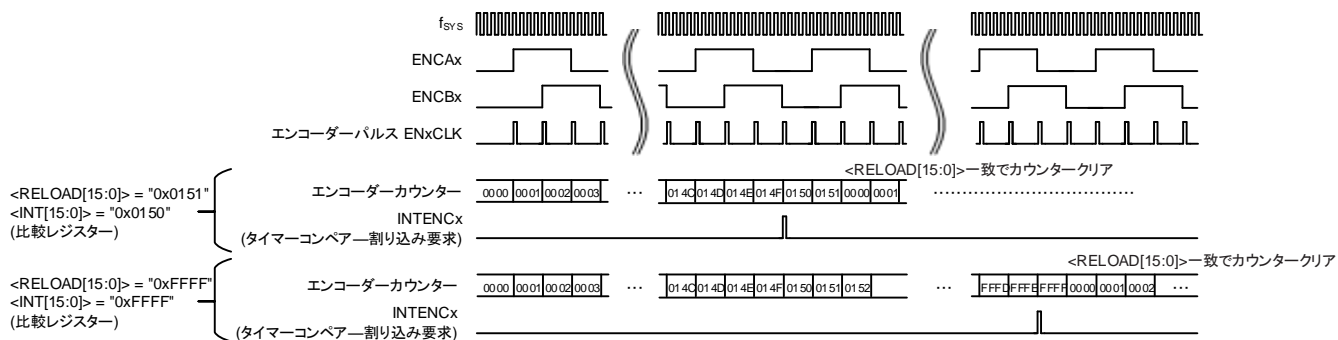
(2) <ZEN> = "0"のとき(<INT[23:0]> = "0x0006")



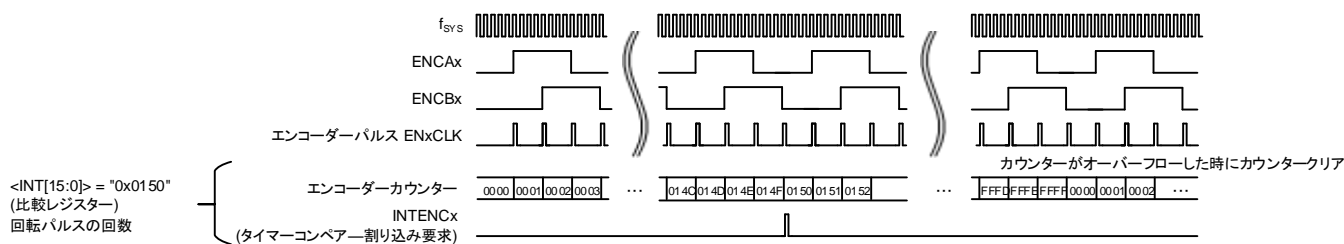
- <ZEN> = "1"のとき、Z 入力端子を外部トリガーとして使います。<ZEN> = "0"のとき、外部入力を使用しません。
- カウンターは常にアップカウントを行います。<ZEN> = "1"の場合、<ZESEL> = "0"のときは Z 相の立ち上がりエッジでカウンターが"0"にクリアされ、<ZESEL> = "1"のときは Z 相の立ち下がりエッジでカウンターが"0"にクリアされます。また、エンコーダーカウンター値が"0xFFFFFFFF"と等しくなったとき、カウンターが"0"にクリアされます。
- <ENCLR>に"1"が書き込まれると、カウンターは"0"にクリアされます。
- Z 相検出により、発生時のカウンター値がキャプチャーされます。キャプチャーした値は ENxCNT レジスターから読み出すことができます。
- <SFTCAP>に"1"が書き込まれると、発生時のエンコーダーカウンター値がキャプチャーされます。キャプチャーは任意のタイミングで行うことができます。キャプチャーした値は ENxCNT レジスターから読み出すことができます。
- <UD>は CW 方向に回転していることを検出しているときは"1"、CCW 方向のときは"0"がセットされます。
- <CMPEN> = "1"のとき、<INT[23:0]>の値とエンコーダーカウンター値が等しくなったときに割り込みが発生します。
- <UD>は<ENRUN> = "0"のときは"0"にクリアされます。
- ENxCNT レジスターの値(キャプチャー値)は、<ENRUN>の値にかかわらず保持されます。ENxCNT レジスターのクリア要因はリセットのみです。

## 14.5.2. カウンターおよび割り込み発生動作 <CMPEN> = "1" のとき

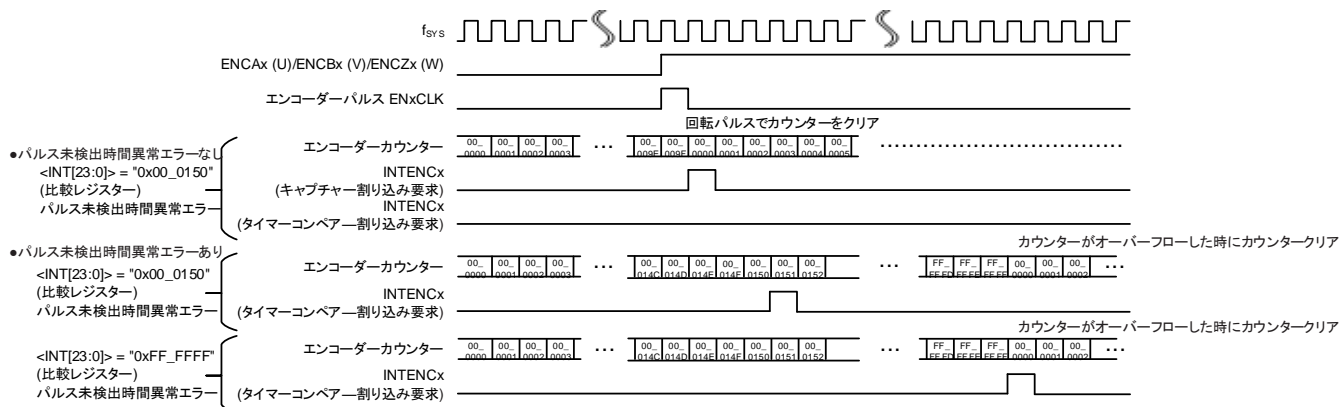
### 14.5.2.1. エンコーダーモード



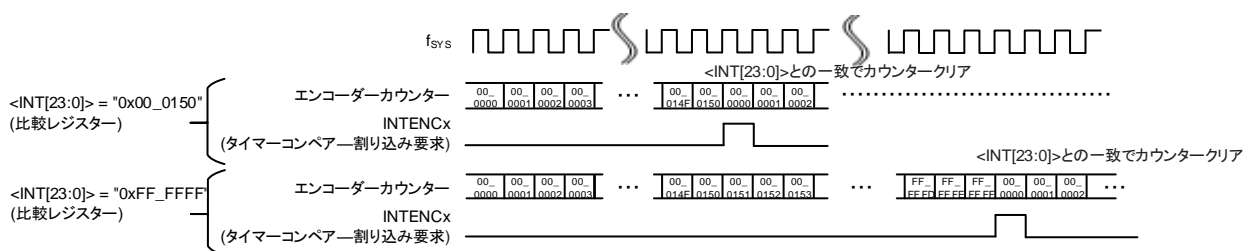
### 14.5.2.2. センサーモード(イベントカウント)



## 14.5.2.3. センサーモード(タイマーカウント)

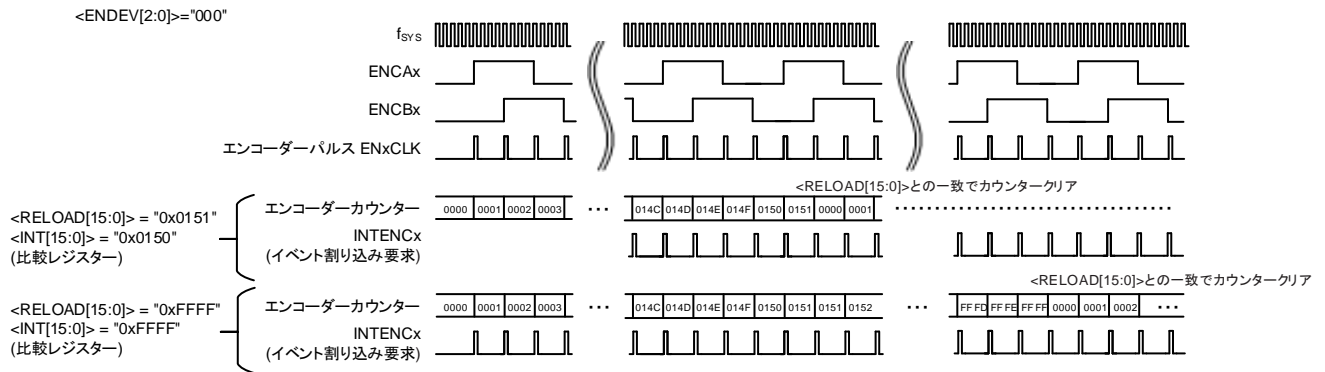


## 14.5.2.4. タイマーモード

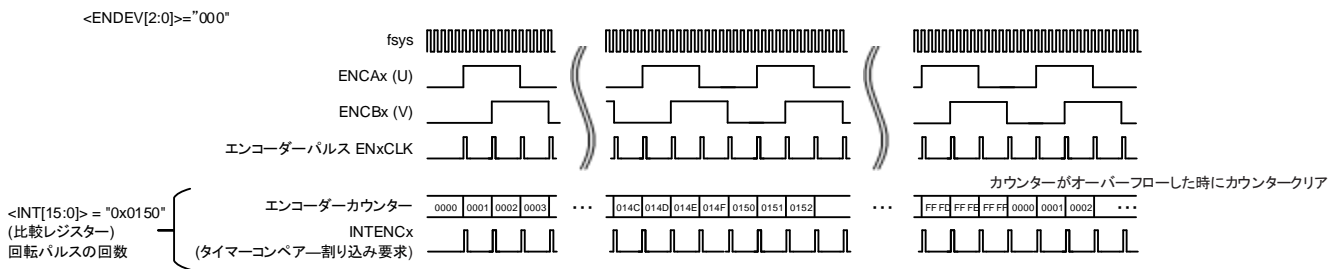


## 14.5.3. カウンターおよび割り込み発生動作<CMPEN> = "0"のとき

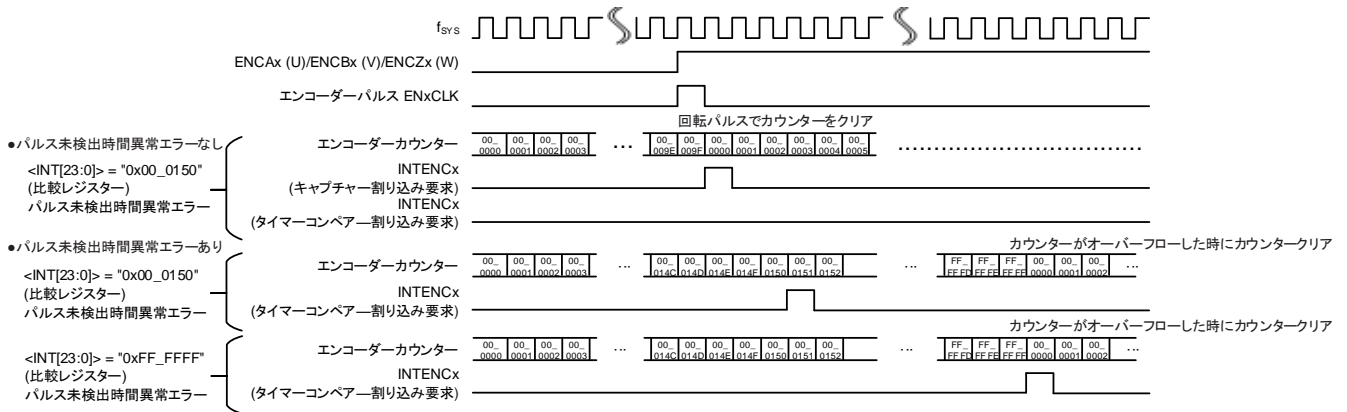
### 14.5.3.1. エンコーダーモード



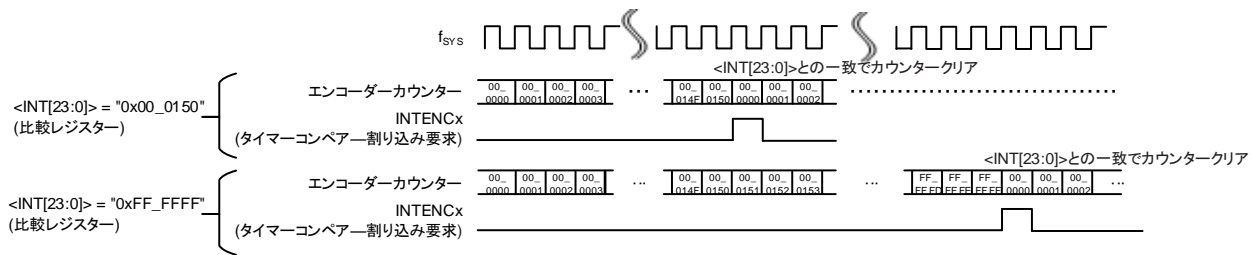
### 14.5.3.2. センサーモード(イベントカウント)



### 14.5.3.3. センサーモード(タイマーカウント)



### 14.5.3.4. タイマーモード



## 14.5.4. エンコーダー回転方向

A、B、Z相の位相を判定します。

この回路は2相(A、B)/3相(A、B、Z)入力兼用で使用します。3相入力時は<P3EN> = "1"に設定します。

	2相入力時	3相入力時
CW 方向	<p>A 0 1 1 0 0 1 B 0 0 1 1 0 0</p>	<p>A 0 1 1 1 0 0 0 1 1 B 0 0 0 1 1 1 0 0 0 Z 1 1 0 0 0 1 1 1 0</p>
CCW 方向	<p>A 0 0 1 1 0 0 B 0 1 1 0 0 1</p>	<p>A 1 1 0 0 0 1 1 1 0 B 0 0 0 1 1 1 0 0 0 Z 0 1 1 1 0 0 0 1 1</p>

## 14.5.5. カウンター回路

カウンター回路は、24bit のアップダウンカウンターを内蔵し、カウンターの制御を行います。

### 14.5.5.1. 動作概要

動作モードにより、カウント動作、クリア、リロードを制御します。カウンターの制御を表 14.1 に示します。

表 14.1 カウンターの制御

モード <MODE[1:0]>	<ZEN>	<P3EN>	入力 端子	カウント	動作	カウンター クリア条件	カウンター リロード条件	カウンター動作 可能範囲
エンコーダー モード 00	0	0	A、B	エンコーダー パルス (ENCLK)	アップ	[1] <ENCLR> = "1" WR [2] <RELOAD[15:0]>と一致	-	"0x0000" ~ <RELOAD[15:0]>
					ダウン	[1] <ENCLR> = "1" WR	[1] "0x0000"と 一致	
	1		A、B、Z		アップ	[1] <ENCLR> = "1" WR [2] <RELOAD[15:0]>と一致 [3] Zトリガー	-	
					ダウン	[1] <ENCLR> = "1" WR	[1] "0x0000"と 一致	
センサーモード (イベントカウント) 01	0	0	U、V		アップ	[1] <ENCLR> = "1" WR [2] "0xFFFF"と一致	-	"0x0000" ~ "0xFFFF"
					ダウン	[1] <ENCLR> = "1" WR	[1] "0x0000"と 一致	
	1	U、V、 W	アップ		[1] <ENCLR> = "1" WR [2] "0xFFFF"と一致	-		
			ダウン		[1] <ENCLR> = "1" WR	[1] "0x0000"と 一致		
センサーモード (タイマーカウント) 10	0	0	U、V	アップ	[1] <ENCLR> = "1" WR [2] "0xFF_FFFF"と一致 [3] エンコーダーパルス (ENCLK)	-	"0x00_0000" ~ "0xFF_FFFF"	
		1	U、V、 W	アップ		-		
タイマーモード 11	0	Don't care	-	fsys	アップ	[1] <ENCLR> = "1" WR [2] "0xFF_FFFF"と一致 [3] <INT[23:0]>と一致	-	"0x00_0000" ~ "0xFF_FFFF"
	1		Z		アップ	[1] <ENCLR> = "1" WR [2] "0xFF_FFFF"と一致 [3] <INT[23:0]>と一致 [4] Zトリガー	-	

注) カウンターの値は、<ENRUN> = "0" を書き込んでもクリアされません。また、再度<ENRUN> = 1 とすると、停止時のカウンター値からカウントを再開します。カウンター値を"0"にクリアする場合は、<ENCLR> = "1" を書き込むことでソフトウェアクリアしてください。

## 14.5.6. 割り込み

割り込みには、イベント(分周パルス、キャプチャー)割り込み、未検出時間異常割り込み、タイマーコンペア割り込み、キャプチャー割り込みがあります。

### 14.5.6.1. 動作概要

<INTEN> = "1" のとき、カウンタ値およびエンコーダーパルスにより割り込みを発生します。

割り込みの要因は、動作モードおよび<CMPEN>、<ZEN>の設定により以下の6種類があります。表 14.2 に割り込み要因を示します。

表 14.2 割り込み要因

	割り込み要因	説明	モード	割り込み出力	ステータスフラグ
1	イベントカウント割り込み	<CMPEN> = "1" のとき、イベント(回転パルス)の発生をカウントするカウンタを使用し、設定回数( = <INT[15:0]>) カウントされたことを通知します。	エンコーダーモード および センサーモード (イベントカウント)	<INTEN> = "1" かつ <CMPEN> = "1" 時	あり <CMP>
2	イベント割り込み (分周パルス)	イベント(エンコーダーパルス) の発生を、<ENDEV> の設定により 1 分周 ~ 128 分周して、通知します。		<INTEN> = "1" 時	なし
3	イベント割り込み (キャプチャー割り込み)	イベント(エンコーダーパルス) の発生およびイベント(回転パルス) でキャプチャーが行われたことを通知します。		<INTEN> = "1" 時	なし
4	未検出時間異常割り込み	<CMPEN> = "1" のとき、fsys でカウントしイベント(エンコーダーパルス) でクリアするカウンタを使用し、イベントがある一定時間( = <INT[23:0]>) 以上発生しないことを通知します。	センサーモード (タイマーカウント)	<INTEN> = "1" かつ <CMPEN> = "1" 時	あり <CMP>
5	タイマーコンペア割り込み	<CMPEN> = "1" のとき、タイマーで設定時間( = <INT[23:0]>) カウントしたことを通知します。	タイマーモード	<INTEN> = "1" かつ <CMPEN> = "1" 時	あり <CMP>
6	キャプチャー割り込み	外部トリガー(ENCZx 入力) でキャプチャーが行われたことを通知します。		<INTEN> = "1" 時	なし

センサーモード(タイマーカウント)およびタイマーモード時は、エンコーダーカウンターのキャプチャー動作が可能です。

キャプチャーした値は、<CNT[23:0]>から読み出すことができます。

センサーモード(タイマーカウント)時は、イベント発生(エンコーダーパルス)により、カウンターの値がキャプチャーされます。<SFTCAP>に"1"を書き込むことにより、ソフトウェアキャプチャーも可能です。

タイマーモード時は、<SFTCAP>に"1"を書き込むことにより、ソフトウェアキャプチャーが可能です。<ZEN> = "1"設定時は、ENCZ<sub>x</sub> 入力を使用して、<ZESEL>に従ったエッジでの外部トリガーキャプチャーも可能です。

## 15. パワーオンリセット回路(POR)

パワーオンリセット回路(POR)は、電源投入時にパワーオンリセット信号を発生します。また、電源電圧が POR の検出電圧以下のとき、パワーオンリセット信号を発生します。電源電圧とは、DVDD5、RVDD5 を指しています。

注 1) 電源電圧の変動により POR が正常に動作をしないことがあります。機器設計的には電気的特性を参照の上十分な考慮をしてください。

注 2) 電源電圧が動作限界(基準電圧発生回路が動作できない電圧)以下のとき、パワーオンリセット信号は不定になります。

### 15.1. 構成

POR は、基準電圧発生回路、コンパレータおよびパワーオンカウンターから構成されます。電源電圧をラダー抵抗によって分圧した電圧を基準電圧発生回路が発生した基準電圧とコンパレータで比較します。

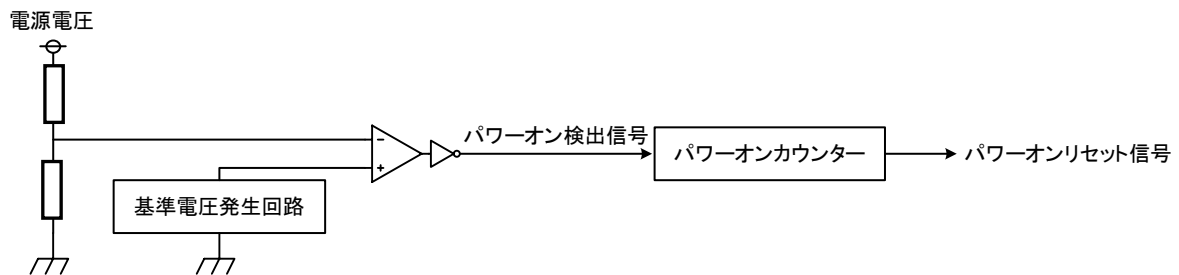


図 15.1 PORのブロック図

## 15.2. 機能

電源投入時、電源電圧が POR の解除電圧以下の間、パワーオンリセット信号が発生されます。電源電圧が POR の解除電圧を越え、さらにパワーオン検出信号が解除されるとパワーオンカウンター回路が動作し、最大 3.7ms 後にパワーオンリセット信号が解除されます。

電源遮断時、電源電圧がパワーオンリセットの検出電圧以下になるとパワーオンリセット信号が発生されます。

パワーオンリセット信号が発生されている間、パワーオンカウンター回路、CPU および周辺機能はリセットされます。

$\overline{\text{RESET}}$ 端子によるリセットを使用しないでパワーオンリセット回路だけを使用するときには、電源電圧が POR の解除電圧を越えてから 3ms 以内に、電源電圧を動作電圧範囲まで上昇させてください。電源電圧が動作電圧範囲に到達しない場合、TMPM370FYDFG/TMPM370FYFG は正常に動作することができません。

注) 電源投入時、電源電圧が推奨動作電圧範囲(4.5 ~ 5.5V)に到達した後、200 $\mu$ s 経過するまでの期間、ポート L(PL0 および PL1)はオープンまたは 0.5V 以下となるようにしてください。

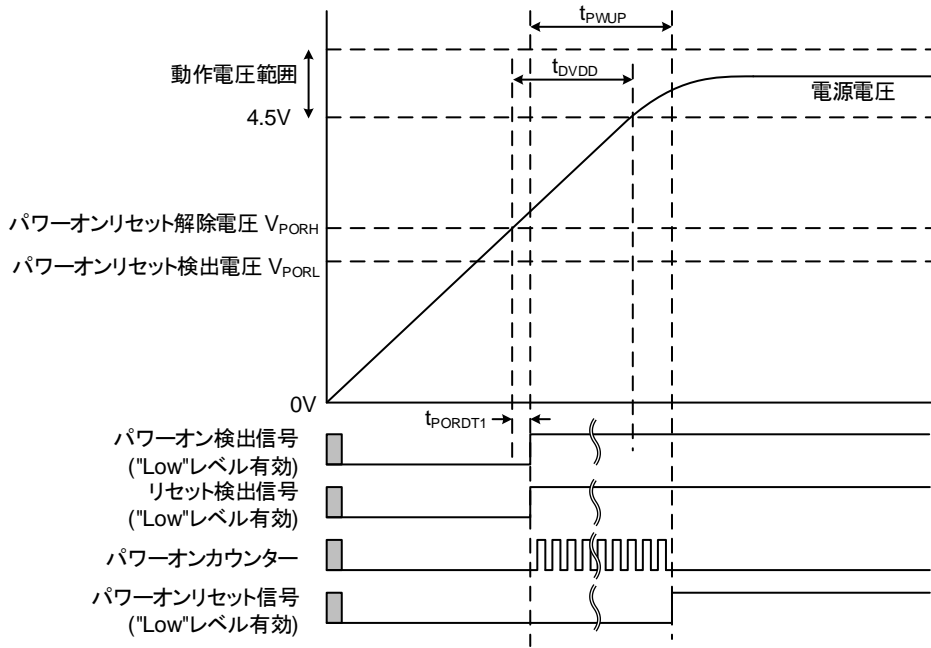


図 15.2 パワーオンリセット動作タイミング (1/2)

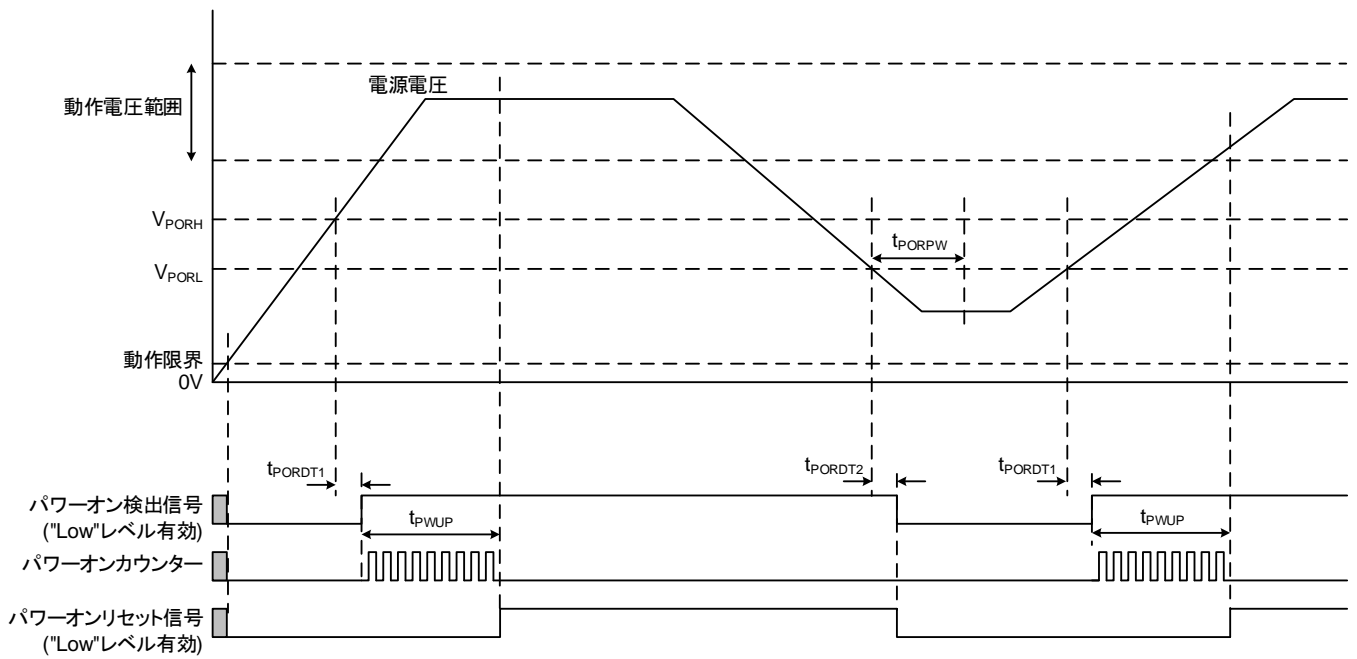


図 15.3 パワーオンリセット動作タイミング (2/2)

項目	記号	Min	Typ.	Max	単位
パワーオンリセット解除時間	$t_{PWUP}$	-	-	3.7	ms
電源立ち上がり時間	$t_{DVDD}$	-	-	3	
パワーオンリセット解除電圧	$V_{PORH}$	2.8	3	3.2	V
パワーオンリセット検出電圧	$V_{PORL}$	2.6	2.8	3	V
パワーオンリセット解除応答時間	$t_{PORDT1}$	-	30	-	$\mu$ s
パワーオンリセット検出応答時間	$t_{PORDT2}$	-	30	-	$\mu$ s
パワーオンリセット最小パルス幅	$t_{PORPW}$	45	-	-	$\mu$ s

注) パワーオンリセット解除電圧( $V_{PORH}$ )とパワーオンリセット検出電圧( $V_{PORL}$ )は、相対的に変化するため、パワーオンリセット解除電圧はパワーオン検出電圧より必ず高くなります。

## 16. 電圧検出回路(VLTD)

### 16.1. 概要

電圧検出回路は、電源電圧の低下を検出し、リセット信号を発生します。  
電源電圧とは、DVDD5、RVDD5 を指しています。

注) 電源電圧の変動によっては電圧検出回路が正常な動作をしないことがありますので、機器設計時には電気的特性を参照の上、十分な考慮が必要です。

### 16.2. 構成

電圧検出回路は、基準電圧発生回路、検出電圧レベル選択回路、コンパレータ、制御レジスタから構成されます。

電源電圧はラダー抵抗で分圧され、検出電圧レベル選択回路に入力されます。検出電圧レベル選択回路で検出電圧(VDCR<VDLVL[1:0]>)に応じた電圧が選択され、コンパレータで基準電圧と比較されます。電源電圧が検出電圧(VDCR<VDLVL[1:0]>)を下回ると、電圧検知リセットを発生します。

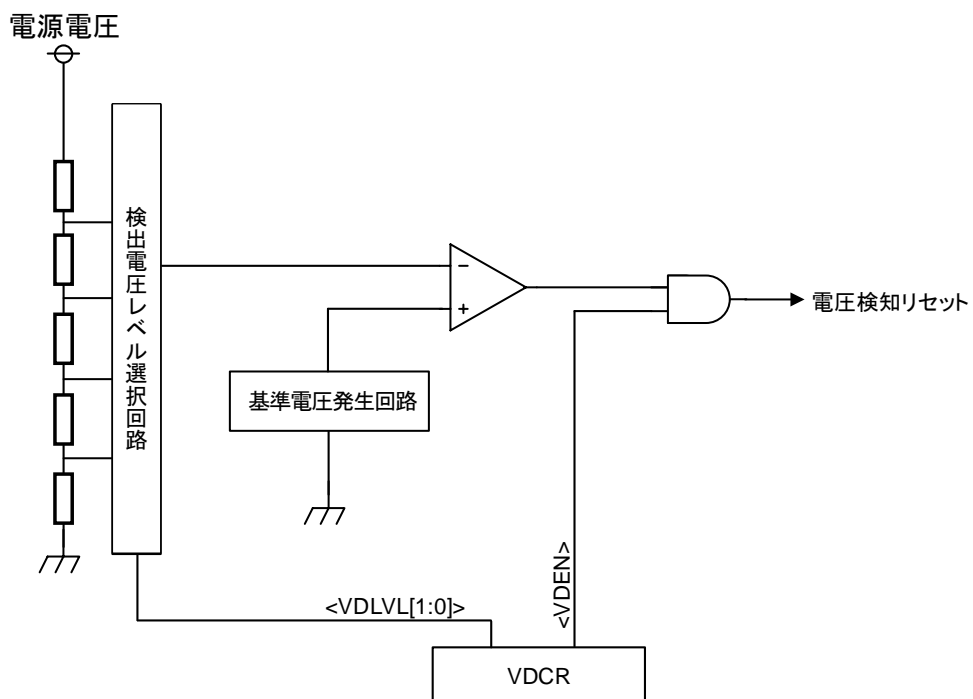


図 16.1 電圧検出回路

## 16.3. レジスタ—説明

### 16.3.1. レジスタ—一覧

レジスタ—名	Address (Base+)
電圧検出制御レジスタ—	VDCR 0x0000

### 16.3.2. VDCR(電圧検出制御レジスタ—)

	31	30	29	28	27	26	25	24
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
Bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
Bit symbol	-	-	-	-	-	VDLVL		VDEN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:3	-	R	リードすると"0"が読めます。
2:1	VDLVL[1:0]	R/W	検出電圧レベル選択 00: 設定禁止 01: 4.1 ± 0.2V 10: 4.4 ± 0.2V 11: 4.6 ± 0.2V
0	VDEN	R/W	電圧検出の許可/禁止 0: 禁止 1: 許可

注) VDCR は POR、外部リセット入力初期化されます。

## 16.4. 動作説明

### 16.4.1. 制御

電圧検出回路は、電圧検出制御レジスタで制御されます。

### 16.4.2. 機能

電圧検出回路は、VDCR<VDLVL[1:0]>、VDCR<VDEN>で設定します。電圧検出の許可を設定し、電源電圧が検出電圧(VDCR<VDLVL[1:0]>)を下回ったとき、電圧検知リセットが発生します。

#### 16.4.2.1. 電圧検出動作の許可/禁止

VDCR<VDEN>はパワーオンリセット、外部リセット解除後、"0"にクリアされ禁止されます。"1"にセットすると電圧検出動作が許可されます。

注) 電源電圧 < 検出電圧 VDCR<VDLVL[1:0]>の状態、VDCR<VDEN> = "0"(禁止)から"1"(許可)に設定すると、設定した時点で電圧検知リセットが発生します。

## 16.4.2.2. 検出電圧レベル選択

VDCR<VDLVL[1:0]>で検出電圧を選択します。

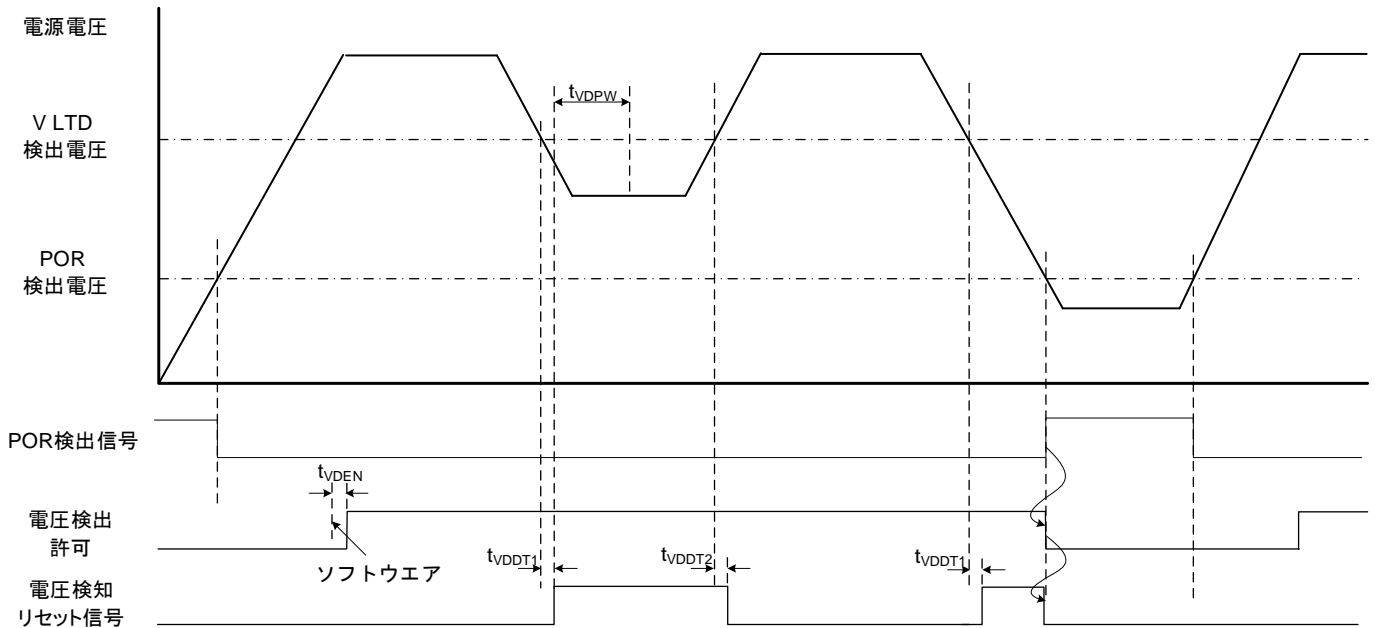


図 16.2 電圧検出タイミング

表 16.1 VLTD特性

項目	記号	Min	Typ.	Max	単位
VLTD が有効になる時間	$t_{VDEN}$	-	40	-	μs
VLTD 検出応答時間	$t_{VDDT1}$	-	40	-	
VLTD 検出解除時間	$t_{VDDT2}$	-	40	-	
VLTD 検出最小パルス幅	$t_{VDPW}$	45	-	-	

## 17. 周波数検知回路(OFD)

### 17.1. 構成

周波数検知回路(OFD)は、CPU クロック用高周波の周波数が検知周波数設定レジスターによって設定された周波数範囲を超えた場合にリセットを発生する回路です。

検知する周波数の上限と下限は OFDMXPLLOFF と OFDMNPLLOFF で設定します。TMPM370FYDFG/TMPM370FYFG の検出周波数の初期値は図 17.1、図 17.2 を参照してください。OFDMXPLLOFF、OFDMXPLLON、OFDMNPLLOFF および OFDMNPLLON は周波数検知動作中は書き換えできませんので、検知周波数を変更する場合は周波数検知が停止中に行ってください。また、OFDMXPLLOFF、OFDMXPLLON、OFDMNPLLOFF および OFDMNPLLON に書き込みをおこなうためには、周波数検知回路制御レジスター1 (OFDCR1)に書き込み許可コード"0xF9"を設定する必要があります。周波数検知回路はRESET端子への外部リセット入力により禁止となります。検知動作を許可にするためには、OFDCR1 に書き込み許可コード"0xF9"を書き込んだ後、周波数検知回路制御レジスター2(OFDCR2)に"0xE4"を設定します。

OFDMNPLLOFF、OFDMNPLLON、OFDMXPLLOFF および OFDMXPLLON で設定した周波数範囲を超えた場合、TMPM370FYDFG/TMPM370FYFG は周波数検知リセットを発生し、全ての入出力ポートはハイインピーダンス状態となります。CPU などの内部回路はクロックに同期したリセットによって初期化されますので、高周波クロックの停止により周波数検知リセットが発生した場合、高周波クロックの発振が再開するまで内部回路は初期化されません。

周波数検知回路の全てのレジスター(OFDCR1、OFDCR2、OFDMNPLLOFF、OFDMNPLLON、OFDMXPLLOFF、OFDMXPLLON)は、周波数検知リセットでは初期化されず、周波数検知リセットが発生している期間でも検知動作は継続します。したがって、周波数検知リセットが発生した場合、高周波クロックが正常となるまでリセットは解除されません。

注 1) いかなる異常も検知できるわけではありません。また、クロックの誤差を測定するための回路ではありません。

注 2) 周波数検知回路は NORMAL モードおよび IDLE モードのときのみ有効となります。STOP モードのときは、周波数検知回路は自動的に禁止となります。

注 3) CGPLLSEL で PLL を設定する場合、周波数検知回路(OFD)は必ず禁止の状態で行ってください。なお、PLL オンの状態で OFD リセットが発生した場合、検知周波数設定レジスターは、OFDMNPLLON/OFDMXPLLON から OFDMNPLLOFF/OFDMXPLLOFF に自動的に切り替わります。

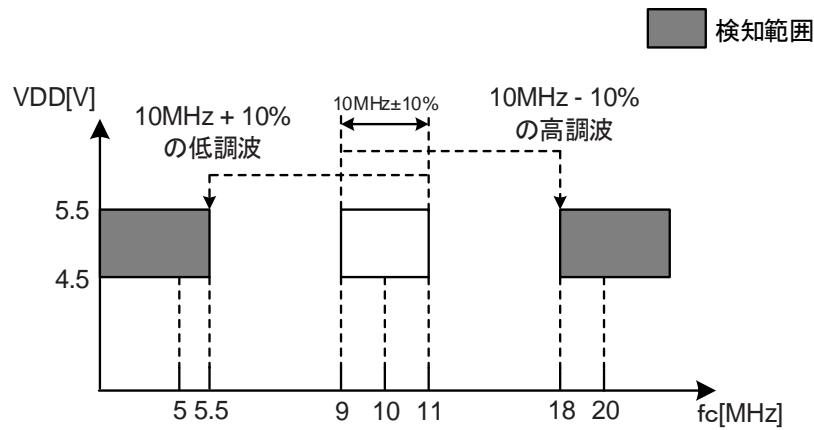


図 17.1 検出周波数範囲初期値(PLL OFF時)

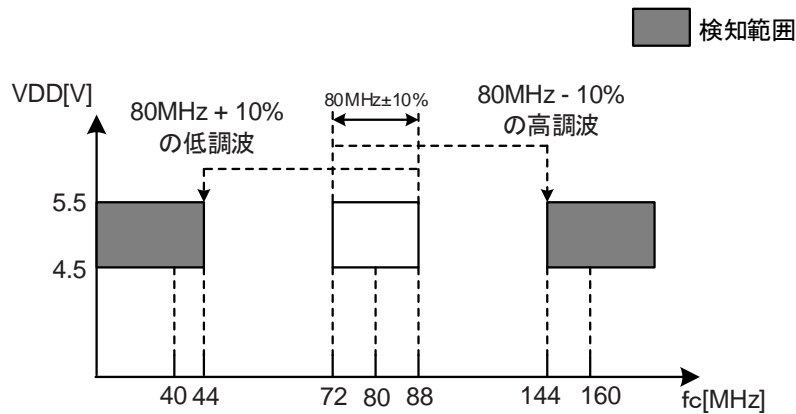


図 17.2 検出周波数範囲初期値(PLL ON時)

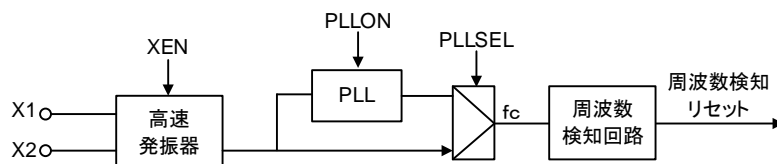


図 17.3 周波数検知回路

注) CGPLLSEL にて PLL の設定をおこなう場合は、必ず OFD が禁止の状態でおこなってください。

## 17.2. レジスタ—説明

### 17.2.1. レジスタ—一覧

制御レジスタ—とアドレスを以下に示します。

レジスタ—名		Address (Base+)
周波数検知回路制御レジスタ—1	OFDCR1	0x0000
周波数検知回路制御レジスタ—2	OFDCR2	0x0004
検知周波数下限値レジスタ—(PLL OFF時)	OFDMNPLLOFF	0x0008
検知周波数下限値レジスタ—(PLL ON時)	OFDMNPLLON	0x000C
検知周波数上限値レジスタ—(PLL OFF時)	OFDMXPLLOFF	0x0010
検知周波数上限値レジスタ—(PLL ON時)	OFDMXPLLON	0x0014

### 17.2.2. OFDCR1(周波数検知回路制御レジスタ—1)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	OFDWEN							
リセット後	0	0	0	0	0	1	1	0

Bit	Bit Symbol	Type	機能
31:8	-	R	リードすると"0"が読めます。
7:0	OFDWEN[7:0]	R/W	レジスタ—書き込み制御 0x06: 禁止 0xF9: 許可 "0xF9"を設定すると、OFDCR1以外のレジスタ—への書き込みができるようになります。"0x06"、"0xF9"以外の値を書いた場合、"0x06"が書かれます。書き込みが禁止されていても、各レジスタ—を読み出すことは可能です。

注) OFDCR1 は外部リセット(RESET端子への"Low"レベル入力)で初期化されます。

## 17.2.3. OFDCR2(周波数検知回路制御レジスタ-2)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	OFDEN							
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:8	-	R	リードすると"0"が読めます。
7:0	OFDEN[7:0]	R/W	周波数検知動作制御 0x00: 禁止 0xE4: 許可 "0x00"、"0xE4"以外の値の書き込みは無効で値は変化しません。

注) OFDCR2 は外部リセット(RESET端子への"Low"レベル入力)で初期化されます。

## 17.2.4. OFDMNPLLOFF(検知周波数下限値設定レジスター(PLL OFF 時))

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	OFDMNPLL OFF
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	OFDMNPLLOFF							
リセット後	0	0	0	1	1	1	1	1

Bit	Bit Symbol	Type	機能
31:9	-	R	リードすると"0"が読めます。
8:0	OFDMNPLL OFF[8:0]	R/W	検知周波数の下限値を設定します。

注 1) 本レジスターは、周波数検知動作が許可されているときは書き込みできません。

注 2) OFDMNPLLOFF は外部リセット( $\overline{\text{RESET}}$ 端子への"Low"レベル入力)で初期化されます。

注 3) OFDMNPLLOFF と OFDMXPLLOFF は  $\text{OFDMNPLLOFF} < \text{OFDMXPLLOFF}$  の条件下で、使用するクロック周波数に合わせて適切な値を設定してください。設定値は、「17.3.2. 検知周波数の設定」参照してください

注 4) OFDMNPLLOFF/OFDMXPLLOFF と OFDMNPLLON/OFDMXPLLON は PLLON 設定により自動的に切り替わります。

## 17.2.5. OFDMNPLLON(検知周波数下限値設定レジスター(PLL ON 時))

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	OFDMNPLL ON
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	OFDMNPLLON							
リセット後	1	1	1	1	0	0	0	1

Bit	Bit Symbol	Type	機能
31:9	-	R	リードすると"0"が読めます。
8:0	OFDMNPLL ON[8:0]	R/W	検知周波数の下限値を設定します。

注 1) 本レジスターは、周波数検知動作が許可されているときは書き込みできません。

注 2) OFDMNPLLON は外部リセット( $\overline{\text{RESET}}$ 端子への"Low"レベル入力)で初期化されます。

注 3) OFDMNPLLON と OFDMXPLLON は  $\text{OFDMNPLLON} < \text{OFDMXPLLON}$  の条件下で、使用するクロックを 8 通倍した周波数に合わせて適切な値を設定してください。設定値は、「17.3.2. 検知周波数の設定」を参照してください。

注 4) OFDMNPLLON/OFDMPLOFF と OFDMXPLLON/OFDMPLOFF は PLLON 設定により自動的に切り替わります。

## 17.2.6. OFDMXPLLOFF(検知周波数上限値設定レジスター(PLL OFF 時))

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	OFDMXPLL OFF
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	OFDMXPLLOFF							
リセット後	0	0	1	1	0	1	1	1

Bit	Bit Symbol	Type	機能
31:9	-	R	リードすると"0"が読めます。
8:0	OFDMXPLL OFF[8:0]	R/W	検知周波数の下限値を設定します。

注 1) 本レジスターは、周波数検知動作が許可されているときは書き込みできません。

注 2) OFDMXPLLOFF は外部リセット( $\overline{\text{RESET}}$ 端子への"Low"レベル入力)で初期化されます。

注 3) OFDMNPLLOFF と OFDMXPLLOFF は  $\text{OFDMNPLLOFF} < \text{OFDMXPLLOFF}$  の条件下で、使用するクロック周波数に合わせて適切な値を設定してください。設定値は、「17.3.2. 検知周波数の設定」参照してください

注 4) OFDMNPLLOFF/OFDMXPLLOFF と OFDMNPLLON/OFDMXPLLON は PLLON 設定により自動的に切り替わります。

## 17.2.7. OFDMXPLLON(検知周波数上限値設定レジスター(PLL ON 時))

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	OFDMXPLL ON
リセット後	0	0	0	0	0	0	0	1
	7	6	5	4	3	2	1	0
bit symbol	OFDMXPLLON							
リセット後	1	1	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:9	-	R	リードすると"0"が読めます。
8:0	OFDMXPLL ON[8:0]	R/W	検知周波数の下限値を設定します。

注 1) 本レジスターは、周波数検知動作が許可されているときは書き込みできません。

注 2) OFDMXPLLON は外部リセット( $\overline{\text{RESET}}$ 端子への"Low"レベル入力)で初期化されます。

注 3) OFDMNPLLON と OFDMXPLLON は  $\text{OFDMNPLLON} < \text{OFDMXPLLON}$  の条件下で、使用するクロックを 8 通倍した周波数に合わせて適切な値を設定してください。設定値は、「17.3.2. 検知周波数の設定」を参照してください。

注 4) OFDMNPLLLOFF/OFDMXPLLLOFF と OFDMNPLLON/OFDMXPLLON は PLLON 設定により自動的に切り替わります。

## 17.3. 機能

### 17.3.1. 周波数検知回路の動作制御

OFDCR1 に書き込み許可コード"0xF9"が設定された状態で OFDCR2 に"0xE4"を書き込むと周波数検知回路は許可となり、OFDCR1 に"0xF9"が設定された状態で OFDCR2 に"0x00"を書き込むと周波数検知回路は禁止となります。

OFDCR1 に書き込み禁止コード"0x06"が設定されていると OFDCR2 への書き込みはできなくなります。なお、OFDCR1 の設定に関係なく OFDCR2 の読み出しは可能です。外部リセット入力( $\overline{\text{RESET}}$ 端子への"L"入力)により OFDCR1 は"0x06"に初期化され、OFDCR2 は"0x00"に初期化されますので、外部リセット解除後は周波数検知動作停止、レジスター書き込み禁止状態となります。OFDCR1 と OFDCR2 は内部要因リセット(SYSRESETREQ リセット、ウォッチドッグタイマーリセット)および周波数検知リセットでは初期化されません。

注) OFDCR2 を設定した場合、誤書き込み防止のため OFDCR1 に書き込み禁止コード"0x06"を設定してください。

周波数検知動作が許可状態(OFDCR2 = "0xE4")で STOP モードを起動した場合、周波数検知回路は自動的に禁止となります。この状態で STOP モードが解除されると、周波数検知回路は STOP モード解除後のウォーミングアップ期間が終了してから許可となります。

周波数検知回路は NORMAL モードと IDLE モードのときのみ使用可能です。詳細は表 17.1 を参照してください。

表 17.1 各動作モードにおける周波数検知回路の状態

動作モードまたは状態	周波数検知回路動作 (OFDCR2 = "0xE4"設定時)	周波数検知リセットによる端子状態 (電源、RESET、X1、X2端子を除く)
NORMAL	動作	Hi-Z
IDLE	動作	Hi-Z
STOP (ウォーミングアップ期間含む)	周波数検知回路は自動的に禁止となります。	
周波数検知によるリセット	動作	Hi-Z
ウォッチドッグタイマーリセット SYSRESETREQ リセット	動作	Hi-Z
外部リセット入力 ( $\overline{\text{RESET}}$ 端子への"Low"レベル入力)	停止	-

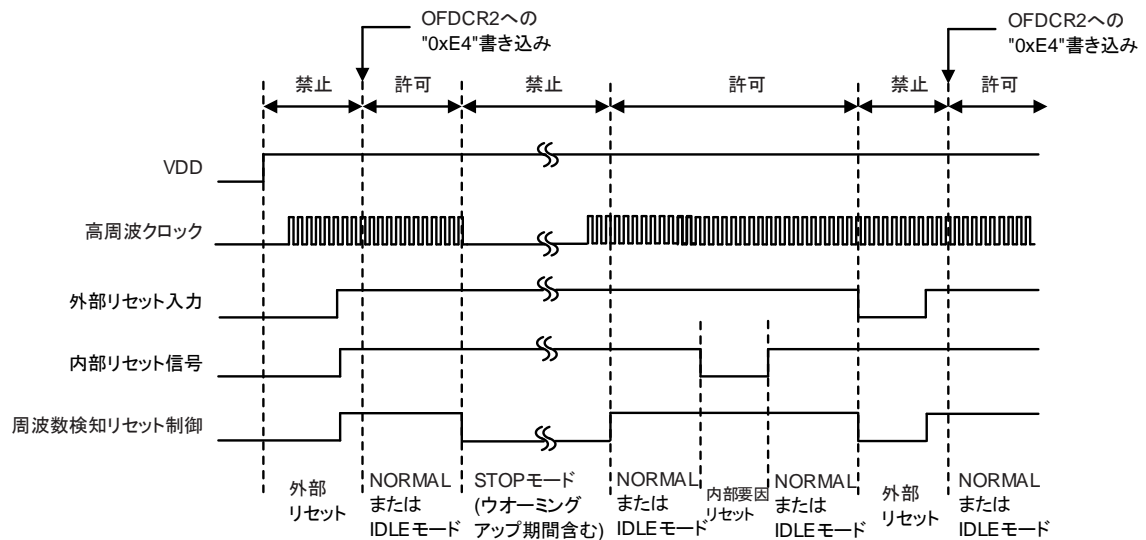


図 17.4 各モードにおける周波数検知回路動作

### 17.3.2. 検知周波数の設定

OFDMXPLLOFF、OFDMNPLLON、OFDMXPLLON および OFDMNPLLON と設定値を表 17.2 に示します。

表 17.2 使用周波数と設定値

発振周波数		検出範囲 [MHz]	非検出範囲 [MHz]	設定値	10進	(16進)
8MHz (PLL OFF)	下限	$\leq 4.12$	$\geq 7.76$	OFDMNPLLOFF	24	(0x18)
	上限	$\geq 15.52$	$\leq 8.24$	OFDMXPLLOFF	47	(0x2F)
10MHz (PLLOFF)	下限	$\leq 5.15$	$\geq 9.7$	OFDMNPLLOFF	30	(0x1E)
	上限	$\geq 19.4$	$\leq 10.3$	OFDMXPLLOFF	59	(0x3B)
64MHz (PLL ON)	下限	$\leq 32.96$	$\geq 62.08$	OFDMNPLLON	190	(0xBE)
	上限	$\geq 124.16$	$\leq 65.92$	OFDMXPLLON	379	(0x17B)
80MHz (PLL ON)	下限	$\leq 41.2$	$\geq 77.6$	OFDMNPLLON	238	(0xEE)
	上限	$\geq 155.2$	$\leq 82.4$	OFDMXPLLON	473	(0x1D9)

### 17.3.3. 周波数検知リセット

OFDMNPLLON/OFDMNPLLOFF で設定された値より低い周波数、または OFDMXPLLON/OFDMXPLLOFF で設定された値より高い周波数を検出した場合、TMPM370FYDFG/TMPM370FYFG は全ての入出力ポートを初期化する周波数検知リセットを発生します。

(1) 高周波の周波数が異常となった場合

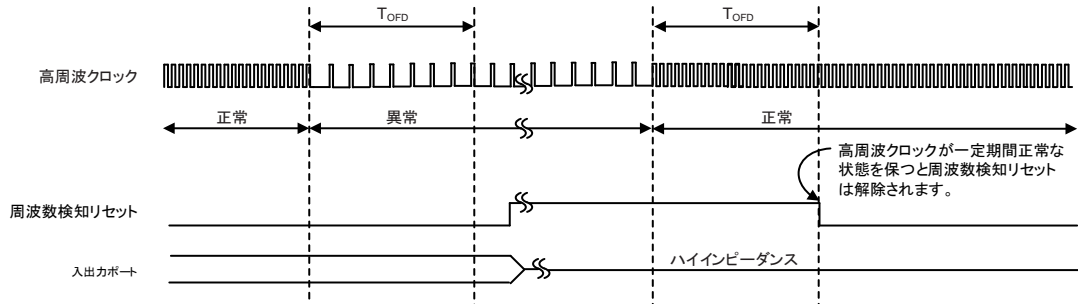
高周波が一定期間( $T_{OFD}$ )異常となった場合、周波数検知リセットが発生します。周波数検知リセットは電源端子、 $\overline{\text{RESET}}$ 端子を除く全ての入出力ポートを初期化しハイインピーダンス状態とするとともに、CPU などの内部回路も初期化します。

(2) 高周波が停止した場合

高周波が一定期間( $T_{OFD}$ )停止した場合、周波数検知リセットが発生します。周波数検知リセットは電源端子、 $\overline{\text{RESET}}$ 端子を除く全ての入出力ポートを初期化しハイインピーダンス状態とします。CPU などの内部回路は高周波クロックによってラッチされた信号により初期化されますので、高周波が停止している期間、内部回路は周波数検知リセットが発生したときの状態を保持します。その後、高周波発振が再開すると内部回路も初期化されます。

一定期間( $T_{OFD}$ )高周波が正常な状態を保つと、周波数検知リセットは解除されます。

- 高周波クロックが異常となった場合



- 高周波クロックが停止した場合

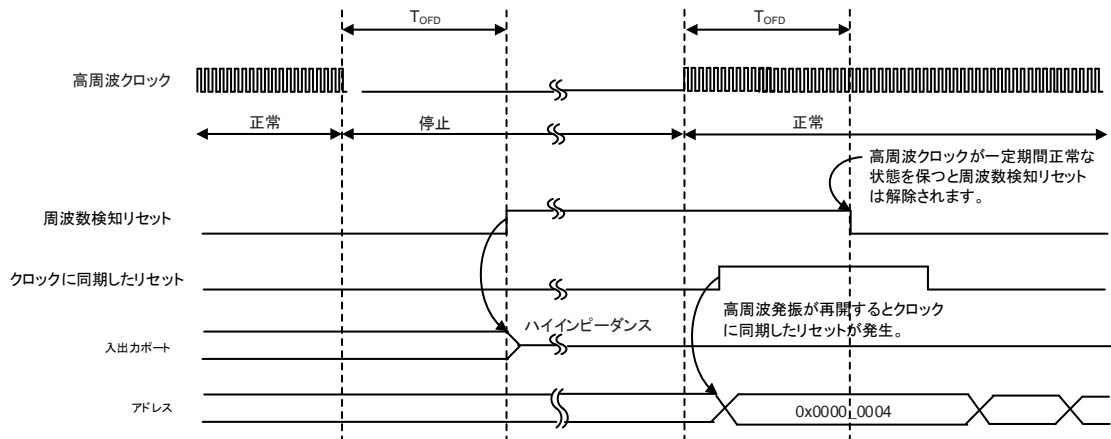


図 17.5 周波数検知リセットタイミング

## 18. ウォッチドッグタイマー(WDT)

### 18.1. 概要

ウォッチドッグタイマー(WDT)は、ノイズなどでCPUが誤動作(暴走)を始めたとき、これを検出し正常な状態に戻すことを目的としています。

誤動作(暴走)を検出した場合、割り込み要求(INTWDT)またはリセットを発生します。

### 18.2. 構成

WDTは、バイナリーカウンタ、ウォッチドッグタイマー出力制御回路で構成されています。WDTはウォッチドッグタイマーモードレジスタ、ウォッチドッグタイマー制御レジスタで制御されます。

注) TMPM370FYDFG/TMPM370FYFGには、 $\overline{\text{WDTOUT}}$ 端子はありません。

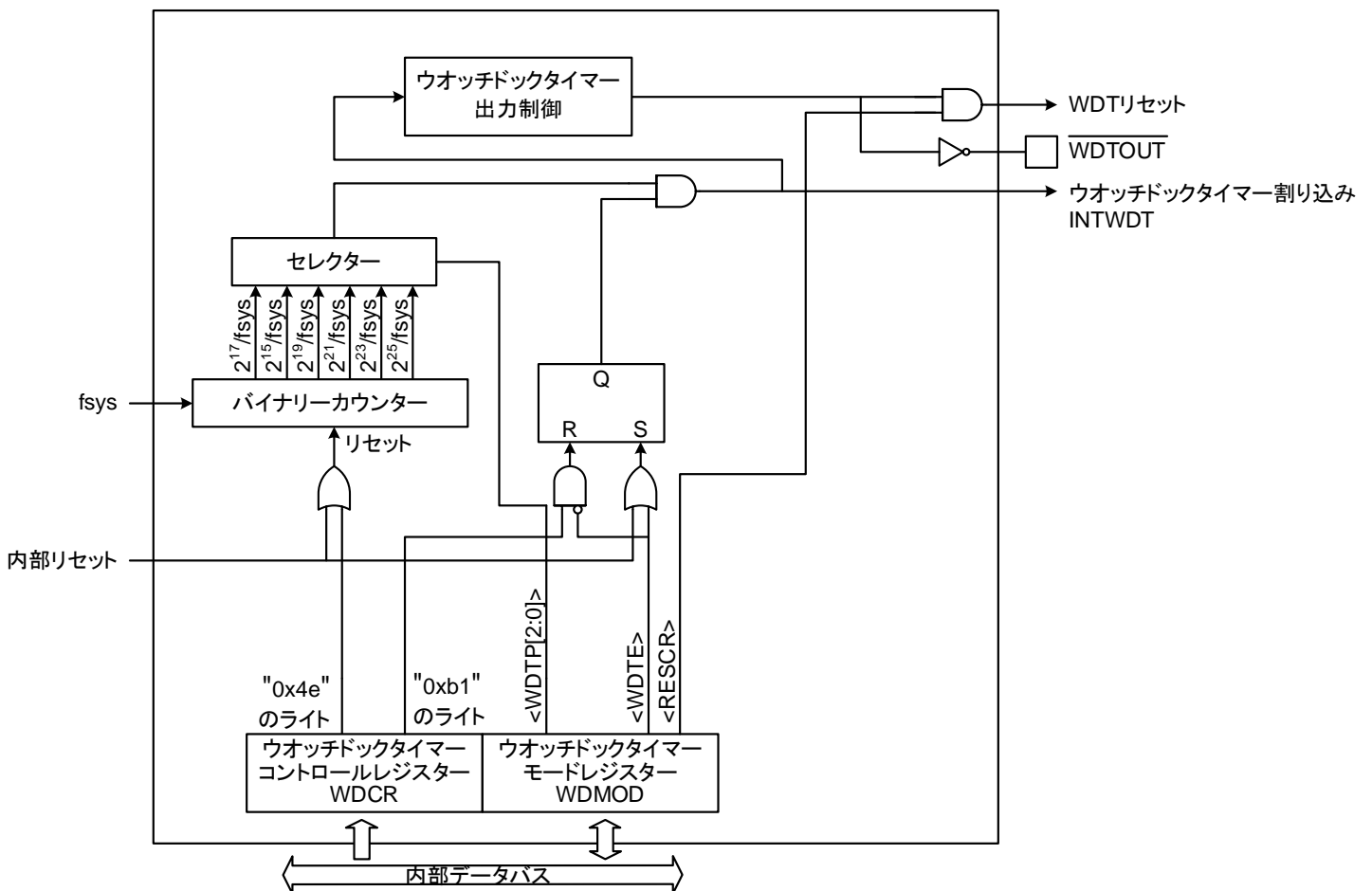


図 18.1 WDTのブロック図

## 18.3. レジスタ—説明

### 18.3.1. レジスタ—一覧

制御レジスタ—とアドレスを以下に示します。

レジスタ—名		Base+ (Address)
ウォッチドッグタイマーモードレジスタ—	WDMOD	0x0000
ウォッチドッグタイマーコントロールレジスタ—	WDCR	0x0004

## 18.3.2. WDMOD(ウォッチドッグタイマーモードレジスター)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	WDTE	WDTP			-	I2WDT	RESCR	-
リセット後	1	0	0	0	0	0	1	0

Bit	Bit Symbol	Type	機能
31:8	-	R	リードすると"0"が読めます。
7	WDTE	R/W	WDT動作制御 0: 禁止 1: 許可
6:4	WDTP[2:0]	R/W	検出時間の選択(表 18.1を参照してください) 000: 2 <sup>15</sup> / fsys      100: 2 <sup>23</sup> / fsys 001: 2 <sup>17</sup> / fsys      101: 2 <sup>25</sup> / fsys 010: 2 <sup>19</sup> / fsys      110: 設定禁止 011: 2 <sup>21</sup> / fsys      111: 設定禁止
3	-	R	リードすると"0"が読めます。
2	I2WDT	R/W	IDLEモード時の動作 0: 停止 1: 動作
1	RESCR	R/W	暴走検出後の動作選択 0: ウォッチドッグタイマー割り込み(INTWDT)を発生します。(注) 1: ウォッチドッグタイマーリセットを発生します。
0	-	R/W	"0"をライトしてください。

注) INTWDT はマスク不能割り込み(NMI)です。

表 18.1 ウォッチドッグタイマーの検出時間 (fc = 80MHz)

CGSYSCR<GEAR[2:0]>	WDMOD<WDTP[2:0]>					
	000	001	010	011	100	101
000 (fc)	0.41ms	1.64ms	6.55ms	26.21ms	104.86ms	419.43ms
100 (fc / 2)	0.82ms	3.28ms	13.11ms	52.43ms	209.72ms	838.86ms
101 (fc / 4)	1.64ms	6.55ms	26.21ms	104.86ms	419.43ms	1.68s
110 (fc / 8)	3.28ms	13.11ms	52.43ms	209.72ms	838.86ms	3.36s
111 (fc / 16)	6.55ms	26.21ms	104.86ms	419.43ms	1.68s	6.71s

### 18.3.3. WDCR(ウォッチドッグタイマーコントロールレジスター)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	WDCR							
リセット後	(注)	(注)	(注)	(注)	(注)	(注)	(注)	(注)

Bit	Bit Symbol	Type	機能
31:8	-	R	リードすると"0"が読めます。
7:0	WDCR[7:0]	W	禁止/クリアコード 0xb1: 禁止コード 0x4e: クリアコード 上記以外: 禁止

注) リセット後の初期値のみ、禁止コード(0xb1)、クリアコード(0x4e)ではない値となります。

## 18.4. 動作説明

### 18.4.1. 基本動作

WDTは、システムクロック  $f_{sys}$  をソースクロックとするバイナリーカウンターで構成されています。

WDTの検出時間は  $WDMOD<WDTP[2:0]>$  で  $2^{15}/f_{sys}$ 、 $2^{17}/f_{sys}$ 、 $2^{19}/f_{sys}$ 、 $2^{21}/f_{sys}$ 、 $2^{23}/f_{sys}$  および  $2^{25}/f_{sys}$  から選択します。検出時間経過後にウォッチドッグタイマー割り込み(INTWDT)またはウォッチドッグタイマーリセットが発生します。この時、ウォッチドッグタイマーアウト端子( $\overline{WDTOUT}$ 端子)より"Low"レベルが出力されます。

ノイズなどでCPUが誤動作(暴走)を始めたときこれを検出するために、プログラムで検出時間経過前にバイナリーカウンターをクリアします。

CPUが誤動作(暴走)しプログラムが正常に動作しなくなったとき、バイナリーカウンターがクリアされません。この時、INTWDTが発生、ウォッチドッグタイマーリセットが発生、または $\overline{WDTOUT}$ 端子から"Low"レベルが出力することで、CPUの誤動作(暴走)を検出します。

INTWDTが発生したとき、INTWDTの割り込みサービスルーチンで暴走対策プログラムを実行して、CPUの動作を正常にします。

ウォッチドッグタイマーリセットが発生したとき、MCUがリセットされ、CPUの動作を正常にします。

また、 $\overline{WDTOUT}$ 端子を次のように使用することで、CPUの誤動作(暴走)を検出できます。

事前に外部装置を $\overline{WDTOUT}$ 端子の"Low"レベルを検出できるようにします。 $\overline{WDTOUT}$ 端子をCPUの誤動作(暴走)を検出できるように外部装置に接続します。 $\overline{WDTOUT}$ 端子はWDCRにクリアコード(0x4e)を書き込むことで"High"レベルになります。

注) TMPM370FYDFG/TMPM370FYFGには、 $\overline{WDTOUT}$ 端子はありません。

### 18.4.2. 動作モードと動作状態

WDTは、リセット解除後、直ちに動作を開始します。使用しない場合は  $WDMOD<WDTE>$  を"0"に設定した後、WDCRに"0xb1"を書き込みWDT動作を禁止します。

なお、ウォッチドッグタイマーはfcが停止する動作モードでは使用できません。以下に示す動作モードに遷移する前にWDT動作を禁止してください。

#### – STOPモード

IDLEモード中のWDT動作は、 $WDMOD<I2WDT>$ の設定に従います。

また、ホールドモード中は自動的にバイナリーカウンターが停止します。

## 18.5. 暴走検出時の動作

### 18.5.1. INTWDT 発生の場合

図 18.2 にバイナリーカウンタがオーバーフローして INTWDT が発生(WDMOD<RESCR> = "0")したときの動作を示します。

INTWDT は NMI であるため、CPU は NMI を検出します。

INTWDT が発生すると、CGNMIFLG<NMIFLG0>が"1"にセットされます。

INTWDT 発生と同時に  $\overline{\text{WDTOUT}}$  端子より "Low" レベルを出力します。

$\overline{\text{WDTOUT}}$  端子は WDCR にクリアコード(0x4e)を書き込むことで "High" レベルになります。この時、バイナリーカウンタは "0x0000" にクリアされ、カウントアップを再開します。

注) TMPM370FYDFG/TMPM370FYFG には、 $\overline{\text{WDTOUT}}$  端子はありません。

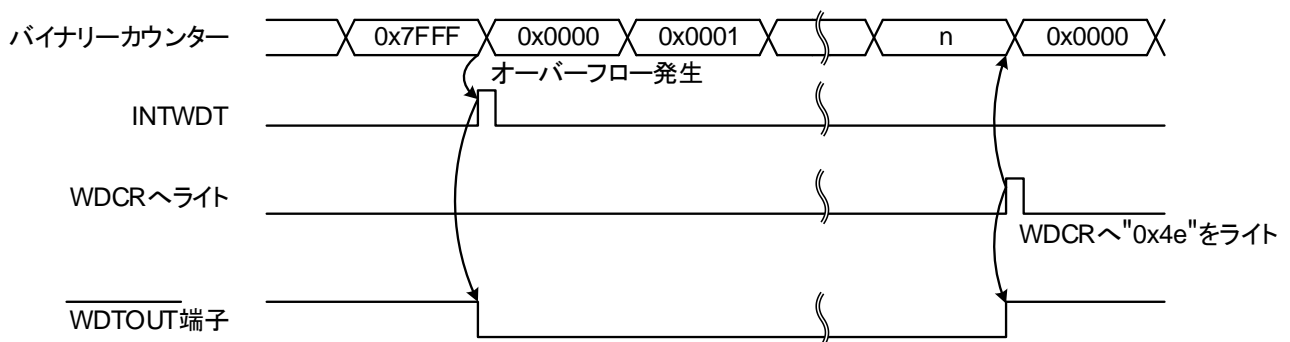


図 18.2 INTWDT発生タイミング

## 18.5.2. ウォッチドッグタイマーリセット発生の場合

図 18.3 にバイナリーカウンタがオーバーフローしてウォッチドッグタイマーリセットが発生 (WDMOD<RESCR>="1")したときの動作を示します。

ウォッチドッグタイマーリセットは、 $32 / f_{sys}$  の期間、出力されます。

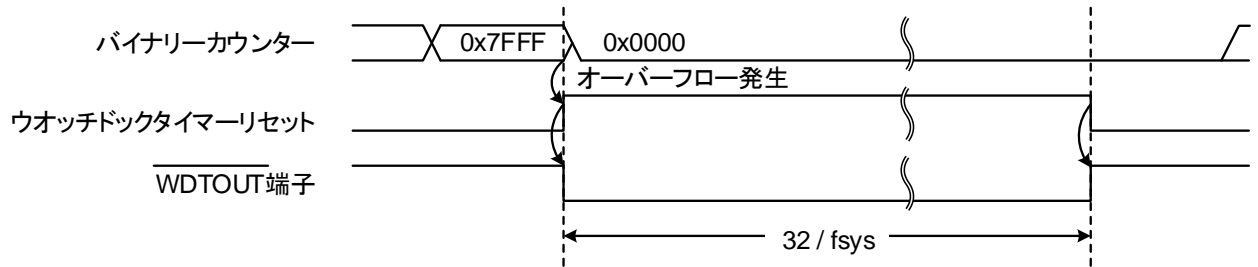


図 18.3 ウォッチドッグタイマーリセット発生のタイミング

## 18.6. 制御レジスタ

WDT は、2つの制御レジスタによって制御されています。

### 18.6.1. ウォッチドッグタイマーモードレジスタ(WDMOD)

#### 18.6.1.1. 検出時間の選択: WDMOD<WDTP[2:0]>

検出時間を選択します。リセット解除後、"000"に初期化されます。

#### 18.6.1.2. WDT 動作制御: WDMOD<WDTE>

リセット解除後、"1"に初期化されます。WDT は許可です。

CPU の誤動作(暴走)による誤書き込みを防止するため、WDT を禁止するときには WDMOD<WDTE>を"0"に設定した後に WDCR に禁止コード(0xb1)を書き込みます。

WDT を禁止から許可にするためには、WDMOD<WDTE>を"1"に設定します。

#### 18.6.1.3. 誤動作(暴走)検出時の動作選択: WDMOD<RESCR>

バイナリーカウンタがオーバーフローしたの WDT 動作を選択します。

リセット解除後、"1"に初期化されます。バイナリーカウンタがオーバーフローしたとき WDT はウォッチドッグタイマーリセットを発生します。INTWDT を発生するときには WDMOD<RESCR>を"0"に設定します。

### 18.6.2. ウォッチドッグタイマーコントロールレジスタ(WDCR)

WDT を禁止するときには禁止コード(0xb1)を設定します。

バイナリーカウンタをクリアするときに、クリアコード(0x4e)を設定します。

## 18.6.3. 設定例

### 18.6.3.1. WDT の禁止

WDMOD<WDTE>に"0"を設定したあと、WDCR に禁止コード(0xb1)を書き込むとウォッチドッグタイマーは禁止になり、バイナリーカウンタはクリアされます。

		7	6	5	4	3	2	1	0	
WDMOD	←	0	-	-	-	-	-	-	-	WDMOD<WDTE>に"0"を設定します。
WDCR	←	1	0	1	1	0	0	0	1	WDCRに禁止コード(0xb1)を設定します。

注) \*: 任意の値を設定できます、-: 変更できません

### 18.6.3.2. WDT の許可

WDMOD<WDTE>に"1"を設定します。

		7	6	5	4	3	2	1	0	
WDMOD	←	1	*	*	*	0	*	*	0	<WDTE>に"1"を設定します。

注) \*: 任意の値を設定できます、-: 変更できません

### 18.6.3.3. バイナリーカウンタのクリア

WDCR にクリアコード(0x4e)を設定すると、バイナリーカウンタはクリアされ、カウントを続けます。

		7	6	5	4	3	2	1	0	
WDCR	←	0	1	0	0	1	1	1	0	WDCRにクリアコード(0x4e)を設定します。

注) \*: 任意の値を設定できます、-: 変更できません

### 18.6.3.4. 検出時間の選択

WDMOD<WDTP[2:0]>に"011"を設定すると、検出時間に  $2^{21}$  / fsys が選択されます。

		7	6	5	4	3	2	1	0	
WDMOD	←	1	0	1	1	0	*	*	0	WDMOD<WDTE>に"1"を設定します。 検出時間に $2^{21}$ / fsysが選択されます。

注) \*: 任意の値を設定できます、-: 変更できません

## 19. オペアンプ/アナログコンパレータ (AMP/CMP)

TMPM370FYDFG/TMPM370FYFG は、4 チャンネルのオペアンプとアナログコンパレータを内蔵しており、ポート入力電圧を増幅して 12 ビット逐次変換方式アナログ/デジタルコンバータ (AD コンバータ) に出力しています。これは、モーター電流を検出するシャント抵抗の電圧を増幅するために使用します。また、オペアンプの出力はアナログコンパレータにも入力されており、外部抵抗によって作られた比較電圧によりその結果を PMD の波形生成回路に出力します。これにより、異常電流検出を行います。

19.1. 構成

図 14.1 に、オペアンプ、アナログコンパレーターのブロック図を示します。

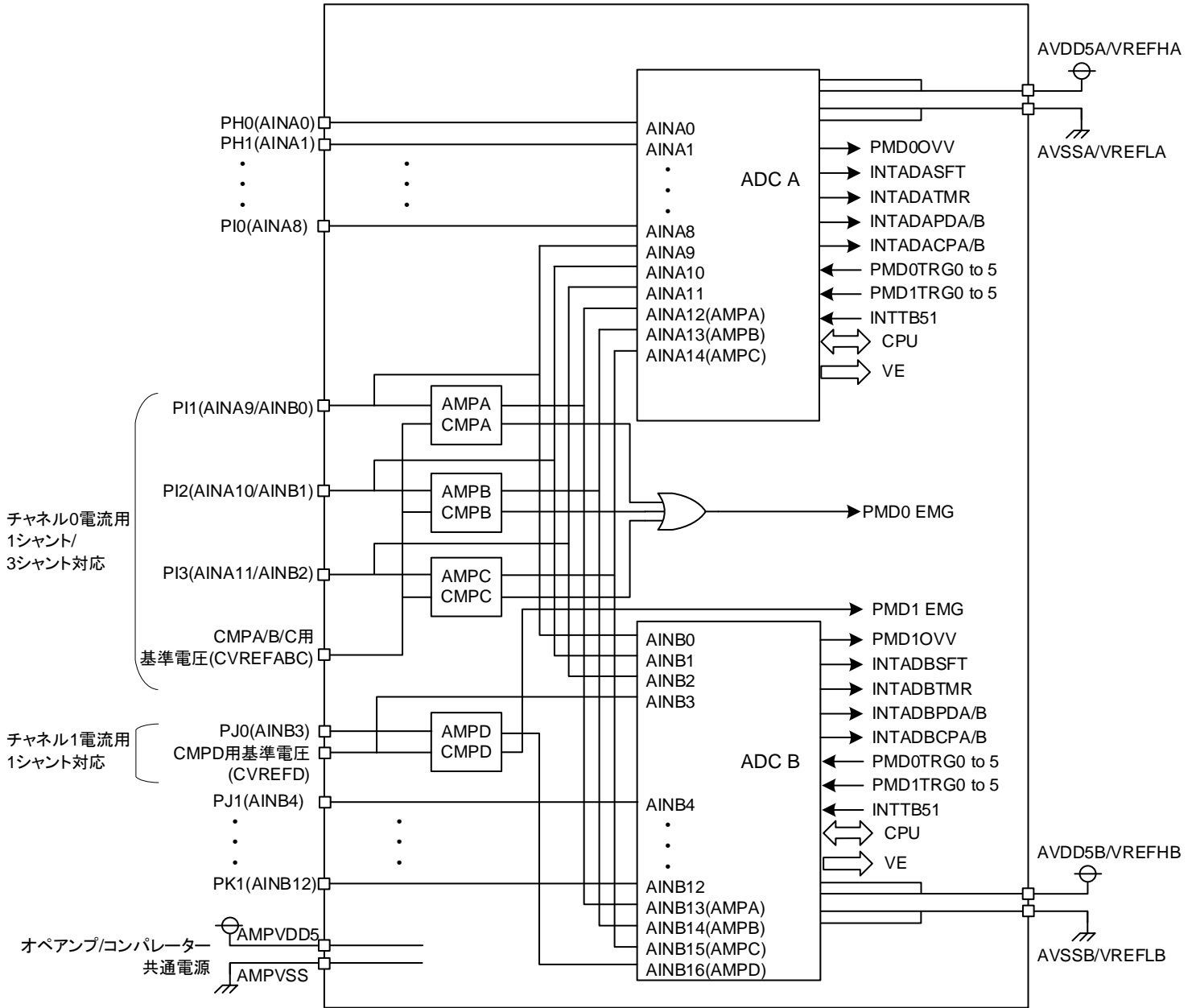


図 19.1 オペアンプ、アナログコンパレーター接続図

## 19.2. レジスタ—説明

### 19.2.1. レジスタ—一覧

#### 19.2.2. オペアンプ

オペアンプは、AMPCTLA, AMPCTLB, AMPCTLC, AMPCTLD により制御されています。許可/禁止の他に 8 種類のゲインが選択できます。

オペアンプの制御レジスタ—とアドレスは以下のとおりです。

レジスタ—名		Address (Base+)
アンプA コントロールレジスタ—	AMPCTLA	0x0000
アンプB コントロールレジスタ—	AMPCTLB	0x0008
アンプC コントロールレジスタ—	AMPCTLC	0x0010
アンプD コントロールレジスタ—	AMPCTLD	0x0018

#### 19.2.2.1. AMPCTLA/AMPCTLB/AMPCTLC/AMPCTLD (アンプ A ~ D コントロールレジスタ—)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	AMPGLIN			AMPEN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:4	-	R	リードすると"0"が読めます。
3:1	AMPGLIN[2:0]	R/W	ゲイン設定 000: x1.5      100: x4.0 001: x2.5      101: x6.0 010: x3.0      110: x8.0 011: x3.5      111: x10.0
0	AMPEN	R/W	AMP許可 0: 禁止 1: 許可

注) AMP を許可にした場合、回路が安定するまで約 10 $\mu$ s かかります。

## 19.2.3. コンパレータ

アナログコンパレータは、CMPCTLA, CMPCTLB, CMPCTLC, CMPCTLD により制御されます。許可/禁止の他に入力ポートをオペアンプ経由/非経由を選択できます。

外部にオペアンプを接続し、内蔵オペアンプを使用しない場合は、オペアンプ禁止(<AMPEN> = "0"), コンパレータ入力アンプ非経由(<CMPSEL> = "0")に設定してください。

アナログコンパレータの制御レジスタとアドレスは以下のとおりです。

レジスタ名		Address (Base+)
コンパレータA コントロールレジスタ	CMPCTLA	0x0000
コンパレータB コントロールレジスタ	CMPCTLB	0x0008
コンパレータC コントロールレジスタ	CMPCTLC	0x0010
コンパレータD コントロールレジスタ	CMPCTLD	0x0018

### 19.2.3.1. CMPCTLA/CMPCTLB/CMPCTLC/CMPCTLD (コンパレータA ~ D コントロールレジスタ)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	CMPSEL	CMPEN
リセット後	0	0	0	0	0	0	0	0

Bit	Bit Symbol	Type	機能
31:2	-	R	リードすると"0"が読めます。
1	CMPSEL	R/W	入力選択 0: オペアンプ非経由(ポート入力) 1: オペアンプ経由(オペアンプ出力)
0	CMPEN	R/W	CMP許可 0: 禁止 1: 許可

注) CMP を許可にした場合、回路が安定するまで約 10 $\mu$ s かかります。

### 19.3. 動作説明

AMPA, B, C は 3 シャント電流検出を想定しており、増幅された電圧は、2 つの AD コンバーターユニットに出力されます。これにより、U, V, W の 3 シャント電圧の内、2 つのシャント電圧を同時変換できます。

AMPA, B, C の入力部は、直接 2 ユニットの AD コンバーターに接続されており、AMP を使用しなくても、上記のように 2 つのシャント電圧を同時に変換できるようになっています。

AMPD は、1 シャント電流検出を想定しており、増幅された電圧は 1 つの AD コンバーターユニットに出力されます。

図 19.2 に、オペアンプ、アナログコンパレーターの構成図を示します。

CMPA, B, C, D は、AMPA, B, C, D にそれぞれ接続しており、増幅された電圧を入力として使用できます。また、オペアンプ増幅を使用しない場合は、AMP の入力電圧を直接 CMP に入力することができます。

CMPA, B, C は 3 シャント電流検出への接続を想定しており、基準電圧(CVREFABC)は共通です。CMPD は 1 シャント電流検出への接続を想定しており、基準電圧(CVREFD)は独立しています。

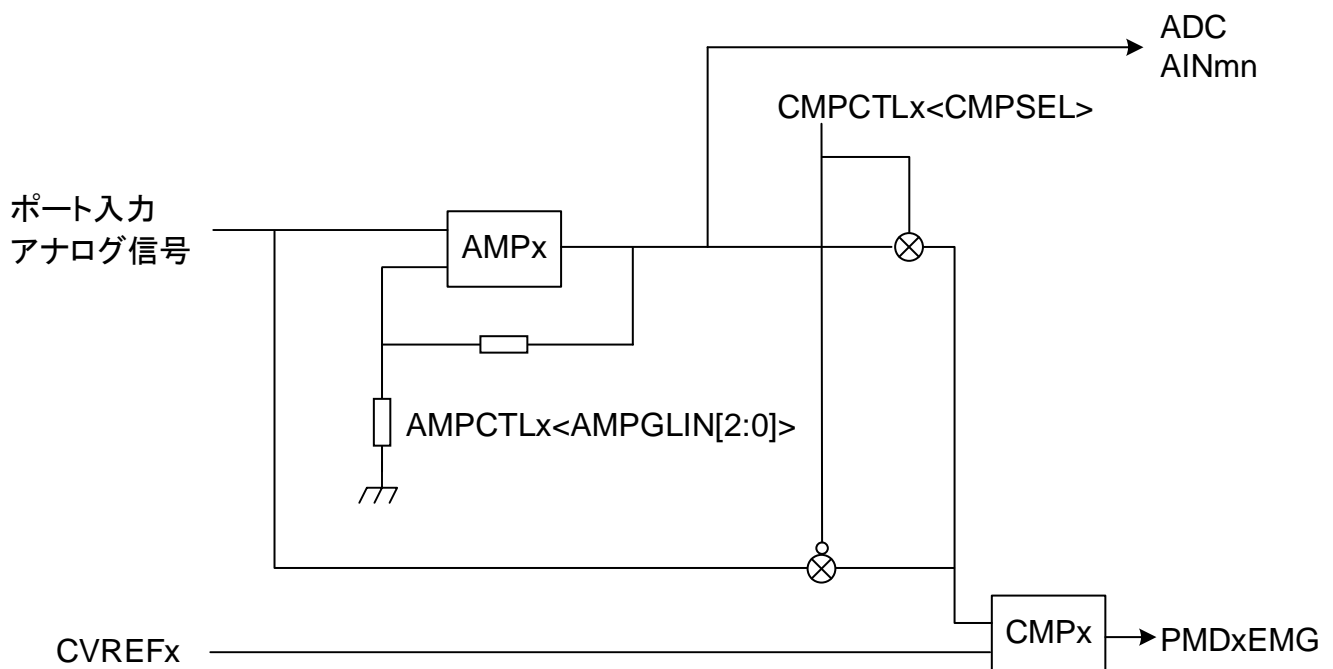


図 19.2 オペアンプ、アナログコンパレーター構成

## 20. Flash 動作説明

Flash 機能について、ハードウェアの構成およびその動作を説明します。

### 20.1. フラッシュメモリー

#### 20.1.1. 特長

(1) メモリー容量

TMPM370FYDFG/TMPM370FYFG はフラッシュメモリーを搭載しています。メモリー容量と構成は下記の表のとおりです。

各ブロック個別に書き込みを行うことができます。CPU から内蔵フラッシュメモリーをアクセスする場合、データバス幅は 32 ビットとなります。

(2) 書き込み/消去時間

書き込みはページ単位で行います。1 ページは 64 ワードです。

1 ページあたりの書き込み時間は、ワード数にかかわらず 1.25ms(typ.)です。

消去時間は 1 ブロックあたり 0.1s(typ.)です。

1 チップあたりの書き込み時間、消去時間は以下のようになります。

表 20.1 書き込み/消去時間

製品	メモリー容量	ブロック構成				ワード数	書き込み時間	消去時間
		128KB	64KB	32KB	16KB			
TMPM370FYDFG TMPM370FYFG	256KB	0	3	1	2	64	1.28s	0.4s

注) 上記の値は理論時間を表しており、データ転送時間などは含まれていません。チップ当たりの時間はユーザーの書き替え方法により異なります。

(3) プログラミング方法

ユーザーのボード上で書き替えが可能なオンボードプログラミングモードには以下の 2 種類のモードがあります。

(a) ユーザーブートモード

ユーザー独自の書き替え方法をサポート

(b) シングルブートモード

シリアル転送(当社オリジナル)での書き替え方法をサポート

(4) 書き替え方式

TMPM370FYDFG/TMPM370FYFG 内蔵のフラッシュメモリーは、一部の機能を除き JEDEC 標準機能に準拠しています。このため、外部メモリーとしてフラッシュメモリーをご使用になられている場合でも、本 MCU への移行が容易です。また、フラッシュメモリー内に書き込み、チップ消去など自動で行う回路を内蔵していますので、書き込み、消去動作自身にかかわる複雑なフローをユーザーがプログラムで組む必要がありません。

表 20.2 書き換え方式

JEDEC準拠の機能	変更、追加、削除した機能
・自動プログラム	<変更>
・自動チップ消去	ブロック単位でのライト/消去プロテクト(ソフトウェアプロテクトのみサポート)
・自動ブロック消去	<削除>
・データポーリング/トルグルビット	消去レジューム/サスペンド機能

(5) プロテクト/セキュリティー機能

TMPM370FYDFG/TMPM370FYFG では、ライターでのフラッシュデータの読み出しを禁止する、セキュリティー機能を追加しています。一方、書き替え禁止を設定するライト/消去プロテクトは、コマンド(ソフトウェア)による対応のみで12V電圧を印加して設定する方式(ハードウェア)には対応できません。プロテクト、セキュリティー機能の詳細については、「21. プロテクト/セキュリティー機能」を参照してください。

注) パスワードが消去データ("0xFF")の場合、容易にパスワードの照合が可能になり、セキュリティーの確保が難しくなります。シングルブートモードを使用しない場合も固有の値を置くことを推奨します。

20.1.2. フラッシュ部ブロック図

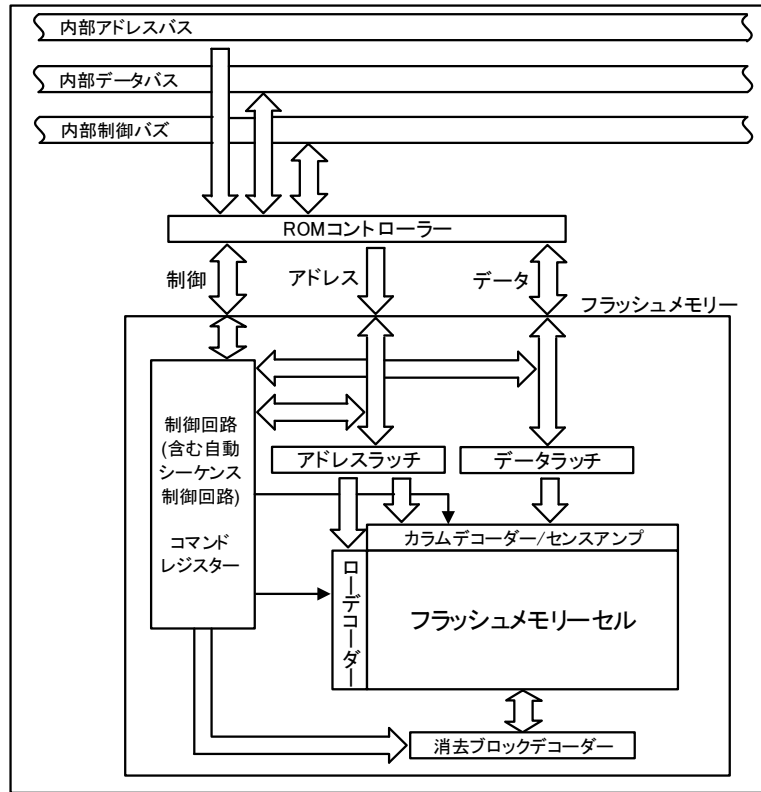


図 20.1 フラッシュ部ブロック図

## 20.2. 動作モード

TMPM370FYDFG/TMPM370FYFG は内蔵フラッシュメモリーを使用しない場合を含めて、3 とおりの動作モードが存在します。

表 20.3 動作モード説明

動作モード	動作の内容
シングルチップモード	リセット解除後、内蔵のフラッシュメモリーから起動します。
ノーマルモード	本動作モードの中で、ユーザーのアプリケーションプログラムを実行するモードと、ユーザーのセット上でフラッシュメモリーの書き替えを実行するモードとに分けて定義します。前者を「ノーマルモード」、後者を「ユーザーブートモード」と呼びます。
ユーザーブートモード	この両者の切り替えはユーザーが独自に設定できます。 例えば、ポート A0 が"1"のときノーマルモード、"0"のときにユーザーブートモードのように自由に設計することが可能です。 ユーザーはアプリケーションプログラムの一部に切り替えを判定するためのルーチンを準備してください。
シングルブートモード	リセット解除後、内蔵する Boot ROM(Mask ROM)から起動します。Boot ROM には、TMPM370FYDFG/TMPM370FYFG のシリアルポートを経由してユーザーのセット上で書き替えを行うことができるアルゴリズムがプログラムされています。シリアルポートにより外部ホストと接続し、規定されたプロトコルでデータの転送を行うことで内蔵フラッシュメモリーの書き替えが実行できます。

上記表 20.3 でプログラムが可能なフラッシュメモリーの動作モードはユーザーブートモード、シングルブートモードの 2 つです。ユーザーのセット上で内蔵フラッシュメモリーの書き替えが可能なモードは、ユーザーブートモードとシングルブートモードで、この 2 つをオンボードプログラミングモードと定義します。

シングルチップ、シングルブートの各動作モードは、リセット状態で $\overline{\text{BOOT}}(\text{PF0})$ 端子のレベルを外部で設定することにより決定されます。

表 20.4 動作モード設定

動作モード	端子	
	$\overline{\text{RESET}}$	$\overline{\text{BOOT}}(\text{PF0})$
シングルチップモード	"0" → "1"	"1"
シングルブートモード	"0" → "1"	"0"

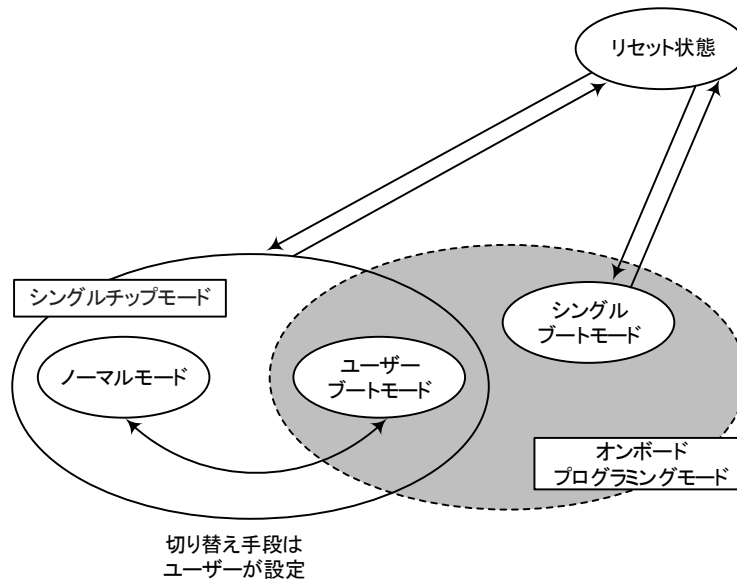


図 20.2 モード遷移図

### 20.2.1. リセット動作

TMPM370FYDFG/TMPM370FYFG にリセットをかけるには、電源電圧が動作電圧範囲内で、かつ内部発振器の発振が安定した状態で、少なくとも 12 システムクロック間(80MHz 動作で 0.15 $\mu$ s(リセット後は、クロックギア 1/1 モード))  $\overline{\text{RESET}}$  入力端子を "0" にしてください。

注 1) 電源投入後は、電源電圧が安定した状態から 700 $\mu$ s 以上経過してからリセット解除させてください。

注 2) 内蔵フラッシュの自動プログラム/消去動作中にハードウェアリセットを行う場合は、システムクロックによらず 0.5 $\mu$ s 以上のリセット期間が必要となります。またこの場合、リセット解除後読み出しが可能になるまで 2ms 程度の時間がかかります。

### 20.2.2. ユーザーブートモード(シングルチップモード)

ユーザーブートモードは、ユーザー独自のフラッシュメモリープログラムルーチンを使う方法です。ユーザーアプリケーション上で用意されているフラッシュメモリー書き替え用のプログラムで用いる、データ転送バスがシリアルI/Oと異なる場合に使用します。動作はシングルチップモード上で行います。このため、シングルチップモードで通常のユーザーアプリケーションプログラムが動作しているノーマルモードから、フラッシュを書き替えるためのユーザーブートモードに移行する必要があります。従って、条件判定を行うプログラムをユーザーアプリケーションの中で、リセット処理プログラムの中に組み込んでください。

このモード切り替えの条件設定は、TMPM370FYDFG/TMPM370FYFG の I/O を使用してユーザーのシステムセット条件に合わせて独自に設定してください。また、ユーザーブートモード移行後に使用するユーザー独自のフラッシュメモリープログラムルーチンも同様にユーザーアプリケーションの中にあらかじめ組み込んでおき、ユーザーブートモード移行後にこれらのルーチンを使用して書き替えを行ってください。なお、内蔵フラッシュメモリーは消去/書き込み動作モード中はフラッシュのデータを読み出せません。このため、プログラムルーチンはフラッシュメモリーエリア外に格納して実行させる必要があります。また、シングルチップモード(通常動作モード)中に誤ってフラッシュの内容を書き替えないように、書き替え処理が完了した後、必要なブロックにライト/消去プロテクトをかけておくことを推奨します。合わせて、ユーザーブートモード中は、ノンマスカブルを含めた全ての割り込み発生を禁止してください。

プログラムルーチンを内蔵フラッシュメモリーに置く場合と、外部から転送する場合の2ケースを例に、以下(1-A)、(1-B)にその手順を説明します。フラッシュメモリーへの書き込み/消去方法の詳細は、「20.3. オンボードプログラミングでのフラッシュメモリー書き込み/消去」を参照してください。

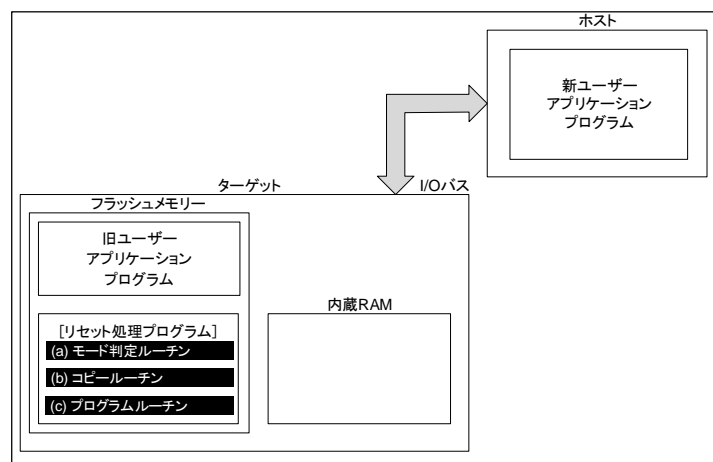
## 20.2.2.1. (1-A)プログラムルーチンをフラッシュメモリーに内蔵する場合の手順例

### (1) Step-1

ユーザーは、あらかじめどのような条件(例えば端子状態)に設定されたらユーザーブートモードに移行するかを決めます。どの I/O バスを使用してデータ転送を行うかを決め、それに合った回路の設計、プログラムの作成を行います。

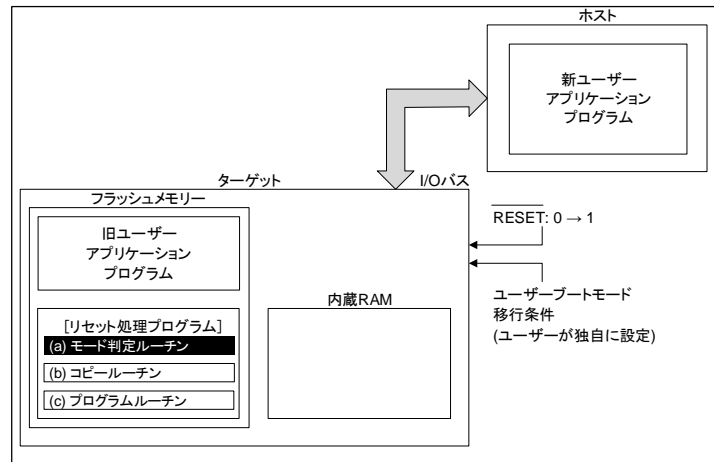
ユーザーは TMPM370FYDFG/TMPM370FYFG をボードに組み込む前に、あらかじめフラッシュメモリー上の任意のブロックにライターなどを使用して以下に示す 3 つのプログラムを書き込んでおきます。

- (a) モード判定ルーチン : 書き替え動作に移るためのプログラム
- (b) コピールーチン : 下記(c)を内蔵 RAM または外部メモリーにコピーするためのプログラム
- (c) プログラムルーチン : 書き替えデータを外部から取り込み、フラッシュメモリーを書き替えるためのプログラム



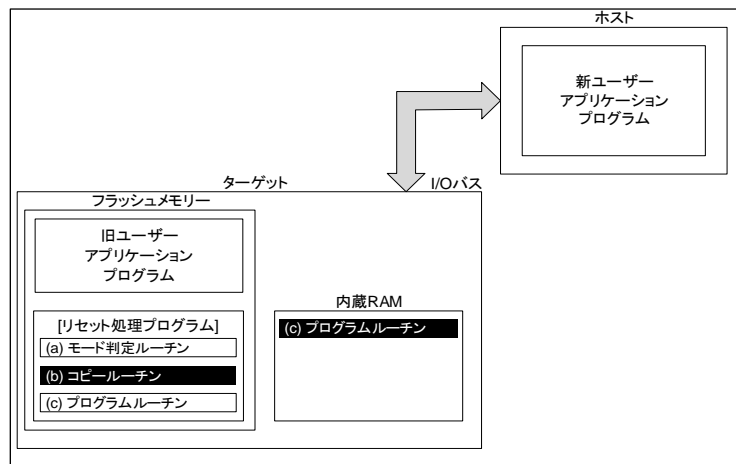
## (2) Step-2

以下リセット処理プログラム内にこれらのルーチンを組み込んだ場合について説明します。まず、リセット解除後のリセット処理プログラムでユーザーブートモードへの移行を判定します。このとき、移行条件が整っていれば、プログラムは書き替えのためのユーザーブートモードに移ります。(ユーザーブートモードに移行した場合は、これ以降割り込みを使わないでください)



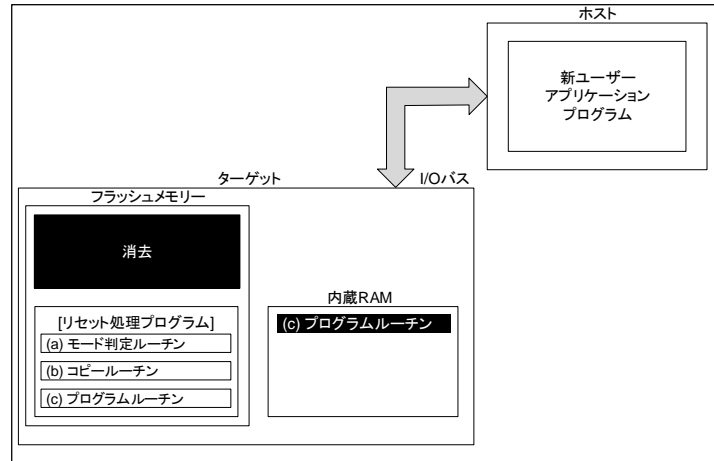
## (3) Step-3

ユーザーブートモードに移ると、(b)コピールーチンを使用して、(c)プログラムルーチンを内部 RAM にコピーします。



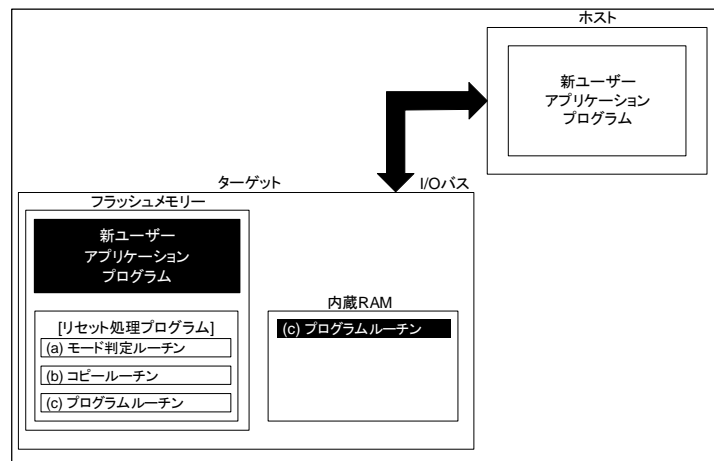
(4) Step-4

RAM 上のプログラムルーチンへジャンプし、旧ユーザープログラムエリアのライト/消去プロテクトを解除して、消去(ブロック単位)を行います。



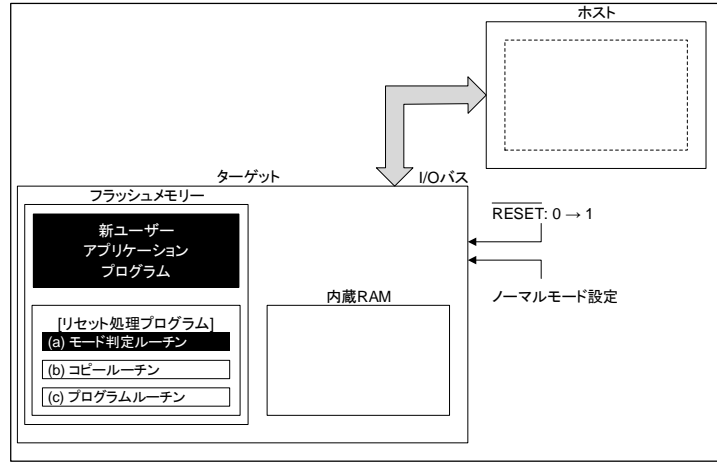
(5) Step-5

さらに、RAM 上のプログラムルーチンを実行して、転送元(ホスト)より新ユーザーアプリケーションプログラムのデータをロードし、フラッシュメモリーの消去したエリアに書き込みを行います。書き込みが完了したら、ユーザープログラムエリアのライト/消去プロテクトをオンにします。



(6) Step-6

$\overline{\text{RESET}}$ 入力端子を"0"にしてリセットを行い、設定条件をノーマルモードの設定にします。リセット解除後、新ユーザーアプリケーションプログラムで動作を開始します。



## 20.2.2.2. (1-B)プログラムルーチンを外部から転送する手順例

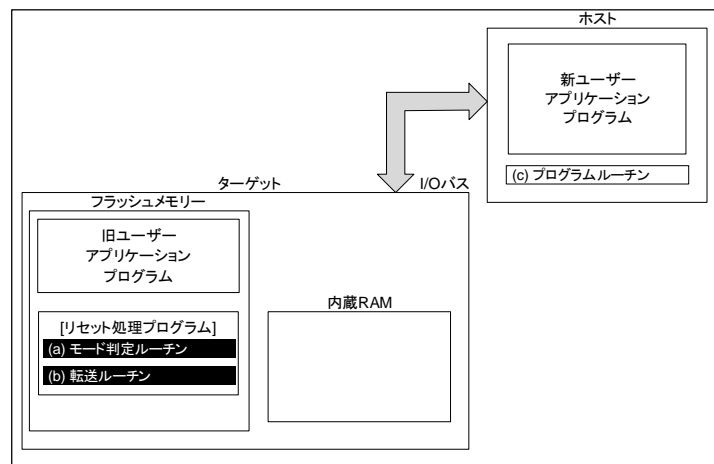
### (1) Step-1

ユーザーは、あらかじめどのような条件(例えば端子状態)に設定されたらユーザーブートモードに移行するかを決めます。どの I/O バスを使用してデータ転送を行うかを決め、それに合った回路の設計、プログラムの作成を行います。ユーザーは TMPM370FYDFG/TMPM370FYFG をボードに組み込む前に、あらかじめフラッシュメモリー上の任意のブロックにライターなどを使用して以下に示す 2 つのプログラムを書き込んでおきます。

- (a) モード判定ルーチン : 書き替え動作に移るためのプログラム
- (b) 転送ルーチン : 書き替えプログラムを外部から取り込むためのプログラム

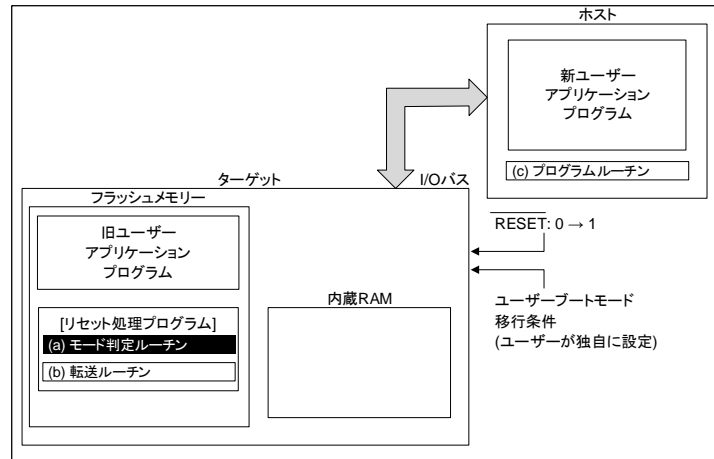
また、下記に示すプログラムはホスト上に用意します。

- (c) プログラムルーチン : 書き替えを行うためのプログラム



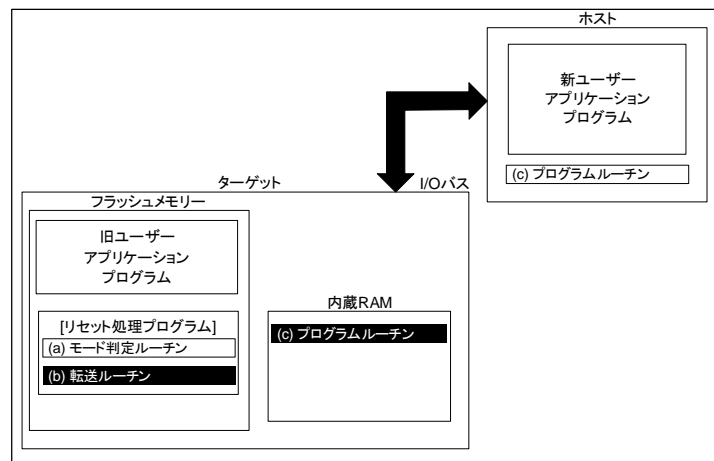
## (2) Step-2

以下、リセット処理プログラム内にこれらのルーチンを組み込んだ場合について説明します。まず、リセット解除後のリセット処理プログラムでユーザーブートモードへの移行を判定します。このとき、移行条件が整っていれば、プログラムは書き替えのためのユーザーブートモードに移ります。(ユーザーブートモードに移行した場合は、これ以降割り込みを使わないでください。)



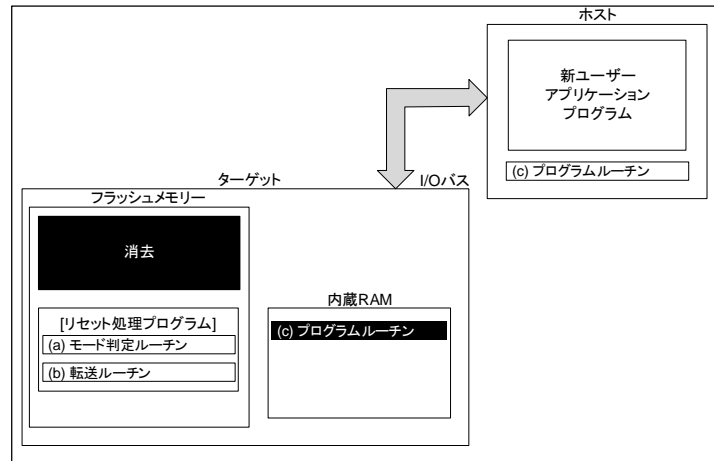
## (3) Step-3

ユーザーブートモードに移ると、(b)転送ルーチンを使用して、転送元(ホスト)より(c)プログラムルーチンを内部RAMにロードします。



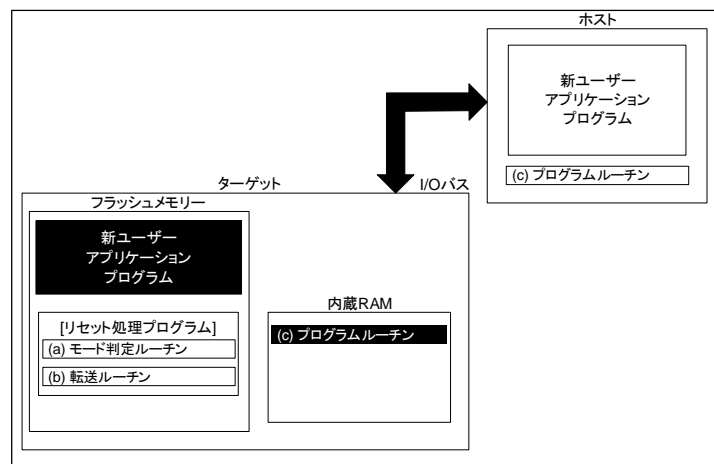
(4) Step-4

RAM 上のプログラムルーチンへジャンプし、旧ユーザープログラムエリアのライト/消去プロテクトを解除して、消去(ブロック単位)を行います。



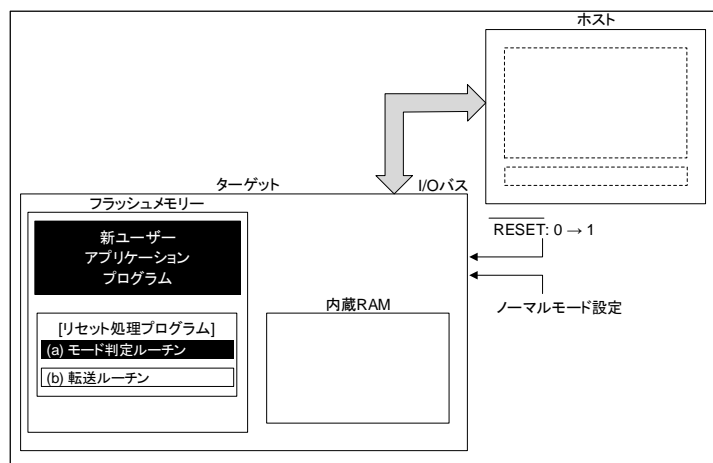
(5) Step-5

さらに、RAM 上の(c)プログラムルーチンを実行して、転送元(ホスト)よりニューザーアプリケーションプログラムのデータをロードし、消去したエリアに書き込みを行います。書き込みが完了したら、ユーザープログラムエリアのライト/消去プロテクトをオンにします。



(6) Step-6

$\overline{\text{RESET}}$ 入力端子を"0"にしてリセットを行い、設定条件をノーマルモードに設定します。リセット解除後、新ユーザーアプリケーションプログラムで動作を開始します。



### 20.2.3. シングルブートモード

内蔵ブート ROM(マスク ROM)を起動して、ブート ROM のプログラムを利用してフラッシュメモリーを書き替える方法です。このモードでは、内蔵ブート ROM が割り込みベクターテーブルを含む領域にマッピングされ、ブート ROM プログラムが実行されます。また、フラッシュメモリーはブート ROM 領域とは別のアドレス空間にマッピングされます。

ブートモードでは、コマンドおよびデータをシリアル転送してフラッシュメモリーの書き替えを行います。TMPM370FYDFG/TMPM370FYFG の SIO/UART(ch 0)と外部ホストを接続し、外部ホスト側から TMPM370FYDFG/TMPM370FYFG の内蔵 RAM に書き替えプログラムをコピーし、RAM 上のプログラムルーチンを実行してフラッシュメモリーの書き替えを行います。プログラムルーチンは、ホスト側からコマンドおよび書き替えデータを送出することにより実行します。ホスト側との通信の詳細は後述のプロトコルに従ってください。

RAM へのプログラム転送は、ユーザーの ROM データ、セキュリティ確保のため、実行に先立ちユーザーパスワードの照合を行います。パスワードが一致しない場合は、RAM 転送そのものが実行されません。なお、シングルブートモードでもユーザーブートモードと同様、割り込み禁止状態で行います。シングルブートモード時、ブート ROM プログラムは NORMAL モードで動作します。

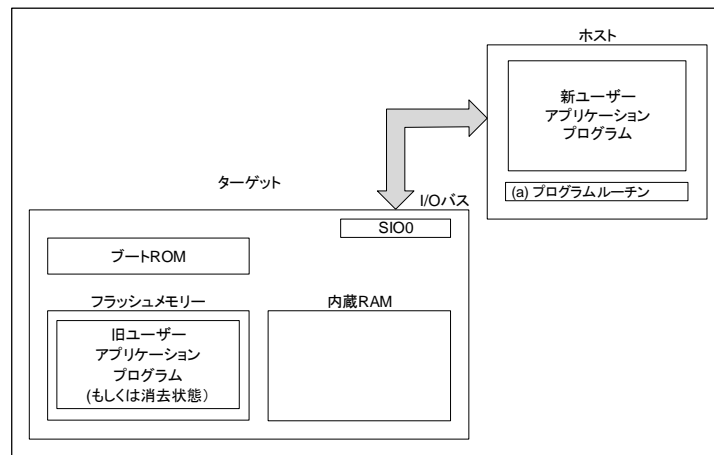
シングルチップモード(通常動作モード)中に誤ってフラッシュメモリーの内容を書き替えないよう、書き替え処理が完了したら必要なブロックにライト/消去プロテクトをかけておくことを推奨します。

## 20.2.3.1. (2-A)内蔵ブート ROM の書き替えアルゴリズムを利用する場合

### (1) Step-1

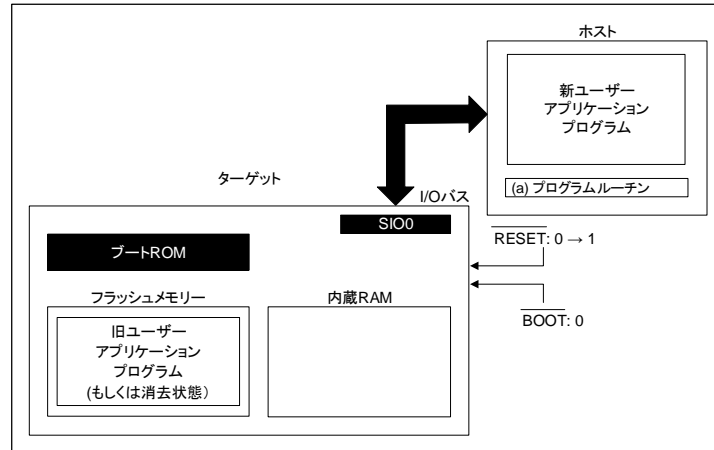
内蔵ブート ROM の書き替えアルゴリズムを利用する場合、フラッシュメモリーは旧バージョンのユーザープログラムが書かれていても、消去されていても対応できます。プログラムルーチン、書き替えデータなどの転送はSIO/UART(ch 0)を経由して行いますので、ボード上でTMPM370FYDFG/TMPM370FYFGのSIO0と外部ホストとをつなげます。書き替えを行うための(a)プログラムルーチンはホスト上に用意します。

- (a) プログラムルーチン:書き替えデータを外部から取り込み、フラッシュメモリーを書き替えるためのプログラム



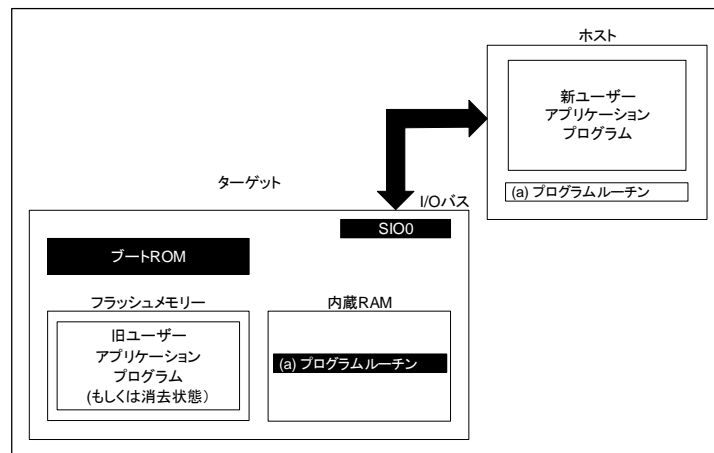
## (2) Step-2

ブートモードの端子条件設定でリセットを解除し、ブート ROM で起動します。ブートモードの手順に従い、SIO0 を経由して転送元(ホスト)より(a)プログラムルーチンの転送を行います。最初にユーザーアプリケーションプログラム上に記録されているパスワードとの照合を行います。(フラッシュメモリーが消去されている状態でも、消去データ("0xFF")をパスワードとして照合を行います。)



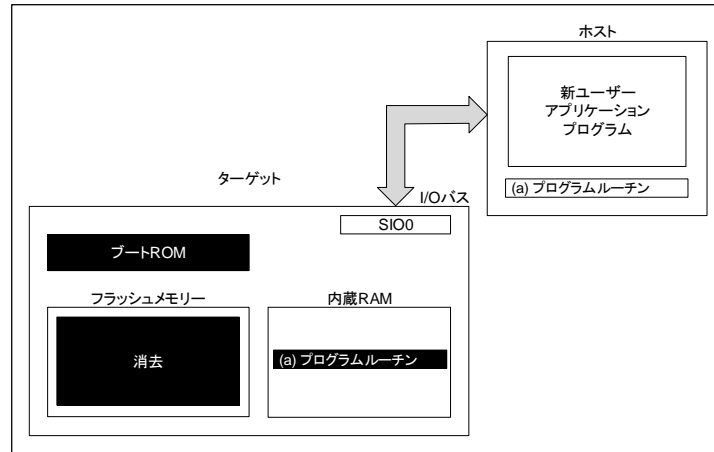
## (3) Step-3

パスワードの照合が終了すると、転送元(ホスト)から(a)プログラムルーチンを転送します。ブート ROM はそのルーチンを内部 RAM にロードします。ただし、RAM 上のアドレス"0x2000\_0400"から RAM の最終番地の範囲に格納してください。



### (4) Step-4

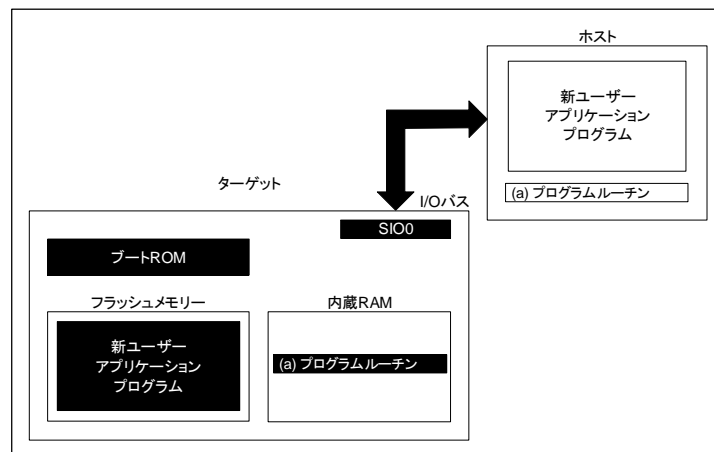
RAM 上の(a)プログラムルーチンへジャンプし、旧ユーザーアプリケーションプログラムエリアの消去を行います。(ブロック単位あるいは一括)



### (5) Step-5

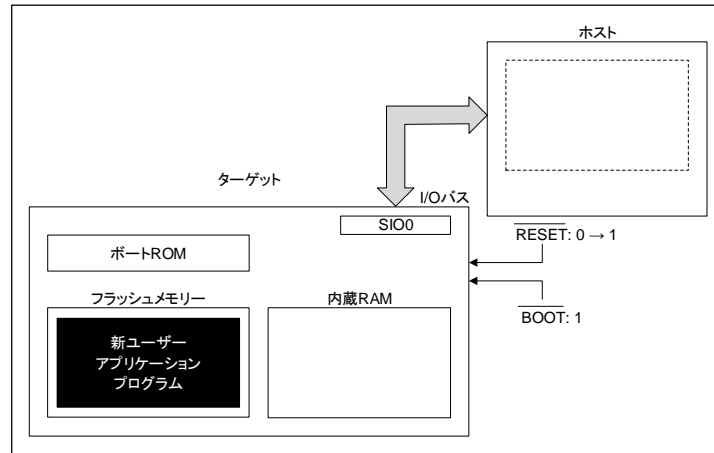
さらに、RAM 上の(a)プログラムルーチンを実行して、転送元(ホスト)よりニューユーザーアプリケーションプログラムのデータをロードし、フラッシュメモリーの消去したエリアに書き込みを行います。書き込みが完了したら、ユーザープログラムエリアのライト消去プロテクトをオンにします。

下の例の場合、プログラムルーチンを転送したときと同じホストおよび SIO0 経由で書き替えデータも転送されていますが、RAM 上で動作を開始した以降では、ユーザー独自にデータバスおよび転送元を設定することもできます。方法に応じて、回路およびプログラムルーチンを組み立ててください。



## (6) Step-6

書き込みが完了したら、一度ボードの電源を落とし、ホストと接続していたケーブルをはずします。この後、再度電源を入れ直し、シングルチップモード(ノーマルモード)起動し、新しいユーザーアプリケーションプログラムを実行します。



## 20.2.4. モード設定

オンボードプログラミングを実行するためには、TMPM370FYDFG/TMPM370FYFG をシングルブートモードで立ち上げます。シングルブートモードで立ち上がるための設定を以下に示します。

$$\overline{\text{BOOT}}(\text{PF0}) = "0"$$
$$\overline{\text{RESET}} = "0" \rightarrow "1"$$

$\overline{\text{RESET}}$ 入力端子を"0"の状態にして、 $\overline{\text{BOOT}}(\text{PF0})$ 端子をあらかじめ上記条件に設定します。その後リセット解除を行うとシングルブートモードで起動します。

## 20.2.5. メモリーマップ

図 20.3 にシングルチップモードとシングルブートモードのメモリーマップの比較を示します。図のように、シングルブートモードでは、内蔵フラッシュメモリーは"0x3F80\_0000"からマッピングされます。また、"0x0000\_0000"から"0x0000\_0FFF"にはブート ROM(マスク ROM)がマッピングされます。

内蔵フラッシュメモリーと RAM のマッピングは以下のとおりです。

表 20.5 内蔵フラッシュメモリーとRAMのマッピング

製品	Flashサイズ	RAMサイズ	Flashアドレス (シングルチップモード/シングルブートモード)	RAMアドレス
TMPM370FYDFG	256KB	10KB	"0x0000_0000" ~ "0x0003_FFFF"/	"0x2000_0000" ~ "0x2000_27FF"
TMPM370FYFG			"0x3F80_0000" ~ "0x3F83_FFFF"	

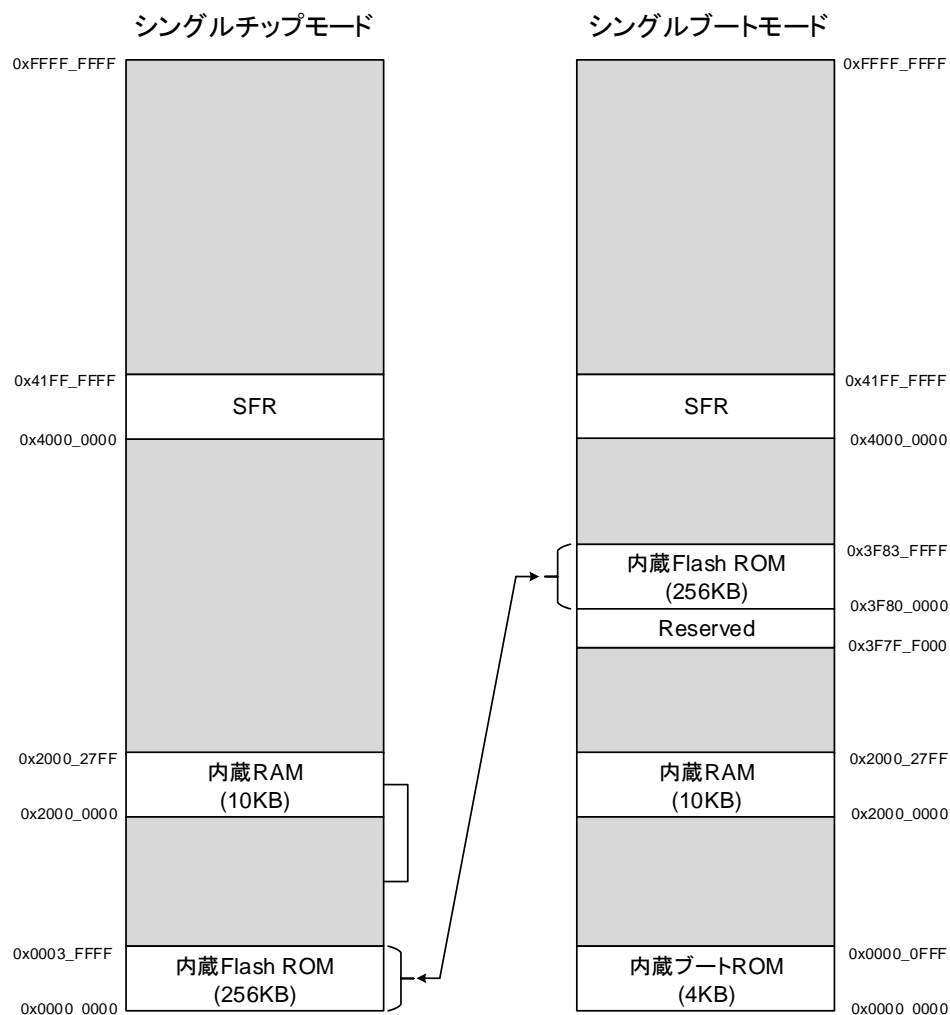


図 20.3 メモリーマップ

## 20.2.6. インターフェース仕様

シングルブートモードでの通信フォーマットを以下に示します。シリアル動作のモードは、UART(非同期通信モード)と SIO(同期通信モード)両方に対応しています。オンボードプログラミングを実行するためには、書き込みコントローラー側の通信フォーマットも同様に設定する必要があります。

- UART で通信する場合
  - 通信チャンネル : SIO/UART0
  - シリアル転送モード : UART(非同期通信モード)、半二重通信、LSB ファースト
  - データ長 : 8 ビット
  - パリティビット : なし
  - STOP ビット : 1 ビット
  - ボーレート : 任意のボーレート
- SIO で通信する場合
  - 通信チャンネル : SIO/UART0
  - シリアル転送モード : SIO(同期通信モード)、全二重通信、LSB ファースト
  - 同期信号(SCLK0) : 入力モード
  - ハンドシェイク端子 : 出力モード(PE4)
  - ボーレート : 任意のボーレート

表 20.6 端子の接続

端子		シリアル転送モード	
		UART	SIO
電源系端子	DVDD5	○	○
	DVSS	○	○
	AVDD5A	○	○
	AVSSA	○	○
	AVDD5B	○	○
	AVSSB	○	○
	VOUT3	○	○
	VOUT15	○	○
	RVDD5	○	○
モード設定端子	$\overline{\text{BOOT}}$ (PF0)	○	○
リセット端子	$\overline{\text{RESET}}$	○	○
通信端子	TXD0 (PE0)	○	○
	RXD0 (PE1)	○	○
	SCLK0 (PE2)	-	○(入力モード)
	PE4	-	○(出力モード)

注) ○: 必要、-: 不要

### 20.2.7. データ転送フォーマット

動作コマンド、および各動作モード時のデータ転送フォーマットをそれぞれ表 20.7、表 20.9 ~ 表 20.10 に示します。「20.2.10. ブートプログラム動作説明」と合わせてお読みください。

表 20.7 動作コマンドデータ

動作コマンドデータ	動作コマンド
"0x10"	RAM 転送
"0x40"	フラッシュメモリーチップ消去およびプロテクトビット消去

### 20.2.8. メモリーの制約について

シングルブートモードでは、内蔵 RAM、内蔵 Flash ROM に対して表 20.8 のように制約が付きまます。

表 20.8 シングルブート時のメモリーの制約

メモリー	制約内容
内蔵 RAM	"0x2000_0000" ~ "0x2000_03FF"番地はブート ROM のワークエリアになります。 RAM 転送のプログラムは"0x2000_0400"から RAM の最終番地に格納してください。
内蔵 Flash ROM	以下の番地はソフトの ID 情報や password の格納エリアとなりますので、なるべく プログラムエリアとしての使用は避けてください。 "0x3F83_FFF0" ~ "0x3F83_FFFF"

### 20.2.9. ブートプログラムの転送フォーマット

各コマンドのブートプログラムの転送フォーマットを示します。「20.2.10. ブートプログラム動作説明」と合わせて参照してください。

## 20.2.9.1. RAM 転送

表 20.9 ブートプログラムの転送フォーマット[RAM転送の場合]

	転送バイト数	コントローラ → 本デバイスの 転送データ	ボーレート	本デバイス → コントローラへの転送データ
ブート ROM	1 バイト目	シリアル動作モード&ボーレート設定 UART の場合: "0x86" SIO の場合: "0x30"	指定された ボーレート (注 1)	-
	2 バイト目	-		シリアル動作モードに対する ACK 応答 ・UART の場合 正常(設定可能)の場合: "0x86" (ボーレートの設定が不可能と判断した場合は動作停止) ・SIO の場合 正常の場合: "0x30"
	3 バイト目	動作コマンドデータ("0x10")		-
	4 バイト目	-		動作コマンドに対する ACK 応答(注 2) 正常の場合: "0x10" 異常の場合: "0xX1" 通信異常の場合: "0xX8"
	5 バイト目 ~ 16 バイト目	PASSWORD データ(12 バイト) "0x3F83_FFF4" ~ "0x3F83_FFFF"		-
	17 バイト目	5 ~ 16 バイト目の CHECKSUM 値		-
	18 バイト目	-		CHECKSUM 値に対する ACK 応答(注 2) 正常の場合: "0x10" 異常の場合: "0xX1" 通信異常の場合: "0xX8"
	19 バイト目	RAM 格納開始アドレス 31 ~ 24		- (注 3)
	20 バイト目	RAM 格納開始アドレス 23 ~ 16		- (注 3)
	21 バイト目	RAM 格納開始アドレス 15 ~ 8		- (注 3)
	22 バイト目	RAM 格納開始アドレス 7 ~ 0		- (注 3)
	23 バイト目	RAM 格納バイト数 15 ~ 8		- (注 3)
	24 バイト目	RAM 格納バイト数 7 ~ 0		- (注 3)
	25 バイト目	19 ~ 24 バイト目の CHECKSUM 値		- (注 3)
	26 バイト目	-		CHECKSUM 値に対する ACK 応答 (注 2) 正常の場合: "0x10" 異常の場合: "0xX1" 通信異常の場合: "0xX8"
	27 バイト目 ~ m バイト目	RAM 格納データ		-
m + 1 バイト目	27 ~ m バイト値の CHECKSUM 値	-		

	転送バイト数	コントローラ → 本デバイスの 転送データ	ボーレート	本デバイス → コントローラへの転送データ
	m + 2 バイト目	-		CHECKSUM 値に対する ACK 応答 (注 2) 正常の場合: "0x10" 異常の場合: "0xX1" 通信異常の場合: "0xX8"
RAM	m + 3 バイト目	-		RAM 格納開始アドレスに JUMP

注 1) SIO モードの場合、1 バイト目と 2 バイト目のボーレートは、指定されたボーレート ÷ 16 で行ってください。

注 2) 異常応答後は、動作コマンド(3 バイト目)待ちになります。SIO モードの場合は、「通信異常の場合」は発生しません。

注 3) 19 バイト目 ~ 25 バイト目のデータは、RAM 上のアドレス"0x2000\_0400"から RAM の最終番地の領域内に納まるようにプログラムしてください。

20.2.9.2. フラッシュメモリーチップ消去およびプロテクトビット消去

表 20.10 ブートプログラムの転送フォーマット  
[フラッシュメモリーチップ消去およびプロテクトビット消去の場合]

	転送バイト数	コントローラー → 本デバイスの 転送データ	ボーレート	本デバイス → コントローラーへの転送データ
ブート ROM	1 バイト目	シリアル動作モード&ボーレート設定 UART の場合: "0x86" SIO の場合: "0x30"	指定された ボーレート (注 1)	-
	2 バイト目	-		シリアル動作モードに対する ACK 応答 ・正常(設定可能)の場合 ・UART の場合: "0x86" ・SIO の場合: "0x30" (ボーレートの設定が不可能と判断した場合は動作停止)
	3 バイト目	動作コマンドデータ("0x40")		-
	4 バイト目	-		動作コマンドに対する ACK 応答(注 2) 正常の場合: "0x40" 異常の場合: "0xX1" 通信異常の場合: "0xX8"
	5 バイト目	消去イネーブルコマンドデータ("0x54")		-
	6 バイト目	-		動作コマンドに対する ACK 応答(注 2) 正常の場合: "0x54" 異常の場合: "0xX1" 通信異常の場合: "0xX8"
	7 バイト目	-		消去コマンドに対する ACK 応答 正常の場合: "0x4F" 異常の場合: "0x4C"
	8 バイト目	(次の動作コマンドデータ待ち)		-

注 1) SIO モードの場合、1 バイト目と 2 バイト目のボーレートは、指定されたボーレート ÷ 16 で行ってください。

注 2) 異常応答後は、動作コマンド(3 バイト目)待ちになります。SIO モードの場合は、「通信異常の場合」は発生しません。

## 20.2.10. ブートプログラム動作説明

シングルブートモードで立ち上げるとブートプログラムが起動し、以下の機能を提供します。

### (1) RAM 転送コマンド

RAM 転送は、コントローラーから送られてくるデータを内蔵 RAM へ格納します。転送が正常に終了するとユーザープログラムの実行を開始します。ユーザープログラム領域として、ブートプログラムで使用する領域("0x2000\_0000" ~ "0x2000\_03FF")を除く、"0x2000\_0400"以降を使用可能です。実行開始アドレスは、RAM 格納開始アドレスになります。

この RAM 転送機能により、ユーザー独自のオンボードプログラミング制御を行うことができます。ユーザープログラムでオンボードプログラミングを実行するためには、「20.3. オンボードプログラミングでのフラッシュメモリー書き込み/消去」で説明するフラッシュメモリーコマンドシーケンスを使う必要があります。RAM 転送コマンドは、実行に先立ちパスワードの照合結果をチェックします。パスワードが一致していない場合、実行されません。

注) パスワードが消去データ("0xFF")の場合、容易にパスワードの照合が可能になり、セキュリティの確保が難しくなります。シングルブートモードを使用しない場合も固有の値を置くことを推奨します。

### (2) フラッシュメモリーSUM コマンド

フラッシュメモリー全領域の SUM を計算しその結果を返します。ブートプログラムではフラッシュメモリーの全エリアのデータを読み出す動作コマンドはサポートしていません。その代わりに、このフラッシュメモリーSUM コマンドがあります。SUM を読み出すことで、アプリケーションプログラムのレビジョンを管理することができます。

### (3) 製品情報読み出しコマンド

TMPM370FYDFG/TMPM370FYFG の製品名やメモリー情報などを返します。製品情報読み出しコマンドでは、フラッシュメモリーの一部エリアのデータを返します。フラッシュメモリーSUM コマンド以外に、このデータを用いることで、アプリケーションプログラムのレビジョンを管理することができます。製品ごとの対象エリアは以下のとおりです。

表 20.11 対象エリア

製品	対象エリア
TMPM370FYDFG TMPM370FYFG	"0x3F83_FFF0" ~ "0x3F83_FFF3"

(4) フラッシュメモリーチップ消去およびプロテクトビット消去

このコマンドはすべてのブロックのフラッシュメモリーを消去します。ライト/消去プロテクトおよび、セキュリティー状態にかかわらず、メモリーセルのすべてのブロックを消去し、すべてのブロックのライト/消去プロテクトを消去します。コマンド終了後、FCSECBIT<SECBIT>は"1"になります。このコマンドは、パスワードを忘れた場合のブートプログラムの操作を回復する機能も兼用しているため、パスワード比較は行っていません。

### 20.2.10.1. RAM 転送コマンド

データ転送フォーマットは表 20.9 を参照してください。

- (1) 1 バイト目のデータは、シリアル動作モードを判定するデータになります。シリアルの動作モードを判定する方法は、後述の「20.2.10.4. シリアル動作モード判定」を参照してください。シリアルの動作モードで UART と判定した場合は、ボーレートの設定が可能かどうかを判定します。1 バイト目のデータは、受信を禁止した状態(SC0MOD0<RXE> = "0")にしています。
  - UART で通信を行いたい場合  
コントローラーからターゲットボードへは、UART の設定で、所望のボーレートでデータを "0x86" にして送信してください。シリアルの動作モードの判定で UART と判定した場合、ボーレートの設定が可能かどうかを判定します。設定が不可能と判断した場合は動作を停止するため、通信が行えなくなります。
  - SIO で通信を行いたい場合  
コントローラーからターゲットボードへは、同期式の設定で、所望のボーレート ÷ 16 でデータを "0x30" にして送信してください。2 バイト目も同様に、所望のボーレート ÷ 16 にしてください。所望のボーレートで転送するのは、3 バイト目(動作コマンドデータ)からにしてください。  
SIO の場合、CPU が受信端子を入力ポートとして見ており、その入力ポートのレベルの変化をモニターしています。従って、ボーレートが高い場合や動作周波数が低い場合は、CPU はレベルの変化を判別できないことがあります。これを防ぐために SIO の場合、ボーレートは所望のボーレート ÷ 16 で指定します。SIO と判定した場合、SCLK 入力モードになります。コントローラーは、AC タイミングを満足するボーレートで送信を行ってください。SIO の場合、受信エラーフラグのチェックは行いません。従って、ACK 応答データの通信異常 ACK(bit3)("0xX8")はありません。
- (2) 2 バイト目の送信データは、1 バイト目のシリアル動作モード設定データに対する ACK 応答データになります。1 バイト目のデータが、UART と判定されボーレートの設定が可能な場合 "0x86" を SIO と判定された場合 "0x30" を送信します。
  - UART と判定された場合  
ボーレートの設定が可能かどうかを判定します。設定が可能と判定した場合、SC0BRCCR の値を書き替え、"0x86" を送信し、設定が不可能と判定した場合、動作を停止するため何も送信しません。コントローラーは、1 バイト目のデータの送信が終了した後、タイムアウト時間(5 秒)を設けます。タイムアウト時間内に、データ("0x86")を正常受信できなければ、通信不能と判断してください。受信を許可(SC0MOD0<RXE> = "1")するタイミングは、送信バッファにデータ("0x86")を書き込む前に行っています。

- SIO と判定された場合  
SIO になるように SC0MOD0、SC0CR の値を書き替え、SC0BUF に"0x30"を書き込み、SCLK0 クロックを待ちます。コントローラーは、1 バイト目のデータ送信が終了した後、アイドル時間(数 ms)後、SCLK0 クロックを出力してください。このときのボーレートは、所望のボーレート ÷ 16 で行い、受信データが"0x30"なら、通信可能と判断してください。3 バイト目からは所望のボーレートで行ってください。受信を許可(SC0MOD0<RXE> = "1")するタイミングは、送信バッファにデータ("0x30")を書き込む前に行っています。
- (3) 3 バイト目の受信データは、動作コマンドデータになります。この場合は、RAM 転送コマンドデータ("0x10")になります。
- (4) 4 バイト目の送信データは、3 バイト目の動作コマンドデータに対する ACK 応答データになります。最初に、3 バイト目の受信データに受信エラーがあるかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ(bit3)"0xX8"を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、不定値になります。(直前の動作コマンドデータの上位 4 ビットになります。)なお、SIO の場合、受信エラーのチェックは行いません。  
次に、3 バイト目の受信データが、表 20.7 の動作コマンドデータのいずれかに該当する場合は、受信データをエコーバック送信(正常 ACK 応答データ)します。この場合、"0x10"をエコーバック送信して RAM 転送処理ルーチンに分岐します。このルーチンに分岐後、パスワードエリアのデータをチェックします。パスワードエリアのデータのチェック方法は、後述の「20.2.10.5. パスワードについて」を参照してください。該当しない場合は、動作コマンドエラーの ACK 応答データ(bit0)"0xX1"を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、不定値になります。(直前の動作コマンドデータの上位 4 ビットになります。)
- (5) 5 バイト目 ~ 16 バイト目の受信データは、パスワードデータ(12 バイト)になります。5 バイト目の受信データから順に、フラッシュメモリーの以下の表のアドレスと照合します。一致していない場合、パスワードエラーフラグをセットします。

表 20.12 パスワード領域

製品	パスワード領域
TMPM370FYDFG TMPM370FYFG	"0x3F83_FFF4" ~ "0x3F83_FFFF"

(6) 17 バイト目の受信データは、CHECKSUM データになります。5 バイト目から 16 バイト目の送信データを符号なしの 8 ビット加算(オーバーフローを無視)して得られた下位 8 ビット値の 2 の補数をコントローラーから送信してください。CHECKSUM データの計算方法は、後述の「20.2.10.6. CHECKSUM の計算方法」を参照してください。

(7) 18 バイト目の送信データは、5 バイト目 ~ 17 バイト目のデータに対する ACK 応答データ(CHECKSUM 値に対する ACK 応答)になります。最初に、5 バイト目 ~ 17 バイト目の受信データに受信エラーがあるかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ(bit3)"0x18"を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになるので、"1"になります。なお、SIO の場合、受信エラーのチェックは行いません。

次に、17 バイト目の CHECKSUM データをチェックします。CHECKSUM データのチェック方法は、5 バイト目 ~ 16 バイト目までの受信データを符号なし 8 ビット加算(オーバーフローを無視)して得られた値の下位 8 ビットが、"0x00"かどうかをチェックしています。"0x00"以外の場合、CHECKSUM エラーの ACK 応答データ(bit0)"0x11"を送信して、次の動作コマンド(3 バイト目)データ待ちになります。

最後に、パスワードの照合結果をチェックします。次の場合、パスワードエラーの ACK 応答データ(bit 0)"0x11"を送信して、次の動作コマンド(3 バイト目)データ待ちになります。

- 5 バイト目 ~ 16 バイト目のパスワードデータの照合結果に関わらず、パスワードエリアの 12 バイトのデータが、"0xFF"以外の同一データの場合
- 5 バイト目 ~ 16 バイト目のパスワードデータの照合が全て一致しない場合

上記のチェックを終えて、全て正常なら、正常 ACK 応答データ"0x10"を送信します。

(8) 19 バイト目 ~ 22 バイト目までの受信データは、ブロック転送における格納先の RAM の開始アドレスを表します。19 バイト目がアドレスの 31 ビット ~ 24 ビットに対応し、22 バイト目が 7 ビット ~ 0 ビットに対応します。

格納先の RAM の開始アドレスは偶数アドレスで無ければいけません。

(9) 23 バイト目、24 バイト目の受信データは、ブロック転送するバイト数を表します。23 バイト目が転送バイト数の 15 ビット ~ 8 ビット目に対応し、24 バイト目が 7 ビット ~ 0 ビット目に対応します。

(10) 25 バイト目の受信データは、CHECKSUM データになります。19 バイト目から 24 バイト目の送信データを符号なし 8 ビット加算(オーバーフローを無視)して得られた下位 8 ビット値の 2 の補数値をコントローラーから送信してください。CHECKSUM データ計算方法は、後述の「20.2.10.6. CHECKSUM の計算方法」を参照してください。

- (11) 26 バイト目の送信データは、19 バイト目 ~ 25 バイト目のデータに対する ACK 応答データ (CHECKSUM 値に対する ACK 応答)になります。最初に、19 バイト目 ~ 25 バイト目の受信データに受信エラーがあるかどうかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ (bit3)"0x18"を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになるので"1"になります。なお、SIO の場合、受信エラーのチェックは行いません。
- 次に、25 バイト目の CHECKSUM データをチェックします。CHECKSUM データのチェック方法は、19 バイト目 ~ 24 バイト目までの受信データを符号なし 8 ビット加算(オーバーフローを無視)して得られた値の下位 8 ビットが、"0x00"かどうかをチェックしています。"0x00"以外の場合、CHECKSUM エラーの ACK 応答データ (bit0)"0x11"を送信して、次の動作コマンド(3 バイト目)データ待ちになります。
- (12) 27 バイト目 ~ m バイト目の受信データは、RAM へ格納するデータになります。RAM に格納するデータを、19 バイト目から 22 バイト目で指定されたアドレスから書き込み、23 バイト目から 24 バイト目に指定されたバイト数分だけ書き込みます。
- (13) m + 1 バイト目の受信データは、CHECKSUM データになります。27 バイト目 ~ m バイト目の送信データを符号なし 8 ビット加算(オーバーフローを無視)して得られた下位 8 ビット値の 2 の補数をコントローラーから送信してください。CHECKSUM データの計算方法は、「20.2.10.6. CHECKSUM の計算方法」を参照してください。
- (14) m + 2 バイト目の送信データは、27 バイト目 ~ m + 1 バイト目のデータに対する ACK 応答データ (CHECKSUM に対する ACK 応答)になります。最初に 27 バイト目 ~ m + 1 バイト目の受信データに受信エラーがあるかどうかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ (bit3)"0x18"を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになるので"1"になります。なお、SIO の場合、受信エラーのチェックは行いません。次に、m + 1 バイト目の CHECKSUM データをチェックします。CHECKSUM データのチェック方法は、27 バイト目 ~ m バイト目までの受信データを符号なし 8 ビット加算(オーバーフローを無視)して得られた値の下位 8 ビットが、"0x00"かどうかをチェックしています。"0x00"以外の場合、CHECKSUM エラーの ACK 応答データ (bit0)"0x11"を送信して、次の動作コマンド(3 バイト目)データ待ちになります。上記のチェックを終えて全て正常なら、正常 ACK 応答データ"0x10"を送信します。
- (15) m + 2 バイト目の ACK 応答データが正常 ACK 応答データの場合、正常 ACK 応答データ"0x10"を送信後、19 バイト目 ~ 22 バイト目で指定されたアドレスに分岐します。

## 20.2.10.2. フラッシュメモリーチップ消去およびプロテクトビット消去コマンド

データ転送フォーマットは表 20.10 を参照してください。

- (1) 1 バイト目 ~ 2 バイト目までの送受信データは RAM 転送コマンドの場合と同一になります。
- (2) コントローラー→デバイス  
3 バイト目の受信データは動作コマンドデータになります。この場合は、フラッシュメモリーチップ消去コマンドデータ("0x40")になります。
- (3) デバイス→コントローラー  
4 バイト目の送信データは、3 バイト目の動作コマンドデータに対する ACK 応答データになります。最初に、3 バイト目の受信データに受信エラーがあるかどうかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ(bit3)"0xX8"を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは不定値になります(直前の動作コマンドデータの上位 4 ビットになります)。次に、3 バイト目の受信データが、表 20.7 の動作コマンドデータのいずれかに該当する場合は、受信データをエコーバック送信(正常 ACK 応答データ)します。この場合、"0x40"をエコーバック送信します。該当しない場合は、動作コマンドエラーの ACK 応答データ(bit0)"0xX1"を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは不定値になります(直前の動作コマンドデータの上位 4 ビットになります)。
- (4) コントローラー→デバイス  
5 バイト目の受信データは消去イネーブルコマンドデータ("0x54")になります。
- (5) デバイス→コントローラー  
6 バイト目の送信データは、5 バイト目の消去イネーブルコマンドデータに対する ACK 応答データになります。最初に、5 バイト目の受信データに受信エラーがあるかどうかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ(bit3)"0xX8"を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは不定値になります(直前の動作コマンドデータの上位 4 ビットになります)。次に、5 バイト目の受信データが、消去イネーブルコマンドデータに該当する場合は、受信データをエコーバック送信(正常 ACK 応答データ)します。この場合、"0x54"をエコーバック送信して、フラッシュメモリーチップ消去処理ルーチンに分岐します。該当しない場合は、動作コマンドエラーの ACK 応答データ(bit0)"0xX1"を送信して、次の動作コマンド(3 バイト目)データ待ちになります。送信データの上位 4 ビットは不定値になります(直前の動作コマンドデータの上位 4 ビットになります)。

(6) デバイス→コントローラー

7バイト目の送信データが正常に終了したかどうかを示します。

正常に終了したときは、終了コード("0x4F")を返します。

消去エラーが起きた場合は、エラーコード("0x4C")を返します。

(7) 8バイト目の受信データは、次の動作コマンドデータになります。

### 20.2.10.3. ACK 応答データ

ブートプログラムは処理状況を各種コードによってコントローラーに送信します。表 20.13 から表 20.16 に各受信データに対する ACK 応答データを示します。ACK 応答データの上位 4 ビットは、動作コマンドデータの上位 4 ビットになります。また 3 ビット目は受信エラーを表し、0 ビット目は動作コマンドエラー、CHECKSUM エラー、パスワードエラーの状態を表します。1 ビット目と 2 ビット目は常に"0"になります。なお、SIO の場合、受信エラーのチェックは行いません。

表 20.13 シリアル動作判定データに対するACK応答データ

送信データ	送信データの意味
"0x86"	UART での通信が可能と判定した。(注)
"0x30"	SIO での通信が可能と判定した。

注) UART の場合、ボーレートの設定が不可能と判定したら、何も送信しないで動作を停止します。

表 20.14 動作コマンドデータに対するACK応答データ

送信データ	送信データの意味
"0x?8"(注)	動作コマンドデータに受信エラーが発生した。
"0x?1"(注)	未定義の動作コマンドデータを正常受信した。
"0x10"	RAM 転送コマンドと判定した。
"0x40"	フラッシュメモリーチップ消去コマンドと判定した。

注) 上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになります。

表 20.15 CHECKSUMデータに対するACK応答データ

送信データ	送信データの意味
"0xN8"(注)	受信エラーが発生していた。
"0xN1"(注)	CHECKSUM エラーが発生した。あるいは、パスワードエラーが発生した。
"0xN0"(注)	CHECKSUM 値は正常な値と判定した。

注) 上位 4 ビットは動作コマンドデータの上位 4 ビットになります。例えば、パスワードエラー発生時は"1"(N = RAM 転送コマンドデータ[7:4])となります。

表 20.16 フラッシュメモリーチップ消去およびプロテクトビット消去動作に対するACK対応データ

送信データ	送信データの意味
"0x54"	消去イネーブルコマンドと判定した。
"0x4F"	消去コマンド終了
"0x4C"	消去コマンドが不正に終了した。

## 20.2.10.4. シリアル動作モード判定

コントローラーは、UART で通信したい場合、所望のボーレートで 1 バイト目を"0x86"にし、SIO で通信したい場合、所望のボーレート ÷ 16 で 1 バイト目を"0x30"にして送信してください。図 20.4 にそれぞれの場合の波形を示します。

注) 図 20.4 の A、B、C、D の各点間を、 $t_{AB}$ 、 $t_{AC}$ 、 $t_{AD}$ 、 $t_{CD}$  と表現します。

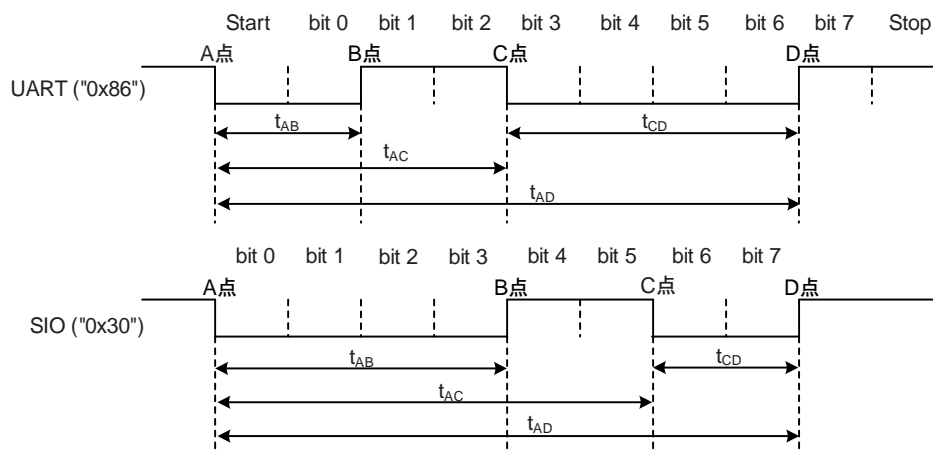


図 20.4 シリアル動作モード判定データ

ブートプログラムは、リセット解除後の 1 バイト目のシリアル動作モード判定データ("0x86"、"0x30")を受信禁止状態にして、図 20.5 に示すフローチャートで、図 20.4 の  $t_{AB}$ 、 $t_{AC}$  と、 $t_{AD}$  の時間を求めています。図 20.5 のフローチャートに示すように、CPU が受信端子のレベルをモニターします。レベルの変化があると、そのときのタイマー値を取り込みます。このため、 $t_{AB}$ 、 $t_{AC}$  と、 $t_{AD}$  のタイマー値には誤差が生じます。また、ボーレートが高いときには、CPU は受信端子のレベルの変化を判断できない場合がありますので注意してください。特に、SIO は UART に比べボーレートが高いため、このような場合が発生しやすくなります。このようなことが起こらないようにするために、SIO の場合、コントローラーのボーレートは所望ボーレート ÷ 16 にして送信してください。

図 20.5 のフローチャートに示すように、シリアル動作モードの判定は、受信端子が"Low"レベルのときの時間幅の大小関係で判定しています。 $t_{AB} \leq t_{CD}$  の場合 UART と判定し、ボーレートの自動設定が可能かどうかを  $t_{AD}$  の時間から判定します。 $t_{AB} > t_{CD}$  の場合、SIO と判定します。なお、先に述べたように、 $t_{AB}$ 、 $t_{AC}$ 、 $t_{AD}$  のタイマー値には誤差が生じているため、ボーレートが高く、動作周波数が低い場合、各タイマー値が小さくなり、意図しない判断を行うことがありますので注意してください(書き換えルーチン内で UART の再設定を行ってください)。

例えば、コントローラーは UART で通信したいのに、SIO と判定してしまうことがあります。このようなことを考慮して、コントローラーは UART で通信したい場合、1 バイト目のデータを送信後、タイムアウト時間内にデータ"0x86"を正常受信できなければ通信不可能と判断してください。SIO で通信したい場合は1バイト目のデータを送信後、アイドル時間後に SCLK クロックを出力してデータを受信し、受信データが"0x30"でなければ通信不可能と判断してください。

SIO で通信したい場合は上記のとおり、 $t_{AB} > t_{CD}$  であれば 1 バイト目のデータは"0x30"でなくても構いません。A 点と C 点の立ち下がり、B 点と D 点の立ち上がりを判定できるように"0x91"、"0xA1"あるいは"0xB1"を 1 バイト目のデータとして送信します。 $t_{AB} > t_{CD}$  が成立しており、動作モード判定結果で SIO が選択された場合、(1 バイト目の送信データが"0x30"でない場合でも)2 バイト目のデータは"0x30"となります(以下、SIO 判定用の 1 バイト目のデータは"0x30"を表記しています)。

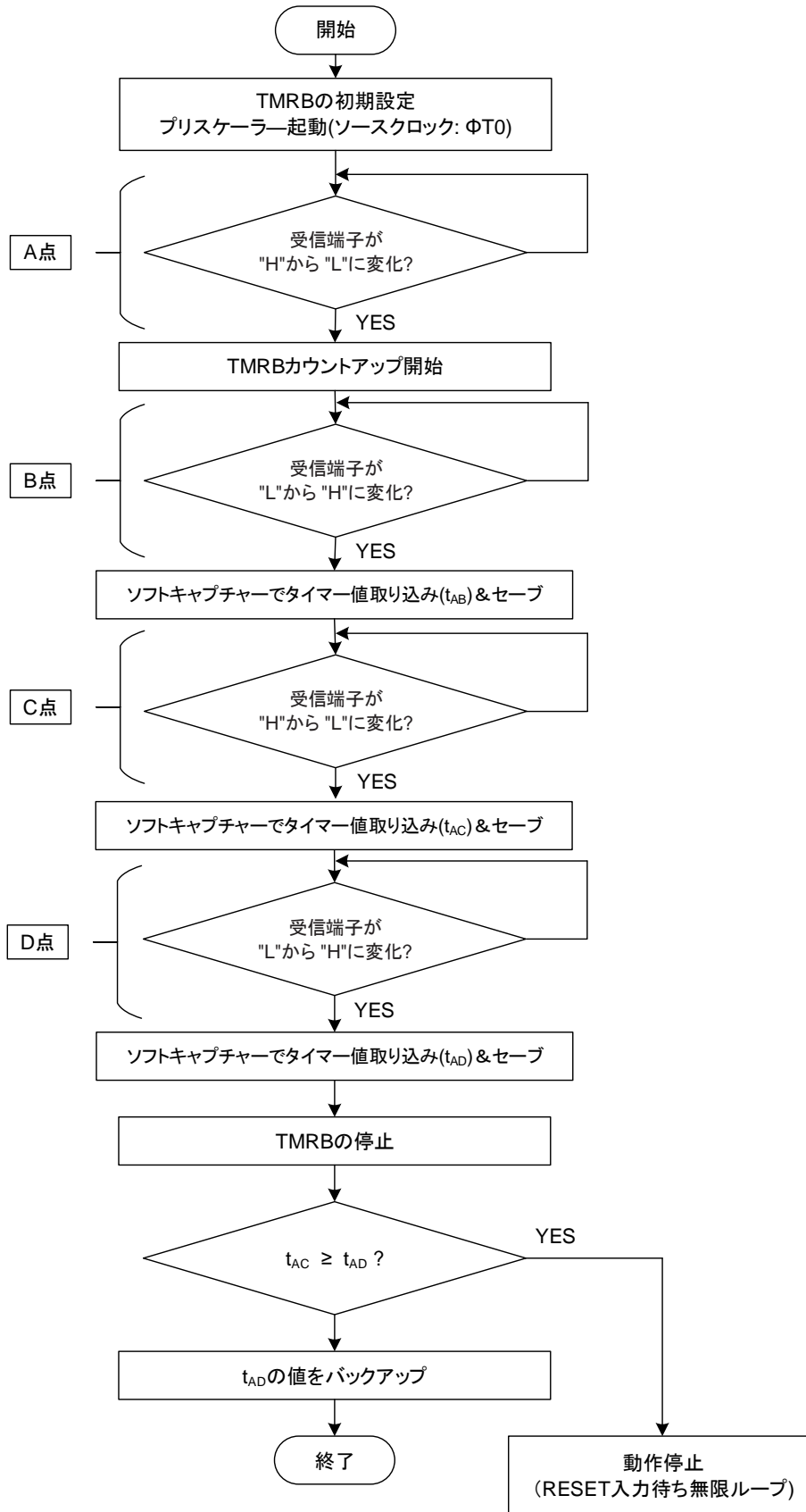


図 20.5 シリアル動作モード受信フローチャート

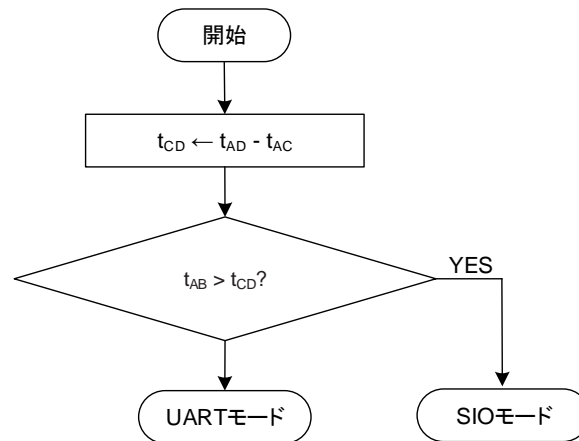


図 20.6 シリアル動作モード判定フローチャート

### 20.2.10.5. パスワードについて

動作コマンドによりパスワードの確認方法が異なります。パスワード領域はコマンドによらず共通で、以下のとおりです。セキュリティー機能が有効な状態でもパスワードの参照を行います。

表 20.17 パスワード領域

製品	パスワード領域
TMPM370FYDFG TMPM370FYFG	"0x3F83_FFF4" ~ "0x3F83_FFFF"

注) パスワードが消去データ("0xFF")の場合、容易にパスワードの照合が可能になり、セキュリティーの確保が難しくなります。シングルブートモードを使用しない場合も固有の値を置くことを推奨します。

図 20.7 に示すようにパスワードエリアのデータが、"0xFF"以外の同一データになっていた場合、パスワードエリアエラーと判定します。パスワードエリアエラーと判定された場合、パスワードデータの照合結果に関わらず、17 バイト目の CHECKSUM 値に対する ACK 対応は"0x11"を送信します。

次に、5 バイト目 ~ 16 バイト目の受信データ(パスワードデータ)の照合を行います。12 バイト分全てが一致しないと、パスワードエラーになります。パスワードエラーと判定された場合、17 バイト目の CHECKSUM 値に対する ACK 応答は、パスワードエラーとなります。

セキュリティー機能が有効な状態でもパスワードの参照を行います。

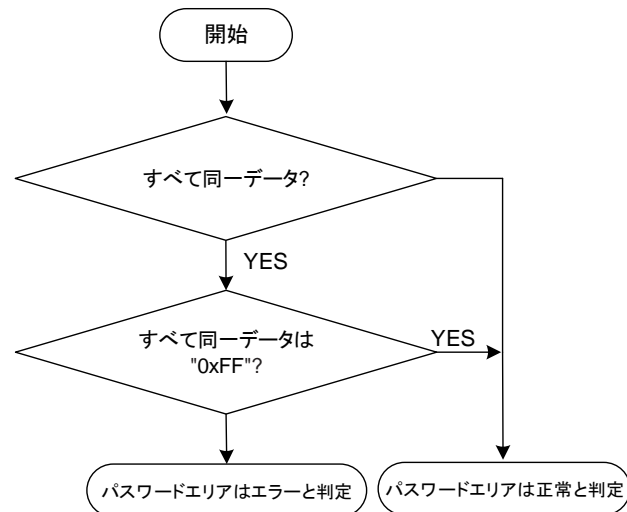


図 20.7 パスワードエリアチェックフローチャート

#### 20.2.10.6. CHECKSUM の計算方法

CHECKSUM の計算方法は、送信データを符号なし 8 ビット加算(オーバーフローを無視)して得られた下位 8 ビット値の 2 の補数値を求めています。コントローラーは CHECKSUM 値を送信するときは、本計算方法を使用してください。

例) CHECKSUM 計算例

2 バイトのデータ"0xE5"、"0xF6"の CHECKSUM 値を求めます。まず、符号なし 8 ビット加算を行います。

$$\text{"0xE5"} + \text{"0xF6"} = \text{"0x1DB"}$$

この値の下位 8 ビットに対しての 2 の補数をとると以下ようになり、この値が CHECKSUM 値になります。従って、コントローラーには"0x25"を送信します。

$$\text{"0"} - \text{"0xDB"} = \text{"0x25"}$$

20.2.11. ブートプログラム全体フローチャート

ブートプログラム全体フローチャートを示します。

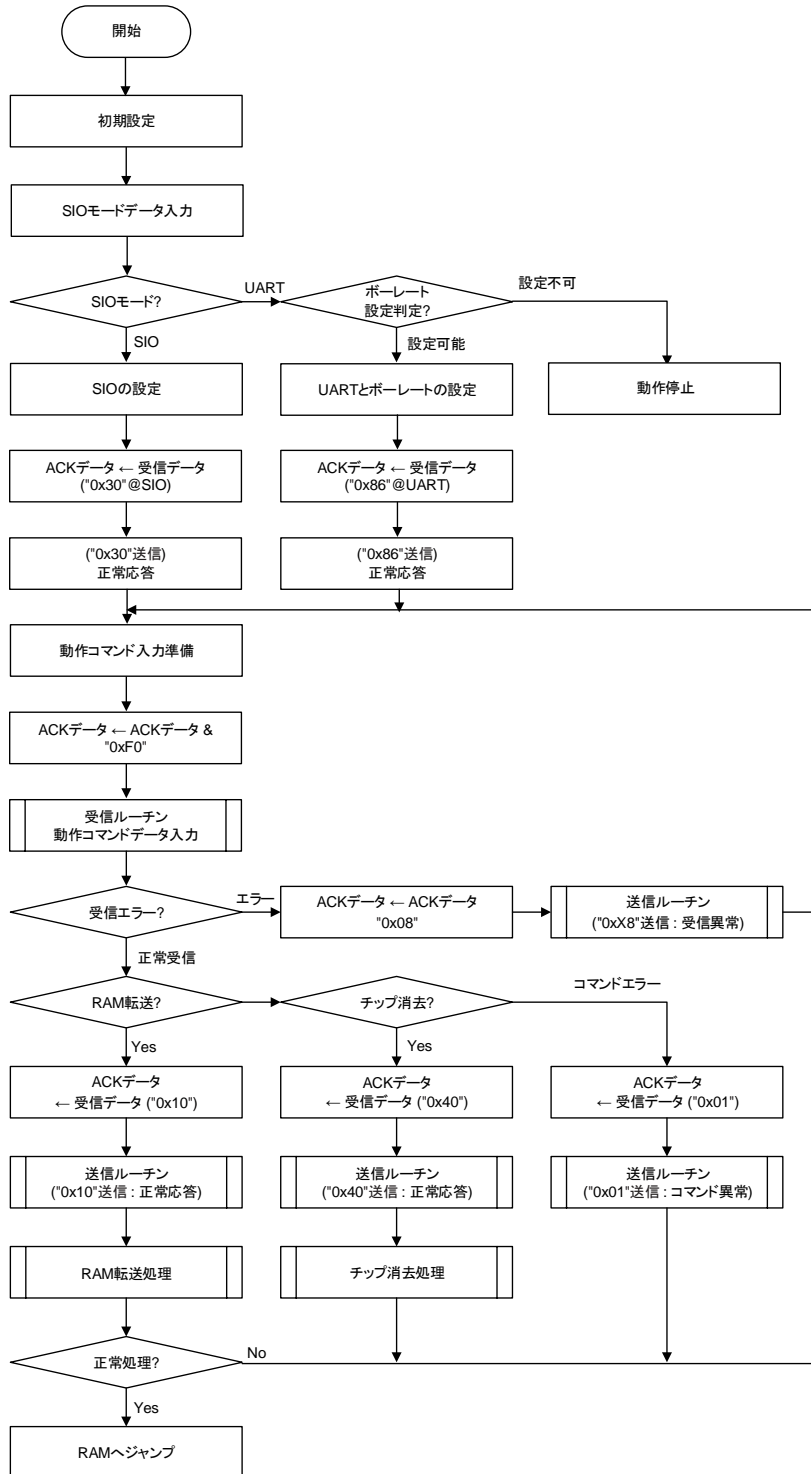


図 20.8 ブートプログラム全体フローチャート

## 20.3. オンボードプログラミングでのフラッシュメモリー書き込み/消去

オンボードプログラミングでは、CPU によりソフトウェア的にコマンドを実行することで、フラッシュメモリーの書き込み/消去を行います。この書き込み/消去の制御プログラムはユーザーがあらかじめ用意しておきます。フラッシュメモリーの書き込み/消去を行っている間は、フラッシュメモリー自身の読み出しはできませんので、ユーザーブートモードに移行後、書き込み/消去制御プログラムは内蔵 RAM 上で実行してください。

### 20.3.1. フラッシュメモリー

一部の機能を除き、フラッシュメモリーの書き込みおよび消去などは JEDEC 標準コマンドに準拠しています。CPU とのインターフェースの関係上、動作コマンドのアドレス指定が標準コマンドとは異なります。

書き込み、消去を行う場合、32 ビット(ワード)のデータ転送命令を用いてフラッシュメモリーへコマンドを入力します。コマンド入力後、書き込みおよび消去は内部で自動的に行われます。

表 20.18 フラッシュメモリーの機能

主な機能	説明
自動ページプログラム	データ書き込みを自動で行います。
自動チップ消去	フラッシュメモリーの全エリアの一括消去を自動で行います。
自動ブロック消去	ブロック単位での消去を自動で行います。
ライト/消去プロテクト	ブロック単位ごとに書き込みおよび消去を禁止することができます。

## 20.3.1.1. ブロック構成

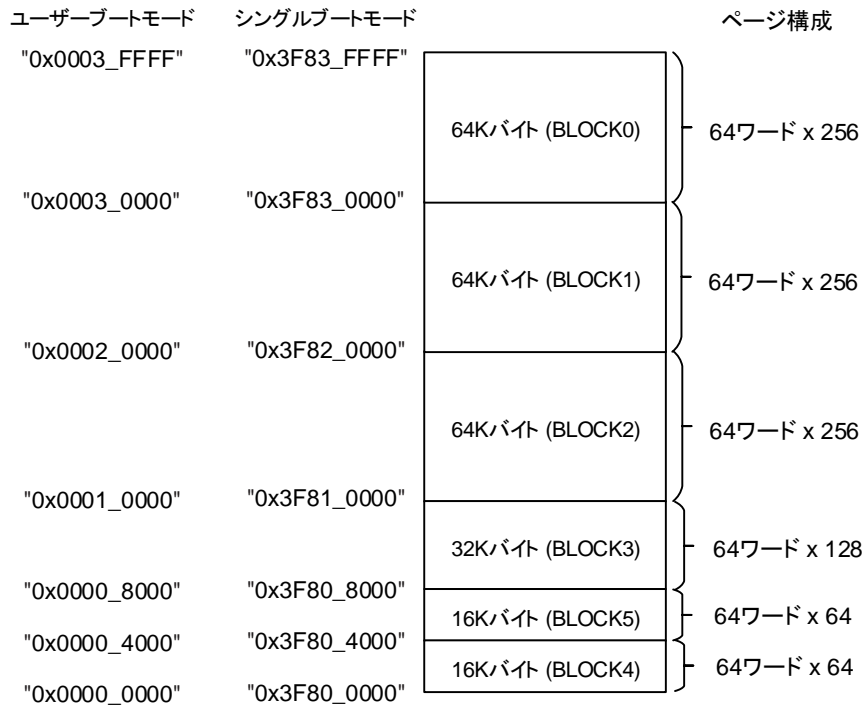


図 20.9 ブロック構成

### 20.3.1.2. 基本動作

このフラッシュメモリには、大きく分けて以下の2種類の動作モードがあります。

- メモリーデータを読み出すモード(リードモード)
- メモリーデータを自動的に消去/書き替えるモード(自動動作)

リードモード中にコマンドシーケンスを実行することで、自動動作に移ることができます。自動動作中は、フラッシュメモリデータの読み出しとフラッシュメモリ上の命令の実行ができません。自動動作中はハードウェアリセットを除いて例外が発生した場合、リードモードに移りません。自動動作中はデバッグポート接続時のデバッグ例外とリセットを除いて、全ての例外を発生させないでください。ハードウェアリセットを除いて例外が発生した場合、リードモードに移行しません。

#### (1) リード

データを読み出す場合、フラッシュメモリをリードモードにします。電源投入直後、CPUリセット解除後および自動動作の正常終了時に、フラッシュメモリはリードモードになります。自動動作の異常終了時や、他のモードからリードモードに復帰させるには、**Read/リセットコマンド**(ソフトウェアリセット)あるいはハードウェアリセットを用います。フラッシュメモリに書かれた命令を実行する場合もリードモードでなければなりません。

- **Read/リセットコマンド**および**Read** コマンド(ソフトウェアリセット)

**ID-Read** コマンドを実行した場合、フラッシュメモリは自動的に**Read** モードに復帰せず、その状態で停止します。このような状態からリードモードに復帰させるために、**Read/リセットコマンド**を使用します。また、途中まで入力したコマンドをキャンセルしたい場合にも、**Read/リセットコマンド**を使用します。**Read** コマンドは、フラッシュメモリの任意のアドレスに"**0x0000\_00F0**"データを32ビット(ワード)のデータ転送命令を実行してリードモードに復帰するコマンドです。

**Read/リセットコマンド**は第3バースライク終了後にリードモードになります。

#### (2) コマンドライト

このフラッシュメモリは、コマンドコントロール方式を用いています。コマンド実行は、フラッシュメモリに対してコマンドシーケンスを実行することで行います。フラッシュメモリは、入力されたアドレスとデータの組み合わせによって各自動動作コマンドを実行します(「20.3.1.6. コマンドシーケンス一覧」参照)。

コマンドシーケンスの途中でコマンドライトをキャンセルしたい場合や、間違ったコマンドシーケンスを入力した場合は、**Read/リセットコマンド**を実行します。フラッシュメモリはコマンド実行を中止してリードモードになります。

フラッシュメモリーに対する 32 ビット(ワード)のデータ転送命令を"バスライトサイクル"と呼びます。各コマンドは幾つかのバスサイクルで構成されています。各バスライトサイクルには順番があり、フラッシュメモリーはバスライトサイクルのアドレスとデータが規定の順番でコマンドライトされたときは自動動作を実施します。規定の順番でコマンドライトされなかったバスライトサイクルがあった場合にフラッシュメモリーはコマンドの実行を中止してリードモードになります。

- 注 1) 各コマンドシーケンスは、フラッシュメモリー外のエリアから実施します。
- 注 2) 各バスライトサイクルは連続して、32 ビット(ワード)のデータ転送命令で行ってください。各コマンドシーケンスの実行中に、フラッシュメモリーへのアクセスは実施しないでください。また、全ての割り込み(デバッグポート接続時は、デバッグ例外を除く)を発生させないでください。各バスライトサイクルおよび、各コマンドシーケンスの実行中にフラッシュメモリーに対して予期しないリードアクセスが生じることになり、コマンドシーケンサーがコマンドを正常に認識できない恐れがあります。各コマンドシーケンスは正常終了しない恐れがあると同時に、誤ったコマンドライトとして認識してしまう可能性があります。
- 注 3) コマンドシーケンサーがコマンドを認識するために、コマンド開始前の状態がリードモードである必要があります。各コマンドシーケンスの第 1 バスライトサイクル前に FCFLCS<RDY\_BSY>="1"であることを確認してください。続いて Read コマンドを実行することを推奨します。
- 注 4) コマンド発行時、誤ったアドレスやデータをライトした場合は、必ずソフトウェアリセットを発行して、一度リードモードに戻してください。

### 20.3.1.3. リセット(ハードウェアリセット)

ハードウェアリセットは、自動プログラム/消去動作の強制的な実行中止や、自動動作が異常終了したとき、コマンドライトにより設定した動作モードの解除に使用します。

本フラッシュメモリーはメモリーブロックとしてリセット入力を持ち、この入力は CPU のリセット信号とつながっています。このため、TMPM370FYDFG/TMPM370FYFG の  $\overline{\text{RESET}}$  入力端子が "Low" となるか、ウォッチドッグタイマーのオーバーフローなどにより CPU のリセットがかかると、フラッシュメモリーは自動動作の実行中であってもその動作を中止し、リードモードに戻ります。なお、自動動作の実行中にハードウェアリセットが入った場合は、データの書き替えが正常に行えませんが注意が必要です。再度、書き替えを行う処置をしてください。

CPU のリセット動作については、「20.2.1. リセット動作」を参照してください。所定のリセット入力後、CPU はフラッシュメモリーよりリセットベクターデータをリードし、リセット解除後の動作を開始します。

#### 20.3.1.4. コマンド説明

##### (1) 自動ページプログラム

フラッシュメモリーへの書き込みは、"1"データセルを"0"データにすることです。"0"データセルを"1"データにすることはできません。"0"データセルを"1"データにするには消去動作を行う必要があります。

TMPM370FYDFG/TMPM370FYFG の自動ページプログラムは、ページごとの書き込みとなります。1 ページは、64 ワードです。1 ページ 64 ワードの場合アドレス[31:8]が同じで、先頭アドレス[7:0] = "0x00"、最後のアドレス[7:0] = "0xFF"のグループです。以降はページプログラムの単位をページと呼びます。

データセルへの書き込みは、内部シーケンサーで自動的に行われ、CPU による外部からの制御を必要としません。自動ページプログラムの状態(書き込み動作中であるか)は FCFLCS<RDY\_BSY>で確認できます。

また、自動ページプログラム中は、新たにコマンドシーケンスを受け付けません。自動ページプログラム動作を中止したい場合は、ハードウェアリセットを用います。これにより動作を中止させた場合、該当のページに対するデータの書き込みは正常に行われていないため、消去動作後に改めて自動ページプログラムを実行する必要があります。

自動ページプログラムは消去後のページに対して 1 回のみ可能で、"1"データセルであっても"0"データセルであってもページに対して 2 回以上の実行はできません。一度書き込み動作を行ったページに対して再度書き込みを行う場合は、自動ブロック消去または自動チップ消去コマンドを行った後に自動ページプログラムを実行しなおす必要がありますのでご注意ください。消去動作を伴わない同一ページへの 2 回以上ページプログラム実施はデバイス破損の可能性があります。

TMPM370FYDFG/TMPM370FYFG 内部で自動的なベリファイ動作は行いません。正常に書き込みができたか、コマンド実行後に読み出しをして確認してください。

自動ページプログラムは、コマンドサイクルの第 3 バスライトサイクル終了から開始します。第 5 バスライトサイクル以降は、第 4 バスライトサイクルで指定した次のアドレス(第 4 バスライトサイクルではページの先頭アドレスをコマンドライトします)から順番に書き込みを行います(データ入力は 32 ビット単位で行います)。第 4 バスライトサイクル以降のコマンドライトは必ず 32 ビット(ワード)のデータ転送命令を使用してください。このとき 32 ビット(ワード)のデータ転送命令はワード境界をまたいだ位置へ実施しないでください。第 5 バスライトサイクル以降は同一ページエリアに対してデータをコマンドライトします。また、ページの一部に書き込みをしたい場合でもページ単位で自動ページプログラムする必要があります。この場合も第 4 バスライトサイクルのアドレス入力はページの先頭アドレスにしてください。この時"0"データセルにしたくない箇所は入力データを"1"にしてコマンドライトします。例えば、あるページの先頭アドレスの書き込みをしない場合、第 4 バスライトサイクルのデータ入力を"0xFFFFFFFF"としてコマンドライトします。

第3バスライトサイクルを実行すると自動プログラム動作中となります。このことはFCFLCS<RDY\_BSY>をモニターすることで確認できます。自動プログラム動作中は、新たなコマンドシーケンスを受け付けません。動作を中止する場合は、ハードウェアリセットを用います。動作を中止させた場合は、データの書き込みは正常に行えませんが注意してください。1ページのデータをコマンドライト後、ページ自動書き込みが正常終了したときにFCFLCS<RDY\_BSY>="1"となり、リードモードに復帰します。

複数のページに対してデータの書き込みを行うときは、ページごとにページプログラムコマンドを実行する必要があります(1回の自動ページプログラムコマンドで書き込めるサイズは1ページです)。ページを跨ったデータ入力の自動ページプログラムはできません。

ライト/消去プロテクトされたブロックへの書き込みはできません。自動プログラムが正常終了すると、自動的にリードモードに復帰します。このことはFCFLCS<RDY\_BSY>をモニターすることで確認できます。自動プログラム動作が不良となった場合は、フラッシュメモリーはこのモードのままロックされ、リードモードには復帰しません。リード状態に復帰させるにはハードウェアリセットでデバイスをリセットする必要があります。この場合、このアドレスへの書き込みが不良になっていますので、デバイスの使用を停止するか、以後このアドレスを含むブロックを使用しないことを推奨します。

注) 自動ページプログラム第4バスライトサイクル以降のバスライトサイクルでは、ソフトウェアリセットが無効になります。

## (2) 自動チップ消去

自動チップ消去動作は、コマンドサイクルの第6バスライトサイクル終了から開始します。

自動チップ消去動作は、FCFLCS<RDY\_BSY>をモニターすることで確認できます。

TMPM370FYDFG/TMPM370FYFG 内部で自動的にベリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。自動チップ消去動作中は、新たなコマンドシーケンスを受け付けません。動作を中止する場合は、ハードウェアリセットを用います。動作を中止した場合、データの消去は正常に行えないので、再度自動チップ消去を行う必要があります。

また、ライト/消去プロテクトされているブロックがある場合、そのブロックの消去は行いません。全てのブロックがライト/消去プロテクトされている場合は、自動チップ消去を実行せず、コマンドシーケンスの第6バスライトサイクルの完了後にリードモードになります。自動チップ消去が正常終了すると、自動的にリードモードに復帰します。自動チップ消去動作が不良となった場合は、フラッシュメモリーはこのモードのままロックされ、リードモードには復帰しません。

リードモードに復帰させるにはハードウェアリセットでデバイスをリセットする必要があります。この場合は、不良が発生したブロックの検知はできません。デバイスの使用を停止するか、ブロック消去機能を利用して不良ブロックを特定し、以降不良ブロックを使用しないことを推奨します。

## (3) 自動ブロック消去(Block 単位)

自動ブロック消去は、コマンドサイクルの第 6 バスライトサイクル終了から開始します。

自動ブロック消去動作の状態は、FCFLCS<RDY\_BSY>をモニターすることで確認できます。

TMPM370FYDFG/TMPM370FYFG 内部で自動的なベリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。自動ブロック消去中は新たなコマンドシーケンスを受け付けません。動作を中止する場合は、ハードウェアリセットを用います。この場合、データの消去は正常に行えませんが、再度自動ブロック消去を行う必要があります。

また、ライト/消去プロテクトされているブロックがある場合、そのブロックの消去を行いません。自動ブロック消去動作が不良になった場合、フラッシュメモリーはこのモードのままロックされ、リードモードには復帰しません。ハードウェアリセットを用いてデバイスをリセットしてください。

## (4) 自動プロテクトビットプログラム(Block 単位)

TMPM370FYDFG/TMPM370FYFG はプロテクトビットを内蔵し Block 単位で設定することができます。Block とプロテクトビットの関係は表 20.23 にあります。自動プロテクトビットプログラムは 1 ビット単位で実行します。ビットの指定は第 7 バスライトサイクルの PBA で行います。自動プロテクトビットプログラムにより、Block ごとに書き込みと消去の動作を禁止(プロテクト)することができます。各 Block のプロテクトの状態は FCFLCS<BLPRO>で確認できます。自動プロテクトビットプログラム動作の状態は、FCFLCS<RDY\_BSY>をモニターすることで確認できます。自動プロテクトビットプログラム動作中は新たなコマンドシーケンスを受け付けません。動作を中止する場合は、ハードウェアリセットを用います。この場合、プロテクトの設定は正常に行えない可能性がありますので、再度 Block プロテクトの動作をやり直す必要があります。全てのプロテクトビットをプログラムした後は、FCFLCS の全ての<BLPRO>ビットが"1"になっています。これ以降は全ての Block に対し、ライト/消去はできません。

注) 自動プロテクトビットプログラム第 7 バスライトサイクルでは、ソフトウェアリセットが無効になります。FCFLCS<RDY\_BSY>は、第 7 バスライトサイクル入力後から、FCFLCS<RDY\_BSY>="0" となります。

## 自動プロテクトビット消去

セキュリティービットとプロテクトビットの状態によって、自動プロテクトビット消去コマンドの実行結果が異なります。FCSECBIT<SECBIT>="1"の場合、FCFLCSの全ての<BLPRO>が"1"か、それ以外の値かで動作が決まります。自動プロテクトビット消去コマンド実施前に必ずFCFLCS<BLPRO>の値を確認してください。セキュリティーの詳細については「21. プロテクト/セキュリティー機能」を参照してください。

- FCFLCS<BLPRO> = all "1"(全てのプロテクトビットがプログラムされている)の場合

自動プロテクトビット消去コマンドをコマンドライトすると、自動的にTMPM370FYDFG/TMPM370FYFG 内部でフラッシュメモリの初期化を行います。第7バスライトサイクル終了後、フラッシュメモリ全エリアのデータセルの消去を行い、引き続いてプロテクトビットの消去を行います。この動作に関してはFCFLCS<RDY\_BSY>をモニターすることで確認できます。自動プロテクトビット消去動作が正常に終了した場合FCFLCS="0x00000001"となります。TMPM370FYDFG/TMPM370FYFG 内部で自動的なベリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。第7バスサイクル以降の自動動作中にリードモードに復帰させるにはハードウェアリセットでデバイスをリセットする必要があります。この場合リードモードに復帰後、FCFLCS<BLPRO>でプロテクトビットの状態を確認して、必要に応じて再度自動プロテクトビット消去または、自動チップ消去あるいは自動ブロック消去を実行する必要があります。

- FCFLCS<BLPRO> ≠ all "1"(全てのプロテクトビットがプログラムされていない)の場合

プロテクトビットを消去することで、プロテクトの状態を解除することができます。TMPM370FYDFG/TMPM370FYFG では、表 20.23 のように Block 単位でプロテクトビットをプログラムするのに対して消去は4ビットをまとめて行います。消去を行いたいプロテクトビットの指定は第7バスライトサイクルで行います。各ブロックのプロテクトビットの状態はFCFLCS<BLPRO>で確認できます。自動プロテクトビットプログラム動作の状態は、FCFLCS<RDY\_BSY>をモニターすることで確認できます。自動プロテクトビット消去動作が正常に終了した場合、FCFLCS<BLPRO>の消去選択したプロテクトビットの値が"0"となります。

いずれの場合も、自動プロテクトビット消去動作中は新たなコマンドシーケンスを受け付けません。動作を中止する場合はハードウェアリセットを用います。自動プロテクトビット消去動作が正常に終了した場合はリードモードに復帰します。

注) FCFLCS<RDY\_BSY>は自動動作中"0"、自動動作終了後"1"になります。

#### (5) ID-Read

ID-Read コマンドを使用すると、TMPM370FYDFG/TMPM370FYFG に内蔵しているフラッシュメモリーのタイプなどの情報を知ることができます。第 4 バスライトサイクル以降でのアドレス[15:14]の値によりロードされるデータが異なります(データ入力値は"0x00"推奨)。第 5 バスライトサイクル以降で任意のフラッシュメモリーエリアの読み出しを行うと ID の値が読み出されます。ID-Read コマンド第 4 バスライトサイクル以降は自動的にリードモードに復帰しません。第 4 バスライトサイクルと ID の値の読み出しは繰り返し実行できます。リードモードへの復帰は Read/リセットコマンドまたはハードウェアリセットで行います。

#### 20.3.1.5. フラッシュコントロール/ステータスレジスター

制御レジスターとアドレスは「21. プロテクト/セキュリティー機能」を参照してください。

## 20.3.1.6. コマンドシーケンス一覧

各コマンドの、アドレスとデータを表 20.19 内部 CPU によるフラッシュメモリアクセスに示します。

Read コマンドの第 2 バスサイクル、Read/リセットコマンドの第 4 バスサイクル、ID-Read コマンドの第 5 バスサイクル以外は全て「バスライトサイクル」です。バスライトサイクルは 32 ビット(ワード)のデータ転送命令で実施します。(表では、データの下位 8 ビットのデータのみ示しています。)

アドレスの詳細は、表 20.20 を参照してください。「コマンド」と記載された、Addr[15:8]に下記の値を使用します。

注) 全バスサイクル、アドレスビット[1:0]へは常に"0"を設定してください。

表 20.19 内部CPUによるフラッシュメモリアクセス

Sequence Command	First bus cycle	Second bus cycle	Third bus cycle	Fourth bus cycle	Fifth bus cycle	Sixth bus cycle	Seventh bus cycle
	Addr.	Addr.	Addr.	Addr.	Addr.	Addr.	Addr.
	Data	Data	Data	Data	Data	Data	Data
Read	0xXX	-	-	-	-	-	-
	0xF0	-	-	-	-	-	-
Read/ リセット	0x54XX	0xAAXX	0x54XX	RA	-	-	-
	0xAA	0x55	0xF0	RD	-	-	-
ID-Read	0x54XX	0xAAXX	0x54XX	IA	0xXX	-	-
	0xAA	0x55	0x90	0x00	ID	-	-
自動ページ プログラム	0x54XX	0xAAXX	0x54XX	PA	PA	PA	PA
	0xAA	0x55	0xA0	PD0	PD1	PD2	PD3
自動チップ 消去	0x54XX	0xAAXX	0x54XX	0x54XX	0xAAXX	0x54XX	-
	0xAA	0x55	0x80	0xAA	0x55	0x10	-
自動ブロック 消去	0x54XX	0xAAXX	0x54XX	0x54XX	0xAAXX	BA	-
	0xAA	0x55	0x80	0xAA	0x55	0x30	-
自動プロテクト ビットプログラム	0x54XX	0xAAXX	0x54XX	0x54XX	0xAAXX	0x54XX	PBA
	0xAA	0x55	0x9A	0xAA	0x55	0x9A	0x9A
自動プロテクト ビット消去	0x54XX	0xAAXX	0x54XX	0x54XX	0xAAXX	0x54XX	PBA
	0xAA	0x55	0x6A	0xAA	0x55	0x6A	0x6A

補足説明

- RA: リードアドレス
- RD: リードデータ
- IA: ID アドレス
- ID: ID データ
- PA: プログラムページアドレス
- PD: プログラムデータ(32 ビットデータ)  
第 4 バスサイクル以降 1 ページ分をアドレス順にデータ入力
- BA: ブロックアドレス
- PBA: プロテクトビットアドレス

## 20.3.2. バスライトサイクル時のアドレスビット構成

表 20.20 は「表 20.19 内部 CPU によるフラッシュメモリアクセス」と併せてご使用願います。

第 1 バスサイクルから「通常のバスライトサイクルアドレス設定」に従い、アドレス設定を行ってください。「0」推奨」は適宜変更可能です。

表 20.20 バスライトサイクル時のアドレスビット構成

### [通常コマンド]

Address	Adr [31:19]	Adr [18]	Adr [17]	Adr [16]	Adr [15]	Adr [14]	Adr [13:11]	Adr [10]	Adr [9]	Adr [8]	Adr [7:0]
通常コマンド	通常コマンドのバスライトサイクルアドレス設定										
	フラッシュ領域	"0"推奨			コマンド						Adr[1:0] = "0"固定、 他ビットは"0"推奨

### [ID-Read]

Address	Adr [31:19]	Adr [18]	Adr [17]	Adr [16]	Adr [15]	Adr [14]	Adr [13:11]	Adr [10]	Adr [9]	Adr [8]	Adr [7:0]
ID-Read	IA: ID アドレス(ID-READ の第 4 バスライトサイクルアドレス設定)										
	フラッシュ領域	"0"推奨			ID アドレス		Adr[1:0] = "0"固定、他ビットは"0"推奨				

### [ブロック消去]

Address	Adr [31:19]	Adr [18]	Adr [17]	Adr [16]	Adr [15]	Adr [14]	Adr [13:11]	Adr [10]	Adr [9]	Adr [8]	Adr [7:0]
ブロック消去	BA: ブロックアドレス(ブロック消去の第 6 バスライトサイクルアドレス設定)										
	ブロックアドレス(表 20.21)						Adr[1:0] = "0"固定、他ビットは"0"推奨				

### [自動ページプログラム]

Address	Adr [31:19]	Adr [18]	Adr [17]	Adr [16]	Adr [15]	Adr [14]	Adr [13:11]	Adr [10]	Adr [9]	Adr [8]	Adr [7:0]
自動ページプログラム	PA: プログラムページアドレス(ページプログラムの第 4 バスライトサイクルアドレス設定)										
	ページアドレス									Adr[1:0] = "0"固定、 他ビットは"0"推奨	

### [プロテクトビットプログラム]

Address	Adr [31:19]	Adr [18]	Adr [17]	Adr [16]	Adr [15]	Adr [14]	Adr [13:11]	Adr [10]	Adr [9]	Adr [8]	Adr [7:0]
プロテクトビットプログラム	PBA: プロテクトビットアドレス(プロテクトビットプログラムの第 7 バスライトサイクルアドレス設定)										
	フラッシュ領域	プロテクトビット選択 (表 20.22)	"0"固定					プロテクトビット選択 (表 20.22)	Adr[1:0] = "0"固定、 他ビットは"0"推奨		

[プロテクトビット消去]

Address	Adr [31:19]	Adr [18]	Adr [17]	Adr [16]	Adr [15]	Adr [14]	Adr [13:11]	Adr [10]	Adr [9]	Adr [8]	Adr [7:0]
プロテクトビット消去	PBA: プロテクトビットアドレス(プロテクトビット消去の第7バスライトサイクルアドレス設定)										
	フラッシュ領域	プロテクトビット選択 (表 20.23)	"0"固定					Adr[1:0] = "0"固定、 他ビットは"0"推奨			

ブロックアドレスには、消去するブロックに含まれる任意のアドレスを指定します。  
ブロック構成については「20.3.1.1. ブロック構成」を参照してください。

表 20.21 ブロックアドレス

Block	Address (User boot mode)	Address (Single boot mode)	Size (Kbyte)
4	"0x0000_0000" ~ "0x0000_3FFF"	"0x3F80_0000" ~ "0x3F80_3FFF"	16
5	"0x0000_4000" ~ "0x0000_7FFF"	"0x3F80_4000" ~ "0x3F80_7FFF"	16
3	"0x0000_8000" ~ "0x0000_FFFF"	"0x3F80_8000" ~ "0x3F80_FFFF"	32
2	"0x0001_0000" ~ "0x0001_FFFF"	"0x3F81_0000" ~ "0x3F81_FFFF"	64
1	"0x0002_0000" ~ "0x0002_FFFF"	"0x3F82_0000" ~ "0x3F82_FFFF"	64
0	"0x0003_0000" ~ "0x0003_FFFF"	"0x3F83_0000" ~ "0x3F83_FFFF"	64

注) 第1バスサイクルから第5バスサイクルまで上位側のアドレスは消去するブロックのアドレスを指定してください。

表 20.22 プロテクトビットプログラムアドレス

Block	Protection bit	第7バスライトサイクルのアドレス						
		Address [18]	Address [17]	Address [16]	Address [15:11]	Address [10]	Address [9]	Address [8]
Block0	<BLPRO[0]>	0	0	"0"固定			0	0
Block1	<BLPRO[1]>	0	0				0	1
Block2	<BLPRO[2]>	0	0				1	0
Block3	<BLPRO[3]>	0	0				1	1
Block4	<BLPRO[4]>	0	1				0	0
Block5	<BLPRO[5]>	0	1				0	1

表 20.23 プロテクトビット消去アドレス

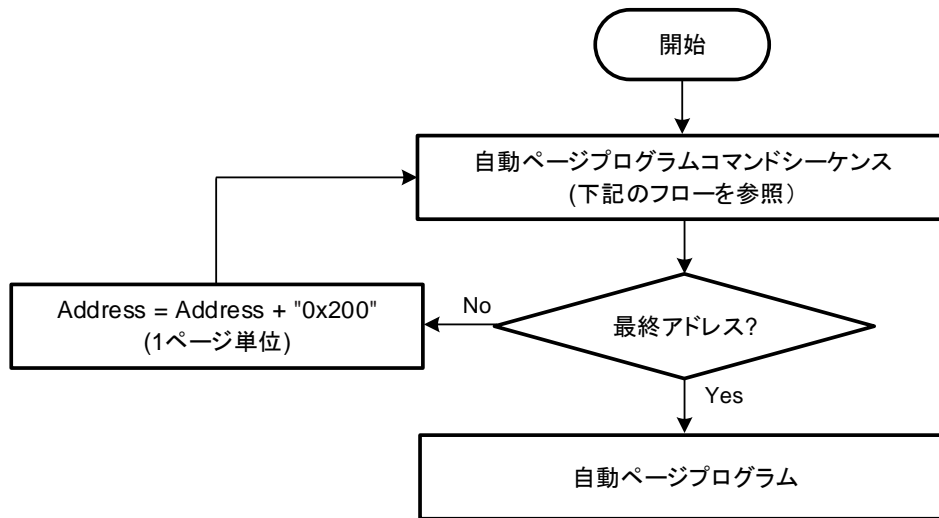
Block	Protection bit	第7バスライトサイクルのアドレス[18:17]	
		Address [18]	Address [17]
Block0 ~ 3	<BLPRO[3:0]>	0	0
Block4 ~ 5	<BLPRO[5:4]>	0	1

注) プロテクトビット消去コマンドは、プロテクトビット単位での消去はできません。

表 20.24 ID-Readコマンド第4バスライトサイクルのIDアドレス(IA)とその後の  
32ビット転送命令で読み出せるデータ(ID)

IA[15:14]	ID[7:0]	Code
00	"0x98"	メーカーコード
01	"0x5A"	デバイスコード
10	Reserved	-
11	"0x11"	マクロコード

20.3.2.1. フローチャート



自動ページプログラムコマンドシーケンス (アドレス / コマンド)

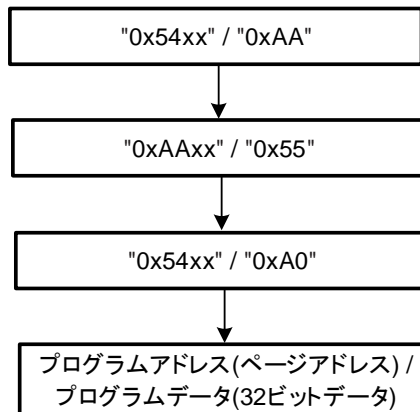


図 20.10 自動プログラム

注) "0x54xx"は"0x55xx"でもコマンドシーケンスを実行します。

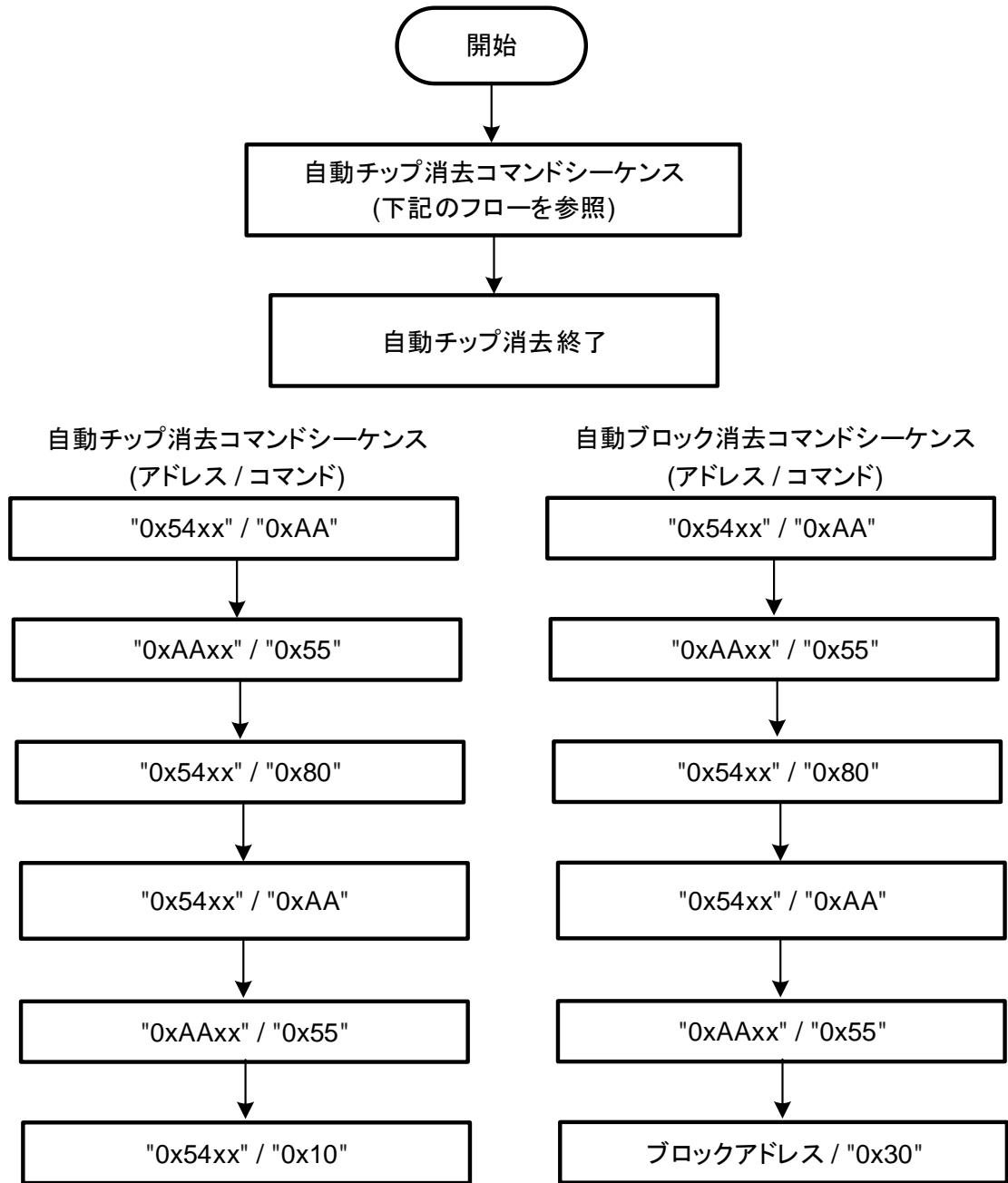


図 20.11 自動消去

注) "0x54xx"は"0x55xx"でもコマンドシーケンスを実行します。

## 21. プロテクト/セキュリティー機能

### 21.1. 概要

TMPM370FYDFG/TMPM370FYFG は内蔵 ROM(Flash)のライト/消去をプロテクトする機能、およびライターでの内蔵 ROM(Flash)領域を読み出し禁止に設定できるセキュリティー機能を内蔵しています。セキュリティー機能はデバッグ機能の使用制限も行います。プロテクト/セキュリティー機能として、次の2つの機能をもっています。

- 内蔵 ROM(Flash)のライト/消去プロテクト
- セキュリティー機能

### 21.2. 特長

#### 21.2.1. 内蔵 ROM(Flash)のライト/消去プロテクト

内蔵フラッシュは、ブロック単位でライトと消去の動作を禁止することができます。この機能をライト/消去プロテクトと呼びます。

ライト/消去プロテクト機能を有効にするためには、プロテクトをかけたいブロックに対応するプロテクトビットを"1"にします。プロテクトビットを"0"にすることによりブロックプロテクトを解除することができます。(プログラム方法については、「20. Flash 動作説明」の章を参照してください。)

プロテクトビットは、FCFLCS<BLPRO[5:0]>でモニターすることができます。

#### 21.2.2. セキュリティー機能

内蔵フラッシュに対してのデータの読み出しの制限および、デバッグ機能を制限することができます。この機能をセキュリティー機能と呼びます。

セキュリティー機能が有効になる条件を、以下に示します。

- (1) FCSECBIT<SECBIT>が"1"にセットされている。
- (2) ライト/消去プロテクト用の全てのプロテクトビット(FCFLCS<BLPRO>)が"1"にセットされている。

注) FCSECBIT<SECBIT>はコールドリセットで"1"にセットされます。

セキュリティー機能が有効な状態の制限内容を、表 21.1 に示します。

表 21.1 セキュリティー機能有効時の制限内容

項目	内容
ROM 領域のデータの読み出し	CPU からの読み出しは可能です。
デバッグポート	JTAG/SW、トレースの通信ができなくなります。
フラッシュに対するコマンドの実行	フラッシュに対してのコマンドライトが受け付けられません。 また、ライト/消去プロテクト用のプロテクトビットを消去しようとする、チップ消去が行われ、全てのプロテクトビットも消去されます。

## 21.3. レジスター説明

### 21.3.1. レジスター一覧

制御レジスターとアドレスを以下に示します。

レジスター名		Address (Base+)
Reserved	-	0x0000、0x0004
セキュリティビットレジスター	FCSECBIT	0x0010
Reserved	-	0x0014
フラッシュコントロールレジスター	FCFLCS	0x0020
Reserved	-	0x0024 ~ 0x0FFF

注) "Reserved"表記のアドレスにはアクセスしないでください。

## 21.3.2. FCSECBIT(セキュリティービットレジスター)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	SECBIT
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31:1	-	R	リードすると"0"が読めます。
0	SECBIT	R/W	セキュリティービット 0: セキュリティー機能設定不可 1: セキュリティー機能設定可能

注) 本レジスターは、コールドリセットで初期化されます。

### 21.3.3. FCFLCS(フラッシュコントロールレジスター)

	31	30	29	28	27	26	25	24
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit symbol	-	-	BLPRO5	BLPRO4	BLPRO3	BLPRO2	BLPRO1	BLPRO0
リセット後	0	0	(注1)	(注1)	(注1)	(注1)	(注1)	(注1)
	15	14	13	12	11	10	9	8
bit symbol	-	-	-	-	-	-	-	-
リセット後	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
bit symbol	-	-	-	-	-	-	-	RDY_BSY
リセット後	0	0	0	0	0	0	0	1

Bit	Bit Symbol	Type	機能
31:22	-	R	リードすると"0"が読めます。
21:16	BLPRO5 ~ BLPRO0	R	Block5 ~ 0のプロテクト状態(注1) 0: プロテクト状態ではない 1: プロテクト状態 プロテクトビット値は各ブロックのプロテクト状態に対応します。該当ビットが"1"の時は対応するブロックがプロテクト状態であることを示します。プロテクト状態のブロックは書き換えはできません。
15:1	-	R	リードすると"0"が読めます。
0	RDY_BSY	R	Ready/Busyフラグ(注2) 0: 自動動作中 1: 自動動作終了 自動動作の状態を認識する方法として、RDY_BSY出力を備えています。本ビットはこの機能をCPUからモニターするための機能ビットです。フラッシュメモリーが自動動作中は"0"を出力します。自動動作が終了すると"1"を出力し、次のコマンドを受け付けます。自動動作の結果が不良であった場合、本ビットは"0"出力を継続します。ハードウェアリセットにより"1"に復帰します。

注 1) プロテクト状態に対応した値が読めます。

注 2) コマンド発行は、必ず自動動作終了状態であることを確認してから発行してください。自動動作中にコマンド発行を行った場合、正常なコマンドが送られないだけでなく、それ以降のコマンドを入力できなくなる可能性があります。その際は、ハードウェアリセットで復帰してください。ハードウェアリセットを行う場合は、システムクロックによらず 0.5μs 以上のリセット期間が必要となります。またこの場合、リセット解除後読み出しが可能になるまで 2ms 程度の時間がかかります。

## 21.4. 設定/解除方法

### 21.4.1. 内蔵 ROM(Flash)のライト/消去プロテクト

プロテクトビットの書き込みと消去はコマンドシーケンスを用いて行います。

プロテクトビットの書き込みは1ブロックごと、消去は Block0 ~ 3 と Block4 ~ 5 の2つの単位で行います。

全 Block 全てのプロテクトビットが"1"でかつ、FCSECBIT<SECBIT>が"1"の場合、セキュリティー機能が有効になっているので注意が必要です。この状態でプロテクトビットの消去を行うと、チップ消去を行った上でプロテクトビット全てを消去します。このため、FCSECBIT<SECBIT>を"0"にしてからプロテクトビットの消去を行う必要があります。

コマンドシーケンスの詳細は「20. Flash 動作説明」の章を参照してください。

### 21.4.2. セキュリティービット

セキュリティー機能を有効にする FCSECBIT<SECBIT>は電源投入直後のパワーオンリセット時"1"にセットされます。FCSECBIT<SECBIT>の書き替えは以下の手順で行います。

- (1) FCSECBIT に対して特定のコード("0xa74a9d23")を書き込む。
- (2) (1)の書き込みから 16 クロック以内にデータを書き込む。

注) 上記(1)、(2)の書き込みは 32bit 転送命令で行ってください。

## 22. デバッグインターフェース

### 22.1. 概要

TMPM370FYDFG/TMPM370FYFG は、デバッグツールと接続するためのデバッグインターフェースとして SWJ-DP(Serial Wire JTAG Debug Port)ユニット、および内部プログラムをトレース出力するための ETM(Embedded Trace Macrocell)ユニットを搭載しています。トレースデータはマイコン内部の TPIU(Trace Port Interface Unit)を通じてデバッグ用端子(TRACEDATA0 ~ 1、SWV)に出力されます。SWJ-DP、ETM、TPIU の詳細に関しましては Arm 社からリリースされている"Cortex-M シリーズプロセッサの Arm ドキュメンテーションセット"を参照してください。

#### 22.1.1. SWJ-DP

シリアルワイヤデバッグポート(SWDCK、SWDIO)と、JTAG デバッグポート(TDI、TDO、TMS、TCK、 $\overline{\text{TRST}}$ )をサポートしています。

#### 22.1.2. ETM

データ信号 2 ピン(TRACEDATA0 ~ 1)とクロック信号 1 ピン(TRACECLK)および、シリアルワイヤビユーアー信号 1 ピン(SWV)による SWV トレース出力をサポートしています。

## 22.2. 端子機能

デバッグインターフェース端子は汎用ポートと兼用しています。

表 22.1 に汎用ポートとデバッグインターフェースの対応を示します。

表 22.1 デバッグインターフェースと汎用ポートの対応

SWJ-DP/ETM 端子名	汎用ポート名	JTAGデバッグ機能		SWデバッグ機能	
		I/O	説明	I/O	説明
TMS/SWDIO	PB3	入力	JTAG Test Mode Selection	入出力	Serial Wire Data Input/Output
TCK/SWCLK	PB4	入力	JTAG Test Check	入力	Serial Wire Clock
TDO/SWV	PB5	出力	JTAG Test Data Output	出力 (注)	Serial Wire Viewer Output
TDI	PB6	入力	JTAG Test Data Input	-	-
$\overline{\text{TRST}}$	PB7	入力	JTAG Test Reset	-	-
TRACECLK	PB0	出力	TRACE Clock Output		
TRACEDATA0	PB1	出力	TRACE DATA Output 0		
TRACEDATA1	PB2	出力	TRACE DATA Output 1		

注) SWV 機能を許可した場合

リセット解除後、PB3 から PB7 はデバッグインターフェース端子となりますが、その他のデバッグインターフェース端子は汎用ポートです。必要に応じてデバッグインターフェースを使用する設定を行ってください。また、使用しないデバッグインターフェース端子は汎用ポートとして使用可能です。

表 22.2 にデバッグインターフェース兼用汎用ポートのリセット解除後のポート制御レジスター値を示します。

**表 22.2 デバッグインターフェース端子兼用汎用ポートのリセット解除後のポート制御レジスター値**

リセット解除後の 割り当て	汎用ポート名	SWJ-DP/ETM 端子名	ポート制御レジスター設定値					
			ファンクション レジスター (PBFR1)	入力 コントロール レジスター (PBIE)	出力 コントロール レジスター (PBCR)	オープン ドレイン コントロール レジスター (PBOD)	プルアップ コントロール レジスター (PBPUP)	プルダウン コントロール レジスター (PBPDN)
デバッグ インターフェース 端子	PB3	TMS/SWDIO	1	1	1	0	1	0
デバッグ インターフェース 端子	PB4	TCK/SWCLK	1	1	0	0	0	1
デバッグ インターフェース 端子	PB5	TDO/SWV	1	0	1	0	0	0
デバッグ インターフェース 端子	PB6	TDI	1	1	0	0	1	0
デバッグ インターフェース 端子	PB7	$\overline{\text{TRST}}$	1	1	0	0	1	0
汎用ポート	PB0	TRACECLK	0	0	0	0	0	0
汎用ポート	PB1	TRACEDATA0	0	0	0	0	0	0
汎用ポート	PB2	TRACEDATA1	0	0	0	0	0	0

低消費電力モードを使用する場合には、以下の注意事項に留意してください。

- PB3/PB5 をデバッグインターフェース端子として使用する場合、CGSTBYCR<DRVE>の設定によらず、STOP モード中も PB3/PB5 は出力となります。
- PB4 をデバッグインターフェース端子に割り当てると、STOP モードで十分な低消費電力効果が得られません。PB4 をデバッグインターフェース端子として使用しない場合は、PB4 をデバッグインターフェース端子に割り当てないでください。

## 22.3. デバッグツールとの接続

### 22.3.1. 接続

デバッグツールとの接続方法については、お使いになるツールメーカーが推奨する接続方法を参照してください。また、デバッグインターフェース端子はプルアップ/プルダウン抵抗を内蔵していますので、デバッグインターフェース端子に外部プルアップ/プルダウン抵抗を接続する場合には内蔵プルアップ/プルダウン抵抗について考慮してください。

### 22.3.2. デバッグインターフェース端子を汎用ポートとして使用する場合の注意

リセット解除後、ユーザープログラムでデバッグインターフェース端子を汎用ポートに設定すると、それ以降はデバッグツールからの制御が受け付けられません。そのため、デバッグツールを使用してデバッグを行えなくなります。

使用するデバッグインターフェースに必要なデバッグインターフェース端子を汎用ポートに設定しないでください。

表 22.3 デバッグインターフェースと使用するデバッグインターフェース端子

使用する デバッグインターフェース	それぞれのデバッグインターフェースで使用するデバッグインターフェース端子							
	PB3	PB4	PB5	PB6	PB7	PB0	PB1	PB2
	TDO/SWV	TCK/SWCLK	TMS/SWDIO	TDI	$\overline{\text{TRST}}$	TRACECLK	TRACEDATA0	TRACEDATA1
JTAG+SW (標準、リセット解除時)	○	○	○	○	○	×	×	×
JTAG+SW( $\overline{\text{TRST}}$ 端子なし)	○	○	○	○	×(注 2)	×	×	×
JTAG+TRACE	○	○	○	○	○	○	○	○
SW	×	○	○	×	×	×	×	×
SW+SWV	○	○	○	×	×	×	×	×
デバッグ機能を使用しない	×	×	×	×	×	×	×	×

注 1) ○: 必要、×: 不要(汎用ポートとして使用可能です)

注 2)  $\overline{\text{TRST}}$ が割り当てられている端子は、 $\overline{\text{TRST}}$ を選択して、オープンにするか"High"レベルを入力してください。

### 22.3.3. ホルトモード中の周辺機能の動作(プログラム実行の一時停止時)

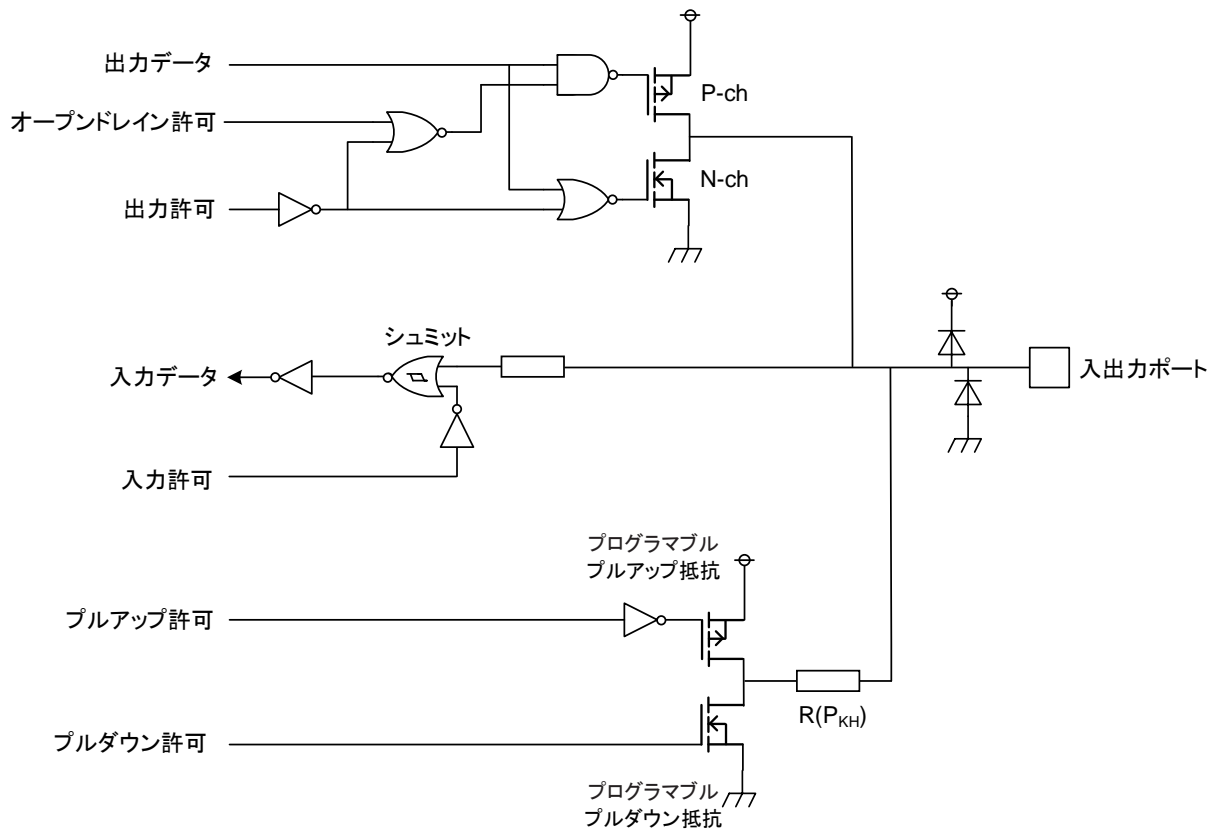
デバック中に、Cortex-M3 コアがホルトモードに入ると、ウォッチドッグタイマー(WDT)のカウントが自動的に停止します。その他の周辺機能は動作を続けます。

## 23. ポート部等価回路図

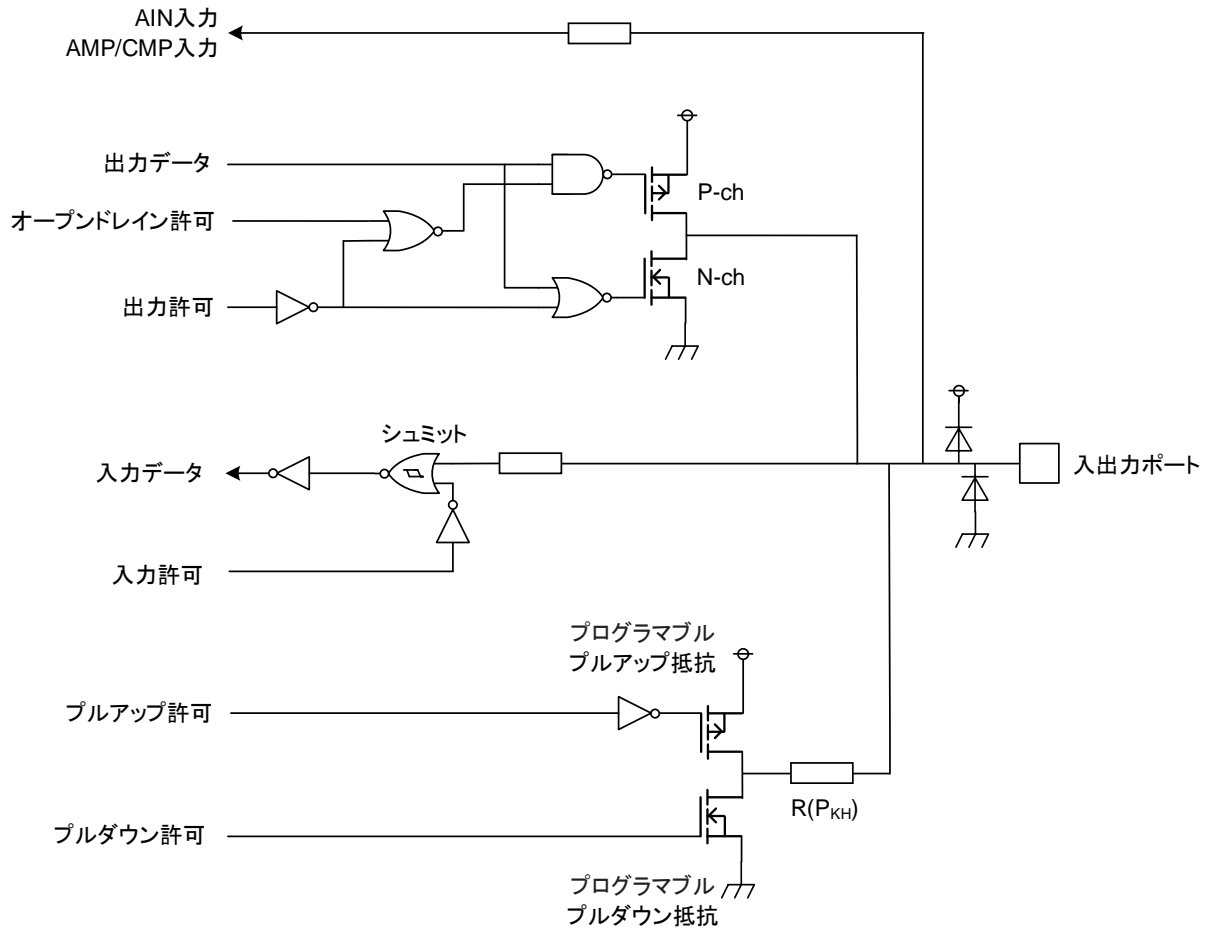
基本的に標準 CMOS ロジック IC 「74HCxx」 シリーズと同じゲート記号を使って書かれています。  
入力保護抵抗は、数十  $\Omega$  ~ 数百  $\Omega$  です。

注) X2 のダンピング抵抗値は、図中に typ. 値を記入しています。図中の数値の記載のない抵抗は、入力保護抵抗を示します。

### 23.1. PA0 ~ 7、PB0 ~ 7、PC0 ~ 7、PD0 ~ 6、PE0 ~ 7、PF0 ~ 4、PG0 ~ 7



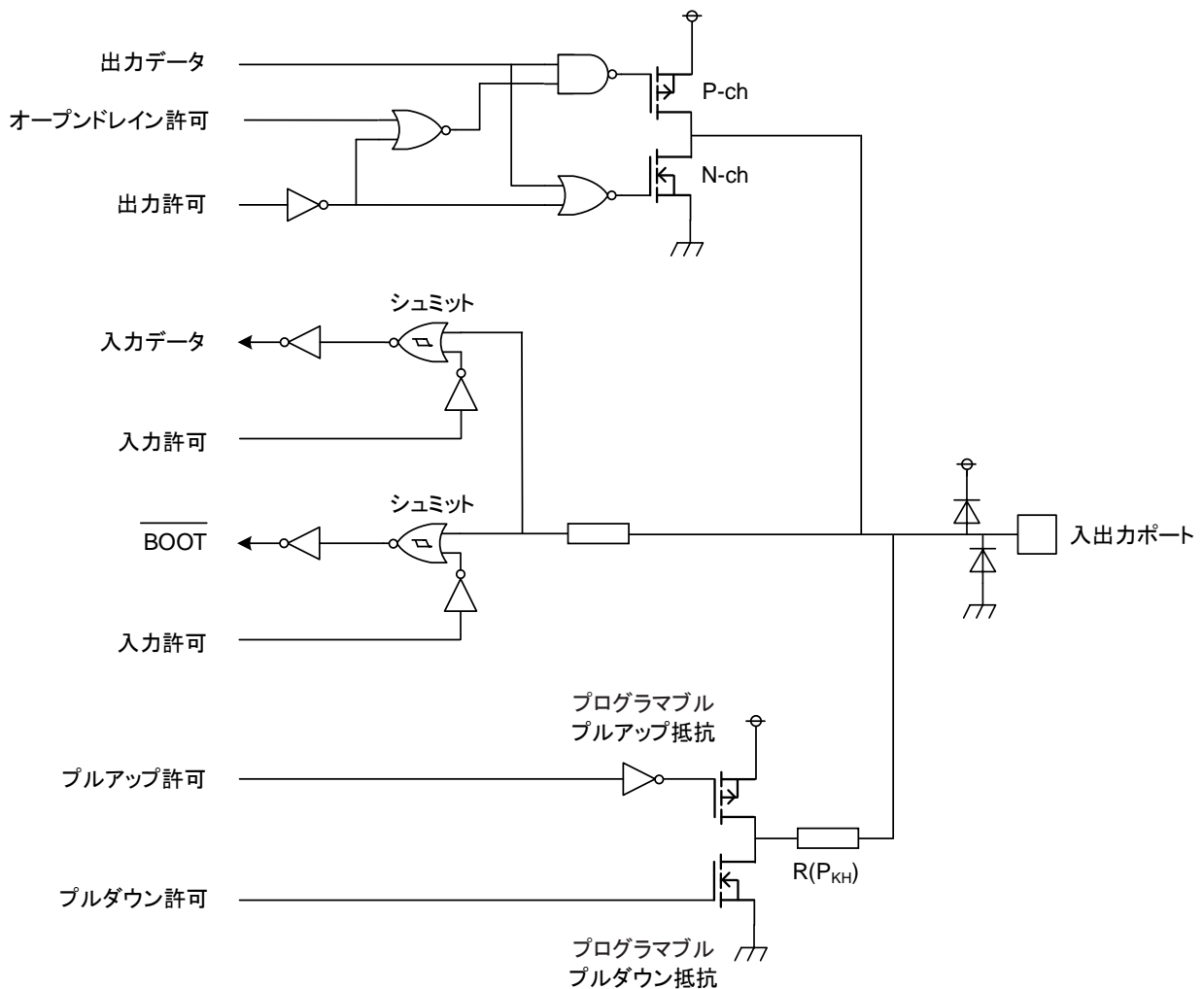
## 23.2. PH0 ~ 7、PI0 ~ 3、PJ0 ~ 7、PK0、PK1



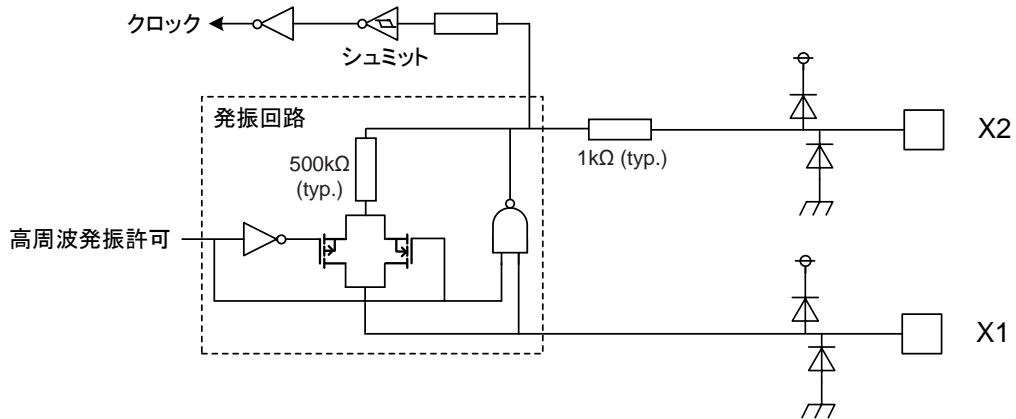
## 23.3. PL0、PL1



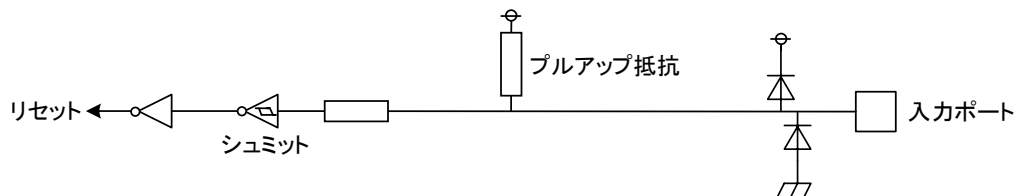
## 23.4. PF0



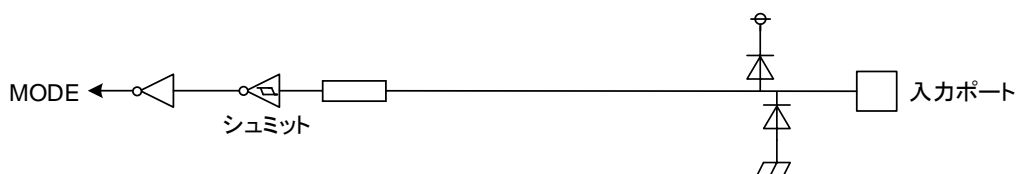
## 23.5. X1、X2



## 23.6. $\overline{\text{RESET}}$

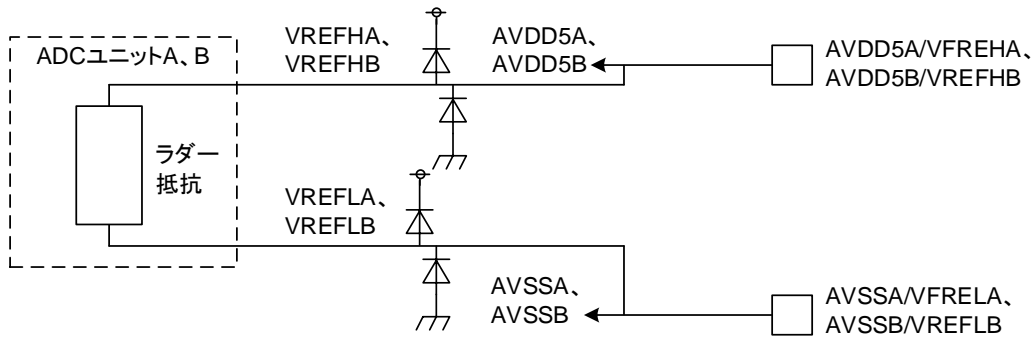


## 23.7. MODE

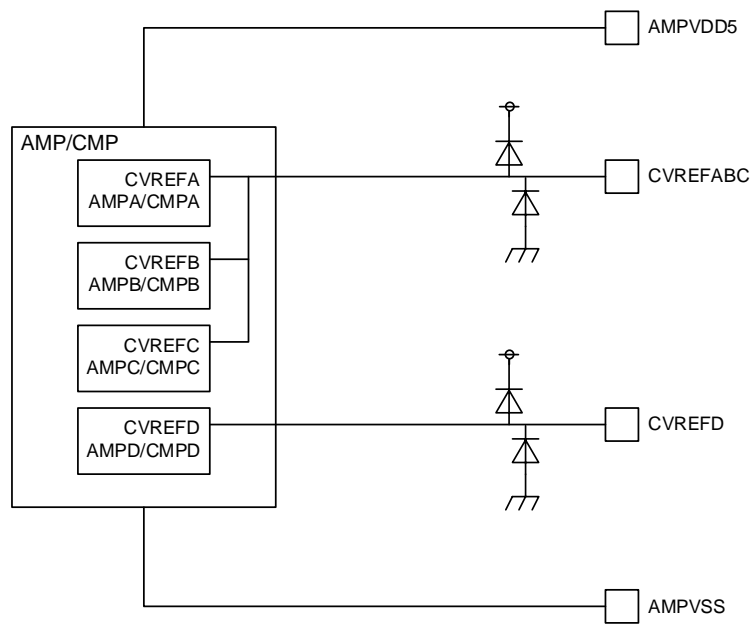


注) 本端子は必ず GND へ接続してください。

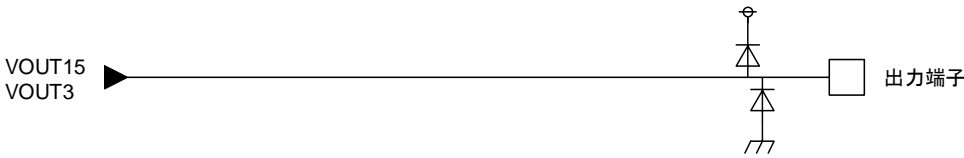
**23.8. VREFHA、VREFHB、VREFLA、VREFLB**



**23.9. AMPVDD5、AMPVSS、CREFABC、CREFD**



23.10. VOUT15、VOUT3



## 24. 電気的特性

### 24.1. 絶対最大定格

表 24.1 絶対最大定格

項目		記号	定格	単位	
電源電圧		DVDD5	-0.3 ~ 6.0	V	
		RVDD5	-0.3 ~ 6.0		
		AVDD5A AVDD5B	-0.3 ~ 6.0		
		AMPVDD5	-0.3 ~ 6.0		
電圧保持用コンデンサ接続端子電圧		VOUT15	-0.3 ~ 3.0	V	
		VOUT3	-0.3 ~ 3.9		
入力電圧		V <sub>IN</sub>	-0.3 ~ VDD + 0.3 (注 2)	V	
低レベル 出力電流	1 端子ごと	I <sub>OL</sub>	5	mA	
	全端子合計	ΣI <sub>OL</sub>	50		
高レベル 出力電流	1 端子ごと	I <sub>OH</sub>	-5		
	全端子合計	ΣI <sub>OH</sub>	-50		
消費電力		PD	600 (Ta = 85°C)	mW	
はんだ付け温度(10 秒)		T <sub>SOLDER</sub>	260	°C	
保存温度		T <sub>STG</sub>	-55 ~ 125	°C	
動作温度	Flash W/E 時を 除く	f <sub>sys</sub> = 1 ~ 80MHz	T <sub>OPR</sub>	-40 ~ 85	°C
	Flash W/E 時			0 ~ 70	

注 1) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。絶対最大定格(電流、電圧、消費電力、温度)を超えると破壊や劣化の原因となり、破裂・燃焼による障害を負うことがあります。従って必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

注 2) VDD は DVDD5、RVDD5、AVDD5A、AVDD5B、AMPVDD5 の総称です。DVDD5、RVDD5、AVDD5A、AVDD5B、AMPVDD5 は同電位で使用してください。

## 24.2. DC 電気的特性(1/2)

$$DVSS = AVSSA/VREFLA = AVSSB/VREFLB = AMPVSS = 0V$$

$$T_a = -40 \sim 85^\circ C$$

項目		記号	条件	Min	Typ. (注2)	Max	単位
電源電圧 (注3)(注4)	DVDD5、 RVDD5、 AVDD5A、 AVDD5B、 AMPVDD5	VDD	$f_{osc} = 8 \sim 10MHz$ $f_{sys} = 1 \sim 80MHz$	4.5	-	5.5	V
電源電圧 (Flash W/E 時) (注3)(注4)	DVDD5、 RVDD5、 AVDD5A、 AVDD5B、 AMPVDD5	VDD	$f_{osc} = 8 \sim 10MHz$ $f_{sys} = 1 \sim 80MHz$ $T_a = 0 \sim 70^\circ C$	4.5	-	5.5	V
電源電圧 (電源上昇/下降時) (注3)(注4)	DVDD5、 RVDD5、 AVDD5A、 AVDD5B、 AMPVDD5	VDD	$f_{osc} = 8 \sim 10MHz$ $f_{sys} = 1 \sim 80MHz$	3.9	-	5.5	V
低レベル入力電圧	シュミット入力	$V_{IL1}$	$VDD = 4.5 \sim 5.5V$ (注3)	-0.3	-	$VDD \times 0.25$	V
高レベル入力電圧	シュミット入力	$V_{IH1}$	$VDD = 4.5 \sim 5.5V$ (注3)	$VDD \times 0.75$	-	VDD	V
電圧保持用コンデンサ容量 (注5)		$C_{OUT}$	RVDD5 = 4.5 ~ 5.5V VOUT15、VOUT3 端子	3.3	-	4.7	$\mu F$
低レベル出力電圧		$V_{OL}$	$VDD \geq 4.5V$ (注3) $I_{OL} = 1.6mA$	-	-	0.4	V
高レベル出力電圧		$V_{OH}$	$VDD \geq 4.5V$ (注3) $I_{OH} = -1.6mA$	4.1	-	-	V
入力リーク電流		$I_{L1}$	$0.0 \leq V_{IN} \leq VDD$ (注3)	-5	0.02	5	$\mu A$
出力リーク電流		$I_{LO}$	$0.2 \leq V_{IN} \leq VDD - 0.2$ (注3)	-10	0.05	10	
リセットプルアップ抵抗		$R_{RST}$	$VDD = 4.5 \sim 5.5V$ (注3)	-	50	150	$k\Omega$
プログラマブルプルアップ/プルダウン抵抗		$P_{KH}$	$VDD = 4.5 \sim 5.5V$ (注3)	-	50	150	$k\Omega$
シュミット入力幅		VTH	$VDD = 4.5 \sim 5.5V$ (注3)	0.3	0.6	-	V
端子容量(電源端子を除く)		$C_{IO}$	$f_c = 1MHz$	-	-	10	$pF$

注1) VDD は DVDD5、RVDD5、AVDD5A、AVDD5B、AMPVDD5 の総称です。

注2) Typ.値は特に指定のない限り  $T_a = 25^\circ C$ 、 $DVDD5 = RVDD5 = AVDD5A = AVDD5B = AMPVDD5 = 5.0V$

の値です。

注 3) DVDD5、RVDD5、AVDD5A、AVDD5B、AMPVDD5 は同電位で使用してください。

注 4) 電源上昇時（電源投入時）と電圧検出回路（VLTD）許可での電源電圧下降時における電圧範囲となります。詳細は「図 24.10 電源投入シーケンス（外部リセットを使用しない場合）」を参照してください。

注 5) VOUT15 端子と VOUT3 端子は同値の電圧保持用コンデンサーを介して GND に接続してください。  
VOUT15 端子と VOUT3 端子から MCU 外部への電源供給はできません。

## 24.3. DC 電气的特性(2/2)(消費電流)

VDD = DVDD5 = RVDD5 = AVDD5A = AVDD5B = AMPVDD5 = 4.5 ~ 5.5V

DVSS = AVSSA/VREFLA = AVSSB/VREFLB = AMPVSS = 0V

Ta = -40 ~ 85°C

項目	記号	条件	Min	Typ. (注2)	Max	単位
NORMAL(注4)(注6)	I <sub>DD</sub>	f <sub>sys</sub> = 80MHz	-	70	80	mA
IDLE(注5)(注6)		ギア比 1:1	-	21	30	
STOP		-	-	7	11	mA

注1) VDD は DVDD5、RVDD5、AVDD5A、AVDD5B、AMPVDD5 の総称です。

注2) Typ.値は特に指定のない限り Ta = 25°C、DVDD5 = RVDD5 = VDD5A = AVDD5B = AMPVDD5 = 5.0V の値です。

注3) DVDD5、RVDD5、AVDD5A、AVDD5B、AMPVDD5 は同電位で使用してください。

注4) I<sub>DD</sub> (NORMAL)の測定条件: ADC/AMP/CMP を除く内蔵周辺機能は全て動作

注5) I<sub>DD</sub> (IDLE)の測定条件: 内蔵周辺機能は全て停止

注6) ADC のアナログ基準電圧電源電流は常に流れます。

## 24.4. 12 ビットアナログ/デジタルコンバーター特性

$$DVDD5 = RVDD5 = AVDD5A/VREFHA = AVDD5B/VREFHB = AMPVDD5 = 4.5 \sim 5.5V$$

$$DVSS = AVSSA/VREFLA = AVSSB/VREFLB = AMPVSS = 0V$$

$$T_a = -40 \sim 85^{\circ}C$$

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電圧(+)	VREFHA VREFHB	-	-	AVDD5A AVDD5B	-	V
アナログ入力電圧	VAIN	-	AVSSA AVSSB	-	AVDD5A AVDD5B	V
アナログ基準電圧電源電流 (注 1)(注 2)	IREF	-	-	3.5	4.5	mA
ADC 変換時消費電流 (注 1)	-	IREF を除く	-	-	6.0	mA
積分非直線性誤差(INL)	-	AIN 負荷抵抗 $\leq 600\Omega$ AIN 負荷容量 $\geq 0.1\mu F$ 変換時間 $\geq 2\mu s$	-6.0	-	6.0	LSB
微分非直線性誤差(DNL)			-5.0	-	5.0	
オフセット誤差			-5.0	-	5.0	
フルスケール誤差			-5.0	-	5.0	
総合誤差			-10	-	5.0	

注 1) 1 ユニット分の電流値です。

注 2) ADC のアナログ基準電圧電源電流は常に流れます。

注 3)  $1LSB = (AVDD5A/VREFHA - AVSSA/VREFLAB) / 4096[V]$

$1LSB = (AVDD5B/VREFHB - AVSSB/VREFLB) / 4096[V]$

注 4) AD コンバーター単体動作の時の特性です。

注 5) 設定の詳細は「11. 12 ビットアナログ/デジタルコンバーター(ADC)」を参照してください。

## 24.5. オペアンプ特性

$$DVDD5 = RVDD5 = AVDD5A/VREFHA = AVDD5B/VREFHB = AMPVDD5 = 4.5 \sim 5.5V$$

$$DVSS = AVSSA/VREFLA = AVSSB/VREFLB = AMPVSS = 0V$$

$$T_a = -40 \sim 85^\circ C$$

項目	記号	条件	Min	Typ.	Max	単位
ゲイン	VGAIN	-	1.5	-	10	倍
オペアンプ入力電圧範囲	VAMPIN	-	$(AVDD \times 0.1) / VGAIN$	-	$(AVDD \times 0.9) / VGAIN$	V
オフセット電圧	VOFF1	VGAIN $\geq 3.5$	$-6 \times VGAIN$	-	$+6 \times VGAIN$	mV
		VGAIN $\leq 3.5$				
	VOFF2	Ta $\geq 70^\circ C$	-20		20	
		Ta $< 70^\circ C$				
ゲイン誤差	GERR	-	-	$\pm 1$	$\pm 3$	%
スルーレート (注 2)	Vthr	CL=5pF、VGAIN=2.5 倍	2	-	-	V/ $\mu s$
消費電流	-	AMP 使用時 1チャンネル当たりの電流	-	-	6	mA

注 1) AVDD は AVDD5A/VREFHA、AVDD5B/VREFHB の総称です。AVSS は AVSSA/VREFLA、AVSSB/VREFLB の総称です。

注 2) オペアンプ出力の電圧が AVDD - AVDD  $\times$  0.001 V に到達するまでの傾きです。

## 24.6. アナログコンパレータ特性

$$DVDD5 = RVDD5 = AVDD5A/VREFHA = AVDD5B/VREFHB = AMPVDD5 = 4.5 \sim 5.5V$$

$$DVSS = AVSSA/VREFLA = AVSSB/VREFLB = AMPVSS = 0V$$

$$T_a = -40 \sim 85^\circ C$$

項目	記号	条件	Min	Typ.	Max	単位
オフセット電圧	VOFF	-	-	$\pm 4$	-	mV
アナログコンパレータ入力端子電圧範囲	VIN	-	AVSS		AVDD	V
基準電圧範囲	VREF	-	0.9	-	AVDD - 0.2	
応答時間 (注 2)	TP	$1.0V \leq VREF \leq AVDD - 0.2$	-	-	1	$\mu s$
消費電流	-	CMP 使用時 1チャンネル当たりの電流	-	-	0.75	mA

注 1) AVDD は AVDD5A/VREFHA、AVDD5B/VREFHB の総称です。AVSS は AVSSA/VREFLA、AVSSB/VREFLB の総称です。

注 2) TP は、VIN が VREF - 0.1 V から VREF + 0.1 V、または VREF + 0.1 V から VREF - 0.1 V に変化するときの値です。

## 24.7. AC 電气的特性

### 24.7.1. AC 測定条件

この章に記載されている AC 特性は、特に指定のない限り以下の条件となります。

- VDD = 4.5 ~ 5.5V
- Ta = - 40 ~ 85°C、fsys = 1 ~ 80MHz
- 出力レベル: High = VDD × 0.8、Low = VDD × 0.2
- 入力レベル: DC 電气的特性の「低レベル入力電圧」/「高レベル入力電圧」を参照してください。
- 負荷容量 : C<sub>L</sub> = 30pF

注 1) VDD は DVDD5、RVDD5、AVDD5A、AVDD5B、AMPVDD5 の総称です。

注 2) DVDD5、RVDD5、AVDD5A、AVDD5B、AMPVDD5 は同電位で使用してください。

## 24.7.2. シリアルチャネル (SIO/UART)

### 24.7.2.1. SIO モード

表中の「x」は SIO/UART の動作クロックの周期を表します。SIO/UART の動作クロックは、システムクロック  $f_{sys}$  です。 $f_{sys}$  はクロックギアの設定に依存します。

#### (1) 転送クロックが SCLKx 端子入力するとき

##### (a) データ入力

項目	記号	計算式		$f_{sys} = 80\text{MHz}$		単位
		Min	Max	Min	Max	
SCLKx 入力クロック"High"レベル幅	$t_{SCH}$	$3x$	-	37.5	-	ns
SCLKx 入力クロック"Low"レベル幅	$t_{SCL}$	$3x$	-	37.5	-	
SCLKx 入力クロック周期	$t_{SCY}$	$t_{SCH} + t_{SCL}$	-	75	-	
有効データ入力 → SCLKx 入力クロック立ち上がり (SCxMOD0<SCLKS> = "0")	$t_{SRD}$	30	-	30	-	
SCLKx 入力クロック立ち上がり → 入力データ保持 (SCxMOD0<SCLKS> = "0")	$t_{HSR}$	$x + 30$	-	42.5	-	
有効データ入力 → SCLKx 入力クロック立ち下がり (SCxMOD0<SCLKS> = "1")	$t_{SRD}$	30	-	30	-	
SCLKx 入力クロック立ち下がり → 入力データ保持 (SCxMOD0<SCLKS> = "1")	$t_{HSR}$	$x + 30$	-	42.5	-	

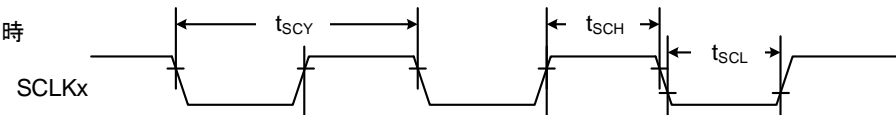
##### (b) データ出力

項目	記号	計算式		$f_{sys} = 80\text{MHz}$		単位
		Min	Max	Min	Max	
SCLKx 入力クロック"High"レベル幅	$t_{SCH}$	$3x$	-	37.5 (注 2)	-	ns
SCLKx 入力クロック"Low"レベル幅	$t_{SCL}$	$3x$	-	37.5 (注 2)	-	
SCLKx 入力クロック周期	$t_{SCY}$	$t_{SCH} + t_{SCL}$	-	75	-	
データ出力 → SCLKx 入力クロック立ち上がり (SCxMOD0<SCLKS> = "0")	$t_{OSS}$	$t_{SCY} / 2 - 4x - 45$	-	0 (注 1)	-	
SCLKx 入力クロック立ち上がり → 出力データ保持 (SCxMOD0<SCLKS> = "0")	$t_{OHS}$	$t_{SCY} / 2$	-	37.5	-	
データ出力 → SCLKx 入力クロック立ち下がり (SCxMOD0<SCLKS> = "1")	$t_{OSS}$	$t_{SCY} / 2 - 4x - 45$	-	0 (注 2)	-	
SCLKx 入力クロック立ち下がり → 出力データ保持 (SCxMOD0<SCLKS> = "1")	$t_{OHS}$	$t_{SCY} / 2$	-	37.5	-	

注 1) 計算結果が"0"以上になる SCLKx 入力クロックの周期で使用してください。

注 2)  $t_{OSS}$  が"0"以上になるときの最小値を示します。

- SCxMOD0<SCLKS> = "0" 時



- SCxMOD0<SCLKS> = "1" 時

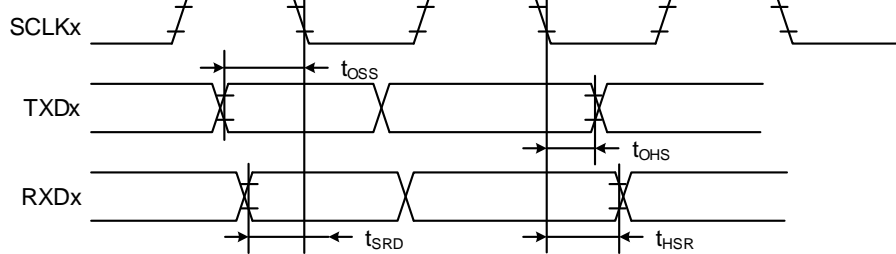


図 24.1 転送クロックがSCLKx端子入力の際のタイミングチャート

(2) 転送クロックが SCLKx 端子出力の際

項目	記号	計算式		fsys = 80MHz		単位
		Min	Max	Min	Max	
SCLKx 出力クロック周期	tscy	4x	-	60	-	ns
データ出力 → SCLKx 出力クロック立ち上がり	toss	$t_{scy} / 2 - 30$ (注 1)	-	0 (注 2)	-	
SCLKx 出力クロック立ち上がり → 出力データ保持	tohs	$t_{scy} / 2 - 30$ (注 1)	-	0 (注 2)	-	
有効データ入力 → SCLKx 出力クロック立ち上がり	tsrd	45		45		
SCLKx 出力クロック立ち上がり → 入力データ保持	tHSR	0	-	0	-	

注 1) 計算結果が"0"以上になる SCLKx 出力クロックの周期で使用してください。

注 2) toss が"0"以上になるときの最小値を示します。

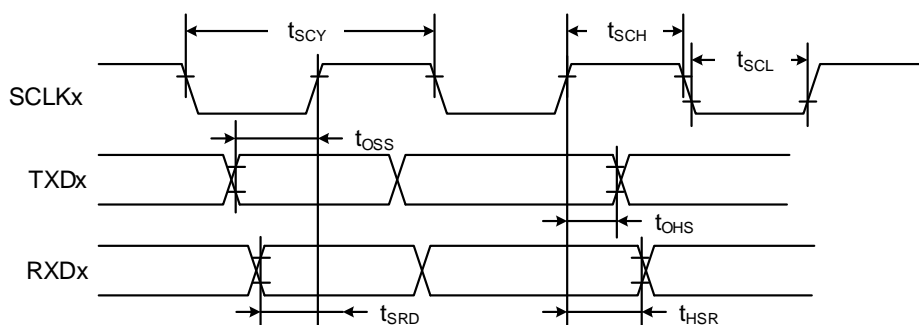


図 24.2 転送クロックがSCLKx端子出力の際のタイミングチャート

## 24.7.3. 16 ビットタイマー/イベントカウンタ (TMRB)

表中の「x」は TMRB の動作クロックの周期を表します。TMRB の動作クロックは、システムクロック  $f_{sys}$  です。 $f_{sys}$  はクロックギアの設定に依存します。

### 24.7.3.1. イベントカウンタ-TBxIN 端子入力

項目	記号	計算式		$f_{sys} = 80\text{MHz}$		単位
		Min	Max	Min	Max	
"Low"レベル幅	$t_{VCKL}$	$2x + 100$	-	125	-	ns
"High"レベル幅	$t_{VCKH}$	$2x + 100$	-	125	-	

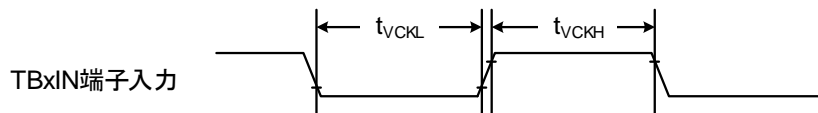


図 24.3 イベントカウンタのタイミングチャート

### 24.7.3.2. キャプチャ-TBxIN 端子入力

項目	記号	計算式		$f_{sys} = 80\text{MHz}$		単位
		Min	Max	Min	Max	
"Low"レベル幅	$t_{CPL}$	$2x + 100$	-	125	-	ns
"High"レベル幅	$t_{CPH}$	$2x + 100$	-	125	-	

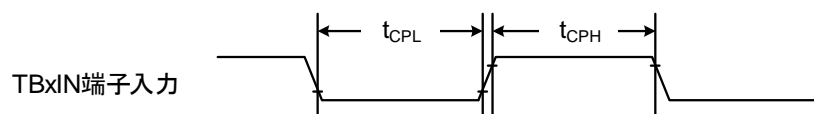


図 24.4 キャプチャのタイミングチャート

## 24.7.4. 外部割り込み端子

表中の「x」は外部割り込み端子の動作クロックの周期を表します。外部割り込み端子の動作クロックは、システムクロック  $f_{sys}$  です。 $f_{sys}$  はクロックギアの設定に依存します。

### 24.7.4.1. 下記以外で外部割り込みを使用するとき

項目	記号	計算式		$f_{sys} = 80\text{MHz}$		単位
		Min	Max	Min	Max	
"Low"レベル幅	$t_{INTAL}$	$x + 100$	-	112.5	-	ns
"High"レベル幅	$t_{INTAH}$	$x + 100$	-	112.5	-	

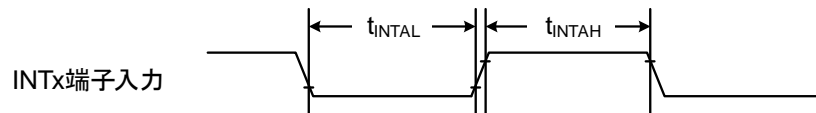


図 24.5 下記以外で外部割り込みを使用するときのタイミングチャート

### 24.7.4.2. STOPモード解除を外部割り込み端子で行うとき

項目	記号	計算式		$f_{sys} = 80\text{MHz}$		単位
		Min	Max	Min	Max	
"Low"レベル幅	$t_{INTBL}$	100	-	100	-	ns
"High"レベル幅	$t_{INTBH}$	100	-	100	-	

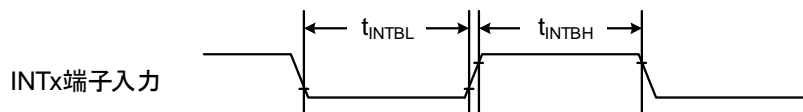


図 24.6 STOPモード解除を外部割り込み端子で行うときのタイミングチャート

## 24.7.5. デバッグ通信

### 24.7.5.1. AC 測定条件

- 出力レベル: High =  $VDD \times 0.7$ 、Low =  $VDD \times 0.3$
- 負荷容量 : TRACECLK 端子:  $C_L = 25\text{pF}$ 、TRACEDATAn 端子:  $C_L = 20\text{pF}$

注 1) VDD は DVDD5、RVDD5、AVDD5B の総称です。

注 2) DVDD5、RVDD5、AVDD5B は同電位で使用してください。

### 24.7.5.2. SWD インターフェース

項目	記号	Min	Max	単位
CLK 周期	$t_{dck}$	100	-	ns
CLK 立ち上がり → 出力データ保持	$t_{d1}$	4	-	
CLK 立ち上がり → 出力データ有効	$t_{d2}$	-	37	
入力データ有効 → CLK 立ち上がり	$t_{ds}$	20	-	
CLK 立ち上がり → 入力データ保持	$t_{dh}$	15	-	

### 24.7.5.3. JTAG インターフェース

項目	記号	Min	Max	単位
CLK 周期	$t_{dck}$	100	-	ns
CLK 立ち下がり → 出力データ保持	$t_{d3}$	4	-	
CLK 立ち下がり → 出力データ有効	$t_{d4}$	-	37	
入力データ有効 → CLK 立ち上がり	$t_{ds}$	20	-	
CLK 立ち上がり → 入力データ保持	$t_{dh}$	15	-	

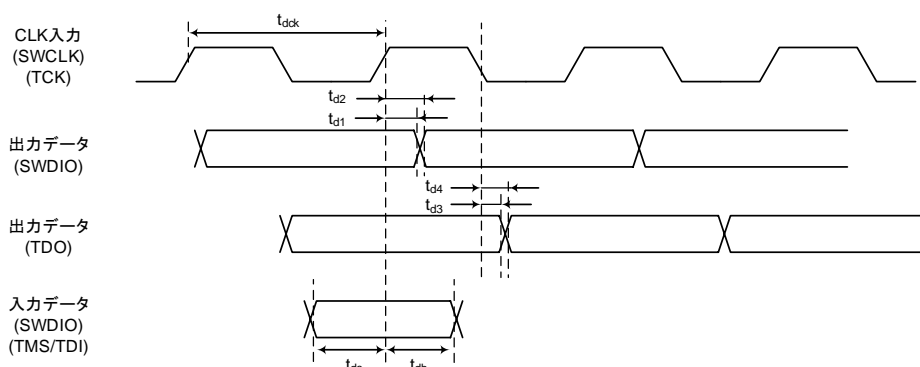


図 24.7 JTAG/SWDのタイミングチャート

## 24.7.5.4. ETM トレース

項目	記号	Min	Max	単位
TRACECLK 周期	$t_{clk}$	25	-	ns
TRACEDATAn 有効 → TRACECLK 立ち上がり	$t_{setupr}$	2	-	
TRACECLK 立ち上がり → TRACEDATAn 保持	$t_{holdr}$	1	-	
TRACEDATAn 有効 → TRACECLK 立ち下がり	$t_{setupf}$	2	-	
TRACECLK 立ち下がり → TRACEDATAn 保持	$t_{holdf}$	1	-	

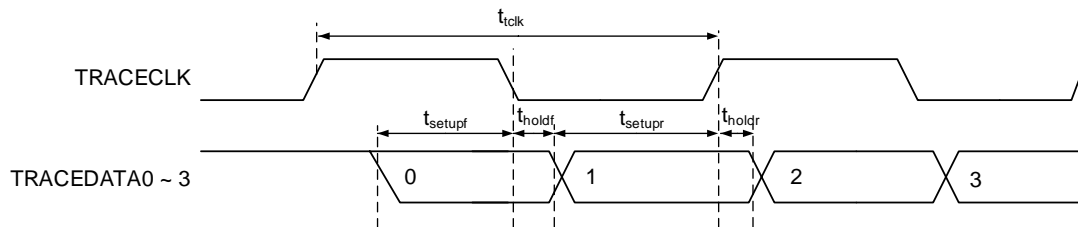


図 24.8 ETMトレースのタイミングチャート

## 24.8. Flash 特性

$VDD = DVDD5 = RVDD5 = AVDD5A = AVDD5B = AMPVDD5 = 4.5 \sim 5.5V$

$DVSS = AVSSA/VREFLA = AVSSB/VREFLB = AMPVSS = 0V$

$T_a = 0 \sim 70^\circ C$

項目	条件	Min	Typ.	Max	単位
Flash 消去/書き込み回数	-	-	-	100	回

## 24.9. 発振回路例

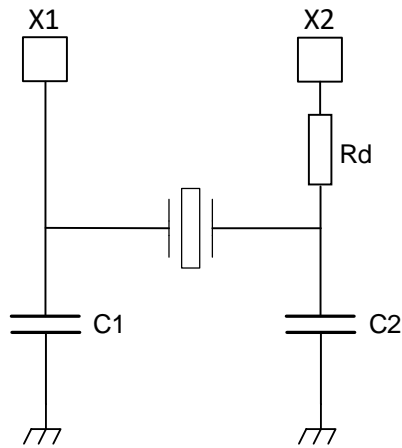


図 24.9 高周波発振回路例

発振の安定には、発振子の位置、負荷容量を適切にする必要があります。これらは基板パターンにより大きな影響を受けます。安定した発振を得るため、ご使用される基板での評価をされるようお願いいたします。

## 24.10. セラミック発振子

(株)村田製作所製のセラミック発振子を用いて評価しています。

(株)村田製作所の製品詳細につきましては、同社ホームページを参照してください。

## 24.11. 電源投入時のご注意

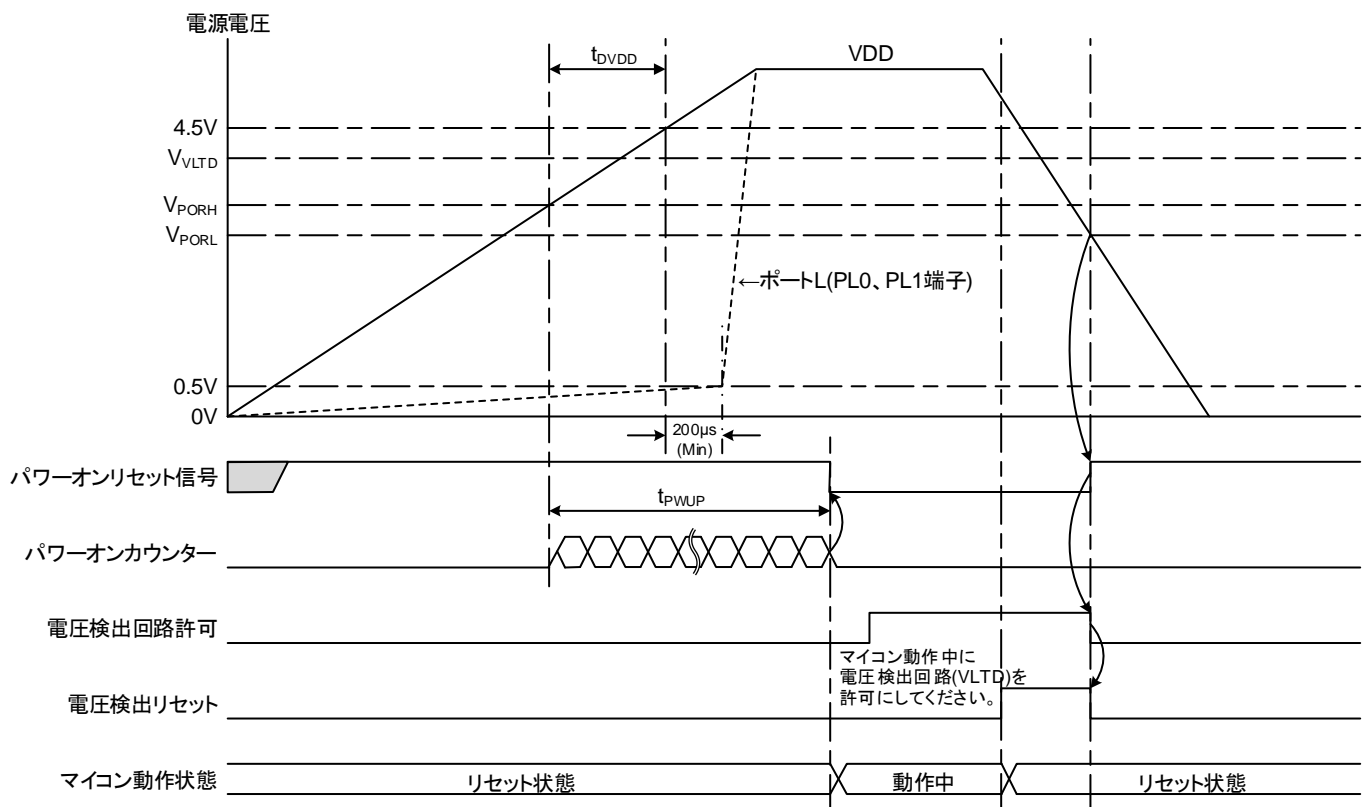
### 24.11.1. 電源投入時のポート L(PL0、PL1 端子)について

電源投入時、電源電圧が推奨動作電圧範囲(4.5 ~ 5.5V)に到達した後、200 $\mu$ s 経過するまでの期間、ポート L(PL0 および PL1)はオープンまたは 0.5V 以下となるようにしてください。

電源電圧が低下し POR がパワーオンリセット信号を発生させた後に、電源電圧が再度上昇する場合も同じ注意が必要です。

## 24.11.2. 外部リセットを使用しない場合

項目	記号	Min	Typ.	Max	単位
リセット解除後のウォーミングアップ時間	$t_{PWUP}$	-	-	3.7	ms
電源立ち上がり時間	$t_{DVDD}$	-	-	3	
VLTD 検出電圧 ( $V_{DCR} < V_{DLVL} > = "01"$ )	$V_{VLTD}$	3.9	4.1	4.3	V
POR 解除電圧	$V_{PORH}$	2.8	3	3.2	
POR 検知電圧	$V_{PORL}$	2.6	2.8	3	



注 1) VDD は DVDD5、RVDD5、AVDD5A、AVDD5B、AMPVDD5 の総称です。

注 2) 電源を立ち上げる場合に POR を使用するときは、3ms 以内に VDD を動作電圧範囲(4.5 ~ 5.5V)に到達させます。

注 3) MCU 動作中に、VLTD を許可します。

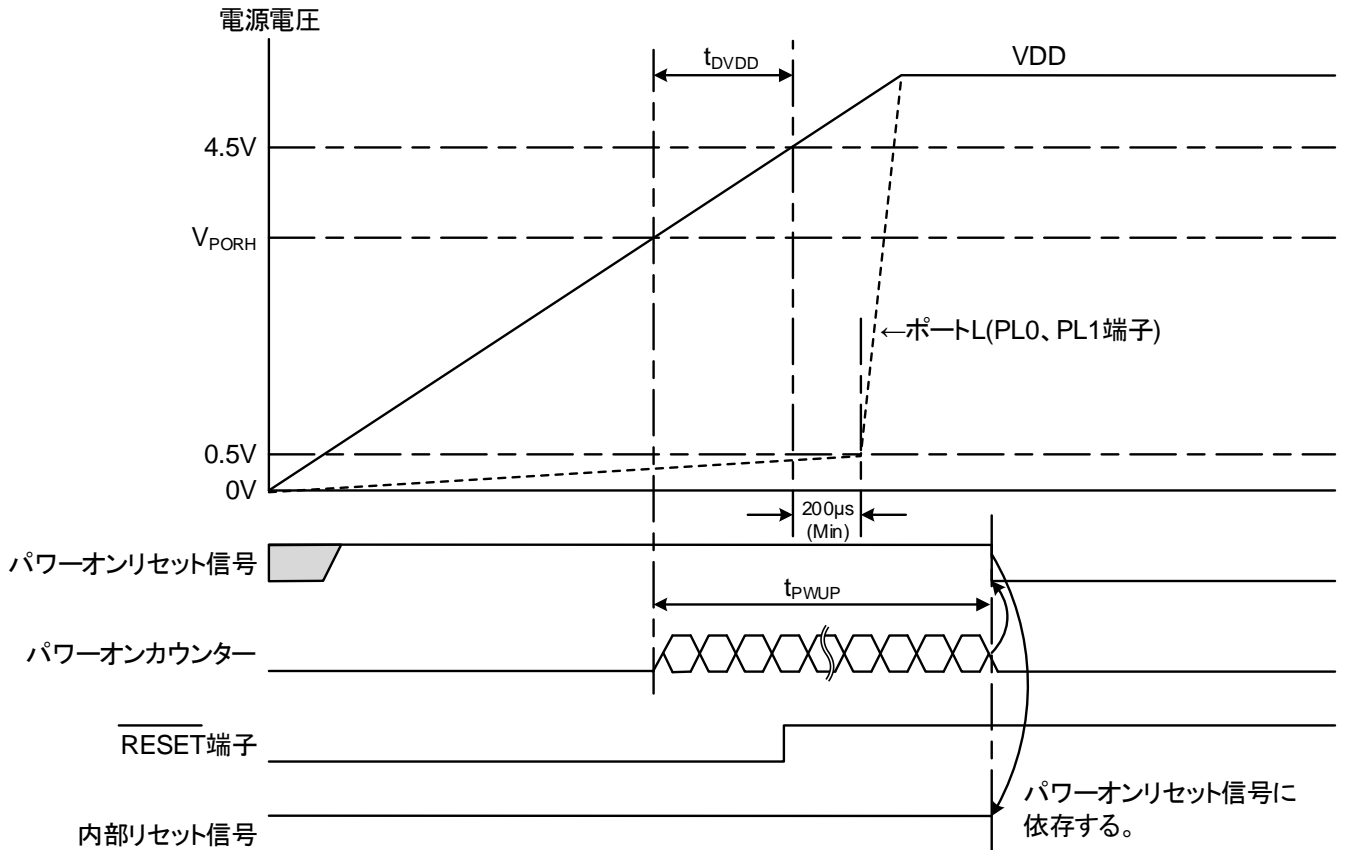
注 4) POR 解除電圧( $V_{PORH}$ )と検出電圧( $V_{PORL}$ )は、相対的に変化するためにそれぞれの電圧は逆転しません。

図 24.10 電源投入シーケンス (外部リセットを使用しない場合)

## 24.11.3. 外部リセットを使用する場合

### 24.11.3.1. 外部リセットの解除がPORリセット解除よりも早い場合

内部リセットの解除はPORリセットに依存します。

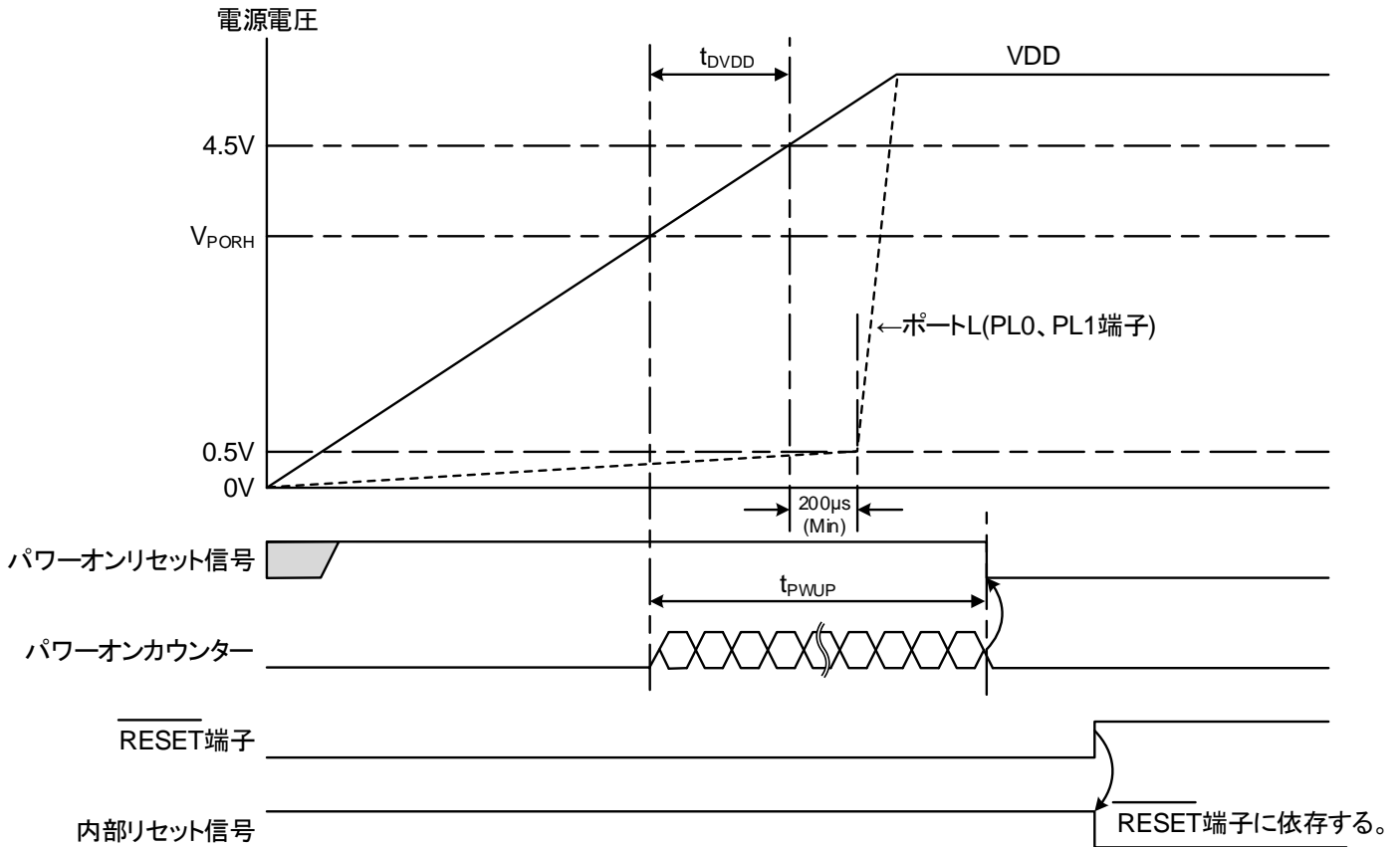


注) VDD は DVDD5、RVDD5、AVDD5A、AVDD5B、AMPVDD5 の総称です。

図 24.11 外部リセットの解除がPORリセット解除よりも早い場合のタイミングチャート

## 24.11.3.2. 外部リセットの解除がPORリセット解除よりも遅い場合

内部リセットの解除は $\overline{\text{RESET}}$ 端子に依存します。

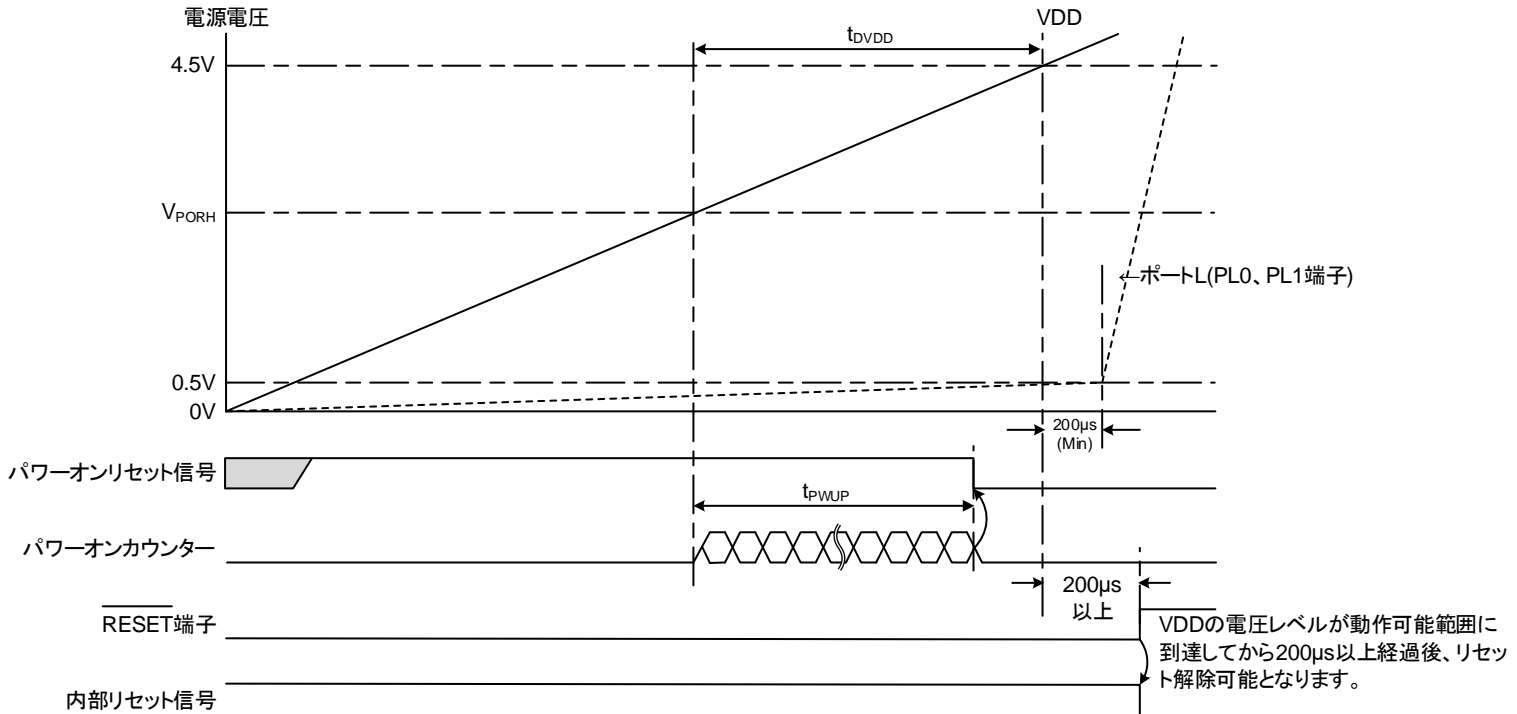


注) VDD は DVDD5、RVDD5、AVDD5A、AVDD5B、AMPVDD5 の総称です。

図 24.12 外部リセットの解除がPORリセット解除よりも遅い場合のタイミングチャート

### 24.11.3.3. $t_{DVDD}$ が $t_{PWUP}$ よりも長い場合

VDD の電圧が動作電圧範囲を越えてから  $200\mu\text{s}$  以上経過してから  $\overline{\text{RESET}}$  端子を "High" レベルにしてください。



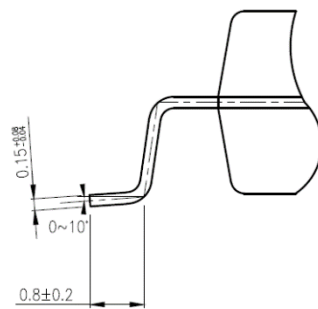
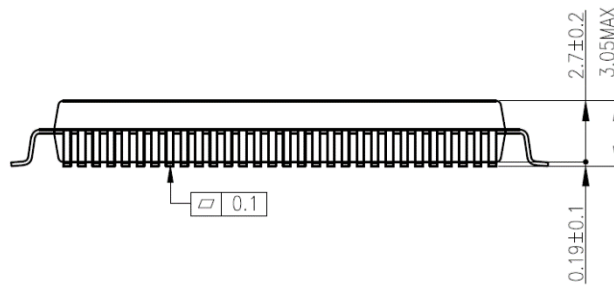
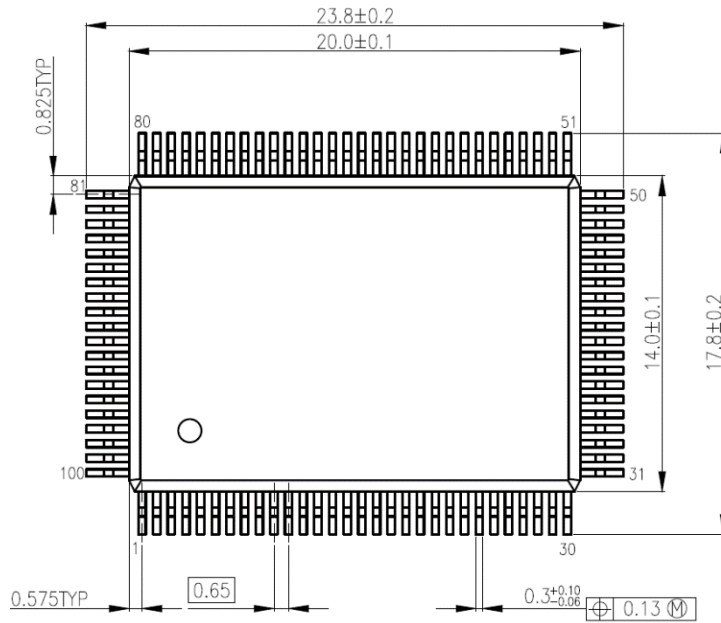
注) VDD は DVDD5、RVDD5、AVDD5A、AVDD5B、AMPVDD5 の総称です。

図 24.13  $t_{DVDD}$  が  $t_{PWUP}$  よりも長い場合のタイミングチャート

**25. パッケージ寸法図**

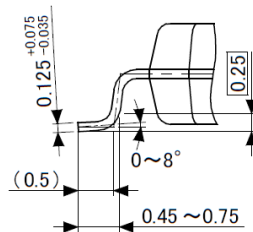
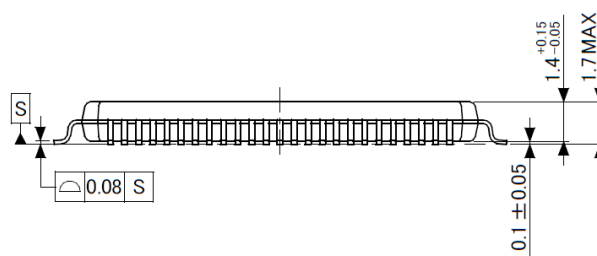
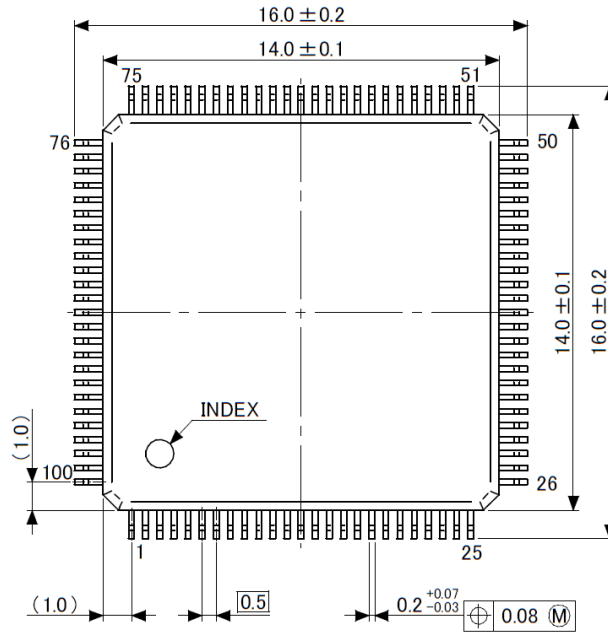
**25.1. パッケージ型名: QFP100-P-1420-0.65Q**

Unit: mm



25.2. パッケージ型名: LQFP100-P-1414-0.50H

Unit: mm



26. 改訂履歴

表 26.1 改訂履歴

Revision	日付	説明
1.0	2022-08-01	・新規
1.1	2023-07-21	<ul style="list-style-type: none"> <li>・図 5.1 修正</li> <li>・10.13.1.2. FIFO 許可の場合 文章と表 10.14 を修正</li> <li>・10.13.2.2. FIFO 使用の場合 文章と表 10.16 を修正</li> <li>・11.5.2. AD 変換開始 誤記修正</li> <li>・表 11.6 表題に追加</li> <li>・図 11.7 図を修正</li> <li>・図 11.8 図を修正</li> <li>・13.3.4.3. VEFMODEx(フロー制御レジスター) Bit8 に&lt;CRCEN&gt;を追加</li> <li>・表 13.15 トリガー補正許可を追加</li> <li>・表 22.3 注 2)を追加</li> </ul>

## 製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（生命直結機器）、車載・輸送機器、防衛関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。