

# CMOS ロジック IC

## 使用上の注意点

### 概要

本資料は CMOS ロジック IC を使用するうえで注意すべき、ラッチアップ・負荷容量の影響・不安定出力 (ハザード、メタステーブル) に対する回路設計上の対策、各種ノイズ影響 (スイッチングノイズ、反射ノイズ、クロストークノイズ) に対するパターン設計上の対応について解説します。

## 目次

概要 .....	1
目次 .....	2
1. ラッチアップ .....	4
1.1. ラッチアップの要因 .....	4
1.2. ラッチアップ耐量の測定法 .....	5
1.3. ラッチアップ対策 .....	6
2. 負荷容量(信号線と $V_{CC}$ または GND に接続されるコンデンサー) .....	7
3. 立ち上がり、立ち下がり時間の遅い入力 (スロー入力) .....	7
4. 注意すべき各種ノイズ (a)スイッチングノイズ、(b)反射ノイズ、(c)クロストークノイズ .....	8
4.1. (a)スイッチングノイズ .....	9
4.2. (b)反射ノイズ .....	10
4.3. (c)クロストークノイズ .....	11
5. 出力が不安定になる現象 .....	12
5.1. ハザード .....	12
5.2. メタステーブル .....	13
製品取り扱い上のお願い .....	15

## 目次

図 1.1	CMOS IC 内部等価回路およびラッチアップ動作 .....	4
図 1.2	電流注入法によるラッチアップ耐量測定回路.....	5
図 1.3	ラッチアップ対策例 .....	6
図 2.1	大きな負荷容量の挿入法 .....	7
図 4.1	ノイズの種類.....	8
図 4.2	バイパスコンデンサー.....	9
図 4.3	ダンピング抵抗 .....	9
図 4.4	抵抗内蔵製品について.....	9
図 4.5	終端処理の例 .....	10
図 4.6	配線のインピーダンス.....	10
図 4.7	多層基板について .....	11
図 4.8	クロストークノイズ.....	11
図 5.1	複数の論理回路を使用したときのハザードの例.....	12
図 5.2	メタステーブルを表す状態.....	13
図 5.3	対策回路例.....	13

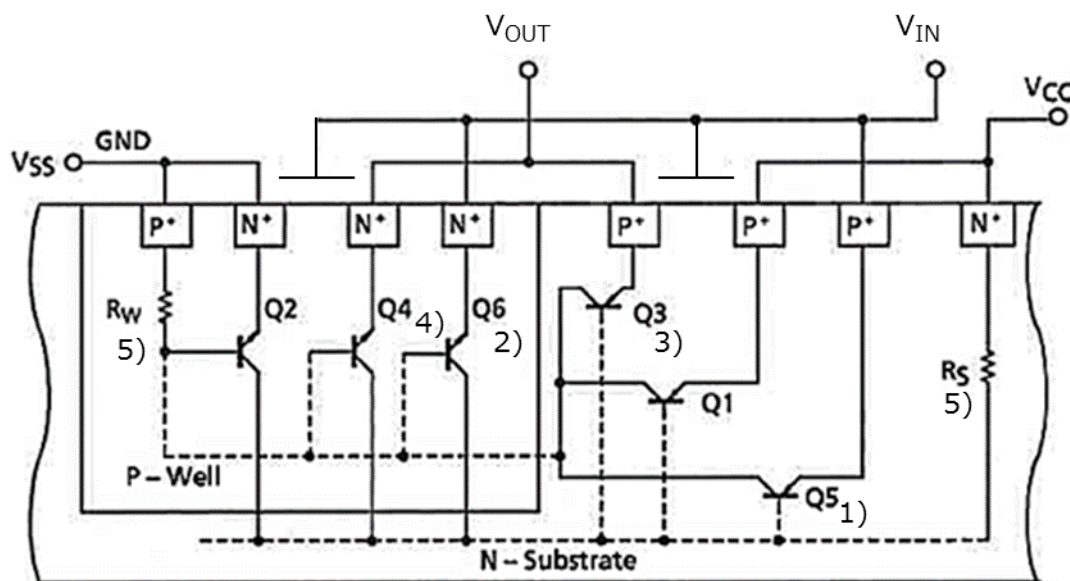
### 1. ラッチアップ

ラッチアップは CMOS 特有の現象で、SCR(Silicon Controlled Rectifier)現象ともいわれています。これは正常動作時で、入出力端子に過大なノイズ、サージなどの電圧、電流が印加されたり、電源振幅が急激に変動されたりすると、 $V_{CC}-GND$  間に異常電流が流れ、原因となった信号を切断してもその異常電流が持続し、ついには破壊に至らしめる現象をいいます。いったんラッチアップを引き起こすと電源を切るか、あるいは電圧を下げない限り、もとの状態に戻らず、 $V_{CC}-GND$  間に過電流が流れ続けます。このまま放置すると、配線の溶断など素子の破壊を引き起こします。

#### 1.1. ラッチアップの要因

図 1.1 に寄生素子を含む等価回路を示します。Nch-MOS 側の P-Well には NPN トランジスタ Q2、Pch-MOS 側の N-Substrate には PNP トランジスタ Q1 がおのおの形成され、その他、端子間には寄生抵抗が存在します。同図に示した寄生素子を介した電流パスから明らかなように、これらの寄生素子はサイリスターを構成しています。例えば、外部からの要因で N-Substrate に電流が流れ込んだとすると、N-Substrate の抵抗  $R_S$  の電圧降下が発生し、これが Q1 を ON させ P-Well の抵抗  $R_W$  を介して  $V_{CC}$  から GND に向かって電流が流れます。

$R_W$  に電流が流れると  $R_W$  両端に電位差が発生し Q2 が ON してさらに  $R_S$  を介して電源電流が流れます。これによりさらに  $R_S$  両端に電位差が発生し、Q1、Q2 が ON したままとなり電源電流はますます増大します。このように、P-Well の抵抗  $R_W$ 、および N-Substrate の抵抗  $R_S$  に電位差が発生すると、ラッチアップが起きます。その要因は次のように考えられます。



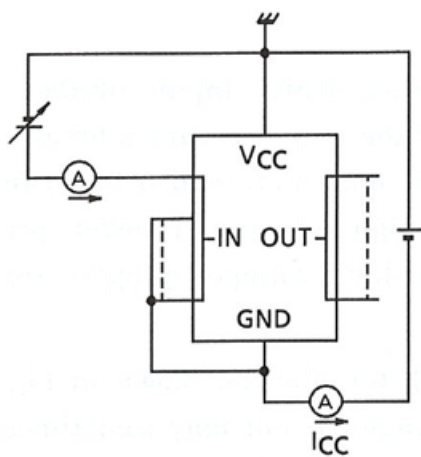
- 1) 入力電圧( $V_{IN}$ )が  $V_{CC}+V_F$  より高くなる場合(図の Q5 がオン)
  - 2) 入力電圧が  $V_{SS}-V_F$  より低くなる場合(図の Q6 がオン)
  - 3) 出力電圧( $V_{OUT}$ )が  $V_{CC}+V_F$  より高くなる場合(図の Q3 がオン)
  - 4) 出力電圧が  $V_{SS}-V_F$  より低くなる場合(図の Q4 がオン)
  - 5) 電源電圧  $V_{CC}$  が定格以上に上昇した場合、ブレークダウンする( $R_W$ 、または  $R_S$  に直接電流が流れる)
- (ただし、 $V_F$  は寄生するバイポーラトランジスタ Q3~Q6 のベース・エミッター間の順方向電圧とします。)

図 1.1 CMOS IC 内部等価回路およびラッチアップ動作

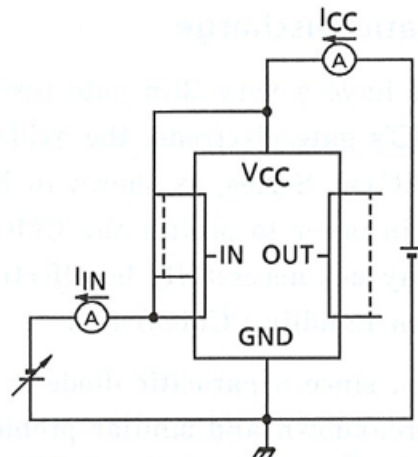
### 1.2. ラッチアップ耐量の測定法

ラッチアップ耐量の測定法を図 1.2 に示します。

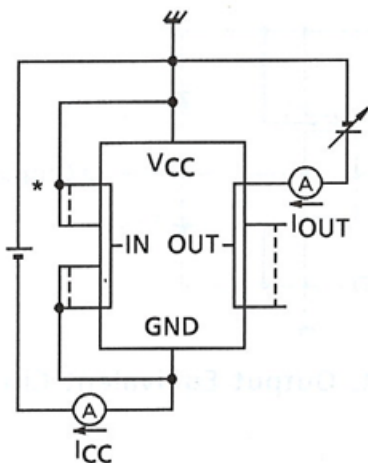
図に示すように、入力または出力端子に電流を流し込む(+injection)または流し出す(-injection)ことによりラッチアップを誘発し、そのときの Injection 電流値( $I_{IN}$  または  $I_{OUT}$ )を測定します。



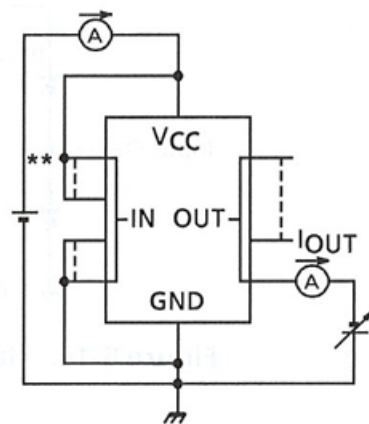
(a)入力端子の+injection耐量の測定回路



(b)入力端子の-injection耐量の測定回路



(c)出力端子の+injection耐量の測定回路



\*:被測定端子が“ハイ”レベルになる入力条件  
\*\* :被測定端子が“ロー”レベルになる入力条件

(d)出力端子の-injection耐量の測定回路

図 1.2 電流注入法によるラッチアップ耐量測定回路

### 1.3. ラッチアップ対策

東芝 CMOS 標準 LOGIC IC 製品は、ラッチアップに対し十分なマージンがあるため、構造上ラッチアップの存在しないバイポーラー IC (74LS) と同一の環境下でも安心して使用していただけます。そのため、規格内でご使用の場合は特に問題はありませんが、過大なサージが印加される可能性があるインターフェース部分などには、図 1.3 に示すような保護回路を付けることを推奨します。

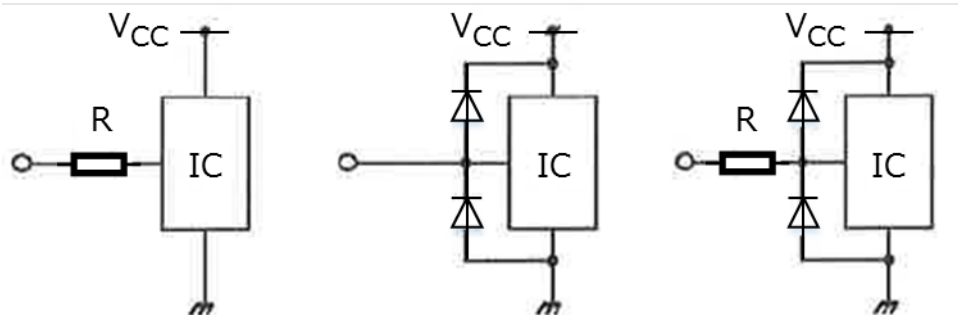


図 1.3 ラッチアップ対策例

## 2. 負荷容量(信号線と $V_{CC}$ または GND に接続されるコンデンサー)

CMOS 出力端子に大きな負荷容量を接続すると、遅延時間は大きくなります。また、大きな充放電電流が流れノイズの原因や配線の溶断にもつながります。電源遮断時には、出力寄生ダイオードに電流が流れるため大きな負荷容量を直接接続することは避けてください。

信号の遅延、ノイズ除去のために出力端子へコンデンサーを接続する場合、容量が 500 pF までのコンデンサーであれば直接接続してもかまいませんが、500 pF 以上の場合には、直接接続することは避けて図 2.1 に示すように電流制限抵抗  $R$  を接続してください。

出力トレラント機能のある製品は、電源遮断時の電流制限抵抗  $R$  は必要ありません。ただし、負荷容量への充電電流については上述と同じように電流制限抵抗  $R$  の接続を検討してください。

入力端子でも、電源遮断時にはコンデンサーに充電された電荷の放電電流が入力端子から電源方向にある内蔵の保護ダイオードに流れるため大きな負荷容量を入力に直接接続することは避けてください。500 pF までのコンデンサーであれば直接接続してもかまいませんが、500 pF 以上の場合には、直接接続することは避けて図 2.1 に示すように電流制限抵抗  $R_S$  を接続してください。

入力トレラント機能のある製品は、電流制限抵抗  $R_S$  は必要ありません。

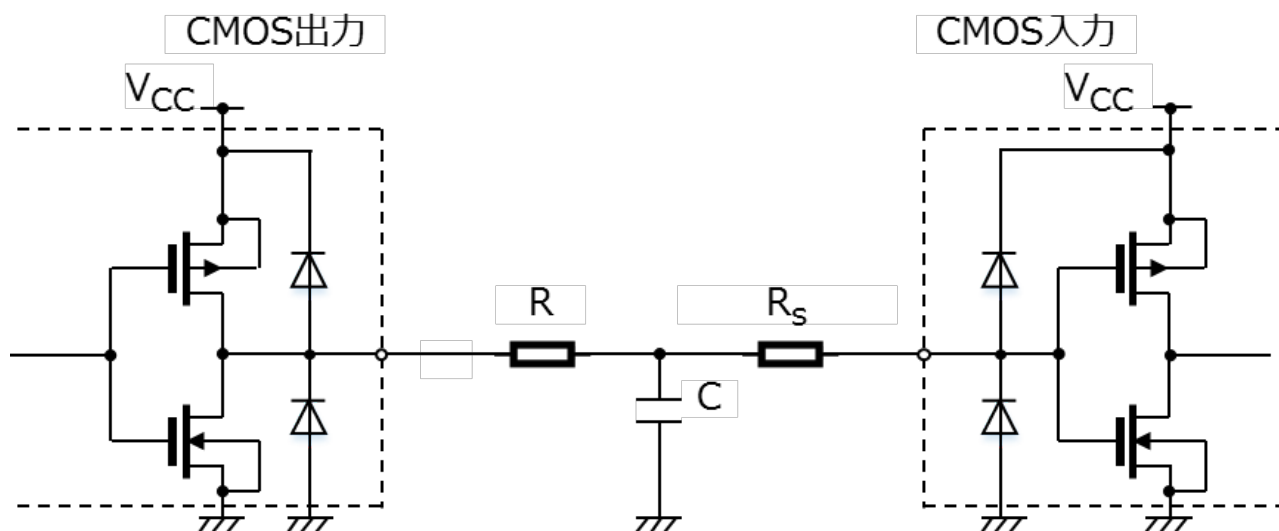


図 2.1 大きな負荷容量の挿入法

## 3. 立ち上がり、立ち下がり時間の遅い入力（スロー入力）

CMOS IC はスイッチング時に発生する貫通電流や出力電流などより、電源、GND ラインにリップルが発生します。立ち上がり立ち下がり時間の遅い入力（スロー入力）が印加された場合には上記リップルの影響により誤動作する事があります。これを防ぐため、推奨動作条件の入力上昇、下降時間以内となるようにしてください。立ち上がり、立ち下がり時間の遅い入力の場合はシュミット・トリガー入力のロジック IC を使用してください。

#### 4. 注意すべき各種ノイズ (a)スイッチングノイズ、(b)反射ノイズ、(c)クロストークノイズ

CMOS ロジック IC を使う場合は、スイッチング時に発生するノイズに注意が必要です。

ノイズの主な種類として

(a) スwitchングノイズ (オーバーシュート、アンダーシュート、GND 変動)

(b) 反射ノイズ

(c) クロストークノイズ

があります (図 4.1)。これらの詳細について 4.1~4.3 で説明します。これらは出力波形のスルーレート ( $di/dt$  または  $dv/dt$ )、および配線が原因です。

この他に複合的な条件で発生する EMI ノイズや、周囲の電子機器が発生させる EMS ノイズにも注意が必要です。

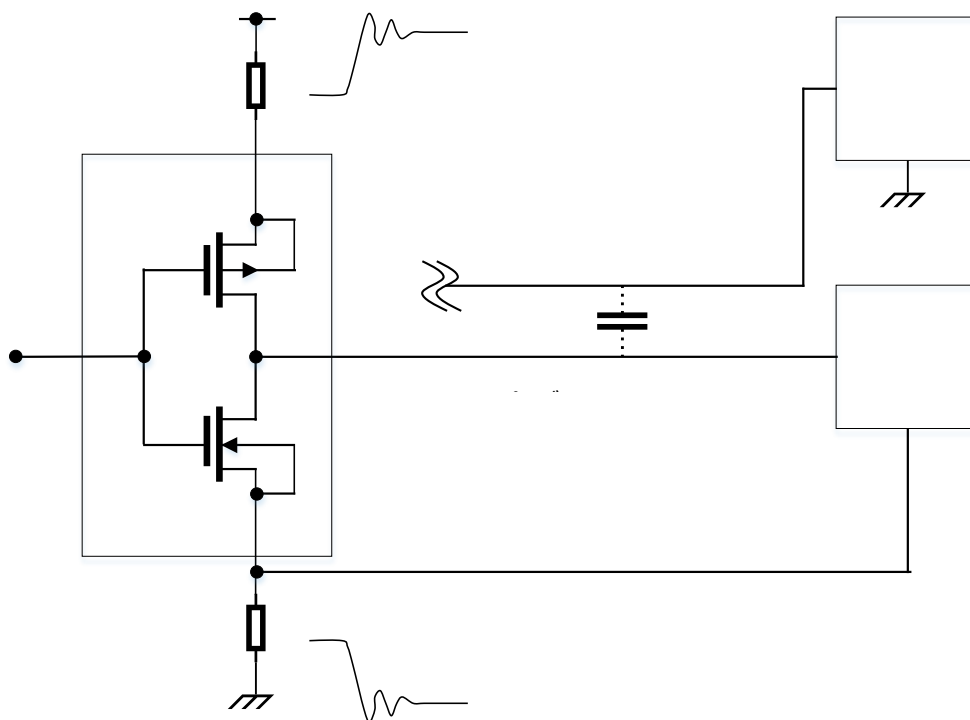


図 4.1 ノイズの種類



### 4.1. (a)スイッチングノイズ

CMOS ロジック IC 内の MOSFET は、内外の負荷容量を充放電しながらスイッチングします。そして、スイッチング動作時の配線インピーダンスは、LCR 回路として考えることができます。スイッチング電流  $i$  は配線インダクタンス  $L$  を流れるため、CMOS ロジック IC の電源や GND にスパイク電圧  $V = L (di/dt)$  が発生します。これをスイッチングノイズと呼びます。

特に、多数の出力が同時に変化するとき、充放電電流が増えスイッチングノイズが大きくなります（同時スイッチングノイズ）。スイッチングノイズの対策を以下に示します。

#### < スwitchングノイズ対策 >

- ・ 電源と GND の配線を太く、短くして配線インダクタンス  $L$  を小さくすることが有効。
- ・ バイパスコンデンサーは可能な限り CMOS ロジック IC の電源と GND 端子の近くに配置、配線する(図 4.2)。
- ・ クロックやリセットなどの信号に注意し、ドライバーなどの使用しないゲートは適切な入力処理をする(GND や電源へ接続する)。使用しているゲートの出力にローパスフィルターを設置しノイズを除去する。
- ・ 低ノイズ IC を選択する。
- ・ 使用しているゲートの出力にダンピング抵抗を入れる(図 4.3)。ダンピング抵抗値は動作波形を確認して調整が必要。(\*抵抗内蔵製品をラインアップしています(図 4.4)。ノイズ低減に加えて、部品点数を削減できます。)

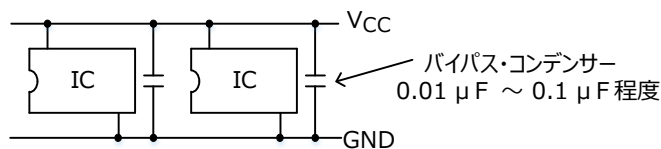


図 4.2 バイパスコンデンサー

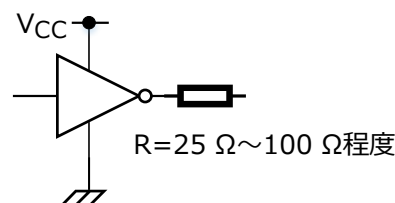


図 4.3 ダンピング抵抗

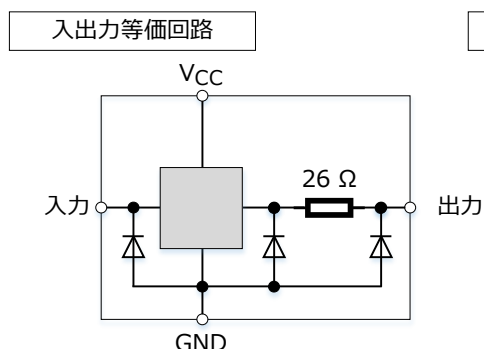


図 4.4 抵抗内蔵製品について

### 4.2. (b)反射ノイズ

高速ロジック IC の出力は、反射により信号の遅延、リングングおよびオーバー、アンダーシュートが増加します。

#### < 伝送線の反射 >

一般に、配線の特性インピーダンス(\*1)は 50~150 Ω程度ですが、高速ロジック IC は入出力インピーダンスが配線の特性インピーダンスと異なるため、送信、受信端とも反射が発生します。出力の立ち上がりが遅い場合では問題となりません。これは反射波が出力の立ち上がり部分に重なるため、大きく影響しないためです。反射が問題となるのは反射波が立ち上がり後の波形に重なる場合であり、出力の  $t_r$  が下式を満たす場合が考えられます。

$$t_r < 2T$$

$t_r$  : 出力信号の立ち上がり時間

$T$  : 配線の送信端から受信端までの遅延時間

立ち上がり時間が 3 ns の場合、配線の伝搬遅延時間を 5 ns/m とすると 60 cm から反射の影響が顕著となります。反射の対策を以下に示します。

#### < 反射対策 >

- ・実装密度を高めて配線を短くし、配線のインダクタンスやキャパシタンスを減らす。ただし、配線間のクロストークに注意が必要。(クロストークについては 4.3 参照)
- ・必要以上に出力電流の大きい IC を使わない。
- ・CMOS ロジック IC の入出力インピーダンスと配線の特性インピーダンス間でインピーダンス整合がとれるように終端処理をする(図 4.5)。
- ・CMOS ロジック IC の 1 つの出力端子に複数個の CMOS ロジック IC を接続する場合、配線は 1 つにする(図 4.6)。

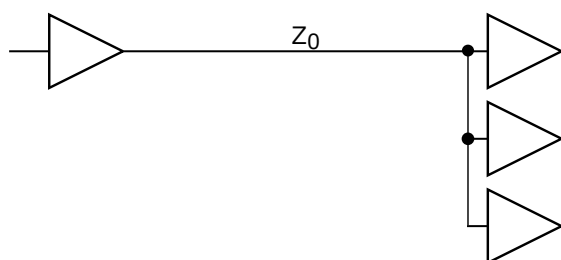


図 4.6 配線のインピーダンス

\*1:特性インピーダンスとは

特性インピーダンスは伝送線路(基板配線、同軸ケーブル)の特性を表す指標の 1 つです。

特性インピーダンスの計算式は、伝送線路の単位長あたりのインダクタンス  $L$  とキャパシタンス  $C$  から、 $Z_0 = \sqrt{L/C}$  となり、単位は  $\Omega$  (オーム) を使用します。

特性インピーダンス 50 $\Omega$  の伝送線路に終端抵抗 50 $\Omega$  を接続した場合、接続点では反射が発生しませんが、特性インピーダンスと抵抗の値に相違がある場合は、接続点で反射が発生します。

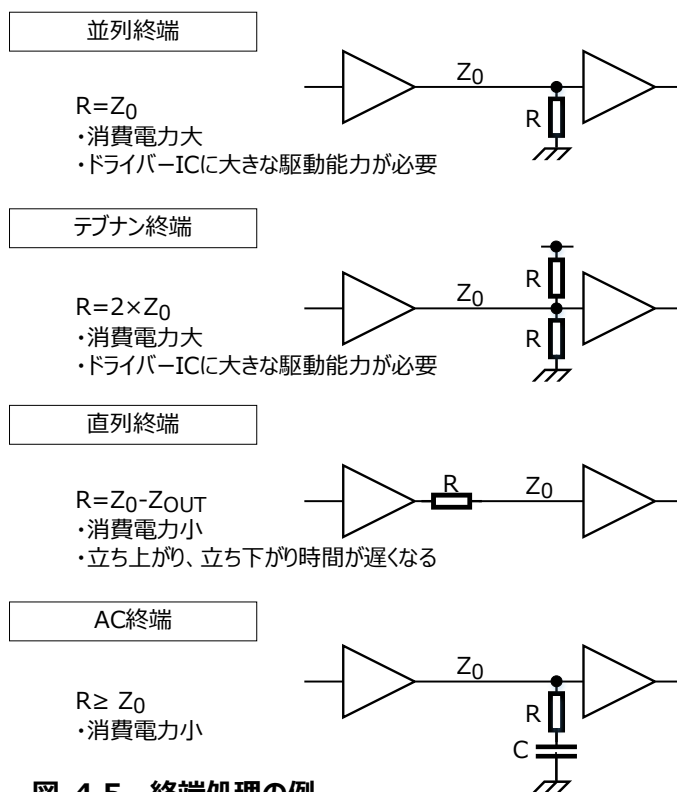


図 4.5 終端処理の例

### 4.3. (c)クロストークノイズ

クロストークノイズは 2 本の隣接した伝送線間相互キャパシタンスと相互インダクタンスによる結合によって生じます。特に、急峻な立ち上がりおよび立ち下がりをもった波形については注意が必要です。

信号を通信の際、被ノイズ線路に発生するクロストークノイズは通信方向と逆方向の両方向に伝搬していきます。

この速度は信号の通信速度と同じなので、通信方向のクロストークノイズは加算されてパルス状のノイズになります。

(遠端クロストークノイズ) 一方、逆方向に伝搬するノイズは信号通信の期間、一定レベルのノイズで伝搬します。(近端クロストークノイズ)

また、発生したクロストークノイズは通信路線に伝搬し、また被ノイズ路線に戻ってきます。

対策として一般的に以下が考えられます。

< クロストーク対策 >

- ・ 平行にアースパターン構造(多層基板など)を設ける
- ・ 平行パターン間の配線長を短くする
- ・ 多層基板の場合は、信号線を直行配線にする(図 4.7)
- ・ 配線間の幅を広げる

図 4.8 に代表例として配線長 30 cm のクロストークノイズレベルを示します。

この例では、近端クロストークノイズを示しており、被ノイズ側の近端側が受信側の場合は影響を受けやすい。

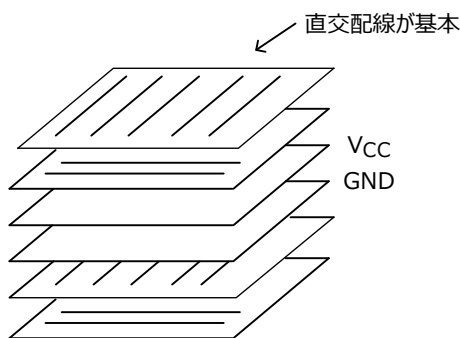


図 4.7 多層基板について

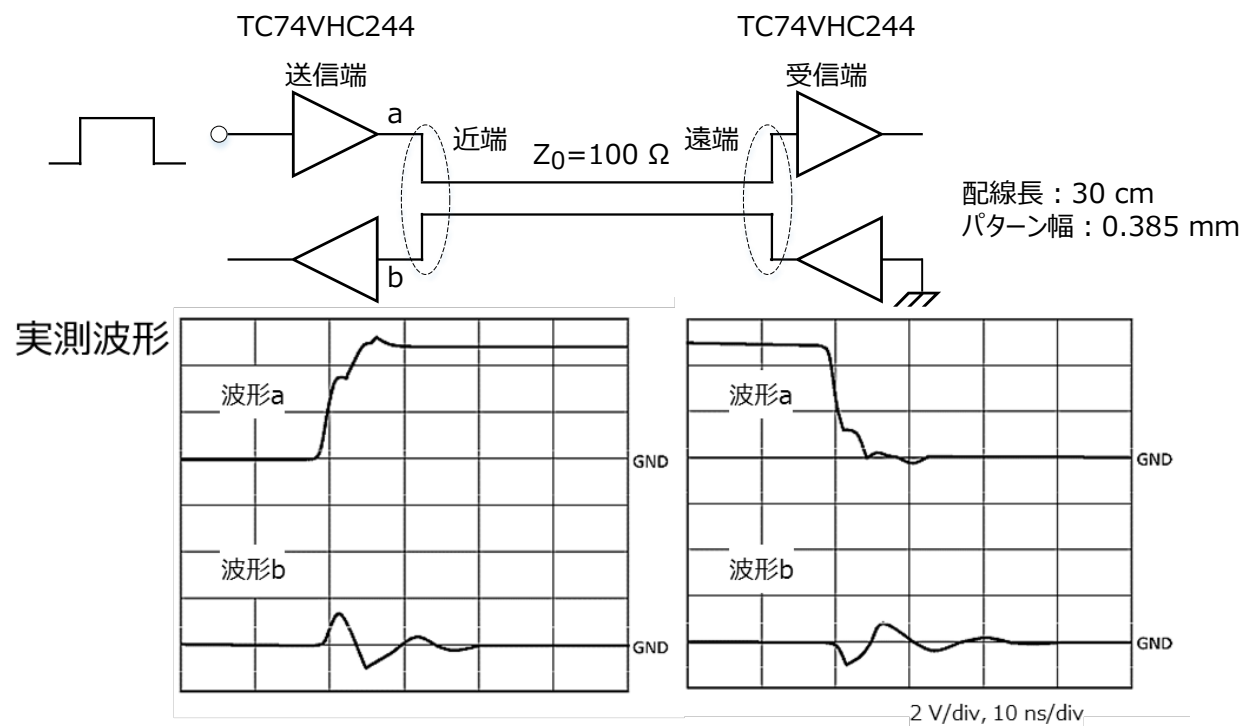


図 4.8 クロストークノイズ

## 5. 出力が不安定になる現象

CMOS ロジック IC の出力で、予期しない論理状態が一瞬発生し回路誤動作を引き起こす現象として、ハザードやメタステーブルと呼ばれるものがあります。

ハザードは複数入力の論理回路で起こる現象で、メタステーブルはフリップフロップなどの順序回路で起こる現象です。ハザードについて 5.1 に、メタステーブルについて 5.2 に記載します。

### 5.1. ハザード

多数の信号線の論理和や論理積をとって結果を出すような論理回路で、入力信号の遅延による微妙なズレによって、微小なヒゲ状のパルスが出力されることがあります。このヒゲ状のパルスをハザードと呼びます。

信号遅延によってハザードが起こる例として図 5.1 を用いて説明します。図のように A と B に同じ立ち上がりの信号を入力し、B に入力した信号はインバーターを介して AND 回路に入力します。AND 回路に入力される B からの信号はインバーターで遅延するため、AND 回路に A と C が入力され出力 Y に予期しない論理状態である“ハイ”が出力される可能性があります。

ハザードの対策は、入力信号を同時に変化させて出力を変化させるように設計しないことや、フリップフロップなどを使用して出力のタイミングを調整することです。

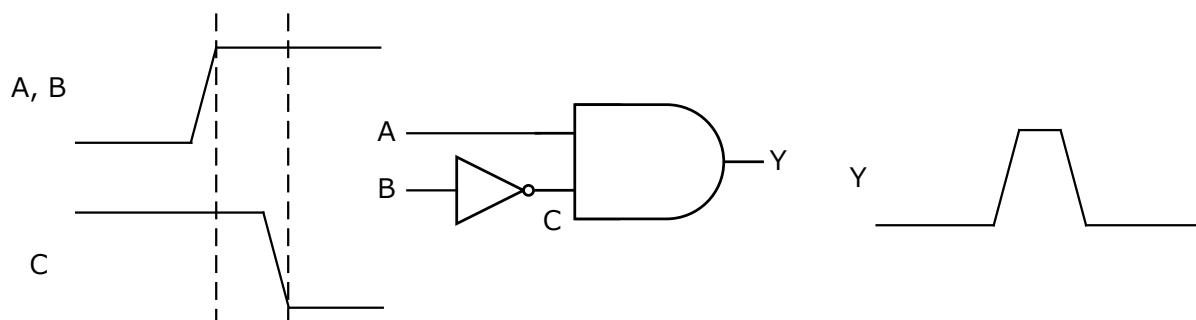


図 5.1 複数の論理回路を使用したときのハザードの例

このような信号遅延の他に、立ち上がり、立ち下がり時間の遅い入力(スロー入力)が原因でハザードが起こる場合もあります。この場合はシュミット・トリガー入力のロジック IC を使用することで対策できます。

### 5.2. メタステーブル

順序回路を用いて、入力信号を同期させるとき、クロック信号と取り込まれる信号とのタイミングにより、出力が不確定になることがあります。

これは個別技術資料上に記載されている、セットアップ時間  $t_s$ 、ホールド時間  $t_h$  などを満たしていない場合に発生し、この状態をメタステーブルと呼びます。

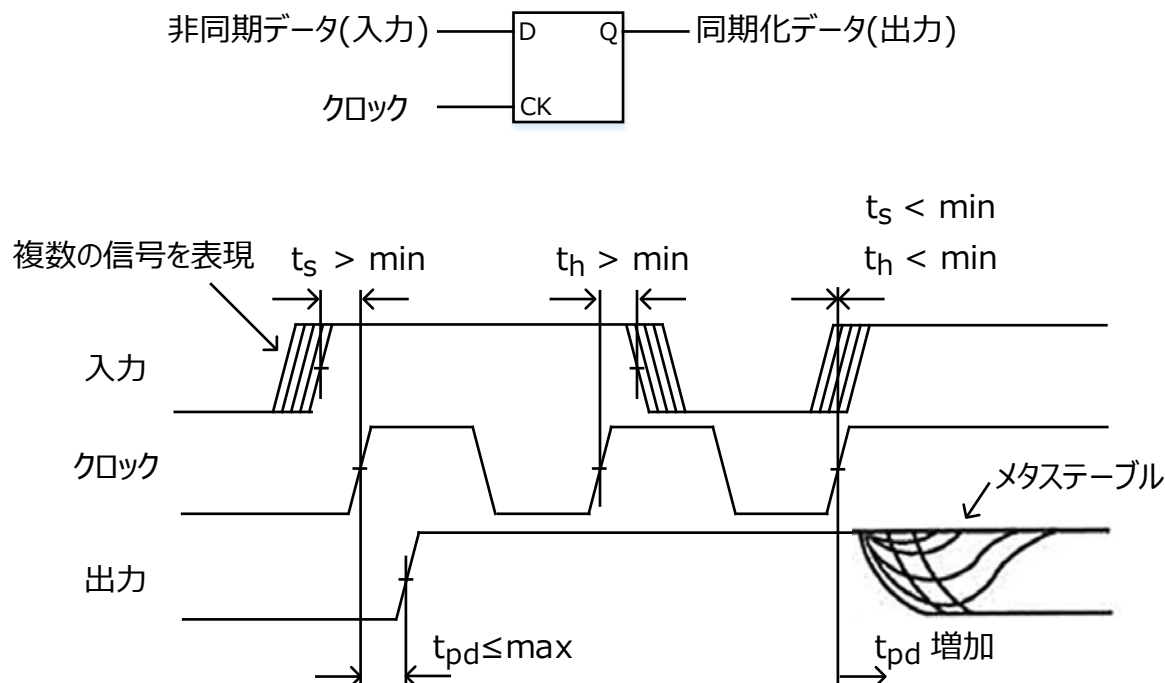


図 5.2 メタステーブルを表す状態

図 5.2 はこの状態を表しており、このように  $t_{pd}$  の増加や、論理の再反転などを引き起こします。

このメタステーブルの発生は、クロックなどの能動入力と、データ信号などの受動入力とが非同期の場合、避けられない問題であるといえます。

したがって、順序回路を使用する際には、技術資料上のタイミング推奨動作条件を満たす設計を行うようにしてください。

CK とデータが非同期の場合でも、以下の回路構成を用いると同期をとることが可能となりますが、CK の周期と伝搬遅延時間が近い条件の場合だと、2 段目のフリップフロップに信号が伝わらない場合があるので注意が必要です。

図 5.3 は、フリップフロップを 2 段接続し、1 段目の  $t_{pd}$  の遅れやハザードを、2 段目の出力に伝達させないようにした回路です。

この場合も、1 段目と 2 段目のクロックの位相差が、1 段目の CK と Q の間の  $t_{pd}$  と同等である場合には、注意が必要です。

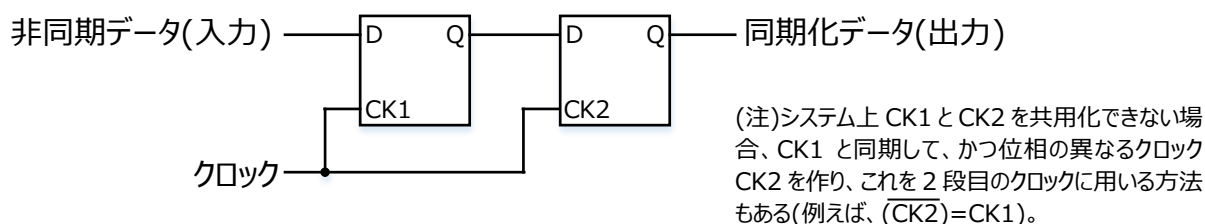


図 5.3 対策回路例

### 6. 関連リンク

- 製品のラインアップ (カタログ)

[Click](#)

- 製品のラインアップ (パラメトリックサーチ)

[Click](#)

- オンラインディストリビュータご購入、在庫検索



- 汎用ロジック IC の FAQ

[Click](#)

- アプリケーションノート

[Click](#)

## 製品取り扱い上のお願

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。  
本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。