IGBT (Insulated Gate Bipolar Transistor)

概要

本資料は IGBT の基本的構造および定格、電気的特性について述べたものです。
また、使用上の注意点についても説明しています。

© 2018-2022
Toshiba Electronic Devices & Storage Corporation

目次

概要 1
目次 2
1. IGBT の構造および特徴 6
1.1. IGBT の基本構造 6
1.2. トランジスタ比較（バイポーラトランジスタ、MOSFET、IGBT） 7
2. IGBT の種類と構造 9
2.1. ゲート構造 9
2.2. 縦方向デザインによる IGBT 分類 10
2.2.1. PT(パンチスルー)-IGBT 10
2.2.2. NPT(ノンパンチスルー)-IGBT 10
2.2.3. 薄ウェーハ PT(Thin PT)-IGBT 10
2.2.4. RC-IGBT 12
3. ディスクリート IGBT の定格 13
3.1. 最大定格の意義 13
3.2. 絶対最大定格の項目と定義 14
3.3. 熱抵抗特性 15
3.4. 電気的特性 16
3.4.1. 静的特性 16
3.4.2. 動的特性 17
4. 特性カーブ 20
4.1. 静特性 20
4.2. 安全動作領域 20
4.2.1. 安全動作領域の概念 20
4.2.2. 順バイアス安全動作領域 20
4.2.3. 二次降伏（S/B）について 21
4.2.4. 二次降伏（S/B）のメカニズム 22
4.2.5. 逆バイアス安全動作領域 22
5. 応用 23
5.1. 放熱設計 23
5.1.1. 定常状態における熱 23

© 2018-2022
Toshiba Electronic Devices & Storage Corporation

5.1.2. 過渡状態における熱 24
5.2. IGBT の損失 27
5.2.1. 導通損失 27
5.2.2. スイッチング損失 27
5.3. ゲート駆動 28
5.3.1. ゲート電圧 28
5.3.2. ゲート抵抗 28
5.3.3. デッドタイム 28
5.3.4. ゲート駆動電流 29
5.3.5. その他 29
5.4. 並列接続 29
5.5. サージ電圧保護 30
製品取り扱い上のお願い 33

図目次

図 1.1 IGBT の基本構造と等価回路 6
図 1.2 サイリスタの基本構造 6
図 2.1 プレーナゲート構造とトレンチゲート構造 9
図 2.2 合型電界効果トランジスタ(JFET) N-ch 型 9
図 2.3 縦方向デザインによる IGBT 分類 11
図 2.4 デザイン別 I_C-$V_{CE(sat)}$特性比較イメージ 11
図 2.5 RC-IGBT 構造 12
図 3.1 過渡熱抵抗特性 15
図 3.2 IGBT の寄生容量 18
図 3.3 抵抗負荷スイッチング測定回路および波形 18
図 3.4 インダクタンス負荷スイッチング測定回路および波形 19
図 3.5 インダクタンス負荷におけるスイッチング損失規格 19
図 4.1 IGBT の V_{CE}-I_C 特性 20
図 4.2 安全動作領域 21
図 4.3 逆バイアス安全動作領域 22
図 4.4 逆バイアス安全動作領域 22
図 5.1 放熱等価回路 23
図 5.2 過渡熱抵抗回路 24
図 5.3 印加パルスと温度変化 24
図 5.4 過渡熱抵抗 24
図 5.5 重ね合わせの理を用いたジャンクション温度ジャンクション温度の計算(仮題) 25
図 5.6 正弦波、三角波損失波形の矩形波への近似方法 26
図 5.7 スイッチング波形イメージ 27
図 5.8 スイッチング損失依存 27
図 5.9 I_C-V_{CE} 特性 28
図 5.10 スイッチング時間の R_G 依存 28
図 5.11 駆動回路抵抗成分 29
図 5.12 駆動回路抵抗成分 29
図 5.13 スナバ回路例 30
図 5.14 個別 RDC スナバ回路とターンオフ波形例 30

図 5.15 放熱板面積と熱抵抗 31
図 5.16 チャージポンプ回路 32
図 5.17 ブートストラップ回路 32

表目次

表 1.1 各種トランジスタ比較 7
表 3.1 絶対最大定格 14
表 3.2 熱抵抗特性 15
表 3.3 静的特性 16
表 3.4 動的特性 17

1. IGBT の構造および特徴

IGBT とは "**I**nsulated **G**ate **B**ipolar **T**ransistor"の略で、絶縁ゲートバイポーラトランジスタの意味です。IGBT は電力用スイッチングデバイスの一種で、他には MOSFET やバイポーラトランジスタなどがあります。

IGBT は MOSFET の高入力インピーダンス特性および高速性（スイッチング特性）(注 1) とバイポーラトランジスタの低飽和電圧特性を両立させた素子です。

注 1. パワーMOSFET に比べれば見劣りはしますが、比較的速いスイッチング特性を備えています。

1.1. IGBT の基本構造

IGBT の基本構造と等価回路を図 1.1 に示します。構造は MOSFET に似通っており、基本的な違いは、MOSFET が n^+-n^- 基板を使用しているのに対し、$p^+-n^+-n^-$ 基板を採用していることです。従いまして、製造プロセスは基本的には MOSFET と同じです。

等価回路上、PNP-NPN トランジスタ結合によるサイリスタ (注 2) 構造が形成されていますが、構造図に示すように NPN トランジスタのベースとエミッタは Al 配線で(P ベース層の抵抗を介して)短絡され、基本的には動作しないよう設計されています。従いまして IGBT の等価回路および動作機構は、n チャネルエンハンスメント MOSFET を入力段に、PNP トランジスタを出力段に配した MOS 入力インバーテッドダーリントントランジスタと同じと考えることができます。しかし、IGBT は、等価回路から説明される動作だけでなく、MOSFET と PNP トランジスタがモノリシック構成であることによる n^- 領域の伝導度変調が重要な特徴になります。p^+-n^+ 層から n^- 層に注入されたホール（少数キャリア）により n^- 層に伝導度変調（MOSFET のドレイン抵抗の減少）が誘起されます。この伝導度変調により MOSFET の高耐圧素子では困難であった低オン電圧降下特性（低飽和電圧特性）が IGBT では可能になりました。

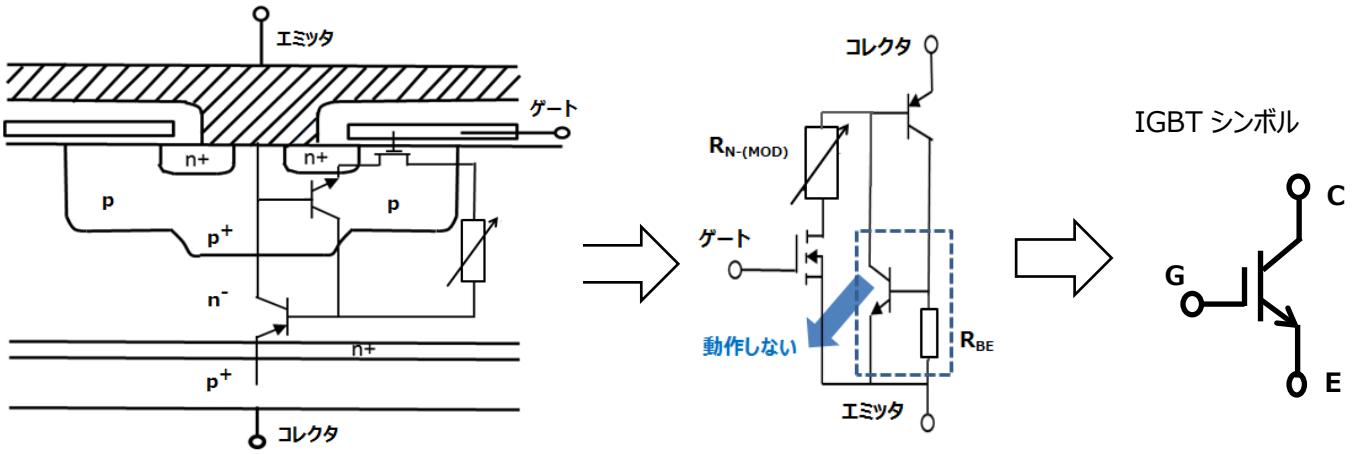


図 1.1 IGBT の基本構造と等価回路

注 2. サイリスタ

一般的なサイリスタは、3 つの pn 接合を持ち、オンとオフの 2 状態を持つスイッチです。
図 1.2 に示されるようにゲート電極に電流①を流しますと②および③の電流が流れることになります。
この電流は、コレクタ電流が他方のトランジスタのベース電流となり正帰還動作となります。
その結果、オン側はゲートで制御できますが、オフ側はゲートでは制御できず
(電圧の極性を反転させるなど)負荷側で制御することになります。

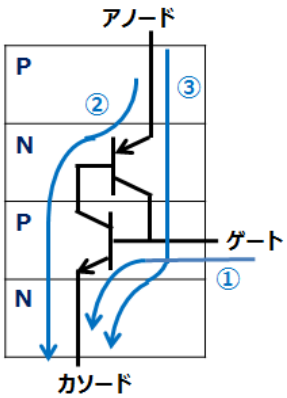


図 1.2 サイリスタの基本構造

IGBT の飽和電圧 $V_{CE(sat)}$を等価回路から見ると、

$$V_{CE(sat)} = V_{BE} + I_{MOS} \cdot (R_{N-(MOD)} + R_{ch}) \quad \text{------ (式 1.)}$$

V_{BE} ：PNP トランジスタのベース・エミッタ間電圧

I_{MOS} ：MOSFET のドレイン電流

$R_{N-(MOD)}$ ：伝導度変調後の n^-層抵抗

R_{ch} ：MOSFET のチャネル抵抗

で表されます。ここで I_{MOS} は PNP トランジスタのコレクタ電流を $I_{C(PNP)}$、直流電流増幅率を $h_{FE(PNP)}$とすると、

$$I_{MOS} = I_{C(PNP)} / h_{FE(PNP)} \quad \text{------ (式 2.)}$$ で表されます。

また、IGBT のトータル電流 I_{IGBT} は、

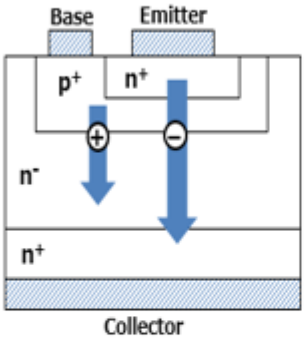
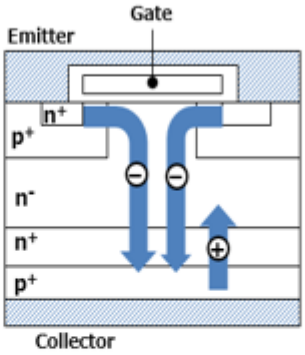
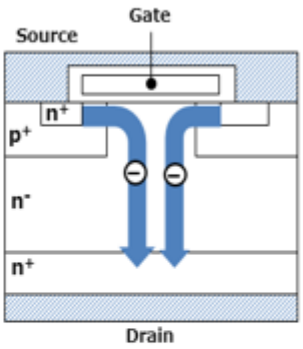
$I_{IGBT} = I_{MOS} + I_{C(PNP)}$ で表されます。

IGBT の飽和電圧 $V_{CE(sat)}$は(式 1.)より I_{MOS} に大きく左右され、I_{MOS} は(式 2.)から PNP トランジスタの h_{FE} に大きく左右されます。また、$h_{FE(PNP)}$はスイッチング特性とトレードオフ関係があることから、PNP トランジスタの h_{FE} は IGBT の飽和電圧―スイッチング特性のトレードオフ関係に大きく影響します。

1.2. トランジスタ比較（バイポーラトランジスタ、MOSFET、IGBT）

表1.1に、IGBTとバイポーラトランジスタ、MOSFETの構造、特徴の比較を示します。

表 1.1 各種トランジスタ比較

	バイポーラトランジスタ	IGBT	N-ch パワーMOSFET
構造			
キャリア	電子と正孔	電子と正孔	電子
駆動系	ベース電流	ゲート電圧	ゲート電圧
通電能力	良	優	可
順方向 電圧降下	良	優	可
動作周波数	可 (低い)	良 (~20kHz)	優 (~300kHz)

・バイポーラトランジスタ（NPNトランジスタ）

表 1.1 のバイポーラトランジスタ構造図において、コレクタ・エミッタに電圧を印加した状態で、ベースとエミッタ間を正バイアスすると，コレクタ・エミッタ間が導通してトランジスタに電流（コレクタ電流）が流れるようになります。

トランジスタをスイッチング素子として使用する場合の動作原理は、まずエミッタ（n^+層）からキャリア（電子）がベース（p^+層）に流れ込みます。電子の一部はベースの正孔に捉えられてベース電流となりなりますが、残りの大半の電子はコレクタに流れます。これがコレクタ電流です。（電子の進む方向と電流の方向は逆方向）。ベースが非常に薄いので、エミッタからベースに流れ込む電子のほとんどは、ベースの正孔に捕まえられずにベースを突き抜けてコレクタに流れます。（トランジスタのオンです。）

トランジスタがオンした状態は、ベース電位に対してコレクタ電位が下がった状態で n^-層のキャリア密度が大きく上がり抵抗値が大きく下がります。この高抵抗層（n^-層）の不純物濃度が変化し抵抗値が変わる状態を伝導度変調と言います。

ベース-エミッタ間の電圧を 0V あるいは負の電圧を印加するとベース電流の供給が止まり，素子内の蓄積キャリアは減少して，ベース・コレクタ間が逆バイアスされ，トランジスタはオフとなります。

・MOSFET（N-ch）

表1.1のMOSFET構造図において、ドレイン・ソース間に電圧を印加した状態で，ゲートを正バイアスすると，酸化膜下に電子の層（チャネル）が誘起され，ソース領域とドリフト領域が電気的につながり，電流が流れるようになります。ゲート電圧を0V，または負の電圧を印加するとチャネルが消滅するため，素子はOFF状態になります.

MOSFETは，ゲートに印加する電圧によってドレイン・ソース間の電流を制御でき、ゲートの制御回路はMOSFETのゲート容量を充放電するための電流能力があればよく，バイポーラトランジスタに比べて制御回路は著しく小型・低損失化することが可能です。

MOSFETはドリフト層へのキャリアの蓄積がなく，高速でスイッチングすることが可能です。その反面，高耐圧化に伴うドリフト層の低不純物濃度および厚化により、オン抵抗が増加し導通損失が著しく大きくなります。

・IGBT

すでに IGBT の基本構造および特徴については前述しておりますが、MOSFET のドレイン側に p^+層を追加され、pn 接合が直列に接続された構造になっています。

IGBTは、コレクタ・エミッタ間に電圧を印加した状態で、構造上のMOSFETをオンさせることでPNPトランジスタを通して導通します。この時、コレクタ側のp^+層からn^-層へ正孔（ホール）が注入される伝導度変調効果がおこり、n^-層の抵抗が減少します。また、ゲート電圧を0V，または負の電圧を印加することで、MOSFET部のチャネルを消滅してオフします。この時、pベース層－n^-ドリフト層間のpn接合は逆バイアスされ、p^+コレクタ層からn^-層への正孔（ホール）の注入も止まります。ターンオフ時には伝導度変調効果でドリフト層にたまったキャリアは排出または再結合で消滅するまで電流が流れます。（この電流は「テール電流」と呼ばれています。）

IGBTは，MOSFETと同様にゲートに印加する電圧によってコレクタ・エミッタ間の電流を制御することができます。したがって，ゲートの制御回路はIGBTのゲート容量を充放電するための電流能力があればよく，バイポーラトランジスタに比べてMOSFETと同様に制御回路を著しく小型・低損失化することが可能になります。

IGBTは伝導度変調効果によりオン電圧の低減が可能であり高耐圧製品においては非常に優れた製品ですが、スイッチングオフ時にはドリフト層の蓄積キャリアを吐き出す時間が必要となり、高速性に関しては蓄積キャリアのないMOSFETの方が優れていると言えます。

2. IGBT の種類と構造

IGBT は、ゲート構造により①プレーナゲート ②トレンチゲート の 2 分類に、縦方向のデザインにより ③パンチスルー ④ノンパンチスルー ⑤薄ウェーハパンチスルー などに分類することができます。

2.1. ゲート構造

図 2.1 にプレーナゲートとトレンチゲート構造の比較を示します。

チップ表面の一面にゲートを形成した構造がプレーナゲートで、トレンチゲートは n^+エミッタおよび p ベース層を横切る形で溝を掘りゲートを形成します。トレンチゲート構造の IGBT では、セル密度を大幅に増加できるのでチャネル部の電圧降下をプレーナ構造に比べて抑えることができます。また、プレーナ構造特有のチャネルに挟まれた JFET (注 3) 部分がトレンチゲート構造では存在しないため、その部分の電圧降下も削減できるため、結果としてトレンチゲート構造はプレーナ構造と比較してオン電圧を大幅に削減できます。

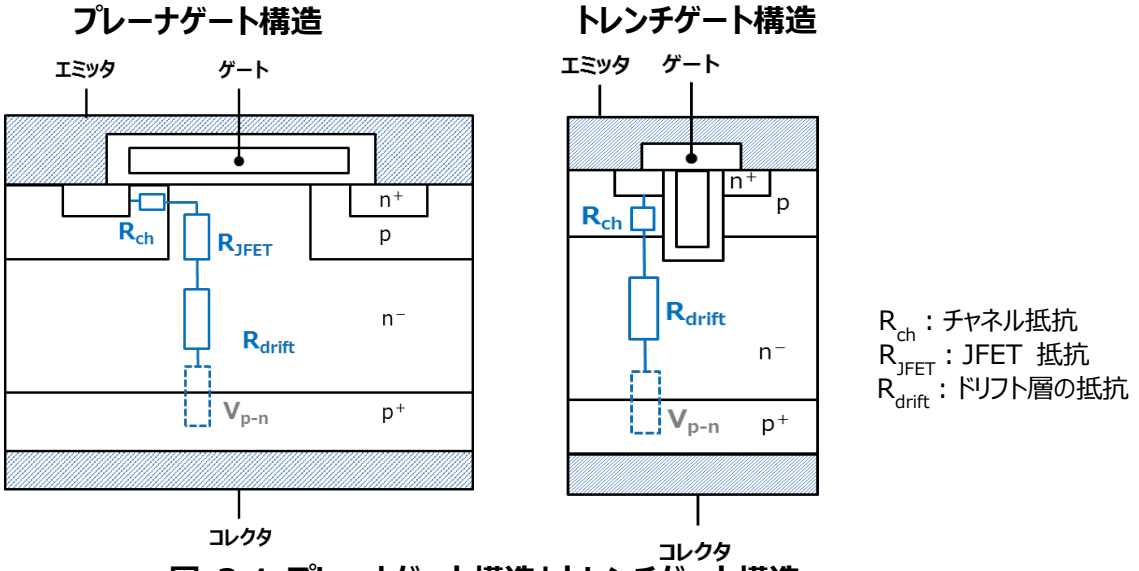


図 2.1 プレーナゲート構造とトレンチゲート構造

注 3. JFET 、Junction Field-Effect Transistor (接合型電界効果トランジスタ)

JFET(N-ch JFET) は、ゲートとソース（ドレイン）間に逆バイアスを掛け、空乏層を生じさせてソースとドレイン間の電流を制限しオフさせる仕組みになっている素子です。IGBT の構造で説明している JFET は JFET として機能しているわけではなく JFET の構造、機構のように見えるところからきています。

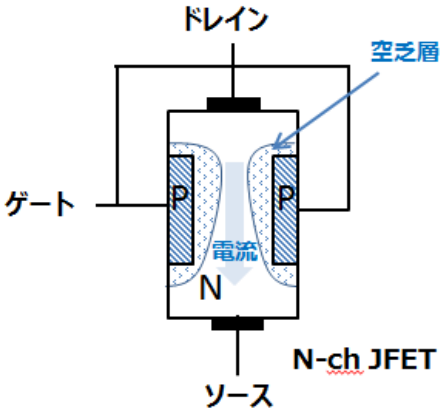


図 2.2 接合型電界効果トランジスタ(JFET) N-ch 型

2.2. 縦方向デザインによる IGBT 分類

IGBT は、コレクタ・エミッタ間に電圧を印加した際のドリフト層の空乏化の違いにより、パンチスルーおよびノンパンチスルーに分類されます。パンチスルー(Punch Through、以下 PT と略す)は、空乏層がドリフト層を超えて低抵抗層(n^+)に達する構造であり、ノンパンチスルー(Non-Punch Through、以下 NPT と略す)は、空乏層がドリフト層内にとどまるので低抵抗層(n^+)を必要としない構造です。

また、PT の中で特に薄ウェーハプロセスを採用した構造を薄ウェーハ PT(Thin wafer Punch Through、以下 Thin PT と略す。また別名フィールドストップ(Field Stop)とも呼ばれています。) と呼んでいます。

図 2.3 に PT、NPT、薄ウェーハ PT の構造図を示します。

この薄ウェーハ技術によりアノードの p^+層を n^+層で開口した構造を持つ RC-IGBT(Reverse Conducting：逆導通)があります。

2.2.1. PT(パンチスルー)-IGBT

PT は、一般的に n^-(ドリフト層)－n^+(バッファ層)－p^+(アノード層)の構造となっており、n^-層を耐圧に合わせて最適に設計します。

PTタイプIGBTは、エピタキシャルウェーハを用いており、p^+コレクタ層は高不純物濃度で厚みが厚く、導通状態でのコレクタ層からキャリアを高注入（伝導度変調）することで、オン電圧は低くしています。反面、オフ時にはn^-ドリフト層の蓄積キャリアが排出または再結合で消滅するまで流れる電流（テール電流）を生じ、スイッチング損失を増大させます。そのため n^-ドリフト層内に欠陥を形成して蓄積キャリアの消滅を早める方法（ライフタイムコントロール）をとっています。また、一般的に導通時のコレクタ・エミッタ間のスレッシュホールド電圧が高く、更なる低$V_{CE(sat)}$特性が課題(または支障)となっておりました。（図2.4参照）

2.2.2. NPT(ノンパンチスルー)-IGBT

NPTは、最大電界の時に空乏層がn^-ドリフト層内にとどまるようにn^-ドリフト層を厚く設計します。そのため、PTタイプで空乏層の伸びを止めていたn^+バッファ層を持ちません。(PTのn^+バッファ層は、空乏層の伸びを抑制することとp^+アノードからのホール注入量制御にも使用しています。)

また、p^+コレクタ層の厚みが薄く、このp^+層の不純物濃度を変化させることによりキャリアの注入量を制御しています。そのため、ターンオフ動作の高速化のためにPTタイプでは必須だったライフタイムコントロールが不要となります。PTタイプに比べスイッチング損失は改善される傾向にありますが、n^-ドリフト層が厚くなりますので、特に大きなコレクタ電流領域でオン電圧が高くなります。他方、$V_{CE(sat)}$のスレッシュホールド電圧は、PT比較で大きく改善され、低電流～定格電流領域のオン電圧は低下する傾向にあります。（図2.4参照）

2.2.3. 薄ウェーハ PT(Thin PT)-IGBT

薄ウェーハPT（Thin PT）構造は、PTタイプのドリフト層の最適設計による低動作抵抗化、NPTタイプの注入キャリア量制御によるスイッチング速度の高速化および順方向特性の低スレッシュホールド電圧化といった双方の特長を生かすために考えられました。

PTはエピタキシャルウェーハを使って基板の高濃度p層をそのままコレクタ層として用いているのに対し、NPTはイオン注入によって裏面コレクタ層を形成しています。この結果、ライフタイム制御を行わなくてもコレクタからのホールの注入量を制御することが可能になりました。しかしながら、NPT-IGBTでは電界を止める働きをする高不純物濃度層(n^+バッファ)を持たないため，空乏層がコレクタ側にパンチスルーしないように設計する必要があります．このためPTタイプに比べてドリフト層が厚くなるという問題がありました。そこで薄ウェーハ技術の採用とn^+バッファ層の最適設計により、低$V_{CE(sat)}$でかつ高速スイッチング性能備えたパンチスルー型のIGBTを実現しました。

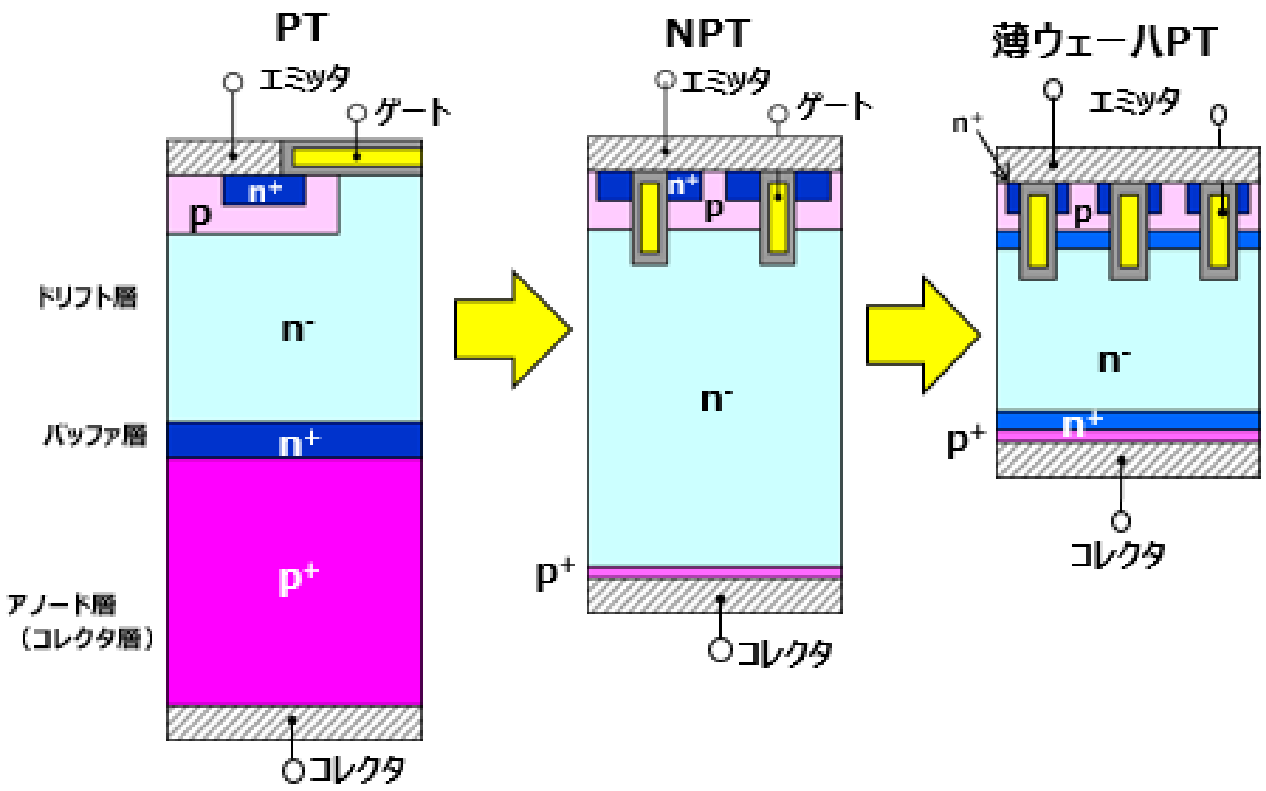


図 2.3 縦方向デザインによる IGBT 分類

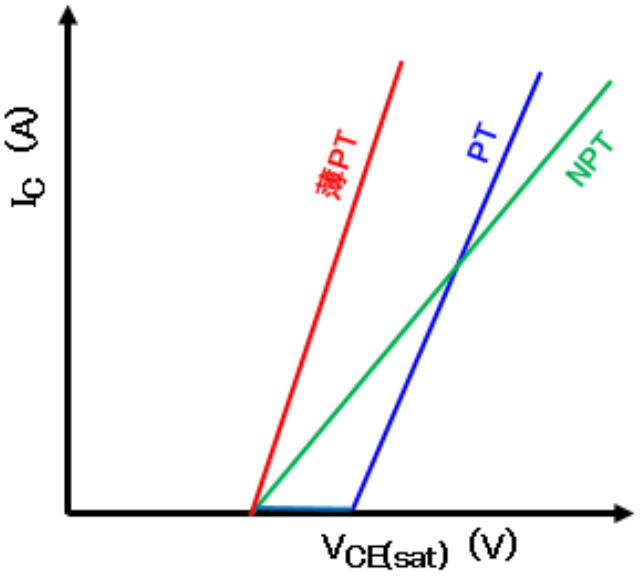


図 2.4 デザイン別 I_C-$V_{CE(sat)}$特性比較イメージ

2.2.4. RC-IGBT

逆導通 IGBT(RC-IGBT: Reverse-conducting IGBT)は IGBT チップのコレクタである p^+層に n^+層による開口部を設けダイオードを構成した IGBT です。IGBT は逆並列にフリーホイーリングダイオード(FWD)を挿入して使用するケースが多く RC-IGBT は IGBT とダイオードをシングルチップ化しています。

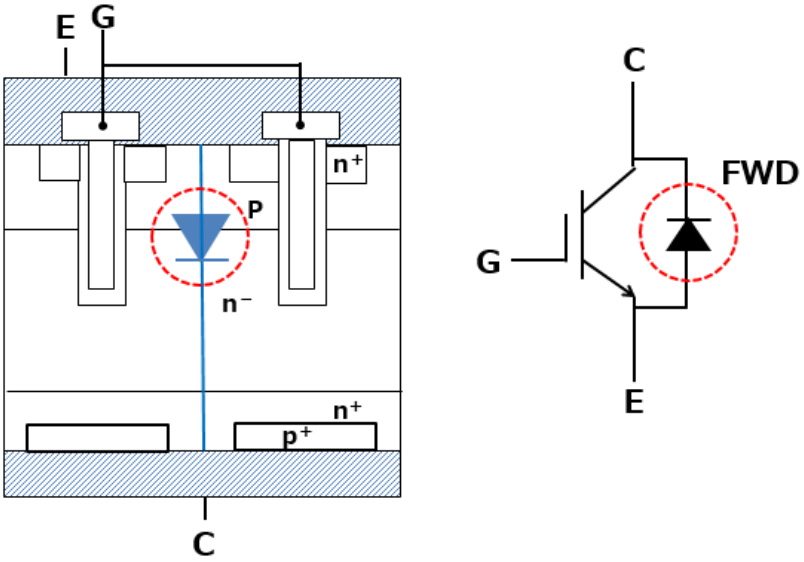


図 2.5 RC-IGBT 構造

3. ディスクリート IGBT の定格

3.1. 最大定格の意義

IGBT に流し得る電流や、印加可能な電圧、電力損失などの最大許容値は、最大定格値として定められています。

半導体回路を設計する上で、最大定格を良く認識することは、素子を動作させる上からも、目標とする稼動時間内で十分高い信頼度で動作させる上からも、非常に大切なことです。

半導体製品の特徴の 1 つとして、電気的特性が温度に対して非常に敏感なことが、最大定格を規定する大きな要因となっています。例えば、IGBT に一定電圧が印加された状態で周囲温度が高くなった場合には、素子の導電率が高くなり漏れ電流が増加します。この漏れ電流によりさらに素子の温度が上昇するという正帰還ループに突入し、ついには素子が破壊に至ることがあります。

最大定格値は、素子の寿命と信頼度のために決して超えてはならない値であり、これらの値は構成している材料や設計、製造条件によって制約され、それぞれの素子によって値が異なり、絶対最大定格という考え方を採用しています。

絶対最大定格とは、動作中に瞬時といえども定格値を超えてはならないとするものです。また、2 項目以上の規格値を同時に適応できません。言い換えれば各項目の規格値は、他項目の影響がない条件下で規定したものです。例えば同時に電圧と電流が印加されているとき、電圧、電流ともに最大定格以内であるから問題ないとは言えません。

最大定格を超えて使用した場合、特性は回復しない場合もあり、回路設計においては電源電圧の変動、回路部品の特性のばらつき、回路調整時の最大定格オーバ、周囲温度の変化、入力信号の変動などに注意し、最大定格の 1 つでも超えてはなりません。

最大定格値として定められるべき主な項目は、IGBT のゲート、コレクタ、エミッタの端子電流、各端子間電圧、コレクタ損失、接合温度、保存温度などです。これらの特性は相互に密接な関係があるため個々別々に考えることはできず、また、外部の回路条件によっても異なる場合があります。

© 2018-2022
Toshiba Electronic Devices & Storage Corporation

3.2. 絶対最大定格の項目と定義

特に指定のない限り、Ta=25℃の条件です。
製品の種類によって記載項目が若干違います。詳細は個別のデータシートを確認する必要があります。

表 3.1 絶対最大定格

項目	記号	定義および内容 (保証値は各製品の個別技術資料をご参照ください)
コレクタ・エミッタ間電圧	V_{CES}	ゲート・エミッタ間ゼロバイアス時（ゲート・エミッタ間を短絡した状態）コレクタ・エミッタ間に印加可能な最大電圧
ゲート・エミッタ間電圧	V_{GES}	コレクタ・エミッタ間ゼロバイアス時（コレクタ・エミッタ間を短絡した状態）でゲート・エミッタ間に印加可能な最大電圧
コレクタ電流(DC)	I_C	コレクタ電流に許容される最大直流電流
コレクタ電流(パルス/1ms)	I_{CP}	コレクタ電流に許容される最大パルス電流
ダイオード順電流 (注 4)	I_F	フリーホイーリングダイオードに許容される最大直流電流
ダイオード順電流(パルス/100μs) (注 4)	I_{FP}	フリーホイーリングダイオードに許容される最大パルス電流
短絡許容時間 (注 5)	t_{sc}	指定の条件下で素子を短絡動作させて再びオフ状態に戻ることができる最大の許容時間
コレクタ損失（T_C =25℃)	P_C	コレクタ、エミッタ間で発生する電力損失で許容される最大値
接合温度	T_j	IGBT を使用することが可能な接合温度の最大値
保存温度	T_{stg}	電流および電圧を印加しない状態で保存できる温度範囲
締め付けトルク	TOR	素子を冷却用筐体に指定のネジで取り付ける際のネジに加える事ができる最大トルク値。

注 4. フリーホイーリングダイオード（Free-wheeling Diode、FWD とも言う）を内蔵している IGBT 製品に適応する定格です

注 5. 短絡モードが考えられる用途に使用される可能性の高い製品に適応しています。

3.3. 熱抵抗特性

表 3.2 熱抵抗特性

項目	記号	定義および内容 (保証値は各製品の個別技術資料をご参照ください)
接合・ケース間熱抵抗 (注 6)	$R_{th(j-c)}$	素子の接合（ジャンクション）からケースまでの熱抵抗

注 6. ダイオードの熱抵抗はダイオードを内蔵する製品について記載しております。

熱抵抗とは、温度の伝えにくさを表す値で、単位時間当たりの電力損失に対する温度上昇値を意味します。記号は、R_{th} やθをよく用い、単位は ℃/W で表します。

図 3.1 に接合・ケース間の過渡熱抵抗 $r_{th(j-c)}$ (注 7) のグラフを示します。時間と関係なく一定となる値が(飽和)熱抵抗 R_{th} として示されます。（()内の記号は、その値を定義する場所を表し、"(j-c)"は"接合―ケース間"を示します。）

単発パルス印加時における過渡熱抵抗と温度上昇の関係は、次式で表すことができます。

$$\Delta T_j = r_{th(j-c)}(t) \times P_C$$

ΔT_j： 素子上昇温度、 P_C：印加パワー、 $r_{th(j-c)}(t)$：パワーの印加時間 t における過渡熱抵抗値

注 7. 過渡熱抵抗 $r_{th(j-c)}$

矩形波パルスの時間における単位時間あたりの電力損失に対する温度上昇値です。過渡熱インピーダンス Z_{th} とも呼ばれます。

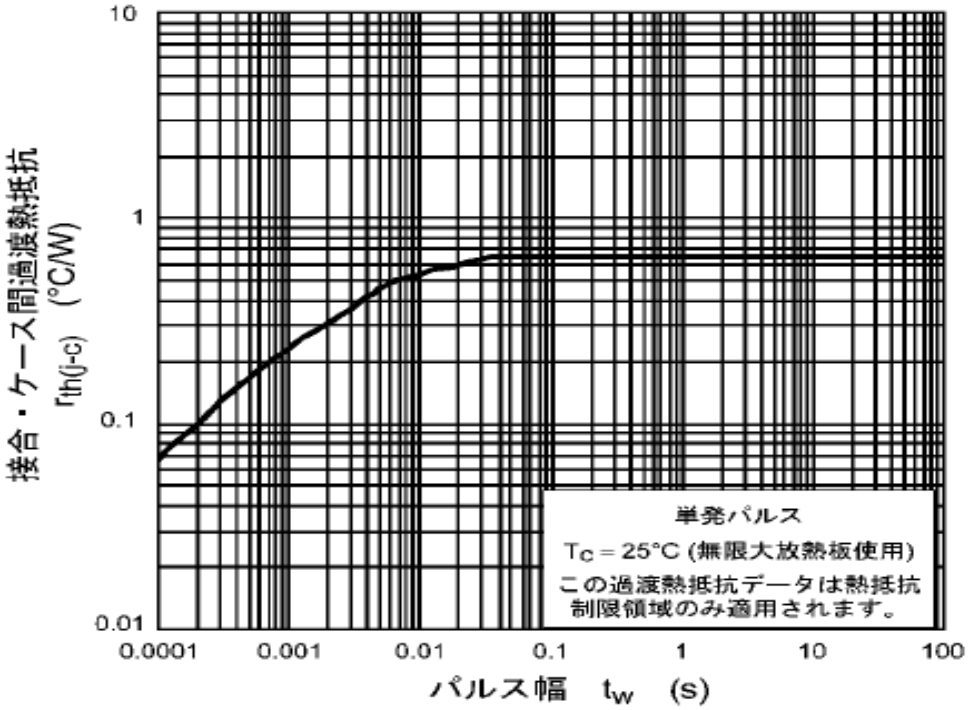


図 3.1 過渡熱抵抗特性

3.4. 電気的特性

3.4.1. 静的特性

特に指定のない限り、T_a=25℃の条件です。
製品によって測定条件が異なりますので詳細は個別のデータシートを確認ください。

表 3.3 静的特性

項目	記号	定義および内容 (保証値は各製品の個別技術資料をご参照ください)
ゲート漏れ電流	I_{GES}	コレクタとエミッタの電極を短絡し、ゲート・エミッタ間に指定の電圧を印加した際に流れるゲート電流値
コレクタ遮断電流	I_{CES}	ゲートとエミッタの電極を短絡し、コレクタ・エミッタ間に指定の電圧を印加した際に流れるコレクタ電流値
ゲート・エミッタ間しゃ断電圧	$V_{GE(OFF)}$	指定のコレクタ・エミッタ間電圧を印加し、指定のコレクタ電流を流すためのゲート・エミッタ間印加電圧
コレクタ・エミッタ間飽和電圧	$V_{CE(sat)}$	ゲート・エミッタ間に指定の電圧を印加しコレクタに指定の電流を流した際のコレクターエミッタ間の電圧値
ダイオード順電圧 (注 8)	V_F	IGBT のフリーホイーリングダイオードに指定の順電流を流した際のエミッタ・コレクタ間の電圧値

注 8. フリーホイーリングダイオード（FWD）を内蔵している IGBT 製品に適応する特性です。

3.4.2. 動的特性

特に指定のない限り、T_a=25℃の条件です。
製品によって測定条件が異なりますので詳細は個別のデータシートをご確認ください。

表 3.4 動的特性

項目		記号	定義および内容 (保証値は各製品の個別技術資料をご参照ください)
入力容量		C_{ies}	指定のゲート・エミッタ間電圧、指定のコレクタ・エミッタ間電圧および周波数におけるゲート・エミッタ間の静電容量値
スイッチング時間 (注 9)	ターンオン遅延時間	$t_{d(on)}$	ターンオンする際にゲート電圧の設定値の 10%時点からコレクタ電流が設定値の 10%になるまでの時間（インダクタンス負荷）
	上昇時間	t_r	ターンオンする際にコレクタ電流が設定値の 10%から 90%になるまでの時間
	ターンオン時間	t_{on}	ターンオンする際にゲート電圧の設定値の 10%時点からコレクタ電流が設定値の 90%（抵抗負荷）またはドレイン・ソース電圧の 10%（インダクタンス負荷）になるまでの時間
	ターンオフ遅延時間	$t_{d(off)}$	ターンオフする際にゲート電圧が設定最大値の 90%時点から、ドレイン・ソース間電圧が 10%になるまでの時間
	下降時間	t_f	ターンオフする際にコレクタ電流が設定値の 90%時点から 10%になるまでの時間
	ターンオフ時間	t_{off}	ターンオフする際にゲート電圧が設定最大値の 90%時点から、コレクタ電流が設定値の 10%になるまでの時間
スイッチング損失 （ターンオン損失）		E_{on}	ターンオン開始からコレクタ・エミッタ間電圧が指定された値に達するまでの間に発生する損失エネルギー
スイッチング損失 （ターンオフ損失）		E_{off}	ターンオフ開始からコレクタ・エミッタ間電圧が指定された値に達するまでの間に発生する損失エネルギー
逆回復時間 (注 10)		t_{rr}	コレクタ・エミッタ間に逆並列に接続されたフリーホイーリングダイオードの規定の条件における逆回復電流が流れる期間の時間です。

注 9. 製品の推奨用途によって抵抗負荷またはインダクタンス負荷で規定しています。抵抗負荷、インダクタンス負荷では規定項目、規定内容も若干違いがありますので製品個別のデータシートを確認ください。

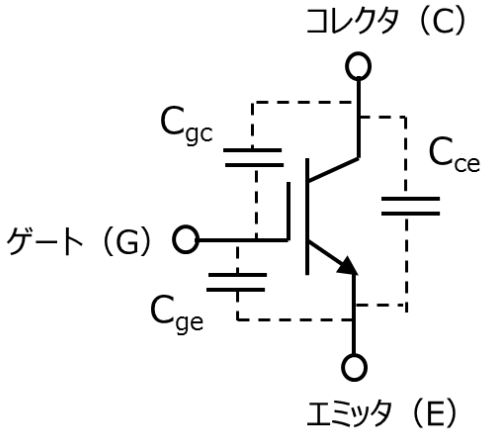
注 10. フリーホイーリングダイオード（FWD）を内蔵している IGBT 製品に適応する規格です。

（1）容量特性

IGBT は、ゲートがシリコン酸化膜で絶縁されている構造であるため、コレクタ、ゲート、エミッタの各端子間には、図 3.2 に示すような寄生静電容量が存在します。

ゲート･コレクタ間の寄生容量 C_{gc} とゲート･エミッタ間の寄生容量 C_{ge} は主にゲート電極の構造から決定し、コレクタ･エミッタ間は縦方向構造に基づく pn 接合容量により寄生容量 C_{ce} が決定されます。

入力容量 $C_{ies}=C_{gc}+C_{ge}$、はスイッチング特性およびドライブ回路設計に重要な項目です。ドライブ回路はこの入力容量を充放電するだけの能力が必要であり、充放電時間がスイッチング特性に大きく影響します。



入力容量 $C_{ies} = C_{gc} + C_{ge}$

出力容量 $C_{oes} = C_{ce} + C_{gc}$

帰還容量 $C_{res} = C_{gc}$

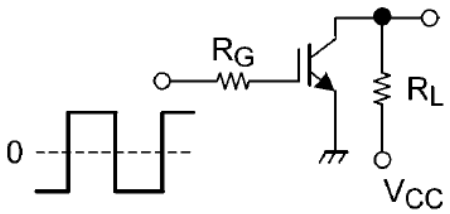
図 3.2 IGBT の寄生容量

（2）スイッチング時間

【抵抗負荷】

図 3.3 に抵抗負荷におけるスイッチング測定回路と測定波形および測定項目を示します。

抵抗負荷スイッチング時間測定回路



抵抗負荷スイッチング時間タイミングチャート

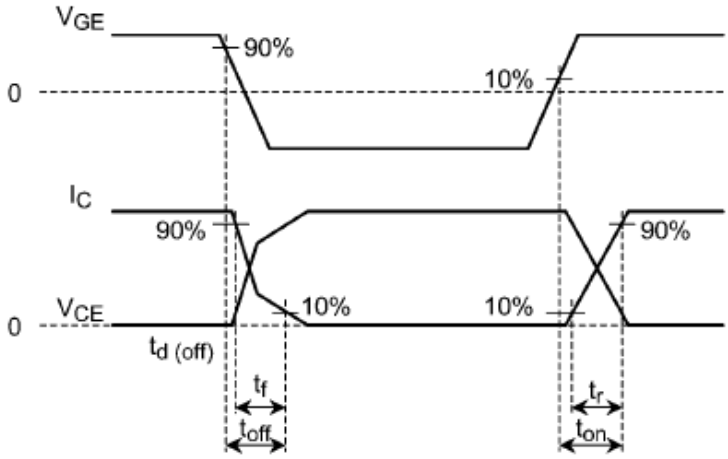


図 3.3 抵抗負荷スイッチング測定回路および波形

【インダクタンス負荷】

図 3.4 にインダクタンス負荷におけるスイッチング測定回路および測定波形を示します。インダクタンス負荷の測定においてはインダクタンスのエネルギー環流用ダイオードがインダクタンス負荷に並列に接続されるためターンオン時の I_C 波形にはダイオードの逆回復電流が含まれた波形になります。

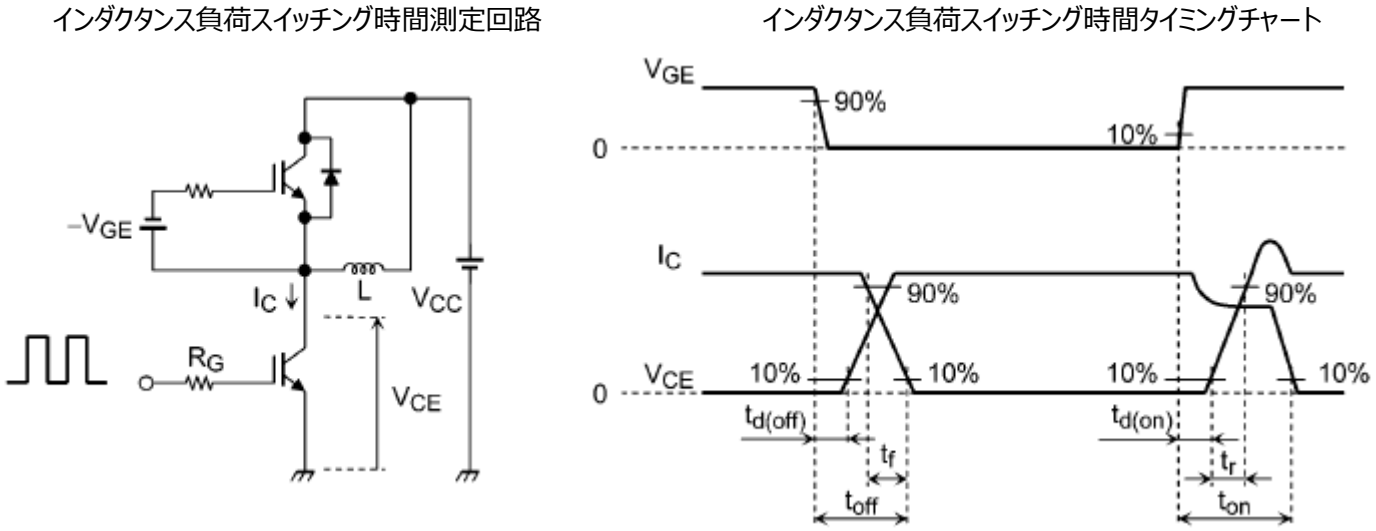


図 3.4 インダクタンス負荷スイッチング測定回路および波形

（3）スイッチング損失

スイッチング損失が重要となる用途（モータドライブ用）の製品についてはインダクタンス負荷におけるスイッチング損失を示しております。図 3.5 にスイッチング損失測定ポイントを示します。

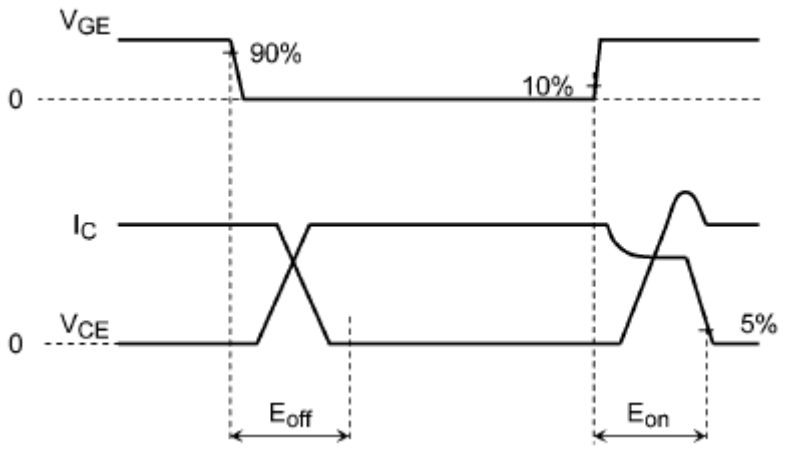


図 3.5 インダクタンス負荷におけるスイッチング損失規格

4. 特性カーブ

4.1. 静特性

図4.1はゲート電圧条件ごとの、コレクタ電流に対するコレクタ・エミッタ間電圧との関係を示しています。言い換えればあるゲート電圧において流し得るコレクタ電流の能力を示したものです。コレクタ電流通電状態での損失はコレクタ電流とコレクタ・エミッタ間電圧で決まり、回路設計上で非常に重要になります。また本特性は温度により変化しますので注意が必要です。

ゲート・エミッタ電圧V_{GE}が大きいと$V_{CE(sat)}$ は小さくなります。IGBTをスイッチング用として使用する場合、できる限り$V_{CE(sat)}$電圧を小さくするためにV_{GE}=15V前後で使用します。

特性カーブにおいてV_{CE}=0.7V 近辺から電流が立ち上がっていますが、これはIGBT等価回路におけるコレクタ・エミッタ間のPNPトランジスタのベース・エミッタ間電圧V_{BE}分（pn接合の順方向電圧分）がI_C-V_{CE}カーブ特性に現れているものです。

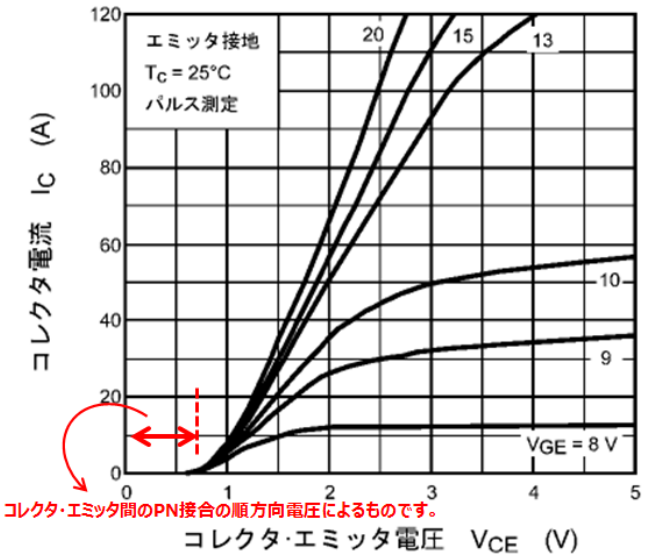


図 4.1 IGBT の V_{CE}-I_C 特性

4.2. 安全動作領域

4.2.1. 安全動作領域の概念

IGBTを破壊や劣化させることなくパルス幅および温度をパラメータに安全に使用できる電流、電圧の領域を記載したのが安全動作領域(Safe Operating Area、以下SOAと略す)です。

IGBTの使用範囲は、最大電圧、最大電流、最大コレクタ損失などの絶対最大定格で制約されますが、IGBTをスイッチング動作で使用する場合、最大定格以下で使用していても、特性の劣化や、破壊を起こすことがあります。ターンオンおよびターンオフの動作軌跡がSOA内に入るように設計する必要があります。

なお、安全動作領域は順バイアス安全動作領域（安全動作領域）と逆バイアス安全動作領域があります。製品のデザインによって制限される領域が異なりますので個別のデータシートを確認することが必要です。

4.2.2. 順バイアス安全動作領域

安全動作領域は、最大電圧、最大電流、最大コレクタ損失などの絶対最大定格および2次降伏(Secondary Breakdown S/B)現象に起因する領域で制約されます。

IGBT回路の設計においては、SOAの概念を十分に理解した上で行わなければなりません。

安全動作領域の4つの区分につきまして図4.2に示します。

①最大定格のコレクタ電流で制限される領域

②コレクタ損失で制限される領域（熱領域）

③二次降伏（S/B）領域

④最大定格のコレクタ・エミッタ間電圧で制限される領域

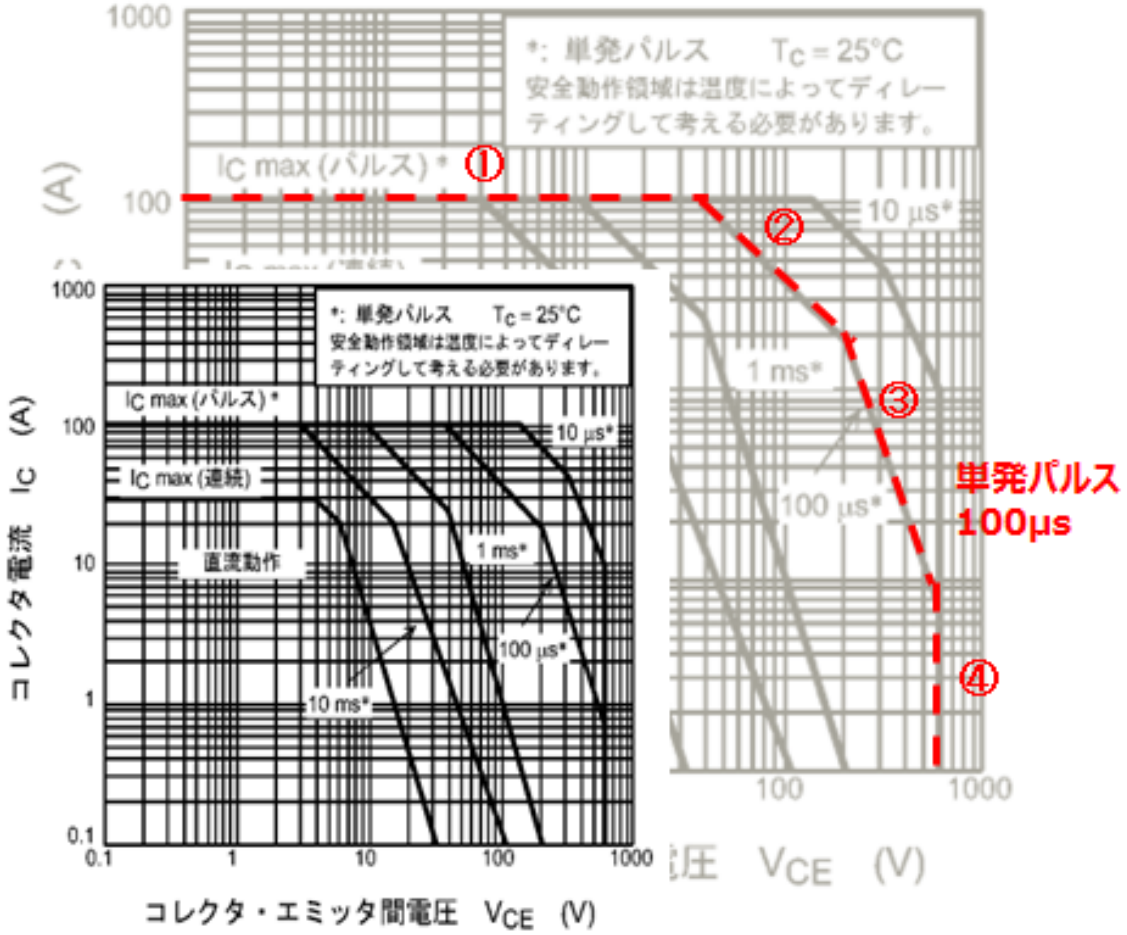


図 4.2 安全動作領域

4.2.3. 二次降伏（S/B）について

IGBT の S/B は、$V_{GE(OFF)}$電圧が、負の温度特性を持っていることにより発生します。IGBT は、特性が進化していく過程で微細化が進み、二次降伏（S/B）現象が呈しやすくなりました。

S/Bというのは、本来バイポーラトランジスタにおいて高電圧・大電流動作することで負性抵抗（電流集中）が発生することを呼んでいます。電流集中による局部的な発熱によりホットスポットができ、その部分のインピーダンスが低下することでさらなる電流増加・集中を招くものです。このようなサイクルを熱暴走と呼び、劣化・破壊を招きます。そう言う意味ではIGBTのSOAにおける二次降伏も同様と言えます。しかし、IGBTのS/Bは内部構造上のバイポーラトランジスタ動作によるもので決まっているわけではありません。そういった点ではS/Bと呼ぶべきではないのかもしれませんが、バイポーラトランジスタで呼んでいた経緯で二次降伏（S/B）と呼んでいるので、ここでもS/Bと呼ぶことにします。

4.2.4. 二次降伏（S/B）のメカニズム

S/B のメカニズムとして以下のようなことが考えられます。

IGBT はゲートに電圧を正バイアスするとゲート絶縁膜との界面に電荷が誘起されます。（反転チャネルが形成）反転チャネルが形成されるとIGBTのコレクタ・エミッタ間に電流が流れ始め、このときのゲート電圧が$V_{GE(OFF)}$です。 IGBTはゲート絶縁膜との界面に誘起される電荷量の変化によりコレクタ電流を制御しています。

$V_{GE(OFF)}$は高温になるほど電荷が発生しやすくなるため下がります。

チャネル抵抗はゲート電圧V_{GE}と$V_{GE(OFF)}$の差(V_{GE}-$V_{GE(OFF)}$)に反比例します。（(V_{GE}-$V_{GE(OFF)}$)が大きいほどゲートに多くの電荷が発生し、密度が高くなるのでチャネル抵抗は下がります。）

高温になるほど電荷が発生しやすく、$V_{GE(OFF)}$は下がるため、(V_{GE}-$V_{GE(OFF)}$)が大きくなることでチャネル抵抗は下がります。

上記内容を踏まえて二次降伏（S/B）のメカニズムを説明します。

① IGBTの温度が上がるとゲート・エミッタ間しゃ断電圧$V_{GE(OFF)}$が下がり、チャネル抵抗が下がります。
② 抵抗がより下がったチャネルに電流が集中し、さらに温度が上がって、ゲート・エミッタ間しゃ断電圧$V_{GE(OFF)}$が下がります。
③ これによりさらに電流が集中するという正帰還によって、素子が破壊に至ります。

このようなことから、温度上昇に対するチャネル抵抗の変化によりSOAのS/Bラインが決まっています。熱制限領域(図4.2の領域②)と温度による正帰還で加速されるS/B領域(図4.2の領域③)では傾きが異なります。

4.2.5. 逆バイアス安全動作領域

IGBTを安全にしゃ断（ターンオフ）できる電流と電圧の領域を示したものです。IGBTがオン状態からオフする過程で回路のインダクタンスによりIGBTにサージ電圧が発生します。ターンオフのしゃ断電流とその際に発生するサージ電圧の動作軌跡がRBSOA領域内に入るように設計（回路のインダクタンスの低減やサージ吸収回路の追加やターンオフ速度の緩和など）する必要があります。

図4.3に逆バイアス安全動作領域（以下RBSOAとします)をしめします。制限領域は下記で示されます。

①最大定格のコレクタ電流(1ms)I_{CP}により制限される領域です。

②素子固有の特性で制限されます。特性は素子のデザインなどで決まります。

③最大定格のコレクタ・エミッタ間電圧V_{CES}により制限される領域です。

モータドライブ用途を目的としている製品においてはRBSOAの広い製品が適しています。(図4.4)

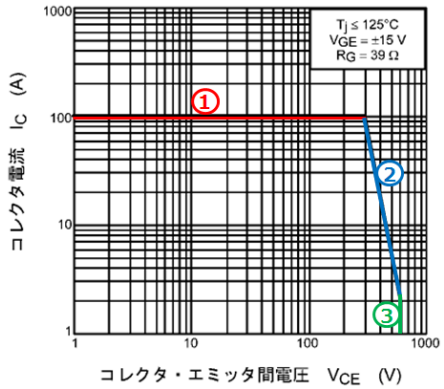


図 4.3 逆バイアス安全動作領域

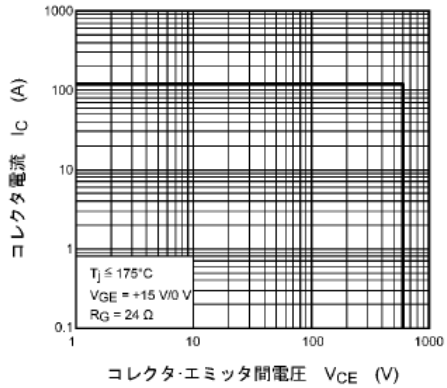


図 4.4 逆バイアス安全動作領域

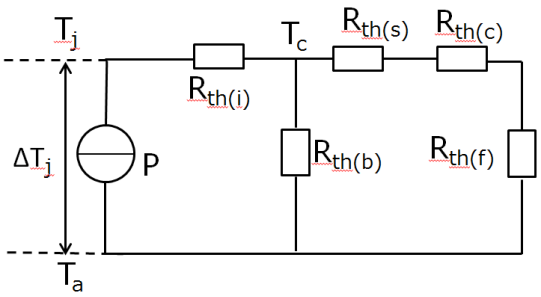
5. 応用

5.1. 放熱設計

5.1.1. 定常状態における熱

IGBT の許容損失は、IGBT が使用される周囲温度 T_a と IGBT の最大接合温度 T_{jmax}、および放熱条件によって決まります。

IGBT の接合部において発生する熱が外部へ伝導される経路は、熱エネルギーの移動を電流と同様に考えて電気回路に置き替えると熱抵抗（補足 1.熱抵抗　参照）と熱容量から表されます。熱的安定状態では、図 5.1 の放熱等価回路で表されます。



$R_{th(i)}$： 内部熱抵抗（接合部から外囲器まで、$R_{th(j-c)}$ ）
$R_{th(b)}$: 外部熱抵抗（外囲器から雰囲気まで）
$R_{th(s)}$: 絶縁板熱抵抗
$R_{th(c)}$: 接触熱抵抗（放熱器の接触部での）
$R_{th(f)}$: 放熱器熱抵抗（放熱器の雰囲気に対する）

図 5.1 放熱等価回路

接合部から雰囲気までの全熱抵抗 $R_{th(j-a)}$は、図 5.1 の等価回路から式(1)で表されます。

$$R_{th(j-a)} = R_{th(i)} + \frac{R_{th(b)}\left(R_{th(s)} + R_{th(c)} + R_{th(f)}\right)}{R_{th(b)} + R_{th(s)} + R_{th(c)} + R_{th(f)}} \quad \cdots\cdots \text{式(1)}$$

放熱器を用いない場合の $R_{th(j-a)}$は式(2)で表されます。

$$R_{th(j-a)} = R_{th(i)} + R_{th(b)} \quad \cdots\cdots \text{式(2)}$$

図 5.1 の回路において IGBT の $R_{th(b)}$は $R_{th(i)}$、$R_{th(c)}$、$R_{th(s)}$、$R_{th(f)}$に比べ非常に大きいため式(1)を簡略化すると、式(3)のように表すことができます。

$$R_{th(j-a)} = R_{th(i)} + R_{th(S)} + R_{th(C)} + R_{th(f)} \quad \cdots\cdots \text{式(3)}$$

したがって、接合部で P_C(W)の熱エネルギーが発生すると接合温度 T_j は式(4)で表されます。

$$T_j = P_c\left(R_{th(i)} + R_{th(S)} + R_{th(C)} + R_{th(f)}\right) + T_a \quad \cdots\cdots \text{式(4)}$$

また、T_a=25℃のとき図 5.1 の等価回路において IGBT のコレクタ損失 P_c は式(5)で表されます。

$$P_{Cmax(Ta=25°C)} = \frac{T_{j\,max} - T_{a(Ta=25°C)}}{R_{th(j-a)}} \quad \cdots\cdots \text{式(5)}$$

IGBT のデータシートのコレクタ損失 P_c（最大定格）は条件として T_c=25℃（無限大放熱器使用、T_c=T_a）で、熱抵抗は IGBT の接合部とケース間の熱抵抗 $R_{th(j-c)}$**(注 11)**で規定されています。

$$P_{Cmax(Tc=25°C)} = \frac{T_{j\,max} - T_{c(Tc=25°C)}}{R_{th(j-c)}} \quad \cdots\cdots \text{式(6)}$$

注 11. $R_{th(j-c)}$は図 5.1 における $R_{th(i)}$です。

5.1.2. 過渡状態における熱

トランジスタの熱抵抗は、図 5.2 のような分布定数回路で求められます。

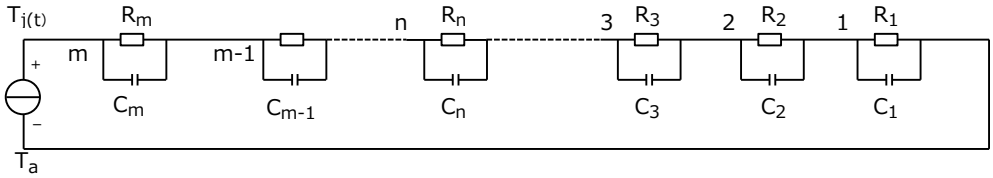


図 5.2 過渡熱抵抗回路

図 5.2 の回路に、図 5.3 に示すようなパルス状の損失 $P_{j(t)}$が印加された場合、熱的安定状態における m 番目の CR 並列回路に現れる温度変化 $T_{j(t)}$は次式で求められます。

1) $P_{j(t)}=P_0$ の領域では、

$$T_{j(t)} = \sum_{n-1}^{m}\{(P_0 R_n) - T_{n(min)}\}\left\{1 - e^{\left(\frac{-t}{C_n R_n}\right)}\right\} + T_{n(min)}$$

2) $P_{j(t)}=0$ の領域では、

$$T_{j(t)} = \sum_{n-1}^{m}\left\{T_{n(min)}\, e^{\left(\frac{-t}{C_n R_n}\right)}\right\}$$

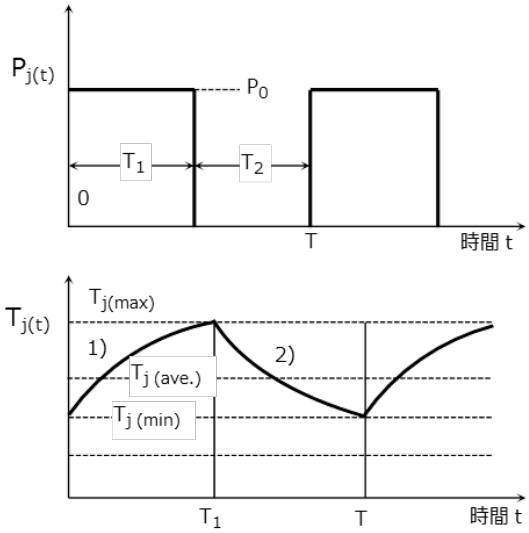


図 5.3 印加パルスと温度変化

通常のトランジスタでは n=4 程度を考えることにより、ほぼ実際の値に近似することが可能ですが、C、R の値が明確でない場合は T_j の値を算出することは困難です。そのため、一般的には次のように過渡熱抵抗を用いて T_{jpeak} を算出します。

図 5.4 は過渡熱抵抗の代表特性です。単発方形波パルス(パルス幅 t、尖頭値 P_0)が印加された場　合、パルス幅 t に対する過渡熱抵抗 $r_{th(t)}$を使用することにより T_{jpeak} は式(7)で与えられます。

$$T_{j\,peak} = r_{th(t)} P_O + T_a \quad \cdots\cdots \text{式(7)}$$

図 5.3 のような周期 T の連続パルスの損失が印加された場合には、以下にしめす重ね合わせの理を用いて求めた式(8)から T_{jpeak} を算出します。

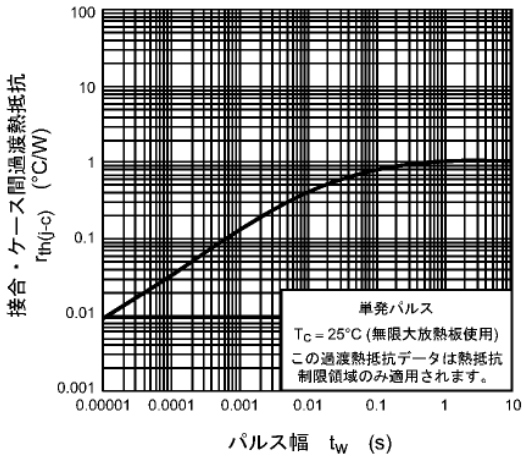


図 5.4 過渡熱抵抗

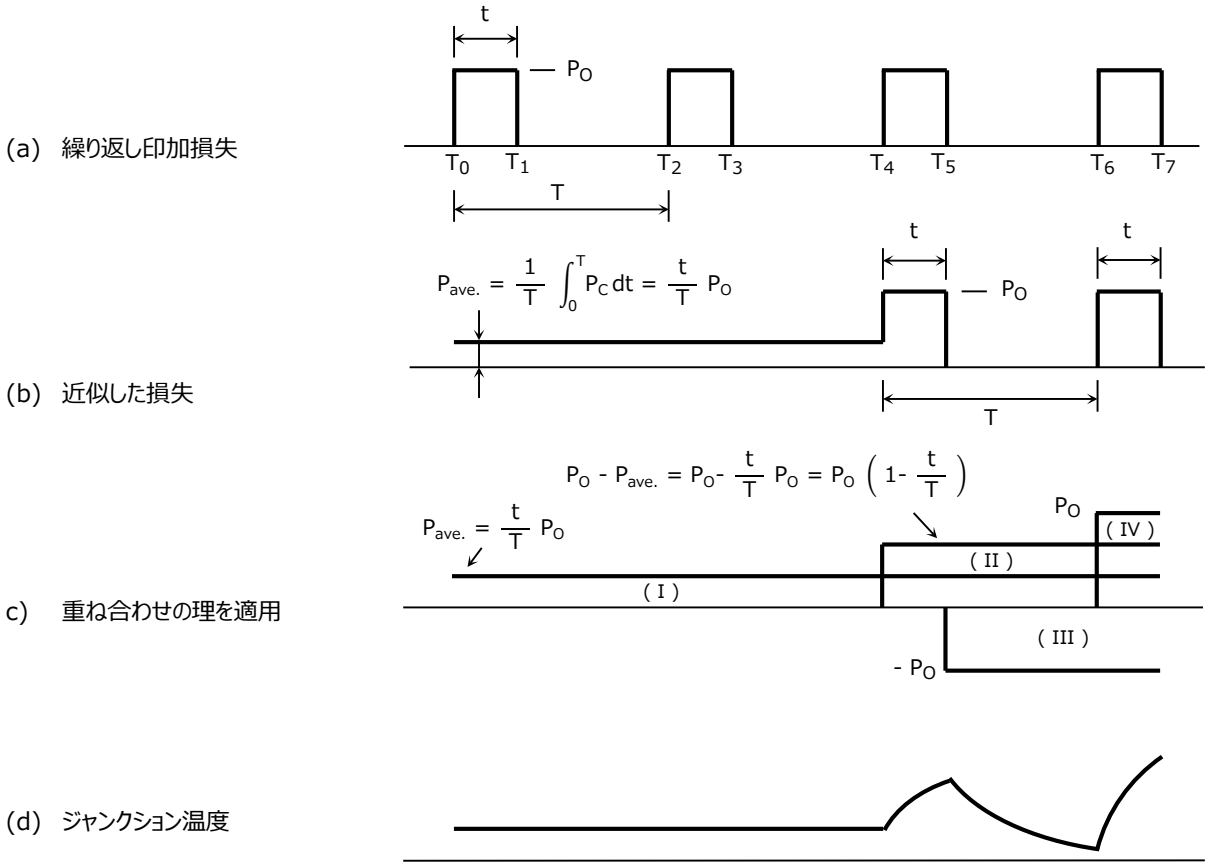


図 5.5 重ね合わせの理を用いたジャンクション温度ジャンクション温度の計算(仮題)

$$\Delta T_{j(I)} = P_O \frac{t}{T} R_{th(j-a)}$$

$$\Delta T_{j(II)} = P_O \left(1 - \frac{t}{T}\right) r_{th(T+t)}$$

$$\Delta T_{j(III)} = -P_O r_{th(T)}$$

$$\Delta T_{j(IV)} = P_O r_{th(t)}$$

$$T_{j\,peak} = P_O \left[\frac{t}{T} R_{th(j-a)} + \left(1 - \frac{t}{T}\right) r_{th(T+t)} - r_{th(T)} + r_{th(t)} \right] + T_a$$

…… 式(8)

式(8)は、S/B による電流集中が生じない熱制限領域でのみ適用できるものです。パルス的な電力が印加される回路の放熱設計においては、式(8)の T_{jpeak} がトランジスタの接合温度最大定格を超えないよう十分に注意が必要です。

今までの説明では、方形波を扱いましたが、実際にトランジスタを機器に応用する場合、$P_{j(t)}$が方形波であることはまれです。そのような場合は、損失波形を図 5.5 のように方形波に近似し、式(8)により T_{jpeak} を算出することができます。

方形波への近似方法として、損失波形が正弦波や三角波の場合には、図 5.6 のようにして近似することができます。図 5.6 で(a)、(b)は波高値 P_P を 0.7 倍し、パルス幅をそれぞれ 0.91 倍、0.71 倍します。

また、(c)、(d)の場合では波高値は同一としてパルス幅を 0.63 倍、0.5 倍でとすることで、ほぼ同等の面積に近似することができます。

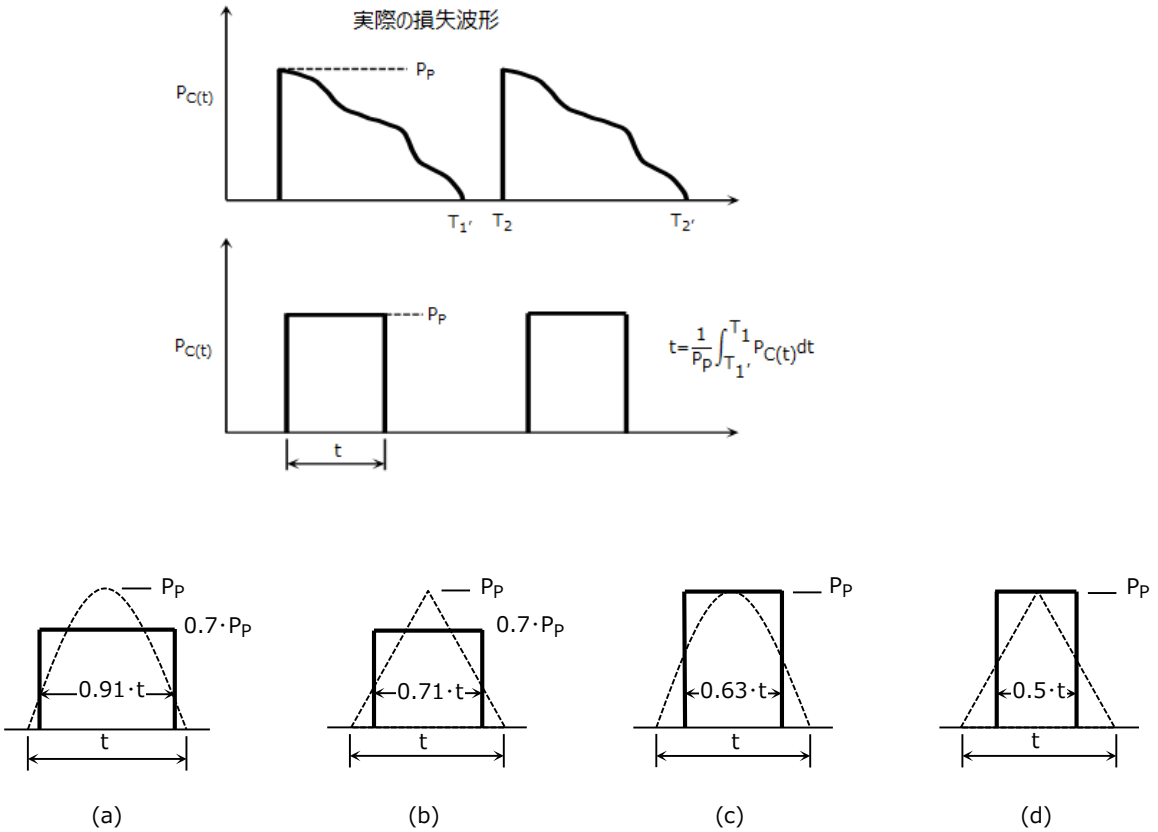


図 5.6 正弦波、三角波損失波形の矩形波への近似方法

5.2. IGBT の損失

IGBTの損失としては、大きく導通損失とスイッチング損失があります。IGBTのオン状態時に生じる損失を導通損失、IGBTがオンおよびオフするスイッチング時に生じる損失をスイッチング損失と言います。ダイオードを内蔵しているIGBTにおいては使用回路動作によってダイオードも損失を生じます。

図5.7にIGBTのスイッチング波形および損失発生タイミングのイメージを示します。

損失はIGBTの発熱につながりますので十分考慮する必要があります。

5.2.1. 導通損失

導通損失P_{cond}(W)は導通時のコレクタ電流I_Cと通電しているときのコレクタ・エミッタ飽和電圧$V_{CE(sat)}$の積算で決まります。

$$P_{cond} = V_{CE(sat)} \times I_C$$

導通損失は必要とされる電流に対して$V_{CE(sat)}$の低い製品を選択することで削減できます。

IGBTをオン、オフ繰り返し使用する場合は、ディューティサイクルを掛けることで導通損失が算出されます。

5.2.2. スイッチング損失

スイッチング損失はスイッチング時間から近似計算できますが、正確には使用条件にあったスイッチング損失を測定する必要があります。

IGBTのスイッチング時間はコレクタ電流やゲート抵抗および温度の影響を受けるため、同様にスイッチング損失もその影響を受けます。ターンオン損失エネルギーE_{on} およびターンオフ損失エネルギーE_{off}はスイッチング時のコレクタ電流I_Cとコレクタ・エミッタ間電圧V_{CE}の積の積分で算出されます。スイッチング損失が重要となる用途の製品においてはE_{on} およびE_{off}データをデータシートに記載しております。（図5.8）

IGBTをオン、オフ繰り返し使用する場合のスイッチング損失(W)は、E_{on}(mJ) およびE_{off}(mJ)にスイッチング周波数を掛けることでP_{on} およびP_{off}として算出されます。

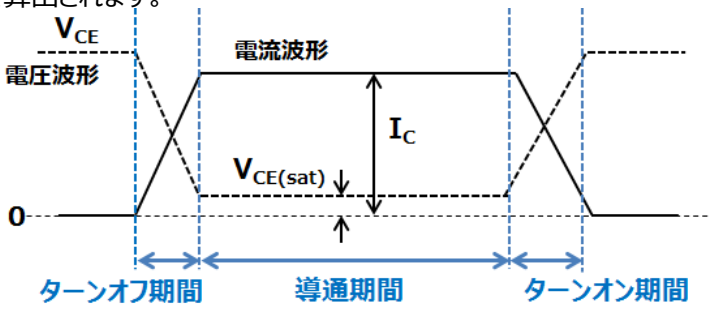


図 5.7 スイッチング波形イメージ

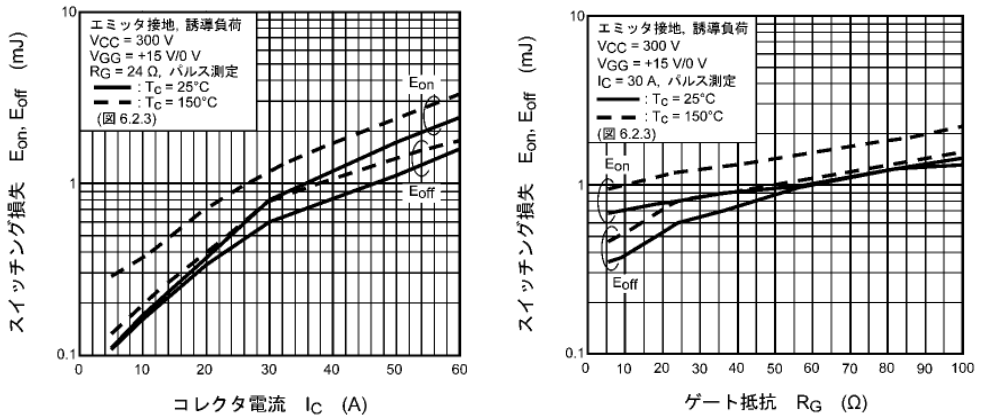


図 5.8 スイッチング損失依存

5.3. ゲート駆動

5.3.1. ゲート電圧

推奨のゲート順バイアスは＋15V です。IGBT 動作のノイズマージンを向上するためにゲート逆バイアス事例も有ります。

ゲート順バイアスが低いと必要な電流を流すことができない、コレクタ・エミッタ飽和電圧 $V_{CE(sat)}$が悪化し損失が増えるなどの問題を生じます。

図 5.9 に IGBT の I_C-V_{CE} 特性を示します。推奨のゲート順バイアスは＋15V では十分なコレクタ電流 IC を流すことが可能であり、コレクタ・エミッタ飽和電圧 $V_{CE(sat)}$も低く抑えることができます。

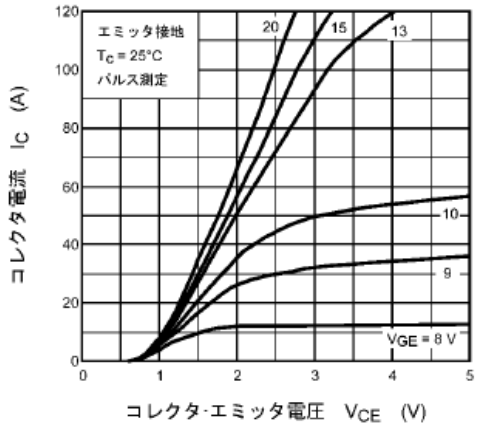


図 5.9 I_C-V_{CE} 特性

5.3.2. ゲート抵抗

IGBT のゲートチャージ電流はゲート抵抗の制約を受けます。ゲート抵抗を小さくするとゲートチャージ電流が増え、ゲートのチャージ時間が短くなります。よってスイッチング時間は速くなり、スイッチング損失も小さくなります。ただし、ゲート配線にインダクタンスがあるとゲートの振動やノイズの原因になる可能性もあります。またモータ負荷などの使用ではターンオン時の di/dt やターンオフ時のサージ電圧が問題になることがあり、適切なゲート抵抗を選択する必要があります。図 5.10 にスイッチング時間の R_G 依存例を示します・

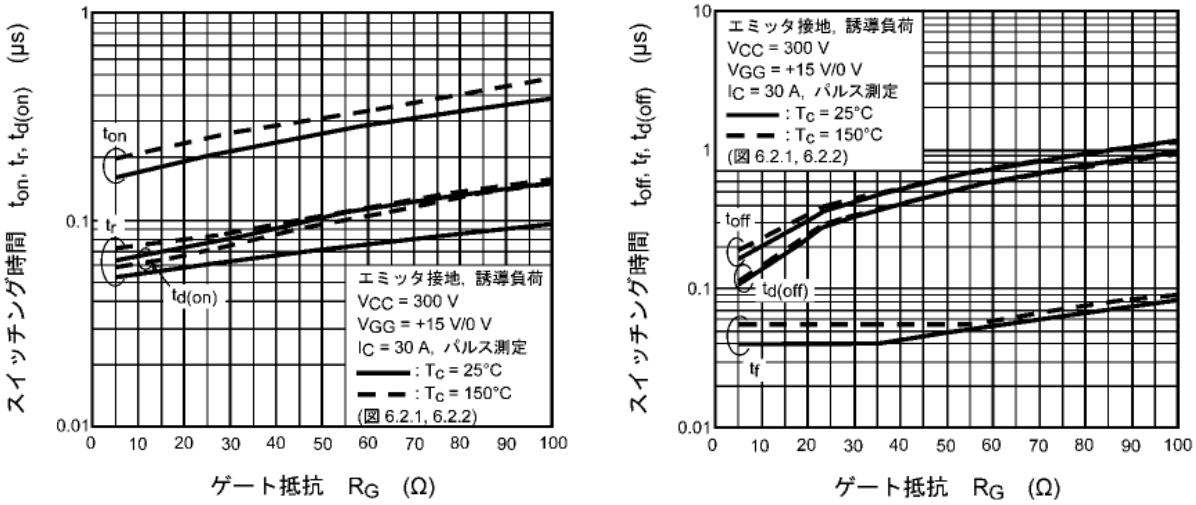


図 5.10 スイッチング時間の R_G 依存

5.3.3. デッドタイム

モータ駆動用などのインバータ回路を構成する場合、上下アームの短絡を防止するために、デッドタイムを設ける必要があります。デッドタイムとは上下アームの IGBT のスイッチングが切り替わるタイミングにおいて両方の IGBT のゲートにオフ信号が出力している期間です。

5.3.4. ゲート駆動電流

駆動回路の出力段には使用するIGBTのゲート最大電流$I_{G(peak)}$ 以上の電流駆動能力があることが必要です。

$I_{G(peak)}$は図5.11に示すように駆動回路の信号源抵抗R_S、IGBT外付けゲート抵抗R_GおよびIGBT内部抵抗r_gとゲートドライブ電圧V_{GG}から以下の式で決まります。

$$I_{G(peak)}=V_{GG}/(R_S+R_G+r_g)$$

実際のゲート電流の最大値$I_{G(peak)}$は、駆動回路の立ち上がりスピードや、駆動回路からIGBTのゲート配線インダクタンスなどによるゲート電流の立ち上がり遅れにより、計算値より小さくなる傾向があります。

IGBTの一般的な使用ではr_gは最適選定されたR_Gに比べ小さく、R_Sも小さいため概略$I_{G(peak)}=V_{GE}/R_G$となります。V_{GE}はIGBTのゲート・エミッタ間電圧です。駆動回路にこの電流能力がないとIGBTのスイッチングスピードに影響を及ぼす可能性があります。

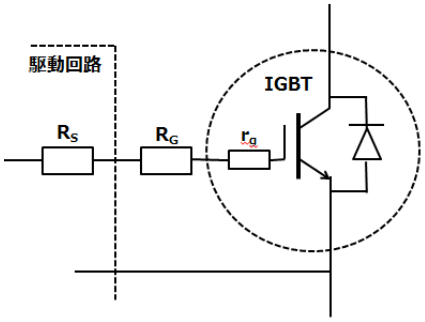


図 5.11 駆動回路抵抗成分

5.3.5. その他

ゲート駆動素子はドライバ IC、フォトカプラ、ハイブリッド IC などが用途によって選択されます。モータ駆動用などのインバータ回路を構成する場合、上下アーム IGBT のゲート駆動電源は GND レベルが違うため独立して設ける必要があります。これに対応して高耐圧ドライバ IC や下アームのゲート駆動電源から上アームのゲート駆動電源を作る回路（補足 2 参照）などが幅広く使われています。

5.4. 並列接続

IGBT を並列接続する場合は、ダイレクトパラレル方式にするとゲート・エミッタ間電圧が発振を起こし、コレクタ電流も発振することがあります。

この発振電流によって、制御不能になるなど、電力損失が増大するなどの問題があります。これを防ぐ方法として、図 5.12 に示すようにおのおののゲート電極に個別にゲート抵抗を挿入することが有効です。

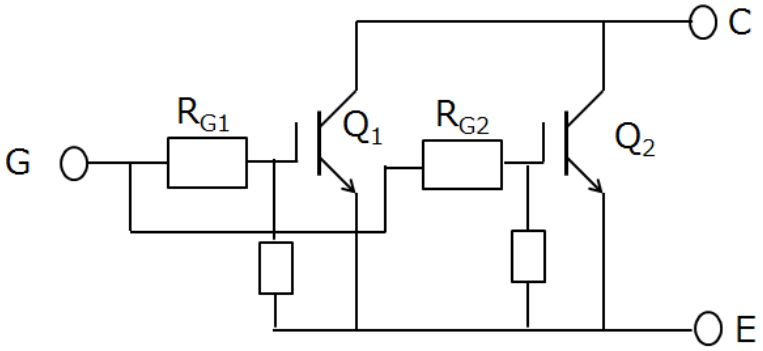


図 5.12 駆動回路抵抗成分

5.5. サージ電圧保護

IGBT をスイッチングする場合、回路配線のインダクタンス L_s によるサージ電圧がターンオフ時に IGBT に印加される場合があります。その大きさ V_{surge} は以下の式で表されます。

$$V_{surge} = -L_s \times di/dt + V_{CC}$$

（V_{CC}:電源電圧）

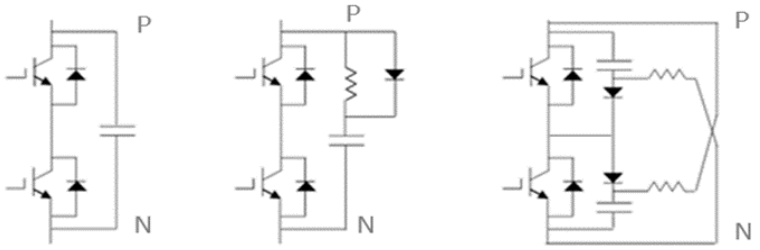
この電圧が最大定格電圧より大きいと IGBT が破壊する可能性があります。

V_{surge} の低減方法は di/dt やインダクタンスを小さくすることですが、di/dt を小さくすることは IGBT のスイッチング性能を犠牲にするため、できる限りインダクタンスを低減する必要があります。

スナバ回路によりサージ電圧を吸収することができますが、IGBT のスイッチング特性に影響があるので、スナバ回路の種類、特性をよく理解した上で回路構成を選択する必要があります。

スナバ回路の例

図 5.13 にスナバ回路例を示します。



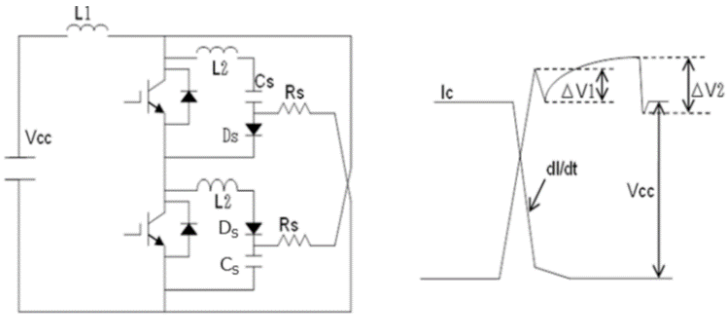
(a)PN 間スナバ　(b)PN 間 RDC スナバ　(c)個別 RDC スナバ

図 5.13 スナバ回路例

次に、図 5.13 の(c)個別 RDC スナバについて簡単に解説します。

図 5.14 に個別 RDC スナバとその時のターンオフ波形例を示します。ΔV_1 は、スナバ回路のインダクタンス L_2 のために吸収できない電圧(サージ電圧)です。つまり、ターンオフ時の $di/dt \times L_2$ で発生するターンオフ電圧です。Cs は次式より設定します。

$$1/2 \times L_1 \times (I_c)^2 = 1/2 \times C_s \times (\Delta V_2)^2$$



L_1：主配線のインダクタンス　L_2：スナバ回路のインダクタンス

R_s：スナバ抵抗　D_s：スナバダイオード　C_s：スナバコンデンサ

図 5.14 個別 RDC スナバ回路とターンオフ波形例

図 5.13 の(a)PN 間にコンデンサと(c)個別スナバ回路の併用されることもがあります。

【補足】

補足 1. 熱抵抗

図 5.1 の放熱等価回路における熱抵抗はそれぞれ次のように説明されます。

(1) 接合部・外囲器間熱抵抗(内部熱抵抗) $R_{th(i)}$

トランジスタ接合部から外囲器までの内部熱抵抗 $R_{th(i)}$は、トラジスタの構造、材料などに決まるもので、それぞれのトランジスタ固有の値です。

この熱抵抗値を測定するためには、トランジスタを一定のケース温度に強制的に冷却した状態にすることが必要です。ケース温度を一定値 T_C=25°C に冷却して動作する場合には、トランジスタに許容される最大損失 P_{Cmax} は、

$$P_{C\,max} = \frac{T_{j\,max} - T_C}{R_{th(i)}} = \frac{T_{j\,max} - 25}{R_{th(i)}} \quad (W)$$

で求められます。

大出力のトランジスタのデータシートなどでは T_C=25°C、または、無限大放熱器を使用したときの最大コレクタ損失が記載されていますが、これは、トランジスタの内部熱抵抗により決まるものです。

(2) 接触熱抵抗 $R_{th(c)}$

接触熱抵抗 $R_{th(c)}$は、外囲器と放熱器との接触状態により決まり、接触面の平坦度、粗さ、接触面積、締め付け方に大きく影響されます。接触面にシリコングリースを塗布したり、シリコンラバーを使用すると、接触面の粗さ、平坦度の影響を小さくすることができます。

(3) 絶縁板熱抵抗 $R_{th(s)}$

トランジスタを放熱器から絶縁する必要があるときは、トランジスタと放熱器との間に絶縁物を用いなければなりません。この絶縁物による熱抵抗 $R_{th(s)}$は絶縁物の材質と厚さ、面積により決まり、無視できない値となります。

樹脂モールドにより絶縁された外囲器では、記載されたトランジスタの熱抵抗に絶縁物の熱抵抗 $R_{th(s)}$を含んでいます。

(4) 放熱器熱抵抗 $R_{th(f)}$

放熱器の熱抵抗は放熱器表面より雰囲気へ逃げる熱の経路の分布定数的熱抵抗と考えられます。雰囲気の状態、放熱器と雰囲気の温度差および放熱器の有効面積に関係してきますが、数式的に表現することは難しく、現状では全て実測により決めています。

図 5.15 は放熱器の中央にトランジスタを 1 個取り付け、放熱器を垂直位置にしたときの熱抵抗の実測値です。

放熱器メーカーが種々の放熱器を発表していますので、技術資料などを参照の上、最適な放熱器を選定してください。

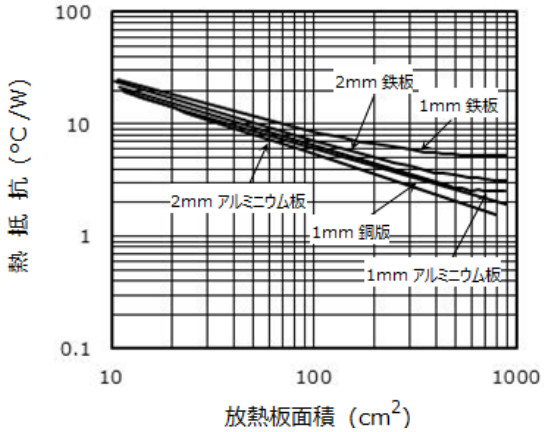


図 5.15 放熱板面積と熱抵抗

補足 2. ドライブ電源

チャージポンプ回路

図 5.16 において NMOS と PMOS は排他的論理で動作します。①NMOS が ON 状態の時 V_{CCL}-D_1-C_1-NMOS のループで C_1 を充電　②PMOS が ON 状態となり C_1-D_2-V_{CCH}-PMOS-C_1 のループで V_{CCH} を形成します。

V_{CCH} は、主電源 V_{DD} に重畳される形で配置、主スイッチングトランジスタの FWD を経由してドライブ回路が構成されます。V_{CCH} の電源の基準点(低電圧側)が H/S MOSFET のドレインとなるため、H/S 側も単一電源となりますが、PMOS/NMOS 含め多くの箇所が V_{DD}+V_{CCH} 以上の耐圧が必要となるため、高圧回路での実現事例は見られません。

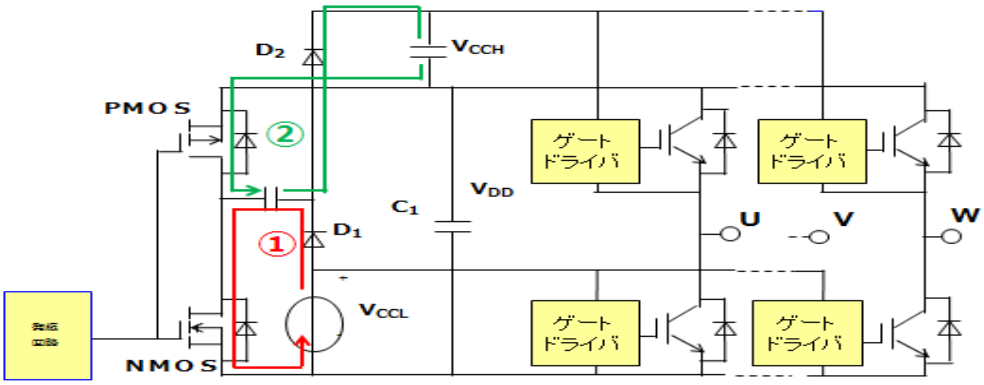


図 5.16 チャージポンプ回路

ブートストラップ回路

図 5.17 において V_{CC} → (抵抗) → D → C_1(or C_2 or C_3) → Q_2(or Q_4 or Q_6) → V_{CC} のループを主として H/S のゲートドライバ用電源が構成されます。C_1~C_3 充電のためには、U/V/W(各相中点)電位が、V_{CC} の低電位側と等しくなっている必要がありますので Q_2/Q_4/Q_6 がオン状態または FWD 動作している期間に充電されることになります。H/S と L/S の ON/OFF のタイミングおよび C_1~C_3 と MOSFET の入力容量の比率によっては充電電圧が大きく低下する可能性があります。

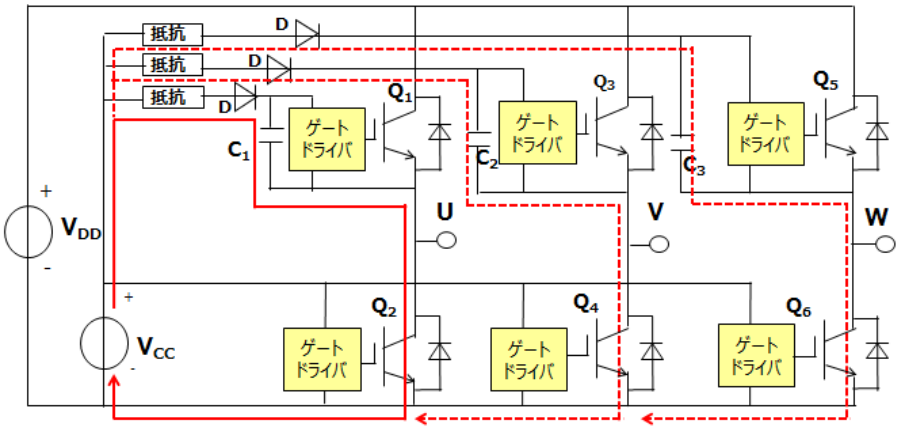


図 5.17 ブートストラップ回路

製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。
本資料に掲載されているハードウエア、ソフトウエアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウエア・ソフトウエア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。

© 2018-2022
Toshiba Electronic Devices & Storage Corporation