

32 ビット RISC マイクロコントローラ TMPM4L グループ(1)

リファレンスマニュアル 入出力ポート (PORT-M4L(1))

Revision 1.1

2019-06

東芝デバイス&ストレージ株式会社

目次

序章	4
関連するドキュメント	4
表記規約	5
用語・略語	7
1. 概要	8
2. 動作説明	8
2.1. クロック供給	8
3. 信号接続一覧	9
4. レジスタ説明	12
4.1. レジスタ一覧	13
4.2. ポート機能とレジスタ設定	15
4.2.1. 機能端子を使用する際の設定について	15
4.2.2. PORT A	16
4.2.3. PORT B	17
4.2.4. PORT C	18
4.2.5. PORT D	19
4.2.6. PORT E	20
4.2.7. PORT F	21
4.2.8. PORT G	22
4.2.9. PORT H	23
4.2.10. PORT J	24
4.2.11. PORT K	25
5. ポート回路図	26
5.1. タイプ FT1c	27
5.2. タイプ FT2d	28
5.3. タイプ FT4a	29
5.4. タイプ FT5a	30
5.5. タイプ FT11a	31
5.6. タイプ FT16a	32
6. 使用上のご注意およびお願い事項	33
6.1. リセット期間中の端子状態について	33
6.2. 未使用端子の処理について	33
6.3. デバッグインタフェース端子を汎用ポートとして使用する際の注意	33
7. 改訂履歴	34
製品取り扱い上のお願い	35

図目次

図 5.1	ポートタイプ FT1c	27
図 5.2	ポートタイプ FT2d	28
図 5.3	ポートタイプ FT4a	29
図 5.4	ポートタイプ FT5a	30
図 5.5	ポートタイプ FT11a	31
図 5.6	ポートタイプ FT16a	32

表目次

表 3.1	信号接続一覧(1/3)	9
表 3.2	信号接続一覧(2/3)	10
表 3.3	信号接続一覧(3/3)	11
表 4.1	ポートベースアドレス	13
表 4.2	レジスタ一覧	14
表 4.3	ポート A レジスタ設定	16
表 4.4	ポート B レジスタ設定	17
表 4.5	ポート C レジスタ設定	18
表 4.6	ポート D レジスタ設定	19
表 4.7	ポート E レジスタ設定	20
表 4.8	ポート F レジスタ設定	21
表 4.9	ポート G レジスタ設定	22
表 4.10	ポート H レジスタ設定	23
表 4.11	ポート J レジスタ設定	24
表 4.12	ポート K レジスタ設定	25
表 7.1	改訂履歴	34

序章

関連するドキュメント

文書名
製品個別情報
クロック制御と動作モード
例外
フラッシュメモリ
シリアルペリフェラルインタフェース
12 ビットアナログデジタルコンバータ
32 ビットタイマイイベントカウンタ
非同期シリアル通信回路
プログラマブルモータ制御回路プラス
アドバンスドエンコーダ入力回路(32bit)
デバッグインタフェース

表記規約

- 数値表記は以下の規則に従います。
 - 16 進数表記: 0xABC
 - 10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
 - 2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は [m:n]とまとめて表記する場合があります。
例: S[3:0] は S3,S2,S1,S0 の 4 つの信号名をまとめて表記しています。
- 本文中 [] で囲まれたものはレジスタを定義しています。
例: [ABCD]
- 同種で複数のレジスタ、フィールド、ビット名は「n」で一括表記する場合があります。
例: [XYZ1], [XYZ2], [XYZ3] → [XYZn]
- 「レジスタ一覧」中のレジスタ名でユニットまたはチャネルは「x」で一括表記しています。
ユニットの場合、「x」は A,B,C...を表します。
例: [ADACR0], [ADBCR0], [ADCCR0]→[ADxCR0]
チャネルの場合、「x」は 0,1,2,...を表します。
例: [T32A0RUNA], [T32A1RUNA], [T32A2RUNA]→[T32AxRUNA]
- レジスタのビット範囲は [m:n] と表記します。
例: [3:0] はビット 3 から 0 の範囲を表します。
- レジスタの設定値は 16 進数または 2 進数のどちらかで表記されています。
例: [ABCD]<EFG> = 0x01 (16 進数)、[XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
 - バイト: 8 ビット
 - ハーフワード: 16 ビット
 - ワード: 32 ビット
 - ダブルワード: 64 ビット
- レジスタ内の各ビットの属性は以下の表記を使用しています。
 - R: リードオンリー
 - W: ライトオンリー
 - R/W: リード / ライト
- 断りのない限り、レジスタアクセスはワードアクセスだけをサポートします。
 - 本文中の予約領域「Reserved」として定義されたレジスタは書き換えを行わないでください。
また、読み出した値を使用しないでください。
- Default 値が「—」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスタに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- ライトオンリーのレジスタの Reserved ビットフィールドには Default 値を書き込んでください。
Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスタへのリードモディファイライト処理は行わないでください

Arm,Cortex および Thumb は Arm Limited(またはその子会社)の US またはその他の国における
登録商標です。 All rights reserved.



FLASH メモリについては、米国 SST 社(Silicon Storage Technology, Inc.)からライセンスを受けた Super Flash®技術を使用しています。Super Flash®は SST 社の登録商標です。

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

JTAG	Joint Test Action Group
SW	Serial Wire

1. 概要

ポート関連のレジスタとその設定について説明します。以下に機能の一覧を示します。

機能分類	機能	説明
ポート	—	内蔵プログラマブルプルアップ/プルダウンの選択、オープンドレイン出力選択が可能
周辺機能端子	割り込み制御	ノイズフィルタ(フィルタ幅 Typ. 30ns)付き割り込み入力端子
	32 ビットタイマイイベントカウンタ	インプットキャプチャ入力端子、タイマ出力端子
	シリアルペリフェラルインタフェース	データ入力端子、データ出力端子、クロック入出力端子
	非同期シリアル通信回路	データ入力端子、データ出力端子、送信可能入力端子
	アナログデジタルコンバータ	アナログ入力端子
	プログラマブルモータ制御回路プラス	X/Y/Z 相出力端子、U/V/W 相出力端子、異常検出入力端子、過電圧検出入力端子
	アドバンスドエンコーダ入力回路 (32-bit)	エンコーダ入力端子
デバッグ端子	JTAG	テストモード選択入力端子、シリアルクロック入力端子、シリアルデータ出力端子、シリアルデータ入力端子
	SW	シリアルワイヤデータ入出力端子、シリアルワイヤクロック入力端子、シリアルワイヤビューワ出力端子
制御端子	高速発振子	高速発振子接続端子/外部クロック入力
	BOOT モード制御	BOOT モード制御用端子

2. 動作説明

2.1. クロック供給

ポートを使用する場合は、fsys 供給停止レジスタ A(**ICGFSYSENA**)で該当するクロックイネーブルビットを”1”(クロック供給)に設定してください。該当レジスタ、ビット位置は製品によって異なります。そのため製品によって、レジスタが存在しない場合があります。

詳細はリファレンスマニュアルの「クロック制御と動作モード」を参照してください。

3. 信号接続一覧

各リファレンスマニュアルのブロック図(信号一覧表)に記載された信号名を機能端子順に変換した表です。周辺機能のレジスタ設定はポート順に説明していますので、ポート名の逆引きにご使用ください。
数値は端子番号を表します。

表 3.1 信号接続一覧(1/3)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M4L2 (LQFP48)	M4L1 (LQFP44)
非同期シリアル通信回路	UT0RXD	PC1	18	17
		PC0	17	16
	UT0TXDA	PC0	17	16
		PC1	18	17
	UT0CTS_N	PC2	19	18
	UT1RXD	PD3	23	22
		PD2	22	21
	UT1TXDA	PD2	22	21
		PD3	23	22
	UT1CTS_N	PD1	21	20
	UT2RXD	PA1	47	43
		PA2	46	42
シリアルペリフェラルインタフェース	UT2TXDA	PA2	46	42
		PA1	47	43
	UT2CTS_N	PA0	48	44
	TSPI0RXD	PC1	18	17
	TSPI0TXD	PC0	17	16
	TSPI0SCK	PC2	19	18
	TSPI1RXD	PD3	23	22
	TSPI1TXD	PD2	22	21
	TSPI1SCK	PD1	21	20
	TSPI2RXD	PA2	46	42
	TSPI2TXD	PA1	47	43
	TSPI2SCK	PA0	48	44

表 3.2 信号接続一覧(2/3)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M4L2 (LQFP48)	M4L1 (LQFP44)
32 ビットタイマイイベントカウンタ	T32A00INA0	PD0	12	11
	T32A00OUTA	PD0	12	11
	T32A00INB0	PD4	24	–
	T32A00OUTB	PD4	24	–
	T32A00INC0	PD0	12	11
	T32A00OUTC	PD0	12	11
	T32A01INA0	PC3	20	19
	T32A01OUTA	PC3	20	19
	T32A01INB0	PA3	25	–
	T32A01OUTB	PA3	25	–
	T32A01INC0	PC3	20	19
	T32A01OUTC	PC3	20	19
	T32A02INA0	PC4	45	41
	T32A02OUTA	PC5	44	40
	T32A02INB0	PC5	44	40
	T32A02OUTB	PC4	45	41
	T32A02INC0	PC4	45	41
	T32A02OUTC	PC5	44	40
	T32A03INA0	PA2	46	42
	T32A03OUTA	PA1	47	43
	T32A03INB0	PA1	47	43
	T32A03OUTB	PA2	46	42
	T32A03INC0	PA1	47	43
	T32A03OUTC	PA2	46	42
12 ビットアナログデジタルコンバータ	AINA00	PF0	35	32
	AINA01	PG0	36	33
	AINA02	PG3	37	–
	AINA03	PG1	38	34
	AINA04	PG2	39	35
	AINA05	PH0	40	36
	AINA06	PH1	41	37

表 3.3 信号接続一覧(3/3)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M4L2 (LQFP48)	M4L1 (LQFP44)
例外	INT00	PC3	20	19
	INT01	PG1	38	34
	INT02	PG2	39	35
	INT03	PH0	40	36
	INT04	PH1	41	37
	INT05	PC5	44	40
	INT06	PC4	45	41
	INT07	PA3	25	–
プログラマブルモータ制御回路プラス	EMG0_N	PE6	8	7
	OVV0_N	PE7	9	8
	U00	PE0	2	1
	VO0	PE2	4	3
	WO0	PE4	6	5
	XO0	PE1	3	2
	YO0	PE3	5	4
	ZO0	PE5	7	6
アドバンスドエンコーダ入力回路(32-bit)	ENC0A	PD1	21	20
	ENC0B	PD2	22	21
	ENC0Z	PD3	23	22
デバックインタフェース	TMS	PB0	16	15
	TCK	PB1	15	14
	TDO	PB2	14	13
	TDI	PB3	13	12
	SWDIO	PB0	16	15
	SWCLK	PB1	15	14
	SWV	PB2	14	13
クロック制御と動作モード	X1	PJ0	27	24
	X2	PJ1	29	26
フラッシュメモリ	BOOT_N	PD0	12	11

4. レジスタ説明

ポートを使用する際には以下のレジスタを設定する必要があります。
レジスタは全て 32 ビットですが、ポートのビット数、機能の割り当てにより構成が異なります。
以下の説明では”x”はポート名、”n”はファンクション番号を示します。

レジスタ名		Type	設定値	説明
[PxDATA]	データレジスタ	R/W	0 または 1	ポートのデータ読み込み、データ書き込みを行います。
[PxCR]	出力コントロールレジスタ	R/W	0: 出力禁止 1: 出力許可	出力の制御を行います。
[PxFRn]	ファンクションレジスタ n	R/W	0: PORT 1: 機能	機能設定を行ないます。 "1" をセットすることにより割り当てられている機能を使用できるようになります。ファンクションレジスタはポートに割り当てられている機能ごとに存在します。複数の機能が割り当てられている場合、1 つの機能のみ有効になるように設定してください。
[PxOD]	オープンドレインコントロールレジスタ	R/W	0: CMOS 1: オープンドレイン	プログラマブルオープンドレインの制御を行います。 プログラマブルオープンドレインは、 [PxOD]=1 の設定で、出力データが"1" の場合に出力バッファをディセーブルにし、擬似的にオープンドレインを実現する機能です。
[PxPUP]	プルアップコントロールレジスタ	R/W	0: プルアップ禁止 1: プルアップ許可	プログラマブルプルアップを制御します。
[PxPDN]	プルダウンコントロールレジスタ	R/W	0: プルダウン禁止 1: プルダウン許可	プログラマブルプルダウンを制御します。
[PxIE]	入力コントロールレジスタ	R/W	0: 入力禁止 1: 入力許可	入力の制御を行ないます。 [PxIE] をイネーブルにしてから外部データが [PxDATA] に反映されるまで 100ns(最大)の時間が必要です。

4.1. レジスタ一覧

機能の存在しないビットをリードすると "0" が読めます。ライトは意味を持ちません。

表 4.1 ポートベースアドレス

周辺機能		チャネル/ユニット	ベースアドレス
入出力ポート	PA	—	0x40080000
	PB	—	0x40080100
	PC	—	0x40080200
	PD	—	0x40080300
	PE	—	0x40080400
	PF	—	0x40080500
	PG	—	0x40080600
	PH	—	0x40080700
	PJ	—	0x40080800
	PK	—	0x40080900

表 4.2 レジスタ一覧

レジスタ名	アドレス (Base+)	ポート A	ポート B	ポート C	ポート D	ポート E	ポート F
データ レジスタ	0x0000	[PADATA]	[PBDATA]	[PCDATA]	[PDDATA]	[PEDATA]	[PFDATA]
出力コントロールレジスタ	0x0004	[PACR]	[PBCR]	[PCCR]	[PDCR]	[PECR]	[PFCR]
ファンクションレジスタ 1	0x0008	[PAFR1]	[PBF1]	[PCFR1]	[PDFR1]	[PEFR1]	—
ファンクションレジスタ 2	0x000C	[PAFR2]	—	[PCFR2]	[PDFR2]	—	—
ファンクションレジスタ 3	0x0010	[PAFR3]	—	[PCFR3]	[PDFR3]	—	—
ファンクションレジスタ 4	0x0014	[PAFR4]	—	[PCFR4]	[PDFR4]	—	—
ファンクションレジスタ 5	0x0018	[PAFR5]	—	—	—	—	—
ファンクションレジスタ 6	0x001C	[PAFR6]	—	—	—	—	—
オープンドレインコントロールレジスタ	0x0028	[PAOD]	[PBOD]	[PCOD]	[PDOD]	[PEOD]	[PFOD]
プルアップコントロールレジスタ	0x002C	[PAPUP]	[PBPUP]	[PCPUP]	[PDPUP]	[PEPUP]	[PFPUP]
プルダウンコントロールレジスタ	0x0030	[PAPDN]	[PBPDN]	[PCPDN]	[PDPDN]	[PEPDN]	[PFPDN]
入力コントロールレジスタ	0x0038	[PAIE]	[PBIE]	[PCIE]	[PDIE]	[PEIE]	[PFIE]

レジスタ名	アドレス (Base+)	ポート G	ポート H	ポート J	ポート K
データ レジスタ	0x0000	[PGDATA]	[PHDATA]	[PJDATA]	[PKDATA]
出力コントロールレジスタ	0x0004	[PGCR]	[PHCR]	—	[PKCR]
ファンクションレジスタ 1	0x0008	—	—	—	—
ファンクションレジスタ 2	0x000C	—	—	—	—
ファンクションレジスタ 3	0x0010	—	—	—	—
ファンクションレジスタ 4	0x0014	—	—	—	—
ファンクションレジスタ 5	0x0018	—	—	—	—
ファンクションレジスタ 6	0x001C	—	—	—	—
オープンドレインコントロールレジスタ	0x0028	[PGOD]	[PHOD]	—	[PKOD]
プルアップコントロールレジスタ	0x002C	[PGPUP]	[PHPUP]	—	[PKPUP]
プルダウンコントロールレジスタ	0x0030	[PGPDN]	[PHPDN]	[PJPDN]	[PKPDN]
入力コントロールレジスタ	0x0038	[PGIE]	[PHIE]	[PJIE]	[PKIE]

注) "—" 表記のアドレスにはアクセスしないでください。

4.2. ポート機能とレジスタ設定

ポート機能レジスタ設定一覧の表の見方を説明します。

[PxFRn]の欄は、設定の必要なファンクションレジスタを示します。このレジスタを "1" に設定するとその機能が有効となります。(x はポート名、n はファンクション番号)

表中の"N/A"のビットはリードすると "0" が読め、ライトは意味を持ちません。

表中の "0"、"1" は設定値を示し、"0/1" は任意に設定可能であることを示します。

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PADATA]	[PACR]	[PAFRn]	[PAOD]	[PAPUP]	[PAPDN]	[PAIE]
PA0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A03INB0	Input	FT1a	0/1	0	[PAFR1]	0/1	0/1	0/1	1
	T32A03OUTA	Output	FT1a	0/1	1	[PAFR2]	0/1	0/1	0/1	0
	T32A03INC0	Input	FT1a	0/1	0	[PAFR3]	0/1	0/1	0/1	1
	UT2RXD	Input	FT1a	0/1	0	[PAFR4]	0/1	0/1	0/1	1
PA3	UT2TXDA	Output	FT1a	0/1	1	[PAFR5]	0/1	0/1	0/1	0
	TSPi2TXD	Output	FT2a	0/1	1	[PAFR6]	0/1	0/1	0/1	0
	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
PA3	INT07	Input	FT4a	0/1	0	0	0/1	0/1	0/1	1
	T32A01INB0	Input	FT1a	0/1	0	[PAFR1]	0/1	0/1	0/1	1
	T32A01OUTB	Output	FT1a	0/1	1	[PAFR2]	0/1	0/1	0/1	0
	リセット後			0	0	0	0	0	0	0

[PxFRn]	端子						
	T32A03INB0	T32A03OUTA	T32A03INC0	UT2RXD	UT2TXDA	TSPi2TXD	Input Port Output Port
[PAFR1]<bit1>	1	0	0	0	0	0	0
[PAFR2]<bit1>	0	1	0	0	0	0	0
[PAFR3]<bit1>	0	0	1	0	0	0	0
[PAFR4]<bit1>	0	0	0	1	0	0	0
[PAFR5]<bit1>	0	0	0	0	1	0	0
[PAFR6]<bit1>	0	0	0	0	0	1	0

4.2.1. 機能端子を使用する際の設定について

機能端子を使用する際には、ファンクションレジスタを機能(**[PxFRn]<bit m>=1**)に設定した後、出力コントロールレジスタを出力許可(**[PxCR]<bit m>=1**)にしてください。ファンクションレジスタより先に出力許可すると、ファンクションレジスタが設定されるまで、ポートのデータレジスタ値が出力されます。

周辺機能の入力端子として使用する際には、ポートの入力コントロールレジスタ(**[PxIE]<bit m>=1**)、ファンクションレジスタ(**[PxFRn]<bit m>=1**)を設定した後、周辺機能の設定をしてください。

また、SWDIO など入出力端子となる周辺機能を使用する場合は、ポートの入力コントロールレジスタを入力(**[PxIE]<bit m>=1**)に設定し、ファンクションレジスタを使用する周辺機能(**[PxFRn]<bit m>=1**)に設定し、出力コントロールレジスタを出力許可(**[PxCR]<bit m>=1**)に設定した後、周辺機能の設定をしてください。

- 複数の機能が割り当てられているポートは、使用する機能を一つだけ選択してください。
- 同一機能が複数ポートに割り当てられている端子は、排他的に使用してください。

4.2.2. PORT A

表 4.3 ポートA レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PADATA]	[PACR]	[PAFRn]	[PAOD]	[PAPUP]	[PAPDN]	[PAIE]
PA0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT2CTS_N	Input	FT1c	0/1	0	[PAFR1]	0/1	0/1	0/1	1
	TSPI2SCK	Input	FT1c	0/1	0	[PAFR2]	0/1	0/1	0/1	1
		Output	FT1c	0/1	1		0/1	0/1	0/1	0
PA1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A03INB0	Input	FT1c	0/1	0	[PAFR1]	0/1	0/1	0/1	1
	T32A03OUTA	Output	FT1c	0/1	1	[PAFR2]	0/1	0/1	0/1	0
	T32A03INC0	Input	FT1c	0/1	0	[PAFR3]	0/1	0/1	0/1	1
	UT2RXD	Input	FT1c	0/1	0	[PAFR4]	0/1	0/1	0/1	1
	UT2TXDA	Output	FT1c	0/1	1	[PAFR5]	0/1	0/1	0/1	0
	TSPI2TXD	Output	FT2d	0/1	1	[PAFR6]	0/1	0/1	0/1	0
PA2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A03INA0	Input	FT1c	0/1	0	[PAFR1]	0/1	0/1	0/1	1
	T32A03OUTB	Output	FT1c	0/1	1	[PAFR2]	0/1	0/1	0/1	0
	T32A03OUTC	Output	FT1c	0/1	1	[PAFR3]	0/1	0/1	0/1	0
	UT2TXDA	Output	FT1c	0/1	1	[PAFR4]	0/1	0/1	0/1	0
	UT2RXD	Input	FT1c	0/1	0	[PAFR5]	0/1	0/1	0/1	1
	TSPI2RXD	Input	FT1c	0/1	0	[PAFR6]	0/1	0/1	0/1	1
PA3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT07	Input	FT4a	0/1	0	0	0/1	0/1	0/1	1
	T32A01INB0	Input	FT1c	0/1	0	[PAFR1]	0/1	0/1	0/1	1
	T32A01OUTB	Output	FT1c	0/1	1	[PAFR2]	0/1	0/1	0/1	0

4.2.3. PORT B

表 4.4 ポートB レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PBDATA]	[PBCR]	[PBFRn]	[PBOD]	[PBPUP]	[PBPDN]	[PBIE]
PB0	リセット後 (TMS/SWDIO)	I/O	FT2d	0	1 (注)	[PBFR1]	0	1	0	1
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
PB1	リセット後 (TCK/SWCLK)	Input	FT2d	0	0	[PBFR1]	0	0	1	1
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
PB2	リセット後 (TDO/SWV)	Output	FT2d	0	1 (注)	[PBFR1]	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
PB3	リセット後 (TDI)	Input	FT2d	0/1	0	[PBFR1]	0	1	0	1
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0

注) ツールからのコマンドを受け付けるまでは出力にはなりません。

4.2.4. PORT C

表 4.5 ポートC レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PCDATA]	[PCCR]	[PCFRn]	[PCOD]	[PCPUP]	[PCPDN]	[PCIE]
PC0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TSPI0TXD	Output	FT2d	0/1	1	[PCFR1]	0/1	0/1	0/1	0
	UT0TXDA	Output	FT1c	0/1	1	[PCFR2]	0/1	0/1	0/1	0
	UT0RXD	Input	FT1c	0/1	0	[PCFR3]	0/1	0/1	0/1	1
PC1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TSPI0RXD	Input	FT1c	0/1	0	[PCFR1]	0/1	0/1	0/1	1
	UT0RXD	Input	FT1c	0/1	0	[PCFR2]	0/1	0/1	0/1	1
	UT0TXDA	Output	FT1c	0/1	1	[PCFR3]	0/1	0/1	0/1	0
PC2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TSPI0SCK	Input	FT1c	0/1	0	[PCFR1]	0/1	0/1	0/1	1
		Output	FT1c	0/1	1		0/1	0/1	0/1	0
	UT0CTS_N	Input	FT1c	0/1	0	[PCFR2]	0/1	0/1	0/1	1
PC3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT00	Input	FT4a	0/1	0	0	0/1	0/1	0/1	1
	T32A01INA0	Input	FT1c	0/1	0	[PCFR1]	0/1	0/1	0/1	1
	T32A01OUTA	Output	FT1c	0/1	1	[PCFR2]	0/1	0/1	0/1	0
	T32A01INC0	Input	FT1c	0/1	0	[PCFR3]	0/1	0/1	0/1	1
	T32A01OUTC	Output	FT1c	0/1	1	[PCFR4]	0/1	0/1	0/1	0
PC4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT06	Input	FT4a	0/1	0	0	0/1	0/1	0/1	1
	T32A02INA0	Input	FT1a	0/1	0	[PCFR1]	0/1	0/1	0/1	1
	T32A02OUTB	Output	FT1a	0/1	1	[PCFR2]	0/1	0/1	0/1	0
	T32A02INC0	Input	FT1a	0/1	0	[PCFR3]	0/1	0/1	0/1	1
PC5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT05	Input	FT4a	0/1	0	0	0/1	0/1	0/1	1
	T32A02INB0	Input	FT1c	0/1	0	[PCFR1]	0/1	0/1	0/1	1
	T32A02OUTA	Output	FT1c	0/1	1	[PCFR2]	0/1	0/1	0/1	0
	T32A02OUTC	Output	FT1c	0/1	1	[PCFR3]	0/1	0/1	0/1	0

4.2.5. PORT D

表 4.6 ポートD レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PDDATA]	[PDCR]	[PDFRn]	[PDOD]	[PDPUP]	[PDPDN]	[PDIE]
PD0	リセット中 (BOOT_N)	Input	FT16a	0	0	0	0	1(注)	0	1(注)
	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A00INA0	Input	FT1c	0/1	0	[PDFR1]	0/1	0	0	1
	T32A00OUTA	Output	FT1c	0/1	0	[PDFR2]	0/1	0	0	0
	T32A00INC0	Input	FT1c	0/1	0	[PDFR3]	0/1	0	0	1
PD1	T32A00OUTC	Output	FT1c	0/1	0	[PDFR4]	0/1	0	0	0
	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	ENC0A	Input	FT1c	0/1	0	[PDFR1]	0/1	0	0	1
	TSPI1SCK	Input	FT1c	0/1	0	[PCFR2]	0/1	0/1	0/1	1
PD2	Output	Output	FT1c	0/1	1	[PCFR2]	0/1	0/1	0/1	0
	UT1CTS_N	Input	FT1c	0/1	0	[PCFR3]	0/1	0/1	0/1	1
	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	ENC0B	Input	FT1c	0/1	0	[PDFR1]	0/1	0	0	1
PD3	TSPI1TXD	Output	FT2d	0/1	1	[PDFR2]	0/1	0/1	0/1	0
	UT1TXDA	Output	FT1c	0/1	1	[PDFR3]	0/1	0/1	0/1	0
	UT1RXD	Input	FT1c	0/1	0	[PDFR4]	0/1	0/1	0/1	1
	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
PD4	ENC0Z	Input	FT1c	0/1	0	[PDFR1]	0/1	0	0	1
	TSPI1RXD	Input	FT1c	0/1	0	[PDFR2]	0/1	0/1	0/1	1
	UT1RXD	Input	FT1c	0/1	0	[PDFR3]	0/1	0/1	0/1	1
	UT1TXDA	Output	FT1c	0/1	1	[PDFR4]	0/1	0/1	0/1	0
	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
PD4	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A00INB0	Input	FT1c	0/1	0	[PDFR1]	0/1	0/1	0/1	1
	T32A00OUTB	Output	FT1c	0/1	0	[PDFR2]	0/1	0	0	0

注) リセット端子(RESET_N)によるリセット期間中は[PDPUP]は許可状態("1")、[PDIE]は許可状態("1")で、BOOT_N 信号が入力可能となります。

4.2.6. PORT E

表 4.7 ポートE レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PEDATA]	[PECR]	[PEFRn]	[PEOD]	[PEPUP]	[PEPDN]	[PEIE]
PE0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UO0	Output	FT2d	0/1	1	[PEFR1]	0/1	0/1	0/1	0
PE1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	XO0	Output	FT2d	0/1	1	[PEFR1]	0/1	0/1	0/1	0
PE2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	VO0	Output	FT2d	0/1	0	[PEFR1]	0/1	0/1	0/1	0
PE3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	YO0	Output	FT2d	0/1	1	[PEFR1]	0/1	0/1	0/1	0
PE4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	WO0	Output	FT2d	0/1	0	[PEFR1]	0/1	0/1	0/1	0
PE5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	ZO0	Output	FT2d	0/1	1	[PEFR1]	0/1	0/1	0/1	0
PE6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	EMG0_N	Input	FT1c	0/1	0	[PEFR1]	0/1	0/1	0/1	1
PE7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	OVV0_N	Input	FT1c	0/1	0	[PEFR1]	0/1	0/1	0/1	1

4.2.7. PORT F

表 4.8 ポートF レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PFDATA]	[PFCR]	[PFFRn]	[PFOD]	[PFPUP]	[PFPDN]	[PFIE]
PF0	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA00	Input	FT5a	0/1	0	N/A	0/1	0/1	0/1	0

4.2.8. PORT G

表 4.9 ポートG レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PGDATA]	[PGCR]	[PGFRn]	[PGOD]	[PGPUP]	[PGPDN]	[PGIE]
PG0	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA01	Input	FT5a	0/1	0	N/A	0/1	0/1	0/1	0
PG1	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	INT01	Input	FT4a	0/1	0	N/A	0/1	0/1	0/1	1
PG2	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	INT02	Input	FT4a	0/1	0	N/A	0/1	0/1	0/1	1
PG3	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA02	Input	FT5a	0/1	0	N/A	0/1	0/1	0/1	0

注) アナログ入力(AINAx)として使用する場合、[PGCR]は出力禁止"0"、[PGIE]は入力禁止"0"、[PGPUP]はプルアップ禁止"0"、[PGPDN]はプルダウン禁止"0"にしてください。

4.2.9. PORT H

表 4.10 ポートH レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PHDATA]	[PHCR]	[PHFRn]	[PHOD]	[PHPUP]	[PHPDN]	[PHIE]
PH0	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	INT03	Input	FT4a	0/1	0	N/A	0/1	0/1	0/1	1
	AINA05	Input	FT5a	0/1	0	N/A	0/1	0/1	0/1	0
PH1	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	INT04	Input	FT4a	0/1	1	N/A	0/1	0/1	0/1	0
	AINA06	Input	FT5a	0/1	0	N/A	0/1	0/1	0/1	0

注) アナログ入力(AINAx)として使用する場合、[PHCR]は出力禁止"0"、[PHIE]は入力禁止"0"、[PHPUP]はプルアップ禁止"0"、[PHPDN]はプルダウン禁止"0"にしてください。

4.2.10. PORT J

表 4.11 ポートJ レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PJDATA]	[PJCR]	[PJFRn]	[PJOD]	[PJPUP]	[PJPDN]	[PJIE]
PJ0	リセット後			0	N/A	N/A	N/A	N/A	0	0
	Input Port	Input		0/1	N/A	N/A	N/A	N/A	0/1	1
	X1	Input	FT11a	0/1	N/A	N/A	N/A	N/A	0/1	0
	EHCLKIN	input	FT11a	0/1	N/A	N/A	N/A	N/A	0/1	0
PJ1	リセット後			0	N/A	N/A	N/A	N/A	0	0
	Input Port	Input		0/1	N/A	N/A	N/A	N/A	0/1	1
	X2	Output	FT11a	0/1	N/A	N/A	N/A	N/A	0/1	0

4.2.11. PORT K

表 4.12 ポートK レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PKDATA]	[PKCR]	[PKFRn]	[PKOD]	[PKPUP]	[PKPDN]	[PKIE]
PK0	リセット後	Input		0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0

5. ポート回路図

ポートには、FT1c、FT2d、FT4a、FT5a、FT11a、FT16a のタイプがあります。それぞれの回路図を次ページから示します。図中の点線は、データシートの「等価回路図」で記されている等価回路の範囲を示します。

回路図内の”I/O リセット”は、パワーオンリセット(POR)または端子リセット(RESET_N)を示します。ただし、デバッグ用端子(TMS/SWDIO.TDI,TDO/SWV,TCK/SWCLK)のIO リセットは、パワーオンリセット(POR)のみとなります。

The diagram illustrates the internal logic of an I/O port. On the left, a vertical bar represents the '内部データバス' (Internal Data Bus). Control signals are shown in boxes: [PxPUP] (プルアップ制御), [PxPDN] (プルダウン制御), [PxCR] (出力制御), [PxFRn] (機能制御), [PxDATA] (出カラッチ), [PxOD] (オーブンドレイン制御), and [PxIE] (入力制御). These signals are connected to various logic gates (AND, OR, NOT, multiplexers) that control the port's behavior. The port is connected to the internal bus via a multiplexer. The output of the port is connected to the 'ポート入出力' (Port Input/Output) pin. The diagram also shows the connection to the 'ポートリード' (Port Read) signal and the '機能入力' (Function Input) signal.

図 5.1 ポートタイプFT1c

5.3. タイプ FT4a

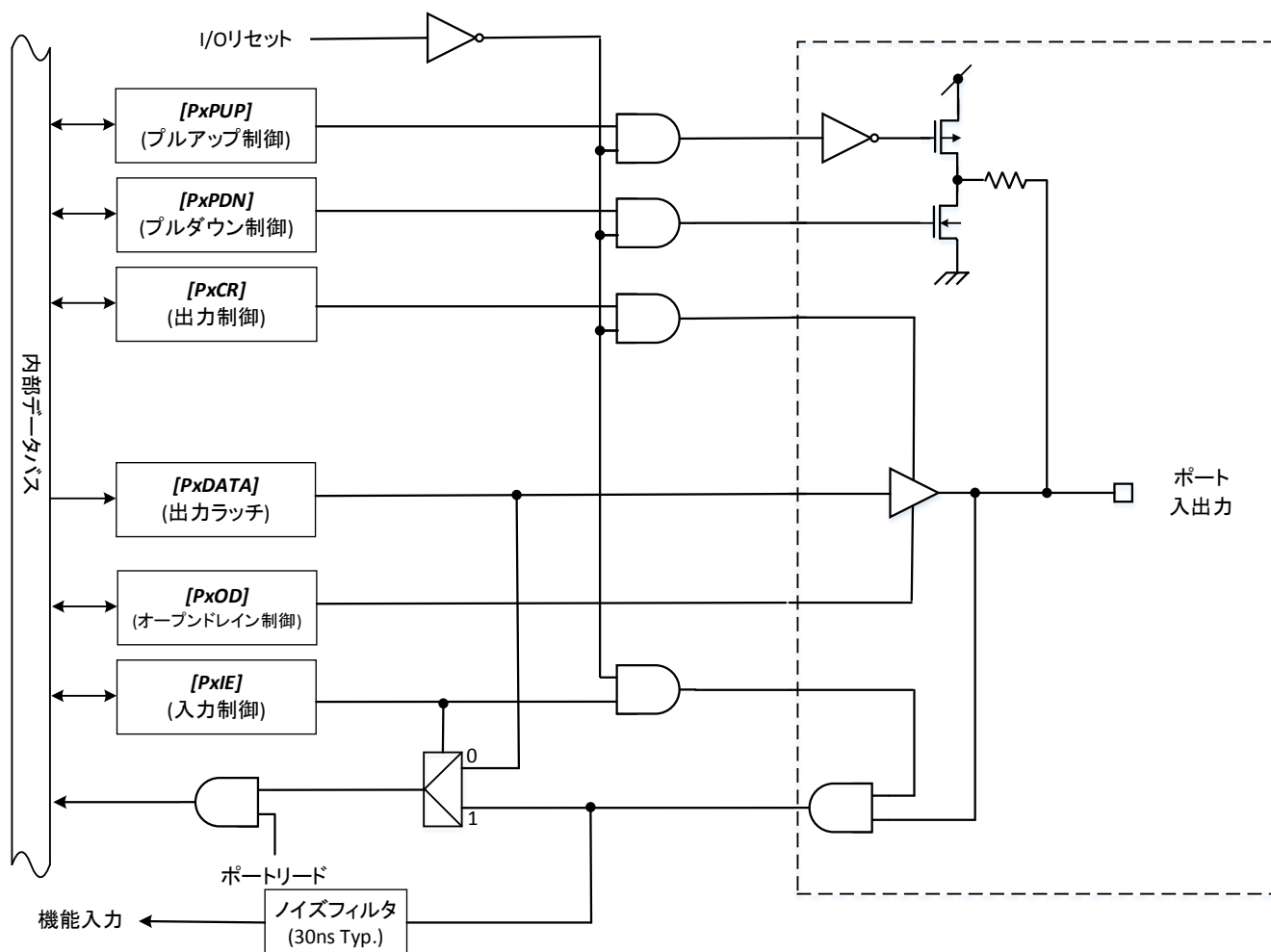


図 5.3 ポートタイプFT4a

5.5. タイプ FT11a

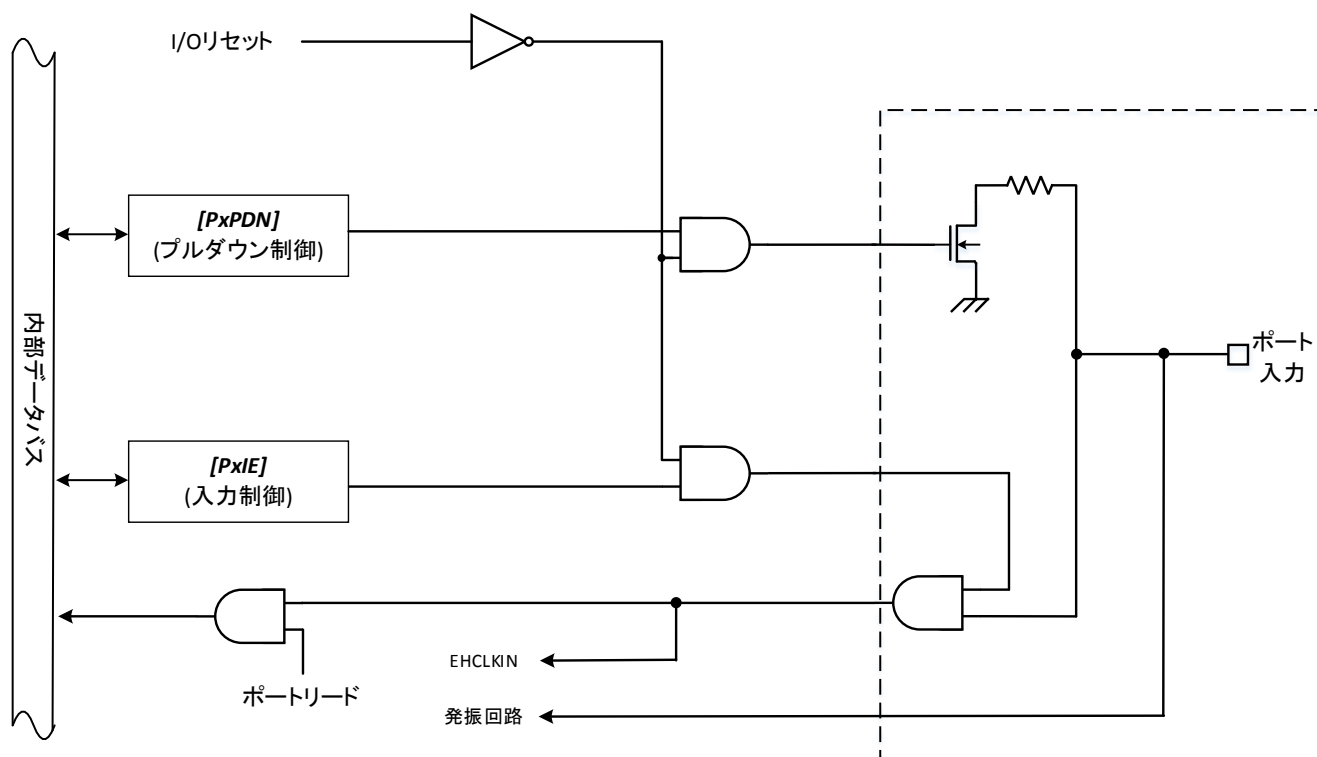


図 5.5 ポートタイプFT11a

5.6. タイプ FT16a

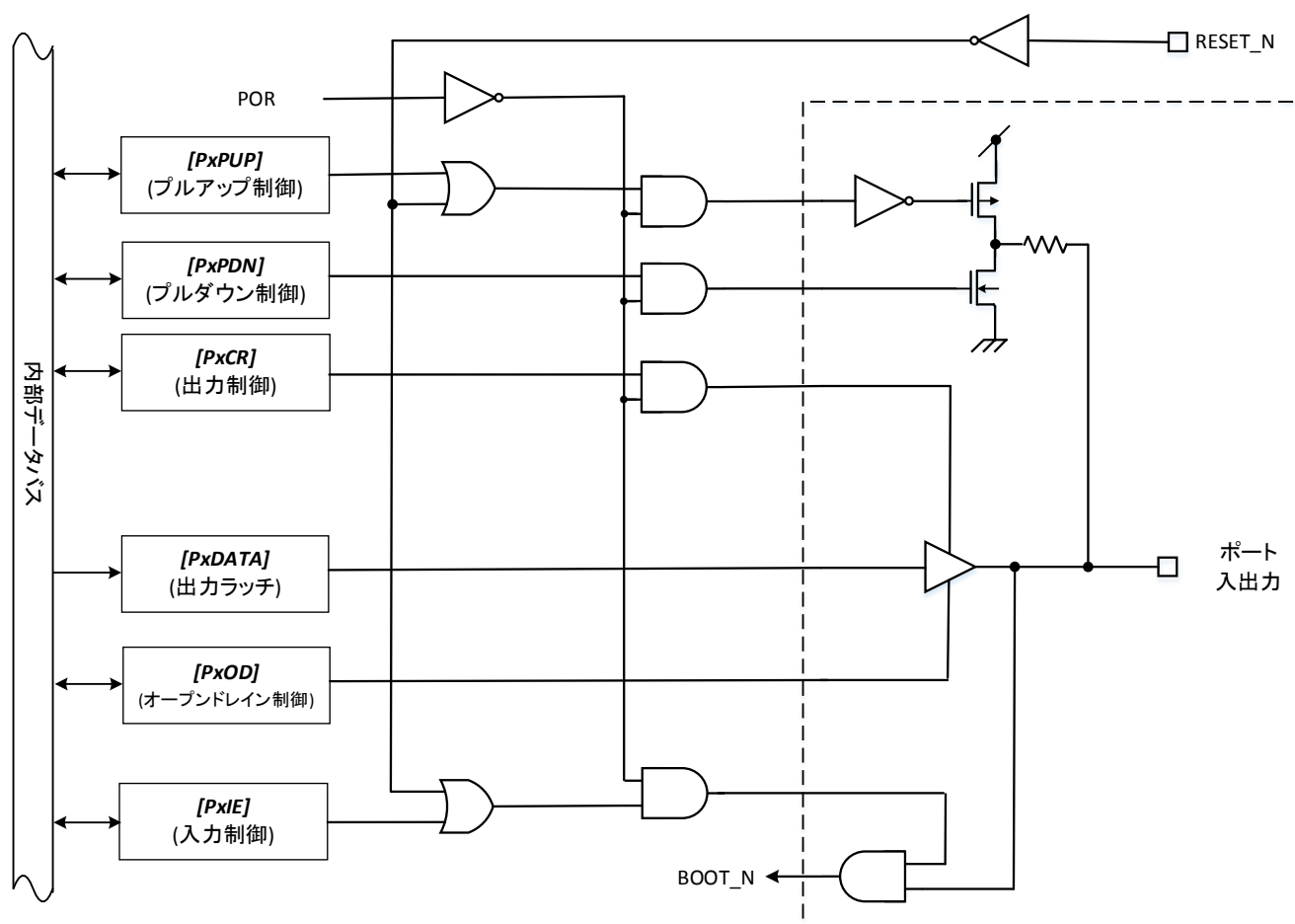


図 5.6 ポートタイプFT16a

6. 使用上のご注意およびお願い事項

6.1. リセット期間中の端子状態について

リセット期間中、下記以外の端子はハイインピーダンス入力状態となり、プルアップ・プルダウンも無効状態となります。

- デバッグインタフェース兼用端子(PB0～PB3)はデバック端子状態となります。
- PD0 (BOOT_N)は端子リセット期間中は入力およびプルアップが許可となっており、リセット信号の立ち上がりで、PD0 が"High"の場合、シングルチップモードとなり内蔵 Flash メモリから起動し、PD0 が"Low"の場合、シングルブートモードとなり内蔵 BOOT プログラムから起動します。

6.2. 未使用端子の処理について

未使用端子は、1本ずつ抵抗を通して電源端子または1本ずつ抵抗を通して GND 端子に固定することを推奨します。

一般にハイインピーダンスの端子を開放状態にし、製品を動作させると、外部からのノイズを受け誘起電圧が発生して LSI 内部で静電破壊やラッチアップが発生することがあります。

6.3. デバッグインタフェース端子を汎用ポートとして使用する際の注意

リセット解除後ユーザプログラムでデバッグインタフェース端子を汎用ポートに設定すると、それ以降はデバッグツールからの接続ができなくなり制御ができなくなります。

デバッグツールによるデバッグができなくなった場合、シングルブートモードに設定し外部から UART 接続でフラッシュ消去することで、再度デバックツールと接続することができます。詳細はリファレンスマニュアルの「フラッシュメモリ」を参照してください。

7. 改訂履歴

表 7.1 改訂履歴

Revision	Date	Description
1.0	2018-09-20	・新規
1.1	2019-06-06	・4. レジスタ説明 [PxOD]の説明見直し ・4.2.4 PORT C UT0TXD→UT0TXDA に修正 UT0TXDA Input→Output に修正、[PCCR] 0→1 に修正、[PCIE]1→0 に修正 UT0RXD Output→Input に修正、[PCCR] 1→0 に修正、[PCIE]0→1 に修正 ・4.2.5 PORT D UT1TXDA Input→Output に修正、[PCCR] 0→1 に修正、[PCIE]1→0 に修正 UT1RXD Output→Input に修正、[PCCR] 1→0 に修正、[PCIE]0→1 に修正 ・5. ポート回路図 説明追加

製品取り扱い上のお願ひ

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。