

32 ビット RISC マイクロコントローラ

TXZ ファミリ

リファレンスマニュアル 非同期シリアル通信回路 (UART-D)

Revision 1.1

2019-07

東芝デバイス&ストレージ株式会社

目次

序章	5
関連するドキュメント	5
表記規約	6
用語・略語	8
1. 概要	9
2. 構成	10
3. 動作説明・機能説明	11
3.1. クロック供給	11
3.2. 転送クロック(ボーレート生成)	11
3.3. データフォーマット	13
3.4. 受信バッファ/送信バッファ	14
3.4.1. 受信バッファ	15
3.4.2. 送信バッファ	15
3.5. 受信	16
3.5.1. 基本動作	16
3.5.2. 受信エラー処理	17
3.5.3. RXD 入力のノイズ除去	19
3.6. 送信	20
3.6.1. 基本動作	20
3.6.2. ブレークエラーの送信	21
3.7. ハンドシェーク機能	22
3.8. ウェイクアップ機能	23
3.9. ハーフクロックモード通信	24
3.9.1. ハーフクロックモードの受信	24
3.9.2. ハーフクロックモードの送信	24
3.10. DMA 要求	25
3.11. ループバックモード(テスト機能)	25
3.12. ソフトウェアリセット	27
4. レジスタ説明	28
4.1. レジスター一覧	28
4.2. レジスタ詳細	29
4.2.1. [UARTxSWRST] (ソフトウェアリセットレジスタ)	29
4.2.2. [UARTxCR0] (制御レジスタ 0)	30
4.2.3. [UARTxCR1] (制御レジスタ 1)	32
4.2.4. [UARTxCLK] (クロック制御レジスタ)	33
4.2.5. [UARTxBRD] (ボーレートレジスタ)	33
4.2.6. [UARTxTRANS] (転送イネーブルレジスタ)	34

4.2.7. [UARTxDR] (データレジスタ)	34
4.2.8. [UARTxSR] (ステータスレジスタ)	35
4.2.9. [UARTxFIFOCLR] (FIFO クリアレジスタ)	37
4.2.10. [UARTxERR] (エラーレジスタ)	38
5. プログラミング方法	39
5.1. ボーレート設定値	39
6. 使用上のご注意およびお願い事項	40
7. 改訂履歴	41
製品取り扱い上のお願い	42

図目次

図 2.1	UART ブロック図	10
図 3.1	転送クロック生成回路	11
図 3.2	データフォーマット	13
図 3.3	受信バッファ/送信バッファの構成	14
図 3.4	受信タイミング	16
図 3.5	受信バッファフル動作タイミング	17
図 3.6	エラーフラグ更新タイミング	18
図 3.7	ノイズ除去動作(<NF>=101 の場合)	19
図 3.8	送信タイミング	20
図 3.9	ウェイクアップ機能によるシリアルリンク	23
図 3.10	ハーフクロックモードの受信例	24
図 3.11	ハーフクロックモード時"0"送信波形	24
図 3.12	1 端子モード時の送信波形	25
図 3.13	2 端子モード時の送信波形	25

表目次

表 2.1	信号一覧表	10
表 3.1	転送モード	13
表 5.1	$\Phi_{Tx} = 40\text{MHz}$, [UARTxCLK]<PRSEL> = 0000, [UARTxBRD]<KEN> = 1 時の設定例	39
表 5.2	$\Phi_{Tx} = 80\text{MHz}$, [UARTxCLK]<PRSEL> = 0000, [UARTxBRD]<KEN> = 1 時の設定例	39
表 7.1	改訂履歴	41

序章

関連するドキュメント

文書名
例外
クロック制御と動作モード
製品個別情報
入出力ポート

表記規約

- 数値表記は以下の規則に従います。
16 進数表記: 0xABC
10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は [m:n]とまとめて表記する場合があります。
例: S[3:0] は S3,S2,S1,S0 の 4 つの信号名をまとめて表記しています。
- 本文中 [] で囲まれたものはレジスタを定義しています。
例: [ABCD]
- 同種で複数のレジスタ、フィールド、ビット名は「n」で一括表記する場合があります。
例: [XYZ1], [XYZ2], [XYZ3] → [XYZn]
- 「レジスタ一覧」中のレジスタ名でユニットまたはチャンネルは「x」で一括表記しています。
ユニットの場合、「x」は A,B,C...を表します。
例: [ADACR0], [ADBCR0], [ADCCR0]→[ADxCR0]
チャンネルの場合、「x」は 0,1,2...を表します。
例: [T32A0RUNA], [T32A1RUNA], [T32A2RUNA]→[T32AxRUNA]
- レジスタのビット範囲は [m:n] と表記します。
例: [3:0] はビット 3 から 0 の範囲を表します。
- レジスタの設定値は 16 進数または 2 進数のどちらかで表記されています。
例: [ABCD]<EFG> = 0x01 (16 進数)、 [XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
バイト: 8 ビット
ハーフワード: 16 ビット
ワード: 32 ビット
ダブルワード: 64 ビット
- レジスタ内の各ビットの属性は以下の表記を使用しています。
R: リードオンリー
W: ライトオンリー
R/W: リード / ライト
- 断りのない限り、レジスタアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスタは書き換えを行わないでください。
また、読み出した値を使用しないでください。
- Default 値が「—」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスタに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- ライトオンリーのレジスタの Reserved ビットフィールドには Default 値を書き込んでください。Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスタへのリードモディファイライト処理は行わないでください。

Arm,Cortex および Thumb は Arm Limited(またはその子会社)の US またはその他の国における
登録商標です。 All rights reserved.



FLASHメモリについては、米国SST社(Silicon Storage Technology, Inc.)からライセンスを受けた Super Flash®技術を使用しています。Super Flash®は SST 社の登録商標です。

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

ACK	Acknowledgement
CTS	Clear To Send
DMA	Direct Memory Access
FIFO	First-In First-Out
LSB	Least Significant Bit
MSB	Most Significant Bit
RTS	Request To Send
TRGSEL	Trigger Selection circuit
UART	Universal Asynchronous Receiver Transmitter

1. 概要

非同期シリアル通信回路(UART)は、1ユニット単位で1チャンネル(UTxTXDA/UTxTXDB/UTxRXD)の送受信回路として動作することができます。以下に、機能の一覧を示します。

機能分類	機能	動作説明
通信速度制御	プリスケアラ分周選択	プリスケアラクロックを 1/1,1/2,1/4~1/512 に分周。
	クロック選択	プリスケアラ分周クロックかタイマ出力を選択可能
	ボーレートジェネレータ	ボーレートジェネレータへのクロック入力に対し、 N 分周または $N + (64 - K) / 64$ 分周が可能。(N =1~65535、K =0~63)
データフォーマット	データ長	7ビット/8ビット/9ビットの選択が可能
	パリティ	パリティ付加: あり/なしの選択が可能 偶数パリティ: 偶数/奇数の選択が可能
	ストップビット長	1ビット、2ビットの選択が可能
	データ転送方向	LSB first/MSB first の選択が可能
	データ信号反転	入出力データ信号を反転して扱うことができます 無効(反転しない)/有効(反転する)の選択が可能
送受信制御	FIFO 段数	受信: 8 段 送信: 8 段
	ノイズ除去機能	受信: UTxRXD に対するノイズ除去のなし/あり(除去時間)を選択可能
	エラー判定	受信: パリティエラー、フレーミングエラー、ブレークエラー、オーバランエラー 送信: トリガ送信エラー
	ハンドシェーク機能	UTxCTS_N/UTxRTS_N 信号によるハンドシェークによる通信制御が可能
	ウェイクアップ機能	データ長 9 ビット時にスレーブコントローラのウェイクアップ動作が可能
連動制御	割り込み	受信割り込み、送信割り込み、エラー割り込み
	DMA 要求	受信 DMA 要求: シングル転送、バースト転送 送信 DMA 要求: シングル転送、バースト転送
特殊制御	ハーフクロックモード通信(送受信)	通常 UART 波形の"Low"幅の半分の波形での通信が可能
	ループバックモード(テスト機能)	送信データが受信データに接続されループバックテストが可能
	ソフトウェアリセット	ソフトウェアによる初期化が可能

UTxTXDA/UTxRXD、UTxCTS_N/UTxRTS_N の機能の入れ替えが可能です。

ポートの設定で変更しますのでリファレンスマニュアルの「入出力ポート」を参照してください。

2. 構成

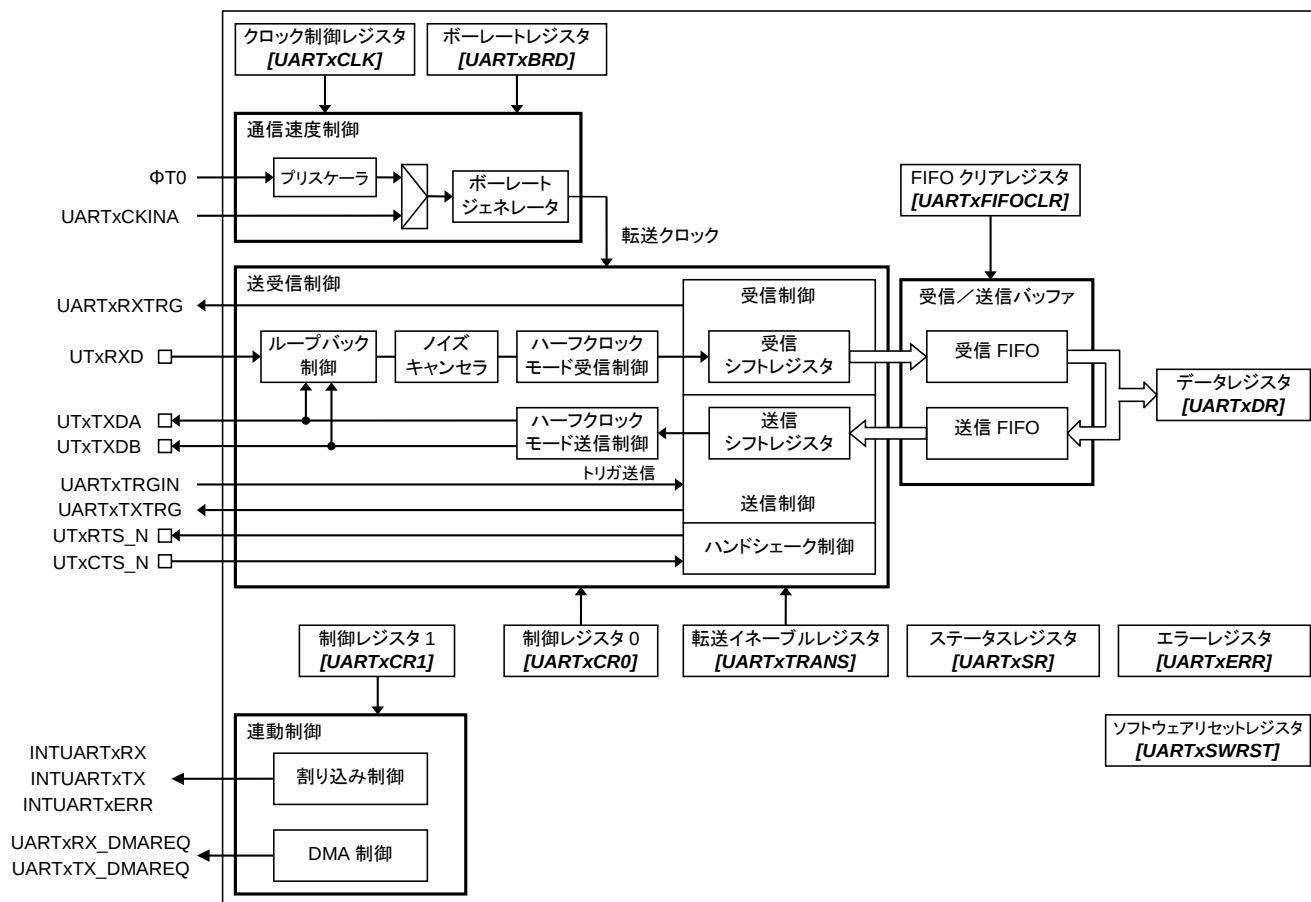


図 2.1 UARTブロック図

表 2.1 信号一覽表

No	信号名	信号名称	I/O	参照リファレンスマニュアル
1	ΦT0	プリスケラック	入力	クロック制御と動作モード
2	UARTxCKINA	タイマ出力	入力	製品個別情報
3	UTxRXD	データ入力端子	入力	製品個別情報
4	UTxTXDA	データ出力端子 A	出力	製品個別情報
5	UTxTXDB	データ出力端子 B	出力	製品個別情報
6	UTxRTS_N	送信要求出力端子	出力	製品個別情報
7	UTxCTS_N	送信可能入力端子	入力	製品個別情報
8	UARTxTRGIN	トリガ送信用トリガ入力	入力	製品個別情報
9	INTUARTxRX	受信割り込み	出力	例外
10	INTUARTxTX	送信割り込み	出力	例外
11	INTUARTxERR	エラー割り込み	出力	例外
12	UARTxRXTRG	受信完了トリガ	出力	製品個別情報
13	UARTxTXTRG	送信完了トリガ	出力	製品個別情報
14	UARTxRX_DMAREQ	受信 DMA 要求	出力	製品個別情報
15	UARTxTX_DMAREQ	送信 DMA 要求	出力	製品個別情報

3. 動作説明・機能説明

3.1. クロック供給

UART を使用する場合は、fsys 供給停止レジスタ A([CGFSYSENA]、[CGFSYSMENA])、fsys 供給停止レジスタ B([CGFSYSENB]、[CGFSYSMENB])、fc 供給停止レジスタ([CGFCEN]) で該当するクロックイネーブルビットを"1"(クロック供給)に設定してください。

該当レジスタ、ビット位置は製品によって異なります。そのため、製品によってレジスタが存在しない場合があります。詳細はリファレンスマニュアルの「クロック制御と動作モード」を参照してください。

クロックの供給を停止する場合、UART が停止していることを確認してください。また、ストップモードに遷移する際も同様に UART が停止していることを確認してください。

3.2. 転送クロック(ボーレート生成)

転送クロックの生成回路を示します。

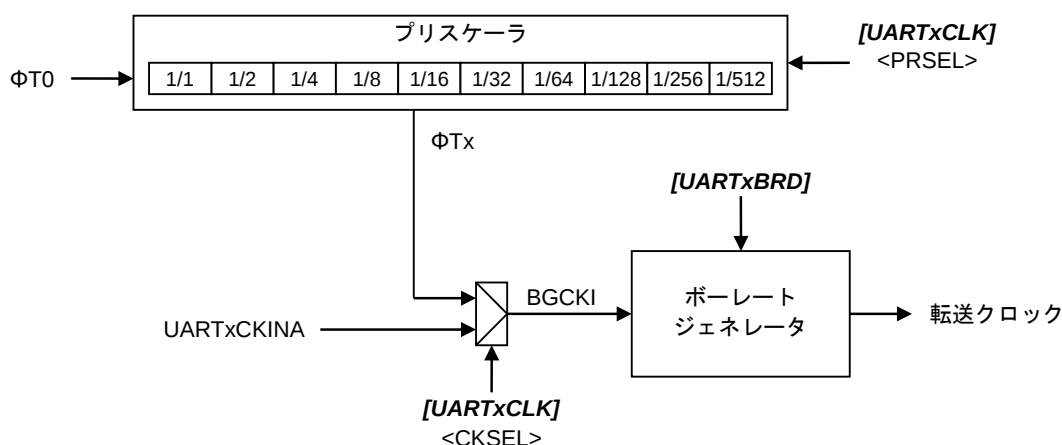


図 3.1 転送クロック生成回路

プリスケアラは、プリスケアラクロック (ΦT0) を 1/1 ～ 1/512 に分周します。分周の選択は、[UARTxCLK]<PRSEL>(プリスケアラ分周選択)で行います。

[UARTxCLK]<CKSEL>(ボーレートジェネレータクロック選択)でボーレートジェネレータ入力をプリスケアラ分周クロック (ΦTx) か タイマ出力 (UARTxCKINA) を選択します(注)。

ボーレートジェネレータは、<CKSEL> で選択されたクロック (BGCKI) を N 分周または $N + (64 - K) / 64$ 分周して転送クロックを生成します。分周の設定は [UARTxBRD] (ボーレートレジスタ)で行います。転送クロック周波数はボーレートの 16 倍です。

注) タイマ出力選択時、UARTxCKINA の High 幅, Low 幅は必ず ΦT0 周期の 2 倍以上にしてください。

ボーレートは以下の計算式であらわされます。

$$\text{ボーレート} = \frac{\text{BGCKI}}{N + \frac{(64 - K)}{64}} \div 16$$

N 分周のボーレートは以下の計算式であらわされます。

$$\text{ボーレート} = \frac{\text{BGCKI}}{N} \div 16$$

注) 最大ボーレートは製品ごとに異なりますので、ご使用製品のデータシートまたはリファレンスマニュアル「製品個別情報」を参照してください。

3.3. データフォーマット

表 3.1 と図 3.2 にデータフォーマットをまとめます。
データ長、転送方向、パリティ、ストップビット長、データ信号反転を選択できます。

表 3.1 転送モード

データ長	転送方向	パリティ	ストップビット長(送信)	データ信号反転
7 ビット	LSB first / MSB first	あり / なし 偶数 / 奇数	1 ビットまたは 2 ビット	反転する / しない
8 ビット				
9 ビット				

- データ長 7 ビット / LSB first / データ信号反転しない

パリティなし start bit 0 1 2 3 4 5 6 stop

パリティあり start bit 0 1 2 3 4 5 6 parity stop

- データ長 8 ビット / LSB first / データ信号反転しない

パリティなし start bit 0 1 2 3 4 5 6 7 stop

パリティあり start bit 0 1 2 3 4 5 6 7 parity stop

- データ長 9 ビット / LSB first / データ信号反転しない

パリティなし start bit 0 1 2 3 4 5 6 7 8 stop

パリティあり start bit 0 1 2 3 4 5 6 7 8 parity stop

- データ長 9 ビット / MSB first / データ信号反転する

パリティなし start bit 8 7 6 5 4 3 2 1 0 stop

パリティあり start bit 8 7 6 5 4 3 2 1 0 parity stop

図 3.2 データフォーマット

- データ長
7、8、9 ビットが選択できます。

- パリティ制御

[UARTxCR0]<PE>(パリティ付加機能)に"1"を設定するとパリティが有効になります。
[UARTxCR0]<EVEN>(偶数パリティ選択)で偶数/奇数パリティを選択することができます。

送信時、送信バッファのデータに対して自動的にパリティを発生します。<PE>と<EVEN>の設定は、送信データを**[UARTxDR]<DR>**(送信データ)に書き込む前に行ってください。

受信時は受信データからパリティを自動発生し、受信したパリティビットと比較します。異なっているとパリティエラーが発生します。

(3) ストップビット長

[UARTxCR0]<SBLEN>(ストップビット長選択)で、UART 送信モードのストップビット長を 1 ビットまたは 2 ビットに設定できます。受信の場合にはこのビットの設定にかかわらず 1 ビットのストップビット長として認識します。

(4) 送信信号

通常通信の場合、UTxTXDA から出力されます。
ハーフクロックモード通信の場合、UTxTXDA および UTxTXDB から出力されます。詳細は、「3.9 ハーフクロックモード通信」を参照してください。

(5) データ反転

[UARTxCR0]<IV>(データ信号反転機能)で設定します。"1"の場合、入出力データ信号を反転して扱います。

(6) データ入れ替え

UTxTXDA と UTxRXD および UTxCTS_N と UTxRTS_N の機能を入れ替えます。ポートの設定で変更しますのでリファレンスマニュアルの「入出力ポート」を参照してください。

3.4. 受信バッファ/送信バッファ

受信データ/送信データは受信バッファ/送信バッファに格納されます。

受信バッファ、送信バッファはシフトレジスタと FIFO で構成されています。FIFO は、受信用、送信用ともに 8 段です。

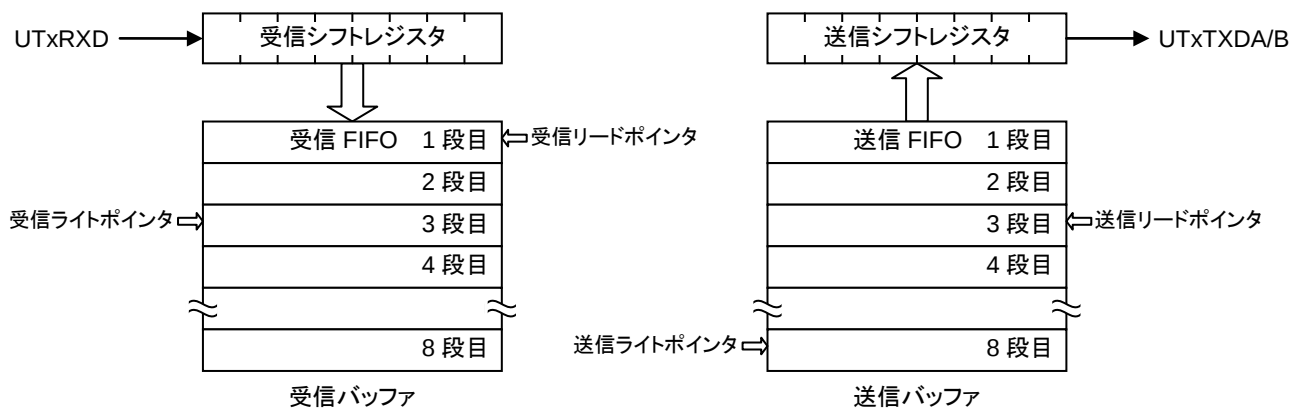


図 3.3 受信バッファ/送信バッファの構成

3.4.1. 受信バッファ

UTxRXD から入力されたデータが受信シフトレジスタに全ビット(1 フレーム)格納されると受信 FIFO に転送され、受信ライトポインタは次の段に移動します。受信 FIFO をリードすると受信リードポインタが次の段に移動します。受信 FIFO のデータは[UARTxDR](データレジスタ)から読み出します。

受信 FIFO の格納データ数は、[UARTxSR]<RLVL>(受信 FIFO fill レベル状態)で確認できます。受信 FIFO にデータが存在しないときに[UARTxDR]をリードしないでください。

受信 FIFO のデータ格納段数が[UARTxCR1]<RIL>(受信 Fill レベル設定)で設定された段数と一致すると[UARTxSR]<RXFF>(受信 FIFO フラグ)に"1"がセットされます。このとき、受信 FIFO 割り込み制御が許可([UARTxCR1]<INTRXFE>=1)されていると(注)、受信割り込みが発生します。[UARTxCR1]<RIL>は 1~8 段の設定で使用できます。

[UARTxFIFOCLR]<RFCLR>(受信バッファクリア)に"1"を書くと FIFO の受信リード/ライトポインタが初期状態に戻ります。

注) 受信完了割り込み制御許可(<INTRXWE>=1)と受信 FIFO 割り込み制御許可(<INTRXFE>=1)は同時に設定しないでください。

3.4.2. 送信バッファ

[UARTxDR](データレジスタ)に書き込んだ送信データは送信 FIFO に格納され、送信ライトポインタが次の段に移動します。送信を許可すると送信 FIFO から送信シフトレジスタへデータが転送され、UTxTXDA と UTxTXDB から出力されます。送信シフトレジスタへのデータ転送で送信リードポインタは次の段に移動します。

送信 FIFO の格納データ数は、[UARTxSR]<TLVL>(送信 FIFO fill レベル状態)で確認できます。

送信 FIFO から送信シフトレジスタへの転送によって、送信 FIFO の格納段数が[UARTxCR1]<TIL>(送信 Fill レベル設定)で設定された段数と一致すると[UARTxSR]<TXFF>(送信 FIFO フラグ)に"1"がセットされます。送信 FIFO 割り込み制御が許可([UARTxCR1]<INTTXFE>=1)されていると送信割り込みが発生します。[UARTxCR1]<TIL>は 0~7 段の設定で使用できます。

[UARTxFIFOCLR]<TFCLR>(送信バッファクリア)に"1"を書くと FIFO の送信リード/ライトポインタが初期状態に戻ります。

3.5. 受信

3.5.1. 基本動作

受信動作を行うには、**[UARTxTRANS]<RXE>**(受信制御)に"1"を設定して受信を許可します。

受信許可後、UTxRXDからスタートビットを検出すると受信動作を開始しデータビット、ストップビットを受信します。なお、**[UARTxTRANS]<RXE> =1** 設定時に UTxRXD が"Low"の場合、直ちにスタートビット検出とみなします。

1フレームの受信が完了すると受信データを受信シフトレジスタから受信FIFOに転送し、受信完了フラグがセットされます。その際、受信完了割り込み制御が許可されている場合(**[UARTxCR1]<INTRXWE> =1**)には受信割り込みが発生します。

受信FIFO割り込み制御が許可されている状態(**[UARTxCR1]<INTRXFE> =1**)で、受信FIFOに設定された Fill レベル(**[UARTxCR1]<RIL>**(受信 Fill レベル設定))までデータが格納されると、受信割り込みが発生します。

注) 受信完了割り込み制御許可(**<INTRXWE> =1**)と受信FIFO割り込み制御許可(**<INTRXFE> =1**)は同時に設定しないでください。

受信割り込みの具体的な発生例

- Fill レベルが"1"の場合(**[UARTxCR1]<RIL> =001**)
受信FIFOにデータのない状態で1フレームの受信が完了し、受信シフトレジスタから受信FIFOにデータが転送され、受信FIFOの格納段数が1段になったとき。
- Fill レベルが"8"の場合(**[UARTxCR1]<RIL> =000**)
受信FIFOにデータが7段格納された状態で1フレームの受信が完了し、受信シフトレジスタから受信FIFOにデータが転送され、受信FIFOの格納段数が8段になったとき。

受信中に**[UARTxTRANS]<RXE>**を"0"を設定した場合、受信が完了してから動作を停止します。

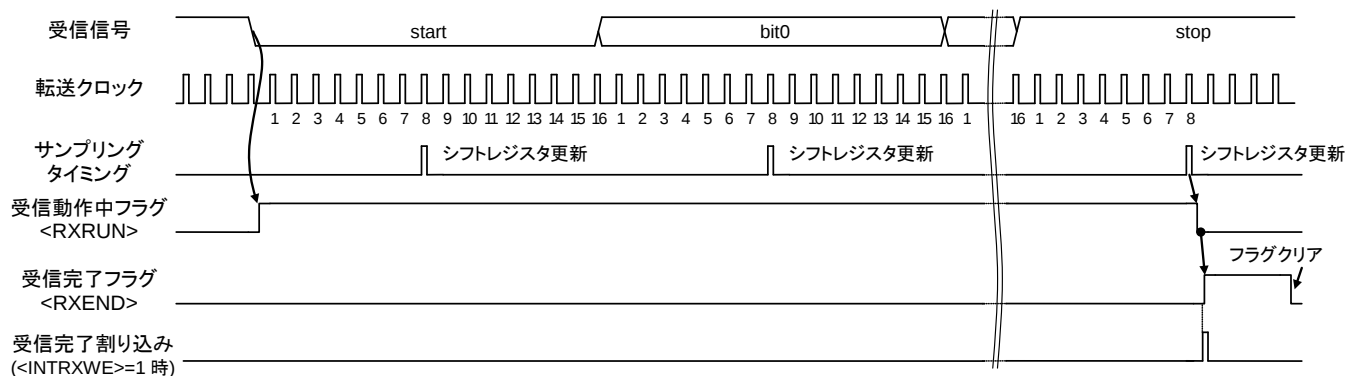


図 3.4 受信タイミング

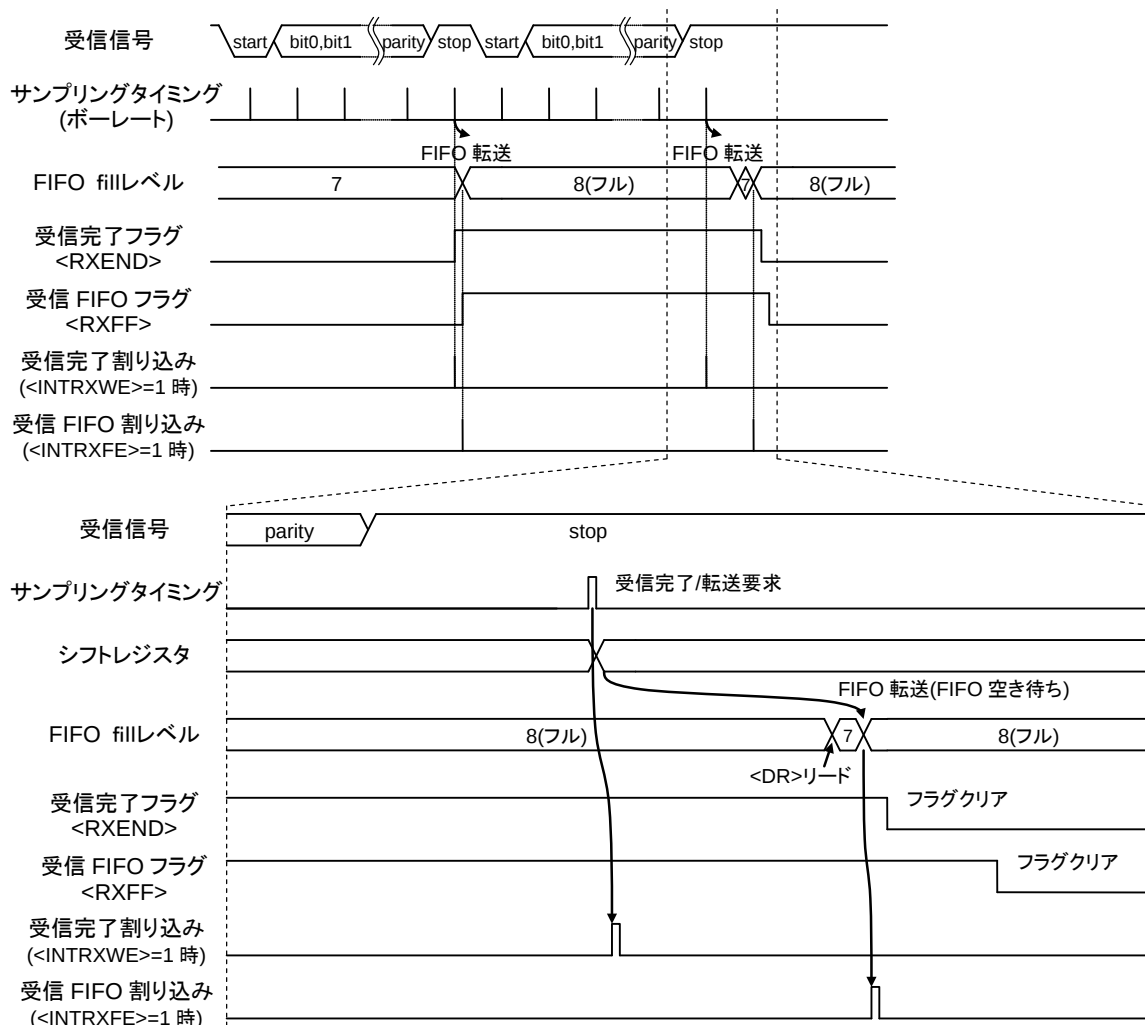


図 3.5 受信バッファフル動作タイミング

3.5.2. 受信エラー処理

エラーと判定された場合は **[UARTxERR]**(エラーレジスタ)と **[UARTxDR]**(データレジスタ)の該当するエラーフラグのビットに"1"がセットされます。エラーが発生した場合は、適切に処理してください。また、エラー割り込み制御が許可されている場合 (**[UARTxCRI1]<INTERR>=1**)はエラー割り込みが発生します。

注) 1 つでもエラーフラグが成立しているとエラー割り込みは出力されます。エラー割り込みを取り下げるには、 **[UARTxERR]**で全てのエラーフラグをクリアしてください。

受信中は以下のエラー判定を行います。

- パリティエラー
パリティが有効な場合 **[UARTxCRO0]<PE>** (パリティ付加機能) =1 は、データの全ビットを受信後、受信データから生成したパリティと受信したパリティビットの値を比較します。一致しなければパリティエラーと判定します。なお、ブレークエラー成立時はマスクされます。
- フレーミングエラー
受信したストップビットが"0"の場合、フレーミングエラーと判定します。なお、ブレークエラー成立時はマスクされます。

- ブレークエラー
スタートビットからストップビットまで全てのデータが"0"の場合、ブレークエラーと判定します。
- オーバランエラー
受信 FIFO の全ての段にデータが格納され、受信シフトレジスタにもデータがある状態で、次のフレームのスタートビットを検出した場合、オーバランエラーと判定します。
オーバランエラーと判定されても受信動作は継続しますが、受信データは受信シフトレジスタに格納されずに破棄され前のデータが保持されます。受信シフトレジスタ内のデータは、受信データ **[UARTxDR]**(データレジスタ)の読み出しにより FIFO に空きができると受信シフトレジスタから受信 FIFO に転送されます。また、オーバランフラグが有効な間、受信割り込みは発生しません。

オーバランエラーが発生した場合は以下の手順で対処してください。

- (1) 受信制御の禁止(**[UARTxTRANS]<RXE>=0**)
- (2) 全ての受信データ **[UARTxDR]**を読み出す
- (3) 受信停止(**[UARTxSR]<RXRUN>=0**)を確認
- (4) **[UARTxERR]<OVRERR>**のクリア
- (5) 受信制御の再許可(**[UARTxTRANS]<RXE>=1**)

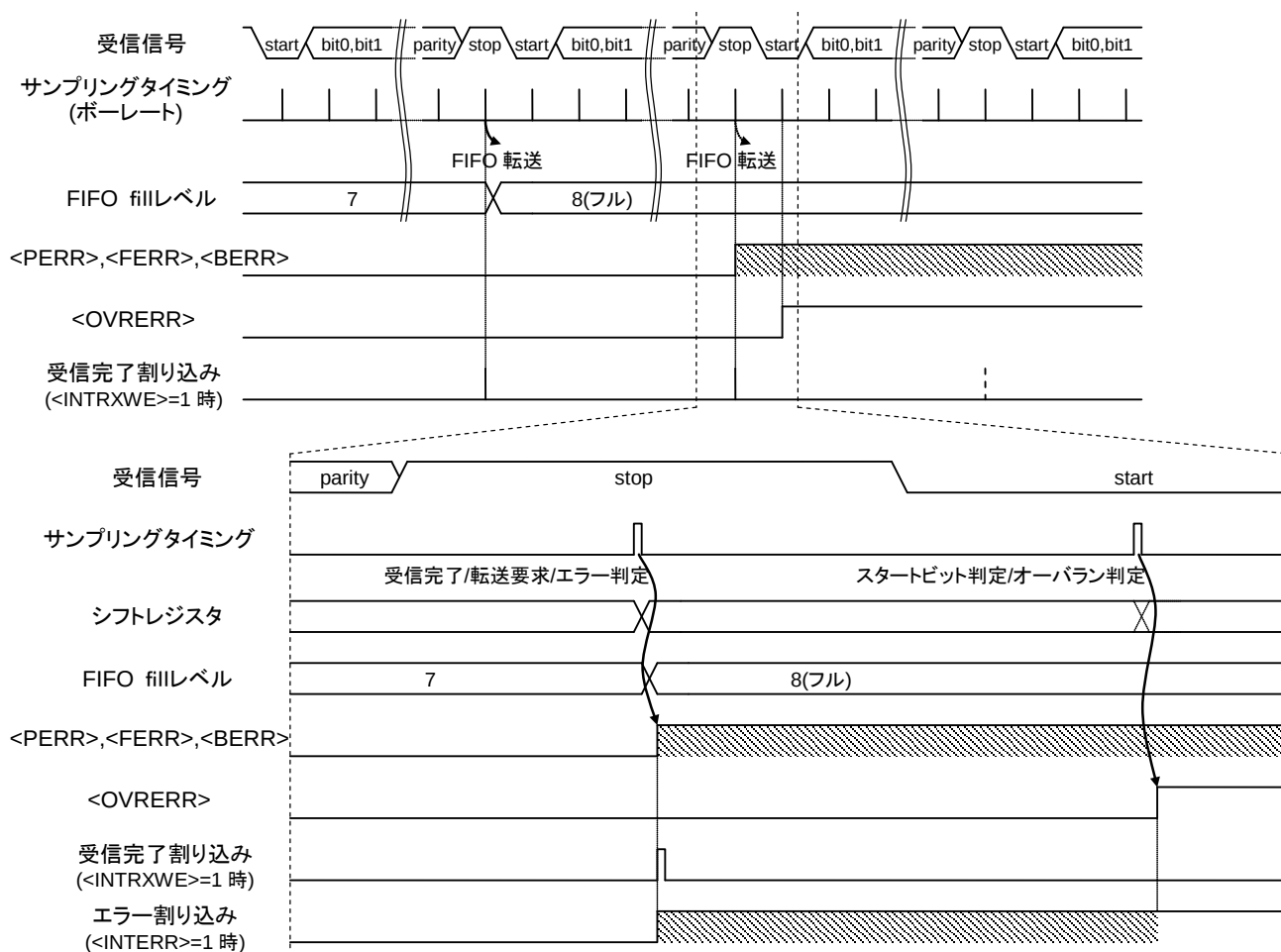


図 3.6 エラーフラグ更新タイミング

オーバランエラー発生時に受信許可したままオーバランフラグをクリアした場合、フラグクリア後、最初の STOP ビット受信でシフトレジスタの最新の値が FIFO に格納され、以降も受信動作を継続します。この時、オーバランエラー発生直前とフラグクリア後最初の STOP ビット受信で格納されたデータについては保証されません。

3.5.3. RXD 入力のノイズ除去

UTxRXD 入力にはノイズ除去機能があり $\Phi T0$ クロックまたは転送クロックで動作します、 $[UARTxCR0]<NF>$ (UTxRXD のノイズ除去時間選択)でノイズ除去時間を設定できます。

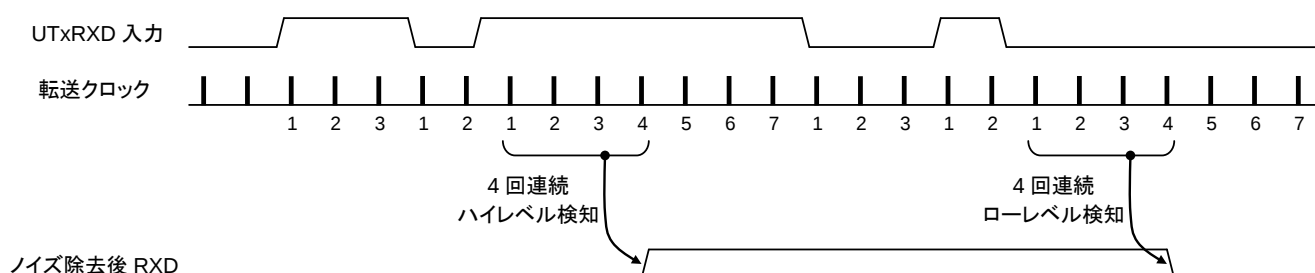


図 3.7 ノイズ除去動作(<NF>=101 の場合)

3.6. 送信

3.6.1. 基本動作

送信動作には通常動作送信とトリガ機能による送信があります。

- 通常動作時

送信動作を行うには、**[UARTxTRANS]<TXE>**(送信制御)に"1"を設定して送信を許可します。
送信 FIFO にデータを書き込むか、すでに送信 FIFO にデータがあれば送信を開始します。
トリガ機能を使用しない通常の送信動作時は、**[UARTxTRANS]<TXTRG>**に"0"を設定してください。

送信開始とともに、送信 FIFO から送信シフトレジスタにデータが転送されます。スタートビットの出力後、データ、パリティ(パリティありの場合)、ストップビットを送信します。1 フレームの送信を完了すると送信完了フラグがセットされ、送信完了割り込み制御が許可(**[UARTxCR1]<INTTXWE>=1**)されている場合には送信割り込みが発生します。

送信動作は、送信 FIFO に格納されたデータが全て送信されるまで続きます。

送信動作により送信 FIFO の格納段数が**[UARTxCR1]<TIL>**(送信 Fill レベル設定)で設定された Fill レベルになると、送信 FIFO 割り込み制御が許可(**[UARTxCR1]<INTTXFE>=1**)されている場合には送信割り込みが発生します。

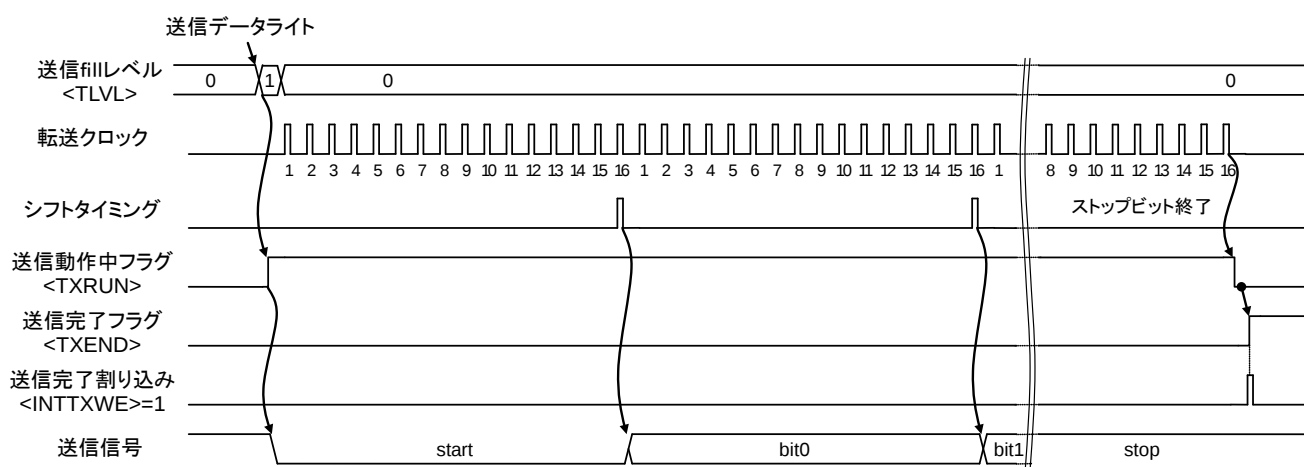


図 3.8 送信タイミング

- トリガ機能により送信を行う場合

[UARTxTRANS]<TXTRG>に"1"を、**[UARTxTRANS]<TXE>**は"0"を設定してください。
送信 FIFO にデータがある状態で、トリガが入力されると**[UARTxTRANS]<TXE>**は自動的に"1"となり送信を開始します。

必要なデータ数を送信後、送信 FIFO にデータ書き込んでから**[UARTxTRANS]<TXE>**に"0"を設定すると再びトリガ待ち状態となります。送信動作は通常動作時と同じ動作になります。
送信動作中に新たなトリガが入力されても無視されます。

送信 FIFO にデータがない状態でトリガが発生すると無視されます。また、エラー割り込みが出力され、**[UARTxERR]<TRGERR>**(トリガ送信エラーフラグ)がセットされます。エラーが発生した場合

合は、適切に処理してください。

注) 1 つでもエラーフラグが成立しているとエラー割り込みは出力されます。エラー割り込みを取り下げるには、**[UARTxERR]**で全てのエラーフラグをクリアしてください。

送信開始とともに、送信 FIFO から送信シフトレジスタにデータが転送されます。スタートビットの出力後、データ、パリティ(パリティありの場合)、ストップビットを送信します。1 フレームの送信を完了すると送信完了フラグがセットされ、送信完了割り込み制御が許可(**[UARTxCR1]**<INTTXWE> =1)されている場合には送信割り込みが発生します。

送信動作は、送信 FIFO に格納されたデータが全て送信されるまで続きます。**[UARTxTRANS]**<TXTRG>が"1"の場合、全てのデータを送信すると、トリガ待ち状態になります。

送信動作により送信 FIFO の格納段数が**[UARTxCR1]**<TIL>(送信 Fill レベル設定)で設定された Fill レベルになると、送信 FIFO 割り込み制御が許可(**[UARTxCR1]**<INTTXFE> =1)されている場合には送信割り込みが発生します。

- 送信割り込みの具体的な発生例

- Fill レベル設定が"0"の場合(**[UARTxCR1]**<TIL> =000)
送信 FIFO にデータが 1 段格納された状態で、次の送信のために送信 FIFO から送信シフトレジスタにデータが転送され、送信 FIFO の格納段数が 0 段になったとき。
- Fill レベルが"7"の場合(**[UARTxCR1]**<TIL> =111)
送信 FIFO にデータが 8 段格納された状態で、次の送信のために送信 FIFO から送信シフトレジスタにデータが転送され、送信 FIFO の格納段数が 7 段になったとき。

- 送信制御の禁止

送信中に**[UARTxTRANS]**<TXE>に"0"を設定した場合、送信中の 1 フレームの送信が完了してから停止します。このとき、送信 FIFO の内容は保持されます。また、送信制御を再許可する場合、**[UARTxSR]**<TXRUN> =0 で送信完了を確認した後に、**[UARTxTRANS]**<TXE>を"1"にしてください。

3.6.2. ブレークエラーの送信

[UARTxTRANS]<BK>(ブレーク送信制御)に"1"を設定すると、**[UARTxTRANS]**<TXE>(送信制御)およびハーフクロックモード許可/禁止の状態にかかわらず UTxTXDA/B に"Low"レベルの出力を開始します。送信動作中に**[UARTxTRANS]**<BK>を"1"にした場合、1 フレームの送信完了後に"Low"レベルの出力を開始します。また、CTS ハンドシェーク有効(**[UARTxCRO]**<CTSE> =1)で UTxCTS_N 端子が"High"の場合でも、"Low"レベルの出力を開始します。

"Low"レベルの出力を終了するには、**[UARTxTRANS]**<BK>に"0"を設定します。

3.7. ハンドシェーク機能

CTS/RTS ハンドシェーク機能は、送信時は UTxCTS_N、受信時は UTxRTS_N を用いて通信を制御する機能です。ハンドシェーク機能は **[UARTxCRO]<CTSE>**(CTS ハンドシェーク機能)で CTS ハンドシェークの無効/有効を、**[UARTxCRO]<RTSE>**(RTS ハンドシェーク機能)で RTS ハンドシェークの無効/有効を設定できます。

CTS ハンドシェーク機能が有効の場合、送信中に UTxCTS_N が "High" レベルになると、現在送信中のデータを送信完了後、UTxCTS_N が "Low" レベルに戻るまで送信を停止します。送信割り込みは通常のタイミングで発生しますので、次の送信データを送信バッファに書き込み、送信待機状態にすることができます。

RTS ハンドシェーク機能が有効の場合、受信が可能な状態で UTxRTS_N から "Low" レベルを出力します。受信が可能な状態とは、以下の条件が成立する場合です。

- **[UARTxTRANS]<RXE>**(受信制御)が "1" で受信許可状態である
- 受信動作中でない
- 受信 FIFO または受信シフトレジスタに空きがある

3.8. ウェイクアップ機能

9ビットモードでは、ウェイクアップ機能制御ビット $[UARTxCR0]<WU>$ (ウェイクアップ機能) を "1" にすることによって、スレーブコントローラのウェイクアップ動作が可能です。

受信データの最上位ビット ($[UARTxDR]<DR[8]>$ (受信データ)) が "1" のときのみ受信割り込みが発生します。

注) スレーブコントローラの $UTxTXDA$ は、必ずオープンドレイン出力モードにしてください。

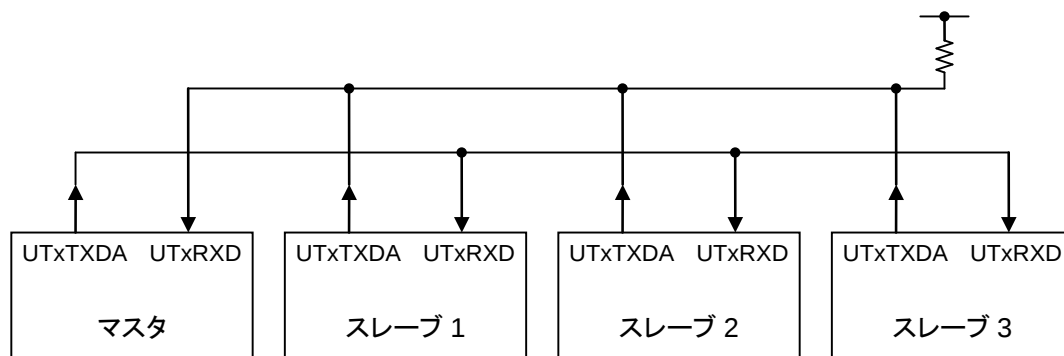


図 3.9 ウェイクアップ機能によるシリアルリンク

ウェイクアップ機能の使用手順は以下のとおりです。

マスターコントローラおよびスレーブコントローラは9ビットモード ($[UARTxCR0]<SM>$ (データ長選択) = 10) に設定し、各スレーブコントローラは $[UARTxCR0]<WU>$ を "1" にセットし、受信可能状態とします。スレーブコントローラごとにセレクトコード (8ビット) をあらかじめ準備してください。

マスターコントローラは、スレーブコントローラのセレクトコード (8ビット) を 1 フレーム送信します。このとき最上位ビット $[UARTxDR]<DR[8]>$ (送信データ) は "1" に設定します。

各スレーブコントローラは、上記フレームを受信し、あらかじめ準備していた自分のセレクトコードと一致すれば、 $[UARTxCR0]<WU>$ を "0" にクリアします。セレクトコードの比較はソフトウェアで行ってください。

マスターコントローラは指定したスレーブコントローラ ($[UARTxCR0]<WU>=0$ にクリアされたコントローラ) に対しデータを送信します。このとき、最上位ビット $[UARTxDR]<DR[8]>$ は "0" にします。

$[UARTxCR0]<WU>=1$ のままのスレーブコントローラは、受信データの最上位ビットの $[UARTxDR]<DR[8]>$ (受信データ) が "0" であるため、受信割り込みが発生せず、受信データを無視します。また、 $[UARTxCR0]<WU>=0$ になったスレーブコントローラはマスターコントローラにデータを送信し、この送信データで受信終了をマスターコントローラに知らせることもできます。

3.9. ハーフクロックモード通信

$[UARTxCR0]<HBSEN>$ を"1"とするとハーフクロックモード通信が有効になります。ハーフクロックモード通信では"0"データの波形が異なり、通常の UART 波形の"Low"幅の半分になります。

3.9.1. ハーフクロックモードの受信

ハーフクロックモードの受信では、入力信号 $UTxRXD$ の"Low"を検出し"0"のデータとして整形した信号を受信データとして扱います。

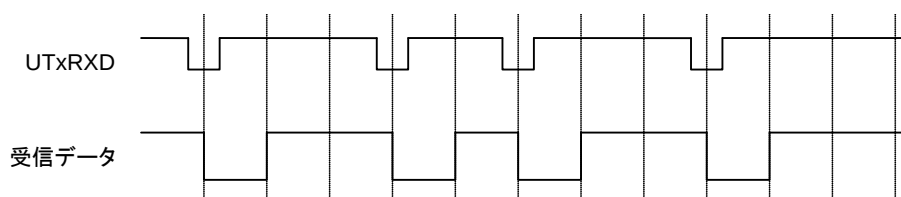


図 3.10 ハーフクロックモードの受信例

3.9.2. ハーフクロックモードの送信

ハーフクロックモードの"0"データの波形は、図 3.11 のように通常の UART 通信の半分になります。

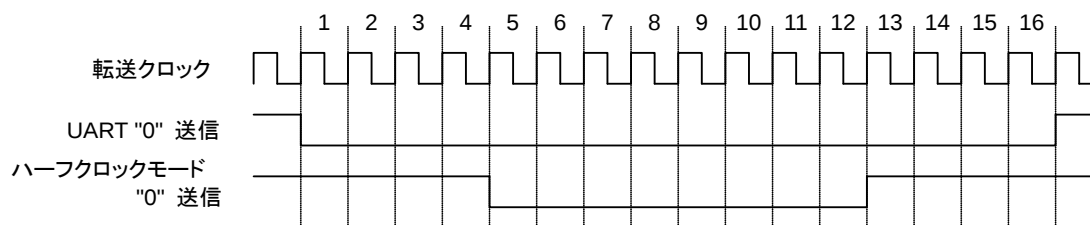


図 3.11 ハーフクロックモード時"0"送信波形

ハーフクロックモードは 2 本の送信信号を持ちます。 $[UARTxCR0]<HBSMD>$ (ハーフクロックモード通信出力制御)が"0"(1 端子モード)の場合同じ波形を出力し、"1"(2 端子モード)の場合"0"データを交互に出力します。どちらの送信信号から"0"の出力を開始するかを、 $[UARTxCR0]<HBSST>$ (ハーフクロックモード通信スタート制御)で設定します。

(1) 1 端子モード

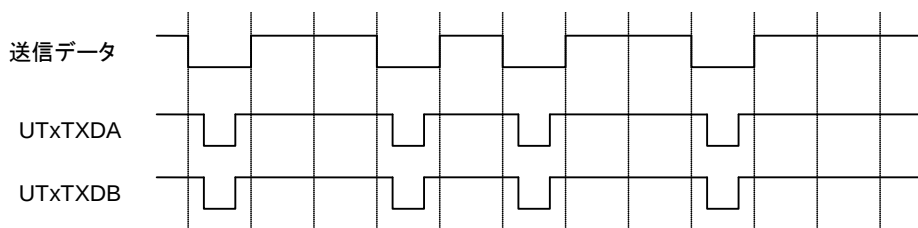


図 3.12 1端子モード時の送信波形

(2) 2 端子モード([UARTxCR0]<HBSST>=0、UTxTXDA 最初に"0"を出力)

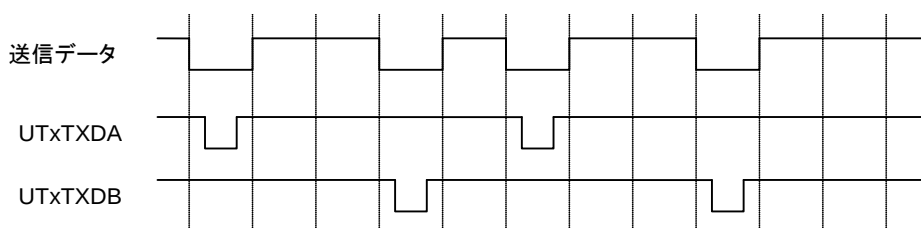


図 3.13 2端子モード時の送信波形

3.10. DMA 要求

DMA 要求にはシングル要求とバースト要求があります。

- 受信 DMA 要求

[UARTxCR1]<DMARE>(受信 DMA 制御)に"1"を設定すると許可されます。

FIFO に 1 つ以上のデータが存在する場合、シングル要求が発生します。

fill レベルの現在値を示す[UARTxSR]<RLVL>(受信 FIFO fill レベル状態)の値が[UARTxCR1]<RIL>(受信 Fill レベル設定)に設定された受信割り込み発生条件(Fill レベル)以上になったとき、または DMA 転送終了時にまだ Fill レベル以上であればバースト要求が発生します。

- 送信 DMA 要求

[UARTxCR1]<DMATE>(送信 DMA 制御)に"1"を設定すると許可されます。

FIFO に 1 段以上の空きがある場合、シングル要求が発生します。

fill レベルの現在値を示す[UARTxSR]<TLVL>(送信 FIFO fill レベル状態)の値が[UARTxCR1]<TIL>(送信 Fill レベル設定)に設定された送信割り込み発生条件(Fill レベル)以下になったときにバースト要求が発生します。DMA 転送終了時にまだ Fill レベル以下であればバースト要求が発生します。

3.11. ループバックモード(テスト機能)

[UARTxCR0]<LPB>(ループバック機能)に"1"を設定するとループバック機能が有効になります。ループバック機能を有効にすると、送信データが受信データに接続されループバックテストが可能になります。

ハーフクロック通信の設定[*UARTxCR0*]<HBSEN>(ハーフクロックモード制御)により接続先が変わります。

<HBSEN> =0 無効な場合

UTxTXDA が受信データに接続されます。

<HBSEN> =1 有効な場合

UTxTXDA と UTxTXDB の論理積をとった信号が受信データに接続されます。

3.12. ソフトウェアリセット

[UARTxSWRST]<SWRST>(ソフトウェアリセット)に"10"、"01"の順でライトすることによりソフトウェアリセットが発生します。

ソフトウェアリセットの発生により転送が停止し、FIFO のリード/ライトポインタとエラーフラグが初期化されるため、**[UARTxTRANS]**(転送イネーブルレジスタ)、**[UARTxDR]**(データレジスタ)、**[UARTxSR]**(ステータスレジスタ)、**[UARTxERR]**(エラーレジスタ)の各レジスタの内容は初期状態となります。

[UARTxCR0](制御レジスタ 0)、**[UARTxCR1]**(制御レジスタ 1)、**[UARTxCLK]**(クロック制御レジスタ)、**[UARTxBRD]**(ボーレートレジスタ)、の各レジスタの内容は保持されます。

ソフトウェアリセット動作の状態は、**[UARTxSWRST]<SWRSTF>**(ソフトウェアリセットフラグ)で確認できます。ソフトウェアリセット後は、<SWRSTF>が"0"であることを確認してから次の操作を行ってください。

4. レジスタ説明

4.1. レジスタ一覧

制御レジスタとアドレスは以下のとおりです。

周辺機能		チャンネル/ユニット	ベースアドレス		
			TYPE 1	TYPE 2	TYPE 3
非同期シリアル通信回路	UART	ch0	0x400BB000	0x400CE000	0x4006E000
		ch1	0x400BB100	0x400CE400	0x4006E400
		ch2	0x400BB200	0x400CE800	0x4006E800
		ch3	0x400BB300	0x400CEC00	0x4006EC00
		ch4	0x400BBD00	0x400CF000	0x4006F000
		ch5	0x400BBE00	0x400CF400	0x4006F400
		ch6	—	0x400CF800	0x4006F800
		ch7	—	0x400CFC00	0x4006FC00

注) 製品によって搭載されるチャンネル/ユニットおよびベースアドレスタイプは異なります。
詳細はリファレンスマニュアルの「製品個別情報」を参照してください。

レジスタ名		アドレス(Base+)
ソフトウェアリセットレジスタ	[UARTxSWRST]	0x0000
制御レジスタ 0	[UARTxCR0]	0x0004
制御レジスタ 1	[UARTxCR1]	0x0008
クロック制御レジスタ	[UARTxCLK]	0x000C
ボーレートレジスタ	[UARTxBRD]	0x0010
転送イネーブルレジスタ	[UARTxTRANS]	0x0014
データレジスタ	[UARTxDR]	0x0018
ステータスレジスタ	[UARTxSR]	0x001C
FIFO クリアレジスタ	[UARTxFIFOCLR]	0x0020
エラーレジスタ	[UARTxERR]	0x0024

4.2. レジスタ詳細

4.2.1. [UARTxSWRST] (ソフトウェアリセットレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:8	—	0	R	リードすると"0"が読めます。
7	SWRSTF	0	R	ソフトウェアリセットフラグ 0: ソフトウェアリセット中ではない 1: ソフトウェアリセット中
6:2	—	0	R	リードすると"0"が読めます。
1:0	SWRST[1:0]	00	W	ソフトウェアリセット "10"→"01"の順に書き込むことでソフトウェアリセットが発生します。 ソフトウェアリセットにより、[UARTxTRANS]、[UARTxDR]、 [UARTxSR]、[UARTxERR]の各レジスタは初期化されます。また、送 受信回路が初期化され FIFO のリード/ライトポインタは初期状態に戻 ります。 リードすると"00"が読めます。

4.2.2. [UARTxCR0] (制御レジスタ 0)

Bit	Bit Symbol	リセット後	Type	機能
31:19	—	0	R	リードすると"0"が読めます。
18	HBSST	0	R/W	ハーフクロックモード通信スタート制御 0: UTxTXDA 端子から出力開始 1: UTxTXDB 端子から出力開始
17	HBSMD	0	R/W	ハーフクロックモード通信出力制御 0: 1 端子モード 1: 2 端子モード
16	HBSEN	0	R/W	ハーフクロックモード制御 0: 無効 1: 有効
15	LPB	0	R/W	ループバック機能 0: 無効 1: 有効
14:12	NF[2:0]	000	R/W	UTxRXD のノイズ除去時間選択 000: なし 001: $\Phi T0$ クロックで 2 周期以下の信号をノイズとして除去し、 3 周期以上を有効信号とします。 010: $\Phi T0$ クロックで 4 周期以下の信号をノイズとして除去し、 5 周期以上を有効信号とします。 011: $\Phi T0$ クロックで 8 周期以下の信号をノイズとして除去し、 9 周期以上を有効信号とします。 100: 転送クロックで 2 周期以下の信号をノイズとして除去し、 3 周期以上を有効信号とします。 101: 転送クロックで 3 周期以下の信号をノイズとして除去し、 4 周期以上を有効信号とします。 110: 転送クロックで 4 周期以下の信号をノイズとして除去し、 5 周期以上を有効信号とします。 111: 転送クロックで 5 周期以下の信号をノイズとして除去し、 6 周期以上を有効信号とします。 ノイズ除去動作については「3.5.3 RXD 入力のノイズ除去」を参照してください。
11	—	0	R	リードすると"0"が読めます。
10	CTSE	0	R/W	CTS ハンドシェイク機能 0: 無効 1: 有効
9	RTSE	0	R/W	RTS ハンドシェイク機能 0: 無効 1: 有効
8	WU	0	R/W	ウェイクアップ機能 0: 無効 1: 有効 9 ビットモードの場合のみ有効で、その他のモードでは無視されます。有効の場合、受信データ 9 ビット目が"1"のときのみ受信割り込みが発生します。
7	—	0	R	リードすると"0"が読めます。

Bit	Bit Symbol	リセット後	Type	機能
6	IV	0	R/W	データ信号反転機能 0: 無効(反転しない) 1: 有効(反転する)
5	DIR	0	R/W	データ転送方向選択 0: LSB first 1: MSB first
4	SBLLEN	0	R/W	ストップビット長選択 0: 1 ビット 1: 2 ビット
3	EVEN	0	R/W	偶数パリティ選択 0: 奇数パリティ 1: 偶数パリティ
2	PE	0	R/W	パリティ付加機能 0: なし 1: あり
1:0	SM[1:0]	00	R/W	データ長選択 00: 7 ビット 01: 8 ビット 10: 9 ビット 11: Reserved

注) 送受信中は設定できません。

[UARTxSR]<SUE>(設定可能状態フラグ)=0 設定可能状態の場合に設定できます。

4.2.3. [UARTxCR1] (制御レジスタ 1)

Bit	Bit Symbol	リセット後	Type	機能
31:15	—	0	R	リードすると"0"が読めます。
14:12	TIL[2:0]	000	R/W	送信 Fill レベル設定 000: 0 段 001: 1 段 : 111: 7 段 送信割り込みが発生する Fill レベルを設定します。
11	—	0	R	リードすると"0"が読めます。
10:8	RIL[2:0]	001	R/W	受信 Fill レベル設定 000: 8 段 001: 1 段 : 111: 7 段 受信割り込みが発生する Fill レベルを設定します。
7	INTTXFE	0	R/W	送信 FIFO 割り込み制御 0: 禁止 1: 許可
6	INTTXWE	0	R/W	送信完了割り込み制御 0: 禁止 1: 許可
5	INTRXFE	0	R/W	受信 FIFO 割り込み制御(注 1) 0: 禁止 1: 許可
4	INTRXWE	0	R/W	受信完了割り込み制御(注 1) 0: 禁止 1: 許可
3	—	0	R	リードすると"0"が読めます。
2	INTERR	0	R/W	エラー割り込み制御 0: 禁止 1: 許可
1	DMATE	0	R/W	送信 DMA 制御 0: 禁止 1: 許可
0	DMARE	0	R/W	受信 DMA 制御 0: 禁止 1: 許可

注 1) <INTRXWE>と<INTRXFE>は同時に許可しないでください。

注 2) 送受信中は設定できません。

[UARTxSR]<SUE>(設定可能状態フラグ)=0 設定可能状態の場合に設定できます。

4.2.4. [UARTxCLK] (クロック制御レジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:8	—	0	R	リードすると"0"が読めます。
7:4	PRSEL[3:0]	0000	R/W	プリスケアラ分周選択 0000: 1/1 0110: 1/64 0001: 1/2 0111: 1/128 0010: 1/4 1000: 1/256 0011: 1/8 1001: 1/512 0100: 1/16 1010~1111: 設定禁止 0101: 1/32
3:2	—	0	R	リードすると"0"が読めます。
1:0	CKSEL[1:0]	00	R/W	ボーレートジェネレータクロック選択 00: プリスケアラ分周クロック (ΦTx) 01: タイマ出力 (UARTxCKINA) 10: Reserved 11: Reserved

注) 送受信中は設定できません。

[UARTxSR]<SUE>(設定可能状態フラグ)=0 設定可能状態の場合に設定できます。

4.2.5. [UARTxBRD] (ボーレートレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:24	—	0	R	リードすると"0"が読めます。
23	KEN	0	R/W	N+(64-K)/64 分周機能の制御 0: 禁止 1: 許可
22	—	0	R	リードすると"0"が読めます。
21:16	BRK[5:0]	000000	R/W	N+(64-K)/64 分周の K 値の設定 000000: K =0 000001: K =1 000010: K =2 : 111111: K =63
15:0	BRN[15:0]	0x0000	R/W	N+(64-K)/64 分周または N 分周の N 値の設定 0x0000: 設定禁止 0x0001: N =1 0x0002: N =2 : 0xFFFF: N =65535

注) 送受信中は設定できません。

[UARTxSR]<SUE>(設定可能状態フラグ)=0 設定可能状態の場合に設定できます。

4.2.6. [UARTxTRANS] (転送イネーブルレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:4	—	0	R	リードすると"0"が読めます。
3	BK	0	R/W	ブレーク送信制御 0: 送信しない 1: 送信する "1"を設定すると、"Low"レベルを出力する。"0"の設定で送信を停止する。 [UARTxCR0]<IV> (データ信号反転)が"1"でデータ信号反転が有効な場合、"High"レベル出力となる。
2	TXTRG	0	R/W	トリガ送信制御 0: 禁止 1: 許可 送信中に<TXTRG>を変更することはできません。<TXE>を"0"にし [UARTxSR]<TXRUN>=0 (動作停止)を確認後、変更してください。 トリガ入力の選択はリファレンスマニュアルの「製品個別情報」を参照してください。
1	TXE	0	R/W	送信制御 0: 禁止 1: 許可
0	RXE	0	R/W	受信制御 0: 禁止 1: 許可

4.2.7. [UARTxDR] (データレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:19	—	0	R	リードすると"0"が読めます。
18	PERR	0	R	パリティエラー(注) 0: エラーなし 1: エラーあり このビットへの書き込みは意味を持ちません。
17	FERR	0	R	フレーミングエラー(注) 0: エラーなし 1: エラーあり このビットへの書き込みは意味を持ちません。
16	BERR	0	R	ブレークエラーフラグ 0: エラーなし 1: エラーあり このビットへの書き込みは意味を持ちません。
15:9	—	0	R	リードすると"0"が読めます。
8:0	DR[8:0]	不定	R	受信データ(読み出し) 受信データが存在しないときに本レジスタをリードしないでください。
			W	送信データ(書き込み)

注) <PERR>,<FERR>はブレークエラー成立時はマスクされます。

4.2.8. [UARTxSR] (ステータスレジスタ)

Bit	Bit Symbol	リセット後	Type	機能											
31	SUE	0	R	設定可能状態フラグ 0: 設定可能状態 1: 設定禁止状態 <SUE>が"0"のとき UART は送信も受信も行っておらずレジスタの設定を変更することが可能です。 注)対象となるレジスタは以下です。 [UARTxCR0],[UARTxCR1],[UARTxCLK],[UARTxBRD], [UARTxFIFOCLR] <SUE>が"0"になるのは以下の場合です。 1. リセットが入力されたとき 2. ソフトウェアリセットがかかったとき 3. [UARTxTRANS]<TXE>(送信制御)および[UARTxTRANS]<RXE>(受信制御)を"0"とし、送信/受信とも動作が完了したとき											
30:16	—	0	R	リードすると"0"が読めます。											
15	TXRUN	0	R	送信動作中フラグ 0: 停止 1: 動作 送信動作中を示すステータスフラグです。 <TXRUN>と<TLVL>ビットの組み合わせで、以下のような状態を示します。 <table><tr><th><TXRUN></th><th><TLVL></th><th>状態</th></tr><tr><td rowspan="2">0</td><td>0000 以外</td><td>停止または次回送信待ち</td></tr><tr><td>0000</td><td>送信が完了し、送信 FIFO が空</td></tr><tr><td>1</td><td>—</td><td>送信動作中</td></tr></table> <TXRUN>は、送信 FIFO にデータが存在しなくとも、送信シフトレジスタにデータが存在する場合は、セットされます。	<TXRUN>	<TLVL>	状態	0	0000 以外	停止または次回送信待ち	0000	送信が完了し、送信 FIFO が空	1	—	送信動作中
<TXRUN>	<TLVL>	状態													
0	0000 以外	停止または次回送信待ち													
	0000	送信が完了し、送信 FIFO が空													
1	—	送信動作中													
14	TXEND	0	R	送信完了フラグ 0: — 1: 送信完了 1 フレームの送信が終了されるとセットされるフラグです。											
			W	フラグクリア 0: — 1: フラグクリア 本ビットに"1"を書くことでクリアされます。											
13	TXFF	0	R	送信 FIFO フラグ 0: — 1: 設定された送信 Fill レベルに到達 送信 FIFO のデータ格納段数が Fill レベル設定値([UARTxCR1]<TIL>) +1 から <TIL>値になったときにセットされます。											
			W	フラグクリア 0: — 1: フラグクリア 本ビットに"1"を書くことでクリアされます。											
12	—	0	R	リードすると"0"が読めます。											

Bit	Bit Symbol	リセット後	Type	機能											
11:8	TLVL[3:0]	0000	R	送信 FIFO fill レベル状態 送信 FIFO のデータ格納段数の現在値を示します。											
7	RXRUN	0	R	受信動作中フラグ 0: 停止 1: 動作 受信シフト動作中を示すステータスフラグです。 <RXRUN>と<RLVL>ビットの組み合わせで、以下のような状態を示します。 <table><tr><th><RXRUN></th><th><RLVL></th><th>状態</th></tr><tr><td rowspan="2">0</td><td>1000 以外</td><td>停止または次回受信待ち</td></tr><tr><td>1000</td><td>受信 FIFO が FULL で、受信が完了</td></tr><tr><td>1</td><td>—</td><td>受信動作中</td></tr></table>	<RXRUN>	<RLVL>	状態	0	1000 以外	停止または次回受信待ち	1000	受信 FIFO が FULL で、受信が完了	1	—	受信動作中
<RXRUN>	<RLVL>	状態													
0	1000 以外	停止または次回受信待ち													
	1000	受信 FIFO が FULL で、受信が完了													
1	—	受信動作中													
6	RXEND	0	R	受信完了フラグ 0: — 1: 受信完了 1 フレームの受信が終了するとセットされるフラグです。											
			W	フラグクリア 0: — 1: フラグクリア "1"を書き込むことでクリアします。											
5	RXFF	0	R	受信 FIFO フラグ 0: — 1: 設定された受信 Fill レベルに到達 受信 FIFO のデータ格納段数が Fill レベル設定値([UARTxCR1]<RIL>)-1 から <RIL>値になったときに セットされます。											
			W	フラグクリア 0: — 1: フラグクリア "1"を書き込むことでクリアします。											
4	—	0	R	リードすると"0"が読めます。											
3:0	RLVL[3:0]	0000	R	受信 FIFO fill レベル状態 受信 FIFO のデータ格納段数の現在値を示します。											

4.2.9. [UARTx FIFOCLR] (FIFO クリアレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:2	—	0	R	リードすると"0"が読めます。
1	TFCLR	0	W	送信バッファクリア 0: — 1: クリア "1"をライトすることで、送信 FIFO のリード/ライトポインタを初期状態に戻します。 リードすると"0"が読めます。
0	RFCLR	0	W	受信バッファクリア 0: — 1: クリア "1"をライトすることで、受信 FIFO のリード/ライトポインタを初期状態に戻します。 リードすると"0"が読めます。

注) 送受信中は設定できません。
[UARTxSR]<SUE>(設定可能状態フラグ)=0 設定可能状態の場合に設定できます。

4.2.10. [UARTxERR] (エラーレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:5	—	0	R	リードすると"0"が読めます。
4	TRGERR	0	R	トリガ送信エラーフラグ 0: エラーなし 1: エラーあり トリガ入力時に送信 FIFO にデータがなく送信を開始できなかったときにセットされます。
			W	フラグクリア 0: — 1: フラグクリア "1"を書き込むことでクリアします。
3	OVRERR	0	R	オーバランエラーフラグ 0: エラーなし 1: エラーあり オーバランエラーがあったときにセットされます。
			W	フラグクリア 0: — 1: フラグクリア "1"を書き込むことでクリアします。(注 3)
2	PERR	0	R	パリティエラーフラグ(注 1) 0: エラーなし 1: エラーあり パリティエラーがあったときにセットされます。
			W	フラグクリア 0: — 1: フラグクリア "1"を書き込むことでクリアします。
1	FERR	0	R	フレーミングエラーフラグ(注 1) 0: エラーなし 1: エラーあり フレーミングエラーがあったときにセットされます。
			W	フラグクリア 0: — 1: フラグクリア "1"を書き込むことでクリアします。
0	BERR	0	R	ブレークエラーフラグ 0: エラーなし 1: エラーあり ブレークエラーがあったときにセットされます。
			W	フラグクリア 0: — 1: フラグクリア "1"を書き込むことでクリアします。

注 1) <PERR>,<FERR>はブレークエラー成立時はマスクされます。

注 2) エラー発生とフラグクリアが同時の場合はクリアが優先されます。

注 3) オーバランフラグのクリア手順については、「3.5.2. 受信エラー処理」を参照してください。

5. プログラミング方法

5.1. ボーレート設定値

代表的なクロック(ΦTx)でのボーレート設定値の例を参考として示します。 ΦTx の誤差は含んでいません。

表 5.1 $\Phi\text{Tx}=40\text{MHz}$, $[\text{UARTxCLK}]<\text{PRSEL}>=0000$, $[\text{UARTxBRD}]<\text{KEN}>=1$ 時の設定例

ボーレート (bps)	K 値の設定 <BRK>	N 値の設定 <BRN>	計算値 (bps)
9600	0x25	0x104	9600
	0x26		
19200	0x32	0x082	19198
	0x33		19201
38400	0x39	0x041	38397
	0x3A		38406
57600	0x26	0x02B	57595
	0x27		57616
62500	0x00	0x027	62500
76800	0x1C	0x020	76775
	0x1D		76812
115200	0x13	0x015	115191
	0x14		115274
128000	0x1E	0x013	128000

表 5.2 $\Phi\text{Tx}=80\text{MHz}$, $[\text{UARTxCLK}]<\text{PRSEL}>=0000$, $[\text{UARTxBRD}]<\text{KEN}>=1$ 時の設定例

ボーレート (bps)	K 値の設定 <BRK>	N 値の設定 <BRN>	計算値 (bps)
9600	0x0A	0x208	9600
	0x0B		
19200	0x25	0x104	19200
38400	0x32	0x082	38397
	0x33		38402
57600	0x0C	0x056	57595
	0x0D		57606
62500	0x00	0x04F	62500
76800	0x39	0x041	76794
	0x3A		76812
115200	0x26	0x02B	115191
	0x27		115232
128000	0x3C	0x027	128000

6. 使用上のご注意およびお願い事項

- 製品によって、UTxRTS_N 端子や UTxCTS_N 端子がアサインされない場合があります。そのような場合は、当該の機能を使用しない設定でご使用をお願いします。
- レジスタがアサインされていないアドレスはアクセスしないでください。
- トリガ送信制御を使用する場合、トリガ入力製品によって異なります。リファレンスマニュアルの「製品個別情報」の非同期シリアル通信回路の章を参照してください。

7. 改訂履歴

表 7.1 改訂履歴

Revision	Date	Description
1.0	2018-09-20	・新規
1.1	2019-07-26	・ 3.5.2 オーバーランエラー発生時の処理を修正 ・ 4.2.8 bit14/13/6/5 の 0 書き込み修正、(Don't Care → -) ・ 4.2.9 bit1/0 の 0 書き込み修正、(Don't Care → -) ・ 4.2.10 bit4/3/2/1/0 の 0 書き込み修正、(Don't Care → -)

製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバーシエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。