

32 ビット RISC マイクロコントローラ

TXZ ファミリ

リファレンスマニュアル
プログラマブルモータ制御回路プラス
(PMD+-B)

Revision 1.0

2018-10

東芝デバイス&ストレージ株式会社

目次

序章	5
関連するドキュメント	5
表記規約	6
用語・略語	8
1. 概要	9
2. 構成	11
3. 機能説明・動作説明	13
3.1. クロック供給	13
3.2. パルス幅変調回路	14
3.2.1. PWM 周期設定	15
3.2.2. コンペア機能	15
3.2.3. 波形モード	17
3.2.4. 割り込み処理	17
3.3. 通電制御回路	18
3.4. 保護制御回路	21
3.4.1. 保護制御回路(EMG 入力部)	22
3.4.2. 保護制御回路(OVV 入力部)	23
3.4.3. デバッグツール使用時の保護制御	23
3.5. デッドタイム制御回路	24
3.6. 同期トリガ生成回路	26
4. レジスタ説明	29
4.1. レジスタ一覧	29
4.2. レジスタ詳細	30
4.2.1. [PMDxMDEN] (PMD イネーブルレジスタ)	30
4.2.2. [PMDxPORTMD] (ポート出力モードレジスタ)	30
4.2.3. [PMDxMODESEL] (モード選択レジスタ)	31
4.2.4. [PMDxMDCR] (PMD コントロールレジスタ)	32
4.2.5. [PMDxCNTSTA] (PWM カウンタステータスレジスタ)	33
4.2.6. [PMDxMDCNT] (PWM カウンタレジスタ)	34
4.2.7. [PMDxMDPRD] (PWM 周期レジスタ)	34
4.2.8. [PMDxCMPU] (U 相用 PWM コンペアレジスタ)	35
4.2.9. [PMDxCMPV] (V 相用 PWM コンペアレジスタ)	35
4.2.10. [PMDxCMPW] (W 相用 PWM コンペアレジスタ)	36
4.2.11. [PMDxMDPOT] (PMD 出力設定レジスタ)	37
4.2.12. [PMDxMDOUT] (PMD 通電制御レジスタ)	38
4.2.13. [PMDxEMGREL] (EMG 解除レジスタ)	39
4.2.14. [PMDxEMGCR] (EMG コントロールレジスタ)	40
4.2.15. [PMDxEMGSTA] (EMG ステータスレジスタ)	41

4.2.16. [PMDxOVVCR] (OVV コントロールレジスタ)	41
4.2.17. [PMDxOVVSTA] (OVV ステータスレジスタ)	42
4.2.18. [PMDxDTR] (デッドタイムレジスタ)	43
4.2.19. [PMDxTRGCMP0] (トリガコンペア 0 レジスタ)	43
4.2.20. [PMDxTRGCMP1] (トリガコンペア 1 レジスタ)	44
4.2.21. [PMDxTRGCMP2] (トリガコンペア 2 レジスタ)	45
4.2.22. [PMDxTRGCMP3] (トリガコンペア 3 レジスタ)	45
4.2.23. [PMDxTRGCR] (トリガコントロールレジスタ)	46
4.2.24. [PMDxTRGSYNCR] (トリガ更新タイミング設定レジスタ)	47
4.2.25. [PMDxTRGMD] (トリガ出力モード設定レジスタ)	48
4.2.26. [PMDxTRGSEL] (トリガ出力選択レジスタ)	49
5. 使用上のご注意およびお願い事項	50
6. 改訂履歴	51
製品取り扱い上のお願い	52

図目次

図 1.1	PMD と関連機能	10
図 2.1	PMD 回路ブロック図	11
図 3.1	パルス幅変調回路	14
図 3.2	PWM 波形	15
図 3.3	三角波キャリア PWM のエッジ固定波形	16
図 3.4	通電制御回路	18
図 3.5	保護制御回路	21
図 3.6	デッドタイム制御回路	24
図 3.7	デッドタイム回路	24
図 3.8	デッドタイム補正	25
図 3.9	同期トリガ生成回路	26
図 3.10	3 シャント時のトリガ使用例	27
図 3.11	1 シャント時のトリガ使用例	28

表目次

表 2.1	信号一覧表	12
表 3.1	[PMDxMDOUT] / VExOUTCR バッファの更新タイミング	19
表 3.2	[PMDxMDOUT] / VExOUTCR および [PMDxMDCR] <SYNTMD> 設定によるデコード回路出力 ..	19
表 4.1	[PMDxMDPRD], [PMDxCMPU/V/W] バッファ更新タイミング	33
表 4.2	<nOC>, <nPWM>, <POLH> <POLL> および <SYNTMD> 設定によるポート出力	39
表 4.3	トリガコンペアレジスタのバッファ更新タイミング	44
表 4.4	トリガ出力パターン	48
表 6.1	改訂履歴	51

序章

関連するドキュメント

文書名
例外
クロック制御と動作モード
入出力ポート
12 ビットアナログデジタルコンバータ
アドバンストベクトルエンジン
アドバンストエンコーダ入力回路(32-bit)
製品個別情報

表記規約

- 数値表記は以下の規則に従います。
16 進数表記: 0xABC
10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は [m:n]とまとめて表記する場合があります。
例: S[3:0] は S3,S2,S1,S0 の 4 つの信号名をまとめて表記しています。
- 本文中 [] で囲まれたものはレジスタを定義しています。
例: [ABCD]
- 同種で複数のレジスタ、フィールド、ビット名は「n」で一括表記する場合があります。
例: [XYZ1], [XYZ2], [XYZ3] → [XYZn]
- 「レジスタ一覧」中のレジスタ名でユニットまたはチャンネルは「x」で一括表記しています。
ユニットの場合、「x」は A,B,C...を表します。
例: [ADACR0], [ADBCR0], [ADCCR0]→[ADxCR0]
チャンネルの場合、「x」は 0,1,2,...を表します。
例: [T32A0RUNA], [T32A1RUNA], [T32A2RUNA]→[T32AxRUNA]
- レジスタのビット範囲は [m:n] と表記します。
例: [3:0] はビット 3 から 0 の範囲を表します。
- レジスタの設定値は 16 進数または 2 進数のどちらかで表記されています。
例: [ABCD]<EFG> = 0x01 (16 進数)、 [XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
バイト: 8 ビット
ハーフワード: 16 ビット
ワード: 32 ビット
ダブルワード: 64 ビット
- レジスタ内の各ビットの属性は以下の表記を使用しています。
R: リードオンリー
W: ライトオンリー
R/W: リード / ライト
- 断りのない限り、レジスタアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスタは書き換えを行わないでください。
また、読み出した値を使用しないでください。
- Default 値が「—」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスタに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- ライトオンリーのレジスタの Reserved ビットフィールドには Default 値を書き込んでください。Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスタへのリードモディファイライト処理は行わないでください。

Arm,Cortex および Thumb は Arm Limited(またはその子会社)の US またはその他の国における
登録商標です。 All rights reserved.



FLASH メモリについては、米国 SST 社 (Silicon Storage Technology, Inc.) からライセンスを受けた Super Flash® 技術を使用しています。Super Flash® は SST 社の登録商標です。

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

ADC	Analog to Digital Converter
A-ENC32	Advanced Encoder Input Circuit (32-bit)
A-VE	Advanced Vector Engine
PMD	Programmable Motor Control Circuit Plus
PWM	Pulse Width Modulation

1. 概要

プログラマブルモータ制御回路プラス(以降 PMD) は、1 ユニット単位で 1 チャネルのモータ制御回路として動作することができます。以下に、機能の一覧を示します。

機能分類	機能	動作説明
出力波形生成	分解能	PWM キャリアのカウンタ分解能は 1/fsys および 4/fsys から選択可能。 PWM 周期およびデューティの分解能は、 ノコギリ波キャリア時は、1/fsys および 4/fsys 三角波キャリア時は、2/fsys および 8/fsys となります。
	PWM 生成	PWM キャリア波形は、ノコギリ波/三角波から選択可能 3 つのコンペアで 3 相 PWM を生成可能 PWM は 3 相共通/3 相独立から選択可能
	出力波形 (通電制御)	U,X,V,Y,W,Z それぞれに、PWM 出力と High/Low 出力の選択が可能 上相出力、下相出力のそれぞれにアクティブの設定が可能 PWM キャリアが共通で 3 相の独立した PWM 波形を生成可能(3 相相補 PWM)
トリガ生成	同期トリガ生成	PWM キャリアと同期した任意のタイミングで AD 変換開始する同期サンプリング 信号を生成します。
バッファ機能	—	PWM 周期、デューティ値、AD 変換開始トリガタイミング、6 本の出力ポート設定 は、ダブルバッファ構造になっており動作中に設定データを変更可能 転送タイミングは、非同期、キャリアボトム、キャリアピーク、キャリアピークとボト ムから選択可能
保護機能	保護制御	保護信号入力による出力の停止機能(オフ出力または端子出力禁止) 保護制御は EMG と OVV の 2 種類あります。 OVV は AD コンバータの監視機能を保護信号入力に選択できます。
	デッドタイム制御	上下相(U/X,V/Y,W/Z)の切り替え時に短絡防止期間を挿入し、相補PWMを出力 します。
割り込み要求	PWM 割り込み	PWM 波形に同期した割り込み要求を発生可能 ・割り込み要求タイミングは、キャリアボトム、キャリアピークから選択可能 ・割り込み要求の間引きも可能
	EMG 割り込み	EMGx_N 入力による保護動作時に発生する割り込み要求
	OVV 割り込み	OVV 入力による保護動作時に発生する割り込み要求

PMDはアドバンストベクトルエンジン(以降 VE)やアナログデジタルコンバータ(以降 ADC)、アドバンストエンコーダ入力回路(32-bit) (以降 A-ENC)などと連携動作してベクトル制御などの3相モータ制御を実現します。

パルス幅変調回路、通電制御および同期トリガ生成回路はVEからの指令で動作可能で、同期トリガ生成回路はADCに変換開始トリガを出力できます。また、通電制御回路はA-ENCからのトリガ入力で転流制御ができます。

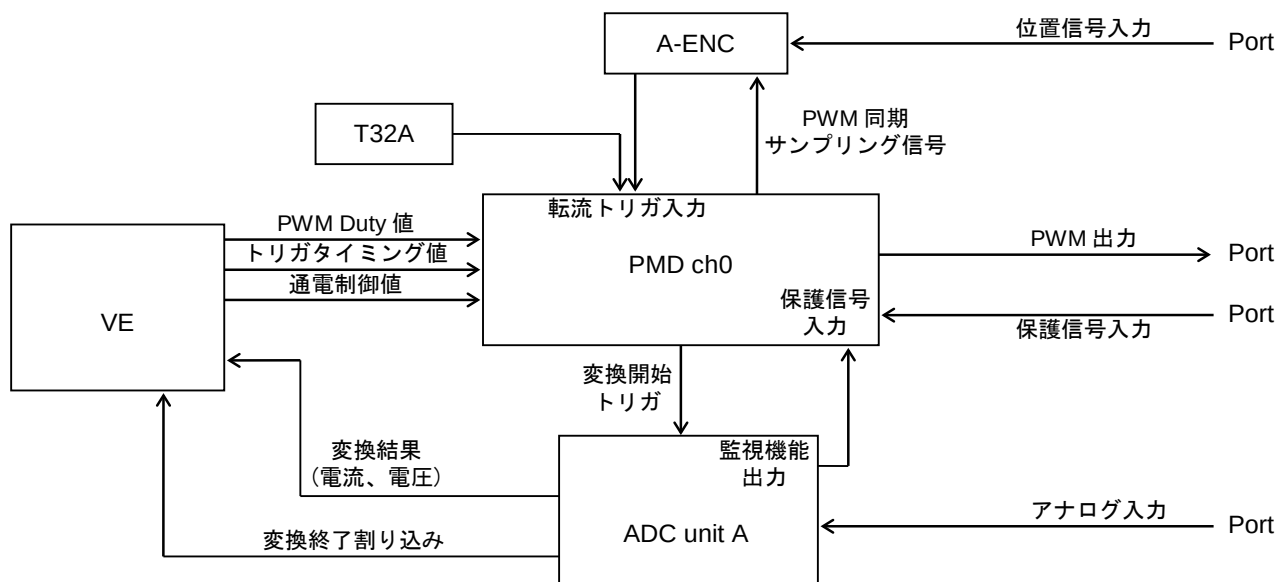


図 1.1 PMDと関連機能

2. 構成

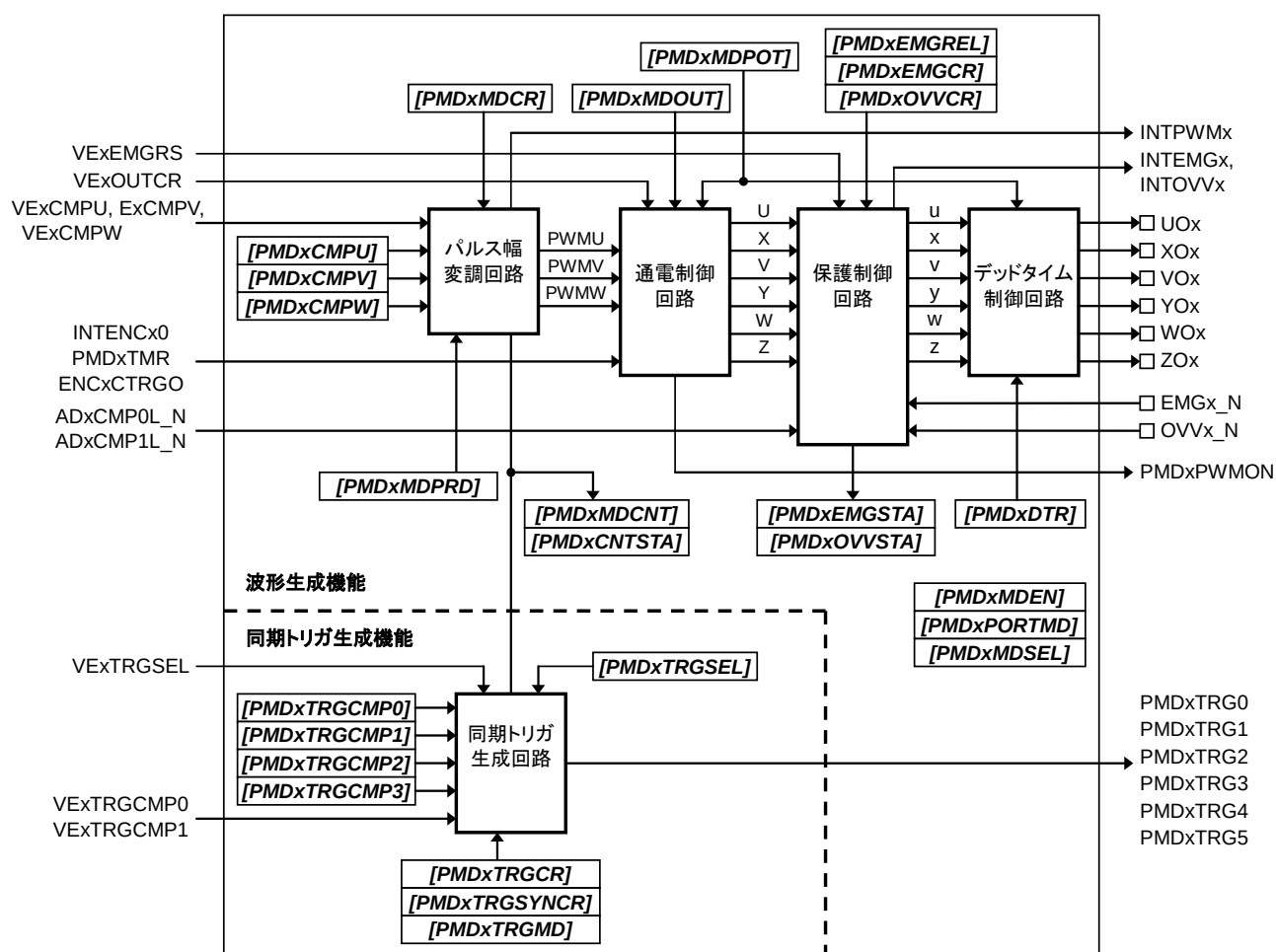


図 2.1 PMD回路ブロック図

表 2.1 信号一覧表

No	信号名	信号名称	I/O	参照リファレンスマニュアル
1	UOx	U 相出力端子	出力	製品個別情報
2	XOx	X 相出力端子	出力	製品個別情報
3	VOx	V 相出力端子	出力	製品個別情報
4	YOx	Y 相出力端子	出力	製品個別情報
5	WOx	W 相出力端子	出力	製品個別情報
6	ZOx	Z 相出力端子	出力	製品個別情報
7	EMGx_N	EMG 検知入力端子	入力	製品個別情報
8	OVVx_N	OVV 検知入力端子	入力	製品個別情報
9	PMDxPWMON	エンコーダ入力用 PWM 信号	出力	製品個別情報
10	INTENCx0	転流トリガ(A-ENC 位置検出同期)	入力	製品個別情報
11	PMDxTMR	転流トリガ(汎用タイマ同期)	入力	製品個別情報
12	ENCxCTRGO	転流トリガ(A-ENC MCMP 同期)	入力	製品個別情報
13	ADxCMP0L_N	OVV 状態信号(AD 監視機能 0)	入力	製品個別情報
14	ADxCMP1L_N	OVV 状態信号(AD 監視機能 1)	入力	製品個別情報
15	PMDxTRG0	ADC 同期サンプリング出力 0	出力	製品個別情報
16	PMDxTRG1	ADC 同期サンプリング出力 1	出力	製品個別情報
17	PMDxTRG2	ADC 同期サンプリング出力 2	出力	製品個別情報
18	PMDxTRG3	ADC 同期サンプリング出力 3	出力	製品個別情報
19	PMDxTRG4	ADC 同期サンプリング出力 4	出力	製品個別情報
20	PMDxTRG5	ADC 同期サンプリング出力 5	出力	製品個別情報
21	INTPWMx	PWM 割り込み	出力	例外、製品個別情報
22	INTEMGx	EMG 割り込み	出力	例外
23	INTOVVx	OVV 割り込み	出力	例外
24	VExCMPU	VE U 相 PWM デューティ	入力	製品個別情報
25	VExCMPV	VE V 相 PWM デューティ	入力	製品個別情報
26	VExCMPW	VE W 相 PWM デューティ	入力	製品個別情報
27	VExTRGCMP0	VE トリガコンペア 0	入力	製品個別情報
28	VExTRGCMP1	VE トリガコンペア 1	入力	製品個別情報
29	VExTRGSEL	VE 同期トリガ出力選択	入力	製品個別情報
30	VExOUTCR	VE 通電制御/出力制御	入力	製品個別情報
31	VExEMGRS	VE EMG 復帰	入力	製品個別情報

3. 機能説明・動作説明

PMDは波形生成回路と同期トリガ生成回路の2ブロックから成り、波形生成回路はパルス幅変調回路、通電制御回路、保護制御回路、デッドタイム制御回路で構成されています。

- パルス幅変調回路は、PWM キャリアが共通で3相の独立したPWM波形を生成します。
- 通電制御回路はU、V、W相の各上下相の出力パターンを決定します。
- 保護回路ではEMG入力、OVV入力による緊急出力停止を行ないます。
- デッドタイム制御回路では上下相の切り替え時の短絡を防止します。
- 同期トリガ生成回路ではADCを変換開始させるADC同期トリガ信号を生成します。

3.1. クロック供給

PMDを使用する場合は、fsys供給停止レジスタA([CGFSYSENA], [CGFSYSMENA])、fsys供給停止レジスタB([CGFSYSENB], [CGFSYSMENB])、fc供給停止レジスタ([CGFCEN])で該当するクロックイネーブルビットを"1"(クロック供給)に設定してください。該当レジスタ、ビット位置は製品によって異なります。そのため製品によって、レジスタが存在しない場合があります。詳細はリファレンスマニュアルの「クロック制御と動作モード」を参照してください。

3.2. パルス幅変調回路

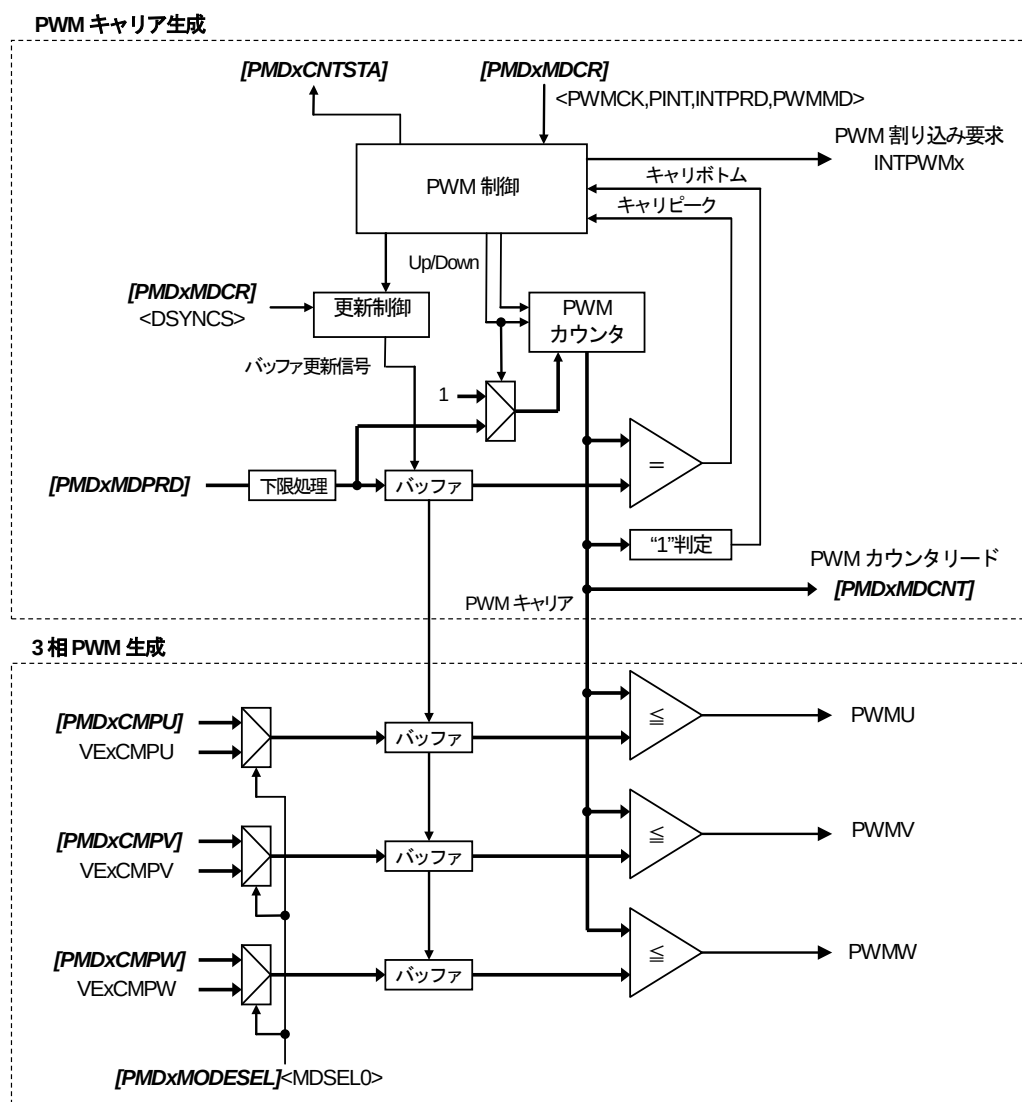


図 3.1 パルス幅変調回路

パルス幅変調回路は、16 ビットのアップ/ダウンカウンタである PWM カウンタを持ち、 $1/f_{sys}$ の分解能で PWM キャリアを生成します。PWM 周期延長モード ($[PMD \times MDCR] < PWMCK = 1$) にすることにより、PWM カウンタは $4/f_{sys}$ の分解能で PWM キャリアを生成します。

PWM キャリアの波形モードは PWM モード 0 としてエッジ PWM(ノコギリ波キャリア)、モード 1 としてセンタ PWM(三角波キャリア) を選択可能です(「図 3.2 PWM 波形」参照)。

3.2.1. PWM 周期設定

[PMDxMDPRD]により PWM 周期を決定します。[PMDxMDPRD]はダブルバッファ構成であり、後段バッファは PWM 周期で更新されます。PWM 半周期毎の更新も選択できます(「表 4.1 [PMDxMDPRD],[PMDxCMPU/V/W]バッファ更新タイミング」参照)。

$$\text{ノコギリ波変調 PWM:} \quad [PMDxMDPRD] \text{ 設定値} = \frac{\text{システムクロック } f_{\text{sys}} [\text{Hz}]}{\text{PWM 周波数} [\text{Hz}]}$$

$$\text{三角波変調 PWM:} \quad [PMDxMDPRD] \text{ 設定値} = \frac{\text{システムクロック } f_{\text{sys}} [\text{Hz}]}{\text{PWM 周波数} [\text{Hz}] \times 2}$$

3.2.2. コンペア機能

3 相の PWM コンペアレジスタ ([PMDxCMPU],[PMDxCMPV],[PMDxCMPW])の値と、PWM カウンタ [PMDxMDCNT]により生成される PWM キャリアをコンパレータで大小比較して所望のデューティの PWM 波形を生成します。

各相の PWM コンペアレジスタはダブルバッファ構成となります。PWM コンペアレジスタの値は PWM 周期に同期して後段バッファにロードされます。PWM 半周期での更新(半周期毎ロード)も選択できます(「表 4.1 [PMDxMDPRD],[PMDxCMPU/V/W]バッファ更新タイミング」参照)。

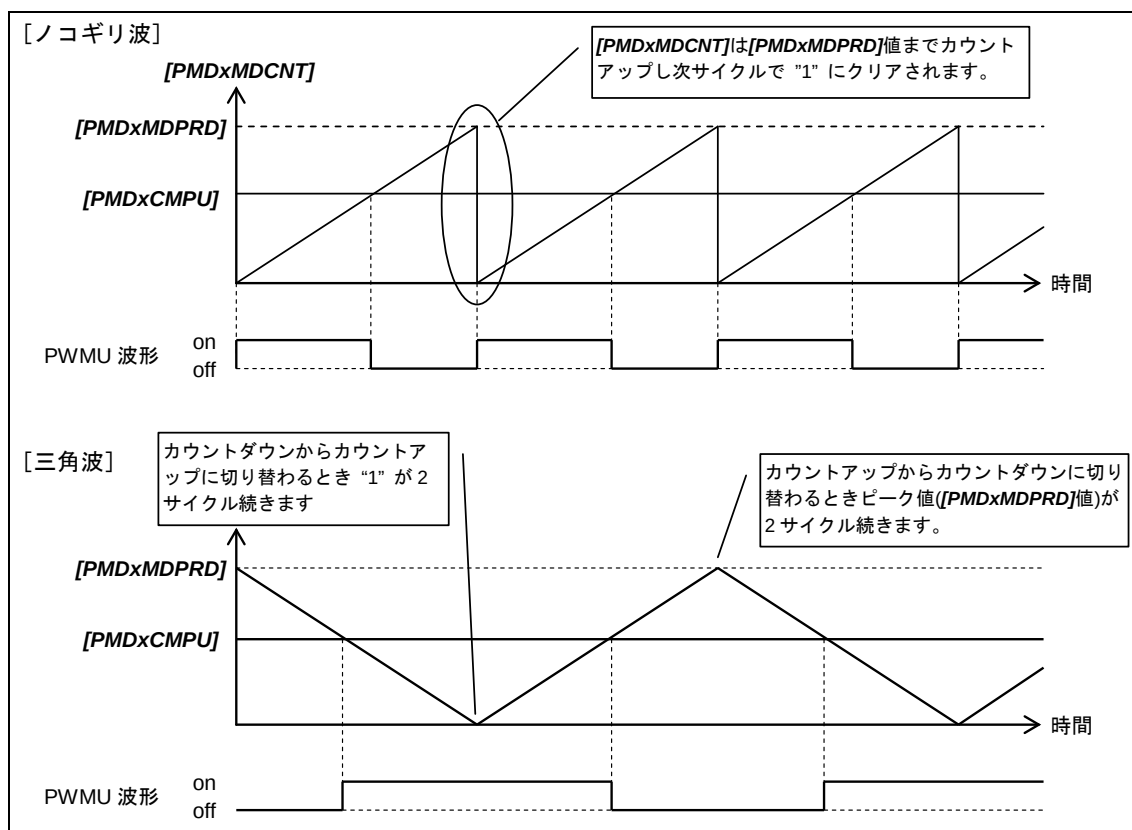


図 3.2 PWM波形

三角波キャリアの場合、PWM エッジ設定[$PMDxMDCR$] $\langle nPWMES \rangle$ ($n=U,V,W$)でセンタ PWM の他に立ち下がりエッジ固定と立ち上がりエッジ固定の PWM を相別を選択することができます(「図 3.3 三角波キャリア PWM のエッジ固定波形」参照)。

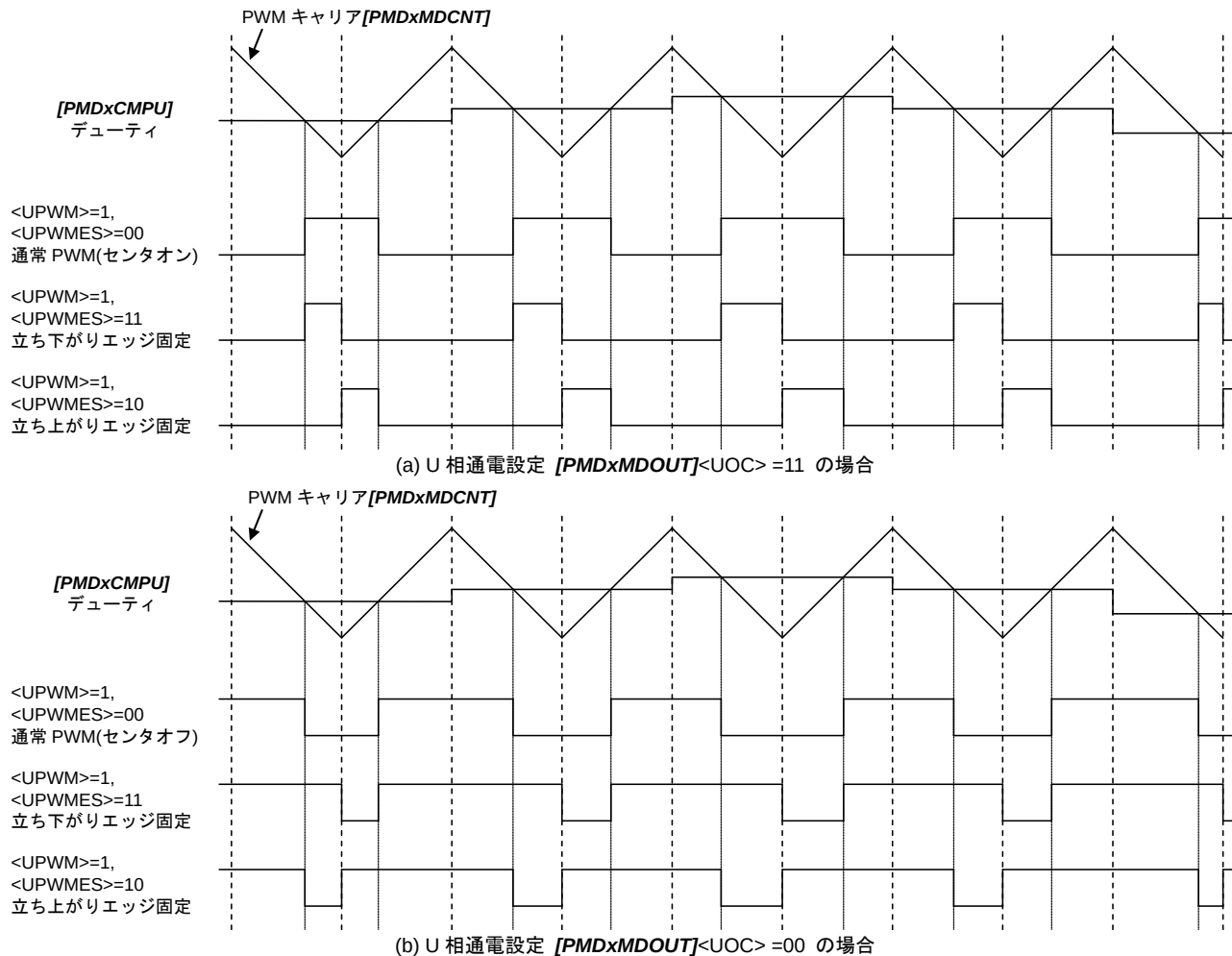


図 3.3 三角波キャリアPWMのエッジ固定波形

また、3 相 PWM の各相の PWM 出力は、[$PMDxMDOUT$] $\langle nOC \rangle$ / $\langle nPWM \rangle$ ($n=U,V,W$), [$PMDxMDCR$] $\langle SYNTMD \rangle$ との組み合わせでセンタオン PWM/センタオフ PWM の切り替え制御が可能です(「3.3 通電制御回路」を参照)。

3.2.3. 波形モード

デューティモード選択[*PMDxMDCR*]<DTYMD>で2種類の3相PWMの生成方法を選択できます。

- 3相独立デューティモード

3相のPWMコンペアレジスタにそれぞれ独立した値を設定して、3相の独立したPWM波形を生成します。これは、正弦波などの任意の駆動波形生成に使用します。

- 3相共通デューティモード

U相のPWMコンペアレジスタだけに設定し、U相の設定値で3相同一のPWM波形を生成します。これは、ブラシレスDCモータの矩形波駆動に使用します。

3.2.4. 割り込み処理

パルス幅変調回路ではPWM波形に同期してPWM割り込み要求を発生します。割り込み要求の発生タイミングはPWMキャリアピークとPWMキャリアボトムを選択できます。

PWM割り込みの頻度はPWM周期半周期に1回、1周期に1回、2周期に1回、4周期に1回を選択することができます。

3.3. 通電制御回路

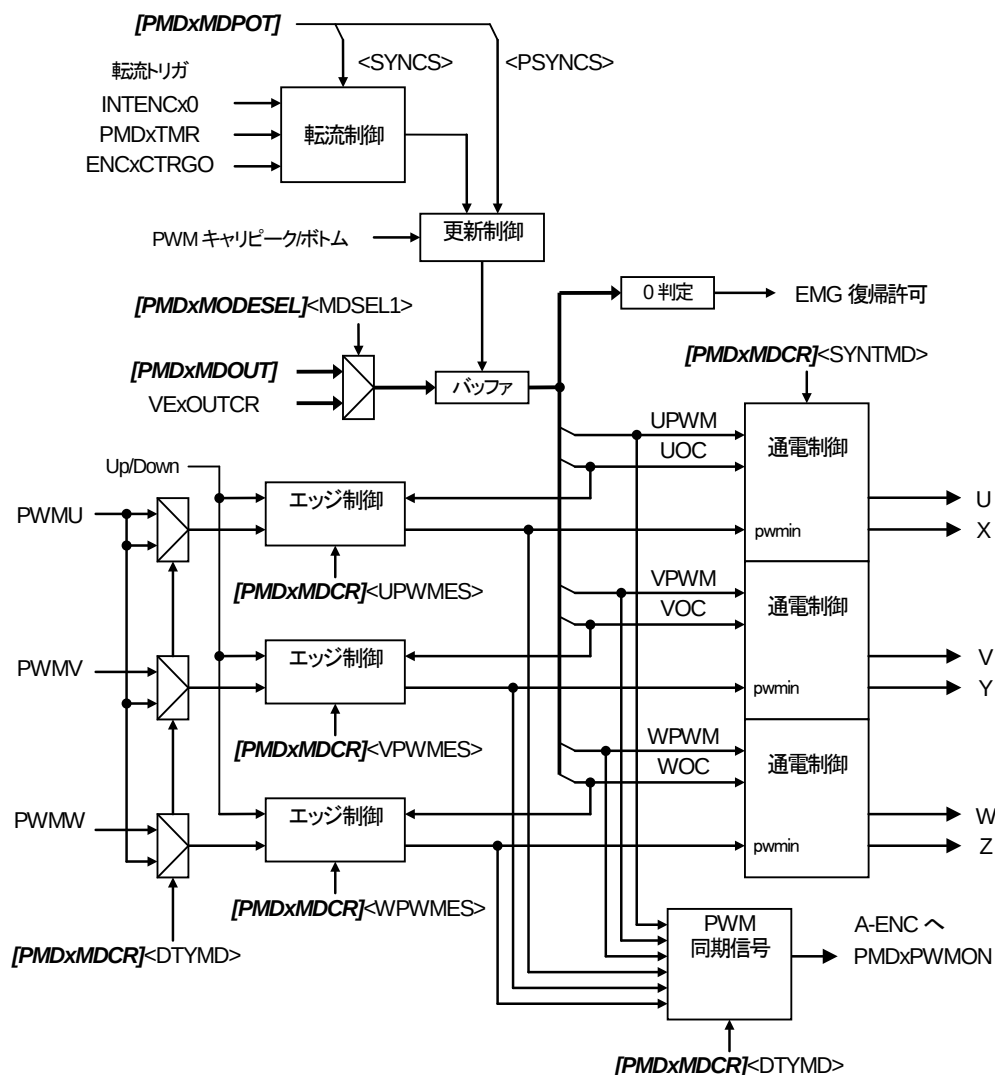


図 3.4 通電制御回路

通電制御レジスタ **[PMDxMDOUT]** /VExOUTCR と出力設定レジスタ **[PMDxMDPOT]** の設定により、6 相出力(U/X,V/Y,W/Z)の制御を行います。**[PMDxMDOUT]** /VExOUTCR レジスタはダブルバッファ構成であり、更新タイミングは PWM への同期更新と非同期更新を選択できます。また、他の周辺機能からのトリガ入力に同期した更新を選択することも可能です。(更新タイミングは「表 3.1 **[PMDxMDOUT]** /VExOUTCR バッファの更新タイミング」を参照してください。)

U/X,V/Y,W/Z のそれぞれに対して、PWM 出力と High/Low 出力との選択を **[PMDxMDOUT]**<UPWM>, <VPWM>, <WPWM> により設定します。PWM 出力を選択すると PWM 波形が、High/Low 出力を選択すると High 固定または Low 固定の出力が得られます。それぞれの出力を High にするか Low にするかは **[PMDxMDOUT]** /VExOUTCR の <UOC>, <VOC>, <WOC> で選択します。

[PMDxMDOUT] /VExOUTCR と **[PMDxMDPOT]** による出力制御および PMD コントロールレジスタ **[PMDxMDCR]** のポート出力モード設定 <SYNTMD> によって得られる出力の関係については「表 3.2 **[PMDxMDOUT]** /VExOUTCR および **[PMDxMDCR]**<SYNTMD> 設定によるデコード回路出力」を参照してください。

さらに、6 相出力を上相出力(UOx,VOx,WOx)と下相出力(XOx,YOx,ZOx)のそれぞれでローアクティブ/ハイアクティブ選択を[PMDxMDPOT]<POLH>,<POLL>により行うことができます。

また、通電制御回路はエンコーダ入力回路(A-ENC)で PWM 同期サンプリングするための PWM 信号(PWMON)を出力します。

表 3.1 [PMDxMDOUT] IVExOUTCRバッファの更新タイミング

		[PMDxMDPOT]<PSYNCS>設定			
		00	01	10	11
[PMDxMDPOT] <SYNCS> 設定	00	常時更新	PWM キャリアボトム	PWM キャリアピーク	PWM キャリアピークと PWM キャリアボトム
	01	INTENCx0(注 2) 発生時	INTENCx0(注 2) 発生ごとに最初の PWM キャリアボトム	INTENCx0(注 2) 発生ごとに最初の PWM キャリアピーク	INTENCx0(注 2) 発生ごとに最初の PWM キャリアピークか PWM キャリアボトム
	10	PMDxTMR(注 2) 発生時	PMDxTMR(注 2) 発生ごとに最初の PWM キャリアボトム	PMDxTMR(注 2) 発生ごとに最初の PWM キャリアピーク	PMDxTMR(注 2) 発生ごとに最初の PWM キャリアピークか PWM キャリアボトム
	11	ENCxCTRGO(注 2) (MCMP コンペア成立) 発生時	ENCxCTRGO(注 2) 発生ごとに最初の PWM キャリアボトム	ENCxCTRGO(注 2) 発生ごとに最初の PWM キャリアピーク	ENCxCTRGO(注 2) 発生ごとに最初の PWM キャリアピークか PWM キャリアボトム

注 1) PMD 禁止([PMDxMDEN]<PWMEN>=0)にすると保持されているトリガ条件はクリアされます。

注 2) 製品によって接続先が異なりますので、リファレンスマニュアルの「製品個別情報」を参照してください。

表 3.2 [PMDxMDOUT] IVExOUTCRおよび[PMDxMDCR]<SYNTMD>設定によるデコード回路出力

[PMDxMDCR]<SYNTMD>=0

		PWM 出力設定 [PMDxMDOUT]<nPWM>			
		0: H/L 出力		1: PWM 出力	
通電設定 [PMDxMDOUT] <nOC>		上相出力	下相出力	上相出力	下相出力
	00	Low	Low	PWM_N	PWM
	01	Low	High	Low	PWM
	10	High	Low	PWM	Low
	11	High	High	PWM	PWM_N

[PMDxMDCR]<SYNTMD>=1

		PWM 出力設定 [PMDxMDOUT]<nPWM>			
		0: H/L 出力		1: PWM 出力	
通電設定 [PMDxMDOUT] <nOC>		上相出力	下相出力	上相出力	下相出力
	00	Low	Low	PWM_N	PWM
	01	Low	High	Low	PWM_N
	10	High	Low	PWM	Low
	11	High	High	PWM	PWM_N

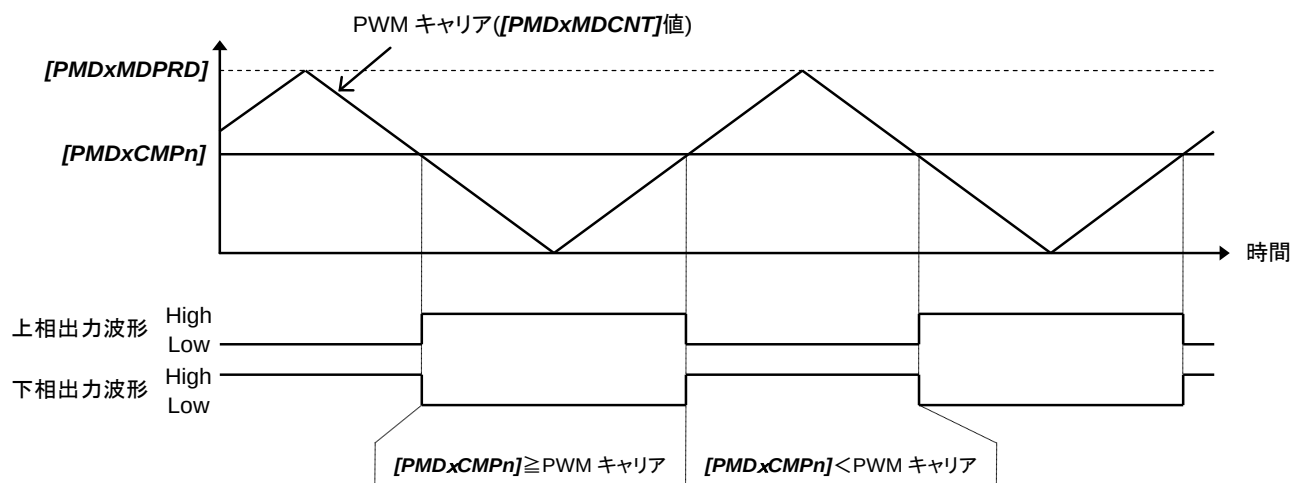
注) n=U,V,W

- センタオン PWM

$[PMDxMDCR] < PWMMD = 1$

$[PMDxMDOUT] < nPWM = 1$

$[PMDxMDOUT] < nOC = 11$

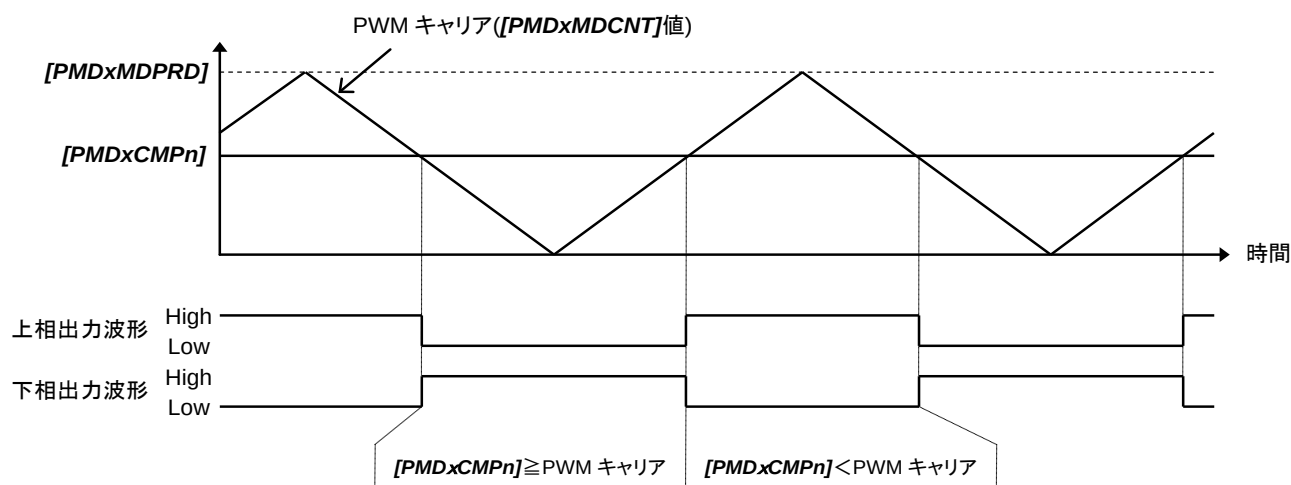


- センタオフ PWM

$[PMDxMDCR] < PWMMD = 1$

$[PMDxMDOUT] < nPWM = 1$

$[PMDxMDOUT] < nOC = 00$



3.4. 保護制御回路

保護制御回路は、保護制御部と保護出力制御部から構成されます。
保護制御は EMG 保護と OVV 保護があります。

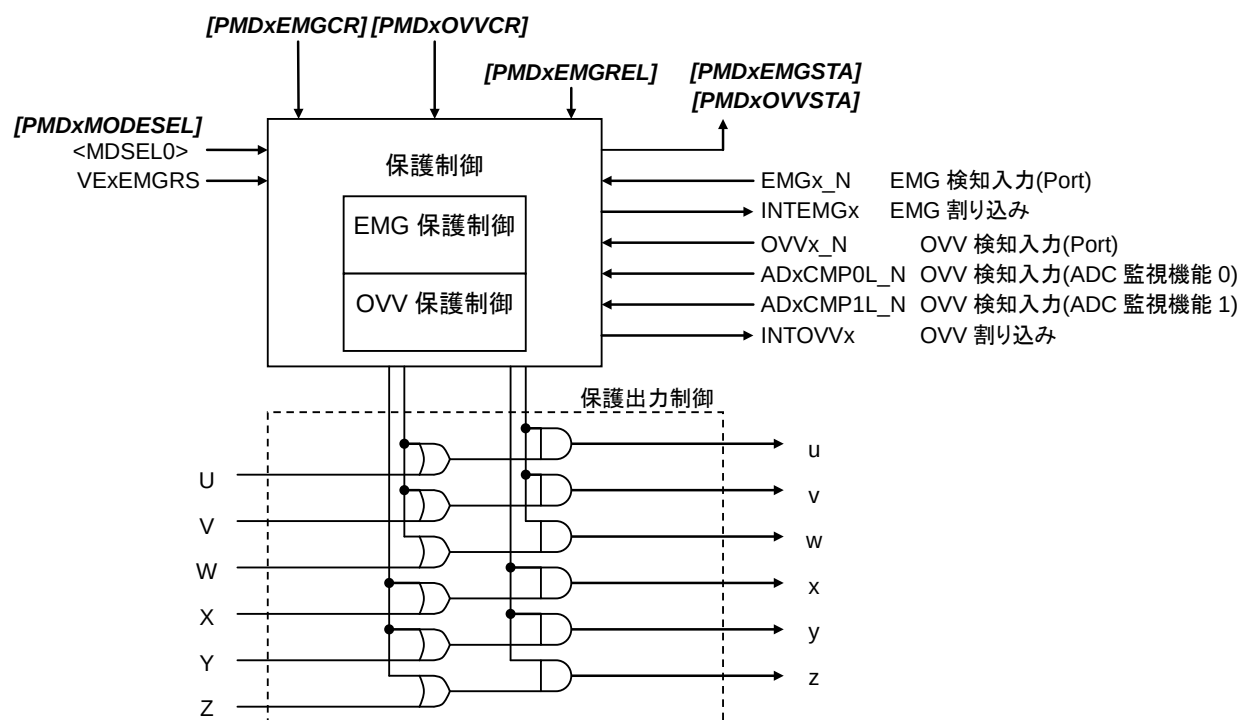


図 3.5 保護制御回路

3.4.1. 保護制御回路(EMG 入力部)

EMG 保護回路は緊急停止用の保護回路であり、EMGx_N 入力 Low レベルになると動作します。この保護制御は EMG コントロールレジスタ **[PMDxEMGCR]** で設定します。

注) リセット解除後、EMG 保護回路は許可されています。

- EMG 入力

EMGx_N 入力にはノイズフィルタが挿入されていて入力検出時間設定 **[PMDxEMGCR]**<EMGCNT> でノイズ除去時間を選択できます。

- EMG 保護動作

EMGx_N 入力があった場合(High→Low)、直ちに 6 本の PMD 出力を禁止し(**[PMDxEMGCR]**<EMGMD>の設定によります)、EMG 割り込み(INTERMGx)を発生します。

また、**[PMDxEMGCR]**<EMGMD>の設定により外部出力ポートをハイインピーダンスに設定する制御信号を出力します。

[PMDxEMGSTA]<EMGST>をリードしたとき、"1"の場合は EMG 保護状態であることを示します。

- EMG 保護からの復帰

EMG 保護状態の時は、ポート出力を全てインアクティブに設定(**[PMDxMDOUT]** /VExOUTCR の<UPWM>, <VPWM>, <WPWM>, <UOC>, <VOC>, <WOC>を全て"0"後(注 1)、**[PMDxEMGCR]** /VExEMGRS の<EMGRS>に"1"を設定することにより EMG 保護状態から復帰することができます。ただし、EMGx_N 入力 Low の期間は、復帰処理を行っても無視されます。**[PMDxEMGSTA]**<EMGI>をリードし EMGx_N 入力 High になったことを確認してから復帰処理をしてください。

注 1) **[PMDxMDOUT]** /VExOUTCR のダブルバッファ後段まで反映されている必要があります。

注 2) リセット解除後の EMG の復帰手順について

EMGx_N 端子と兼用となっている入出力ポートは、リセット解除後は入出力ポート機能が選択されていますが、EMG 保護回路は初期状態で動作状態(許可)となっており、EMG 保護状態となっている場合がありますので、イニシャルシーケンスで、以下の手順で EMG 保護状態から復帰してください。

- (1) 入出力ポートのファンクションレジスタ (**[PxFRn]**)で EMG 機能を選択します。
- (2) **[PMDxEMGSTA]**<EMGI>をリードし、"1"であることを確認します。
- (3) **[PMDxMDOUT]** /VExOUTCR の<UPWM>, <VPWM>, <WPWM>, <UOC>, <VOC>, <WOC>を全て"0"に設定し、ポート出力を全てインアクティブ出力にします。
- (4) **[PMDxEMGCR]** /VExEMGRS の<EMGRS>を"1"に設定し、EMG 保護状態から復帰させます。

- EMG 保護機能の禁止

EMG 機能を禁止するには EMG 解除レジスタ (**[PMDxEMGREL]**)に"0x5A"と"0xA5"を順番に設定後、**[PMDxEMGCR]**<EMGEN>に"0"を設定します。誤って EMG 保護回路を禁止することを防止するため 3 命令連続して行ってください。

3.4.2. 保護制御回路(OVV 入力部)

OVV 保護制御回路は OVV 入力アクティブになることで動作します。この保護制御は OVV コントロールレジスタ **[PMDxOVVCR]** で設定します。

- OVV 入力

OVV 入力は **[PMDxOVVCR]** <OVVISEL>, <ADIN0EN>, <ADIN1EN> で OVV_x_N 端子および AD 監視機能からの OVV 状態信号 (ADxCMP0L_N, ADxCMP1L_N) を選択できます。

OVV 入力にはノイズフィルタが挿入されていて入力検出時間設定 **[PMDxOVVCR]** <OVVCNT> でノイズ除去時間を選択できます。

- OVV 保護動作

OVV 保護回路は、一定期間 (<OVVCNT> で設定) 過電圧信号入力があった場合 (High→Low)、ポート出力禁止部で 6 本のポート出力を High または Low に固定します。またその時、OVV 割り込み (INTOVVx) を発生します。 **[PMDxOVVCR]** <OVVMD> の設定により、下相オフ、上相オフ、全相オフを選択することができます。

[PMDxOVVSTA] <OVVST> をリードしたとき、"1" の場合は OVV 保護回路が動作中であることを示します。

- OVV 保護からの復帰

[PMDxOVVCR] <OVVRS> に "1" を設定することにより OVV 保護からの復帰可能状態となり、OVV 入力解除後、保護状態からの復帰タイミングで自動的に OVV 保護から復帰します。(OVV 保護入力が Low の期間は、保護状態からの復帰は行われません。ポート入力の状態は **[PMDxOVVSTA]** <OVVI> をリードすることで確認することができます。)

OVV から復帰するタイミングは、PWM 周期 (PWM カウンタ **[PMDxMDCNT]** と **[PMDxMDPRD]** との一致時。ただし PWM 0.5 周期割り込み設定時は PWM カウンタが、"0x0001" または **[PMDxMDPRD]** との一致時) となります。

- OVV 保護機能の禁止

OVV 機能を禁止するには EMG 解除レジスタ **[PMDxEMGREL]** に "0x5A" と "0xA5" を順番に設定後、**[PMDxOVVCR]** <OVVEN> に "0" を設定します。誤って OVV 保護回路を禁止することを防止するため 3 命令連続して行ってください。

3.4.3. デバッグツール使用時の保護制御

デバッグツール使用時、デバッグホールドで PMD が停止する場合に PMD 出力を禁止することができます。

デバッグホールド時、ポート出力がハイインピーダンスになるか PMD 出力になるかを **[PMDxPORTMD]** <PORTMD> 設定により選択できます。

3.5. デッドタイム制御回路

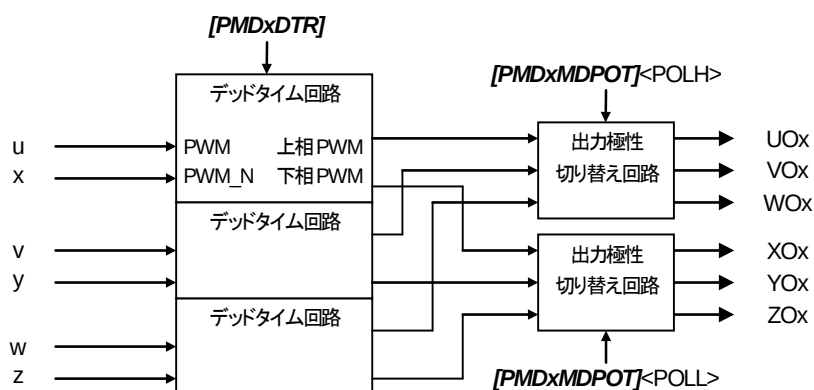


図 3.6 デッドタイム制御回路

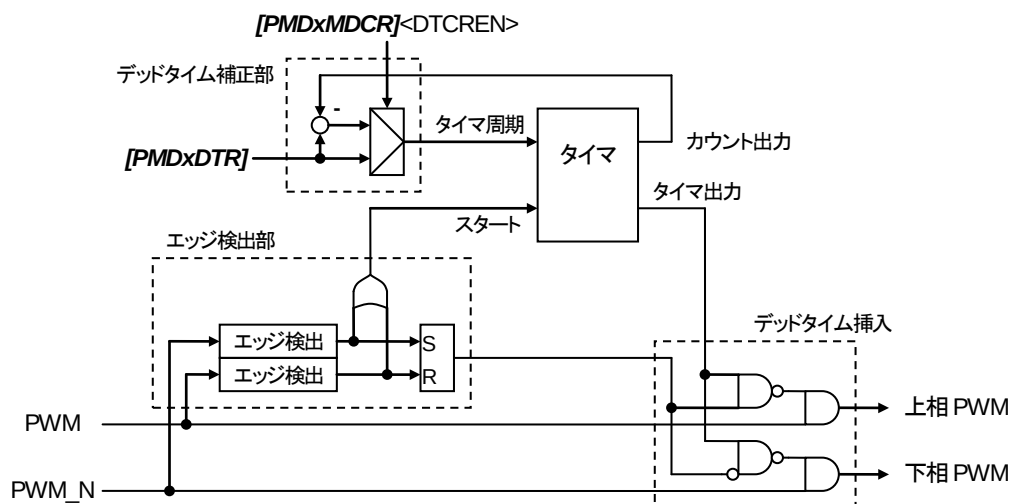


図 3.7 デッドタイム回路

デッドタイム制御回路はデッドタイム部と出力極性切り替え部から構成されます。デッドタイム回路は、エッジ検出部とタイマ部とデッドタイム挿入部およびデッドタイム補正部から構成されます。

(「図 3.7 デッドタイム回路」参照)

U,V,W のそれぞれの相で、上下相が逆転する場合に上下相が短絡するのを回避するため、デッドタイム回路によりオン時間を遅延させます。遅延時間は、8 ビット値により $8/f_{sys}$ の分解能で設定が可能です。遅延時間はデッドタイムレジスタ ($[PMDxDTR]<DTR[7:0]>$) に設定します。

出力極性切り替え回路は、上相出力(UOx,VOx,WOx)と下相出力(XOx,YOx,ZOx)のそれぞれに対してハイアクティブ/ローアクティブを PMD 出力設定レジスタ $[PMDxMDPOT]<POLH>,<POLL>$ により設定します。

デッドタイム補正部は、 $[PMDxMDCR] < DTCREN >$ を "1" に設定することで、上相 PWM または下相 PWM の一方のオン期間が 0 の場合にもう一方の PWM の遅延時間を短く補正します。補正方法は、デッドタイム期間の途中で PWM がオフに変わった場合に、デッドタイム期間の残り時間（デッドタイムレジスタ設定時間 - オン時間）で反対相の遅延時間を短くします。上相 PWM がデッドタイム期間中にオフに変わった場合には下相の遅延時間を短く補正し、下相 PWM がデッドタイム期間中にオフに変わった場合には上相 PWM の遅延時間を短く補正します。遅延時間は「図 3.8 デッドタイム補正」に示すように上相 PWM のデューティ 100% 付近と下相 PWM のデューティ 0% 付近で補正されます。

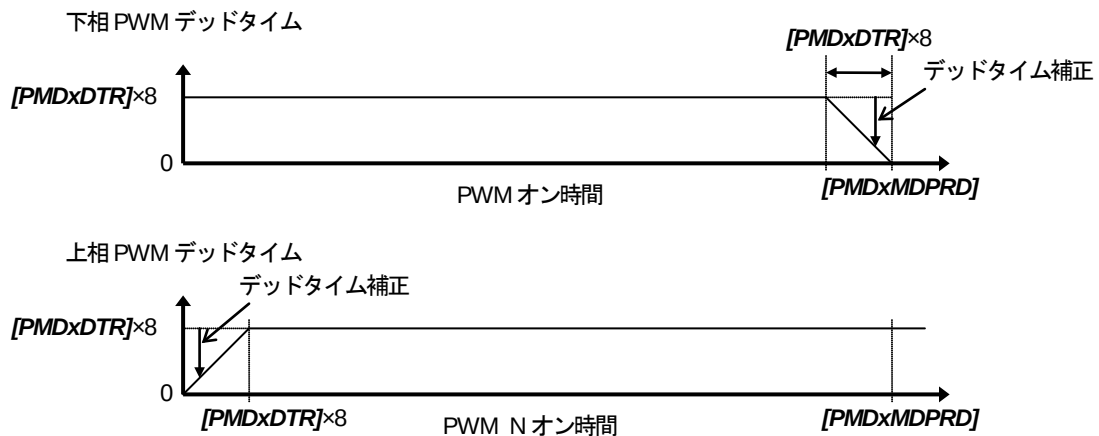


図 3.8 デッドタイム補正

3.6. 同期トリガ生成回路

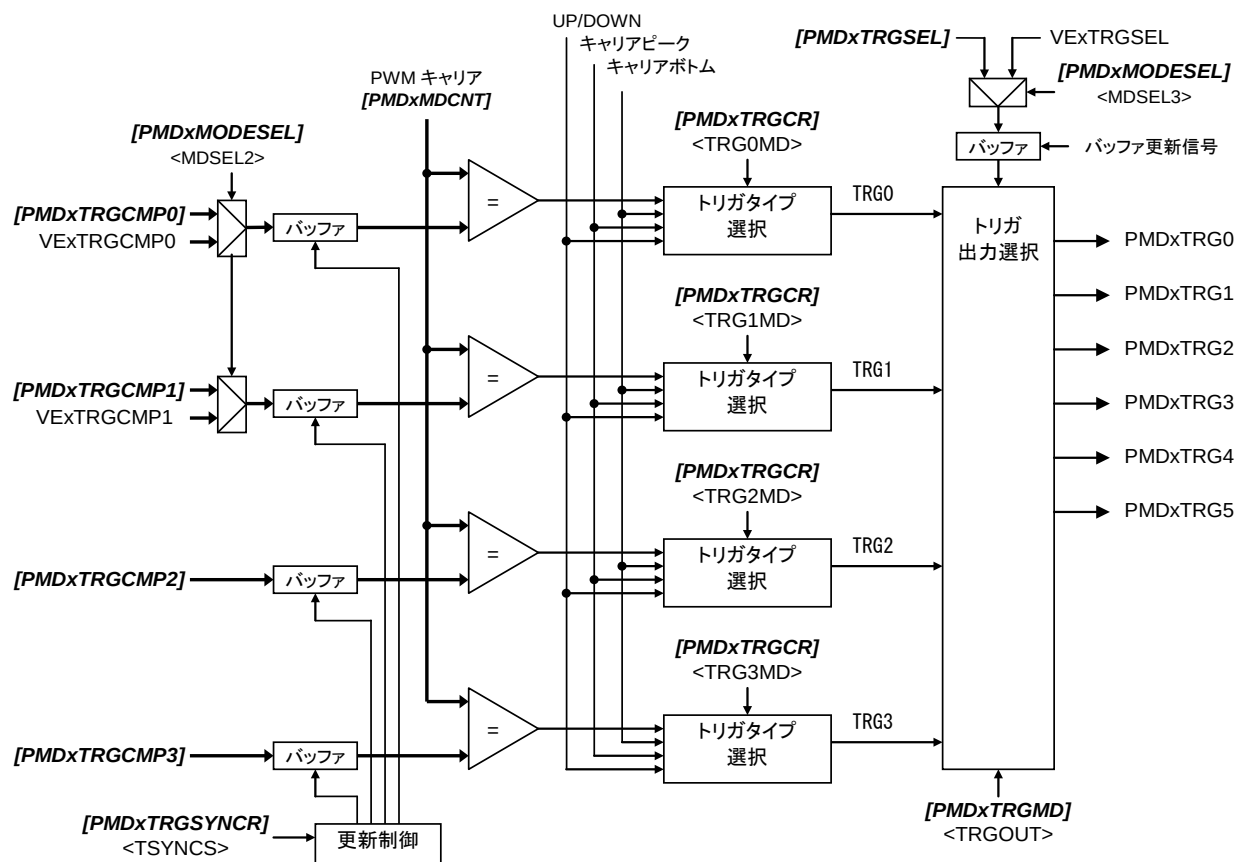


図 3.9 同期トリガ生成回路

同期トリガ生成回路は PWM に同期して ADC のサンプリングを行うための 4 種類のトリガ信号 (TRG0~TRG3)を生成します。**[PMDxMODESEL]<MDESEL2>**でVEモード選択すると、**[PMDxTRGCMP0]/[PMDxTRGCMP1]**は VE レジスタ出力の VExTRGCMP0/VExTRGCMP1 に切り替わります。

トリガタイミングは以下の 6 種類が選択可能です。

- (1) アップカウント時のコンペア一致(注 1)(注 2)
- (2) ダウンカウント時のコンペア一致(注 1)(注 3)
- (3) アップ/ダウンカウント両動作でのコンペア一致(注 1)(注 3)(注 4)
- (4) PWM キャリアピーク
- (5) PWM キャリアボトム(注 3)
- (6) PWM キャリアピークと PWM キャリアボトム(注 3)

注 1) コンペア一致: $[PMD \times MDCNT]$ と $[PMD \times TRGCMPn]$ ($n=0 \sim 3$) の一致

注 2) ノコギリ波キャリア(<PWMMD>=0)で[PMDxTRGCMpn](n=0~3)が"0x0001"の場合に、PWM 開始(<PWMDEN>=1)すると、最初の PWM 周期はトリガ出力されません。

注3) ノコギリ波キャリア(<PWMMD>=0)では選択できません。

注 4) 三角波キャリア(<PWMMD>=1)で[PMDxTRGCMpn](n=0~3)に"0x0001"を設定した場合、アップ/ダウンカウント一致を選択してもトリガ出力は1周期に1度となります。

トリガ選択出力モード ($[PMDxTRGMD]<TRGOUT>=1$) では、TRG0 信号 ($[PMDxTRGCMP0]/\vee ExTRGCMP0$, $[PMDxTRGCR]<TRG0MD>$ で設定) をトリガ出力選択レジスタ $[PMDxTRGSEL]/\vee ExTRGSEL$ で選択した ADC 同期トリガ ($PMDxTRG0\sim 5$) に出力します。(「表 4.4 トリガ出力パターン」参照)

EMG 保護動作時もトリガ出力する場合は $[PMDxTRGMD]<EMGTGE>$ に "1" を設定します。

同期トリガ生成回路の使用例を下記に示します。

- 3 シャントの場合

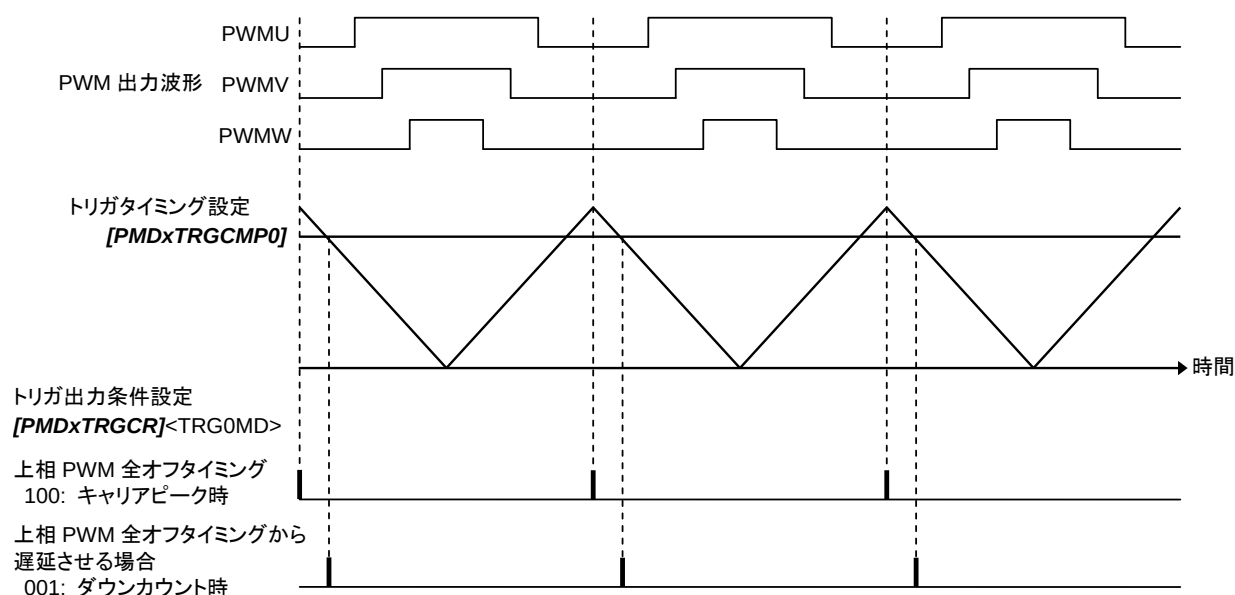


図 3.10 3シャント時のトリガ使用例

トリガ出力モード $[PMDxTRGMD]<TRGOUT>$ に "1" (トリガ選択出力) を設定してください。

トリガ出力一致モード $[PMDxTRGCR]<TRG0MD>$ には、上相 PWM 全オフのタイミングでトリガを発生させる場合は、"100" (PWM キャリアピークでトリガ出力) を設定してください。上相 PWM 全オフのタイミングから遅延させるタイミングでトリガを発生させる場合は、"001" (ダウンカウント時の一致でトリガ出力) を設定し、遅延タイミングを $[PMDxTRGCMP0]$ に設定してください。

モータの位置(セクタ)に応じてトリガ出力ポート選択レジスタ $[PMDxTRGSEL]<TRGSEL>$ に値を設定することで、セクタ別に 6 種類のトリガを発生させることが可能です。

- 1 シャントの場合

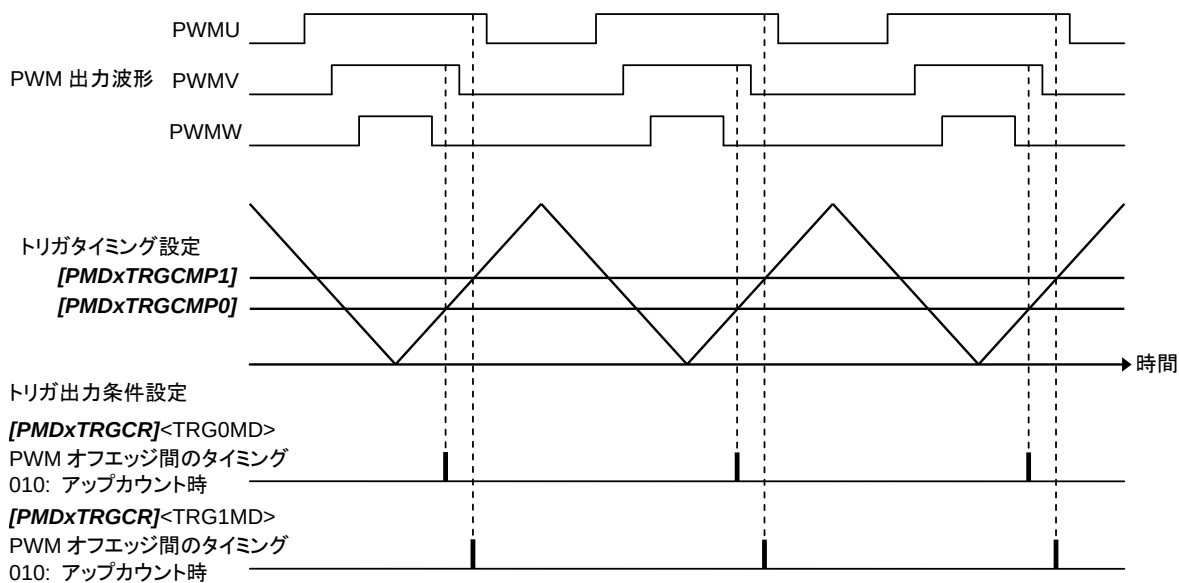


図 3.11 1シャント時のトリガ使用例

トリガ出力モード**[PMDxTRGMD]<TRGOUT>**に、"0" (トリガ固定出力)を設定してください。

トリガ出力一致モード**[PMDxTRGCR]<TRG0MD>**,**<TRG1MD>**に、PWM オフエッジ間のタイミングでトリガを発生させる場合は、"010"(アップカウント時の一致でトリガ出力)を設定し、PWM オンエッジ間のタイミングでトリガを発生させる場合は、"001"(ダウンカウント時の一致でトリガ出力)を設定してください。1 回目のトリガ発生タイミングは**[PMDxTRGCMP0]**に、2 回目のトリガ発生タイミングは**[PMDxTRGCMP1]**にタイミングを設定してください。

4. レジスタ説明

4.1. レジスタ一覧

制御レジスタとアドレスは以下のとおりです。

周辺機能		チャネル/ユニット	ベースアドレス		
			TYPE1	TYPE2	TYPE3
プログラマブルモータ制御回路プラス	PMD+	ch0	0x400F6000	0x400E9000	0x40089000
		ch1	0x400F6100	0x400E9400	0x40089400
		ch2	0x400F6200	0x400E9800	0x40089800
		ch3	—	0x400E9C00	0x40089C00

注) 製品によって搭載されるチャネル/ユニットおよびベースアドレスタイプは異なります。
詳細はリファレンスマニュアルの「製品個別情報」を参照してください。

レジスタ名		アドレス(Base+)
PMD イネーブルレジスタ	[PMDxMDEN]	0x0000
ポート出力モードレジスタ	[PMDxPORTMD]	0x0004
PMD コントロールレジスタ	[PMDxMDCR]	0x0008
PWM カウンタステータスレジスタ	[PMDxCNTSTA]	0x000C
PWM カウンタレジスタ	[PMDxMDCNT]	0x0010
PWM 周期レジスタ	[PMDxMDPRD]	0x0014
U 相用 PWM コンペアレジスタ	[PMDxCMPU]	0x0018
V 相用 PWM コンペアレジスタ	[PMDxCMPV]	0x001C
W 相用 PWM コンペアレジスタ	[PMDxCMPW]	0x0020
モード選択レジスタ	[PMDxMODESEL]	0x0024
PMD 通電制御レジスタ	[PMDxMDOUT]	0x0028
PMD 出力設定レジスタ	[PMDxMDPOT]	0x002C
EMG 解除レジスタ	[PMDxEMGREL]	0x0030
EMG コントロールレジスタ	[PMDxEMGCR]	0x0034
EMG ステータスレジスタ	[PMDxEMGSTA]	0x0038
OVV コントロールレジスタ	[PMDxOVVCR]	0x003C
OVV ステータスレジスタ	[PMDxOVVSTA]	0x0040
デッドタイムレジスタ	[PMDxDTR]	0x0044
トリガコンペア 0 レジスタ	[PMDxTRGCMP0]	0x0048
トリガコンペア 1 レジスタ	[PMDxTRGCMP1]	0x004C
トリガコンペア 2 レジスタ	[PMDxTRGCMP2]	0x0050
トリガコンペア 3 レジスタ	[PMDxTRGCMP3]	0x0054
トリガコントロールレジスタ	[PMDxTRGCR]	0x0058
トリガ出力モード設定レジスタ	[PMDxTRGMD]	0x005C
トリガ出力選択レジスタ	[PMDxTRGSEL]	0x0060
トリガ更新タイミング設定レジスタ	[PMDxTRGSYNCR]	0x0064

4.2. レジスタ詳細

4.2.1. [PMDxMDEN] (PMD イネーブルレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:1	—	0	R	リードすると"0"が読めます。
0	PWMEN	0	R/W	波形合成機能の許可/禁止を制御(注 1)(注 2) 0: 禁止 1: 許可

注 1) 入出力ポートを機能出力(PMD 出力)として設定している場合、<PWMEN>=0 でポートは出力禁止(ハイインピーダンス)になります。入出力ポート設定はリファレンスマニュアルの「入出力ポート」を参照してください。

注 2) 出力ポート極性など、<PWMEN>以外の初期設定を行った後に、<PWMEN>=1 に設定してください。

4.2.2. [PMDxPORTMD] (ポート出力モードレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:2	—	0	R	リードすると"0"が読めます。
1:0	PORTMD[1:0]	00	R/W	デバッグホールド時のポート出力制御の設定(注 1)(注 2)(注 3) 00: 上相ハイインピーダンス / 下相ハイインピーダンス 01: 上相ハイインピーダンス / 下相 PMD 出力 10: 上相 PMD 出力 / 下相ハイインピーダンス 11: 上相 PMD 出力 / 下相 PMD 出力 入出力ポートを機能出力(PMD 出力)で使用中にデバッグホールド発生した場合の上相(UOx/VOx/WOx)および下相(XOx/YOx/ZOx)のポート出力を設定します。 ハイインピーダンス選択時にデバッグホールドで入出力ポートを出力禁止(ハイインピーダンス)にします。それ以外の場合は PMD 出力に従います。

注 1) [PMDxMDEN]<PWMEN>=0 時は<PORTMD[1:0]>の設定に関わらず出力禁止(ハイインピーダンス)になります。

注 2) ポート出力制御は[PMDxEMGCR]<EMGMD[1:0]>の設定により EMG 保護時にも行われます。

注 3) 入出力ポート設定はリファレンスマニュアルの「入出力ポート」を参照してください。

4.2.3. [PMDxMODESEL] (モード選択レジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:8	—	0	R	リードすると"0"が読めます。
7	DCMPEN	0	R/W	VE レジスタと PMD レジスタの自動切り替え許可 (注 1) 0: 2 レジスタ切り替え禁止 (<MDSEL0>設定のレジスタのみ使用) 1: 2 レジスタ切り替え許可 (PWM 周期前半と後半でレジスタ切り替え) <MDSEL0>=1 の場合に有効です。 三角波キャリア選択時([PMDxMDCR]<PWMMD>=1)に有効です。
6:4	—	0	R	リードすると"0"が読めます。
3	MDSEL3	0	R/W	モード選択 3 0: バスモード(PMD レジスタ使用: [PMDxTRGSEL]) 1: VE モード(VE レジスタ使用: [VExTRGSEL]) [PMDxTRGSEL]/VExTRGSEL レジスタの選択
2	MDSEL2	0	R/W	モード選択 2 0: バスモード (PMD レジスタ使用: [PMDxTRGCMP0] および[PMDxTRGCMP1]) 1: VE モード (VE レジスタ使用: [VExTRGCMP0]および[VExTRGCMP1]) [PMDxTRGCMP0]/VExTRGCMP0 および [PMDxTRGCMP1]/VExTRGCMP1 レジスタの選択
1	MDSEL1	0	R/W	モード選択 1 0: バスモード(PMD レジスタ使用: [PMDxMDOUT]) 1: VE モード(VE レジスタ使用: [VExOUTCR]) [PMDxMDOUT]/VExOUTCR レジスタの選択
0	MDSEL0	0	R/W	モード選択 0 0: バスモード (PMD レジスタ使用: [PMDxCMPU]/[PMDxCMPV]および [PMDxCMPW]) 1: VE モード (VE レジスタ使用: [VExCMPU] / [VExCMPV] / [VExCMPW]レジスタ の選択および[VExEMGRS]レジスタ許可設定)

注 1) VE レジスタとの自動切り替えを許可時、VE レジスタ ([VExCMPU], [VExCMPV], [VExCMPW]) を使用するために VE の[VExEN]および[VExREPTIME]に"1"を設定してください。

注 2) VE の詳細はリファレンスマニュアルの「アドバンストベクトルエンジン」を参照してください。

4.2.4. [PMDxMDCR] (PMD コントロールレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:16	—	0	R	リードすると"0"が読めます。
15:14	WPWMES[1:0]	00	R/W	W 相 PWM エッジ設定(注 1) 00: エッジ固定なし(センタ PWM) 01: Reserved 10: PWM 立ち上がりエッジ固定(キャリアボトムに固定) 11: PWM 立ち下がりエッジ固定(キャリアボトムに固定)
13:12	VPWMES[1:0]	00	R/W	V 相 PWM エッジ設定(注 1) 00: エッジ固定なし(センタ PWM) 01: Reserved 10: PWM 立ち上がりエッジ固定(キャリアボトムに固定) 11: PWM 立ち下がりエッジ固定(キャリアボトムに固定)
11:10	UPWMES[1:0]	00	R/W	U 相 PWM エッジ設定(注 1) 00: エッジ固定なし(センタ PWM) 01: Reserved 10: PWM 立ち上がりエッジ固定(キャリアボトムに固定) 11: PWM 立ち下がりエッジ固定(キャリアボトムに固定)
9:8	DSYNCS[1:0]	00	R/W	PWM コンペアレジスタと PWM 周期レジスタのダブルバッファ更新タイミング(注 2)(注 3) 00: 割り込み周期設定(<INTPRD>)によります。(表 4.1 参照) 0.5 周期割り込み要求選択(<INTPRD>=00)時はキャリアピークとキャリアボトムで更新、それ以外ではキャリアピーク更新 01: PWM キャリアボトムで更新 10: PWM キャリアピークで更新 11: PWM キャリアピークとキャリアボトムで更新
7	DTCREN	0	R/W	デッドタイム補正許可 0: 禁止 1: 許可
6	PWMCK	0	R/W	PWM 周期延長モードを指定 0: 通常周期 1: 4 倍周期 PWM カウンタのカウント周期を設定します。 通常周期設定: ノコギリ波 1/fsys, 三角波 2/fsys 4 倍周期設定: ノコギリ波 4/fsys, 三角波 8/fsys
5	SYNTMD	0	R/W	ポート出力モード設定 [PMDxMDOUT]<nOC>/<nPWM>, [PMDxMDPOT]<POLH>/<POLL>および<SYNTMD>の組み合わせでポート出力を制御します。(表 4.2 参照)
4	DTYMD	0	R/W	デューティモード選択 0: 3 相共通 1: 3 相独立 デューティの設定を[PMDxCMPU/V/W]の 3 相独立で行うか、[PMDxCMPU]レジスタの設定を 3 相共通で用いるかの選択を行います。
3	PINT	0	R/W	PWM 割り込み要求タイミング選択(注 4)(注 5) 0: PWM キャリアボトム ([PMDxMDCNT]=0x0001)で割り込み要求発生 1: PWM キャリアピーク ([PMDxMDCNT]=[PMDxMDPRD])で割り込み要求発生

Bit	Bit Symbol	リセット後	Type	機能
2:1	INTPRD[1:0]	00	R/W	PWM 割り込み要求周期選択 00: PWM0.5 周期ごとに割り込み要求(注 6)(注 7) 01: PWM1 周期ごとに割り込み要求 10: PWM2 周期ごとに割り込み要求 11: PWM4 周期ごとに割り込み要求 PWM 割り込み要求の発生する頻度を PWM 周期の 0.5 周期/ 1 周期/ 2 周期 /4 周期に 1 回から選択します。
0	PWMMD	0	R/W	PWM キャリア波形選択 0: PWM モード 0(エッジ PWM、ノコギリ波) 1: PWM モード 1(センタ PWM、三角波)

注 1) 三角波キャリア選択(<PWMMD>=1)時に有効

注 2) ノコギリ波キャリア選択(<PWMMD>=0)時は設定に関わらずキャリアピーク更新になります。

注 3) **[PMDxMDEN]**<PWMEN>=0 時は設定に関わらず非同期更新になります。

注 4) PWM キャリアがノコギリ波(<PWMMD>=0)の場合はキャリアピークになります。

注 5) 割り込み周期が 0.5 周期(<INTPRD>=00)の場合はキャリアピークとキャリアボトムの両方になります。

注 6) PWM キャリアが三角波(<PWMMD>=1)の場合だけ設定可能

注 7) コンペアレジスタ(**[PMDxCMPU/V/W]**)および周期レジスタ(**[PMDxMDPRD]**)のダブルバッファ後段は PWM キャリアのピークとボトムで更新されます。

表 4.1 **[PMDxMDPRD]**,**[PMDxCMPU/V/W]**バッファ更新タイミング

設定		更新タイミング
<DSYNCS[1:0]>	<INTPRD[1:0]>	
00	1x	PWM キャリアピークで更新
	x1	PWM キャリアピークで更新
	00	PWM キャリアピークとキャリアボトムで更新
01	xx	PWM キャリアボトムで更新
10	xx	PWM キャリアピークで更新
11	xx	PWM キャリアピークとキャリアボトムで更新

注) x: Don't care

4.2.5. **[PMDxCNTSTA]** (PWM カウンタステータスレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:1	—	0	R	リードすると"0"が読めます。
0	UPDOWN	0	R	PWM カウンタフラグ(注) 0: アップカウント中 1: ダウンカウント中 PWM カウンタがアップカウント中かダウンカウント中かを示します。

注) ノコギリ波キャリア(**[PMDxMDCR]**<PWMMD>=0)の場合は、常に"0"が読み出されます。

4.2.6. [PMDxMDCNT] (PWM カウンタレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:16	—	0	R	リードすると"0"が読めます。
15:0	MDCNT[15:0]	0x0000	R	PWM カウンタ(注) PWM キャリア波形となるアップダウンカウンタを読み出せます。 カウンタ値分解能 1/fsys 4 倍周期モード([PMDxMDCR]<PWMCK>=1)の場合、分解能は 4/fsys になります。

注) PMD 禁止([PMDxMDEN]<PWMEN>=0)の PWM カウンタ値は[PMDxMDCR]<PWMMMD>設定(キャリア波形選択)によって、以下のようになります。

[PMDxMDCR]<PWMMMD>=0 の場合: 0x0001

[PMDxMDCR]<PWMMMD>=1 の場合: [PMDxMDPRD]レジスタ値

4.2.7. [PMDxMDPRD] (PWM 周期レジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:16	—	0	R	リードすると"0"が読めます。
15:0	MDPRD[15:0]	0x0000	R/W	PWM 周期設定 [PMDxMDPRD] ≥ 0x0010 (注 1) PWM 周期は PWM 周期延長モード[PMDxMDCR]<PWMCK>と PWM キャリア波形選択<PWMMMD>の組み合わせで以下の計算式で表されます。 <PWMCK>=0 の場合、<PWMMMD>=0: [PMDxMDPRD]×1/fsys <PWMMMD>=1: [PMDxMDPRD]×2/fsys <PWMCK>=1 の場合、<PWMMMD>=0: [PMDxMDPRD]×4/fsys <PWMMMD>=1: [PMDxMDPRD]×8/fsys

注 1) [PMDxMDPRD]に"0x0010"未満の値を設定した場合、自動的に[PMDxMDPRD]=0x0010 として動作します(レジスタには設定した値が入ります)。

注 2) このレジスタへのバイト書き込み(上位 8bit([15:8]), 下位 8bit([7:0])を別々に書き込み)はしないでください。バイト書き込みした場合の動作は保証できません。

注 3) [PMDxMDPRD]レジスタはダブルバッファ構成のため PWM カウンタ動作中でも変更可能です。

注 4) 後段バッファの更新タイミングは「表 4.1 [PMDxMDPRD],[PMDxCMPU/V/W]バッファ更新タイミング」を参照してください。

注 5) リード時は前段バッファの値(バスから設定したデータ)をリードします。

4.2.8. [PMDxCMPU] (U 相用 PWM コンペアレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:16	—	0	R	リードすると"0"が読めます。
15:0	CMPU[15:0]	0x0000	R/W	U 相 PWM パルス幅の設定(注 1) 0x0000~0xFFFF U 相 PWM のパルス幅を決定する比較レジスタで、ダブルバッファ構成となっています。後段のバッファとPWMカウンタとを大小比較しパルス幅を決定します。 パルス幅は PWM 周期延長モード[PMDxMDCR]<PWMCK>と PWM キャリア波形選択<PWMMMD>の組み合わせで以下の計算式で表されます。 <PWMCK>=0 の場合、<PWMMMD>=0: $[PMDxCMPU] \times 1 / fsys$ <PWMMMD>=1: $[PMDxCMPU] \times 2 / fsys$ <PWMCK>=1 の場合、<PWMMMD>=0: $[PMDxCMPU] \times 4 / fsys$ <PWMMMD>=1: $[PMDxCMPU] \times 8 / fsys$

注 1) [PMDxCMPU] > [PMDxMDPRD] の場合、デューティ 100%になります。

注 2) バスから更新したコンペアレジスタをバッファ後段にロードさせる場合は、[PMDxMODESEL] <MDSEL0>に"0"を書き込んでバスモード(デフォルト)にしてください。

注 3) このレジスタへのバイト書き込み(上位 8bit([15:8]), 下位 8bit([7:0])を別々に書き込み)はしないでください。バイト書き込みした場合の動作は保証できません。

注 4) [PMDxCMPU]レジスタはダブルバッファ構成のためPWMカウンタ動作中でも変更可能です。

注 5) 後段バッファの更新タイミングは「表 4.1 [PMDxMDPRD],[PMDxCMPU/V/W]バッファ更新タイミング」を参照してください。

注 6) リード時は前段バッファの値(バスから設定したデータ)をリードします。

4.2.9. [PMDxCMPV] (V 相用 PWM コンペアレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:16	—	0	R	リードすると"0"が読めます。
15:0	CMPV[15:0]	0x0000	R/W	V 相 PWM パルス幅の設定(注 1) 0x0000~0xFFFF V 相 PWM のパルス幅を決定する比較レジスタで、ダブルバッファ構成となっています。後段のバッファとPWMカウンタとを大小比較しパルス幅を決定します。 パルス幅は PWM 周期延長モード[PMDxMDCR]<PWMCK>と PWM キャリア波形選択<PWMMMD>の組み合わせで以下の計算式で表されます。 <PWMCK>=0 の場合、<PWMMMD>=0: $[PMDxCMPV] \times 1 / fsys$ <PWMMMD>=1: $[PMDxCMPV] \times 2 / fsys$ <PWMCK>=1 の場合、<PWMMMD>=0: $[PMDxCMPV] \times 4 / fsys$ <PWMMMD>=1: $[PMDxCMPV] \times 8 / fsys$

注 1) [PMDxCMPV] > [PMDxMDPRD] の場合、デューティ 100%になります。

注 2) バスから更新したコンペアレジスタをバッファ後段にロードさせる場合は、[PMDxMODESEL] <MDSEL0>に"0"を書き込んでバスモード(デフォルト)にしてください。

注 3) このレジスタへのバイト書き込み(上位 8bit([15:8]), 下位 8bit([7:0])を別々に書き込み)はしないでください。バイト書き込みした場合の動作は保証できません。

注 4) [PMDxCMPV]レジスタはダブルバッファ構成のためPWMカウンタ動作中でも変更可能です。

- 注 5) 後段バッファの更新タイミングは「表 4.1 $[PMDxMDPRD]$, $[PMDxCMPU/V/W]$ バッファ更新タイミング」を参照してください。
- 注 6) リード時は前段バッファの値(バスから設定したデータ)をリードします。

4.2.10. $[PMDxCMPW]$ (W 相用 PWM コンペアレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:16	—	0	R	リードすると"0"が読めます。
15:0	CMPW[15:0]	0x0000	R/W	W 相 PWM パルス幅の設定(注 1) 0x0000~0xFFFF W 相 PWM のパルス幅を決定する比較レジスタで、ダブルバッファ構成となっています。後段のバッファと PWM カウンタとを大小比較しパルス幅を決定します。 パルス幅は PWM 周期延長モード$[PMDxMDCR]$<PWMCK>と PWM キャリア波形選択<PWMMMD>の組み合わせで以下の計算式で表されます。 <PWMCK>=0 の場合、<PWMMMD>=0: $[PMDxCMPW] \times 1 / f_{sys}$ <PWMMMD>=1: $[PMDxCMPW] \times 2 / f_{sys}$ <PWMCK>=1 の場合、<PWMMMD>=0: $[PMDxCMPW] \times 4 / f_{sys}$ <PWMMMD>=1: $[PMDxCMPW] \times 8 / f_{sys}$

- 注 1) $[PMDxCMPW] > [PMDxMDPRD]$ の場合、デューティ 100%になります。
- 注 2) バスから更新したコンペアレジスタをバッファ後段にロードさせる場合は、 $[PMDxMODESEL]$ <MDSEL0>に"0"を書き込んでバスモード(デフォルト)にしてください。
- 注 3) このレジスタへのバイト書き込み(上位 8bit([15:8]), 下位 8bit([7:0])を別々に書き込み)はしないでください。バイト書き込みした場合の動作は保証できません。
- 注 4) $[PMDxCMPW]$ レジスタはダブルバッファ構成のため PWM カウンタ動作中でも変更可能です。
- 注 5) 後段バッファの更新タイミングは「表 4.1 $[PMDxMDPRD]$, $[PMDxCMPU/V/W]$ バッファ更新タイミング」を参照してください。
- 注 6) リード時は前段バッファの値(バスから設定したデータ)をリードします。

4.2.11. [PMDxMDPOT] (PMD 出力設定レジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:10	—	0	R	リードすると"0"が読めます。
9:8	SYNCS[1:0]	00	R/W	[PMDxMDOUT] / VExOUTCR 設定転送タイミング選択(トリガ同期設定) 00: 非同期(注 4) 01: INTENCx0(A-ENCx 割り込み要求)(注 6) 発生時 10: PMDxTMR(汎用タイマ同期)(注 6) 発生時 11: ENCXCTRGO(A-ENCx MCMP コンペア成立)(注 6) 発生時 通電制御レジスタのバッファ更新タイミングを選択します。(注 2)(注 3)
7:4	—	0	R	リードすると"0"が読めます。
3	POLH	0	R/W	上相出力(UOx, VOx, WOx)の出力極性選択。 0: ローアクティブ 1: ハイアクティブ
2	POLL	0	R/W	下相出力(XOx, YOx, ZOx)の出力極性選択。 0: ローアクティブ 1: ハイアクティブ
1:0	PSYNCS[1:0]	00	R/W	[PMDxMDOUT] / VExOUTCR 設定転送タイミング選択(PWM 同期設定) 00: PWM 非同期(注 4) 01: キャリアボトム([PMDxMDCNT] = 0x0001 の時) 10: キャリアピーク([PMDxMDCNT] = [PMDxMDPRD]の時) 11: キャリアピークおよびキャリアボトム 通電制御レジスタのバッファ更新タイミングを選択します。(注 2)(注 3)(注 5)

注 1) 本レジスタの設定は[PMDxMDEN]<PWMEN>=0 の状態で選択を行ってください。

注 2) バッファ更新タイミングは、<PSYNCS>設定と<SYNCS>設定の組み合わせで決まります。
(「表 3.2 [PMDxMDOUT] / VExOUTCR および[PMDxMDCR]<SYNTMD>設定によるデコード回路出力」参照)

注 3) PMD 禁止([PMDxMDEN]<PWMEN>=0) 時は設定に関わらず非同期になります。

注 4) <SYNCS>=0, PSYNCS=0 の場合、[PMDxMDOUT] / VExOUTCR レジスタ更新と同時にポート出力に反映されます。

注 5) ノコギリ波キャリア([PMDxMDCR]<PWMMD>=0)の場合、"00"以外ではキャリアピーク更新になります。

注 6) 製品によって接続先が異なりますので、リファレンスマニュアルの「製品個別情報」を参照してください。

4.2.12. [PMDxMDOUT] (PMD 通電制御レジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:11	—	0	R	リードすると"0"が読めます。
10	WPWM	0	R/W	W 相 PWM 出力設定 0: H/L 出力 1: PWM 出力 <WOC>,<WPWM>,[PMDxMDPOT]<POLH>/<POLL>,[PMDxMDCR] <SYNTMD>との組み合わせでポート出力を制御します。(表 4.2 参照)
9	VPWM	0	R/W	V 相 PWM 出力設定 0: H/L 出力 1: PWM 出力 <VOC>,<VPWM>,[PMDxMDPOT]<POLH>/<POLL>,[PMDxMDCR] <SYNTMD>との組み合わせでポート出力を制御します。(表 4.2 参照)
8	UPWM	0	R/W	U 相 PWM 出力設定 0: H/L 出力 1: PWM 出力 <UOC>,<UPWM>,[PMDxMDPOT]<POLH>/<POLL>,[PMDxMDCR] <SYNTMD>との組み合わせでポート出力を制御します。(表 4.2 参照)
7:6	—	0	R	リードすると"0"が読めます。
5:4	WOC[1:0]	00	R/W	W 相通電設定 <WOC>,<WPWM>,[PMDxMDPOT]<POLH>/<POLL>,[PMDxMDCR] <SYNTMD>との組み合わせでポート出力を制御します。(表 4.2 参照)
3:2	VOC[1:0]	00	R/W	V 相通電設定 <VOC>,<VPWM>,[PMDxMDPOT]<POLH>/<POLL>,[PMDxMDCR] <SYNTMD>との組み合わせでポート出力を制御します。(表 4.2 参照)
1:0	UOC[1:0]	00	R/W	U 相通電設定 <UOC>,<UPWM>,[PMDxMDPOT]<POLH>/<POLL>,[PMDxMDCR] <SYNTMD>との組み合わせでポート出力を制御します。(表 4.2 参照)

- 注 1) バスから更新した[PMDxMDOUT]/VExOUTCR レジスタをバッファ後段にロードさせる場合は、**[PMDxMODESEL]<MDSEL1>**に"0"を書き込んでバスモード(デフォルト)にしてください。
- 注 2) このレジスタへのバイト書き込み(上位 8bit([15:8]), 下位 8bit([7:0])を別々に書き込み)はしないでください。バイト書き込みした場合の動作は保証できません。
- 注 3) 通電制御レジスタはダブルバッファ構成のため PWM カウンタ動作中でも変更可能です。
- 注 4) 後段バッファの更新タイミングは「表 3.1 [PMDxMDOUT]/VExOUTCR バッファの更新タイミング」を参照してください。
- 注 5) リード時は前段バッファの値(バスから設定したデータ)をリードします。

表 4.2 <nOC>,<nPWM>,<POLH><POLL>および<SYNTMD>設定によるポート出力

[PMDxMDCR]<SYNTMD>=0

極性ハイアクティブ([PMDxMDPOT]<POLH><POLL>=11)

通電設定		PWM 出力設定 <nPWM>			
上相	下相				
<nOC[1]>	<nOC[0]>	0: H/L 出力		1: PWM 出力	
		上相 PWM	下相 PWM	上相 PWM	下相 PWM
0	0	L	L	/PWMn	PWMn
0	1	L	H	L	PWMn
1	0	H	L	PWMn	L
1	1	H	H	PWMn	/PWMn

[PMDxMDCR]<SYNTMD>=0

極性ローアクティブ([PMDxMDPOT]<POLH><POLL>=00)

通電設定		PWM 出力設定 <nPWM>			
上相	下相				
<nOC[1]>	<nOC[0]>	0: H/L 出力		1: PWM 出力	
		上相 PWM	下相 PWM	上相 PWM	下相 PWM
0	0	H	H	PWMn	/PWMn
0	1	H	L	H	/PWMn
1	0	L	H	/PWMn	H
1	1	L	L	/PWMn	PWMn

[PMDxMDCR]<SYNTMD>=1

極性ハイアクティブ([PMDxMDPOT]<POLH><POLL>=11)

通電設定		PWM 出力設定 <nPWM>			
上相	下相				
<nOC[1]>	<nOC[0]>	0: H/L 出力		1: PWM 出力	
		上相 PWM	下相 PWM	上相 PWM	下相 PWM
0	0	L	L	/PWMn	PWMn
0	1	L	H	L	/PWMn
1	0	H	L	PWMn	L
1	1	H	H	PWMn	/PWMn

[PMDxMDCR]<SYNTMD>=1

極性ローアクティブ([PMDxMDPOT]<POLH><POLL>=00)

通電設定		PWM 出力設定 <nPWM>			
上相	下相				
<nOC[1]>	<nOC[0]>	0: H/L 出力		1: PWM 出力	
		上相 PWM	下相 PWM	上相 PWM	下相 PWM
0	0	H	H	PWMn	/PWMn
0	1	H	L	H	PWMn
1	0	L	H	/PWMn	H
1	1	L	L	/PWMn	PWMn

注 1) n=U,V,W

注 2) PWMn: 設定デューティの PWM 信号 /PWMn: PWMn の反転信号

4.2.13. [PMDxEMGREL] (EMG 解除レジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:8	—	0	R	リードすると"0"が読めます。
7:0	EMGREL[7:0]	0x00	W	EMG/OVV 禁止コード "0x5A"→"0xA5"に設定することにより EMG 機能と OVV 機能を禁止可能になります。 禁止コード書き込み後、続けて[PMDxEMGCR]<EMGEN>=0 または [PMDxOVVCR]<OVVEN>=0 を設定してください。

注) EMG 禁止時と OVV 禁止時のそれぞれで禁止コードを書き込んでください。

4.2.14. [PMDxEMGCR] (EMG コントロールレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:12	—	0	R	リードすると"0"が読めます。
11:8	EMGCNT[3:0]	0x0	R/W	EMGx_N 入力検出時間 0x0~0xF("0x0"設定時はノイズフィルタをスルーします。) 異常検出入力のノイズ除去時間を設定します。 ノイズ除去時間は以下の計算式で表されます。 $\text{<EMGCNT[3:0]>} \times 16/\text{fsys}$ EMG 禁止状態(<EMGEN> =0)で設定してください。(注 1)
7:6	-	0	R	リードすると"0"が読めます。
5	INHEN	1	R/W	デバッグホールの許可/禁止 0: 禁止 1: 許可(初期状態は許可) デバッグホール信号が入力された場合に PMD を停止させるかを選択します。
4:3	EMGMD[1:0]	11	R/W	EMG 保護モード選択(注 2) 00: 全相ハインピーダンス z 01: 全上相オン/全下相ハインピーダンス 10: 全上相ハインピーダンス/全下相オン 11: 全相ハインピーダンス 注)オン: PMD 出力を継続します。 EMG 発生時の上相(UOx,VOx,WOx)および下相(XOx,YOx,ZOx)のポート出力を設定します。
2	—	0	R/W	常に"0"を書いてください。
1	EMGRS	0	W	EMG 保護状態からの復帰 0: - 1: 保護状態からの復帰 [PMDxMDOUT] /VExOUTCR レジスタに"0x000"を設定後(注 3)、 [PMDxEMGSTA]<EMGI>が"1"になったことを確認してから、<EMGRS> に"1"を設定することにより EMG 保護状態から復帰します。 リードすると常に"0"が読めます。
0	EMGEN	1	R/W	EMG 保護回路の許可/禁止を設定 0: 禁止 1: 許可(初期状態は許可) 禁止するときは EMG 解除レジスタ[PMDxEMGREL]に"0x5A"→"0xA5"を 順にライトした後、<EMGEN>に"0"を設定してください。(3 命令を連続して 行います)

注 1) EMG 許可状態で<EMGCNT>を書き換えると EMG 保護状態になる可能性があります。そのため<EMGCNT>を書き変えた場合は、以下の手順で EMG 保護状態を解除してください。

- (1) [PMDxEMGSTA]<EMGI>をリードし、"1"であることを確認。
- (2) [PMDxMDOUT] /VExOUTCR <UPWM>, <VPWM>, <WPWM>, <UOC>, <VOC>, <WOC>を
"0"に設定し、ポート出力を全てインアクティブとする。
- (3) [PMDxEMGCR] /VExEMGRS の<EMGRS>を"1"に設定し、EMG 保護状態から復帰させる。

注 2) OVv、EMG 同時発生時は<EMGMD>の保護モード設定が優先されます。

注 3) [PMDxMDOUT] /VExOUTCR レジスタのダブルバッファ後段が"0x000"に更新されていないと復帰できません。

4.2.15. [PMDxEMGSTA] (EMG ステータスレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:2	—	0	R	リードすると"0"が読めます。
1	EMGI	不定	R	EMGx_N 入力の状態 0: アクティブ入力 1: インアクティブ入力 リードすることにより、EMGx_N 入力の状態を知ることができます。
0	EMGST	0	R	EMG 保護状態 0: 通常動作中 1: 保護中 リードすることにより、EMG 保護の状態を知ることができます。

4.2.16. [PMDxOVVCR] (OVV コントロールレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:12	—	0	R	リードすると"0"が読めます。
11:8	OVVCNT[3:0]	0x0	R/W	OVV 入力検出時間 0x1~0xF("0x0"設定時は"0x1"として動作します。) 異常検出入力のノイズ除去時間を設定します。 ノイズ除去時間は以下の計算式で表されます。 $\text{OVVCNT}[3:0] \times 16 / \text{fsys}$ OVV disable 状態(<OVVEN> =0)で設定してください。
7	—	0	R	リードすると"0"が読めます。
6	ADIN1EN	0	R/W	ADCx 監視機能 1 入力許可(注 1) 0: 入力禁止 1: 入力許可 ADCx の監視機能 1 からの信号入力の許可/禁止を選択します。許可に設定し、かつ入力に ADC 監視信号(<OVVISEL>=1)を選択時、ADCx 監視機能 1 の比較結果を OVV 入力として使用できます。(OVV 保護許可設定時)
5	ADIN0EN	0	R/W	ADCx 監視機能 0 入力許可(注 1) 0: 入力禁止 1: 入力許可 ADCx の監視機能 0 からの信号入力の許可/禁止を選択します。許可に設定し、かつ入力に ADC 監視信号(<OVVISEL>=1)を選択時、ADCx 監視機能 0 の比較結果を OVV 入力として使用できます。(OVV 保護許可設定時)
4:3	OVVMD[1:0]	00	R/W	OVV 保護モード選択(注 2) 00: 出力制御なし 01: 全上相オン、全下相オフ 10: 全上相オフ、全下相オン 11: 全相オフ OVV 発生時に、上相(UOx,VOx,W0x)および下相(XOx,YOx,ZOx)の出力をオン/オフさせます。 オンはアクティブ出力固定、オフはインアクティブ出力固定になります。アクティブ/インアクティブは<POLL>,<POLH>の設定で決まります。

Bit	Bit Symbol	リセット後	Type	機能
2	OVVISEL	0	R/W	OVV 入力選択 0: OVVx_N 端子入力 1: ADC 監視信号 保護回路に入力させる OVV 信号をポートからの入力か、ADC からの監視信号かを選択します。 ADC 監視信号を選択した場合は、OVV 入力検出時間<OVVCNT[3:0]>の設定は無効となります(直接入力)。
1	OVVRS	0	R/W	OVV 保護状態からの復帰 0: 保護状態からの自動復帰禁止 1: 保護状態からの自動復帰許可 異常検出(OVV 入力 H→L)して OVV 保護状態へ移行しても、自動復帰許可時は OVV 入力 High になった後の PWM 周期レジスタ([PMDxMDPRD])のバッファ更新タイミングで自動的に復帰します。(「表 4.1 [PMDxMDPRD].[PMDxCMPUV/W] バッファ更新タイミング」参照)
0	OVVEN	0	R/W	OVV 保護回路の許可/禁止 0: 禁止 1: 許可 許可から禁止に変更する場合、EMG 解除レジスタ([PMDxEMGREL])に"0x5A"→"0xA5"を順に書き込み後、<OVVEN>=0 に設定してください。(3 命令を連続して行います。)

注 1) ADCx 監視機能の詳細は、リファレンスマニュアルの「12 ビットアナログデジタルコンバータ」の動作説明の「AD 監視機能」を参照してください。

注 2) OVV、EMG 同時発生時は<EMGMD[1:0]>での保護モード設定が優先されます。

4.2.17. [PMDxOVVSTA] (OVV ステータスレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:2	—	0	R	リードすると"0"が読めます。
1	OVVI	不定	R	OVVI 入力 OVVI の状態 リードすることにより、OVV 入力の状態([PMDxOVVCR] <OVVISEL>で選択された側)を知ることができます。
0	OVVST	0	R	OVV 保護状態 0: 通常動作中 1: 保護中 リードすることにより、OVV 保護の状態を知ることができます。

4.2.18. [PMDxDTR] (デッドタイムレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:8	—	0	R	リードすると"0"が読めます。
7:0	DTR[7:0]	0x00	R/W	デッドタイムを設定します。 0x00~0xFF デッドタイムは以下の計算式で表されます。 $[PMDxDTR] \text{設定値} \times 8 / f_{sys}$

注) このレジスタは[PMDxMDEN]<PWMEN>=1 の状態では変更しないでください。

4.2.19. [PMDxTRGCMP0] (トリガコンペア 0 レジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:16	—	0	R	リードすると"0"が読めます。
15:0	TRGCMP0[15:0]	0x0000	R/W	トリガ出力用コンペアレジスタ 設定範囲: 0x0001 ~ [PMDxMDPRD]設定値 -1 PWM カウンタ[PMDxMDCNT]と一致するとトリガ信号(TRG0)を出力します。 注) [PMDxTRGCMP0]=0 および [PMDxTRGCMP0]≥[PMDxMDPRD]設定値は設定禁止

- 注 1) バスから更新したコンペアレジスタをバッファ後段にロードさせる場合は、
[PMDxMODESEL]<MDSEL2>に"0"を書き込んでバスモード(デフォルト)にしてください。
- 注 2) このレジスタへのバイト書き込み(上位 8bit([15:8]), 下位 8bit([7:0])を別々に書き込み)はしないでください。バイト書き込みした場合の動作は保証できません。
- 注 3) トリガコンペアレジスタはダブルバッファ構成のためPWM カウンタ動作中でも変更可能です。
- 注 4) 後段バッファの更新タイミングは「表 4.3 トリガコンペアレジスタのバッファ更新タイミング」を参照してください。
- 注 5) リード時は前段バッファの値(バスから設定したデータ)をリードします。
- 注 6) ノコギリ波キャリア(<PWMMD>=0)で[PMDxTRGCMPn](n=0~3)に"0x0001"を設定した場合、PWM 開始(<PWMEN>=1)後、最初の PWM 周期はトリガ出力されません。

表 4.3 トリガコンペアレジスタのバッファ更新タイミング

[PMDxTRGSYNCR] <TSYNCS>設定	[PMDxTRGCR] <TRGnMD>設定	[PMDxTRGCMPn]レジスタ バッファ更新タイミング
00	000	直ちに更新
	001	PWM キャリアピークで更新
	010	PWM キャリアボトムで更新
	011	PWM キャリアのピークとボトムで更新(注 1)
	1xx	直ちに更新
01	xxx	PWM キャリアボトムで更新
10	xxx	PWM キャリアピークで更新
11	xxx	PWM キャリアのピークとボトムで更新(注 1)

注 1) PWM キャリアがノコギリ波([PMDxMDCR]<PWMMD>=0)の場合、キャリアピーク更新になります。

注 2) x: Don't care

注 3) [PMDxMDEN]<PWMEN>=0 時は設定に関わらず直ちに更新されます。

4.2.20. [PMDxTRGCMP1] (トリガコンペア 1 レジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:16	—	0	R	リードすると"0"が読めます。
15:0	TRGCMP1[15:0]	0x0000	R/W	トリガ出力用コンペアレジスタ 設定範囲: 0x0001~[PMDxMDPRD]設定値 -1 PWM カウンタ[PMDxMDCNT]と一致するとトリガ信号(TRG1)を出力します。 注) [PMDxTRGCMP1]=0x0000 および [PMDxTRGCMP1] ≥ [PMDxMDPRD]設定値は設定禁止

注 1) バスから更新したコンペアレジスタをバッファ後段にロードさせる場合は、

[PMDxMODESEL]<MDSEL2>に"0"を書き込んでバスモード(デフォルト)にしてください。

注 2) このレジスタへのバイト書き込み(上位 8bit([15:8]), 下位 8bit([7:0])を別々に書き込み)はしないでください。バイト書き込みした場合の動作は保証できません。

注 3) トリガコンペアレジスタはダブルバッファ構成のため PWM カウンタ動作中でも変更可能です。

注 4) 後段バッファの更新タイミングは「表 4.3 トリガコンペアレジスタのバッファ更新タイミング」を参照してください。

注 5) リード時は前段バッファの値(バスから設定したデータ)をリードします。

注 6) ノコギリ波キャリア(<PWMMD>=0)で[PMDxTRGCMPn](n=0~3)に"0x0001"を設定した場合、PWM 開始(<PWMEN>=1)後、最初の PWM 周期はトリガ出力されません。

4.2.21. [PMDxTRGCMP2] (トリガコンペア 2 レジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:16	—	0	R	リードすると"0"が読めます。
15:0	TRGCMP2[15:0]	0x0000	R/W	トリガ出力用コンペアレジスタ 設定範囲: 0x0001 ~ [PMDxMDPRD]値 -1 PWM カウンタ[PMDxMDCNT]と一致するとトリガ信号(TRG2)を出力します。 注) [PMDxTRGCMP2]=0x0000 および [PMDxTRGCMP2] ≥ [PMDxMDPRD]設定値は設定禁止

- 注 1) このレジスタへのバイト書き込み(上位 8bit([15:8]), 下位 8bit([7:0])を別々に書き込み)はしないでください。バイト書き込みした場合の動作は保証できません。
- 注 2) トリガコンペアレジスタはダブルバッファ構成のため PWM カウンタ動作中でも変更可能です。
- 注 3) 後段バッファの更新タイミングは「表 4.3 トリガコンペアレジスタのバッファ更新タイミング」を参照してください。
- 注 4) リード時は前段バッファの値(バスから設定したデータ)をリードします。
- 注 5) ノコギリ波キャリア(<PWMMMD>=0)で[PMDxTRGCMPn](n=0~3)に"0x0001"を設定した場合、PWM 開始(<PWMEN>=1)後、最初の PWM 周期はトリガ出力されません。

4.2.22. [PMDxTRGCMP3] (トリガコンペア 3 レジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:16	—	0	R	リードすると"0"が読めます。
15:0	TRGCMP3[15:0]	0x0000	R/W	トリガ出力用コンペアレジスタ 設定範囲: 0x0001 ~ [PMDxMDPRD]設定値 -1 PWM カウンタ[PMDxMDCNT]と一致するとトリガ信号(TRG3)を出力します。 注) [PMDxTRGCMP3]=0x0000 および [PMDxTRGCMP3] ≥ [PMDxMDPRD]設定値は設定禁止

- 注 1) このレジスタへのバイト書き込み(上位 8bit([15:8]), 下位 8bit([7:0])を別々に書き込み)はしないでください。バイト書き込みした場合の動作は保証できません。
- 注 2) トリガコンペアレジスタはダブルバッファ構成のため PWM カウンタ動作中でも変更可能です。
- 注 3) 後段バッファの更新タイミングは「表 4.3 トリガコンペアレジスタのバッファ更新タイミング」を参照してください。
- 注 4) リード時は前段バッファの値(バスから設定したデータ)をリードします。
- 注 5) ノコギリ波キャリア(<PWMMMD>=0)で[PMDxTRGCMPn](n=0~3)に"0x0001"を設定した場合、PWM 開始(<PWMEN>=1)後、最初の PWM 周期はトリガ出力されません。

4.2.23. [PMDxTRGCR] (トリガコントロールレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:16	—	0	R	リードすると"0"が読めます。
15	TRG3BE	0	R/W	[PMDxTRGCMP3]バッファの非同期更新許可 後段バッファの非同期更新を許可します。(注 1)(注 2) 0: 同期更新 1: 非同期更新(書き込み後、直ちに反映されます)
14:12	TRG3MD[2:0]	000	R/W	[PMDxTRGCMP3]のモード設定 トリガ出力(TRG3)の一致モードを選択します。 000: トリガ出力禁止 001: ダウンカウント時の一致でトリガ出力(注 3) 010: アップカウント時の一致でトリガ出力(注 4) 011: アップ/ダウンカウント時の一致でトリガ出力(注 3)(注 5) 100: PWM キャリアピークでトリガ出力 101: PWM キャリアボトムでトリガ出力(注 3) 110: PWM キャリアピーク/ボトムでトリガ出力(注 3) 111: トリガ出力禁止
11	TRG2BE	0	R/W	[PMDxTRGCMP2]バッファの非同期更新許可 後段バッファの非同期更新を許可します。(注 1)(注 2) 0: 同期更新 1: 非同期更新(書き込み後、直ちに反映されます)
10:8	TRG2MD[2:0]	000	R/W	[PMDxTRGCMP2]のモード設定 トリガ出力(TRG2)の一致モードを選択します。 000: トリガ出力禁止 001: ダウンカウント時の一致でトリガ出力(注 3) 010: アップカウント時の一致でトリガ出力(注 4) 011: アップ/ダウンカウント時の一致でトリガ出力(注 3)(注 5) 100: PWM キャリアピークでトリガ出力 101: PWM キャリアボトムでトリガ出力(注 3) 110: PWM キャリアピーク/ボトムでトリガ出力(注 3) 111: トリガ出力禁止
7	TRG1BE	0	R/W	[PMDxTRGCMP1] / VExTRGCMP1 バッファの非同期更新許可 後段バッファの非同期更新を許可します。(注 1)(注 2) 0: 同期更新 1: 非同期更新(書き込み後、直ちに反映されます)
6:4	TRG1MD[2:0]	000	R/W	[PMDxTRGCMP1] / VExTRGCMP1 のモード設定 トリガ出力(TRG1)の一致モードを選択します。 000: トリガ出力禁止 001: ダウンカウント時の一致でトリガ出力(注 3) 010: アップカウント時の一致でトリガ出力(注 4) 011: アップ/ダウンカウント時の一致でトリガ出力(注 3)(注 5) 100: PWM キャリアピークでトリガ出力 101: PWM キャリアボトムでトリガ出力(注 3) 110: PWM キャリアピーク/ボトムでトリガ出力(注 3) 111: トリガ出力禁止
3	TRG0BE	0	R/W	[PMDxTRGCMP0] / VExTRGCMP0 バッファの非同期更新許可 後段バッファの非同期更新を許可します。(注 1)(注 2) 0: 同期更新 1: 非同期更新(書き込み後、直ちに反映されます)

Bit	Bit Symbol	リセット後	Type	機能
2:0	TRG0MD[2:0]	000	R/W	[PMDxTRGCMP0] /VExTRGCMP0 のモード設定 トリガ出力(TRG0)の一致モードを選択します。 000: トリガ出力禁止 001: ダウンカウント時の一致でトリガ出力(注 3) 010: アップカウント時の一致でトリガ出力(注 4) 011: アップ/ダウンカウント時にトリガ出力(注 3)(注 5) 100: PWM キャリアピークでトリガ出力 101: PWM キャリアボトムでトリガ出力(注 3) 110: PWM キャリアピーク/ボトムでトリガ出力(注 3) 111: トリガ出力禁止

注 1) **[PMDxMDEN]**<PWMEN>=0 時は設定に関わらず非同期更新になります。

注 2) 更新タイミングは「表 4.3 トリガコンペアレジスタのバッファ更新タイミング」を参照

注 3) **[PMDxMDCR]**<PWMMD>=0 (ノコギリ波)の場合は選択しないでください。

注 4) ノコギリ波キャリア(<PWMMD>=0)で**[PMDxTRGCMPn]**(n=0~3)に"0x0001"を設定した場合、PWM 開始(<PWMEN>=1)後、最初の PWM 周期はトリガ出力されません。

注 5) **[PMDxMDCR]**<PWMMD>=1 (三角波キャリア)で**[PMDxTRGCMPn]**=0x0001 (n=0~3)に設定した場合、トリガ出力は 1 周期に 1 度となります。

4.2.24. **[PMDxTRGSYNCR]** (トリガ更新タイミング設定レジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:2	—	0	R	リードすると"0"が読めます。
1:0	TSYNCS[1:0]	00	R/W	トリガコンペアレジスタのバッファ更新タイミング設定 00: トリガ別に[PMDxTRGCR]<TRGnMD>(n=0~3) 設定で PWM キャリアボトムまたは PWM キャリアピーク 01: PWM キャリアボトム 10: PWM キャリアピーク 11: PWM キャリアピークおよび PWM ボトム

注 1) **[PMDxMDEN]**<PWMEN>=0 時は設定に関わらず非同期になります。

注 2) 更新タイミングは「表 4.3 トリガコンペアレジスタのバッファ更新タイミング」を参照

4.2.25. [PMDxTRGMD] (トリガ出力モード設定レジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:2	—	0	R	リードすると"0"が読めます。
1	TRGOUT	0	R/W	トリガ出力モード 0:トリガ固定出力 1:トリガ選択出力 トリガ固定出力では、トリガ出力 PMDxTRG0～PMDxTRG3 はそれぞれ [PMDxTRGCMP0]～[PMDxTRGCMP3]で一致したトリガ信号を出力します。PMDxTRG4、PMDxTRG5 は出力されません。 トリガ選択出力では、[PMDxTRGCMP0]の出力信号をトリガ出力 PMDxTRG0～PMDxTRG5 のいずれかに出力します。トリガ出力はトリガ出力選択レジスタで選択します。(注)
0	EMGTGE	0	R/W	EMG 保護動作中の出力許可設定 0: 保護動作時トリガ出力禁止 1: 保護動作時トリガ出力許可 EMG 保護動作中のトリガ出力許可設定を選択します。

注) トリガ選択出力(<TRGOUT>=1)時のトリガ出力パターンについては「表 4.4 トリガ出力パターン」を参照してください。

表 4.4 トリガ出力パターン

<TRGOUT>設定	コンペアレジスタ	<TRGSEL[2:0]>設定	トリガ出力
<TRGOUT> =0	[PMDxTRGCMP0]	×	PMDxTRG0
	[PMDxTRGCMP1]		PMDxTRG1
	[PMDxTRGCMP2]		PMDxTRG2
	[PMDxTRGCMP3]		PMDxTRG3
<TRGOUT> =1	[PMDxTRGCMP0]	0	PMDxTRG0
		1	PMDxTRG1
		2	PMDxTRG2
		3	PMDxTRG3
		4	PMDxTRG4
		5	PMDxTRG5
	[PMDxTRGCMP1]	×	トリガ出力なし
	[PMDxTRGCMP2]	×	トリガ出力なし
	[PMDxTRGCMP3]	×	トリガ出力なし

4.2.26. **[PMDxTRGSEL]** (トリガ出力選択レジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:3	—	0	R	リードすると"0"が読めます。
2:0	TRGSEL[2:0]	000	R/W	トリガ出力ポート選択 000: PMDxTRG0 より出力 001: PMDxTRG1 より出力 010: PMDxTRG2 より出力 011: PMDxTRG3 より出力 100: PMDxTRG4 より出力 101: PMDxTRG5 より出力 110: トリガ出力しない 111: トリガ出力しない トリガ選択出力([PMDxTRGMD]<TRGOUT>=1)時に有効となり、 [PMDxTRGCMPO] で設定した出力トリガを選択します。(「表 4.4 トリガ出力パターン」参照)

注 1) バスから更新したコンペアレジスタをバッファ後段にロードさせる場合は、**[PMDxMODESEL]** <MDSEL3>に"0"を書き込んでバスモード(デフォルト)にしてください。

注 2) トリガ出力選択レジスタはダブルバッファ構成のためPWM カウンタ動作中でも変更可能です。

注 3) 後段バッファの更新タイミングはコンペアレジスタ (**[PMDxCMPU/V/W]**)と同じです。

注 4) PMD 禁止(**[PMDxMDEN]**<PWMEN>=0)時は非同期更新されます。

5. 使用上のご注意およびお願い事項

- ADC との連携は、リファレンスマニュアルの「12 ビットアナログデジタルコンバータ」も合わせて参照してください。
- PWM 動作中、停止中に問わずバイト書き込みを禁止とします。
- **[PMDxMDCNT]** レジスタは PWM 動作中に値が変化するためバイト読み出しを禁止します。読み出しはハーフワード以上で行ってください。
- 以下のレジスタはダブルバッファ構造となっており、レジスタヘライトしたデータはそれぞれの更新タイミング(設定による)でダブルバッファ後段へライトされます。
 - **[PMDxCMPU],[PMDxCMPV],[PMDxCMPW]**
 - **[PMDxMDOUT]**
 - **[PMDxTRGSEL]**
 - **[PMDxMDPRD]**
 - **[PMDxTRGCMP0]~[PMDxTRGCMP3]**
- **[PMDxTRGCR]<TRGnMD>**に"011"(アップ/ダウンカウント時の一致でトリガ出力) かつ**[PMDxMDCR]<PWMMD>=1**(三角波キャリア)の場合でも、**[PMDxTRGCMPn](n=0~3)** に"0x0001"するとトリガ出力は1周期内に1度だけとなります。
- **[PMDxTRGCMPn](n=0~3)** に"0x0001"に設定した場合、**[PMDxMDCR]<PWMMD>=0** (ノコギリ波キャリア) 時は、PWM 開始(**[PMDxMDEN]<PWMEN>=1**)後、最初の1周期だけトリガ出力されません。
- PMD 使用前(PORT 設定後)に、必ず EMG 保護状態からの復帰処理を行ってください。
- EMG 保護回路は初期状態で許可されています。使用しない場合は下記手順で禁止してください。
 - (1) **[PMDxEMGREL]**に"0x5A"を書き込み
 - (2) **[PMDxEMGREL]**に"0xA5"を書き込み
 - (3) **[PMDxEMGCR]<EMGEN>**に"0"を設定注) 3 命令連続して実行してください。
- クロックの供給を停止する場合、PMD が停止していることを確認してください。また、STOP1/STOP2 モードに遷移する際も同様に PMD が停止していることを確認してください。

6. 改訂履歴

表 6.1 改訂履歴

Revision	Date	Description
1.0	2018-10-03	新規

製品取り扱い上のお願ひ

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。