32 ビット RISC マイクロコントローラ

TMPM4L グループ(1)

リファレンスマニュアル
製品個別情報
(PINFO-M4L(1))

Revision 1.1

2019-07

東芝デバイス＆ストレージ株式会社

目次

序章 7
関連するドキュメント 7
表記規約 8
用語・略語 10
1. 概要 11
2. 各周辺機能の情報 11
2.1. レジスタベースアドレス 11
2.2. トリガセレクタ(TRGSEL) 12
2.2.1. トリガセレクタと製品対応 13
2.2.2. 使用方法と設定 15
2.2.3. レジスタ一覧 16
2.2.4. レジスタ詳細 17
2.2.4.1. *[TSEL0CR0]* (コントロールレジスタ 0) 17
2.2.4.2. *[TSEL0CR1]* (コントロールレジスタ 1) 19
2.2.4.3. *[TSEL0CR2]* (コントロールレジスタ 2) 21
2.2.4.4. *[TSEL0CR3]* (コントロールレジスタ 3) 23
2.3. クロック選択式ウォッチドッグタイマ(SIWDT) 25
2.3.1. 搭載チャネル 25
2.3.2. カウントクロック 25
2.3.3. 発振クロックプロテクト機能 25
2.4. 周波数検知回路(OFD) 26
2.4.1. 搭載一覧 26
2.4.2. 基準クロック 26
2.4.3. 検知対象クロック 26
2.5. デバッグインタフェース 27
2.5.1. 製品別デバッグインタフェース一覧 27
2.6. フラッシュメモリ(FLASH) 28
2.6.1. 書き込み、消去操作用クロック 28
2.6.2. 製品別コードフラッシュブロック構成 28
2.6.3. シングルブート使用リソース 29
2.7. プログラマブルモータ制御回路プラス(PMD+) 30
2.7.1. 搭載チャネル 30
2.7.2. 機能端子とポート 30
2.7.3. 内部信号接続仕様 31
2.7.3.1. ADC / A-ENC32 / A-VE / T32A 接続 31
2.8. アドバンストエンコーダ入力回路(32-bit) (A-ENC32) 32
2.8.1. 搭載チャネル 32
2.8.2. 機能端子とポート 32

2.8.3. 内部信号接続仕様 33
2.8.3.1. PMD+ / T32A 接続 33
2.9. アドバンストベクトルエンジン(A-VE) 34
2.9.1. 搭載チャネル 34
2.9.2. 内部信号接続仕様 34
2.9.2.1. PMD+ / ADC 接続 34
2.9.3. 起動トリガモード設定 34
2.10. 12 ビットアナログデジタルコンバータ(ADC) 35
2.10.1. 搭載ユニット 35
2.10.2. 変換結果格納レジスタ 35
2.10.3. 機能端子とポート 35
2.10.4. ADC 用変換クロック 36
2.10.5. 使用条件とレジスタ設定 36
2.10.6. 内部信号接続仕様 37
2.10.6.1. 起動トリガ接続 37
2.10.6.2. その他接続 38
2.11. 32 ビットタイマイベントカウンタ(T32A) 39
2.11.1. 搭載チャネル 39
2.11.2. 機能端子とポート 40
2.11.3. プリスケーラ用クロック 40
2.11.4. 内部信号接続仕様 41
2.11.4.1. キャプチャトリガ入力接続 41
2.11.4.2. その他接続 43
2.11.4.3. 同期制御接続 47
2.11.4.4. 汎用レジスタ詳細 49
2.11.5. 製品別パルスカウント対応 49
2.11.6. 非対応割り込み 49
2.12. 非同期シリアル通信回路(UART) 50
2.12.1. 搭載チャネル 50
2.12.2. 機能端子とポート 50
2.12.3. ハーフクロックモード対応 51
2.12.4. クロック選択 51
2.12.4.1. プリスケーラ用クロック 51
2.12.4.2. ボーレートジェネレータ用タイマ出力 51
2.12.5. 内部信号接続仕様 52
2.12.5.1. トリガ送信信号接続 52
2.12.5.2. T32A キャプチャトリガ接続 53
2.13. シリアルペリフェラルインタフェース(TSPI) 54
2.13.1. 搭載チャネル 54
2.13.2. 機能端子とポート 54
2.13.3. 製品別転送モード対応 54

2.13.4. *[TSPIxCR2]*<RXDLY>の設定値 55
2.13.5. プリスケーラ用クロック 55
2.13.6. 内部信号接続仕様 56
2.13.6.1. トリガ転送信号接続 56
2.13.6.2. T32A 接続 57
2.14. デジタルノイズフィルタ回路(DNF) 58
2.14.1. 搭載ユニット 58
2.14.2. 製品別外部割り込みと DNF の対応 58
2.14.3. サンプリングソースクロック 58
2.15. 電圧検知回路(LVD) 59
2.15.1. 搭載一覧 59
2.15.2. 検知対象電源 59
2.16. CRC 計算回路(CRC) 59
2.16.1. 搭載一覧 59
2.17. RAM パリティ(RAMP) 60
2.17.1. 搭載チャネル 60
2.17.2. エラー判定ブロックエリア 60
2.18. トリミング回路(TRM) 60
2.18.1. 搭載一覧 60
2.18.2. 対象発振器 60
3. 改訂履歴 61
製品取り扱い上のお願い 62

図目次

図 2.1　トリガセレクタ接続例 12

表目次

表 2.1　レジスタベースアドレスタイプ 11
表 2.2　製品別トリガセレクタ対応一覧 (1/2) 13
表 2.3　製品別トリガセレクタ対応一覧 (2/2) 14
表 2.4　SIWDT 搭載チャネル 25
表 2.5　SIWDT カウントクロック 25
表 2.6　SIWDT 発振クロックプロテクト機能 25
表 2.7　OFD 搭載一覧 26
表 2.8　OFD 基準クロック 26
表 2.9　OFD 検知対象クロック 26
表 2.10　デバッグインタフェース搭載一覧 27
表 2.11　FLASH 書き込み、消去操作用クロック 28
表 2.12　製品別コードフラッシュブロック構成 28
表 2.13　シングルブート使用リソース 29
表 2.14　RAM 転送可能最終アドレス 29
表 2.15　PMD+搭載チャネル 30
表 2.16　PMD+機能端子 30
表 2.17　PMD+内部接続仕様:入力 31
表 2.18　PMD+内部接続仕様:出力 31
表 2.19　A-ENC32 搭載チャネル 32
表 2.20　A-ENC32 機能端子 32
表 2.21　A-ENC32 内部接続仕様:入力 33
表 2.22　A-ENC32 内部接続仕様:出力 33
表 2.23　A-VE 搭載チャネル 34
表 2.24　A-VE 内部接続仕様:入力 34
表 2.25　A-VE 内部接続仕様:出力 34
表 2.26　ADC 搭載ユニット 35
表 2.27　ADC 変換結果格納レジスタ数 35
表 2.28　ADC 機能端子とポート 35
表 2.29　ADC 用変換クロック 36
表 2.30　ADC 使用条件とレジスタ設定 36
表 2.31　ADC 起動トリガ接続仕様：入力 37
表 2.32　ADC 内部接続仕様:出力 38
表 2.33　T32A 搭載チャネル 39
表 2.34　T32A 機能端子とポート 40
表 2.35　T32A プリスケーラ用クロック 40
表 2.36　T32A キャプチャトリガ入力接続仕様 (1/2) 41
表 2.37　T32A キャプチャトリガ信号接続仕様 (2/2) 42
表 2.38　T32A トリガ出力接続仕様 (1/4) 43
表 2.39　T32A トリガ出力接続仕様 (2/4) 44
表 2.40　T32A トリガ出力接続仕様 (3/4) 45
表 2.41　T32A トリガ出力接続仕様 (4/4) 46
表 2.42　T32A タイマ A/タイマ B 同期制御接続仕様(ch0,ch2) 47
表 2.43　T32A タイマ A/タイマ B 同期制御接続仕様(ch1,ch3) 47
表 2.44　T32A タイマ C 同期制御接続仕様 48
表 2.45　UART 搭載チャネル 50

表 2.46 UART 端子信号とポート 50
表 2.47 UART プリスケーラ用クロック 51
表 2.48 UART ボーレートジェネレータ用タイマ出力 51
表 2.49 UART トリガ送信信号接続仕様:入力 52
表 2.50 UART 内部接続仕様:出力 53
表 2.51 TSPI 搭載チャネル 54
表 2.52 TSPI 機能端子とポート 54
表 2.53 TSPI 制御レジスタ 2<RXDLY>の設定値 55
表 2.54 TSPI プリスケーラ用クロック 55
表 2.55 TSPI トリガ転送仕様:入力 56
表 2.56 TSPI 内部接続仕様:出力 57
表 2.57 DNF 搭載ユニット 58
表 2.58 外部割り込みと DNF 対応 58
表 2.59 DNF サンプリングソースクロック 58
表 2.60 LVD 搭載一覧 59
表 2.61 LVD 検知対象電源 59
表 2.62 CRC 搭載一覧 59
表 2.63 RAMP 搭載チャネル 60
表 2.64 RAMP RAM エリアとアドレス 60
表 2.65 TRM 搭載一覧 60
表 2.66 TRM トリミング対象発振器 60
表 3.1 改訂履歴 61

序章

関連するドキュメント

文書名	IP 記号
入出力ポート (TMPM4L グループ(1))	PORT-M4L(1)
クロック制御と動作モード (TMPM4L グループ(1))	CG-M4L(1)-A
電源とリセット動作 (TMPM4L グループ(1))	RESET-M4L(1)
例外 (TMPM4L グループ(1))	EXCEPT-M4L(1)
フラッシュメモリ	FLASH256-B
32 ビットタイマイベントカウンタ	T32A-B
非同期シリアル通信回路	UART-C
シリアルペリフェラルインタフェース	TSPI-C
12 ビットアナログデジタルコンバータ	ADC-D
プログラマブルモータ制御回路プラス	PMD+-B
アドバンストエンコーダ入力回路(32-bit)	A-ENC32-A
アドバンストベクトルエンジン	A-VE-A
クロック選択式ウォッチドッグタイマ	SIWDT-A
周波数検知回路	OFD-A
デバッグインタフェース	DEBUG-A
デジタルノイズフィルタ回路	DNF-A
トリミング回路	TRM-A
電圧検知回路	LVD-B
CRC 計算回路	CRC-A
RAM パリティ	RAMP-B

表記規約

- 数値表記は以下の規則に従います。
  16 進数表記: 0xABC
  10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
  2 進数表記: 0b111 （ビット数が本文中に明記されている場合は「0b」を省略可）
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は [m:n]とまとめて表記する場合があります。
  例: S[3: 0] は S3,S2,S1,S0 の 4 つの信号名をまとめて表記しています。
- 本文中 ***[ ]*** で囲まれたものはレジスタを定義しています。
  例: ***[ABCD]***
- 同種で複数のレジスタ、フィールド、ビット名は「n」で一括表記する場合があります。
  例: ***[XYZ1]***, ***[XYZ2]***, ***[XYZ3]*** → ***[XYZn]***
- 「レジスタ一覧」中のレジスタ名でユニットまたはチャネルは「x」で一括表記しています。
  ユニットの場合、「x」は A,B,C, ... を表します。
  例: ***[ADACR0]***, ***[ADBCR0]***, ***[ADCCR0]*** → ***[ADxCR0]***
  チャネルの場合、「x」は 0,1,2, ... を表します。
  例: ***[T32A0RUNA]***, ***[T32A1RUNA]***, ***[T32A2RUNA]*** → ***[T32AxRUNA]***
- レジスタのビット範囲は [m:n] と表記します。
  例: [3: 0] はビット 3 から 0 の範囲を表します。
- レジスタの設定値は 16 進数または 2 進数のどちらかで表記されています。
  例: ***[ABCD]***<EFG> = 0x01 (16 進数)、 ***[XYZn]***<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
  バイト: 8 ビット
  ハーフワード: 16 ビット
  ワード: 32 ビット
  ダブルワード: 64 ビット
- レジスタ内の各ビットの属性は以下の表記を使用しています。
  R: リードオンリー
  W: ライトオンリー
  R/W: リード / ライト
- 断りのない限り、レジスタアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスタは書き換えを行わないでください。
  また、読み出した値を使用しないでください。
- Default 値が「—」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスタに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
  Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- ライトオンリーのレジスタの Reserved ビットフィールドには Default 値を書き込んでください。Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスタへのリードモディファイライト処理は行わないでください。

****
Arm,Cortex および Thumb は Arm Limited(またはその子会社)の US またはその他の国における登録商標です。 All rights reserved.
****

arm

FLASH メモリについては、米国 SST 社(Silicon Storage Technology, Inc.)からライセンスを受けた Super Flash® 技術を使用しています。Super Flash® は SST 社の登録商標です。

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

ADC	Analog to Digital Converter
A-ENC32	Advanced Encoder input Circuit(32-bit)
A-VE	Advanced Vector Engine
CRC	Cyclic Redundancy Check
DNF	Digital Noise Filter
EHOSC	External High Speed Oscillator
IHOSC	Internal High Speed Oscillator
INT	Interrupt
LVD	Voltage Detection Circuit
OFD	Oscillation Frequency Detector
PMD+	Programmable Motor Control Circuit Plus
RAMP	RAM parity
SIWDT	Clock Selective Watchdog Timer
TRGSEL	Trigger Selection Circuit
TRM	Trimming Circuit
TSPI	Toshiba Serial Peripheral Interface
T32A	32-bit Timer Event Counter
UART	Universal Asynchronous Receiver Transmitter

1. 概要

この章では、周辺機能に関し、チャネルまたはユニット数、端子情報、その他の製品固有機能の情報について纏めています。各周辺機能のリファレンスマニュアルと合わせてご使用ください。

2. 各周辺機能の情報

2.1. レジスタベースアドレス

TMPM4L グループ(1)のレジスタベースアドレスタイプを下記に示します。

表 2.1 レジスタベースアドレスタイプ

周辺機能			ベースアドレスタイプ (○: 対応, —: 非対応)			ベースアドレス
			TYPE1	TYPE2	TYPE3	
電圧検出回路	LVD	—	○	—	—	0x4003EC00
デジタルノイズフィルタ回路	DNF	unit A	—	—	○	0x40040200
クロック選択式ウォッチドッグタイマ	SIWDT	ch0	—	—	○	0x40040600
RAM パリティ	RAMP	ch0	—	—	○	0x40043000
CRC	CRC	—	—	—	○	0x40043100
12 ビットアナログデジタルコンバータ	ADC	unit A	—	—	○	0x4005A000
32 ビットタイマイベントカウンタ	T32A (ch0～3)	ch0	—	—	○	0x40061000
		ch1				0x40061400
		ch2				0x40061800
		ch3				0x40061C00
シリアルペリフェラルインタフェース	TSPI (ch0～2)	ch0	—	—	○	0x4006A000
		ch1				0x4006A400
		ch2				0x4006A800
非同期シリアル通信回路	UART (ch0～2)	ch0	—	—	○	0x4006E000
		ch1				0x4006E400
		ch2				0x4006E800
トリミング回路	TRM	—	—	—	○	0x40083100
周波数検知回路	OFD	—	—	—	○	0x40084000
プログラマブルモータ制御回路プラス	PMD+	ch0	—	—	○	0x40089000
アドバンストエンコーダ入力回路(32-bit)	A-ENC32	ch0	—	—	○	0x4008A000
アドバンストベクトルエンジン	A-VE	ch0	—	—	○	0x4008B000
フラッシュメモリ	Flash	—	○	—	—	0x5DFF0000

上記のベースアドレスタイプを参照し、各周辺機能の開発を行ってください。

2.2. トリガセレクタ(TRGSEL)

トリガセレクタは、周辺機能から入力された複数のトリガから、1 つのトリガを選択し周辺機能にトリガ信号を出力する回路です。

8 本のトリガから***[TSEL0CRn]***<INSELm>で選択されたトリガを、接続先の周辺機能に出力します。

「図 2.1　トリガセレクタ接続例」は、32 ビットタイマイベントカウンタ(T32A ch1)から出力されるトリガ信号が、トリガセレクタ経由で TSPI(ch0)/UART(ch0)に接続されている例です。***[TSEL0CR3]***で入力トリガ選択およびトリガ出力制御を行います。

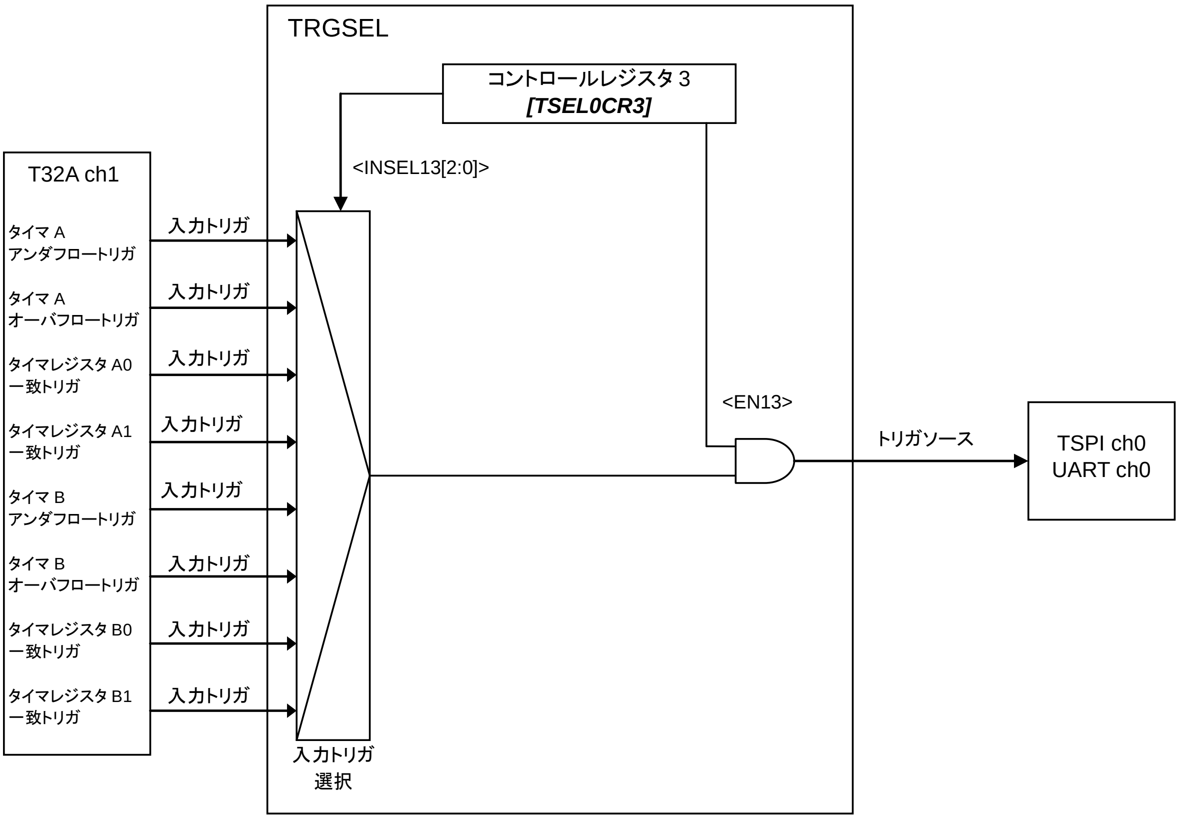

図 2.1　トリガセレクタ接続例

2.2.1. トリガセレクタと製品対応

TMPM4L グループ(1)のトリガセレクタは、4 本の制御レジスタ(*[TSEL0CR0～3]*)で構成されており 16 本のトリガを制御できます。
下記の表にコントロールレジスタと接続先および対応製品を示します。

表 2.2 製品別トリガセレクタ対応一覧 (1/2)

レジスタ	Bit Symbol	トリガソース	入力トリガ	製品対応 (○: 対応, —: 非対応) M4L2	製品対応 (○: 対応, —: 非対応) M4L1
[TSEL0CR0]	INSEL0[2:0]	T32A ch0 タイマ A	T32A ch0 タイマ B アンダフロートリガ T32A ch0 タイマ B オーバフロートリガ T32A ch0 タイマレジスタ B0 一致トリガ T32A ch0 タイマレジスタ B1 一致トリガ	○	○
	INSEL1[2:0]	T32A ch0 タイマ B	T32A ch0 タイマ A アンダフロートリガ T32A ch0 タイマ A オーバフロートリガ T32A ch0 タイマレジスタ A0 一致トリガ T32A ch0 タイマレジスタ A1 一致トリガ	○	○
			ADC ユニット A 汎用トリガ割り込み/ 単独変換割り込み/ 連続変換割り込み/ 監視機能 0 割り込み/ 監視機能 1 割り込み	○	○
	INSEL2[2:0]	T32A ch1 タイマ A	T32A ch1 タイマ B アンダフロートリガ T32A ch1 タイマ B オーバフロートリガ T32A ch1 タイマレジスタ B0 一致トリガ T32A ch1 タイマレジスタ B1 一致トリガ	○	○
			UART ch0 受信完了トリガ UART ch0 送信完了トリガ	○	○
			TSPI ch0 受信完了信号 TSPI ch0 送信完了信号	○	○
	INSEL3[2:0]	T32A ch1 タイマ B	T32A ch1 タイマ A アンダフロートリガ T32A ch1 タイマ A オーバフロートリガ T32A ch1 タイマレジスタ A0 一致トリガ T32A ch1 タイマレジスタ A1 一致トリガ	○	○
[TSEL0CR1]	INSEL4[2:0]	T32A ch2 タイマ A	T32A ch2 タイマ B アンダフロートリガ T32A ch2 タイマ B オーバフロートリガ T32A ch2 タイマレジスタ B0 一致トリガ T32A ch2 タイマレジスタ B1 一致トリガ	○	○
			UART ch1 受信完了トリガ UART ch1 送信完了トリガ	○	○
			TSPI ch1 受信完了信号 TSPI ch1 送信完了信号	○	○
	INSEL5[2:0]	T32A ch2 タイマ B	T32A ch2 タイマ A アンダフロートリガ T32A ch2 タイマ A オーバフロートリガ T32A ch2 タイマレジスタ A0 一致トリガ T32A ch2 タイマレジスタ A1 一致トリガ	○	○
			A-ENC32 ch0 分周パルス	○	○
	INSEL6[2:0]	T32A ch3 タイマ A	T32A ch3 タイマ B アンダフロートリガ T32A ch3 タイマ B オーバフロートリガ T32A ch3 タイマレジスタ B0 一致トリガ T32A ch3 タイマレジスタ B1 一致トリガ	○	○
			UART ch2 受信完了トリガ UART ch2 送信完了トリガ	○	○
			TSPI ch2 受信完了信号 TSPI ch2 送信完了信号	○	○
	INSEL7[2:0]	T32A ch3 タイマ B	T32A ch3 タイマ A アンダフロートリガ T32A ch3 タイマ A オーバフロートリガ T32A ch3 タイマレジスタ A0 一致トリガ T32A ch3 タイマレジスタ A1 一致トリガ	○	○

表 2.3 製品別トリガセレクタ対応一覧 (2/2)

レジスタ	Bit Symbol	トリガソース	入力トリガ	製品対応 (○: 対応, ―: 非対応) M4L2	M4L1
[TSEL0CR2]	INSEL8[2:0]	T32A ch1 タイマ C	T32A ch3 タイマ C アンダフロートリガ T32A ch3 タイマ C オーバフロートリガ T32A ch3 タイマレジスタ C0 一致トリガ T32A ch3 タイマレジスタ C1 一致トリガ	○	○
	INSEL9[2:0]	T32A ch0 タイマ C	T32A ch2 タイマ C アンダフロートリガ T32A ch2 タイマ C オーバフロートリガ T32A ch2 タイマレジスタ C0 一致トリガ T32A ch2 タイマレジスタ C1 一致トリガ	○	○
	INSEL10[2:0]	T32A ch3 タイマ C	T32A ch1 タイマ C アンダフロートリガ T32A ch1 タイマ C オーバフロートリガ T32A ch1 タイマレジスタ C0 一致トリガ T32A ch1 タイマレジスタ C1 一致トリガ	○	○
	INSEL11[2:0]	T32A ch2 タイマ C	T32A ch0 タイマ C アンダフロートリガ T32A ch0 タイマ C オーバフロートリガ T32A ch0 タイマレジスタ C0 一致トリガ T32A ch0 タイマレジスタ C1 一致トリガ	○	○
[TSEL0CR3]	INSEL12[2:0]	ADC unit A	T32A ch0 タイマ B アンダフロートリガ T32A ch0 タイマ B オーバフロートリガ T32A ch0 タイマレジスタ B0 一致トリガ T32A ch0 タイマレジスタ B1 一致トリガ	○	○
	INSEL13[2:0]	TSPI ch0 UART ch0	T32A ch1 タイマ A アンダフロートリガ T32A ch1 タイマ A オーバフロートリガ T32A ch1 タイマレジスタ A0 一致トリガ T32A ch1 タイマレジスタ A1 一致トリガ T32A ch1 タイマ B アンダフロートリガ T32A ch1 タイマ B オーバフロートリガ T32A ch1 タイマレジスタ B0 一致トリガ T32A ch1 タイマレジスタ B1 一致トリガ	○	○
	INSEL14[2:0]	TSPI ch1 UART ch1	T32A ch2 タイマ A アンダフロートリガ T32A ch2 タイマ A オーバフロートリガ T32A ch2 タイマレジスタ A0 一致トリガ T32A ch2 タイマレジスタ A1 一致トリガ T32A ch2 タイマ B アンダフロートリガ T32A ch2 タイマ B オーバフロートリガ T32A ch2 タイマレジスタ B0 一致トリガ T32A ch2 タイマレジスタ B1 一致トリガ	○	○
	INSEL15[2:0]	TSPI ch2 UART ch2	T32A ch3 タイマ A アンダフロートリガ T32A ch3 タイマ A オーバフロートリガ T32A ch3 タイマレジスタ A0 一致トリガ T32A ch3 タイマレジスタ A1 一致トリガ T32A ch3 タイマ B アンダフロートリガ T32A ch3 タイマ B オーバフロートリガ T32A ch3 タイマレジスタ B0 一致トリガ T32A ch3 タイマレジスタ B1 一致トリガ	○	○

2.2.2. 使用方法と設定

TRGSEL を使用する場合は、fsys 供給停止レジスタ A（***[CGFSYSENA]***、***[CGFSYSMENA]***）、fsys 供給停止レジスタ B（***[CGFSYSENB]***、***[CGFSYSMENB]***）、fc 供給停止レジスタ（***[CGFCEN]***）で該当するクロックイネーブルビットを「1」（クロック供給）に設定してください。
該当レジスタ、ビット位置は製品によって異なります。そのため、製品によってレジスタが存在しない場合があります。詳細はリファレンスマニュアルの「クロック制御と動作モード」を参照してください。

トリガセレクタの設定は以下の順序で行ってください。

(1) 入力トリガの選択 (***[TSEL0CRn]***<INSELm>)

トリガセレクタの接続先に対し、入力トリガの選択を行います。
入力トリガの選択はコントロールレジスタの入力トリガ選択ビット(***[TSEL0CRn]***<INSELm>)で設定してください。(n: レジスタ番号、m: トリガ番号)

(2) 出力の許可 (***[TSEL0CRn]***<ENm>)

選択したトリガ信号の出力許可または禁止を選択します。
出力許可または禁止の選択はコントロールレジスタのトリガ出力制御の設定ビット(***[TSEL0CRn]***<ENm>)を設定してください。***[TSEL0CRn]***<ENm>を「1」に設定するとトリガ出力が許可になります。

2.2.3. レジスター覧

制御レジスタとアドレスは以下のとおりです。

周辺機能		チャネル/ユニット	ベースアドレス
トリガセレクタ	TRGSEL	ch0	0x40040400

レジスタ名		アドレス(Base+)
コントロールレジスタ 0	*[TSEL0CR0]*	0x0000
コントロールレジスタ 1	*[TSEL0CR1]*	0x0004
コントロールレジスタ 2	*[TSEL0CR2]*	0x0008
コントロールレジスタ 3	*[TSEL0CR3]*	0x000C

2.2.4. レジスタ詳細

以下の章でレジスタの詳細を示します。
各表の機能欄カッコ内の記号は各機能信号名を表しています。

2.2.4.1. *[TSEL0CR0]* (コントロールレジスタ 0)

Bit	Bit Symbol	リセット後	Type	機能
31	—	0	R	リードすると｢0｣が読めます。
30:28	INSEL3[2:0]	000	R/W	入力トリガの選択(T32A ch1 タイマ B 内部トリガ入力) 000: T32A ch1 タイマ A アンダフロートリガ (T32A01TRGOUTUFA) 001: T32A ch1 タイマ A オーバフロートリガ (T32A01TRGOUTOFA) 010: T32A ch1 タイマレジスタ A0 一致トリガ(T32A01TRGOUTCMPA0) 011: T32A ch1 タイマレジスタ A1 一致トリガ(T32A01TRGOUTCMPA1) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
27	—	0	R	リードすると｢0｣が読めます。
26:25	—	00	R/W	｢00｣を書いてください。
24	EN3	0	R/W	トリガ出力制御 0: 禁止 1: 許可
23	—	0	R	リードすると｢0｣が読めます。
22:20	INSEL2[2:0]	000	R/W	入力トリガの選択(T32A ch1 タイマ A 内部トリガ入力) 000: T32A ch1 タイマ B アンダフロートリガ (T32A01TRGOUTUFB) 001: T32A ch1 タイマ B オーバフロートリガ (T32A01TRGOUTOFB) 010: T32A ch1 タイマレジスタ B0 一致トリガ(T32A01TRGOUTCMPB0) 011: T32A ch1 タイマレジスタ B1 一致トリガ(T32A01TRGOUTCMPB1) 100: UART ch0 受信完了トリガ (UART0RXTRG) 101: UART ch0 送信完了トリガ (UART0TXTRG) 110: TSPI ch0 受信完了信号 (TSPI0RXEND) 111: TSPI ch0 送信完了信号 (TSPI0TXEND)
19	—	0	R	リードすると｢0｣が読めます。
18:17	—	00	R/W	｢00｣を書いてください。
16	EN2	0	R/W	トリガ出力制御 0: 禁止 1: 許可
15	—	0	R	リードすると｢0｣が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL1[2:0]	000	R/W	入力トリガの選択(T32A ch0 タイマ B 内部トリガ入力) 000: T32A ch0 タイマ A アンダフロートリガ (T32A00TRGOUTUFA) 001: T32A ch0 タイマ A オーバフロートリガ (T32A00TRGOUTOFA) 010: T32A ch0 タイマレジスタ A0 一致トリガ(T32A00TRGOUTCMPA0) 011: T32A ch0 タイマレジスタ A1 一致トリガ(T32A00TRGOUTCMPA1) 100: ADC unit A 汎用トリガ割り込み(INTADATRG) 単独変換割り込み(INTADASGL) 連続変換割り込み(INTADACNT) 監視機能 0 割り込み(INTADACP0) 監視機能 1 割り込み(INTADACP1) 101: Reserved 110: Reserved 111: Reserved
11	—	0	R	リードすると｢0｣が読めます。
10:9	—	00	R/W	｢00｣を書いてください。
8	EN1	0	R/W	トリガ出力制御 0: 禁止 1: 許可
7	—	0	R	リードすると｢0｣が読めます。
6:4	INSEL0[2:0]	000	R/W	入力トリガの選択(T32A ch0 タイマ A 内部トリガ入力) 000: T32A ch0 タイマ B アンダフロートリガ (T32A00TRGOUTUFB) 001: T32A ch0 タイマ B オーバフロートリガ (T32A00TRGOUTOFB) 010: T32A ch0 タイマレジスタ B0 一致トリガ(T32A00TRGOUTCMPB0) 011: T32A ch0 タイマレジスタ B1 一致トリガ(T32A00TRGOUTCMPB1) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
3	—	0	R	リードすると｢0｣が読めます。
2:1	—	00	R/W	｢00｣を書いてください。
0	EN0	0	R/W	トリガ出力制御 0: 禁止 1: 許可

2.2.4.2. *[TSEL0CR1]* (コントロールレジスタ 1)

Bit	Bit Symbol	リセット後	Type	機能
31	—	0	R	リードすると「0」が読めます。
30:28	INSEL7[2:0]	000	R/W	入力トリガの選択(T32A ch3 タイマ B 内部トリガ入力) 000: T32A ch3 タイマ A アンダフロートリガ(T32A03TRGOUTUFA) 001: T32A ch3 タイマ A オーバフロートリガ(T32A03TRGOUTOFA) 010: T32A ch3 タイマレジスタ A0 一致トリガ(T32A03TRGOUTCMPA0) 011: T32A ch3 タイマレジスタ A1 一致トリガ(T32A03TRGOUTCMPA1) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
27	—	0	R	リードすると「0」が読めます。
26:25	—	00	R/W	「00」を書いてください。
24	EN7	0	R/W	トリガ出力制御 0: 禁止 1: 許可
23	—	0	R	リードすると「0」が読めます。
22:20	INSEL6[2:0]	000	R/W	入力トリガの選択(T32A ch3 タイマ A 内部トリガ入力) 000: T32A ch3 タイマ B アンダフロートリガ(T32A03TRGOUTUFB) 001: T32A ch3 タイマ B オーバフロートリガ(T32A03TRGOUTOFB) 010: T32A ch3 タイマレジスタ B0 一致トリガ(T32A03TRGOUTCMPB0) 011: T32A ch3 タイマレジスタ B1 一致トリガ(T32A03TRGOUTCMPB1) 100: UART ch2 受信完了トリガ(UART2RXTRG) 101: UART ch2 送信完了トリガ(UART2TXTRG) 110: TSPI ch2 受信完了信号(TSPI2RXEND) 111: TSPI ch2 送信完了信号(TSPI2TXEND)
19	—	0	R	リードすると「0」が読めます。
18:17	—	00	R/W	「00」を書いてください。
16	EN6	0	R/W	トリガ出力制御 0: 禁止 1: 許可
15	—	0	R	リードすると「0」が読めます。
14:12	INSEL5[2:0]	000	R/W	入力トリガの選択(T32A ch2 タイマ B 内部トリガ入力) 000: T32A ch2 タイマ A アンダフロートリガ(T32A02TRGOUTUFA) 001: T32A ch2 タイマ A オーバフロートリガ(T32A02TRGOUTOFA) 010: T32A ch2 タイマレジスタ A0 一致トリガ(T32A02TRGOUTCMPA0) 011: T32A ch2 タイマレジスタ A1 一致トリガ(T32A02TRGOUTCMPA1) 100: A-ENC32 ch0 分周パルス(ENC0TIMPLS) 101: Reserved 110: Reserved 111: Reserved
11	—	0	R	リードすると「0」が読めます。
10:9	—	00	R/W	「00」を書いてください。
8	EN5	0	R/W	トリガ出力制御 0: 禁止 1: 許可

Bit	Bit Symbol	リセット後	Type	機能
7	—	0	R	リードすると｢0｣が読めます。
6:4	INSEL4[2:0]	000	R/W	入力トリガの選択(T32A ch2 タイマ A 内部トリガ入力) 000: T32A ch2 タイマ B アンダフロートリガ(T32A02TRGOUTUFB) 001: T32A ch2 タイマ B オーバフロートリガ(T32A02TRGOUTOFB) 010: T32A ch2 タイマレジスタ B0 一致トリガ(T32A02TRGOUTCMPB0) 011: T32A ch2 タイマレジスタ B1 一致トリガ(T32A02TRGOUTCMPB1) 100: UART ch1 受信完了トリガ(UART1RXTRG) 101: UART ch1 送信完了トリガ(UART1TXTRG) 110: TSPI ch1 受信完了信号(TSPI1RXEND) 111: TSPI ch1 送信完了信号(TSPI1TXEND)
3	—	0	R	リードすると｢0｣が読めます。
2:1	—	00	R/W	｢00｣を書いてください。
0	EN4	0	R/W	トリガ出力制御 0: 禁止 1: 許可

2.2.4.3. *[TSEL0CR2]* (コントロールレジスタ 2)

Bit	Bit Symbol	リセット後	Type	機能
31	—	0	R	リードすると｢0｣が読めます。
30:28	INSEL11[2:0]	000	R/W	入力トリガの選択(T32A ch2 タイマ C 内部トリガ入力) 000: T32A ch0 タイマ C アンダフロートリガ(T32A00TRGOUTUFC) 001: T32A ch0 タイマ C オーバフロートリガ(T32A00TRGOUTOFC) 010: T32A ch0 タイマレジスタ C0 一致トリガ(T32A00TRGOUTCMPC0) 011: T32A ch0 タイマレジスタ C1 一致トリガ(T32A00TRGOUTCMPC1) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
27	—	0	R	リードすると｢0｣が読めます。
26:25	—	00	R/W	｢00｣を書いてください。
24	EN11	0	R/W	トリガ出力制御 0: 禁止 1: 許可
23	—	0	R	リードすると｢0｣が読めます。
22:20	INSEL10[2:0]	000	R/W	入力トリガの選択(T32A ch3 タイマ C 内部トリガ入力) 000: T32A ch1 タイマ C アンダフロートリガ (T32A01TRGOUTUFC) 001: T32A ch1 タイマ C オーバフロートリガ (T32A01TRGOUTOFC) 010: T32A ch1 タイマレジスタ C0 一致トリガ(T32A01TRGOUTCMPC0) 011: T32A ch1 タイマレジスタ C1 一致トリガ(T32A01TRGOUTCMPC1) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
19	—	0	R	リードすると｢0｣が読めます。
18:17	—	00	R/W	｢00｣を書いてください。
16	EN10	0	R/W	トリガ出力制御 0: 禁止 1: 許可
15	—	0	R	リードすると｢0｣が読めます。
14:12	INSEL9[2:0]	000	R/W	入力トリガの選択(T32A ch0 タイマ C 内部トリガ入力) 000: T32A ch2 タイマ C アンダフロートリガ(T32A02TRGOUTUFC) 001: T32A ch2 タイマ C オーバフロートリガ(T32A02TRGOUTOFC) 010: T32A ch2 タイマレジスタ C0 一致トリガ(T32A02TRGOUTCMPC0) 011: T32A ch2 タイマレジスタ C1 一致トリガ(T32A02TRGOUTCMPC1) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
11	—	0	R	リードすると｢0｣が読めます。
10:9	—	00	R/W	｢00｣を書いてください。
8	EN9	0	R/W	トリガ出力制御 0: 禁止 1: 許可
7	—	0	R	リードすると｢0｣が読めます。

Bit	Bit Symbol	リセット後	Type	機能
6:4	INSEL8[2:0]	000	R/W	入力トリガの選択(T32A ch1 タイマ C 内部トリガ入力) 000: T32A ch3 タイマ C アンダフロートリガ(T32A03TRGOUTUFC) 001: T32A ch3 タイマ C オーバフロートリガ(T32A03TRGOUTOFC) 010: T32A ch3 タイマレジスタ C0 一致トリガ(T32A03TRGOUTCMPC0) 011: T32A ch3 タイマレジスタ C1 一致トリガ(T32A03TRGOUTCMPC1) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
3	—	0	R	リードすると「0」が読めます。
2:1	—	00	R/W	「00」を書いてください。
0	EN8	0	R/W	トリガ出力制御 0: 禁止 1: 許可

2.2.4.4. *[TSEL0CR3]* (コントロールレジスタ 3)

Bit	Bit Symbol	リセット後	Type	機能
31	—	0	R	リードすると｢0｣が読めます。
30:28	INSEL15[2:0]	000	R/W	入力トリガの選択(TSPI ch2 / UART ch2 トリガ入力) 000: T32A ch3 タイマ A アンダフロートリガ(T32A03TRGOUTUFA) 001: T32A ch3 タイマ A オーバフロートリガ(T32A03TRGOUTOFA) 010: T32A ch3 タイマレジスタ A0 一致トリガ(T32A03TRGOUTCMPA0) 011: T32A ch3 タイマレジスタ A1 一致トリガ(T32A03TRGOUTCMPA1) 100: T32A ch3 タイマ B アンダフロートリガ(T32A03TRGOUTUFB) 101: T32A ch3 タイマ B オーバフロートリガ(T32A03TRGOUTOFB) 110: T32A ch3 タイマレジスタ B0 一致トリガ(T32A03TRGOUTCMPB0) 111: T32A ch3 タイマレジスタ B1 一致トリガ(T32A03TRGOUTCMPB1)
27	—	0	R	リードすると｢0｣が読めます。
26:25	—	00	R/W	｢00｣を書いてください。
24	EN15	0	R/W	トリガ出力制御 0: 禁止 1: 許可
23	—	0	R	リードすると｢0｣が読めます。
22:20	INSEL14[2:0]	000	R/W	入力トリガの選択(TSPI ch1 / UART ch1 トリガ入力) 000: T32A ch2 タイマ A アンダフロートリガ(T32A02TRGOUTUFA) 001: T32A ch2 タイマ A オーバフロートリガ(T32A02TRGOUTOFA) 010: T32A ch2 タイマレジスタ A0 一致トリガ(T32A02TRGOUTCMPA0) 011: T32A ch2 タイマレジスタ A1 一致トリガ(T32A02TRGOUTCMPA1) 100: T32A ch2 タイマ B アンダフロートリガ(T32A02TRGOUTUFB) 101: T32A ch2 タイマ B オーバフロートリガ(T32A02TRGOUTOFB) 110: T32A ch2 タイマレジスタ B0 一致トリガ(T32A02TRGOUTCMPB0) 111: T32A ch2 タイマレジスタ B1 一致トリガ(T32A02TRGOUTCMPB1)
19	—	0	R	リードすると｢0｣が読めます。
18:17	—	00	R/W	｢00｣を書いてください。
16	EN14	0	R/W	トリガ出力制御 0: 禁止 1: 許可
15	—	0	R	リードすると｢0｣が読めます。
14:12	INSEL13[2:0]	000	R/W	入力トリガの選択(TSPI ch0 / UART ch0 トリガ入力) 000: T32A ch1 タイマ A アンダフロートリガ(T32A01TRGOUTUFA) 001: T32A ch1 タイマ A オーバフロートリガ(T32A01TRGOUTOFA) 010: T32A ch1 タイマレジスタ A0 一致トリガ(T32A01TRGOUTCMPA0) 011: T32A ch1 タイマレジスタ A1 一致トリガ(T32A01TRGOUTCMPA1) 100: T32A ch1 タイマ B アンダフロートリガ(T32A01TRGOUTUFB) 101: T32A ch1 タイマ B オーバフロートリガ T32A01TRGOUTOFB) 110: T32A ch1 タイマレジスタ B0 一致トリガ(T32A01TRGOUTCMPB0) 111: T32A ch1 タイマレジスタ B1 一致トリガ(T32A01TRGOUTCMPB1)
11	—	0	R	リードすると｢0｣が読めます。
10:9	—	00	R/W	｢00｣を書いてください。
8	EN13	0	R/W	トリガ出力制御 0: 禁止 1: 許可

Bit	Bit Symbol	リセット後	Type	機能
7	—	0	R	リードすると｢0｣が読めます。
6:4	INSEL12[2:0]	000	R/W	入力トリガの選択(ADC unit A 汎用トリガ) 000: T32A ch0 タイマ B アンダフロートリガ(T32A00TRGOUTUFB) 001: T32A ch0 タイマ B オーバフロートリガ(T32A00TRGOUTOFB) 010: T32A ch0 タイマレジスタ B0 一致トリガ(T32A00TRGOUTCMPB0) 011: T32A ch0 タイマレジスタ B1 一致トリガ(T32A00TRGOUTCMPB1) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
3	—	0	R	リードすると｢0｣が読めます。
2:1	—	00	R/W	｢00｣を書いてください。
0	EN12	0	R/W	トリガ出力制御 0: 禁止 1: 許可

2.3. クロック選択式ウォッチドッグタイマ(SIWDT)

2.3.1. 搭載チャネル

製品毎の搭載チャネルを下記表に示します。

表 2.4 SIWDT搭載チャネル

製品	SIWDT チャネル (〇:搭載, —:非搭載)
	ch0
M4L2	〇
M4L1	〇

2.3.2. カウントクロック

クロック選択式ウォッチドッグタイマは、カウントするクロックを選択可能です。以下の表に選択できるクロックを示します。

表 2.5 SIWDTカウントクロック

クロック	信号名	選択
システムクロック	fsys	***[SIWD0MOD]***<WDCLS>レジスタで選択します。
内蔵高速発振器 1 クロック	f_{IHOSC1}	
内蔵高速発振器 2 クロック	f_{IHOSC2}	

2.3.3. 発振クロックプロテクト機能

内蔵高速発振器 2(f_{IHOSC2})を選択した場合、内蔵高速発振器 2 の書き換えを禁止することが可能です。

表 2.6 SIWDT発振クロックプロテクト機能

制御出力	信号名	備考
内蔵高速発振器 2 発振制御ビット (***[CGOSCCR]***<IHOSC2EN>) のプロテクト信号	OSCPRO	***[SIWD0OSCCR]***<OSCPRO>レジスタで設定します。

2.4. 周波数検知回路(OFD)

2.4.1. 搭載一覧

製品毎の搭載一覧を下記表に示します。

表 2.7 OFD搭載一覧

製品	OFD 搭載 (○:搭載、—:非搭載)
M4L2	○
M4L1	○

2.4.2. 基準クロック

周波数検知回路は以下の表のクロックを基準クロックとして動作します。

表 2.8 OFD基準クロック

基準クロック	信号名	分周比
内蔵高速発振器 2 クロック	f_{IHOSC2}	256

2.4.3. 検知対象クロック

周波数検知回路は以下の表の検知対象クロックからモニタしたいクロックを選択します。

表 2.9 OFD検知対象クロック

検知対象クロック		信号名
入力信号	外部高速発振器クロック	f_{EHOSC}
	CG(クロック制御部)の ***[CGOSCCR]***<OSCSEL> と ***[CGPLL0SEL]***<PLL0SEL>で 選択されたクロック	fc

2.5. デバッグインタフェース

2.5.1. 製品別デバッグインタフェース一覧

表 2.10 デバッグインタフェース搭載一覧

デバッグ機能	デバッグ端子	ポート	製品対応 (○:対応, —:非対応)	
			M4L2	M4L1
シリアルワイヤ	SWDIO	PB0	○	○
	SWCLK	PB1	○	○
	SWV	PB2	○	○
JTAG	TMS	PB0	○	○
	TCK	PB1	○	○
	TDO	PB2	○	○
	TDI	PB3	○	○
	TRST_N	(注 1)	—	—

注 1) 端子なし

注 2) ETM トレースはありません。

2.6. フラッシュメモリ(FLASH)

2.6.1. 書き込み、消去操作用クロック

フラッシュメモリは、コードフラッシュまたはデータフラッシュへの書き込み，消去操作用に以下の表に示すクロックが使用されます。

表 2.11　FLASH 書き込み、消去操作用クロック

書き込み、消去操作用クロック
f_{IHOSC1}

注) 発振制御レジスタは***[CGOSCCR]***<IHOSC1EN>です。

2.6.2. 製品別コードフラッシュブロック構成

コードフラッシュメモリは、下記の表のように製品によってメモリのブロック構成が異なります。

表 2.12　製品別コードフラッシュブロック構成

エリア	ブロック名称		M4L2FW M4L1FW	ブロックサイズ(KB)
0	Block0	PG0	○	4
		PG1	○	4
		PG2	○	4
		PG3	○	4
		PG4	○	4
		PG5	○	4
		PG6	○	4
		PG7	○	4
	Block1		○	32
	Block2		○	32
	Block3		○	32

2.6.3. シングルブート使用リソース

シングルブートでは下記表の周辺機能を使用します。

表 2.13　シングルブート使用リソース

周辺機能	チャネル	機能	端子名
BOOT	—	—	PD0 (BOOT_N)
UART	ch0	RXD	PC1 (UT0RXD)
		TXD	PC0 (UT0TXDA)
T32A	ch0	—	—

表 2.14　RAM転送可能最終アドレス

製品名	RAM 転送可能最終アドレス
TMPM4L2FWDUG TMPM4L1FWUG	0x20000400~0x200017FF

2.7. プログラマブルモータ制御回路プラス(PMD+)

2.7.1. 搭載チャネル

製品毎の搭載チャネルを下記表に示します。

表 2.15 PMD+搭載チャネル

製品	PMD＋チャネル (○:搭載, —:非搭載)
	ch0
M4L2	○
M4L1	○

2.7.2. 機能端子とポート

機能端子は以下ポートに割り当てられています。

表 2.16 PMD+機能端子

チャネル	機能端子		ポート	製品対応 (○:対応, —:非対応)	
				M4L2	M4L1
ch0	UO0	出力	PE0	○	○
	VO0	出力	PE2	○	○
	WO0	出力	PE4	○	○
	XO0	出力	PE1	○	○
	YO0	出力	PE3	○	○
	ZO0	出力	PE5	○	○
	EMG0_N	入力	PE6	○	○
	OVV0_N	入力	PE7	○	○

2.7.3. 内部信号接続仕様

2.7.3.1. ADC / A-ENC32 / A-VE / T32A 接続

PMD+は、下記表のように内部で周辺機能と接続されている信号があります。

表 2.17 PMD+内部接続仕様:入力

チャネル	信号入力		入力元	
		信号名		信号名
ch0	OVV 状態信号(AD 監視機能 0)	ADACMP0L_N	ADC unit A	ADACP0L_N
	OVV 状態信号(AD 監視機能 1)	ADACMP1L_N		ADACP1L_N
	転流トリガ(A-ENC 位置検出同期)	INTENC00	A-ENC32 ch0	INTENC00
	転流トリガ(汎用タイマ同期)	PMD0TMR	T32A ch2 タイマ B	T32A02TRGOUTCMPB0
	転流トリガ(A-ENC MCMP 同期)	ENC0CTRGO	A-ENC32 ch0	ENC0CTRGO
	VE U 相 PWM デューティ	VE0CMPU	A-VE ch0	VE0CMPU
	VE V 相 PWM デューティ	VE0CMPV		VE0CMPV
	VE W 相 PWM デューティ	VE0CMPW		VE0CMPW
	VE トリガコンペア 0	VE0TRGCMP0		VE0TRGCMP0
	VE トリガコンペア 1	VE0TRGCMP1		VE0TRGCMP1
	VE 同期トリガ出力選択	VE0TRGSEL		VE0TRGSEL
	VE 通電制御/出力制御	VE0OUTCR		VE0OUTCR
	VE EMG 復帰	VE0EMGRS		VE0EMGRS

表 2.18 PMD+内部接続仕様:出力

チャネル	信号出力		出力先	
		信号名		信号名
ch0	ADC 同期サンプリング出力 0	PMD0TRG0	ADC unit A	PMDTRG0
	ADC 同期サンプリング出力 1	PMD0TRG1		PMDTRG1
	ADC 同期サンプリング出力 2	PMD0TRG2		PMDTRG2
	ADC 同期サンプリング出力 3	PMD0TRG3		PMDTRG3
	ADC 同期サンプリング出力 4	PMD0TRG4		PMDTRG4
	ADC 同期サンプリング出力 5	PMD0TRG5		PMDTRG5
	エンコーダ入力用 PWM 信号	PMD0PWMON	A-ENC32 ch0	ENC0PWMON
	PWM 割り込み	INTPWM0	A-VE ch0	INTPWM0

2.8. アドバンストエンコーダ入力回路(32-bit) (A-ENC32)

2.8.1. 搭載チャネル

製品毎の搭載チャネルを下記表に示します。

表 2.19　A-ENC32搭載チャネル

製品	A-ENC32 チャネル (○:搭載, —:非搭載)
	ch0
M4L2	○
M4L1	○

2.8.2. 機能端子とポート

機能端子は以下ポートに割り当てられています。

表 2.20　A-ENC32機能端子

チャネル	機能端子		ポート	製品対応 (○:対応, —:非対応)	
				M4L2	M4L1
ch0	ENC0A	入力	PD1	○	○
	ENC0B	入力	PD2	○	○
	ENC0Z	入力	PD3	○	○

2.8.3. 内部信号接続仕様

2.8.3.1. PMD+ / T32A 接続

A-ENC32 は、下記表のように内部で周辺機能と接続されている信号があります。表内の「—」は該当する機能がありません。

表 2.21 A-ENC32内部接続仕様:入力

チャネル	信号入力	信号名	入力元	信号名
ch0	汎用タイマ出力信号	ENC0PSGI	T32A ch2 タイマ B	T32A02OUTB
	サンプリング用 PWM 信号	ENC0PWMON	PMD+ ch0	PMD0PWMON

表 2.22 A-ENC32内部接続仕様:出力

チャネル	信号出力	信号名	トリガセレクタ	出力先	信号名
ch0	分周パルス信号	ENC0TIMPLS	***[TSEL0CR1]*** <INSEL5>	T32A ch2 タイマ B	T32A02TRGINBPCK
	PMD 用転流トリガ	ENC0CTRGO	—	PMD+ ch0	ENC0CTRGO
	エンコーダ入力割り込み 0	INTENC00	—		INTENC00

2.9. アドバンストベクトルエンジン(A-VE)

2.9.1. 搭載チャネル

製品毎の搭載チャネルを下記表に示します。

表 2.23　A-VE搭載チャネル

製品	A-VE チャネル (〇:搭載、—:非搭載) ch0
M4L2	〇
M4L1	〇

2.9.2. 内部信号接続仕様

2.9.2.1. PMD+ / ADC 接続

アドバンストベクトルエンジンは、下記表のように内部で周辺機能と接続されている信号があります。

表 2.24　A-VE内部接続仕様:入力

チャネル	信号入力	信号名	入力元	信号名
ch0	ADC 変換終了割り込み A	INTAD0PDA	ADC unit A	INTADAPDA
	ADC 変換終了割り込み B	INTAD0PDB	—	—
	AD 変換結果 0	AD0REG0	ADC unit A	ADAREG0
	AD 変換結果 1	AD0REG1		ADAREG1
	AD 変換結果 2	AD0REG2		ADAREG2
	AD 変換結果 3	AD0REG3		ADAREG3
	PWM 割り込み	INTPWM0	PMD+ ch0	INTPWM0

表 2.25　A-VE内部接続仕様:出力

チャネル	信号出力	信号名	出力先	信号名
ch0	U 相 PWM デューティ	VE0CMPU	PMD+ ch0	VE0CMPU
	V 相 PWM デューティ	VE0CMPV		VE0CMPV
	W 相 PWM デューティ	VE0CMPW		VE0CMPW
	トリガコンペア 0	VE0TRGCMP0		VE0TRGCMP0
	トリガコンペア 1	VE0TRGCMP1		VE0TRGCMP1
	同期トリガ出力選択	VE0TRGSEL		VE0TRGSEL
	通電制御／出力制御	VE0OUTCR		VE0OUTCR
	EMG 復帰	VE0EMGRS		VE0EMGRS

2.9.3. 起動トリガモード設定

[VExTRGMODE]<VTRG[1:0]>=10 の設定はできません。

2.10. 12 ビットアナログデジタルコンバータ(ADC)

2.10.1. 搭載ユニット

製品毎の搭載ユニットを下記表に示します。

表 2.26　ADC搭載ユニット

製品	ADC ユニット (○:搭載、—:非搭載)
	A
M4L2	○
M4L1	○

2.10.2. 変換結果格納レジスタ

ユニット毎の変換結果格納レジスタ数を下表に示します。

表 2.27　ADC変換結果格納レジスタ数

ユニット	レジスタ数
A	16

2.10.3. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。
製品により機能端子がないチャネルもあります。

表 2.28　ADC機能端子とポート

ユニット		機能端子	ポート	製品対応 (○:対応、—:非対応)	
	信号入力			M4L2	M4L1
A	AINA00	AINA00	PF0	○	○
	AINA01	AINA01	PG0	○	○
	AINA02	AINA02	PG3	○	—
	AINA03	AINA03	PG1	○	○
	AINA04	AINA04	PG2	○	○
	AINA05	AINA05	PH0	○	○
	AINA06	AINA06	PH1	○	○
	AINA07	VREFH	—	○	○
	AINA08	VREFL	—	○	○
	AINA09	リファレンス電源	—	○	○
	AINA10～AINA23	—	—	—	—

注 1)　AINA07/AINA08/AINA09 は自己診断機能サポート用内部接続されています。
注 2)　VREFH は AVDD5、VREFL は AVSS に接続されています。

2.10.4. ADC 用変換クロック

12 ビット ADC 用変換クロックは以下の表に示すクロックが使用されます。

表 2.29　ADC用変換クロック

変換クロック
ADCLK

2.10.5. 使用条件とレジスタ設定

TMPM4L グループ(1)が対応する使用条件を表 2.30 に示します。
変換クロック設定レジスタ(***[ADxCLK]***)、モード設定レジスタ 1 (***[ADxMOD1]***)、モード設定レジスタ 2 (***[ADxMOD2]***)については、下表の値を設定してください。

表 2.30　ADC 使用条件とレジスタ設定

変換時間 [μs]	AVDD5 [V]	ADCLK [MHz]	SCLK [MHz](注)	レジスタ設定		
				[ADxCLK]	*[ADxMOD1]*	*[ADxMOD2]*
1.5	4.5≦AVDD5≦5.5	80MHz	40MHz	0x00000001	0x00004000	0x00000000
		40MHz	40MHz	0x00000000	0x00004000	0x00000000
2.95	2.7≦AVDD5＜4.5	80MHz	40MHz	0x00000009	0x0000B001	0x00000000
		40MHz	40MHz	0x00000008	0x0000B001	0x00000000

注) SCLK=40MHz になるように設定してください。

2.10.6. 内部信号接続仕様

2.10.6.1. 起動トリガ接続

12 ビットアナログデジタルコンバータには、トリガ信号による AD 変換機能があります。
下記表のトリガセレクタ欄にレジスタ名のある入力トリガ信号は、トリガセレクタで使用する入力トリガを選択してください。表内の「—」は該当する機能がありません。

表 2.31 ADC起動トリガ接続仕様：入力

ユニット	信号入力	信号名	トリガセレクタ	入力元	信号名
A	PMD トリガ 0	PMDTRG0	—	PMD+ ch0	PMD0TRG0
	PMD トリガ 1	PMDTRG1	—		PMD0TRG1
	PMD トリガ 2	PMDTRG2	—		PMD0TRG2
	PMD トリガ 3	PMDTRG3	—		PMD0TRG3
	PMD トリガ 4	PMDTRG4	—		PMD0TRG4
	PMD トリガ 5	PMDTRG5	—		PMD0TRG5
	PMD トリガ 6	PMDTRG6	—	—	—
	PMD トリガ 7	PMDTRG7	—	—	—
	PMD トリガ 8	PMDTRG8	—	—	—
	PMD トリガ 9	PMDTRG9	—	—	—
	PMD トリガ 10	PMDTRG10	—	—	—
	PMD トリガ 11	PMDTRG11	—	—	—
	汎用トリガ	ADATRGIN	***[TSEL0CR3]*** <INSEL12>	T32A ch0 タイマ B	T32A00TRGOUTUFB
				T32A ch0 タイマ B	T32A00TRGOUTOFB
				T32A ch0 タイマ B	T32A00TRGOUTCMPB0
				T32A ch0 タイマ B	T32A00TRGOUTCMPB1

注) ***[TSEL0CR3]***<INSEL12>はトリガセレクタで起動トリガのトリガソースを選択します。詳細な接続先については、「2.2 トリガセレクタ(TRGSEL)」を参照してください。

2.10.6.2. その他接続

ADC は、その他、下記表のように内部で周辺機能と接続されている信号があります。表内の「―」は該当する機能がありません。

表 2.32　ADC内部接続仕様:出力

ユニット	信号出力	信号名	トリガセレクタ	出力先	信号名
A	汎用トリガ割り込み	INTADATRG	*[TSEL0CR0]* <INSEL1>	T32A ch0 タイマ B	T32A00TRGINBPCK
	単独変換割り込み	INTADASGL			
	連続変換割り込み	INTADACNT			
	監視機能 0 割り込み	INTADACP0			
	監視機能 1 割り込み	INTADACP1			
	PMD 保護用監視機能 0 出力	ADACP0L_N	―	PMD+ ch0	ADACMP0L_N
	PMD 保護用監視機能 1 出力	ADACP1L_N	―		ADACMP1L_N
	PMD トリガ割り込み A	INTADAPDA	―	A-VE ch0	INTADAPDA
	PMD トリガ割り込み B	INTADAPDB	―	―	―
	変換結果格納レジスタ	ADAREG0	―	A-VE ch0	ADAREG0
		ADAREG1	―		ADAREG1
		ADAREG2	―		ADAREG2
		ADAREG3	―		ADAREG3

2.11. 32 ビットタイマイベントカウンタ(T32A)

2.11.1. 搭載チャネル

製品毎の搭載チャネルを下記表に示します。

表 2.33　T32A搭載チャネル

製品	T32A チャネル (○:搭載、—:非搭載)			
	ch0	ch1	ch2	ch3
M4L2	○	○	○	○
M4L1	○	○	○	○

2.11.2. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。
複数に割り当てられている同一機能端子は排他的に使用してください。
製品により機能端子がないチャネルもあります。

表 2.34　T32A機能端子とポート

チャネル	機能端子		ポート	製品対応 (○:対応, —:非対応)	
				M4L2	M4L1
ch0	T32A00INA0	入力	PD0	○	○
	T32A00OUTA	出力	PD0	○	○
	T32A00INB0	入力	PD4	○	—
	T32A00OUTB	出力	PD4	○	—
	T32A00INC0	入力	PD0	○	○
	T32A00OUTC	出力	PD0	○	○
ch1	T32A01INA0	入力	PC3	○	○
	T32A01OUTA	出力	PC3	○	○
	T32A01INB0	入力	PA3	○	—
	T32A01OUTB	出力	PA3	○	—
	T32A01INC0	入力	PC3	○	○
	T32A01OUTC	出力	PC3	○	○
ch2	T32A02INA0	入力	PC4	○	○
	T32A02OUTA	出力	PC5	○	○
	T32A02INB0	入力	PC5	○	○
	T32A02OUTB	出力	PC4	○	○
	T32A02INC0	入力	PC4	○	○
	T32A02OUTC	出力	PC5	○	○
ch3	T32A03INA0	入力	PA2	○	○
	T32A03OUTA	出力	PA1	○	○
	T32A03INB0	入力	PA1	○	○
	T32A03OUTB	出力	PA2	○	○
	T32A03INC0	入力	PA1	○	○
	T32A03OUTC	出力	PA2	○	○

注)　TMPM4L グループ(1)はT32AxxINA1, T32AxxINB1, T32AxxINC1端子はありません。

2.11.3. プリスケーラ用クロック

T32A は、プリスケーラ用クロックに以下の表に示すクロックが使用されます。

表 2.35　T32Aプリスケーラ用クロック

プリスケーラ用クロック
ΦT0

2.11.4. 内部信号接続仕様

2.11.4.1. キャプチャトリガ入力接続

T32A は、以下の表に示すキャプチャトリガ信号が接続されます。
下記表のトリガセレクタ欄にレジスタ名のある入力トリガ信号は、トリガセレクタで使用する入力トリガを選択してください。

表 2.36 T32Aキャプチャトリガ入力接続仕様 (1/2)

チャネル		信号入力		トリガセレクタ	入力元	
	タイマ		信号名			信号名
ch0	タイマ A	他タイマ出力	T32A00TRGINAPHCK	–	T32A ch0 タイマ B	T32A00OUTB
		内部トリガ入力	T32A00TRGINAPCK	*[TSEL0CR0]* <INSEL0>	T32A ch0 タイマ B	T32A00TRGOUTUFB
					T32A ch0 タイマ B	T32A00TRGOUTOFB
					T32A ch0 タイマ B	T32A00TRGOUTCMPB0
					T32A ch0 タイマ B	T32A00TRGOUTCMPB1
	タイマ B	他タイマ出力	T32A00TRGINBPHCK	—	T32A ch0 タイマ A	T32A00OUTA
		内部トリガ入力	T32A00TRGINBPCK	*[TSEL0CR0]* <INSEL1>	T32A ch0 タイマ A	T32A00TRGOUTUFA
					T32A ch0 タイマ A	T32A00TRGOUTOFA
					T32A ch0 タイマ A	T32A00TRGOUTCMPA0
					T32A ch0 タイマ A	T32A00TRGOUTCMPA1
					ADC unit A	INTADATRG/ INTADASGL/ INTADACNT/ INTADACP0/ INTADACP1
	タイマ C	他タイマ出力	T32A00TRGINCPHCK	—	T32A ch2 タイマ C	T32A02OUTC
		内部トリガ入力	T32A00TRGINCPCK	*[TSEL0CR2]* <INSEL9>	T32A ch2 タイマ C	T32A02TRGOUTUFC
					T32A ch2 タイマ C	T32A02TRGOUTOFC
					T32A ch2 タイマ C	T32A02TRGOUTCMPC0
					T32A ch2 タイマ C	T32A02TRGOUTCMPC1
ch1	タイマ A	他タイマ出力	T32A01TRGINAPHCK	—	T32A ch1 タイマ B	T32A01OUTB
		内部トリガ入力	T32A01TRGINAPCK	*[TSEL0CR0]* <INSEL2>	T32A ch1 タイマ B	T32A01TRGOUTUFB
					T32A ch1 タイマ B	T32A01TRGOUTOFB
					T32A ch1 タイマ B	T32A01TRGOUTCMPB0
					T32A ch1 タイマ B	T32A01TRGOUTCMPB1
					UART ch0	UART0RXTRG
					UART ch0	UART0TXTRG
					TSPI ch0	TSPI0RXEND
					TSPI ch0	TSPI0TXEND
	タイマ B	他タイマ出力	T32A01TRGINBPHCK	—	T32A ch1 タイマ A	T32A01OUTA
		内部トリガ入力	T32A01TRGINBPCK	*[TSEL0CR0]* <INSEL3>	T32A ch1 タイマ A	T32A01TRGOUTUFA
					T32A ch1 タイマ A	T32A01TRGOUTOFA
					T32A ch1 タイマ A	T32A01TRGOUTCMPA0
					T32A ch1 タイマ A	T32A01TRGOUTCMPA1
	タイマ C	他タイマ出力	T32A01TRGINCPHCK	—	T32A ch3 タイマ C	T32A03OUTC
		内部トリガ入力	T32A01TRGINCPCK	*[TSEL0CR2]* <INSEL8>	T32A ch3 タイマ C	T32A03TRGOUTUFC
					T32A ch3 タイマ C	T32A03TRGOUTOFC
					T32A ch3 タイマ C	T32A03TRGOUTCMPC0
					T32A ch3 タイマ C	T32A03TRGOUTCMPC1

注) ***[TSEL0CRn]***<INSELm>はトリガセレクタで内部トリガのトリガソースを選択します。詳細な接続先については、「2.2 トリガセレクタ(TRGSEL)」を参照してください。

表 2.37 T32Aキャプチャトリガ信号接続仕様 (2/2)

チャネル		信号入力		トリガセレクタ	入力元	
	タイマ		信号名			信号名
ch2	タイマ A	他タイマ出力	T32A02TRGINAPHCK	—	T32A ch2 タイマ B	T32A02OUTB
		内部トリガ入力	T32A02TRGINAPCK	***[TSEL0CR1]*** <INSEL4>	T32A ch2 タイマ B	T32A02TRGOUTUFB
					T32A ch2 タイマ B	T32A02TRGOUTOFB
					T32A ch2 タイマ B	T32A02TRGOUTCMPB0
					T32A ch2 タイマ B	T32A02TRGOUTCMPB1
					UART ch1	UART1RXTRG
					UART ch1	UART1TXTRG
					TSPI ch1	TSPI1RXEND
					TSPI ch1	TSPI1TXEND
	タイマ B	他タイマ出力	T32A02TRGINBPHCK	—	T32A ch2 タイマ A	T32A02OUTA
		内部トリガ入力	T32A02TRGINBPCK	***[TSEL0CR1]*** <INSEL5>	T32A ch2 タイマ A	T32A02TRGOUTUFA
					T32A ch2 タイマ A	T32A02TRGOUTOFA
					T32A ch2 タイマ A	T32A02TRGOUTCMPA0
					T32A ch2 タイマ A	T32A02TRGOUTCMPA1
					A-ENC32 ch0	ENC0TIMPLS
	タイマ C	他タイマ出力	T32A02TRGINCPHCK	—	T32A ch0 タイマ C	T32A00OUTC
		内部トリガ入力	T32A02TRGINCPCK	***[TSEL0CR2]*** <INSEL11>	T32A ch0 タイマ C	T32A00TRGOUTUFC
					T32A ch0 タイマ C	T32A00TRGOUTOFC
					T32A ch0 タイマ C	T32A00TRGOUTCMPC0
					T32A ch0 タイマ C	T32A00TRGOUTCMPC1
ch3	タイマ A	他タイマ出力	T32A03TRGINAPHCK	—	T32A ch3 タイマ B	T32A03OUTB
		内部トリガ入力	T32A03TRGINAPCK	***[TSEL0CR1]*** <INSEL6>	T32A ch3 タイマ B	T32A03TRGOUTUFB
					T32A ch3 タイマ B	T32A03TRGOUTOFB
					T32A ch3 タイマ B	T32A03TRGOUTCMPB0
					T32A ch3 タイマ B	T32A03TRGOUTCMPB1
					UART ch2	UART2RXTRG
					UART ch2	UART2TXTRG
					TSPI ch2	TSPI2RXEND
					TSPI ch2	TSPI2TXEND
	タイマ B	他タイマ出力	T32A03TRGINBPHCK	—	T32A ch3 タイマ A	T32A03OUTA
		内部トリガ入力	T32A03TRGINBPCK	***[TSEL0CR1]*** <INSEL7>	T32A ch3 タイマ A	T32A03TRGOUTUFA
					T32A ch3 タイマ A	T32A03TRGOUTOFA
					T32A ch3 タイマ A	T32A03TRGOUTCMPA0
					T32A ch3 タイマ A	T32A03TRGOUTCMPA1
	タイマ C	他タイマ出力	T32A03TRGINCPHCK	—	T32A ch1 タイマ C	T32A01OUTC
		内部トリガ入力	T32A03TRGINCPCK	***[TSEL0CR2]*** <INSEL10>	T32A ch1 タイマ C	T32A01TRGOUTUFC
					T32A ch1 タイマ C	T32A01TRGOUTOFC
					T32A ch1 タイマ C	T32A01TRGOUTCMPC0
					T32A ch1 タイマ C	T32A01TRGOUTCMPC1

注) ***[TSEL0CRn]***<INSELm>はトリガセレクタで内部トリガのトリガソースを選択します。詳細な接続先については、「2.2 トリガセレクタ(TRGSEL)」を参照してください。

2.11.4.2. その他接続

表 2.38　T32Aトリガ出力接続仕様 (1/4)

チャネル	タイマ	信号出力	信号名	トリガセレクタ	出力先	信号名
ch0	タイマ A	タイマ出力	T32A00OUTA	—	T32A ch0 タイマ B	T32A00TRGINBPHCK
					UART ch2	UART2CKINA
		アンダフロートリガ	T32A00TRGOUTUFA	***[TSEL0CR0]*** <INSEL1>	T32A ch0 タイマ B	T32A00TRGINBPCK
		オーバフロートリガ	T32A00TRGOUTOFA			
		レジスタ A0 一致トリガ	T32A00TRGOUTCMPA0			
		レジスタ A1 一致トリガ	T32A00TRGOUTCMPA1			
	タイマ B	タイマ出力	T32A00OUTB	—	T32A ch0 タイマ A	T32A00TRGINAPHCK
		アンダフロートリガ	T32A00TRGOUTUFB	***[TSEL0CR0]*** <INSEL0>	T32A ch0 タイマ A	T32A00TRGINAPCK
				[TSEL0CR3] <INSEL12>	ADC unit A	ADATRGIN
		オーバフロートリガ	T32A00TRGOUTOFB	***[TSEL0CR0]*** <INSEL0>	T32A ch0 タイマ A	T32A00TRGINAPCK
				[TSEL0CR3] <INSEL12>	ADC unit A	ADATRGIN
		レジスタ B0 一致トリガ	T32A00TRGOUTCMPB0	***[TSEL0CR0]*** <INSEL0>	T32A ch0 タイマ A	T32A00TRGINAPCK
				[TSEL0CR3] <INSEL12>	ADC unit A	ADATRGIN
		レジスタ B1 一致トリガ	T32A00TRGOUTCMPB1	***[TSEL0CR0]*** <INSEL0>	T32A ch0 タイマ A	T32A00TRGINAPCK
				[TSEL0CR3] <INSEL12>	ADC unit A	ADATRGIN
	タイマ C	タイマ出力	T32A00OUTC	—	T32A ch2 タイマ C	T32A02TRGINCPHCK
		アンダフロートリガ	T32A00TRGOUTUFC	***[TSEL0CR2]*** <INSEL11>	T32A ch2 タイマ C	T32A02TRGINCPCK
		オーバフロートリガ	T32A00TRGOUTOFC			
		レジスタ C0 一致トリガ	T32A00TRGOUTCMPC0			
		レジスタ C1 一致トリガ	T32A00TRGOUTCMPC1			

注)　***[TSEL0CRn]***<INSELm>はトリガセレクタで内部トリガのトリガソースを選択します。詳細な接続先については、「2.2 トリガセレクタ(TRGSEL)」を参照してください。

表 2.39　T32Aトリガ出力接続仕様 (2/4)

チャネル	タイマ	信号出力	信号名	トリガセレクタ	出力先	信号名
ch1	タイマ A	タイマ出力	T32A01OUTA	―	T32A ch1 タイマ B	T32A01TRGINBPHCK
		アンダフロートリガ	T32A01TRGOUTUFA	***[TSEL0CR0]*** <INSEL3>	T32A ch1 タイマ B	T32A01TRGINBPCK
				[TSEL0CR3] <INSEL13>	UART ch0	UART0TRGIN
					TSPI ch0	TSPI0TRG
		オーバフロートリガ	T32A01TRGOUTOFA	***[TSEL0CR0]*** <INSEL3>	T32A ch1 タイマ B	T32A01TRGINBPCK
				[TSEL0CR3] <INSEL13>	UART ch0	UART0TRGIN
					TSPI ch0	TSPI0TRG
		レジスタ A0 一致トリガ	T32A01TRGOUTCMPA0	***[TSEL0CR0]*** <INSEL3>	T32A ch1 タイマ B	T32A01TRGINBPCK
				[TSEL0CR3] <INSEL13>	UART ch0	UART0TRGIN
					TSPI ch0	TSPI0TRG
		レジスタ A1 一致トリガ	T32A01TRGOUTCMPA1	***[TSEL0CR0]*** <INSEL3>	T32A ch1 タイマ B	T32A01TRGINBPCK
				[TSEL0CR3] <INSEL13>	UART ch0	UART0TRGIN
					TSPI ch0	TSPI0TRG
	タイマ B	タイマ出力	T32A01OUTB	―	T32A ch1 タイマ A	T32A01TRGINAPHCK
					UART ch0	UART0CKINA
					UART ch1	UART1CKINA
		アンダフロートリガ	T32A01TRGOUTUFB	***[TSEL0CR0]*** <INSEL2>	T32A ch1 タイマ A	T32A01TRGINAPCK
				[TSEL0CR3] <INSEL13>	UART ch0	UART0TRGIN
					TSPI ch0	TSPI0TRG
		オーバフロートリガ	T32A01TRGOUTOFB	***[TSEL0CR0]*** <INSEL2>	T32A ch1 タイマ A	T32A01TRGINAPCK
				[TSEL0CR3] <INSEL13>	UART ch0	UART0TRGIN
					TSPI ch0	TSPI0TRG
		レジスタ B0 一致トリガ	T32A01TRGOUTCMPB0	***[TSEL0CR0]*** <INSEL3>	T32A ch1 タイマ A	T32A01TRGINAPCK
				[TSEL0CR3] <INSEL13>	UART ch0	UART0TRGIN
					TSPI ch0	TSPI0TRG
		レジスタ B1 一致トリガ	T32A01TRGOUTCMPB1	***[TSEL0CR0]*** <INSEL2>	T32A ch1 タイマ A	T32A01TRGINAPCK
				[TSEL0CR3] <INSEL13>	UART ch0	UART0TRGIN
					TSPI ch0	TSPI0TRG
	タイマ C	タイマ出力	T32A01OUTC	―	T32A ch3 タイマ C	T32A03TRGINCPHCK
		アンダフロートリガ	T32A01TRGOUTUFC	***[TSEL0CR2]*** <INSEL10>	T32A ch3 タイマ C	T32A03TRGINCPCK
		オーバフロートリガ	T32A01TRGOUTOFC			
		レジスタ C0 一致トリガ	T32A01TRGOUTCMPC0			
		レジスタ C1 一致トリガ	T32A01TRGOUTCMPC1			

注)　***[TSEL0CRn]***<INSELm>はトリガセレクタで内部トリガのトリガソースを選択します。詳細な接続先については、「2.2 トリガセレクタ(TRGSEL)」を参照してください。

表 2.40　T32A トリガ出力接続仕様 (3/4)

チャネル	タイマ	信号出力	信号名	トリガセレクタ	出力先	信号名
ch2	タイマ A	タイマ出力	T32A02OUTA	—	T32A ch2 タイマ B	T32A02TRGINBPHCK
		アンダフロートリガ	T32A02TRGOUTUFA	***[TSEL0CR1]*** <INSEL5>	T32A ch2 タイマ B	T32A02TRGINBPCK
				[TSEL0CR3] <INSEL14>	UART ch1	UART1TRGIN
					TSPI ch1	TSPI1TRG
		オーバフロートリガ	T32A02TRGOUTOFA	***[TSEL0CR1]*** <INSEL5>	T32A ch2 タイマ B	T32A02TRGINBPCK
				[TSEL0CR3] <INSEL14>	UART ch1	UART1TRGIN
					TSPI ch1	TSPI1TRG
		レジスタ A0 一致トリガ	T32A02TRGOUTCMPA0	***[TSEL0CR1]*** <INSEL5>	T32A ch2 タイマ B	T32A02TRGINBPCK
				[TSEL0CR3] <INSEL14>	UART ch1	UART1TRGIN
					TSPI ch1	TSPI1TRG
		レジスタ A1 一致トリガ	T32A02TRGOUTCMPA1	***[TSEL0CR1]*** <INSEL5>	T32A ch2 タイマ B	T32A02TRGINBPCK
				[TSEL0CR3] <INSEL14>	UART ch1	UART1TRGIN
					TSPI ch1	TSPI1TRG
	タイマ B	タイマ出力	T32A02OUTB	—	T32A ch2 タイマ A	T32A02TRGINAPHCK
				—	A-ENC32 ch0	ENC0PSGI
		アンダフロートリガ	T32A02TRGOUTUFB	***[TSEL0CR1]*** <INSEL4>	T32A ch2 タイマ A	T32A02TRGINAPCK
				[TSEL0CR3] <INSEL14>	UART ch1	UART1TRGIN
					TSPI ch1	TSPI1TRG
		オーバフロートリガ	T32A02TRGOUTOFB	***[TSEL0CR1]*** <INSEL4>	T32A ch2 タイマ A	T32A02TRGINAPCK
				[TSEL0CR3] <INSEL14>	UART ch1	UART1TRGIN
					TSPI ch1	TSPI1TRG
		レジスタ B0 一致トリガ	T32A02TRGOUTCMPB0	***[TSEL0CR1]*** <INSEL4>	T32A ch2 タイマ A	T32A02TRGINAPCK
				[TSEL0CR3] <INSEL14>	UART ch1	UART1TRGIN
					TSPI ch1	TSPI1TRG
				—	PMD+ ch0	PMD0TMR
		レジスタ B1 一致トリガ	T32A02TRGOUTCMPB1	***[TSEL0CR1]*** <INSEL4>	T32A ch2 タイマ A	T32A02TRGINAPCK
				[TSEL0CR3] <INSEL14>	UART ch1	UART1TRGIN
					TSPI ch1	TSPI1TRG
	タイマ C	タイマ出力	T32A02OUTC	—	T32A ch0 タイマ C	T32A00TRGINCPHCK
		アンダフロートリガ	T32A02TRGOUTUFC	***[TSEL0CR2]*** <INSEL9>	T32A ch0 タイマ C	T32A00TRGINCPCK
		オーバフロートリガ	T32A02TRGOUTOFC			
		レジスタ C0 一致トリガ	T32A02TRGOUTCMPC0			
		レジスタ C1 一致トリガ	T32A02TRGOUTCMPC1			

注)　***[TSEL0CRn]***<INSELm>はトリガセレクタで内部トリガのトリガソースを選択します。詳細な接続先については、「2.2 トリガセレクタ(TRGSEL)」を参照してください。

表 2.41　T32A トリガ出力接続仕様 (4/4)

チャネル		信号出力		トリガセレクタ	出力先	
	タイマ		信号名			信号名
ch3	タイマ A	タイマ出力	T32A03OUTA	—	T32A ch3 タイマ B	T32A03TRGINBPHCK
		アンダフロートリガ	T32A03TRGOUTUFA	***[TSEL0CR1]*** <INSEL7>	T32A ch3 タイマ B	T32A03TRGINBPCK
				[TSEL0CR3] <INSEL15>	UART ch2	UART2TRGIN
					TSPI ch2	TSPI2TRG
		オーバフロートリガ	T32A03TRGOUTOFA	***[TSEL0CR1]*** <INSEL7>	T32A ch3 タイマ B	T32A03TRGINBPCK
				[TSEL0CR3] <INSEL15>	UART ch2	UART2TRGIN
					TSPI ch2	TSPI2TRG
		レジスタ A0 一致トリガ	T32A03TRGOUTCMPA0	***[TSEL0CR1]*** <INSEL7>	T32A ch3 タイマ B	T32A03TRGINBPCK
				[TSEL0CR3] <INSEL15>	UART ch2	UART2TRGIN
					TSPI ch2	TSPI2TRG
		レジスタ A1 一致トリガ	T32A03TRGOUTCMPA1	***[TSEL0CR1]*** <INSEL7>	T32A ch3 タイマ B	T32A03TRGINBPCK
				[TSEL0CR3] <INSEL15>	UART ch2	UART2TRGIN
					TSPI ch2	TSPI2TRG
	タイマ B	タイマ出力	T32A03OUTB	—	T32A ch3 タイマ A	T32A03TRGINAPHCK
		アンダフロートリガ	T32A03TRGOUTUFB	***[TSEL0CR1]*** <INSEL6>	T32A ch3 タイマ A	T32A03TRGINAPCK
				[TSEL0CR3] <INSEL15>	UART ch2	UART2TRGIN
					TSPI ch2	TSPI2TRG
		オーバフロートリガ	T32A03TRGOUTOFB	***[TSEL0CR1]*** <INSEL6>	T32A ch3 タイマ A	T32A03TRGINAPCK
				[TSEL0CR3] <INSEL15>	UART ch2	UART2TRGIN
					TSPI ch2	TSPI2TRG
		レジスタ B0 一致トリガ	T32A03TRGOUTCMPB0	***[TSEL0CR1]*** <INSEL6>	T32A ch3 タイマ A	T32A03TRGINAPCK
				[TSEL0CR3] <INSEL15>	UART ch2	UART2TRGIN
					TSPI ch2	TSPI2TRG
		レジスタ B1 一致トリガ	T32A03TRGOUTCMPB1	***[TSEL0CR1]*** <INSEL6>	T32A ch3 タイマ A	T32A03TRGINAPCK
				[TSEL0CR3] <INSEL15>	UART ch2	UART2TRGIN
					TSPI ch2	TSPI2TRG
	タイマ C	タイマ出力	T32A03OUTC	—	T32A ch1 タイマ C	T32A01TRGINCPHCK
		アンダフロートリガ	T32A03TRGOUTUFC	***[TSEL0CR2]*** <INSEL9>	T32A ch1 タイマ C	T32A01TRGINCPCK
		オーバフロートリガ	T32A03TRGOUTOFC			
		レジスタ C0 一致トリガ	T32A03TRGOUTCMPC0			
		レジスタ C1 一致トリガ	T32A03TRGOUTCMPC1			

注)　***[TSEL0CRn]***<INSELm>はトリガセレクタで内部トリガのトリガソースを選択します。詳細な接続先については、「2.2 トリガセレクタ(TRGSEL)」を参照してください。

2.11.4.3. 同期制御接続

T32A の同期制御の構成は汎用レジスタ***[GPREG0]***で 2 タイマ同期か 4 タイマ同期を選択できます。***[GPREG0]***の詳細は「2.11.4.4. 汎用レジスタ」を参照してください。

表 2.42 T32Aタイマ A/タイマ B同期制御接続仕様(ch0,ch2)

設定 *[GPREG0]* <TSNC0SEL>	マスタ			スレーブ		
	チャネル /タイマ	機能(出力)	信号名	チャネル /タイマ	機能(入力)	信号名
0	ch0 / タイマ A	同期スタート	T32A00SYNCSTARTOUTA	ch0 / タイマ B	同期スタート	T32A00SYNCSTARTB
		同期停止	T32A00SYNCSTOPOUTA		同期停止	T32A00SYNCSTOPB
		同期リロード	T32A00SYNCRELOADOUTA		同期リロード	T32A00SYNCRELOADB
	ch2 / タイマ A	同期スタート	T32A02SYNCSTARTOUTA	ch2 / タイマ B	同期スタート	T32A02SYNCSTARTB
		同期停止	T32A02SYNCSTOPOUTA		同期停止	T32A02SYNCSTOPB
		同期リロード	T32A02SYNCRELOADOUTA		同期リロード	T32A02SYNCRELOADB
1	ch2 / タイマ A	同期スタート	T32A02SYNCSTARTOUTA	ch0 / タイマ A	同期スタート	T32A00SYNCSTARTA
				ch0 /タイマ B	同期スタート	T32A00SYNCSTARTB
				ch2 / タイマ B	同期スタート	T32A02SYNCSTARTB
		同期停止	T32A02SYNCSTOPOUTA	ch0 / タイマ A	同期停止	T32A00SYNCSTOPA
				ch0 / タイマ B	同期停止	T32A00SYNCSTOPB
				ch2 / タイマ B	同期停止	T32A02SYNCSTOPB
		同期リロード	T32A02SYNCRELOADOUTA	ch0 / タイマ A	同期リロード	T32A00SYNCRELOADA
				ch0 / タイマ B	同期リロード	T32A00SYNCRELOADB
				ch2 / タイマ B	同期リロード	T32A02SYNCRELOADB

表 2.43 T32Aタイマ A/タイマ B同期制御接続仕様(ch1,ch3)

設定 *[GPREG0]* <TSNC1SEL>	マスタ			スレーブ		
	チャネル /タイマ	機能(出力)	信号名	チャネル /タイマ	機能(入力)	信号名
0	ch1 / タイマ A	同期スタート	T32A01SYNCSTARTOUTA	ch1 / タイマ B	同期スタート	T32A01SYNCSTARTB
		同期停止	T32A01SYNCSTOPOUTA		同期停止	T32A01SYNCSTOPB
		同期リロード	T32A01SYNCRELOADOUTA		同期リロード	T32A01SYNCRELOADB
	ch3 / タイマ A	同期スタート	T32A03SYNCSTARTOUTA	ch3 / タイマ B	同期スタート	T32A03SYNCSTARTB
		同期停止	T32A03SYNCSTOPOUTA		同期停止	T32A03SYNCSTOPB
		同期リロード	T32A03SYNCRELOADOUTA		同期リロード	T32A03SYNCRELOADB
1	ch3 / タイマ A	同期スタート	T32A03SYNCSTARTOUTA	ch1 / タイマ A	同期スタート	T32A01SYNCSTARTA
				ch1 / タイマ B	同期スタート	T32A01SYNCSTARTB
				ch3 / タイマ B	同期スタート	T32A03SYNCSTARTB
		同期停止	T32A03SYNCSTOPOUTA	ch1 / タイマ A	同期停止	T32A01SYNCSTOPA
				ch1 / タイマ B	同期停止	T32A01SYNCSTOPB
				ch3 / タイマ B	同期停止	T32A03SYNCSTOPB
		同期リロード	T32A03SYNCRELOADOUTA	ch1 / タイマ A	同期リロード	T32A01SYNCRELOADA
				ch1 / タイマ B	同期リロード	T32A01SYNCRELOADB
				ch3 / タイマ B	同期リロード	T32A03SYNCRELOADB

表 2.44　T32AタイマC同期制御接続仕様

マスタ			スレーブ		
チャネル	機能(出力)	信号名	チャネル	機能(入力)	信号名
ch2	同期スタート	T32A02SYNCSTARTOUTC	ch0	同期スタート	T32A00SYNCSTARTC
	同期停止	T32A02SYNCSTOPOUTC		同期停止	T32A00SYNCSTOPC
	同期リロード	T32A02SYNCRELOADOUTC		同期リロード	T32A00SYNCRELOADC
ch3	同期スタート	T32A03SYNCSTARTOUTC	ch1	同期スタート	T32A01SYNCSTARTC
	同期停止	T32A03SYNCSTOPOUTC		同期停止	T32A01SYNCSTOPC
	同期リロード	T32A03SYNCRELOADOUTC		同期リロード	T32A01SYNCRELOADC

2.11.4.4. 汎用レジスタ詳細

周辺機能		チャネル/ユニット	ベースアドレス
汎用レジスタ	GP	—	0x4003FF00

レジスタ名		アドレス(Base+)
汎用レジスタ 0	***[GPREG0]***	0x0000

- ***[GPREG0]*** (汎用レジスタ 0)

Bit	Bit Symbol	リセット後	Type	機能
7:2	—	0	R	リードすると｢0｣が読めます。
1	TSNC1SEL	0	R/W	T32A ch1,ch3 同期モード選択 0: チャネル内同期(2 タイマ同期接続) 1: チャネル間同期(4 タイマ同期接続)
0	TSNC0SEL	0	R/W	T32A ch0,ch2 同期モード選択 0: チャネル内同期(2 タイマ同期接続) 1: チャネル間同期(4 タイマ同期接続)

2.11.5. 製品別パルスカウント対応

TMPM4L グループ(1)搭載の T32A は、1 相パルスカウントだけに対応します。

2.11.6. 非対応割り込み

この製品は、毎カウント割り込み(INTT32AxEVRYC)は非対応です。

2.12. 非同期シリアル通信回路(UART)

2.12.1. 搭載チャネル

製品毎の搭載チャネルを下記表に示します。
TMPM4L グループ(1)に搭載の UART の最大通信速度は 5Mbps です。

表 2.45　UART搭載チャネル

製品	UART チャネル (○:搭載、—:非搭載)		
	ch0	ch1	ch2
M4L2	○	○	○
M4L1	○	○	○

2.12.2. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。
複数に割り当てられている同一機能端子は排他的に使用してください。
製品により機能端子がないチャネルもあります。

表 2.46　UART端子信号とポート

チャネル	機能端子		ポート	製品対応 (○:対応、—:非対応)	
				M4L2	M4L1
ch0	UT0TXDA	出力	PC0	○	○
			PC1	○	○
	UT0RXD	入力	PC0	○	○
			PC1	○	○
	UT0CTS_N	出力	PC2	○	○
ch1	UT1TXDA	出力	PD2	○	○
			PD3	○	○
	UT1RXD	入力	PD2	○	○
			PD3	○	○
	UT1CTS_N	出力	PD1	○	○
ch2	UT2TXDA	出力	PA1	○	○
			PA2	○	○
	UT2RXD	入力	PA1	○	○
			PA2	○	○
	UT2CTS_N	出力	PA0	○	○

注)　TMPM4L グループ(1)は UTxTXDB, UTxRTS_N 端子はありません。

2.12.3. ハーフクロックモード対応

TMPM4L グループ(1)に搭載の UART のハーフクロックモードは、1 端子モードのみ対応しています。

2.12.4. クロック選択

2.12.4.1. プリスケーラ用クロック

UART は、プリスケーラ用クロックに以下の表に示すクロックが使用されます。

表 2.47 UARTプリスケーラ用クロック

プリスケーラ用クロック
ΦT0

2.12.4.2. ボーレートジェネレータ用タイマ出力

UART は、***[UARTxCLK]***<CKSEL>設定でボーレートジェネレータ用クロックにタイマ出力を選択できます。
対応するタイマ出力を下記表に示します。

表 2.48 UARTボーレートジェネレータ用タイマ出力

チャネル	信号名	タイマ出力	信号名
ch0	UART0CKINA	T32A ch1 タイマ B	T32A01OUTB
ch1	UART1CKINA	T32A ch1 タイマ B	T32A01OUTB
ch2	UART2CKINA	T32A ch0 タイマ A	T32A00OUTA

2.12.5. 内部信号接続仕様

2.12.5.1. トリガ送信信号接続

UART には、トリガ信号による送信機能があります。
トリガ信号は以下の表に示すトリガソースをトリガセレクタで選択し使用します。

表 2.49 UARTトリガ送信信号接続仕様:入力

チャネル	信号入力	信号名	トリガセレクタ	入力元	信号名
ch0	トリガ送信用トリガ入力	UART0TRGIN	***[TSEL0CR3]*** <INSEL13>	T32A ch1 タイマ A	T32A01TRGOUTUFA
					T32A01TRGOUTOFA
					T32A01TRGOUTCMPA0
					T32A01TRGOUTCMPA1
				T32A ch1 タイマ B	T32A01TRGOUTUFB
					T32A01TRGOUTOFB
					T32A01TRGOUTCMPB0
					T32A01TRGOUTCMPB1
ch1	トリガ送信用トリガ入力	UART1TRGIN	***[TSEL0CR3]*** <INSEL14>	T32A ch2 タイマ A	T32A02TRGOUTUFA
					T32A02TRGOUTOFA
					T32A02TRGOUTCMPA0
					T32A02TRGOUTCMPA1
				T32A ch2 タイマ B	T32A02TRGOUTUFB
					T32A02TRGOUTOFB
					T32A02TRGOUTCMPB0
					T32A02TRGOUTCMPB1
ch2	トリガ送信用トリガ入力	UART2TRGIN	***[TSEL0CR3]*** <INSEL15>	T32A ch3 タイマ A	T32A03TRGOUTUFA
					T32A03TRGOUTOFA
					T32A03TRGOUTCMPA0
					T32A03TRGOUTCMPA1
				T32A ch3 タイマ B	T32A03TRGOUTUFB
					T32A03TRGOUTOFB
					T32A03TRGOUTCMPB0
					T32A03TRGOUTCMPB1

注) ***[TSEL0CR3]***<INSELm>はトリガセレクタでトリガ入力のトリガソースを選択します。トリガセレクタの詳細は、「2.2 トリガセレクタ(TRGSEL)」を参照してください。

2.12.5.2. T32A キャプチャトリガ接続

UART は、その他、下記表のように内部で周辺機能と接続されている信号があります。

表 2.50　UART内部接続仕様:出力

チャネル	信号出力		トリガセレクタ	出力先	
		信号名			信号名
ch0	受信完了トリガ	UART0RXTRG	***[TSEL0CR0]*** <INSEL2>	T32A ch1 タイマ A	T32A01TRGINAPCK
	送信完了トリガ	UART0TXTRG			
ch1	受信完了トリガ	UART1RXTRG	***[TSEL0CR1]*** <INSEL4>	T32A ch2 タイマ A	T32A02TRGINAPCK
	送信完了トリガ	UART1TXTRG			
ch2	受信完了トリガ	UART2RXTRG	***[TSEL0CR1]*** <INSEL6>	T32A ch3 タイマ A	T32A03TRGINAPCK
	送信完了トリガ	UART2TXTRG			

2.13. シリアルペリフェラルインタフェース(TSPI)

2.13.1. 搭載チャネル

製品毎の搭載チャネルを下記表に示します。
TMPM4L グループ(1)に搭載の TSPI の最大通信速度は 20Mbps です。

表 2.51 TSPI搭載チャネル

製品	TSPI チャネル (○:搭載, —:非搭載)		
	ch0	ch1	ch2
M4L2	○	○	○
M4L1	○	○	○

2.13.2. 機能端子とポート

機能端子は以下ポートに割り当てられています。
複数に割り当てられている同一機能端子は排他的に使用してください。
製品により機能端子がないチャネルもあります。

表 2.52 TSPI機能端子とポート

チャネル	機能端子		ポート	製品対応 (○:対応, —:非対応)	
				M4L2	M4L1
ch0	TSPI0SCK	入出力	PC2	○	○
	TSPI0TXD	出力	PC0	○	○
	TSPI0RXD	入力	PC1	○	○
ch1	TSPI1SCK	入出力	PD1	○	○
	TSPI1TXD	出力	PD2	○	○
	TSPI1RXD	入力	PD3	○	○
ch2	TSPI2SCK	入出力	PA0	○	○
	TSPI2TXD	出力	PA1	○	○
	TSPI2RXD	入力	PA2	○	○

注) TMPM4L グループ(1)は TSPIxCSIN, TSPIxCS0, TSPIxCS1, TSPIxCS2, TSPIxCS3 端子はありません。

2.13.3. 製品別転送モード対応

TMPM4L グループ(1)に搭載の TSPI は、SIO モードのみ対応しています

2.13.4. *[TSPIxCR2]*<RXDLY>の設定値

TSPI 制御レジスタ 2 (***[TSPIxCR2]***<RXDLY>)の設定値については、以下の表の値を必ず設定してください。

表 2.53　TSPI制御レジスタ2<RXDLY>の設定値

レジスタ名	値
[TSPIxCR2]<RXDLY>	1

2.13.5. プリスケーラ用クロック

TSPI は、プリスケーラ用クロックに以下の表に示すクロックが使用されます。

表 2.54　TSPIプリスケーラ用クロック

クロック
ΦT0

2.13.6. 内部信号接続仕様

2.13.6.1. トリガ転送信号接続

TSPI には、トリガ信号による転送機能があります。
トリガ信号は以下の表に示すトリガソースをトリガセレクタで選択し使用します。

表 2.55 TSPIトリガ転送仕様:入力

チャネル	信号入力	信号入力: 信号名	トリガセレクタ	入力元	入力元: 信号名
ch0	トリガ入力通信開始	TSPI0TRG	***[TSEL0CR3]*** <INSEL13>	T32A ch1 タイマ A	T32A01TRGOUTUFA
					T32A01TRGOUTOFA
					T32A01TRGOUTCMPA0
					T32A01TRGOUTCMPA1
				T32A ch1 タイマ B	T32A01TRGOUTUFB
					T32A01TRGOUTOFB
					T32A01TRGOUTCMPB0
					T32A01TRGOUTCMPB1
ch1	トリガ入力通信開始	TSPI1TRG	***[TSEL0CR3]*** <INSEL14>	T32A ch2 タイマ A	T32A02TRGOUTUFA
					T32A02TRGOUTOFA
					T32A02TRGOUTCMPA0
					T32A02TRGOUTCMPA1
				T32A ch2 タイマ B	T32A02TRGOUTUFB
					T32A02TRGOUTOFB
					T32A02TRGOUTCMPB0
					T32A02TRGOUTCMPB1
ch2	トリガ入力通信開始	TSPI2TRG	***[TSEL0CR3]*** <INSEL15>	T32A ch3 タイマ A	T32A03TRGOUTUFA
					T32A03TRGOUTOFA
					T32A03TRGOUTCMPA0
					T32A03TRGOUTCMPA1
				T32A ch3 タイマ B	T32A03TRGOUTUFB
					T32A03TRGOUTOFB
					T32A03TRGOUTCMPB0
					T32A03TRGOUTCMPB1

注) ***[TSEL0CR3]***<INSELm>はトリガセレクタでトリガ入力のトリガソースを選択します。トリガセレクタの詳細は、「2.2 トリガセレクタ(TRGSEL)」を参照してください。

2.13.6.2. T32A 接続

TSPI は、その他、下記表のように内部で周辺機能と接続されている信号があります。

表 2.56　TSPI内部接続仕様:出力

チャネル	信号出力		トリガセレクタ	出力先	
		信号名			信号名
ch0	受信完了信号	TSPI0RXEND	***[TSEL0CR0]*** <INSEL2>	T32A ch1 タイマ A	T32A01TRGINAPCK
	送信完了信号	TSPI0TXEND			
ch1	受信完了信号	TSPI1RXEND	***[TSEL0CR1]*** <INSEL4>	T32A ch2 タイマ A	T32A02TRGINAPCK
	送信完了信号	TSPI1TXEND			
ch2	受信完了信号	TSPI2RXEND	***[TSEL0CR1]*** <INSEL6>	T32A ch3 タイマ A	T32A03TRGINAPCK
	送信完了信号	TSPI2TXEND			

2.14. デジタルノイズフィルタ回路(DNF)

2.14.1. 搭載ユニット

製品毎の搭載ユニットを下記表に示します。

表 2.57　DNF搭載ユニット

製品	DNF ユニット (○:搭載、—:非搭載)
	A
M4L2	○
M4L1	○

2.14.2. 製品別外部割り込みと DNF の対応

デジタルノイズフィルタ回路は以下の外部割り込み端子に対応しています。

表 2.58　外部割り込みとDNF対応

外部割り込み端子(信号名)	ポート	設定レジスタ名	製品対応 (○:対応、—:非対応)	
			M4L2	M4L1
INT00	PC3	***[DNFAENCR]***<NFEN0>	○	○
INT01	PG1	***[DNFAENCR]***<NFEN1>	○	○
INT02	PG2	***[DNFAENCR]***<NFEN2>	○	○
INT03	PH0	***[DNFAENCR]***<NFEN3>	○	○
INT04	PH1	***[DNFAENCR]***<NFEN4>	○	○
INT05	PC5	***[DNFAENCR]***<NFEN5>	○	○
INT06	PC4	***[DNFAENCR]***<NFEN6>	○	○
INT07	PA3	***[DNFAENCR]***<NFEN7>	○	—
—	—	***[DNFAENCR]***<NFEN8> ～<NFEN15>	—	—

2.14.3. サンプリングソースクロック

デジタルノイズフィルタ回路は、サンプリングのソースクロックとして以下の表に示すクロックが使用されます。

表 2.59　DNFサンプリングソースクロック

サンプリングソースクロック
fc

2.15. 電圧検知回路(LVD)

2.15.1. 搭載一覧

製品毎の搭載一覧を下記表に示します。

表 2.60　LVD搭載一覧

製品	LVD 搭載 (○:搭載、—:非搭載)
M4L2	○
M4L1	○

2.15.2. 検知対象電源

電圧検知回路は以下の表の電源をモニタします。

表 2.61　LVD検知対象電源

検知対象電源	電源名
デジタル用電源端子	DVDD5A/DVDD5B/DVDD5C

2.16. CRC 計算回路(CRC)

2.16.1. 搭載一覧

製品毎の搭載一覧を下記表に示します。

表 2.62　CRC搭載一覧

製品	CRC 搭載 (○:搭載、—:非搭載)
M4L2	○
M4L1	○

2.17. RAM パリティ(RAMP)

2.17.1. 搭載チャネル

製品毎の搭載チャネルを下記表に示します。

表 2.63 RAMP搭載チャネル

製品	RAMP 搭載 (○:搭載、—:非搭載)
	ch0
M4L2	○
M4L1	○

2.17.2. エラー判定ブロックエリア

下表に製品毎のエラー判定 RAM ブロックエリアを示します。

表 2.64 RAMP RAMエリアとアドレス

チャネル	レジスタ名	RAM エリアアドレス	製品対応 (○:対応、—:非対応)	
			M4L2	M4L1
ch0	***[RPAR0ST]***<RPARFG0>	0x20000000-0x200017FF	○	○

2.18. トリミング回路(TRM)

2.18.1. 搭載一覧

製品毎の搭載一覧を下記表に示します。

表 2.65 TRM搭載一覧

製品	TRM 搭載 (○:搭載、—:非搭載)
M4L2	○
M4L1	○

2.18.2. 対象発振器

トリミング回路の対象発振器は以下の表に示す発振器です。

表 2.66 TRMトリミング対象発振器

対象発振器	発振器名
内蔵高速発振器 1	IHOSC1

3. 改訂履歴

表 3.1　改訂履歴

Revision	Date	Description
1.0	2018-10-11	新規
1.1	2019-07-29	・2.10.5 使用条件とレジスタ設定 　タイトル変更および設定条件の追加

製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。
本資料に掲載されているハードウエア、ソフトウエアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウエア・ソフトウエア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下"特定用途"という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。

東芝デバイス＆ストレージ株式会社
https://toshiba.semicon-storage.com/jp/