

CMOS 形 デジタル集積回路 シリコン モノリシック

TMPM4L グループ(1)

概要

- Arm® Cortex®-M4(FPU 機能搭載)、動作周波数：1~80MHz、動作電圧：2.7~5.5V
- 128KB フラッシュ
- 44 ピン、48 ピン、2 種類のパッケージ展開
- ベクトル制御を実現するハードウェア群(A-VE、12bitADC、PMD+)



用途

モータ、モータ家電、産業機器に幅広く使用可能

特長

- Arm Cortex-M4(FPU 機能搭載) コア搭載
 - 動作周波数：1~80MHz
 - メモリ保護ユニット(MPU)搭載
- 動作電圧と消費電力
 - 動作電圧：2.7~5.5V
 - 低消費電力動作：IDLE、STOP1
- 動作温度範囲：-40~+105°C
- 内蔵メモリ
 - フラッシュ：128KB、書き換え：1 万回
 - RAM：6KB、パリティ付き
- クロック
 - 外部高速発振器：6MHz~12MHz(セラミック、水晶)
 - 外部高速クロック入力：1~10MHz
 - 内蔵高速発振器(IHOSC1)：10MHz(±1.3%、-30~+85°C)
ユーザトリミング可能
 - PLL：80MHz(システムクロック)
- 周波数検知(OFD)：システムクロック異常検知
- 電圧検知(LVD)：8 レベル、割り込みとリセット出力選択
- 割り込み
 - 外部：7~8 要因、DNF:デジタルノイズフィルタ付き
 - 内部：73 要因
- 入出力ポート：33~37 本
 - プルアップ/ダウン、オープンドレインあり
- オンチップデバッグ(JTAG/SW)
- トリガセレクト(TRGSEL)
 - TSPI/UART/T32A などの起動要因を拡張
- CRC 計算回路(CRC)：1 チャンネル
 - CRC32、CRC16
- 非同期シリアル通信回路(UART)：3 チャンネル
 - 最大 5Mbps、FIFO(送信 8 段、受信 8 段)
- シリアルペリフェラルインタフェース(TSPI)：3 チャンネル
 - SIO モード、最大 20Mbps、FIFO(送信 16 ビット×8、受信 16 ビット×8)
- 12 ビット AD コンバータ(ADC)：6~7 チャンネル入力
 - 変換時間：1.5μs @SCLK=40MHz
 - 自己診断サポート機能
- プログラマブルモータ制御回路プラス(PMD+)：1 チャンネル
 - 3 相相補 PWM 出力、12 ビット ADC との同期動作
 - 外部入力による緊急停止機能(EMG_N 端子、OVV_N 端子)
- アドバンストベクトルエンジン(A-VE)：1 チャンネル
 - ベクトル制御演算用コプロセッサ、ADC/PMD+と連携動作
- アドバンストエンコーダ入力回路(32bit)(A-ENC32)：1 チャンネル
 - エンコーダ/センサ(3 種)/タイマ/位相カウンタモード
- 32 ビットタイマイベントカウンタ(T32A)
 - 32 ビットタイマ時 4 チャンネル、16 ビットタイマ時 8 チャンネル
 - インタルタイマ、イベントカウント、インプットキャプチャ、位相差入力、パルス出力、PPG 出力、同期スタート、トリガスタート
- ウォッチドッグタイマ(SIWDIT)：1 チャンネル
 - システムクロックと別系統のソースクロックを選択
 - クリアウィンドウ、割り込みとリセット出力選択

製品量産開始時期
2019-03

機能別製品一覧

表 1 機能別製品一覧

内蔵機能		TMPM4L2FWDUG	TMPM4L1FWUG
Memory	Code Flash (KB)	128	128
	RAM (KB)	6	6
I/O port	PORT (pin)	37	33
External interrupt	INT (pin)	8	7
Timer function	T32A (ch)	4	4
Serial communication function	UART (ch)	3	3
	TSPI(SIO) (ch)	3	3
Analog function	12-bit ADC (AIN ch)	7	6
Motor control peripherals	A-VE (ch)	1	1
	PMD+ (ch)	1	1
	A-ENC32 (ch)	1	1
Other peripherals	CRC (ch)	1	1
	RAMP (ch)	1	1
System function	LVD (ch)	1	1
	WDT (ch)	1	1
	OFD (ch)	1	1
	POR (ch)	1	1
Debug interface	Debug	JTAG/SW	JTAG/SW
Package	Package type	LQFP48 (7 mm × 7 mm, 0.5 mm pitch)	LQFP44 (10 mm × 10 mm, 0.8 mm pitch)
	Package name	LQFP48-P-0707 -0.50D	LQFP44-P-1010 -0.80B

注) JTAG は TMS/TCK/TDO/TDI の 4 本です。

目次

概要	1
用途	1
特長	1
機能別製品一覧	2
目次	3
図目次	6
表目次	7
序章	8
表記規約	8
用語・略語	10
1. ブロック図	11
2. 端子配置図	12
2.1. LQFP48	12
2.2. LQFP44	13
3. メモリマップ	14
3.1. メモリ容量一覧	15
4. 端子説明	16
4.1. 機能端子名称と機能	16
4.1.1. 周辺機能端子	16
4.1.2. デバッグ端子	17
4.1.3. 制御端子	18
4.1.4. 電源端子	18
4.1.5. 電源間コンデンサ	19
4.2. 機能端子とポート割り当て(端子番号)	20
4.3. ポート	24
4.3.1. ポート仕様一覧	25
5. 機能説明・動作説明	27
5.1. リファレンスマニュアル	27
5.2. プロセッサコア	28
5.2.1. コアに関する情報	28
5.2.2. 構成可能なオプション	28
5.3. クロック制御と動作モード (CG)	29
5.4. フラッシュメモリ(128KB Code FLASH)	29
5.5. 発振器	29
5.6. トリミング回路 (TRM)	30
5.7. 周波数検知回路 (OFD)	30

5.8. 電圧検知回路 (LVD).....	30
5.9. デジタルノイズフィルタ回路 (DNF).....	31
5.10. デバッグインタフェース (DEBUG).....	31
5.11. 非同期シリアル通信回路 (UART).....	31
5.12. シリアルペリフェラルインタフェース (TSPI).....	32
5.13. 12 ビットアナログデジタルコンバータ (ADC).....	32
5.14. プログラマブルモータ制御回路プラス (PMD+).....	33
5.15. アドバンストエンコーダ入力回路(32bit) (A-ENC32).....	33
5.16. アドバンストベクトルエンジン (A-VE).....	33
5.17. 32 ビットタイマイイベントカウンタ (T32A).....	34
5.18. クロック選択式ウォッチドッグタイマ (SIWDT).....	34
5.19. CRC 計算回路 (CRC).....	35
5.20. RAM パリティ(RAMP).....	35
6. 等価回路図.....	36
6.1. ポート.....	36
6.2. アナログ関連端子.....	40
6.3. 制御端子.....	41
6.4. クロック制御.....	41
7. 電気的特性.....	42
7.1. 絶対最大定格.....	42
7.2. DC 電気的特性(1/2).....	43
7.3. DC 電気的特性 (2/2) (消費電流).....	47
7.4. 12 ビット AD コンバータ特性.....	49
7.5. リセット時内部処理特性.....	50
7.6. パワーオンリセット特性.....	50
7.7. 電圧検知回路特性.....	51
7.8. AC 電気的特性.....	52
7.8.1. シリアルペリフェラルインタフェース(TSPI).....	52
7.8.2. 32 ビットタイマイイベントカウンタ (T32A).....	57
7.8.3. 外部割り込み.....	58
7.8.4. デバッグ通信.....	59
7.8.5. ノイズフィルタ特性.....	61
7.8.6. 外部クロック入力.....	61
7.9. フラッシュ特性.....	62
7.9.1. コードフラッシュ特性.....	62
7.9.2. チップ消去特性.....	62
7.10. レギュレータ.....	62

7.11. 発振回路.....	63
7.11.1. 内蔵発振器.....	63
7.11.2. 外部発振器.....	63
7.11.3. 発振回路例.....	64
7.11.4. セラミック発振子.....	64
7.11.5. 水晶発振子.....	64
7.11.6. プリント基板の設計に関する注意.....	64
8. 外形寸法図.....	65
8.1. LQFP48-P-0707-0.50D.....	65
8.2. LQFP44-P-1010-0.80B.....	66
9. 使用上のご注意およびお願い事項.....	67
10. 改訂履歴.....	68
Appendix.....	69
全端子一覧表.....	69
品番付与情報.....	71
製品取り扱い上のお願ひ.....	72

Not Recommended
for New Design

図目次

図 1.1	TMPM4L グループ(1)のブロック図.....	11
図 3.1	TMPM4LxFW のメモリマップ例.....	14
図 4.1	電源間コンデンサの接続図.....	19
図 7.1	1 st クロックエッジサンプリング(マスタ).....	55
図 7.2	2 nd クロックエッジサンプリング(マスタ).....	55
図 7.3	2 nd クロックエッジサンプリング(スレーブ).....	56
図 7.4	カウントパルス入力.....	57
図 7.5	JTAG/SWD 波形.....	60
図 7.6	外部クロック入力波形.....	61
図 7.7	発振回路例.....	64

Not Recommended
for New Design

表目次

表 1	機能別製品一覧	2
表 3.1	メモリ容量とアドレス	15
表 4.1	周辺端子名称と機能	16
表 4.2	デバッグ端子名称と機能	17
表 4.3	制御端子名称と機能	18
表 4.4	電源端子名称と機能	18
表 4.5	信号接続一覧(1/4)	20
表 4.6	信号接続一覧(2/4)	21
表 4.7	信号接続一覧(3/4)	22
表 4.8	信号接続一覧(4/4)	23
表 4.9	ポート A,B,C,D,E,F,G のポート名、仕様	25
表 4.10	ポート H,J,K のポート名、仕様	26
表 5.1	TMPM4L グループ(1) リファレンスマニュアル一覧	27
表 5.2	コアリビジョン	28
表 5.3	構成可能なオプションと実装	28
表 5.4	搭載発振器	29
表 5.5	TRM 搭載一覧	30
表 5.6	OFD 搭載一覧	30
表 5.7	LVD 搭載一覧	30
表 5.8	外部割り込み数(DNF 搭載数)	31
表 5.9	デバッグインタフェース搭載一覧	31
表 5.10	UART 搭載一覧	31
表 5.11	TSPI 搭載一覧	32
表 5.12	ADC 搭載一覧	32
表 5.13	PMD+搭載一覧	33
表 5.14	A-ENC32 搭載一覧	33
表 5.15	A-VE 搭載一覧	33
表 5.16	T32A 搭載一覧	34
表 5.17	SIWDT 搭載一覧	34
表 5.18	CRC 搭載一覧	35
表 5.19	RAMP 搭載一覧	35
表 7.1	絶対最大定格	42
表 7.2	IDD 測定条件(端子設定、発振回路)	47
表 7.3	IDD 測定条件(CPU、周辺回路)	48
表 10.1	改訂履歴	68

序章

表記規約

- 数値表記は以下の規則に従います。
 - 16 進数表記: 0xABC
 - 10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
 - 2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は [m:n] とまとめて表記する場合があります。
例: S[3:0] は S3,S2,S1,S0 の 4 つの信号名をまとめて表記しています。
- 本文中 [] で囲まれたものはレジスタを定義しています。
例: [ABCD]
- 同種で複数のレジスタ、フィールド、ビット名は「n」で一括表記する場合があります。
例: [XYZ1], [XYZ2], [XYZ3] → [XYZn]
- 「レジスタ一覧」中のレジスタ名でユニットまたはチャンネルは「x」で一括表記しています。
ユニットの場合、「x」は A,B,C... を表します。
例: [ADACR0], [ADBCR0], [ADCCR0] → [ADxCR0]
チャンネルの場合、「x」は 0,1,2,... を表します。
例: [T32A0RUNA], [T32A1RUNA], [T32A2RUNA] → [T32AxRUNA]
- レジスタのビット範囲は [m:n] と表記します。
例: [3:0] はビット 3 から 0 の範囲を表します。
- レジスタの設定値は 16 進数または 2 進数のどちらかで表記されています。
例: [ABCD]<EFG> = 0x01 (16 進数)、 [XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
 - バイト: 8 ビット
 - ハーフワード: 16 ビット
 - ワード: 32 ビット
 - ダブルワード: 64 ビット
- レジスタ内の各ビットの属性は以下の表記を使用しています。
 - R: リードオンリー
 - W: ライトオンリー
 - R/W: リード / ライト
- 断りのない限り、レジスタアクセスはワードアクセスだけをサポートします。
本文中の予約領域「Reserved」として定義されたレジスタは書き換えを行わないでください。
また、読み出した値を使用しないでください。
- Default 値が「—」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスタに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- ライトオンリーのレジスタの Reserved ビットフィールドには Default 値を書き込んでください。
Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスタへのリードモディファイライト処理は行わないでください。

Arm, Cortex および Thumb は Arm Limited(またはその子会社)の US またはその他の国における登録商標です。 All rights reserved.



FLASH メモリについては、米国 SST 社(Silicon Storage Technology, Inc.)からライセンスを受けた Super Flash®技術を使用しています。Super Flash®は SST 社の登録商標です。

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

Not Recommended for New Design

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

ADC	Analog to Digital Converter
A-ENC32	Advanced Encoder Input Circuit (32-bit)
PMD+	Programmable Motor Control Circuit Plus
A-VE	Advanced Vector Engine
CRC	Cyclic Redundancy Check
DNF	Digital Noise Filter
EHOSC	External High speed Oscillator
IHOSC	Internal High speed Oscillator
INT	Interrupt
LVD	Voltage Detection Circuit
NMI	Non-Maskable Interrupt
OFD	Oscillation Frequency Detector
POR	Power On Reset Circuit
RAMP	RAM parity
SIWDT	Clock Selective Watchdog timer
TRGSEL	Trigger Selection circuit
TRM	Trimming circuit
TSPI	Toshiba Serial Peripheral Interface
T32A	32-bit Timer Event Counter
UART	Universal Asynchronous Receiver Transmitter

Not Recommended
for New Design

1. ブロック図

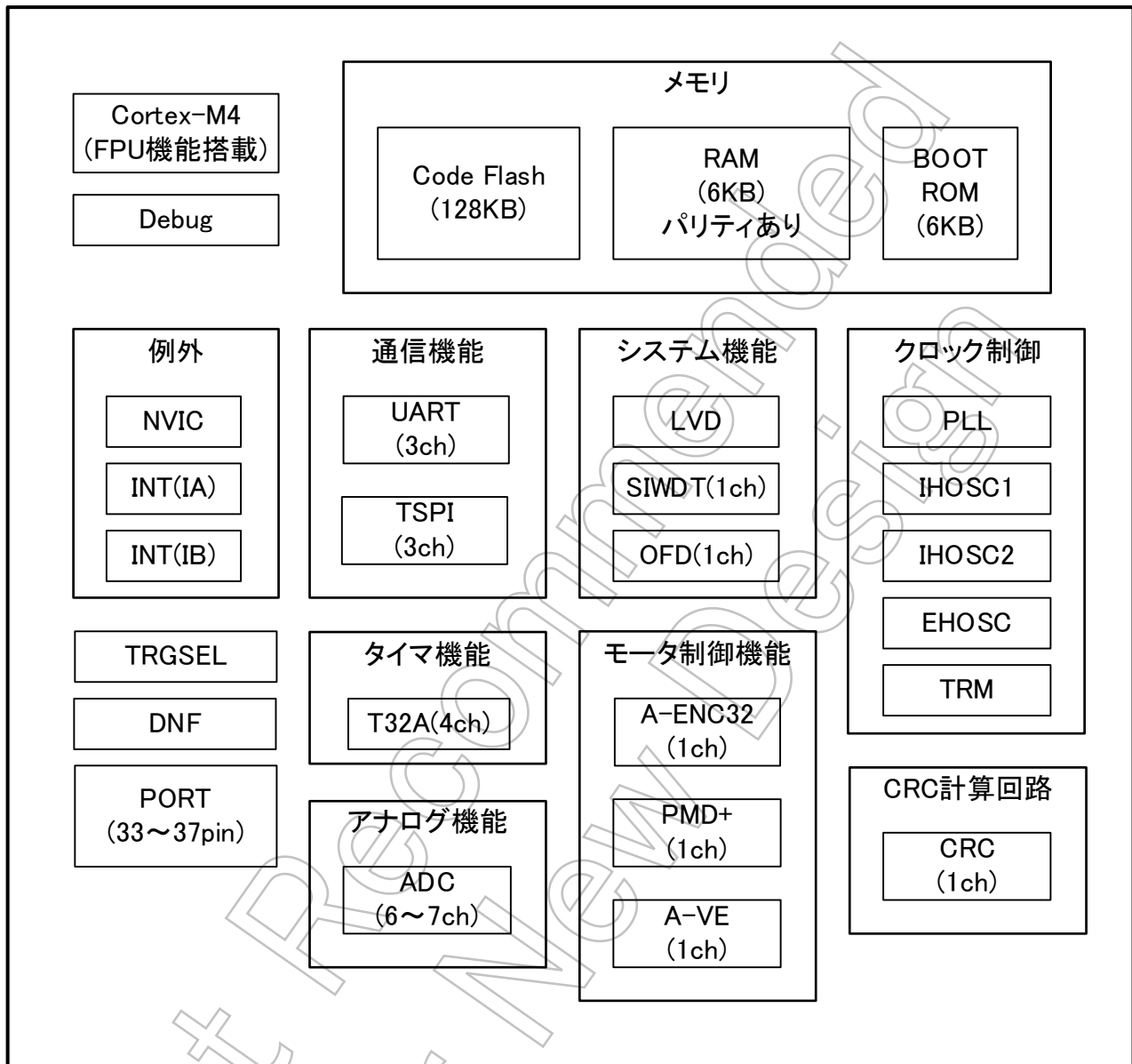
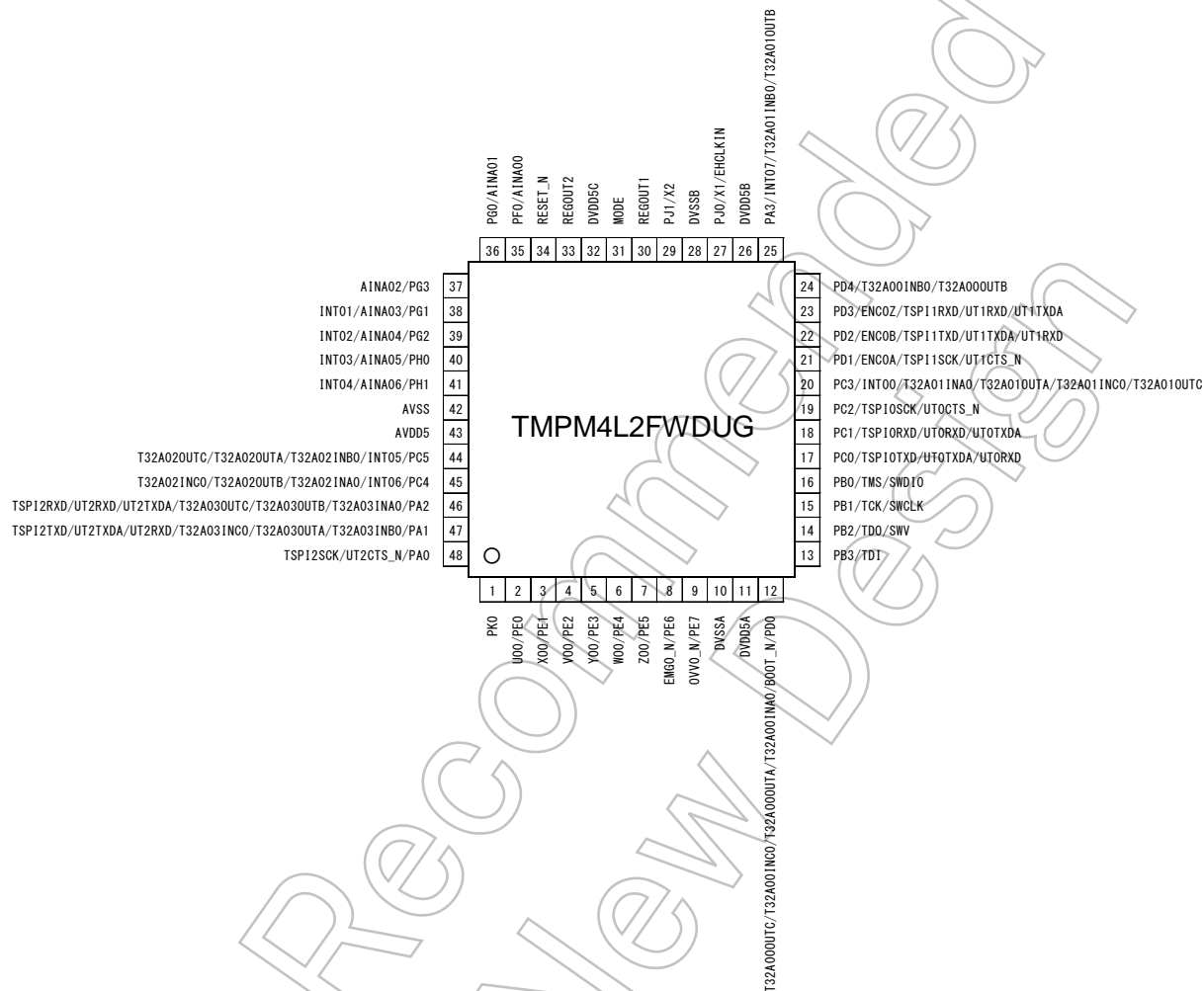


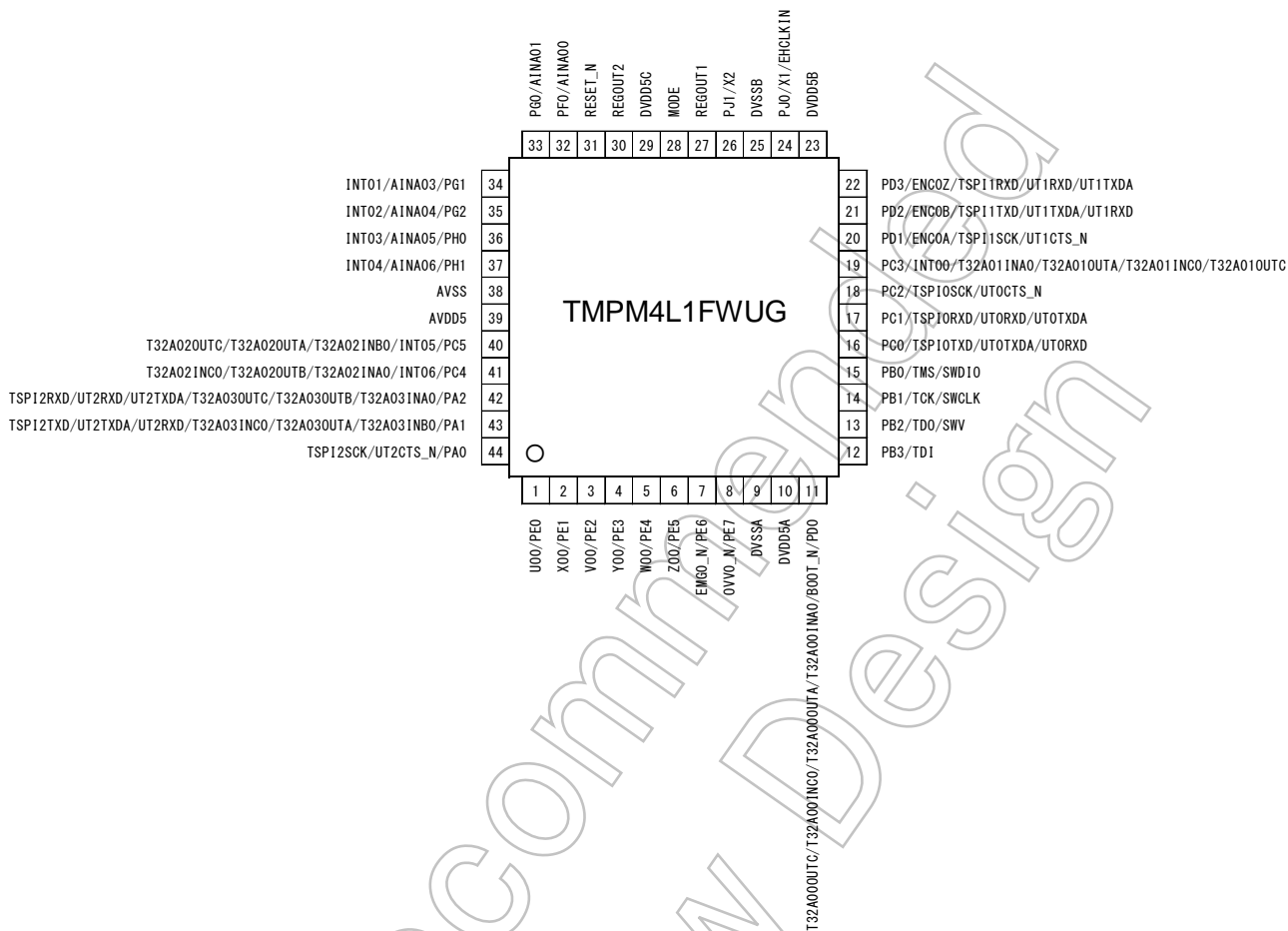
図 1.1 TMPM4Lグループ(1)のブロック図

2. 端子配置図

2.1. LQFP48



2.2. LQFP44



3. メモリマップ

0xFFFFFFFF	Vender-Specific
0xE0100000	CPU Register Region
0xE0000000	Fault
0x5E020000	Code Flash (Mirror)(128KB)
0x5E000000	Flash(SFR)
0x5DFF0000	Fault
0x43400000	Bit Band Alias (SFR)
0x427C0000	Fault
0x400A0000	SFR
0x4003E000	Fault
0x22030000	Bit Band Alias (RAM)
0x22000000	Fault
0x20001800	RAM(6KB)
0x20000000	Fault
0x00020000	Code Flash (128KB)
0x00000000	

図 3.1 TMPM4LxFWのメモリマップ例

注) Fault および Reserved: アクセスしないでください。

3.1. メモリ容量一覧

表 3.1 メモリ容量とアドレス

Products			TMPM4L2FWDUG TMPM4L1FWUG
Peripheral region	Code Flash (Mirror)	Size	128KB
		START	0x5E000000
		END	0x5E01FFFF
SRAM region	RAM	Size	6KB
		START	0x20000000
		END	0x200017FF
Code region	Code Flash	Size	128KB
		START	0x00000000
		END	0x0001FFFF

Not Recommended
for New Design

4. 端子説明

4.1. 機能端子名称と機能

4.1.1. 周辺機能端子

表 4.1 周辺端子名称と機能

周辺機能	端子名称	Input or Output	機能
割り込み制御 (IA/IB)	INTx	Input	外部割り込み入力端子 ノイズフィルタ(フィルタ幅 typ. 30ns)を内蔵しています。
32ビットタイマ イベントカウンタ (T32A)	T32AxINA0	Input	16ビットタイマ A インพุットキャプチャ入力端子 0
	T32AxOUTA	Output	16ビットタイマ A 出力端子
	T32AxINB0	Input	16ビットタイマ B インพุットキャプチャ入力端子 0
	T32AxOUTB	Output	16ビットタイマ B 出力端子
	T32AxINC0	Input	32ビットタイマ インพุットキャプチャ入力端子 0
	T32AxOUTC	Output	32ビットタイマ出力端子
シリアルペリフェラルインタ フェース (TSPI)	TSPIxRXD	Input	データ入力端子
	TSPIxTXD	Output	データ出力端子
	TSPIxSCK	I/O	クロック入出力端子
非同期シリアル 通信回路 (UART)	UTxRXD	Input	データ入力端子
	UTxTXDA	Output	データ出力端子 A
	UTxCTS_N	Input	送信可能入力端子
プログラマブル モータ制御回路プラス (PMD+)	EMGx_N	Input	異常検出入力端子
	OVVx_N	Input	過電圧検出入力端子
	UOx	Output	U 相出力端子
	VOx	Output	V 相出力端子
	WOx	Output	W 相出力端子
	XOx	Output	X 相出力端子
	YOx	Output	Y 相出力端子
	ZOx	Output	Z 相出力端子
アドバンスド エンコーダ入力回路(32bit) (A-ENC32)	ENCxA	Input	エンコーダ入力端子 A
	ENCxB	Input	エンコーダ入力端子 B
	ENCxZ	Input	エンコーダ入力端子 Z
アナログデジタルコンバータ (ADC)	AINAx	Input	アナログ入力端子

注) 端子名称の"x"にはチャンネル番号、ユニット番号、割り込み番号が入ります。

4.1.2. デバッグ端子

表 4.2 デバッグ端子名称と機能

デバッグポート	デバッグ端子名称	Input or Output	機能
JTAG	TMS	Input	JTAG テストモード選択入力端子
	TCK	Input	JTAG シリアルクロック入力端子
	TDO	Output	JTAG シリアルデータ出力端子
	TDI	Input	JTAG シリアルデータ入力端子
SW	SWDIO	I/O	シリアルワイヤデータ入出力端子
	SWCLK	Input	シリアルワイヤクロック入力端子
	SWV	Output	シリアルワイヤビューワ出力端子

Not Recommended for New Design

4.1.3. 制御端子

表 4.3 制御端子名称と機能

	端子名	Input or Output	機能
制御端子	X1	Input	高速発振子接続端子
	X2	Output	高速発振子接続端子
	EHCLKIN	Input	外部クロック入力端子
	BOOT_N	Input	BOOT モード制御用端子 RESET_N 端子入力の立ち上がりで BOOT モード制御用端子がサンプリングされます。内部リセット要因ではサンプリングされません。 BOOT モード制御用端子のレベルが"Low"の場合、シングルブートモードになります。"High"の場合、シングルチップモードになります。 シングルブートモードの詳細については、リファレンスマニュアル「フラッシュメモリ」を参照してください。
	RESET_N	Input	リセット信号入力端子
	MODE	Input	モード端子 必ず"Low"レベルに固定してください。

4.1.4. 電源端子

表 4.4 電源端子名称と機能

	端子名	機能
電源	DVDD5A (注 1) DVDD5B (注 1) DVDD5C (注 1)	デジタル用電源端子 DVDD5A/B/C は下記の端子に電源を供給しています。 PA0~PA3, PB0~PB3, PC0~PC5, PD0~PD4, PE0~PE7, PJ0,PJ1, PK0, MODE, RESET_N 発振回路には、内蔵レギュレータを経由して端子に電源を供給しています。 X1, X2
	DVSSA (注 2) DVSSB (注 2)	デジタル用 GND 端子
	REGOUT1 (注 3)	レギュレータ用コンデンサ接続端子(注 4)
	REGOUT2 (注 3)	レギュレータ用コンデンサ接続端子(注 4)
	AVDD5	アナログ用電源端子、アナログ基準電源端子(VREFH)と兼用です AVDD5 は下記の端子に電源を供給しています。 PF0, PG0~PG3, PH0, PH1
	AVSS	アナログ用 GND 端子、アナログ基準 GND 端子(VREFL)と兼用です。

注 1) DVDD5A,DVDD5B,DVDD5C は、同電位の電圧を印加してください。

注 2) DVSSA,DVSSB,AVSS は、同電位の電圧を印加してください。

注 3) REGOUT1,REGOUT2 は、DVDD5A,DVDD5B,DVDD5C や DVSSA,DVSSB,AVSS とショートしないでください。

注 4) コンデンサ容量は電气的特性を参照してください。

4.1.5. 電源間コンデンサ

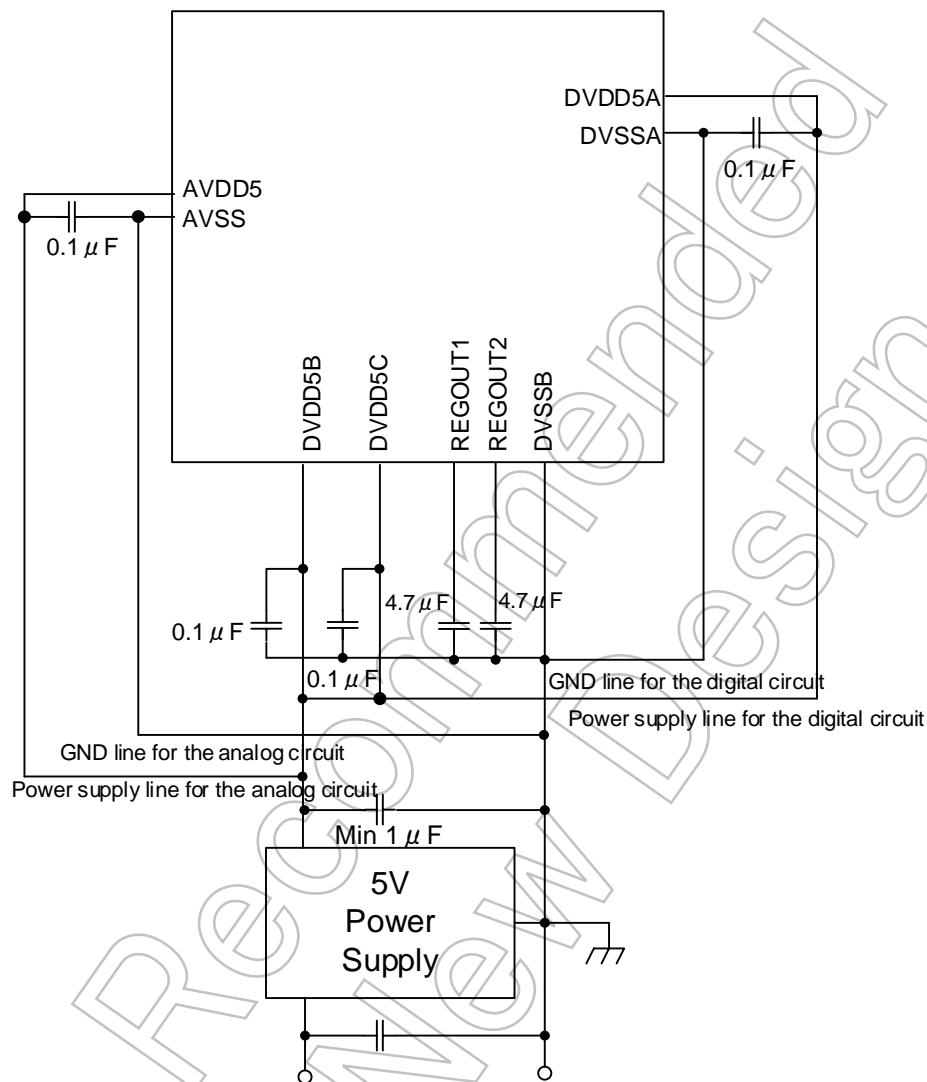


図 4.1 電源間コンデンサの接続図

- 注 1) DVDD5, DVSS からできるだけ短い距離に電源の出力コンデンサ (1 μ F 以上)を配置してください
- 注 2) DVDD5, DVSS と電源の出力コンデンサ(1 μ F 以上)の間において、このコンデンサの近傍で、5V 電源ラインをアナログ電源ラインとデジタル電源ラインに分離してください。分離までの距離が長くなると、共通インピーダンスのためデジタル電源変動がアナログ電源に伝わり、アナログ回路のノイズになります。
- 注 3) 電源ラインと GND ラインを近づけて配線してください。離れていると電源回路のコンデンサを介して電源ラインと GND ラインで電源ループできてしまい高周波ノイズを受けるアンテナになります
- 注 4) 内蔵電源 REGOUT1 と REGOUT2 のレギュレータ用のコンデンサは、同じ容量とし、DVSS 近傍で配置してください。
- 注 5) 電源の出力コンデンサ(1 μ F 以上)とレギュレータ用のコンデンサ(4.7 μ F)は積層セラミックコンデンサを使用してください。

4.2. 機能端子とポート割り当て(端子番号)

機能端子から見たポート割り当てと各製品の端子番号です。
表中の"-"の部分は、「端子がありません」または「機能の割り当てがありません」。

表 4.5 信号接続一覧(1/4)

機能	兼用機能端子名	ポート名	M4L2 (LQFP48)	M4L1 (LQFP44)
UART ch 0	UT0RXD	PC0	17	16
		PC1	18	17
	UT0TXDA	PC0	17	16
		PC1	18	17
UT0CTS_N	PC2	19	18	
UART ch 1	UT1RXD	PD2	22	21
		PD3	23	22
	UT1TXDA	PD2	22	21
		PD3	23	22
UT1CTS_N	PD1	21	20	
UART ch 2	UT2RXD	PA1	47	43
		PA2	46	42
	UT2TXDA	PA1	47	43
		PA2	46	42
UT2CTS_N	PA0	48	44	
TSPI ch 0	TSPI0RXD	PC1	18	17
	TSPI0TXD	PC0	17	16
	TSPI0SCK	PC2	19	18
TSPI ch 1	TSPI1RXD	PD3	23	22
	TSPI1TXD	PD2	22	21
	TSPI1SCK	PD1	21	20
TSPI ch 2	TSPI2RXD	PA2	46	42
	TSPI2TXD	PA1	47	43
	TSPI2SCK	PA0	48	44

表 4.6 信号接続一覧(2/4)

機能	兼用機能端子名	ポート名	M4L2 (LQFP48)	M4L1 (LQFP44)
T32A ch 0	T32A00INA0	PD0	12	11
	T32A00OUTA	PD0	12	11
	T32A00INB0	PD4	24	-
	T32A00OUTB	PD4	24	-
	T32A00INC0	PD0	12	11
	T32A00OUTC	PD0	12	11
T32A ch 1	T32A01INA0	PC3	20	19
	T32A01OUTA	PC3	20	19
	T32A01INB0	PA3	25	-
	T32A01OUTB	PA3	25	-
	T32A01INC0	PC3	20	19
	T32A01OUTC	PC3	20	19
T32A ch 2	T32A02INA0	PC4	45	41
	T32A02OUTA	PC5	44	40
	T32A02INB0	PC5	44	40
	T32A02OUTB	PC4	45	41
	T32A02INC0	PC4	45	41
	T32A02OUTC	PC5	44	40
T32A ch 3	T32A03INA0	PA2	46	42
	T32A03OUTA	PA1	47	43
	T32A03INB0	PA1	47	43
	T32A03OUTB	PA2	46	42
	T32A03INC0	PA1	47	43
	T32A03OUTC	PA2	46	42

表 4.7 信号接続一覧(3/4)

機能	兼用機能端子名	ポート名	M4L2 (LQFP48)	M4L1 (LQFP44)
12-bit ADC unit A	AINA00	PF0	35	32
	AINA01	PG0	36	33
	AINA02	PG3	37	-
	AINA03	PG1	38	34
	AINA04	PG2	39	35
	AINA05	PH0	40	36
	AINA06	PH1	41	37
INT	INT00	PC3	20	19
	INT01	PG1	38	34
	INT02	PG2	39	35
	INT03	PH0	40	36
	INT04	PH1	41	37
	INT05	PC5	44	40
	INT06	PC4	45	41
	INT07	PA3	25	-
PMD+ ch 0	EMG0_N	PE6	8	7
	OVV0_N	PE7	9	8
	U00	PE0	2	1
	VO0	PE2	4	3
	WO0	PE4	6	5
	XO0	PE1	3	2
	YO0	PE3	5	4
	ZO0	PE5	7	6
A-ENC32 ch 0	ENC0A	PD1	21	20
	ENC0B	PD2	22	21
	ENC0Z	PD3	23	22

表 4.8 信号接続一覧(4/4)

機能	兼用機能端子名	ポート名	M4L2 (LQFP48)	M4L1 (LQFP44)
JTAG/SW	TMS	PB0	16	15
	TCK	PB1	15	14
	TDO	PB2	14	13
	TDI	PB3	13	12
	SWDIO	PB0	16	15
	SWCLK	PB1	15	14
	SWV	PB2	14	13
制御端子	X1	PJ0	27	24
	X2	PJ1	29	26
	EHCLKIN	PJ0	27	24
	BOOT_N	PD0	12	11
	RESET_N		34	31
	MODE		31	28
電源端子	AVDD5		43	39
	AVSS		42	38
	DVDD5A		11	10
	DVDD5B		26	23
	DVDD5C		32	29
	DVSSA		10	9
	DVSSB		28	25
	REGOUT1		30	27
	REGOUT2		33	30

4.3. ポート

表中の記号の意味は下記のとおりです。

- **Input/Output:** ポートの入出力
Input: 入力
Output: 出力
I/O: 入出力
- **PU/PD:** プログラマブル プルアップ/プルダウン対応
PU: プログラマブル プルアップ選択可能
PD: プログラマブル プルダウン選択可能
- **OD:** プログラマブル オープンドレイン出力対応
YES: 対応
NO: 非対応
- **SMT/CMOS:**入力ゲート
SMT: シュミット入力
CMOS: CMOS 入力
- **リセット中の状態:** リセット期間中の端子状態です
Hi-z: ハイインピーダンス
PU: プルアップ
PD: プルダウン
- **リセット後の状態:** リセット解除直後の端子状態です
Hi-z: ハイインピーダンス
PU: プルアップ
PD: プルダウン

4.3.1. ポート仕様一覧

表 4.9 ポートA,B,C,D,E,F,Gのポート名、仕様

ポート名	Input/Output	PU/PD	OD	SMT/ CMOS	リセット中 の状態	リセット後 の状態
PA0	Input/Output	PU/PD	YES	SMT	Hi-z	Hi-z
PA1	Input/Output	PU/PD	YES	SMT	Hi-z	Hi-z
PA2	Input/Output	PU/PD	YES	SMT	Hi-z	Hi-z
PA3	Input/Output	PU/PD	YES	SMT	Hi-z	Hi-z
PB0	Input/Output	PU/PD	YES	SMT	PU(注 2)	PU(注 2)
PB1	Input/Output	PU/PD	YES	SMT	PD(注 2)	PD(注 2)
PB2	Input/Output	PU/PD	YES	SMT	Hi-z(注 2)	Hi-z(注 2)
PB3	Input/Output	PU/PD	YES	SMT	PU(注 2)	PU(注 2)
PC0	Input/Output	PU/PD	YES	SMT	Hi-z	Hi-z
PC1	Input/Output	PU/PD	YES	SMT	Hi-z	Hi-z
PC2	Input/Output	PU/PD	YES	SMT	Hi-z	Hi-z
PC3	Input/Output	PU/PD	YES	SMT	Hi-z	Hi-z
PC4	Input/Output	PU/PD	YES	SMT	Hi-z	Hi-z
PC5	Input/Output	PU/PD	YES	SMT	Hi-z	Hi-z
PD0	Input/Output	PU/PD (注 1)	YES	SMT	Hi-z (注 1)	Hi-z
PD1	Input/Output	PU/PD	YES	SMT	Hi-z	Hi-z
PD2	Input/Output	PU/PD	YES	SMT	Hi-z	Hi-z
PD3	Input/Output	PU/PD	YES	SMT	Hi-z	Hi-z
PD4	Input/Output	PU/PD	YES	SMT	Hi-z	Hi-z
PE0	Input/Output	PU/PD	YES	SMT	Hi-z	Hi-z
PE1	Input/Output	PU/PD	YES	SMT	Hi-z	Hi-z
PE2	Input/Output	PU/PD	YES	SMT	Hi-z	Hi-z
PE3	Input/Output	PU/PD	YES	SMT	Hi-z	Hi-z
PE4	Input/Output	PU/PD	YES	SMT	Hi-z	Hi-z
PE5	Input/Output	PU/PD	YES	SMT	Hi-z	Hi-z
PE6	Input/Output	PU/PD	YES	SMT	Hi-z	Hi-z
PE7	Input/Output	PU/PD	YES	SMT	Hi-z	Hi-z
PF0	Input/Output	PU/PD	YES	SMT	Hi-z	Hi-z
PG0	Input/Output	PU/PD	YES	SMT	Hi-z	Hi-z
PG1	Input/Output	PU/PD	YES	SMT	Hi-z	Hi-z
PG2	Input/Output	PU/PD	YES	SMT	Hi-z	Hi-z
PG3	Input/Output	PU/PD	YES	SMT	Hi-z	Hi-z

注 1)BOOT_N 端子と兼用です。RESET_N 端子=0 の時プルアップ(PU)となります。
RESET_N 端子=1 の時に内部リセットがかかった場合は Hi-z です。

注 2) 初期値はデバッグ用端子に割り当てられています(PB3:TDI、PB2:TDO/SWV、
PB0:TMS/SWDIO、PB1:TCK/SWCLK)。PB2:TDO/SWV はツールからのコマンドを受
け付けるまでは出力にはなりません。

表 4.10 ポートH,J,Kのポート名、仕様

ポート名	Input/Output	PU/PD	OD	SMT/ CMOS	リセット中 の状態	リセット後 の状態
PH0	Input/Output	PU/PD	YES	SMT	Hi-z	Hi-z
PH1	Input/Output	PU/PD	YES	SMT	Hi-z	Hi-z
PJ0	Input	PD	N/A	SMT	Hi-z	Hi-z
PJ1	Input	PD	N/A	SMT	Hi-z	Hi-z
PK0	Input/Output	PU/PD	YES	SMT	Hi-z	Hi-z

Not Recommended
for New Design

5. 機能説明・動作説明

5.1. リファレンスマニュアル

TMPM4L グループ(1)製品の搭載機能詳細は下表のリファレンスマニュアルを参照してください。

表 5.1 TMPM4Lグループ(1) リファレンスマニュアル一覧

リファレンスマニュアル	IP 記号	分類
入出力ポート (TMPM4L グループ(1))	PORT-M4L(1)	システム
メモリマップ (TMPM4L グループ(1))	MMAP-M4L(1)	システム
例外 (TMPM4L グループ(1))	EXCEPT-M4L(1)	システム
クロック制御と動作モード (TMPM4L グループ(1))	CG-M4L(1)-A	システム
製品個別情報 (TMPM4L グループ(1))	PINFO-M4L(1)	システム
電源とリセット動作 (TMPM4L グループ(1))	RESET-M4L(1)	システム
フラッシュメモリ	FLASH256-B	周辺機能
トリミング回路	TRM-A	周辺機能
周波数検知回路	OFD-A	周辺機能
電圧検知回路	LVD-B	周辺機能
デジタルノイズフィルタ回路	DNF-A	周辺機能
デバッグインタフェース	DEBUG-A	周辺機能
非同期シリアル通信回路	UART-D	周辺機能
シリアルペリフェラルインタフェース	TSPI-C	周辺機能
12ビットアナログデジタルコンバータ	ADC-D	周辺機能
プログラマブルモータ制御回路プラス	PMD+-B	周辺機能
アドバンスドエンコーダ入力回路(32-bit)	A-ENC32-A	周辺機能
アドバンスドベクトルエンジン	A-VE-A	周辺機能
32ビットタイマイイベントカウンタ	T32A-B	周辺機能
クロック選択式ウォッチドックタイマ	SIWDT-A	周辺機能
CRC 計算回路	CRC-A	周辺機能
RAM パリティ	RAMP-B	周辺機能

5.2. プロセッサコア

TMPM4L グループ(1)には、高性能 32 ビットプロセッサコア(Arm 社 Cortex-M4(FPU 機能搭載) コア)が内蔵されています。

プロセッサコアの動作については、Arm 社からリリースされる"Cortex-M シリーズプロセッサの Arm ドキュメンテーションセット"を参照してください。この章では、製品固有の情報について説明します。

5.2.1. コアに関する情報

TMPM4L グループ(1)で使用している Cortex-M4(FPU 機能搭載) コアのリビジョンは以下のとおりです。

CPU コア部、アーキテクチャなどの詳細は、Arm 社の下記 URL よりドキュメントを参照してください。

<http://infocenter.arm.com/help/index.jsp>

表 5.2 コアリビジョン

グループ名	コアリビジョン
TMPM4L グループ(1)	r0p1

5.2.2. 構成可能なオプション

Cortex-M4(FPU 機能搭載) コアは、一部のブロックについて実装するかどうかを選択することができます。

TMPM4L グループ(1)での構成は以下のとおりです。

表 5.3 構成可能なオプションと実装

構成可能なオプション	実装
FWB	リテラルコンパレータ: 2 本 命令コンパレータ: 6 本
DWT	コンパレータ: 4 本
ITM	あり
MPU	あり
ETM	なし
AHB-AP	あり
AHBトレースマクロ セルインタフェース	なし
TPIU	あり
WIC	なし
デバッグポート	JTAG/シリアルワイヤ
ビットバンド	あり
AHB の継続的な制御	なし

5.3. クロック制御と動作モード (CG)

CGは、クロックギアやプリスケールクロックの選択、発振器のウォーミングアップなどを設定する機能です。

動作モードとして NORMAL モードと低消費電力モードがあり、使用方法に応じてモード遷移を行うことで消費電力を抑えることができます。

クロック制御回路の概要は、下記のとおりです。

- 内部高速発振器: 10MHz
- 外部高速発振器と内部高速発振器が選択可能
- PLL(逡倍回路):
システムクロック用は高速発振器の周波数に合わせて倍率を変更して 80MHz 出力可能
- クロックギア:
高速クロックを 1/1、1/2、1/4、1/8、1/16 分周し、システムクロック (fsys)として選択可能。
- 低消費電力モード:
IDLE: CPU が停止します。周辺機能は動作可能です。
STOP1: システムクロックが停止します。

5.4. フラッシュメモリ(128KB Code FLASH)

コードフラッシュは命令コードを格納し、CPU がリードして実行します。

また、ブロック単位で書き込み/消去を禁止するプロテクト機能、第3者によるプログラムコードの読み出しを禁止するセキュリティ機能などを搭載しています。

5.5. 発振器

外部高速発振器(EHOSC): 外部にクリスタル発振子またはセラミック発振子を接続して、システムクロックの源発振に使用します。

内蔵高速発振器 1(IHOSC1): 10MHz の発振器です。システムクロックの源発振に使用します。

内蔵高速発振器 2(IHOSC2): 10MHz の発振器です。OFD、SIWDT の基準クロックの源発振に使用します。

表 5.4 搭載発振器

	M4L2	M4L1
EHOSC	○	○
IHOSC1	○	○
IHOSC2	○	○

注) ○: 搭載、—: 非搭載

5.6. トリミング回路 (TRM)

内蔵高速発振器 1(IHOSC1)の発振周波数を調整する回路です。

表 5.5 TRM搭載一覧

	M4L2	M4L1
TRM	○	○

注) ○: 搭載、-: 非搭載

5.7. 周波数検知回路 (OFD)

周波数検知回路(OFD)はクロックの異常を検知します。計測対象として外部高速クロック(f_{EHOSC})または高速クロック(f_c)のどちらかを選択できます。内蔵の基準クロック(f_{IHOSC2})を用いて、選択したクロックを計測し、設定範囲から外れると内部リセット信号を発生します。

検出範囲として、検出する周波数の上限と下限を個別に設定することができます。

表 5.6 OFD搭載一覧

	M4L2	M4L1
OFD	○	○

注) ○: 搭載、-: 非搭載

5.8. 電圧検知回路 (LVD)

電圧検知回路(LVD)は、電源電圧があらかじめ設定した電圧を下回るあるいは上回ったことを検知すると、割り込み要求または内部リセット信号を発生します。

設定電圧は 8 種類から選択することができます。電源投入時、リセット時からイネーブルです。

表 5.7 LVD搭載一覧

	M4L2	M4L1
LVD	○	○

注) ○: 搭載、-: 非搭載

5.9. デジタルノイズフィルタ回路 (DNF)

DNFは外部割り込み入力に搭載したデジタルノイズフィルタ回路です。外部割り込み信号INTxの高レベル/低レベル入力ともにノイズを除去します。

表 5.8 外部割り込み数(DNF搭載数)

	M4L2	M4L1
外部割り込み数	8	7

5.10. デバッグインタフェース (DEBUG)

デバッグツールと接続するためのデバッグインタフェースとして、シリアルワイヤデバッグポート(SWCLK,SWDIO)と、JTAG デバッグポート(TDI,TDO,TMS,TCK)の 2 種類があります。これらの端子をデバッグツールと接続してプログラム開発を行います。

TMPM4L グループ(1)製品は、シリアルワイヤデバッグポート、JTAG デバッグポートをサポートしています。

表 5.9 デバッグインタフェース搭載一覧

端子名	ポート	M4L2	M4L1
TMS/SWDIO	PB0	○	○
TCK/SWCLK	PB1	○	○
TDO/SWV	PB2	○	○
TDI	PB3	○	○

注) ○: 搭載、—: 非搭載

5.11. 非同期シリアル通信回路 (UART)

UARTは、非同期シリアル通信機能です。7,8,9ビットのデータ長,パリティ有無,STOPビット長を選択できます。MSBファースト/LSBファーストの選択、データ極性の反転の他にポート設定でTXD/RXDの端子入れ替えができます。FIFO バッファは、送信で8段、受信で8段を内蔵しています。

表 5.10 UART搭載一覧

UART	M4L2	M4L1
Channel 0	○	○
Channel 1	○	○
Channel 2	○	○

注) ○: 搭載、—: 非搭載

5.12. シリアルペリフェラルインタフェース (TSPI)

TSPI は、CS 信号を使用しない SIO 方式で、他のデバイスと高速なシリアル通信が可能な通信機能です。

データ長は、7ビット(パリティあり)から32ビット(パリティなし)まで1ビット単位で変更可能です。受信、送信ともに16ビットのFIFOが8段あります。マスタ、スレーブに対応します。

表 5.11 TSPI搭載一覧

TSPI(SIO)	M4L2	M4L1
Channel 0	○	○
Channel 1	○	○
Channel 2	○	○

注) ○: 搭載、-: 非搭載

5.13. 12ビットアナログデジタルコンバータ (ADC)

ADC は、12ビット逐次変換方式のアナログデジタルコンバータ(ADコンバータ)です。最大7チャンネルのアナログ入力に対応します。変換結果レジスタとアナログ入力の組み合わせは、AD変換の開始要因ごとにプログラム可能です。アナログデジタル変換の起動要因は、ソフトウェアまたは周辺機能(PMDのトリガ出力、タイマイベントカウンタ出力)から選択できます。

また、変換結果監視機能があり、比較条件と一致した場合に割り込み要求を発生させることができます。

VREFH/VREFL およびリファレンス電源と接続するセクタを内蔵しており、ソフトウェアで制御することで自己診断機能をサポートします。

表 5.12 ADC搭載一覧

ADC	M4L2	M4L1
Unit A	○	○
AIN 数	7	6

注 1) ○: 搭載、-: 非搭載

注 2) 外部端子は製品によって異なります。

「2 端子配置図」を参照してください。

5.14. プログラマブルモータ制御回路プラス (PMD+)

プログラマブルモータ制御回路プラス(PMD+)は、ブラシレス DC モータを容易に制御することができます。パルス幅変調回路、デッドタイム回路を持ち、3 相相補 PWM 出力や ADC と連携してモータ制御用の波形を容易に発生できます。

また、過電圧検出入力や異常検出入力をもっており、緊急時の安全対策も実現できます。

表 5.13 PMD+搭載一覧

A-PMD	M4L2	M4L1
Channel 0	○	○

注) ○: 搭載、-: 非搭載

5.15. アドバンストエンコーダ入力回路(32bit) (A-ENC32)

アドバンストエンコーダ入力回路(32bit)(A-ENC32)は、インクリメンタル型エンコーダに対応し、モータの位置を容易に得ることができます。信号の入力端子にノイズキャンセラが内蔵されているため、インクリメンタルエンコーダ、ホールセンサの信号を直接入力することができます。

エンコーダモード、センサモード(3種類)、タイマモードおよび位相カウンタモードの6つの動作モードに対応しています。

表 5.14 A-ENC32搭載一覧

A-ENC	M4L2	M4L1
Channel 0	○	○

注) ○: 搭載、-: 非搭載

5.16. アドバンストベクトルエンジン (A-VE)

アドバンストベクトルエンジンはベクトル演算処理をハードウェアで行います。この時、ソフトウェアの介在無しで ADC と PMD+ と連携動作をします。

表 5.15 A-VE搭載一覧

A-VE	M4L2	M4L1
Channel 0	○	○

注) ○: 搭載、-: 非搭載

5.17. 32 ビットタイマイイベントカウンタ (T32A)

T32A は、32 ビットタイマまたは、2 本の 16 ビットタイマとして動作するタイマイイベントカウンタです。32 ビットタイマか 16 ビットタイマかどちらで動作するか選択が可能です。32 ビットタイマの場合、32 ビットカウンタのタイマ C として動作します。16 ビットタイマの場合、16 ビットカウンタのタイマ A とタイマ B の構成で動作します。

インタバルタイマ、イベントカウント、入力キャプチャ、PPG 出力、同期スタート、トリガスタート/ストップなど多彩な機能を内蔵しています。

表 5.16 T32A搭載一覧

T32A	M4L2	M4L1
Channel 0	○	○
Channel 1	○	○
Channel 2	○	○
Channel 3	○	○

注 1) ○: 搭載、—: 非搭載

注 2) 外部端子は製品によって異なります。
「2.端子配置図」を参照してください。

5.18. クロック選択式ウォッチドッグタイマ (SIWDT)

クロック選択式ウォッチドッグタイマ(SIWDT)は、ノイズなどの原因により CPU が誤動作(暴走)した結果あらかじめ設定した検出時間以内にカウンタをクリアできなかった場合、カウンタのオーバフローを検出して割り込み要求を発生またはリセットを発生する周辺機能です。

カウントクロックとして、システムクロック($f_{sys}/4$)の他に内蔵発振器 1(f_{IHOSC1})、内蔵発振器 2(f_{IHOSC2})の 3 つから選択が可能です。

指定された期間のみカウントクリアが可能な、カウントクリアウィンドウ機能があります。

また、プロテクトモードに設定することでリセットがかかるまでレジスタの変更を禁止することができます(カウンタクリアは可能)。

表 5.17 SIWDT搭載一覧

	M4L2	M4L1
SIWDT	○	○

注) ○: 搭載、—: 非搭載

5.19. CRC 計算回路 (CRC)

CRC32 および CRC16 のハードウェア計算回路を内蔵しています。メモリや通信データを処理してエラーを検出することに使用できます。

表 5.18 CRC搭載一覧

	M4L2	M4L1
CRC	○	○

注) ○: 搭載、-: 非搭載

5.20. RAM パリティ(RAMP)

RAM へのライト時に偶数パリティデータを生成(8 ビットデータごとに計算)して格納し、リード時にはパリティ判定を行います。判定でエラーとなった場合は割り込みを発生します。また、エラーが発生したステータスとアドレスが分かります。

パリティ生成/判定はハードウェアなので、リアルタイムでパリティエラーを検出することができます。

表 5.19 RAMP搭載一覧

	M4L2	M4L1
RAMP	○	○

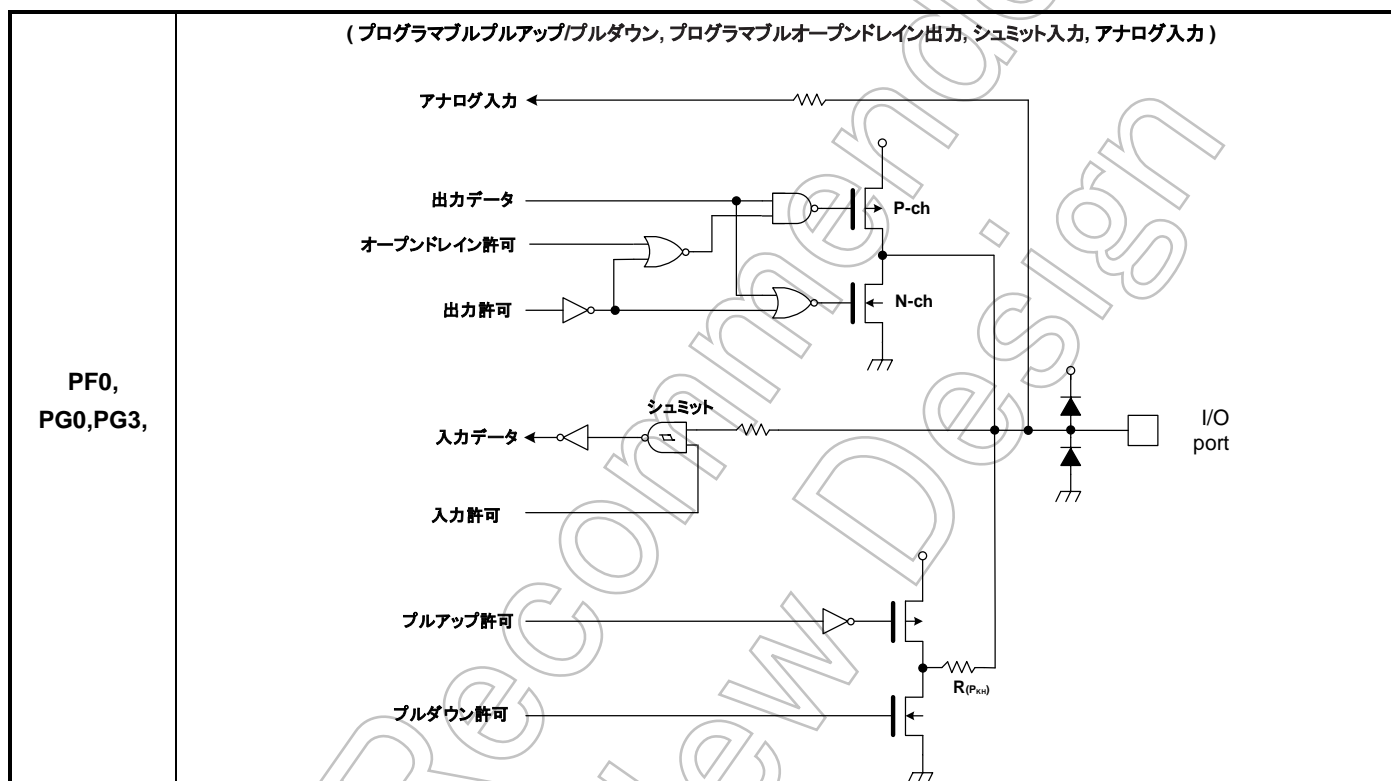
注) ○: 搭載、-: 非搭載

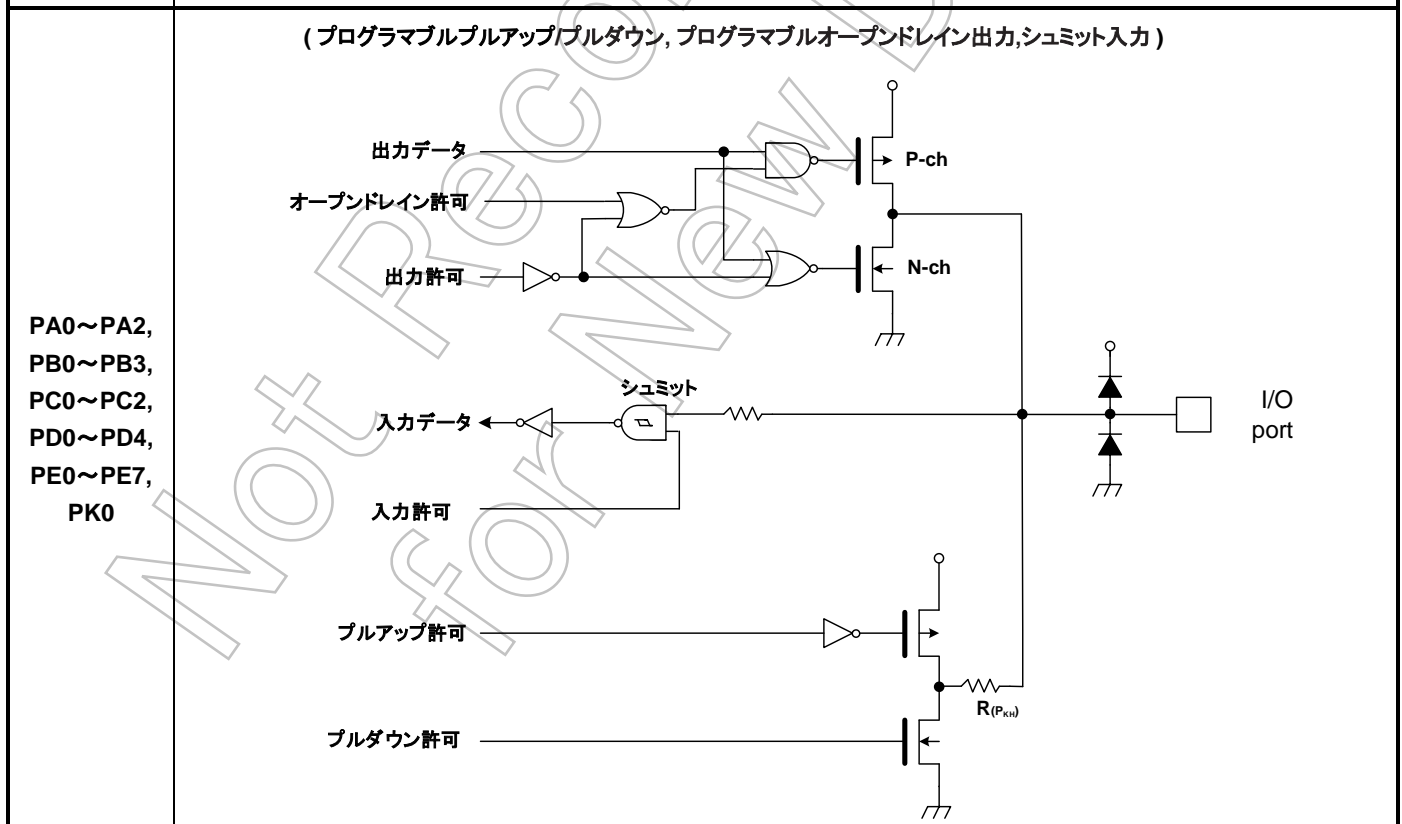
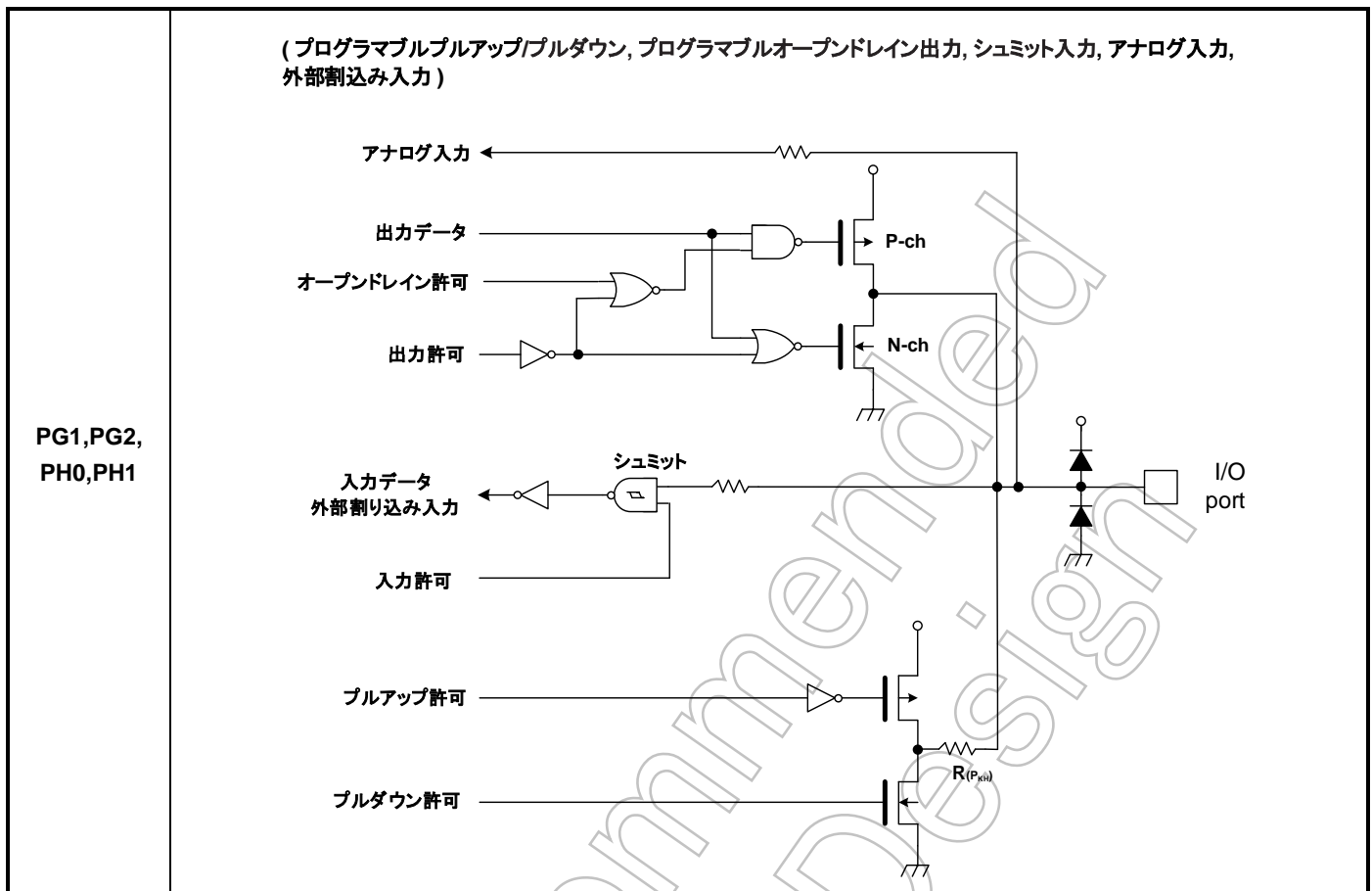
6. 等価回路図

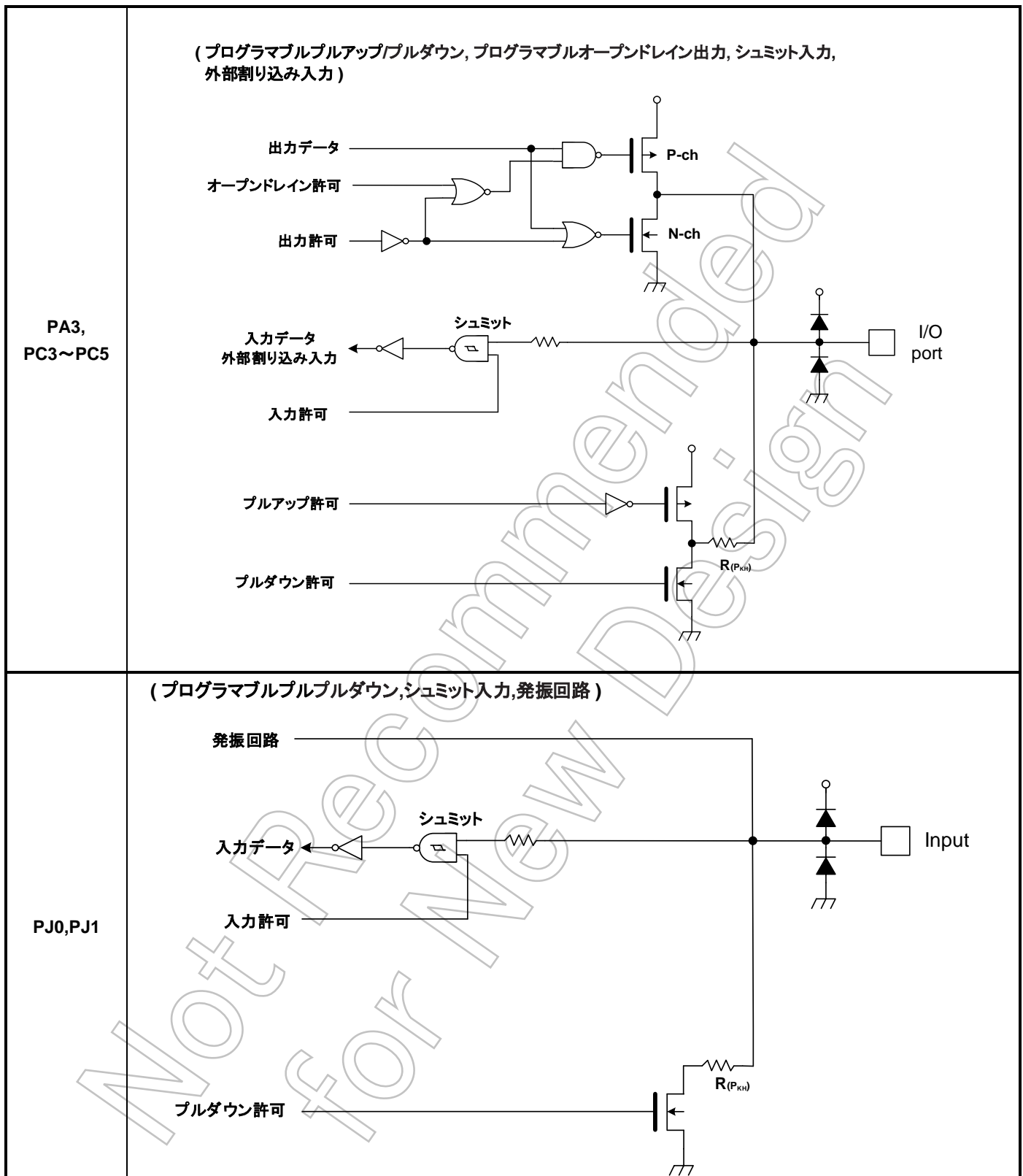
ポート等価回路図は、基本的に標準 CMOS ロジック IC 「74HCxx」 シリーズと同じゲート記号を使って書かれています。入力保護抵抗は、数十 Ω ~ 数百 Ω 程度です。

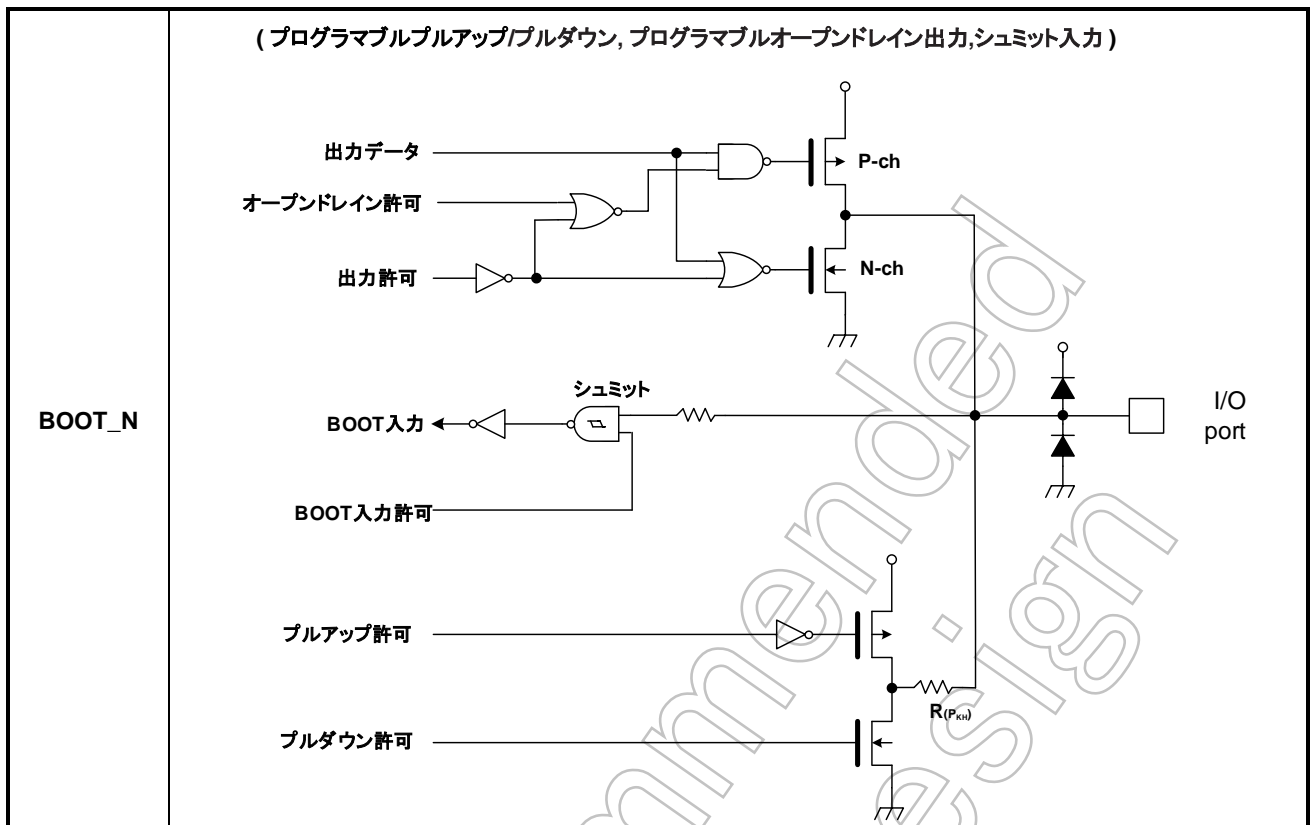
注) 図中の数値の記載のない抵抗は、入力保護抵抗を示します。

6.1. ポート



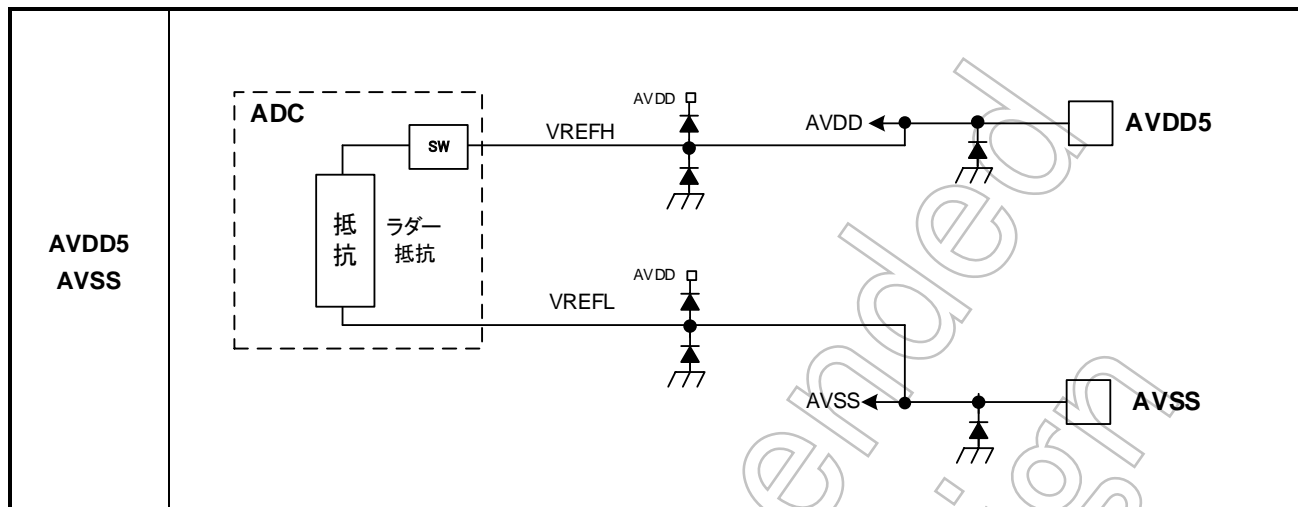






Not Recommended for New Design

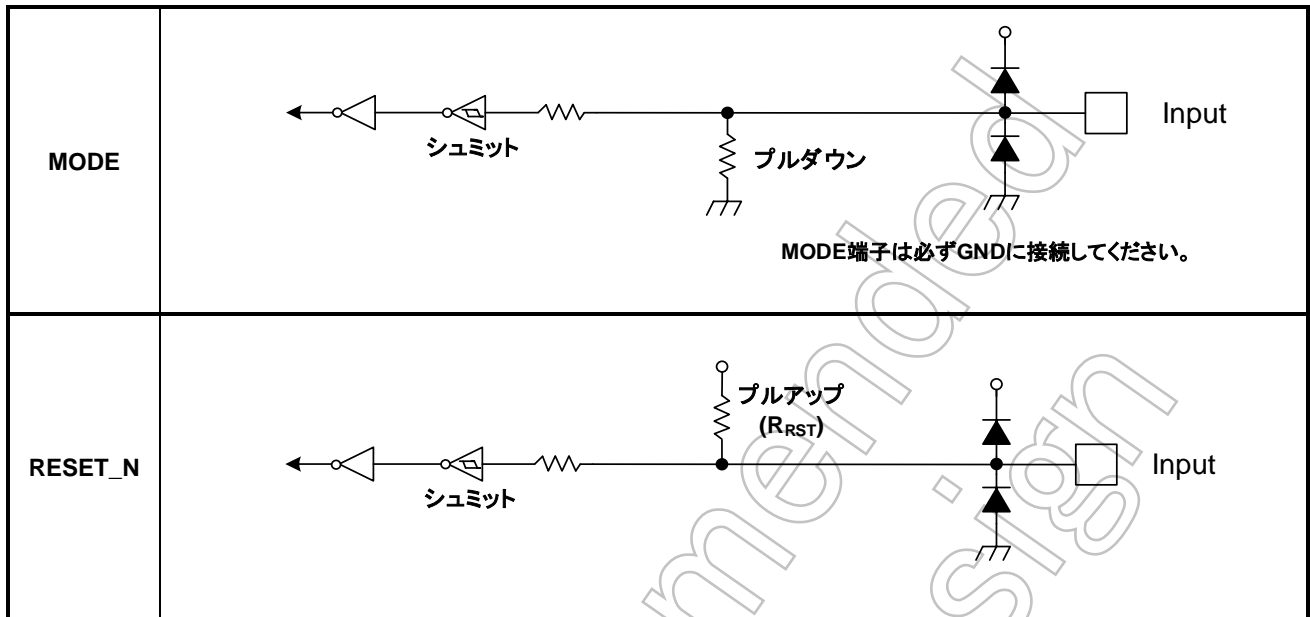
6.2. アナログ関連端子



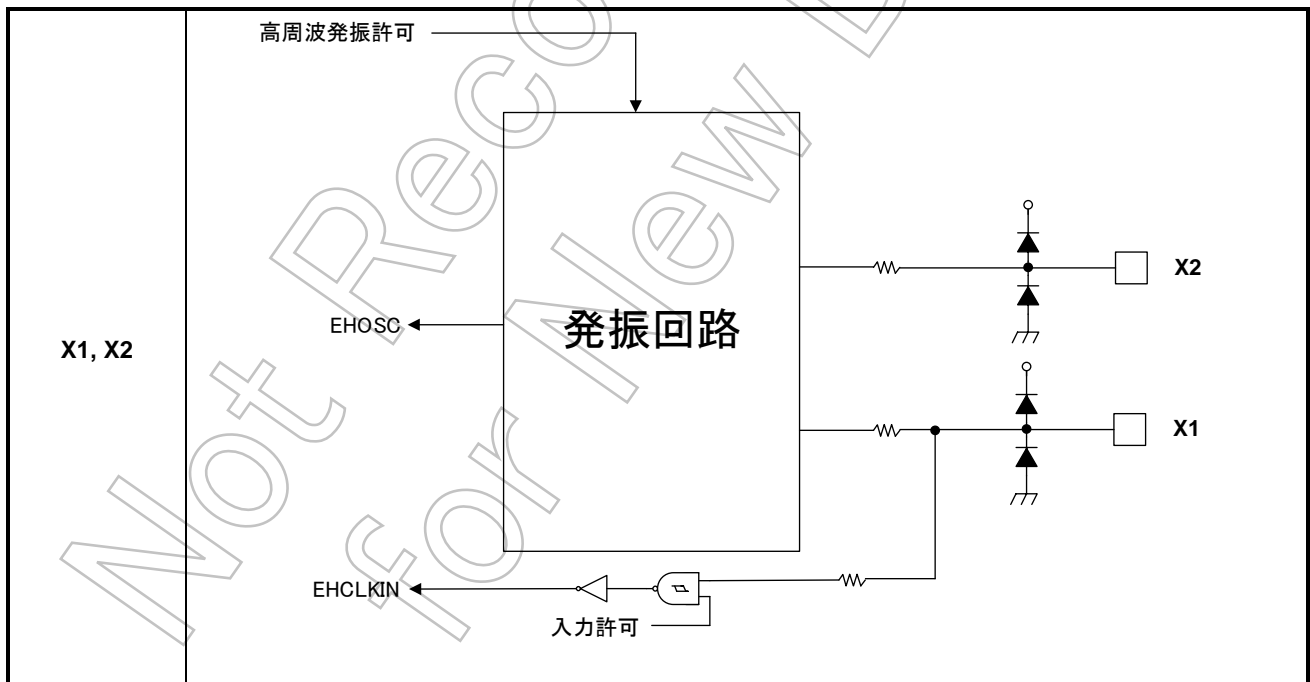
注) SW: ON/OFF スイッチ回路

Not Recommended for New Design

6.3. 制御端子



6.4. クロック制御



7. 電気的特性

7.1. 絶対最大定格

表 7.1 絶対最大定格

項目		記号	定格	単位
電源電圧		DVDD5A DVDD5B DVDD5C	-0.3~6.0	V
		AVDD5	-0.3~6.0	
電圧保持用キャパシタ端子電圧		REGOUT1	-0.3~1.7	V
		REGOUT2	-0.3~3.9	
入力電圧	PA0~PA3, PB0~PB3, PC0~PC5, PD0~PD4, PE0~PE7, PJ0, PJ1, PK0, MODE, RESET_N	V _{IN1} V _{IN2}	-0.3~DVDD5+0.3(≦6.0V) (注 1)	V
	PF0, PG0~PG3, PH0~PH1	V _{IN3}	-0.3~AVDD5+0.3(≦6.0V)	
低レベル 出力電流	1 端子ごと PA0~PA3, PB0~PB3, PC0~PC5, PD0~PD4, PE0~PE7, PF0, PG0~PG3, PH0, PH1, PK0	I _{OL}	5	mA
	全端子合計	ΣI _{OL}	50	
高レベル 出力電流	1 端子ごと PA0~PA3, PB0~PB3, PC0~PC5, PD0~PD4, PE0~PE7, PF0, PG0~PG3, PH0, PH1, PK0	I _{OH}	-5	mA
	全端子合計	ΣI _{OH}	-50	
消費電力		PD	470 (Ta=85°C) 230 (Ta=105°C)	mW
はんだ付け温度		T _{SOLDER}	260	°C
保存温度		T _{STG}	-55~125	°C
動作温度		T _{OPR}	-40~105	°C

注 1) DVDD5 は DVDD5A、DVDD5B、DVDD5C の総称です。

注 2) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。絶対最大定格(電流、電圧、消費電力、温度)を超えると破壊や劣化の原因となり、破裂・燃焼による障害を負うことがあります。従って必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

7.2. DC 電气的特性(1/2)

4.5V ≤ DVDD5=AVDD5 ≤ 5.5V
DVSS=AVSS=0V
Ta = -40~105°C

項目	記号	条件	Min	Typ.	Max	単位
電源電圧	DVDD5A, DVDD5B, DVDD5C AVDD5	VDD fosc = 6~12MHz fsys = 1~80MHz	4.5	—	5.5	V
低レベル 入力電圧	PA0~PA3, PB0~PB3, PC0 ~PC5, PD0~PD4, PE0~ PE7, PJ0, PJ1, PK0, MODE, RESET_N	V _{IL1} V _{IL2}	-0.3	—	DVDD5×0.25	V
	PF0, PG0~PG3, PH0, PH1	V _{IL3}			AVDD5×0.25	
高レベル 入力電圧	PA0~PA3, PB0~PB3, PC0 ~PC5, PD0~PD4, PE0~ PE7, PJ0, PJ1, PK0, MODE, RESET_N	V _{IH1} V _{IH2}	DVDD5×0.75	—	DVDD5+0.3	V
	PF0, PG0~PG3, PH0, PH1	V _{IH3}	AVDD5×0.75		AVDD5+0.3	
低レベル 出力電圧	PA0~PA3, PB0~PB3, PC0~PC5, PD0~PD4, PE0~PE7, PK0	V _{OL1} V _{OL2}	DVDD5=4.5V I _{OL} =1.6mA	—	0.4	V
	PF0, PG0~PG3, PH0, PH1	V _{OL3}	AVDD5=4.5V I _{OL} =1.6mA	—	0.4	
高レベル 出力電圧	PA0~PA3, PB0~PB3, PC0~PC5, PD0~PD4, PE0~PE7, PK0	V _{OH1} V _{OH2}	DVDD5=4.5V I _{OH} =-1.6mA	DVDD5-0.4	—	
	PF0, PG0~PG3, PH0, PH1	V _{OH3}	AVDD5=4.5V I _{OH} =-1.6mA	AVDD5-0.4	—	

注 1) DVDD5 は DVDD5A、DVDD5B、DVDD5C の総称です。DVSS は DVSSA、DVSSB の総称です。

注 2) Typ.値は特に指定のない限り Ta=25°C, DVDD5=AVDD5=5.0V の値です。

注 3) DVDD5, AVDD5 は同電位で使用してください。

4.5V ≤ DVDD5=AVDD5 ≤ 5.5V
DVSS=AVSS=0V
Ta = -40 ~ 105°C

項目	記号	条件	Min	Typ.	Max	単位	
入力リーク電流	I _{LI}	0.0V ≤ VIN ≤ DVDD5 0.0V ≤ VIN ≤ AVDD5	-5	±0.05	5	μA	
出力リーク電流	I _{LO}	0.2 ≤ VIN ≤ DVDD5-0.2 0.2 ≤ VIN ≤ AVDD5-0.2	-10	±0.05	10		
シュミット入力幅	V _{TH}	DVDD5 = AVDD5 = 5V	—	1.0	—	V	
リセットプルアップ抵抗	R _{RST}		25	30	100	kΩ	
プログラマブルプルアップ/ダウン抵抗	P _{KH}	Pull-up	25	30	100		
		Pull-down	25	50	100		
Pin 容量(電源端子を除く)	C _{IO}	fc = 1MHz	—	—	10	pF	
低レベル 出力電流	1 端子ごと	I _{OL}	DVDD5=5V AVDD5=5V	—	—	2 (注 4)	mA
	下記ポート全体で PA3, PB0~PB3, PC0~ PC3, PD0~PD4	Δ _{OL1}	DVDD5=5V	—	—	35 (注 5)	
	下記ポート全体で PA0~PA2, PC4, PC5, PE0~PE7, PK0	Δ _{OL2}	DVDD5=5V	—	—	35 (注 5)	
	下記ポート全体で PF0, PG0~PG3, PH0, PH1	Δ _{OL3}	AVDD5=5V	—	—	20 (注 5)	
高レベル 出力電流	1 端子ごと	I _{OH}	VDD5=5V	-2 (注 4)	—	—	mA
	下記ポート全体で PA3, PB0~PB3, PC0~ PC3, PD0~PD4	Δ _{OH1}	DVDD5=5V	-35 (注 5)	—	—	
	下記ポート全体で PA0~PA2, PC4~PC5, PE0~PE7, PK0	Δ _{OH2}	DVDD5=5V	-35 (注 5)	—	—	
	下記ポート全体で PF0, PG0~PG3, PH0, PH1	Δ _{OH3}	AVDD5=5V	-20 (注 5)	—	—	

注 1) DVDD5 は DVDD5A, DVDD5B, DVDD5C の総称です。DVSS は DVSSA, DVSSB の総称です。

注 2) Typ. 値は特に指定のない限り Ta=25°C, DVDD5=AVDD5=5.0V の値です。

注 3) DVDD5, AVDD5 は同電位で使用してください。

注 4) 端子の電流合計が各グループ電流の合計を越えないこと。

注 5) 各グループ電流の合計が、絶対最大定格を越えないこと。

2.7V ≤ DVDD5=AVDD5 < 4.5V
DVSS=AVSS=0V
Ta = -40~105°C

項目	記号	条件	Min	Typ.	Max	単位	
電源電圧	VDD	fosc = 6~12MHz fsys = 1~80MHz	2.7	—	4.5	V	
低レベル 入力電圧	V _{IL1} V _{IL2}	PA0~PA3, PB0~PB3, PC0 ~PC5, PD0~PD4, PE0~ PE7, PJ0, PJ1, PK0, MODE, RESET_N	-0.3	—	DVDD5×0.25	V	
	V _{IL3}	PF0, PG0~PG3, PH0, PH1			AVDD5×0.25		
高レベル 入力電圧	V _{IH1} V _{IH2}	PA0~PA3, PB0~PB3, PC0 ~PC5, PD0~PD4, PE0~ PE7, PJ0, PJ1, PK0, MODE, RESET_N	DVDD5×0.75	—	DVDD5+0.3	V	
	V _{IH3}	PF0, PG0~PG3, PH0, PH1	AVDD5×0.75		AVDD5+0.3		
低レベル 出力電圧	V _{OL1} V _{OL2}	PA0~PA3, PB0~PB3, PC0 ~PC5, PD0~PD4, PE0~ PE7, PK0	DVDD5=2.7V I _{OL} =0.8mA	—	—	0.4	V
	V _{OL3}	PF0, PG0~PG3, PH0, PH1	AVDD5=2.7V I _{OL} =0.8mA	—	—	0.4	
高レベル 出力電圧	V _{OH1} V _{OH2}	PA0~PA3, PB0~PB3, PC0~PC5, PD0~PD4, PE0~PE7, PK0	DVDD5=2.7V I _{OH} = -0.8mA	DVDD5-0.4	—	—	
	V _{OH3}	PF0, PG0~PG3, PH0, PH1	AVDD5=2.7V I _{OH} = -0.8mA	AVDD5-0.4	—	—	

注 1) DVDD5 は DVDD5A, DVDD5B, DVDD5C の総称です。DVSS は DVSSA, DVSSB の総称です。

注 2) Typ. 値は特に指定のない限り Ta=25°C, DVDD5=AVDD5=3.0V の値です。

注 3) DVDD5, AVDD5 は同電位で使用してください

Not Recommended for New

2.7V ≤ DVDD5=AVDD5 < 4.5V
DVSS=AVSS=0V
Ta = -40 ~ 105°C

項目	記号	条件	Min	Typ.	Max	単位	
入力リーク電流	I _{LI}	0.0V ≤ VIN ≤ DVDD5 0.0V ≤ VIN ≤ AVDD5	-5	±0.05	5	μA	
出力リーク電流	I _{LO}	0.2 ≤ VIN ≤ DVDD5-0.2 0.2 ≤ VIN ≤ AVDD5-0.2	-10	±0.05	10		
シュミット入力幅	V _{TH}	DVDD5 = AVDD5 = 3V	—	0.5	—	V	
リセットプルアップ抵抗	R _{RST}		25	100	200	kΩ	
プログラマブルプルアップ/ダウン抵抗	P _{KH}	Pull-up	25	100	200		
		Pull-down	25	100	200		
Pin 容量(電源端子を除く)	C _{IO}	fc = 1MHz	—	—	10	pF	
低レベル 出力電流	1 端子ごと	I _{OL}	DVDD5=3V AVDD5=3V	—	—	1 (注4)	mA
	下記ポート全体で PA3, PB0~PB3, PC0~ PC3, PD0~PD4	Σ _{OL1}	DVDD5=3V	—	—	18 (注5)	
	下記ポート全体で PA0~PA2, PC4, PC5, PE0~PE7, PK0	Σ _{OL2}	DVDD5=3V	—	—	18 (注5)	
	下記ポート全体で PF0, PG0~PG3, PH0, PH1	Σ _{OL3}	AVDD5=3V	—	—	10 (注5)	
高レベル 出力電流	1 端子ごと	I _{OH}	DVDD5=3V AVDD5=3V	-1 (注4)	—	—	mA
	下記ポート全体で PA3, PB0~PB3, PC0~ PC3, PD0~PD4	Σ _{OH1}	DVDD5=3V	-18 (注5)	—	—	
	下記ポート全体で PA0~PA2, PC4, PC5, PE0~PE7, PK0	Σ _{OH2}	DVDD5=3V	-18 (注5)	—	—	
	下記ポート全体で PF0, PG0~PG3, PH0, PH1	Σ _{OH3}	AVDD5=3V	-10 (注5)	—	—	

注 1) DVDD5 は DVDD5A, DVDD5B, DVDD5C の総称です。DVSS は DVSSA, DVSSB の総称です。

注 2) Typ. 値は特に指定のない限り Ta=25°C, DVDD5=AVDD5=3.0V の値です。

注 3) DVDD5, AVDD5 は同電位で使用してください。

注 4) 端子の電流合計が各グループ電流の合計を越えないこと。

注 5) 各グループ電流の合計が、絶対最大定格を越えないこと。

7.3. DC 電气的特性 (2/2) (消費電流)

Ta=-40~105°C

項目	記号	条件		Min	Typ. (注2)	Max	単位	
		電源電圧	高速クロック					動作条件
NORMAL	I _{DD}	DVDD5= AVDD5= 5.5V	動作条件は表 7.2、 表 7.3を参照してください。		-	15.3	20.3	mA
IDLE			発振	CPUのみ		-	7.2	
STOP1			停止	動作条件は表 7.2、 表 7.3を参照してください		-	150	3300

注 1) DVDD5 は DVDD5A, DVDD5B, DVDD5C の総称です。DVSS は DVSSA, DVSSB の総称です。

注 2) Typ.値は特に指定のない限り Ta=25°C, DVDD5=AVDD5=5.0V の値です。

注 3) DVDD5, AVDD5 は同電位で使用してください。

注 4) 入力端子は固定、出力端子は解放。

表 7.2 IDD測定条件(端子設定、発振回路)

		NORMAL	IDLE	STOP1
端子設定	DVDD5= AVDD5=	5.0V(Typ.)、5.5V(max)		
	X1, X2 端子	発振子接続(10MHz)		
	入力端子	固定		
	出力端子	開放		
動作条件 (発振回路)	システムクロック (f _{sys})	80MHz		停止
	外部高速発振器 (EHOSC)	発振		停止
	内部高速発振器 (IHOSC1)	停止		
	PLL	動作(8倍)		停止

表 7.3 IDD測定条件(CPU、周辺回路)

回路	搭載回路数	NORMAL	IDLE	STOP1
CPU	1	動作 (ドライストン Ver.2.1)		停止
ADC	1	動作 (1.5 μ s,リポート変換)		停止
RAMP	1	動作		停止
T32A	4	全 ch:動作		停止
PMD+	1	全 ch 動作		停止
A-ENC32	1	動作		停止
A-VE	1	動作		停止
SIWDT	1	動作		停止
UART	3	2ch:送信(5Mbps)		停止
TSPI	3	1ch:送信,20MHz		停止
CRC	1		停止	
LVD	1		停止	
OFD	1		停止	
Debug	1		停止	
入出力ポート	—	動作		停止

f_{sys}=80MHz
T_a= -40~105°C

項目	記号	条件	Min	Typ.	Max	単位
消費電流 (ADC 動作時)	I _{AVDD}	AVDD5=5.0V、AVSS=0V	—	2.7	3.4	mA

7.4. 12 ビット AD コンバータ特性

DVDD5=AVDD5=2.7~5.5V
DVSS=AVSS=0V
Ta= -40~105°C

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電圧(+)	VREFH		AVDD5-0.3	—	AVDD5+0.3	V
アナログ入力電圧	VAIN		AVSS (VREFL)	—	AVDD5 (VREFH)	V
積分非直線性誤差(INL)	—	4.5V ≤ AVDD5 ≤ 5.5V AVSS=(VREFL)=0V AIN 負荷抵抗 = 600Ω AIN 負荷容量 ≥ 0.1μF 変換時間 ≥ 1.5μs	-3	—	3	LSB
微分非直線性誤差(DNL)			-3	—	3	
ゼロスケール誤差			-5	—	5	
フルスケール誤差			-5	—	5	
総合誤差			-7	—	7	
積分非直線性誤差(INL)	—	2.7V ≤ AVDD5 < 4.5V AVSS=(VREFL)=0V AIN 負荷抵抗 = 600Ω AIN 負荷容量 ≥ 0.1μF 変換時間 = 3.0μs	-4	—	4	LSB
微分非直線性誤差(DNL)			-3	—	3	
ゼロスケール誤差			-6	—	6	
フルスケール誤差			-6	—	6	
総合誤差			-7	—	7	
安定待ち時間	t _{sta}	[ADAMOD0]<DACON>=1 設定後	3	—	—	μs
変換時間	t _{conv}	4.5V ≤ AVDD5 ≤ 5.5V	1.5	—	5	
		2.7V ≤ AVDD5 < 4.5V	2.95	—	15	

注 1) DVDD5 は DVDD5A, DVDD5B, DVDD5C の総称です。DVSS は DVSSA, DVSSB の総称です。

注 2) Typ. 値は特に指定のない限り Ta=25°C, DVDD5=AVDD5=5.0V の値です。

注 3) 1LSB=(AVDD5(VREFH)-AVSS(VREFL))/4096[V]

注 4) AD コンバータ単体動作の時の特性です。

DVDD5=AVDD5=2.7V~5.5V
DVSS=AVSS=0V
Ta= -40~105°C

項目	条件	Min	Typ.	Max	単位
リファレンス電源	ch9 選択	1.1	-	1.3	V

注) DVDD5 は DVDD5A、DVDD5B、DVDD5C の総称です。DVSS は DVSSA、DVSSB の総称です。

7.5. リセット時内部処理特性

DVSSA=DVSSB=AVSS=0V
Ta= -40~105°C

項目	記号	条件	Min	Typ.	Max	単位
内部初期化時間	t _{INIT}	パワーオン時	-	-	2.15	ms
内部処理時間	t _{RST}		0.13	-	0.20	
CPU 動作待ち時間	t _{CPUWT}	コールドリセット	12	-	15	μs
		ウォームリセット	55	-	72	
電源傾斜	V _{PON}		0.01	-	100	mV/μs

7.6. パワーオンリセット特性

DVSSA=DVSSB=AVSS=0V
Ta= -40~105°C

項目	記号	条件	Min	Typ.	Max	単位
検知電圧	V _{PREL}	電源立ち上がり	2.25	2.4	2.55	V
	V _{PDET}	電源立ち下がり	2.2	2.35	2.5	
検知パルス幅	T _{PDET}		200	-	-	μs

7.7. 電圧検知回路特性

DVDD5=AVDD5=2.7V~5.5V
DVSS=AVSS=0V
Ta=-40~105°C

項目	記号	条件	Min	Typ.	Max	単位	
検知電圧	V _{LVL0}	電源立ち上がり	2.55	2.65	2.75	V	
		電源立ち下がり	2.5	2.6	2.7		
	V _{LVL1}	電源立ち上がり	2.65	2.75	2.85	V	
		電源立ち下がり	2.6	2.7	2.8		
	V _{LVL2}	電源立ち上がり	2.75	2.85	2.95	V	
		電源立ち下がり	2.7	2.8	2.9		
	V _{LVL3}	電源立ち上がり	2.85	2.95	3.05	V	
		電源立ち下がり	2.8	2.9	3.0		
	V _{LVL4}	電源立ち上がり	3.95	4.05	4.15	V	
		電源立ち下がり	3.9	4.0	4.1		
	V _{LVL5}	電源立ち上がり	4.15	4.25	4.35	V	
		電源立ち下がり	4.1	4.2	4.3		
	V _{LVL6}	電源立ち上がり	4.35	4.45	4.55	V	
		電源立ち下がり	4.3	4.4	4.5		
	V _{LVL7}	電源立ち上がり	4.55	4.65	4.75	V	
		電源立ち下がり	4.5	4.6	4.7		
	検知応答時間	t _{VDDT1}	電源立ち下がり	—	50	200	μs
	検知解除時間	t _{VDDT2}	電源立ち上がり	—	250	—	
セットアップ時間	t _{LV DEN}		—	—	100		
検知最小パルス幅	t _{LVDPW}		200	—	—		

注) DVDD5 は DVDD5A, DVDD5B, DVDD5C の総称です。DVSS は DVSSA, DVSSB の総称です。

7.8. AC 電気的特性

7.8.1. シリアルペリフェラルインタフェース(TSPI)

7.8.1.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7V~5.5V, DVSS=AVSS=0V
- Ta = -40°C~105°C
- 出力レベル: High = 0.8×DVDD5、Low = 0.2×DVDD5
- 入力レベル: High = 0.75×DVDD5、Low = 0.25×DVDD5
- 負荷容量: CL = 30pF

注) DVDD5 は DVDD5A,DVDD5B,DVDD5C の総称です。DVSS は DVSSA,DVSSB の総称です。

7.8.1.2. AC 電気的特性

T は TSPI の動作クロックの周期を表します。TSPI の動作クロックは、システムクロック fsys と同じ周期です。この周期は、クロックギアの設定に依存します。

(1) SIO モード マスタ

4.5V ≤ DVDD5=AVDD5 ≤ 5.5V

項目	記号	計算式		fsys= 80MHz 時		単位
		Min	Max	Min	Max	
TSPIxSCK 出力周波数	fcyc		20	-	20	MHz
TSPIxSCK 出力周期	tcyc	50	-	50	-	ns
TSPIxSCK 低レベル出力パルス幅	twL	(tcyc/2)-12	-	13	-	
TSPIxSCK 高レベル出力パルス幅	twh	(tcyc/2)-12	-	13	-	
TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	tdsu	31-(2×T)(注 1)	-	6	-	
		31-T(注 2)	-	18.5	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	tdhd	(2×T)-10 (注 1)	-	15	-	
		T-10(注 2)	-	2.5	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	todly1	-9	-	-9	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	todly2	-	9	-	9	

注1) [TSPIxCR2]<RXDLY>=1 の場合です。

注2) [TSPIxCR2]<RXDLY>=0 の場合です。

2.7V ≤ DVDD5=AVDD5 < 4.5V

項目	記号	計算式		fsys= 80MHz 時		単位
		Min	Max	Min	Max	
TSPIxSCK 出力周波数	f _{cyC}	-	15	-	13.3 (注 1)	MHz
TSPIxSCK 出力周期	t _{cyC}	66.7	-	75	-	ns
TSPIxSCK 低レベル出力パルス幅	t _{wL}	(t _{cyC} /2)-17	-	21	-	
TSPIxSCK 高レベル出力パルス幅	t _{wH}	(t _{cyC} /2)-17	-	21	-	
TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間	t _{dsU}	41-(2×T)(注 2)	-	16	-	
		41-T(注 3)	-	28.5	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t _{dHd}	(2×T)-11 (注 2)	-	14	-	
		T-11(注 3)	-	1.5	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{odLY1}	-14	-	-14	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{odLY2}	-	12	-	12	

注1) 出力周波数の[TSPIxBR]<BRCK><BRS>の設定値で決まります。計算式の Max 値を超えない範囲で最大出力周波数を設定すると 13.3MHz になります。

注2) [TSPIxCR2]<RXDLY>=1 の場合です。

注3) [TSPIxCR2]<RXDLY>=0 の場合です。

(2) SIO モード スレーブ

4.5V ≤ DVDD5=AVDD5 ≤ 5.5V

項目	記号	計算式		fsys= 80MHz 時		単位
		Min	Max	Min	Max	
TSPIxSCK 入力周波数	f _{cyC}	-	15	-	13.3 (注)	MHz
TSPIxSCK 入力周期	t _{cyC}	66.7	-	75	-	ns
TSPIxSCK 低レベル入力パルス幅	t _{wL}	10	-	10	-	
TSPIxSCK 高レベル入力パルス幅	t _{wH}	10	-	10	-	
TSPIxRXD 入力 ← SPIxSCK 立ち上がり/立ち下がり時間	t _{dsU}	7	-	7	-	
		7	-	7	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t _{dHd}	7	-	7	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{odLY1}	6	-	6	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{odLY2}	-	33	-	33	

注) 出力周波数の[TSPIxBR]<BRCK><BRS>の設定値で決まります。計算式の Max 値を超えない範囲で最大出力周波数を設定すると 13.3MHz になります。

2.7V ≤ DVDD5 = AVDD5 < 4.5V

項目	記号	計算式		fsys= 80MHz 時		単位
		Min	Max	Min	Max	
TSPIxSCK 入力周波数	f _{CYC}	-	10	-	10	MHz
TSPIxSCK 入力周期	t _{CYC}	100	-	100	-	ns
TSPIxSCK 低レベル入力パルス幅	t _{WL}	10	-	10	-	
TSPIxSCK 高レベル入力パルス幅	t _{WH}	10	-	10	-	
TSPIxRXD 入力 ← SPIxSCK 立ち上がり/立ち下がり時間	t _{DSU}	7	-	7	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間	t _{DHD}	7	-	7	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{ODLY1}	6	-	6	-	
TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間	t _{ODLY2}	-	45	-	45	

Not Recommended for New Design

(1) 1st クロックエッジサンプリング(マスタ)

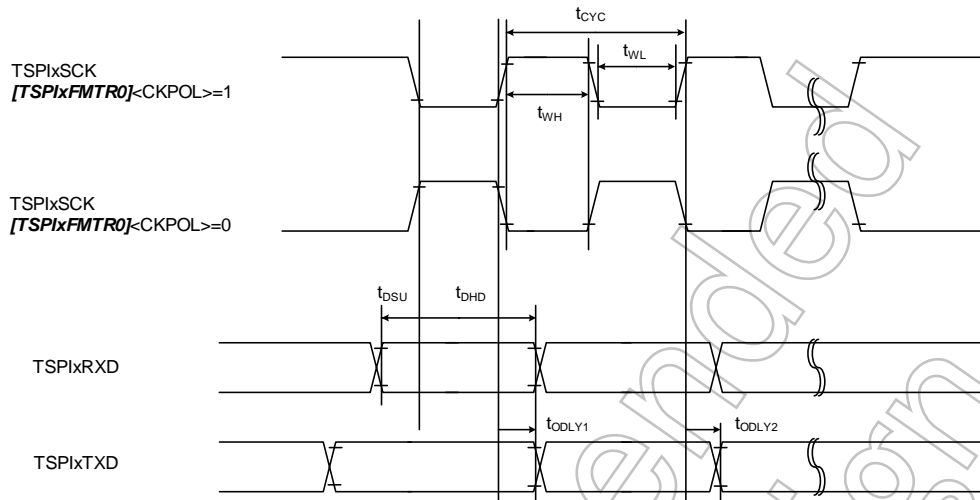


図 7.1 1st クロックエッジサンプリング(マスタ)

(2) 2nd クロックエッジサンプリング(マスタ)

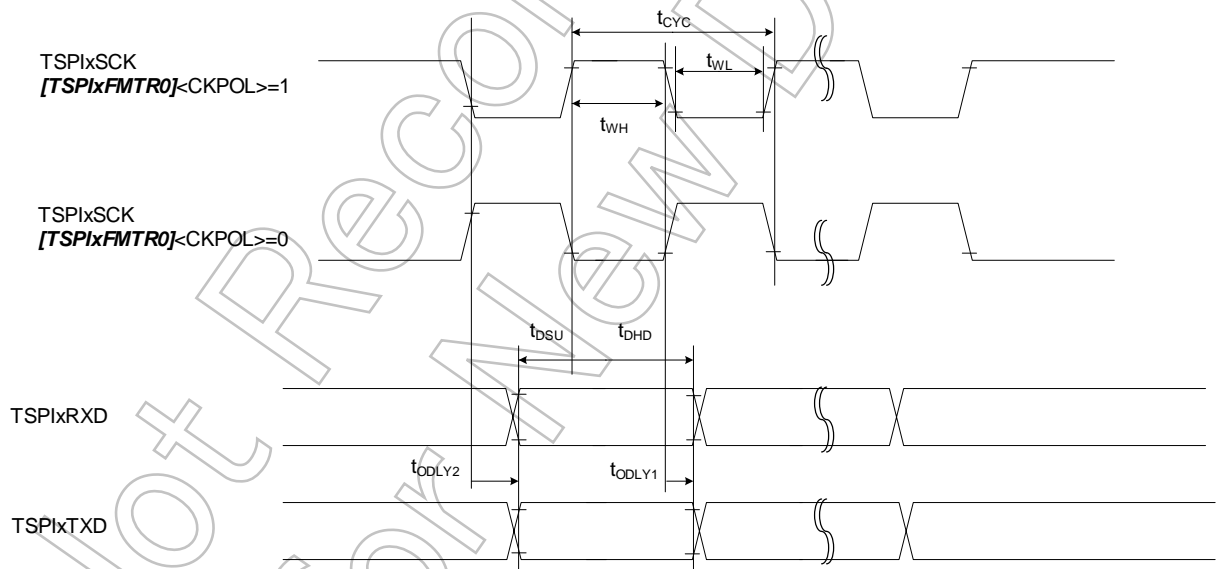


図 7.2 2nd クロックエッジサンプリング(マスタ)

(3) 2nd クロックエッジサンプリング(スレーブ)

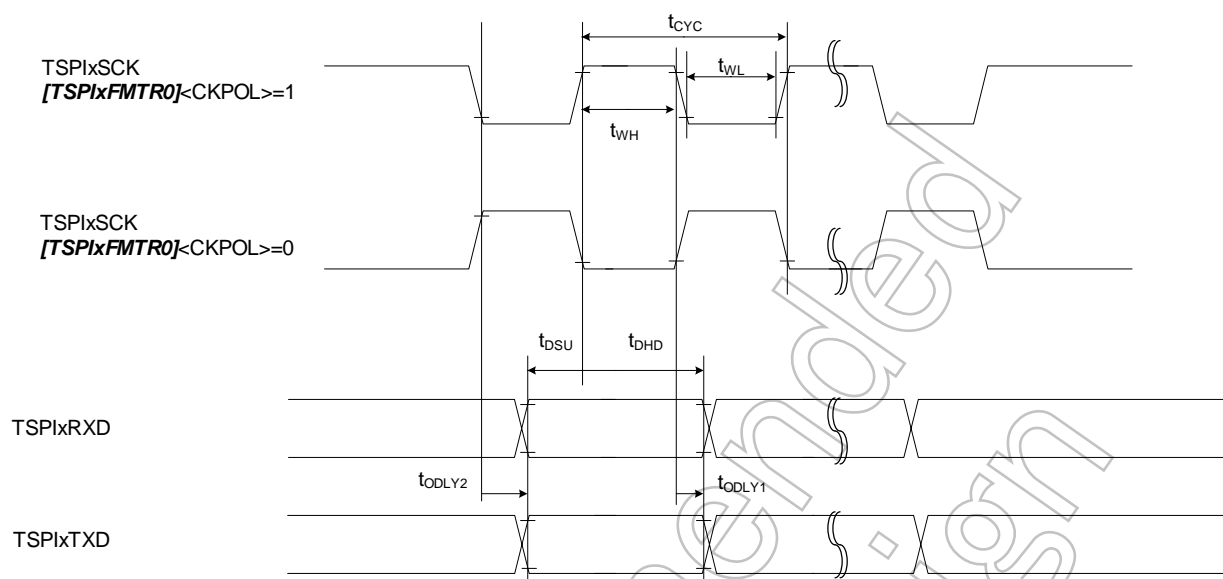


図 7.3 2ndクロックエッジサンプリング(スレーブ)

Not Recommended for New Design

7.8.2. 32 ビットタイマイイベントカウンタ (T32A)

T32AxINA0, T32AxINB0, T32AxINC0 入力に対する AC 電気的特性です。

7.8.2.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7V~5.5V
- Ta = -40°C~105°C
- 入力レベル: High = 0.75×DVDD5、Low = 0.25×DVDD5
- 負荷容量: CL = 30pF

注) DVDD5 は DVDD5A, DVDD5B, DVDD5C の総称です。DVSS は DVSSA, DVSSB の総称です。

7.8.2.2. AC 電気的特性

T は T32A の動作クロックの周期を表します。T32A の動作クロックは、クロック ΦT0 と同じ周期です。この周期は、プリスケラクロックの設定に依存します。

(1) パルスカウント動作時以外

項目	記号	計算式		ΦT0=80MHz		単位
		Min	Max	Min	Max	
低レベルパルス幅	t _{VCKL}	2T + 20	-	45	-	ns
高レベルパルス幅	t _{VCKH}	2T + 20	-	45	-	

(2) パルスカウント動作時

項目	記号	計算式		ΦT0=80MHz		単位
		Min	Max	Min	Max	
パルス周期	t _{DCYC}	1000	-	1000	-	ns
低レベルパルス幅	t _{PWL}	500	-	500	-	
高レベルパルス幅	t _{PWH}	500	-	500	-	

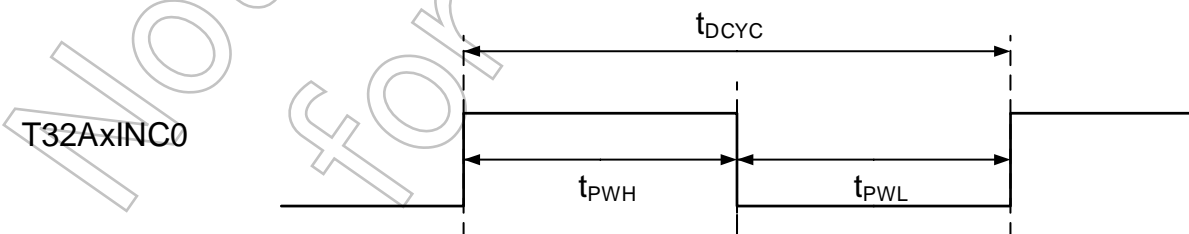


図 7.4 カウントパルス入力

7.8.3. 外部割り込み

7.8.3.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7V~5.5V
- Ta = -40°C~105°C
- 入力レベル: High = 0.75×DVDD5、Low = 0.25×DVDD5
- 負荷容量: CL = 30pF

注) DVDD5 は DVDD5A,DVDD5B,DVDD5C の総称です。DVSS は DVSSA,DVSSB の総称です。

7.8.3.2. AC 電気的特性

表中の T はシステムクロック fsys の周期を表します。

(1) NORMAL,IDLE モード時

項目	記号	計算式		fsys=80MHz		単位
		Min	Max	Min	Max	
低レベルパルス幅	t _{INTAL1}	T + 100	-	112.5	-	ns
高レベルパルス幅	t _{INTAH1}	T + 100	-	112.5	-	

(2) STOP1 モード時

項目	記号	計算式		fsys=80MHz		単位
		Min	Max	Min	Max	
低レベルパルス幅	t _{INTCL2}	125	-	125	-	ns
高レベルパルス幅	t _{INTCH2}	125	-	125	-	

7.8.4. デバッグ通信

7.8.4.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7V~5.5V
- Ta = -40°C~105°C
- 出力レベル: High = 0.8×DVDD5、Low = 0.2×DVDD5
- 入力レベル: High = 0.75×DVDD5、Low = 0.25×DVDD5
- 負荷容量: CL = 30pF

注) DVDD5 は DVDD5A,DVDD5B,DVDD5C の総称です。DVSS は DVSSA,DVSSB の総称です。

7.8.4.2. SWD インタフェース

4.5V ≤ DVDD5=AVDD5 ≤ 5.5V

項目	記号	Min	Max	単位
CLK 周期	t _{dck}	100	-	ns
CLK 立ち上がりから出力データ保持	t _{d1}	4	-	
CLK 立ち上がりから出力データ有効	t _{d2}	-	30	
入力データ有効から CLK 立ち上がり	t _{ds}	20	-	
CLK 立ち上がりから入力データ保持	t _{dh}	15	-	

2.7V ≤ DVDD5=AVDD5 < 4.5V

項目	記号	Min	Max	単位
CLK 周期	t _{dck}	100	-	ns
CLK 立ち上がりから出力データ保持	t _{d1}	4	-	
CLK 立ち上がりから出力データ有効	t _{d2}	-	45	
入力データ有効から CLK 立ち上がり	t _{ds}	20	-	
CLK 立ち上がりから入力データ保持	t _{dh}	15	-	

7.8.4.3. JTAG インタフェース

4.5V ≤ DVDD5=AVDD5 ≤ 5.5V

項目	記号	Min	Max	単位
CLK 周期	t_{dck}	83.3	-	ns
CLK 立ち上がりから出力データ保持	t_{d3}	4	-	
CLK 立ち上がりから出力データ有効	t_{d4}	-	33	
入力データ有効から CLK 立ち上がり	t_{ds}	20	-	
CLK 立ち上がりから入力データ保持	t_{dh}	15	-	

2.7V ≤ DVDD5=AVDD5 < 4.5V

項目	記号	Min	Max	単位
CLK 周期	t_{dck}	83.3	-	ns
CLK 立ち上がりから出力データ保持	t_{d3}	4	-	
CLK 立ち上がりから出力データ有効	t_{d4}	-	45	
入力データ有効から CLK 立ち上がり	t_{ds}	20	-	
CLK 立ち上がりから入力データ保持	t_{dh}	15	-	

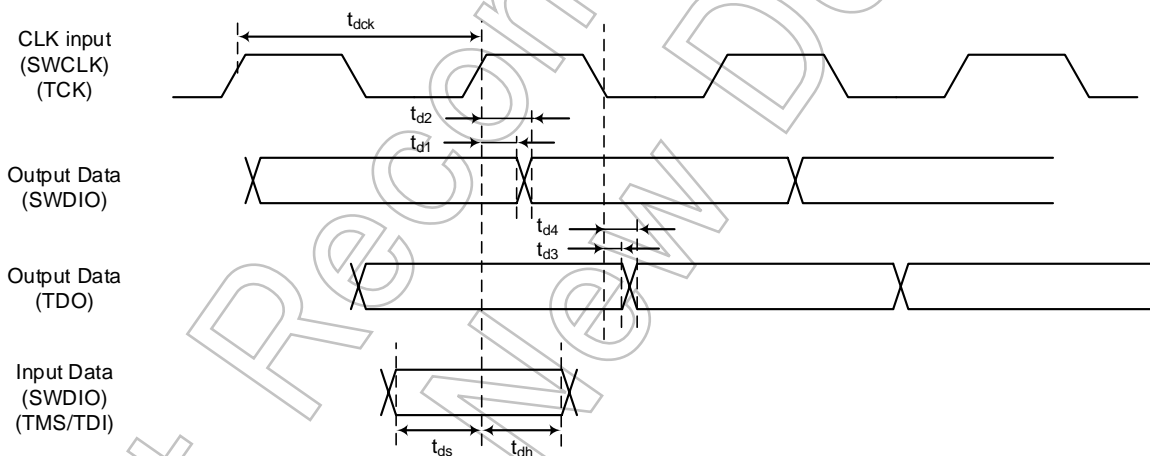


図 7.5 JTAG/SWD波形

7.8.5. ノイズフィルタ特性

項目	条件	Min	Typ.	Max	単位
ノイズキャンセル幅	DVDD5 = 2.7~5.5V Ta = -40~105°C	15	30	60	ns

注) DVDD5 は DVDD5A, DVDD5B, DVDD5C の総称です。DVSS は DVSSA, DVSSB の総称です。

7.8.6. 外部クロック入力

7.8.6.1. AC 測定条件

この章に記載されている AC 特性は、以下の条件での測定結果です。

- DVDD5 = AVDD5 = 2.7V~5.5V
- Ta = -40°C~105°C
- 入力レベル: High = 0.75×DVDD5、Low = 0.25×DVDD5
- 負荷容量: CL = 30pF

注) DVDD5 は DVDD5A, DVDD5B, DVDD5C の総称です。DVSS は DVSSA, DVSSB の総称です。

7.8.6.2. AC 電氣的特性

項目	記号	Min	Typ.	Max	単位
クロック周波数(1/t _{echin})	f _{EHCLKIN}	6	-	12	MHz
クロック Duty	-	45	-	55	%
クロック立ち上がり時間	t _r	-	-	10	ns
クロック立ち下がり時間	t _f	-	-	10	ns

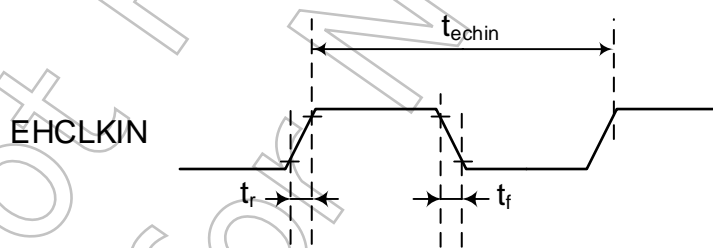


図 7.6 外部クロック入力波形

7.9. フラッシュ特性

7.9.1. コードフラッシュ特性

項目	条件	Min	Typ.	Max	単位
フラッシュメモリ書き換え回数	DVDD5=2.7V~5.5V Ta= -40~105°C	—	—	10,000	回
書き込み時間	1word あたりに換算	—	29.5	—	μs
消去時間	ページ	1.1	—	4.3	ms
	ブロック	8.6	—	34	
	エリア(注 2)	—	9.2	—	

注 1) DVDD5 は DVDD5A,DVDD5B,DVDD5C の総称です。DVSS は DVSSA,DVSSB の総称です。

注 2) プロテクトが有効なブロックが無い場合です。

7.9.2. チップ消去特性

DVDD5=2.7V~5.5V
Ta= -40~105°C

項目	条件	Min	Typ.	Max	単位
チップ消去時間	消去対象: コードフラッシュ プロテクトビット(コード) ユーザインフォメーションエリア セキュリティビット	12.5	—	22.1	ms

注 1) DVDD5 は DVDD5A,DVDD5B,DVDD5C の総称です。DVSS は DVSSA,DVSSB の総称です。

注 2) チップ消去コマンド実行時、プロテクトが有効なブロックが無い場合の時間です。

7.10. レギュレータ

項目	条件	Min	Typ.	Max	単位
REGOUT2 コンデンサ容量	DVDD5=2.7V~5.5V Ta=-40~105°C	—	4.7	—	μF
REGOUT1 コンデンサ容量		—	4.7	—	

注) DVDD5 は DVDD5A,DVDD5B,DVDD5C の総称です。DVSS は DVSSA,DVSSB の総称です。

7.11. 発振回路

7.11.1. 内蔵発振器

DVDD5=2.7V~5.5V
Ta = -30~85°C

項目	記号	条件	Min	Typ.	Max	単位
発振周波数	f _{IHOSC1}		9.87	10	10.13	MHz

注 1) DVDD5 は DVDD5A, DVDD5B, DVDD5C の総称です。DVSS は DVSSA, DVSSB の総称です。

注 2) 出荷後の変動影響(パッケージ、リフロー)を含みます。

DVDD5=2.7V~5.5V
Ta = -40~105°C

項目	記号	条件	Min	Typ.	Max	単位
発振周波数	f _{IHOSC1}	出荷時、IC 単体時	-	10	-	MHz
	f _{IHOSC2}		-	10	-	

注 1) DVDD5 は DVDD3A、DVDD3B、DVDD3C の総称です。DVSS は DVSSA, DVSSB の総称です。

注 2) 出荷後の変動影響(パッケージ、リフロー)は含みません。IHOSC1 は必要に応じてトリミングを行ってください。IHOSC2 はトリミングできません。

7.11.2. 外部発振器

DVDD5=2.7V~5.5V
Ta = -40~105°C

項目	記号	条件	Min	Typ.	Max	単位
発振周波数	f _{EHOSC}		6	-	12	MHz

注 1) DVDD5 は DVDD5A, DVDD5B, DVDD5C の総称です。DVSS は DVSSA, DVSSB の総称です。

注 2) 接続する発振子とのマッチングは発振子メーカーへ依頼してください。

7.11.3. 発振回路例

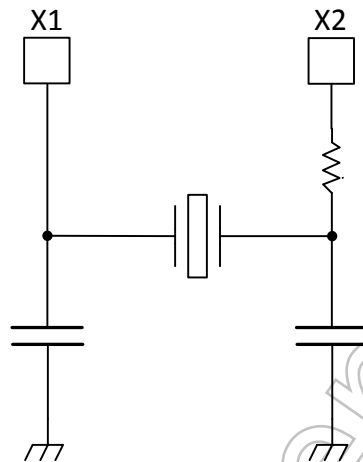


図 7.7 発振回路例

発振の安定には、発振子の位置、負荷容量を適切にする必要があります。これらは基板パターンにより大きな影響を受けます。安定した発振を得るため、ご使用される基板での評価をされるようお願いいたします。

本製品は、下記のメーカーの発振子を用いて評価しています。発振回路設計時に発振子の選択に活用願います。

7.11.4. セラミック発振子

本製品は(株)村田製作所製セラミック発振子を用いて評価しています。
(株)村田製作所の製品詳細につきましては同社ホームページを参照してください。

7.11.5. 水晶発振子

本製品は京セラ(株)製水晶発振子を用いて評価しています。
京セラ(株)の製品詳細につきましては同社ホームページを参照してください。

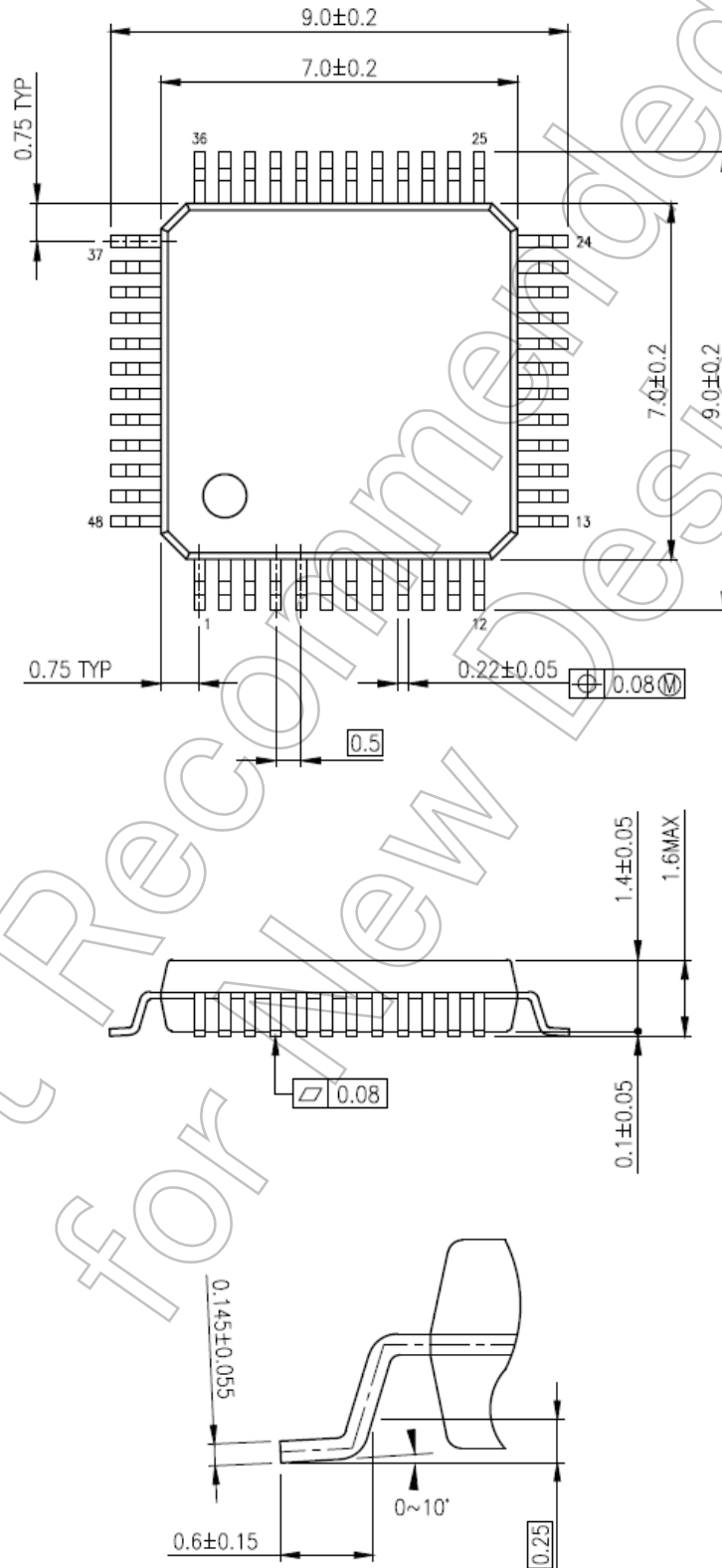
7.11.6. プリント基板の設計に関する注意

水晶振動子と発振のための素子を接続する基板パターンは浮遊容量やインダクタンスによる特性の劣化を防止するために最短距離の配線長で設計してください。また、多層基板の場合は発振回路の直下の層には面グランドや信号パターンを配線しないようにお願いします。詳しくは、発振子メーカーのホームページを参照してください。

8. 外形寸法図

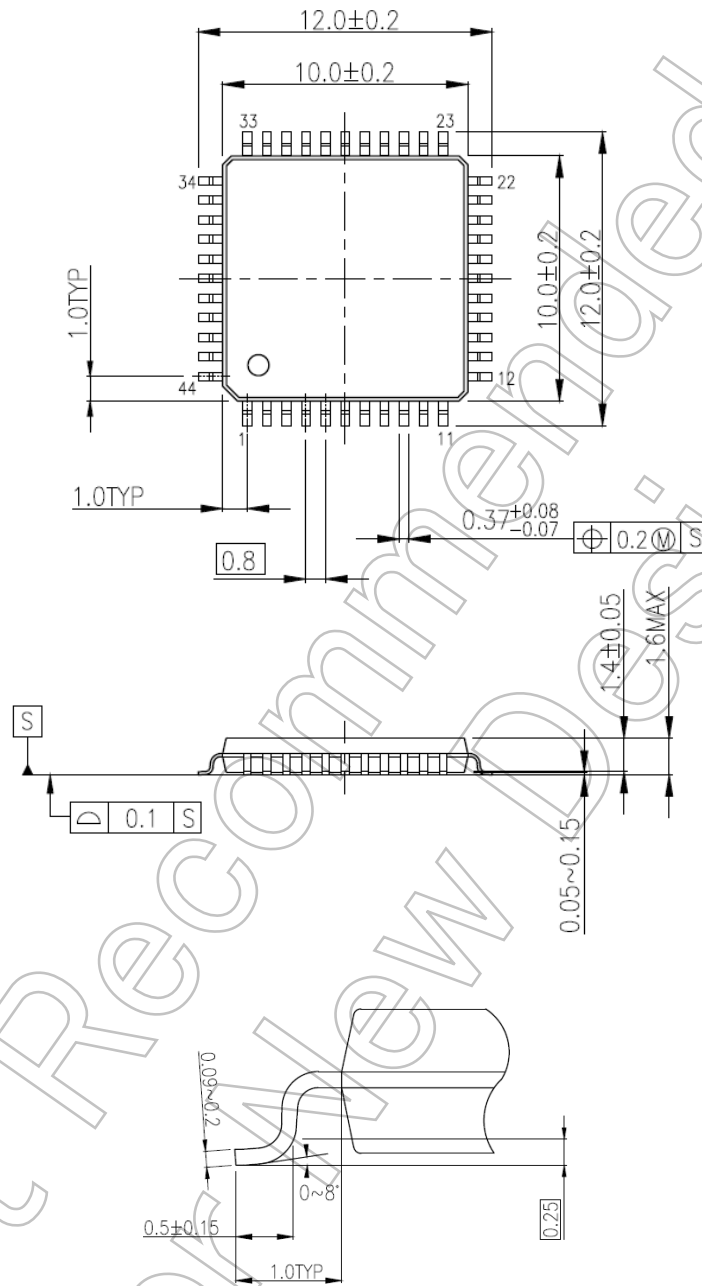
8.1. LQFP48-P-0707-0.50D

単位: mm



8.2. LQFP44-P-1010-0.80B

単位: mm



Not Recommended for New Design

9. 使用上のご注意およびお願い事項

本資料に掲載されている製品について、使用上の注意点を説明します。

なお、本項目と本資料での記述について、異なる場合は、本資料の記述が優先されます。

- (1) 電源投入時の動作について
電源投入時、本資料に掲載されている製品の内部は不定状態となります。
このため、リセットが有効となるまで、端子の状態は不定となります。
外部リセット端子を使用してリセットする製品の場合、電源投入後外部から入力するリセットが有効になるまでの間、端子の状態は不定となります。
また、内蔵パワーオンリセットを使用してリセットする製品の場合、電源電圧が電源投入から内蔵パワーオンリセットが有効となる電圧に上昇するまでの間、端子の状態は不定となります。
- (2) 未使用端子の処置について
本資料に掲載されている製品では、未使用の入出力ポートは、入出力禁止となり、端子はハイインピーダンスです。一般にハイインピーダンスの端子を開放状態で製品を動作させると、外部からのノイズを受け誘起電圧が発生してLSI 内部で静電破壊やラッチアップが発生することがあります。
未使用端子については、1本ずつ抵抗を通して電源端子または1本ずつ抵抗を通してGND端子に固定することを推奨します。
- (3) クロック発振の安定について
リセットはクロック発振が安定してから解除してください。プログラム動作中にクロックを切り替える場合、切り替える先のクロック発振が安定している状態で切り替えてください。

10. 改訂履歴

表 10.1 改訂履歴

Revision	日付	内容
1.0	2018-12-18	新規
1.1	2019-08-20	<ul style="list-style-type: none">・日付と Copyright のレイアウト変更・製品量産開始時期を追加・6.3 制御端子 RESET_N のプルアップ記号を追加・7.4 12ビット AD コンバータ特性 変換時間の min 値 3→2.95 に修正・7.7 電圧検知回路特性 V_{LVL4~7} の Min 値/Max 値を修正・7.8.1.2 AC 電气的特性(TSPI) k1,k2 の説明削除・7.8.2.2 AC 電气的特性(T32A) 表見出し fsys=80MHz → ΦT0=80MHz に修正

Not Recommended
for New Design

Appendix 全端子一覧表

兼用機能 A、B: ポートファンクションレジスタの設定なしにポートに割り当てられる兼用機能です。
兼用機能 1~6: ポートファンクションレジスタの設定によりポートに割り当てられる兼用機能です。

M4L2 LQFP 48	M4L1 LQFP 44	端子名称	兼用機能 A	兼用機能 B	兼用機能 1	兼用機能 2	兼用機能 3	兼用機能 4	兼用機能 5	兼用機能 6	入出力	PU/PD	OD	SMT/ CMOS	リセット中 の状態	リセット後 の状態
1	-	PK0									I/O	PU/PD	YES	SMT	Hi-z	Hi-z
2	1	PE0			U00						I/O	PU/PD	YES	SMT	Hi-z	Hi-z
3	2	PE1			X00						I/O	PU/PD	YES	SMT	Hi-z	Hi-z
4	3	PE2			VO0						I/O	PU/PD	YES	SMT	Hi-z	Hi-z
5	4	PE3			YO0						I/O	PU/PD	YES	SMT	Hi-z	Hi-z
6	5	PE4			WO0						I/O	PU/PD	YES	SMT	Hi-z	Hi-z
7	6	PE5			Z00						I/O	PU/PD	YES	SMT	Hi-z	Hi-z
8	7	PE6			EMG0_N						I/O	PU/PD	YES	SMT	Hi-z	Hi-z
9	8	PE7			OVV0_N						I/O	PU/PD	YES	SMT	Hi-z	Hi-z
10	9	DVSSA									-	-	-	-	-	-
11	10	DVDD5A									-	-	-	-	-	-
12	11	PD0	BOOT_N		T32A00INA0	T32A00OUTA	T32A00INC0	T32A00OUTC			I/O	PU/PD	YES	SMT	Hi-z (注1)	Hi-z
13	12	PB3			TDI						I/O	PU/PD	YES	SMT	PU (注2)	PU (注2)
14	13	PB2			TDO/SWV						I/O	PU/PD	YES	SMT	Hi-z (注2)	Hi-z (注2)
15	14	PB1			TCK/SWCLK						I/O	PU/PD	YES	SMT	PD (注2)	PD (注2)
16	15	PB0			TMS/SWDIO						I/O	PU/PD	YES	SMT	PU (注2)	PU (注2)
17	16	PC0			TSPi0TXD	UT0TXDA	UT0RXD				I/O	PU/PD	YES	SMT	Hi-z	Hi-z
18	17	PC1			TSPi0RXD	UT0RXD	UT0TXDA				I/O	PU/PD	YES	SMT	Hi-z	Hi-z
19	18	PC2			TSPi0SCK	UT0CTS_N					I/O	PU/PD	YES	SMT	Hi-z	Hi-z
20	19	PC3		INT00	T32A01INA0	T32A01OUTA	T32A01INC0	T32A01OUTC			I/O	PU/PD	YES	SMT	Hi-z	Hi-z
21	20	PD1			ENC0A	TSPi1SCK	UT1CTS_N				I/O	PU/PD	YES	SMT	Hi-z	Hi-z
22	21	PD2			ENC0B	TSPi1TXD	UT1TXDA	UT1RXD			I/O	PU/PD	YES	SMT	Hi-z	Hi-z
23	22	PD3			ENC0Z	TSPi1RXD	UT1RXD	UT1TXDA			I/O	PU/PD	YES	SMT	Hi-z	Hi-z
24	-	PD4			T32A00INB0	T32A00OUTB					I/O	PU/PD	YES	SMT	Hi-z	Hi-z
25	-	PA3		INT07	T32A01INB0	T32A01OUTB					I/O	PU/PD	YES	SMT	Hi-z	Hi-z
26	23	DVDD5B									-	-	-	-	-	-
27	24	PJ0	X1	EHCLKIN							Input	PD	N/A	SMT	Hi-z	Hi-z
28	25	DVSSB									-	-	-	-	-	-
29	26	PJ1	X2								Input	PD	N/A	SMT	Hi-z	Hi-z
30	27	REGOUT1									-	-	-	-	-	-
31	28	MODE									-	PD	YES	SMT	-	-
32	29	DVDD5C									-	-	-	-	-	-
33	30	REGOUT2									-	-	-	-	-	-
34	31	RESET_N									-	PU	YES	SMT	-	-
35	32	PF0	AINA00								I/O	PU/PD	YES	SMT	Hi-z	Hi-z
36	33	PG0	AINA01								I/O	PU/PD	YES	SMT	Hi-z	Hi-z
37	-	PG3	AINA02								I/O	PU/PD	YES	SMT	Hi-z	Hi-z
38	34	PG1	AINA03	INT01							I/O	PU/PD	YES	SMT	Hi-z	Hi-z
39	35	PG2	AINA04	INT02							I/O	PU/PD	YES	SMT	Hi-z	Hi-z
40	36	PH0	AINA05	INT03							I/O	PU/PD	YES	SMT	Hi-z	Hi-z
41	37	PH1	AINA06	INT04							I/O	PU/PD	YES	SMT	Hi-z	Hi-z
42	38	AVSS									-	-	-	-	-	-
43	39	AVDD5									-	-	-	-	-	-
44	40	PC5		INT05	T32A02INB0	T32A02OUTA	T32A02OUTC				I/O	PU/PD	YES	SMT	Hi-z	Hi-z
45	41	PC4		INT06	T32A02INA0	T32A02OUTB	T32A02INC0				I/O	PU/PD	YES	SMT	Hi-z	Hi-z
46	42	PA2			T32A03INA0	T32A03OUTB	T32A03OUTC	UT2TXDA	UT2RXD	TSPi2RXD	I/O	PU/PD	YES	SMT	Hi-z	Hi-z

M4L2 LQFP 48	M4L1 LQFP 44	端子名称	兼用機能 A	兼用機能 B	兼用機能 1	兼用機能 2	兼用機能 3	兼用機能 4	兼用機能 5	兼用機能 6	入出力	PU/PD	OD	SMT/ CMOS	リセット中 の状態	リセット後 の状態
47	43	PA1			T32A03INB0	T32A03OUTA	T32A03INC0	UT2RXD	UT2TXDA	TSPI2TXD	I/O	PU/PD	YES	SMT	Hi-z	Hi-z
48	44	PA0			UT2CTS_N	TSPI2SCK					I/O	PU/PD	YES	SMT	Hi-z	Hi-z

注1) BOOT_N 端子と兼用です。RESET_N 端子=0 の時プルアップ(PU)となります。
RESET_N 端子=1 の時に内部リセットがかかった場合は Hi-z です。

注2) 初期値はデバッグ用端子に割り当てられています(PB3:TDI、PB2:TDO/SWV、
PB0:TMS/SWDIO、PB1:TCK/SWCLK)。PB2:TDO/SWV はツールからのコマン
ドを受け付けるまでは出力にはなりません

Not Recommended
for New Design

品番付与情報

TMP M4L 2 F W x UG

Toshiba microcontrollers

Revision / 変更記号

Package / パッケージ

記号	Package
QG	Plastic shrink quad outline non-leaded package; dry-packed / プラスチック縮小クワッドアウトラインパッケージ、防湿梱包品
UG,DUG,FG,DFG	Plastic quad flat package; dry-packed / プラスチックフラットパッケージ、防湿梱包品
MG,DMG	Plastic small-outline package; dry-packed / プラスチックスモールアウトラインパッケージ、防湿梱包品
XBG	Plastic ball grid array; dry-packed / プラスチックボールグリッドアレイ、防湿梱包品

Core / コア

記号	説明
M4	Arm Cortex-M4(FPU 機能搭載)
M3	Arm Cortex-M3
M0	Arm Cortex-M0

Product Group / グループ

ファミリ	記号	説明
TXZ	H	汎用・コンシューマエレクトロニクス
	G	OA/デジタル製品・産業機器
	K	モータ / インバータ制御・産業機器 (MCU+AMP/COMP)
	L	モータ / インバータ制御・産業機器
	P	ヘルスケア & バッテリ駆動機器

ROM size / メモリ容量

記号	容量[KB]
M	32
P	48
S	64
U	96
W	128
Y	256
Z	384
D	512
10	1,023
15	1,536
20	2,048
40	4,096
80	8,192

Pin Count

記号	説明	記号	説明
0, G	32 ピン以下	8, Q	129 ピン以上 144 ピン以下
1, H	33 ピン以上 44 ピン以下	9, R	145 ピン以上 176 ピン以下
2, J	45 ピン以上 48 ピン以下	A, S	177 ピン以上 200 ピン以下
3, K	49 ピン以上 52 ピン以下	B, T	201 ピン以上 220 ピン以下
4, L	53 ピン以上 64 ピン以下	C, U	221 ピン以上 240 ピン以下
5, M	65 ピン以上 80 ピン以下	D, V	241 ピン以上 260 ピン以下
6, N	81 ピン以上 100 ピン以下	E, W	261 ピン以上 280 ピン以下
7, P	101 ピン以上 128 ピン以下	F, Y	281 ピン以上 300 ピン以下

ROM type / ROM タイプ

記号	説明
F	Flash
C	Mask

製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。