

32 ビット RISC マイクロコントローラ

TMPM4K グループ(2)

リファレンスマニュアル
クロック制御と動作モード
(CG-M4K(2)-E)

Revision 1.1

2018-06

東芝デバイス&ストレージ株式会社

目次

| | |
|---|----|
| 序章 | 5 |
| 関連するドキュメント | 5 |
| 表記規約 | 6 |
| 用語・略語 | 8 |
| 1. 概要 | 9 |
| 2. クロック制御 | 10 |
| 2.1. クロックの種類 | 10 |
| 2.2. リセット動作による初期値 | 10 |
| 2.3. クロック系統図 | 11 |
| 2.4. ウォーミングアップ機能 | 12 |
| 2.4.1. 高速発振用ウォーミングアップカウンタ | 12 |
| 2.4.2. ウォーミングアップタイマの使用法 | 13 |
| 2.5. fsys 用クロック逡倍回路(PLL) | 14 |
| 2.5.1. リセット解除後の PLL 設定 | 14 |
| 2.5.2. PLL 逡倍値の計算式と設定例 | 15 |
| 2.5.3. 動作中の PLL 逡倍値の変更 | 16 |
| 2.5.4. PLL 動作開始/停止/切り替えシーケンス | 17 |
| 2.5.4.1. fc 設定 (PLL 停止→PLL 動作) | 17 |
| 2.5.4.2. fc 設定 (PLL 動作→PLL 停止) | 17 |
| 2.6. システムクロック | 18 |
| 2.6.1. システムクロックの設定方法 | 19 |
| 2.6.1.1. f _{OSC} 設定 (内蔵発振→外部発振) | 19 |
| 2.6.1.2. f _{OSC} 設定 (内蔵発振→外部クロック入力) | 20 |
| 2.6.1.3. f _{OSC} 設定 (外部発振/外部クロック入力→内蔵発振) | 20 |
| 2.7. クロック供給設定機能 | 21 |
| 2.8. プリスケーラクロック | 21 |
| 3. 動作モード | 22 |
| 3.1. 動作モードの詳細 | 22 |
| 3.1.1. 各モードの特長 | 22 |
| 3.1.2. 低消費電力モードへの遷移と復帰 | 23 |
| 3.1.3. 低消費電力モードの選択 | 23 |
| 3.1.4. 低消費電力モードにおける周辺機能状態 | 24 |
| 3.2. 低消費電力モードへの遷移と復帰 | 25 |
| 3.2.1. IDLE モード遷移フロー | 25 |
| 3.2.2. STOP1 モード遷移フロー | 26 |
| 3.3. 低消費電力モードからの復帰 | 27 |
| 3.3.1. 低消費電力モードの解除ソース | 27 |
| 3.3.2. 低消費電力モード解除時のウォーミングアップ | 29 |

| | |
|---|----|
| 3.4. モード遷移によるクロック動作..... | 30 |
| 3.4.1. NORMAL→IDLE→NORMAL 動作モード遷移..... | 30 |
| 3.4.2. NORMAL→STOP1→NORMAL 動作モード遷移..... | 30 |
| 4. レジスタの説明..... | 31 |
| 4.1. レジスタ一覧..... | 31 |
| 4.2. レジスタ詳細..... | 32 |
| 4.2.1. [CGPROTECT](CG ライトプロテクトレジスタ)..... | 32 |
| 4.2.2. [CGOSCCR](発振制御レジスタ)..... | 32 |
| 4.2.3. [CGSYSCR](システムクロック制御レジスタ)..... | 33 |
| 4.2.4. [CGSTBYCR](スタンバイ制御レジスタ)..... | 34 |
| 4.2.5. [CGPLL0SEL](fsys 用 PLL セレクトレジスタ)..... | 34 |
| 4.2.6. [CGWUPHCR](高速発振ウォーミングアップレジスタ)..... | 35 |
| 4.2.7. [CGFSYSMENA](中速 fsysm 供給停止レジスタ A)..... | 36 |
| 4.2.8. [CGFSYSMENB](中速 fsysm 供給停止レジスタ B)..... | 38 |
| 4.2.9. [CGFSYSENA](高速 fsysh 供給停止レジスタ A)..... | 40 |
| 4.2.10. [CGFCEN](fc 供給停止レジスタ)..... | 40 |
| 4.2.11. [CGSPCLKEN](ADC、トレース用クロック供給停止レジスタ)..... | 41 |
| 5. 製品別情報..... | 42 |
| 6. 改訂履歴..... | 44 |
| 製品取り扱い上のお願い..... | 45 |

図目次

| | | |
|-------|----------------------------------|----|
| 図 2.1 | クロック系統図..... | 11 |
| 図 3.1 | 状態遷移..... | 25 |
| 図 3.2 | NORMAL→STOP1→NORMAL 動作モード遷移..... | 30 |

表目次

| | | |
|-------|-------------------------------------|----|
| 表 2.1 | [CGPLL0SEL]<PLL0SET[23:0]>設定詳細..... | 15 |
| 表 2.2 | PLL 補正值(例)..... | 15 |
| 表 2.3 | PLL0SET 設定値(例)..... | 16 |
| 表 2.4 | クロックドメインと周辺機能..... | 18 |
| 表 2.5 | システムクロック切り替え時間..... | 18 |
| 表 2.6 | 動作周波数 (単位: MHz) 例..... | 18 |
| 表 2.7 | 高速/中速システムクロック動作周波数例..... | 19 |
| 表 2.8 | プリスケラクロック切り替え時間..... | 21 |
| 表 3.1 | 低消費電力モード選択..... | 23 |
| 表 3.2 | 低消費電力モード別 ブロック動作状態一覧..... | 24 |
| 表 3.3 | 解除ソース一覧..... | 27 |
| 表 3.4 | ウォーミングアップ..... | 29 |
| 表 5.1 | [CGFSYSMENA]レジスタ製品別対応..... | 42 |
| 表 5.2 | [CGFSYSMENB]レジスタ製品別対応..... | 43 |
| 表 5.3 | [CGFSYSENA]レジスタ製品別対応..... | 43 |
| 表 5.4 | [CGFCEN]レジスタ製品別対応..... | 43 |
| 表 6.1 | 改訂履歴..... | 44 |

序章

関連するドキュメント

| 文書名 |
|-----|
| 例外 |

表記規約

- 数値表記は以下の規則に従います。
 - 16 進数表記: 0xABC
 - 10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
 - 2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は [m:n]とまとめて表記する場合があります。
例: S[3:0] は S3,S2,S1,S0 の 4 つの信号名をまとめて表記しています。
- 本文中 [] で囲まれたものはレジスタを定義しています。
例: [ABCD]
- 同種で複数のレジスタ、フィールド、ビット名は「n」で一括表記する場合があります。
例: [XYZ1],[XYZ2],[XYZ3] → [XYZn]
- 「レジスタ一覧」中のレジスタ名でユニットまたはチャンネルは「x」で一括表記しています。
ユニットの場合、「x」は A,B,C...を表します。
例: [ADACR0],[ADBCR0],[ADCCR0]→[ADxCR0]
チャンネルの場合、「x」は 0,1,2,...を表します。
例: [T32A0RUNA],[T32A1RUNA],[T32A2RUNA]→[T32AxRUNA]
- レジスタのビット範囲は [m:n] と表記します。
例: [3:0] はビット 3 から 0 の範囲を表します。
- レジスタの設定値は 16 進数または 2 進数のどちらかで表記されています。
例: [ABCD]<EFG> = 0x01 (16 進数)、 [XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
 - バイト: 8 ビット
 - ハーフワード: 16 ビット
 - ワード: 32 ビット
 - ダブルワード: 64 ビット
- レジスタ内の各ビットの属性は以下の表記を使用しています。
 - R: リードオンリー
 - W: ライトオンリー
 - R/W: リード / ライト
- 断りのない限り、レジスタアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスタは書き換えを行わないでください。また、読み出した値を使用しないでください。
- Default 値が「—」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスタに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- ライトオンリーのレジスタの Reserved ビットフィールドには Default 値を書き込んでください。Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスタへのリードモディファイライト処理は行わないでください。

Arm, Cortex および Thumb は Arm Limited(またはその子会社)の US またはその他の国における登録商標です。 All rights reserved.



Flash メモリについては、米国 SST 社(Silicon Storage Technology, Inc)からライセンスを受けた Super Flash®技術を使用しています。Super Flash®は SST 社の登録商標です。

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

| | |
|------------------|---|
| ADC | Analog to Digital Converter |
| A-ENC32 | Advanced Encoder input Circuit(32-bit) |
| A-PMD | Advanced Programmable Motor Control Circuit |
| A-VE+ | Advanced Vector Engine plus |
| CAN | Controller Area Network |
| CG | Clock Control and Operation Mode |
| CRC | Cyclic Redundancy Check |
| DMAC | Direct Memory Access Controller |
| DNF | Digital Noise Filter |
| EHOSC | External High speed Oscillator |
| fsys | frequency of SYSTEM Clock |
| IHOSC | Internal High speed Oscillator |
| INT | Interrupt |
| I ² C | Inter-Integrated Circuit |
| LVD | Voltage Detection Circuit |
| NBDIF | Non Break Debug Interface |
| NMI | Non-Maskable Interrupt |
| OFD | Oscillation Frequency Detector |
| OPAMP | Operational Amplifier |
| POR | Power On Reset Circuit |
| RAMP | RAM Parity |
| SIWDT | Clock Selective Watchdog Timer |
| TRGSEL | Trigger Selection circuit |
| TSPI | Toshiba Serial Peripheral Interface |
| T32A | 32-bit Timer Event Counter |
| UART | Universal Asynchronous Receiver Transmitter |

1. 概要

クロック/モード制御ブロックでは、クロックギアやプリスケールクロックの選択、発振器のウォーミングアップなどを設定することが可能です。

また、動作モードとして **NORMAL** モードと低消費電力モードがあり、使用方法に応じモード遷移を行うことで消費電力を抑えることができます。

クロックに関連する機能としては以下のようなものがあります。

- システムクロックの制御
- プリスケールクロックの制御

2. クロック制御

2.1. クロックの種類

クロックの一覧を以下に示します。

EHCLKIN: 外部から入力される高速クロック

f_{osc} : 内部発振回路で生成されるクロックと X1、X2 端子より入力されるクロックの選択後のクロック

f_{PLL} : PLL により通倍されたクロック

f_c : $[CGOSCCR]<OSCSEL>$ で選択されたクロック (高速クロック)

f_{sysH} : $[CGSYSCR]<GEAR[2:0]>$ で選択された高速システムクロック

f_{sysM} : $[CGSYSCR]<GEAR[2:0]><MCKSEL[1:0]>$ で選択された中速システムクロック

$\Phi T0h$: $[CGSYSCR]<PRCK[3:0]>$ で選択された高速クロック (高速プリスケールクロック)

$\Phi T0m$: $[CGSYSCR]<PRCK[3:0]><MCKSEL[1:0]>$ で選択された中速クロック (中速プリスケールクロック)

f_{HOSC1} : 内蔵高速発振器 1 で生成されるクロック

f_{HOSC2} : 内蔵高速発振器 2 で生成されるクロック

ADCLK : AD コンバータ用変換クロック

TRCLKIN: デバッグ回路(ETM)のトレース機能用クロック

注) 高速システムクロック、中速システムクロックを総称する場合は、システムクロック(f_{sys})と表します。また、高速プリスケールクロック、中速プリスケールクロックを総称する場合は、プリスケールクロック($\Phi T0$)で表します。

2.2. リセット動作による初期値

リセット動作により、クロック設定は下記のような状態に初期化されます。

外部高速発振器 : 停止

内蔵高速発振器 1 : 発振

内蔵高速発振器 2 : 停止

PLL(通倍回路) : 停止

ギアクロック : f_c (分周なし)

2.3. クロック系統図

クロック系統図を示します。

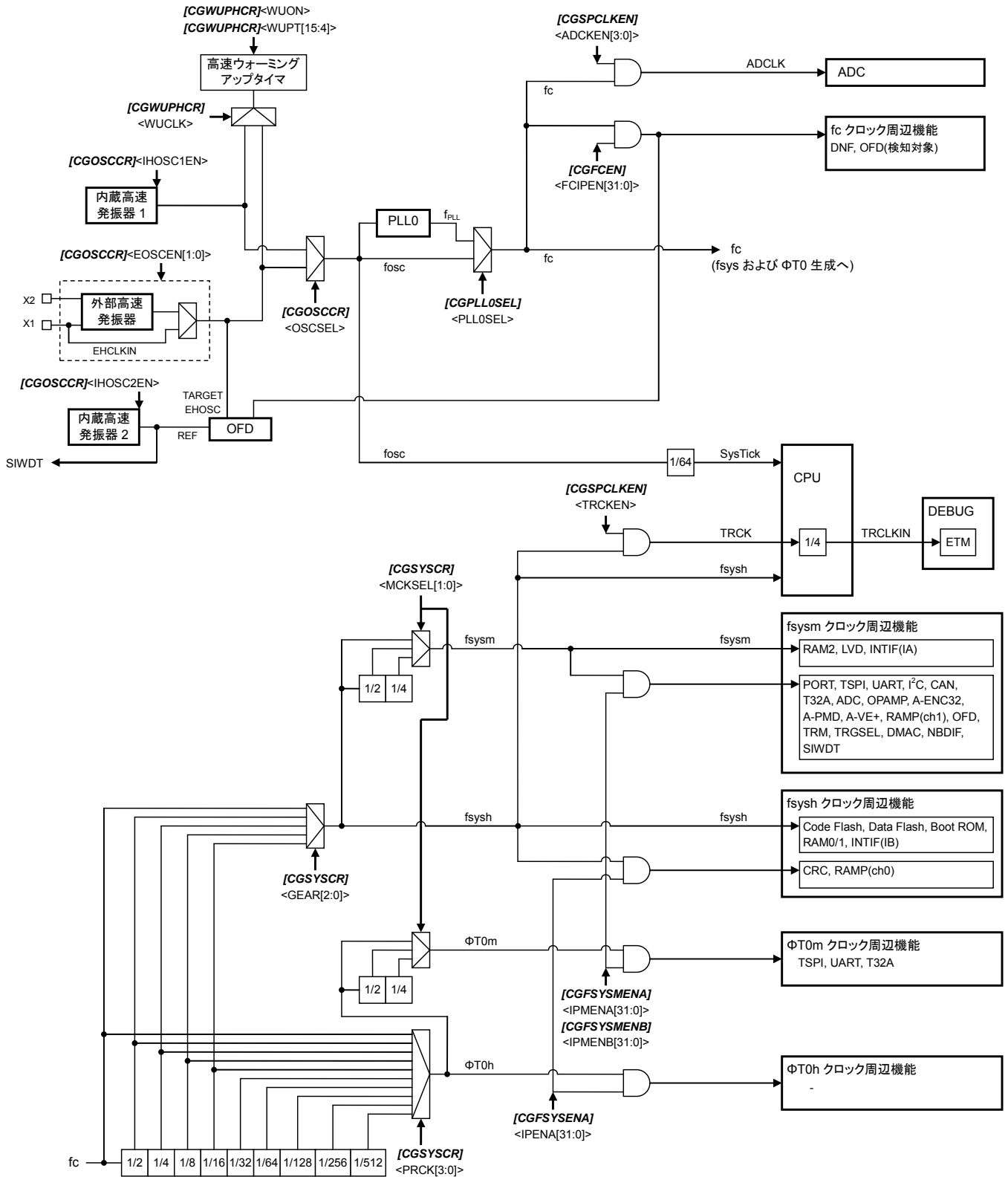


図 2.1 クロック系統図

2.4. ウォーミングアップ機能

ウォーミングアップ機能は、自動で高速発振用ウォーミングアップカウンタを起動する STOP1 モード解除時の発振安定時間を確保するための機能の他、外部発振器や内蔵発振器の安定待ちのために高速発振用ウォーミングアップカウンタを使用したカウントアップタイマとしても使用可能です。

この章では、ウォーミングアップタイマ用レジスタへの設定方法と、カウントアップタイマとして使用する場合について説明しています。STOP1 モード解除時の詳細説明については、「3.3.2 低消費電力モード解除時のウォーミングアップ」を参照してください。

2.4.1. 高速発振用ウォーミングアップカウンタ

高速発振専用ウォーミングアップカウンタとして、16ビットのアップカウンタを内蔵しています。STOP1 モードへ遷移前に設定する場合も、下記の計算式で算出し、下位 4 ビットを切り捨てて、上位 12 ビットへ設定します。レジスタは、`[CGWUPHCR]<WUPT[15:4]>` に設定することになります。設定値が 0 の場合でも、下位 4bit 分のカウントを実行するため、16 を減算しています。

<計算式>

$$\begin{aligned} & \text{ウォーミングアップカウンタ値(16ビット)} \\ & = (\text{ウォーミングアップ時間(s)} \div \text{クロック周期(s)}) - 16 \end{aligned}$$

(例) 発振器 10MHz(クロック周期 100ns)で、ウォーミング時間 5ms を設定する場合

$$\begin{aligned} \text{ウォーミングアップカウンタ値(16ビット)} & = (5\text{ms} \div 100\text{ns}) - 16 \\ & = 50000 - 16 \\ & = 49984 \\ & = 0xC340 \end{aligned}$$

レジスタへは、上位 12 ビットを設定しますので、下記のように設定します。

$$[CGWUPHCR]<WUPT[15:4]> = 0xC34$$

10MHz の場合、 $0 \leq <WUPT[15:4]> \leq 0xFFF$ の設定範囲のため、ウォーミングアップ時間は、 $1.6\mu\text{s} \sim 6.5536\text{ms}$ となります。

2.4.2. ウォーミングアップタイムの使用方法

ウォーミングアップ機能の使用方法を説明します。

(1) クロックの選択

高速発振の場合は、ウォーミングアップカウンタでカウントするクロック種別(内蔵発振/外部発振)を、**[CGWUPHCR]**<WUCLK>で選択します。

(2) ウォーミングアップカウンタ設定値の算出

ウォーミングアップ時間は、高速発振用のカウンタへ任意の値が設定可能です。それぞれの計算式から算出し、設定してください。

(3) ウォーミングアップの開始および終了確認

ソフトウェア(命令)によりウォーミングアップの開始および終了確認を行う場合、**[CGWUPHCR]**<WUON>へ"1"を設定することでウォーミングアップカウントスタートします。終了は**[CGWUPHCR]**<WUEF>が"1"→"0"になることで判別します。"1"でウォーミングアップ中、"0"で終了を示します。カウント終了後、カウンタはリセットされて初期状態に戻ります。

カウンタ動作中に**[CGWUPHCR]**<WUON>へ"0"を書き込んでも、強制終了にはなりません。"0"書き込みは無視されます。

注) ウォーミングアップタイムは発振クロックで動作しているため、発振周波数にゆらぎがある場合は誤差を含みます。従って概略時間としてとらえる必要があります。

2.5. fsys 用クロック通倍回路(PLL)

fsys 用クロック通倍回路は、高速発振器の出力クロック f_{osc} の周波数(6MHz~12MHz)に最適な条件で通倍した f_{PLL} クロック(最大 160MHz)を出力する回路です。これにより、発振器への入力周波数は低く内部クロックは高速にすることが可能です。

2.5.1. リセット解除後の PLL 設定

PLL はリセット解除後、ディセーブルです。

PLL を使用するためには、`[CGPLL0SEL]<PLL0ON>`が"0"の状態、`[CGPLL0SEL]<PLL0SET>`の通倍値の設定を行った後、PLL の初期化時間として約 $100\mu s$ 経過後に、`<PLL0ON>`を"1"に設定して PLL の動作を開始します。その後、ロックアップ時間約 $400\mu s$ 経過後に、`[CGPLL0SEL]<PLL0SEL>`を"1"に設定することにより、 f_{osc} を通倍した f_{PLL} クロックを使用することができます。

なお、PLL 動作が安定するまでの時間は、ウォーミングアップ機能などを用いて確保する必要があります。

2.5.2. PLL 逡倍値の計算式と設定例

PLL 逡倍値を設定する[CGPLL0SEL]<PLL0SET[23:0]>の内訳詳細を下記に示します。

表 2.1 [CGPLL0SEL]<PLL0SET[23:0]>設定詳細

| PLL0SET の内訳 | 機能 | |
|-------------|--------------|--|
| [23:17] | 補正值設定 | $f_{osc}/450000$ の商(整数)。表 2.2 を参照してください。 |
| [16:14] | f_{osc} 設定 | 111: $20 < f_{osc} \leq 24$ (単位: MHz) 011: $10 < f_{osc} \leq 20$ 010: Reserved 001: $6 \leq f_{osc} \leq 10$ 000: Reserved |
| [13:12] | 分周設定 | 00: Reserved 01: 2 分周 ($\times 1/2$) 10: 4 分周 ($\times 1/4$) 11: 8 分周 ($\times 1/8$) |
| [11:8] | 小数部逡倍設定 | 0000: 0.0000 0001: 0.0625 0010: 0.1250 0011: 0.1875 0100: 0.2500 0101: 0.3125 0110: 0.3750 0111: 0.4375 1000: 0.5000 1001: 0.5625 1010: 0.6250 1011: 0.6875 1100: 0.7500 1101: 0.8125 1110: 0.8750 1111: 0.9375 |
| [7:0] | 整数部逡倍設定 | 0x00: 0 0x01: 1 0x02: 2 : 0xFD: 253 0xFE: 254 0xFF: 255 |

注) 逡倍値は、<PLL0SET[7:0]>(整数部)と<PLL0SET[11:8]>(小数部)の合算です。

f_{PLL} は、以下の計算式で表されます。

$$f_{PLL} = f_{OSC} \times ([CGPLL0SEL]<PLL0SET[7:0]> + [CGPLL0SEL]<PLL0SET[11:8]>) \times ([CGPLL0SEL]<PLL0SET[13:12]>)$$

注 1) 周波数精度の絶対値は保証しません。

注 2) 小数部逡倍設定にリニアリティはありません。

注 3) $f_{PLL} \leq$ 最大動作周波数

表 2.2 PLL補正值(例)

| f_{osc} (MHz) | <PLL0SET[23:17]>(10 進、整数値) |
|-----------------|----------------------------|
| 6.00 | 14 |
| 8.00 | 18 |
| 10.00 | 23 |
| 12.00 | 27 |

PLL 補正值は、以下で求めることができます
 $f_{osc}=10.0\text{MHz}$ 時、 $10.0/0.45=22.22$; 小数部は切り上げ

[CGP LL 0SEL]<P LL 0SET[23:0]>の主な設定例を、下記に示します。

入力周波数(f_{osc})を、PLL で逡倍、分周し、目的とするクロック周波数(f_{PLL})を生成します。

分周値は、1/2、1/4、1/8 から選択します。

また、逡倍後の周波数は次の範囲で設定してください。200MHz \leq (f_{osc} ×逡倍値) \leq 400MHz

表 2.3 PLL0SET設定値(例)

| f _{osc} (MHz) | 逡倍値 | 分周値 | f _{PLL} (MHz) | <P LL 0SET[23:0]> |
|------------------------|---------|-----|------------------------|---------------------|
| 6.00 | 53.3125 | 1/2 | 159.94 | 0x1C5535 |
| 8.00 | 40.0000 | 1/2 | 160 | 0x245028 |
| 10.00 | 32.0000 | 1/2 | 160 | 0x2E5020 |
| 12.00 | 26.6250 | 1/2 | 159.75 | 0x36DA1A |

2.5.3. 動作中の PLL 逡倍値の変更

PLL 逡倍クロック動作中に、逡倍値の変更を行う場合、まず[CGP LL 0SEL]<P LL 0SEL>に"0"を設定し PLL 逡倍クロックを使用しない設定に切り替えます。そして、[CGP LL 0SEL]<P LL 0ST>=0 を読み出し、逡倍クロックを使用しない設定に切り替わったことを確認した後、[CGP LL 0SEL]<P LL 0ON>を"0"として PLL を停止します。

その後、[CGP LL 0SEL]<P LL 0SET>の逡倍値を変更し、PLL の初期化時間として約 100 μ s 経過後に、[CGP LL 0SEL]<P LL 0ON>を"1"に設定して PLL の動作を開始します。

その後、ロックアップ時間約 400 μ s 経過後に、[CGP LL 0SEL]<P LL 0SEL>を"1"に設定します。最後に、[CGP LL 0SEL]<P LL 0ST>をリードし、切り替わったことを確認します。

2.5.4. PLL 動作開始/停止/切り替えシーケンス

2.5.4.1. fc 設定 (PLL 停止→PLL 動作)

fc 設定として、PLL 停止状態から PLL 動作状態への切り替え手順例は、下記のようになります。

| ≪切り替え前の状態≫ | |
|------------------------|---|
| [CGPLL0SEL]<PLL0ON>=0 | fsys 用 PLL 動作が停止 |
| [CGPLL0SEL]<PLL0SEL>=0 | fsys 用 PLL 選択が PLL 未使用(fosc) |
| [CGPLL0SEL]<PLL0ST>=0 | fsys 用 PLL 選択ステータスが PLL 未使用(fosc) |
| [CGSYSCR]<MCKSEL>=00 | 高速システムクロック: 中速システムクロック、 高速プリスケラクロック: 中速システムクロック の比率が 1:1 |

| ≪切り替え手順例≫ | |
|-----------|--|
| 1 | [CGSYSCR]<MCKSEL[1:0]>=01 or 1* 高速システムクロック: 中速システムクロック、 高速プリスケラクロック: 中速システムクロック の比率を変更する |
| 2 | [CGSYSCR]<MCKSELGST><MCKSELPST> をリード 上記 1 で設定した値になるまで待つ |
| 3 | [CGPLL0SEL]<PLL0SET>=0xX PLL 逡倍値設定(0xX)を選択する |
| 4 | 100μs 以上待つ 逡倍設定後の待ち時間 |
| 5 | [CGPLL0SEL]<PLL0ON>=1 fsys 用 PLL 動作を発振にする |
| 6 | 400μs 以上待つ PLL 出力クロック安定待ち時間(ロックアップ時間) |
| 7 | [CGPLL0SEL]<PLL0SEL>=1 fsys 用 PLL 選択を PLL 使用(f _{PLL})にする |
| 8 | [CGPLL0SEL]<PLL0ST>をリード fsys 用 PLL 選択ステータスが PLL 使用(f _{PLL})(=1)になるまで待つ |

注 1) 処理 1,2 は、システムクロックの比率を変更する場合に設定します。

注 2) 処理 3~6 は、切り替え前の状態が [CGPLL0SEL]<PLL0ON>=1 の場合は不要です。

PLL 出力クロックが安定した状態から切り替える場合は、処理 7,8 のみの実行で PLL 動作状態へ切り替え可能です。

2.5.4.2. fc 設定 (PLL 動作→PLL 停止)

fc 設定として、PLL 動作状態から PLL 停止状態への切り替え手順例は、下記のようになります。

| ≪切り替え前の状態≫ | |
|------------------------|---|
| [CGPLL0SEL]<PLL0ON>=1 | fsys 用 PLL 選択が発振 |
| [CGPLL0SEL]<PLL0SEL>=1 | fsys 用 PLL 選択が PLL 使用(f _{PLL}) |
| [CGPLL0SEL]<PLL0ST>=1 | fsys 用 PLL 選択ステータスが PLL 使用(f _{PLL}) |

| ≪切り替え手順例≫ | |
|-----------|---|
| 1 | [CGPLL0SEL]<PLL0SEL>=0 fsys 用 PLL 選択を PLL 未使用(fosc)にする |
| 2 | [CGPLL0SEL]<PLL0ST>をリード fsys 用 PLL 選択ステータスが PLL 未使用(fosc)(=0)になるまで待つ |
| 3 | [CGPLL0SEL]<PLL0ON>=0 fsys 用 PLL 動作を停止にする |

2.6. システムクロック

システムクロックの源振として、内蔵高速発振クロック、外部高速発振クロック(発振子接続またはクロック入力) が使用可能です。

システムクロックは高速で動作する「高速システムクロック (fsysh)(最大動作周波数 160MHz)」と、高速システムクロックを分周して動作させる「中速システムクロック (fsysm) (最大動作周波数 80MHz)」があり、中速システムクロックで動作させる周辺機能は、CPUの処理能力を保持したまま消費電力を抑えることができます。周辺機能が動作するクロックドメインは表 2.4 で確認してください。

高速システムクロックは、**[CGSYSCR]<GEAR[2:0]>** (クロックギア) で f_c を分周することが可能です。中速システムクロックはクロックギアで f_c を分周した高速システムクロックを、**[CGSYSCR]<MCKSEL[1:0]>** でさらに分周することができます。設定は動作中に変更可能ですが、レジスタ書き込み後、実際にクロックが切り替わるまでに表 2.5 の時間が必要です。クロック切り替えの完了は、**[CGSYSCR]<GEARST[2:0]><MCKSELGST[1:0]>** で確認してください。

表 2.4 クロックドメインと周辺機能

| クロックドメイン | Block |
|------------|--|
| 高速システムクロック | CPU, Code Flash, Data Flash, CG, INTIF(IB) CRC, RAMP(ch0) |
| 中速システムクロック | DMAC, NBDIF, SIWDT, UART, CAN, TSPI, I ² C, T32A ADC, OPAMP, Port, A-PMD, A-ENC32, A-VE+, INTIF(IA) DNF, LVD, TRM, Flash(reg), OFD, RAMP(ch1) |

表 2.5 システムクロック切り替え時間

| システムクロック | 高速(fsysh) | 中速(fsystm) |
|----------|-------------------|-------------------|
| fsys | f_c で最大 16 クロック | f_c で最大 16 クロック |
| fsys/2 | - | f_c で最大 32 クロック |
| fsys/4 | - | f_c で最大 64 クロック |

- 注 1) タイマカウンタなどの周辺機能の動作中にクロックギア、システムクロックは切り替えないようにしてください。
- 注 2) システムクロック切り替え中は、高速システムクロックドメインと中速システムクロックドメインを跨ぐアクセスはできません。

発振周波数、PLL 通倍値などで設定した周波数 f_c に対するクロックギア比 (1/1~1/16) による動作周波数例を下記に示します。

表 2.6 動作周波数 (単位: MHz) 例

| 外部発振 (MHz) | 外部クロック入力 (MHz) | 内蔵発振 IHOSC1 (MHz) | PLL 通倍値 (分周後) | 最大周波数 (f_c) (MHz) | クロックギア PLL=ON 時 | | | | | クロックギア PLL=OFF 時 | | | | |
|------------|----------------|-------------------|---------------|-----------------------|-----------------|-------|-------|-------|-------|------------------|-----|-----|------|------|
| | | | | | 1/1 | 1/2 | 1/4 | 1/8 | 1/16 | 1/1 | 1/2 | 1/4 | 1/8 | 1/16 |
| 6 | 6 | - | 26.66 | 159.94 | 159.94 | 79.97 | 39.99 | 19.99 | 10.00 | 6 | 3 | 1.5 | - | - |
| 8 | 8 | - | 20 | 160 | 160 | 80 | 40 | 20 | 10 | 8 | 4 | 2 | 1 | - |
| 10 | 10 | 10 | 16 | 160 | 160 | 80 | 40 | 20 | 10 | 10 | 5 | 2.5 | 1.25 | - |
| 12 | 12 | - | 13 | 156 | 156 | 78 | 39 | 19.5 | 9.75 | 12 | 6 | 3 | 1.5 | - |

表 2.7 高速/中速システムクロック動作周波数例

| 高速 システムクロック fsysh(MHz) | 中速 システムクロック fsysm(MHz) | | |
|------------------------------|---------------------------|-----|-----|
| | 1/1 | 1/2 | 1/4 |
| 160 | - | 80 | 40 |
| 80 | 80 | 40 | 20 |

注) 中速システムクロックの最大動作周波数は 80MHz です。

2.6.1. システムクロックの設定方法

2.6.1.1. fosc 設定 (内蔵発振→外部発振)

fosc 設定として、内蔵高速発振器 1(IHOSC1)から外部高速発振器(EHOSC)への切り替え手順例を下記に示します。

| 《切り替え前の状態》 | |
|-----------------------|-------------------------------------|
| [CGOSCCR]<IHOSC1EN>=1 | 内蔵高速発振器 1 が発振 |
| [CGOSCCR]<OSCSEL>=0 | fosc 用高速発振選択が内蔵高速発振器 1(IHOSC1) |
| [CGOSCCR]<OSCF>=0 | fosc 用高速発振選択ステータスが内蔵高速発振器 1(IHOSC1) |
| X1/X2 端子に発振子を接続 (注) | |

注) 発振子以外は接続しないでください。

| 《切り替え手順例》 | | |
|-----------|---|---|
| 1 | [PHPDN]<bit[1:0]>=00 [PHIE]<bit[1:0]>=00 | X1/X2 端子のプルダウンを Disable X1/X2 端子の入力制御を Disable |
| 2 | [CGOSCCR]<EOSCEN[1:0]>=01 | 外部発振器の動作選択を外部高速発振器(EHOSC) |
| 3 | [CGWUPHCR]<WUCLK>=1 [CGWUPHCR]<WUPT[15:4]>=任意値 | 高速発振ウォーミングアップクロック選択を外部高速発振器(EHOSC) ウォーミングアップカウンタ設定値へ発振器安定時間を設定 |
| 4 | [CGWUPHCR]<WUON>=1 | 高速発振ウォーミングアップをスタートする |
| 5 | [CGWUPHCR]<WUEF>をリード | 高速発振ウォーミングアップ終了(=0)になるまで待つ |
| 6 | [CGOSCCR]<OSCSEL>=1 | fosc 用高速発振選択を外部高速発振器(EHOSC)へ |
| 7 | [CGOSCCR]<OSCF>をリード | fosc 用高速発振選択ステータスが外部高速発振器(=1)になるまで待つ |
| 8 | [CGOSCCR]<IHOSC1EN>=0 | 内蔵高速発振器 1 を停止 |

2.6.1.2. fosc 設定（内蔵発振→外部クロック入力）

fosc 設定として、内蔵高速発振器 1(IHOSC1)から外部クロック入力(EHCLKIN)への切り替え手順例を下記に示します。

| 《切り替え前の状態》 | |
|-----------------------|-------------------------------------|
| [CGOSCCR]<IHOSC1EN>=1 | 内蔵高速発振器 1 が発振 |
| [CGOSCCR]<OSCSEL>=0 | fosc 用高速発振選択が内蔵高速発振器 1(IHOSC1) |
| [CGOSCCR]<OSCF>=0 | fosc 用高速発振選択ステータスが内蔵高速発振器 1(IHOSC1) |
| EHCLKIN へのクロック入力 | 適正電圧範囲で入力してください。 |

| 《切り替え手順例》 | |
|-----------|---|
| 1 | [PHPDN]<bit[0]>=0 [PHIE]<bit[0]>=1 EHCLKIN 端子のブルダウンを Disable EHCLKIN 端子の入力制御を Enable |
| 2 | [CGOSCCR]<EOSCEN[1:0]>=10 外部発振器の動作選択を外部クロック入力(EHCLKIN)にする |
| 3 | [CGOSCCR]<OSCSEL>=1 fosc 用高速発振選択を外部クロックへ |
| 4 | [CGOSCCR]<OSCF>をリード fosc 用高速発振選択ステータスが外部高速発振器(=1)になるまで待つ |
| 5 | [CGOSCCR]<IHOSC1EN>=0 内蔵高速発振器 1 を停止 |

2.6.1.3. fosc 設定（外部発振／外部クロック入力→内蔵発振）

fosc 設定として、外部高速発振器(EHOSC)動作状態または外部クロック入力(EHCLKIN)動作状態から、内蔵高速発振器 1(IHOSC1)への切り替え手順例を下記に示します。

| 《切り替え前の状態》 | |
|---------------------------------|------------------------------------|
| [CGOSCCR]<EOSCEN[1:0]>=01 or 10 | 外部発振器の動作選択が外部高速発振器(EHOSC)か外部クロック入力 |
| [CGOSCCR]<OSCSEL>=1 | fosc 用高速発振選択が外部高速発振器(EHOSC) |
| [CGOSCCR]<OSCF>=1 | fosc 用高速発振選択ステータスが外部高速発振器(EHOSC) |

| 《切り替え手順例》 | |
|-----------|---|
| 1 | [CGOSCCR]<IHOSC1EN>=1 内蔵高速発振器 1 を発振する |
| 2 | [CGOSCCR]<IHOSC1F>をリード 内蔵高速発振安定フラグが発振安定(=1)になるまで待つ |
| 3 | [CGOSCCR]<OSCSEL>=0 fosc 用高速発振選択を内部クロック(IHOSC1)へ |
| 4 | [CGOSCCR]<OSCF>をリード fosc 用高速発振選択ステータスが内蔵高速発振器 1(=0)になるまで待つ |
| 5 | [CGOSCCR]<EOSCEN[1:0]>=00 外部発振器の動作選択を未使用にする |

2.7. クロック供給設定機能

この製品には、周辺機能に対してクロック供給/停止機能があり、使用しない周辺機能に対して、クロック供給を停止することで消費電流を削減することができます。

リセット解除後は、一部の周辺機能を除き、クロックが供給されていない状態です。

使用する機能のクロックを供給するには、`[CGFSYSENA]`、`[CGFSYSMENA]`、`[CGFSYSMENB]`、`[CGSPCLKEN]`の該当のビットを"1"に設定します。

レジスタの詳細は、「4. レジスタの説明」を参照してください。

2.8. プリスケーラクロック

周辺機能には、それぞれにクロック $\Phi T0$ を分周するプリスケーラがあります。これらのプリスケーラへ入力するクロック $\Phi T0$ は、`[CGSYSCR]<PRCK[3:0]>`で高速プリスケーラクロック分周が可能です。また、`[CGSYSCR]<MCKSEL[1:0]>`で高速プリスケーラクロックを分周した中速プリスケーラクロックが決まります。リセット後の $\Phi T0$ は、`fc` が選択されます。

レジスタ書き込み後、実際にクロックが切り替わるまでに表 2.8 の時間が必要です。クロック切り替えの完了は、`[CGSYSCR]<PRCKST[3:0]><MCKSELPST[1:0]>`で確認してください。

表 2.8 プリスケーラクロック切り替え時間

| プリスケーラクロック | 高速($\Phi T0h$) | 中速($\Phi T0m$) |
|-------------|------------------|------------------|
| $\Phi T0$ | fc で最大 512 クロック | fc で最大 512 クロック |
| $\Phi T0/2$ | - | fc で最大 1024 クロック |
| $\Phi T0/4$ | - | fc で最大 2048 クロック |

注 1) タイマカウンタなどの周辺機能の動作中にプリスケーラクロックを切り替えないようにしてください。

注 2) プリスケーラクロック切り替え中は、高速システムクロックドメインと中速システムクロックドメインを跨ぐアクセスはできません。

3. 動作モード

この製品には、動作モードとして NORMAL モードと低消費電力モード(IDLE,STOP1)があり、使用方法に応じモード遷移を行うことで消費電力を抑えることができます。

3.1. 動作モードの詳細

3.1.1. 各モードの特長

NORMAL、低消費電力モードの特長は次のとおりです。

- NORMAL モード

CPU コアおよび周辺回路を高速クロックで動作させるモードです。リセット解除後は、NORMAL モードとなります。

- 低消費電力モード

低消費電力モードは以下のとおりです。

- IDLE モード

CPU が停止するモードです。

周辺機能は各周辺機能のレジスタ、クロック供給設定機能などにより、動作/停止を行ってください。

注) IDLE モード中は CPU によるウォッチドッグタイマのクリアができませんので注意してください。

- STOP1 モード

内蔵高速発振器も含めて全ての内部回路が停止するモードです。

STOP1 モードが解除されると内蔵高速発振器 1 (IHOSC1)が発振を開始し、NORMAL モードへ復帰します。

STOP1 モードに遷移する前に、STOP1 解除に使用しない割り込みは禁止してください。

3.1.2. 低消費電力モードへの遷移と復帰

各低消費電力動作へ遷移するには、スタンバイ制御レジスタ[CGSTBYCR]<STBY[1:0]>で IDLE/STOP1 モードを選択し、WFI 命令を実行します。WFI 命令によって低消費電力モードへ遷移した場合、低消費電力モードからの復帰はリセットまたは割り込み発生により行われます。割り込みで復帰する場合には、設定を行っておく必要があります。詳細はリファレンスマニュアルの「例外」の「割り込み」章を参照してください。

注 1) この製品ではイベントによる復帰はサポートしていないため、WFE (Wait For Event)による低消費電力モードへの遷移は行わないでください。

注 2) この製品は、Cortex-M4(FPU 機能搭載)の SLEEPDEEP による低消費電力モードはサポートしていません。システム制御レジスタの<SLEEPDEEP>ビットは設定しないでください。

3.1.3. 低消費電力モードの選択

低消費電力モード選択は、[CGSTBYCR]<STBY[1:0]>の設定で選択されます。下表に<STBY[1:0]>の設定より選択されるモードを示します。

表 3.1 低消費電力モード選択

| モード | [CGSTBYCR]<STBY[1:0]> |
|-------|-----------------------|
| IDLE | 00 |
| STOP1 | 01 |

注) 上記の設定以外は行わないでください。

3.1.4. 低消費電力モードにおける周辺機能状態

各モードにおける周辺機能(ブロック)の動作状態を表 3.2 に示します。

なお、リセット解除後は、一部のブロックを除きクロックが供給されない状態となります。

必要に応じて、[CGFSYSENA] [CGFSYSMENA] [CGFSYSMENB] [CGFCEN] [CGSPCLKEN]を設定しクロック供給を許可してください。

表 3.2 低消費電力モード別 ブロック動作状態一覧

| Block | NORMAL | IDLE | STOP1 |
|-------------------|------------|-------------------|-----------|
| Processor core | ○ | — | — |
| DMAC | ○ | ○ | — |
| I/O port | 端子状態 | ○ | ○ |
| | レジスタ | ○ | — |
| ADC(OPAMP 含む) | ○ | ○ | — |
| UART | ○ | ○ | — |
| I ² C | ○ | ○ | — |
| TSPI | ○ | ○ | — |
| CAN | ○ | ○ | — |
| A-PMD | ○ | ○ | — |
| A-ENC32 | ○ | ○ | — |
| A-VE+ | ○ | ○ | — |
| T32A | ○ | ○ | — |
| TRGSEL | ○ | ○ | — |
| CRC | ○ | ○ | — |
| SIWDT | ○ | — | — |
| LVD | ○ | ○ | ○ |
| OFD | ○ | ○ | — |
| TRM | ○ | 使用不可 | — |
| CG | ○ | ○ | ○ |
| PLL | ○ | ○ | — |
| RAM パリティ(RAMP) | ○ | ○ | — |
| 外部高速発振器(EHOSC) | ○ | ○ | — |
| 内蔵高速発振器 1(IHOSC1) | ○ | ○ | — |
| 内蔵高速発振器 2(IHOSC2) | ○ | ○ | — |
| Code Flash | アクセス 可能 | アクセス 可能 (注) | データ 保持 |
| Data Flash | | | |
| RAM | | | |

○: 動作可能

—: 対象のモードに遷移すると自動的に周辺回路へのクロックが停止

注) CPU 以外のデータアクセス(R/W)する周辺機能(DMA など)がバスマトリクス上で接続されていない場合は、データ保持となります。

3.2. 低消費電力モードへの遷移と復帰

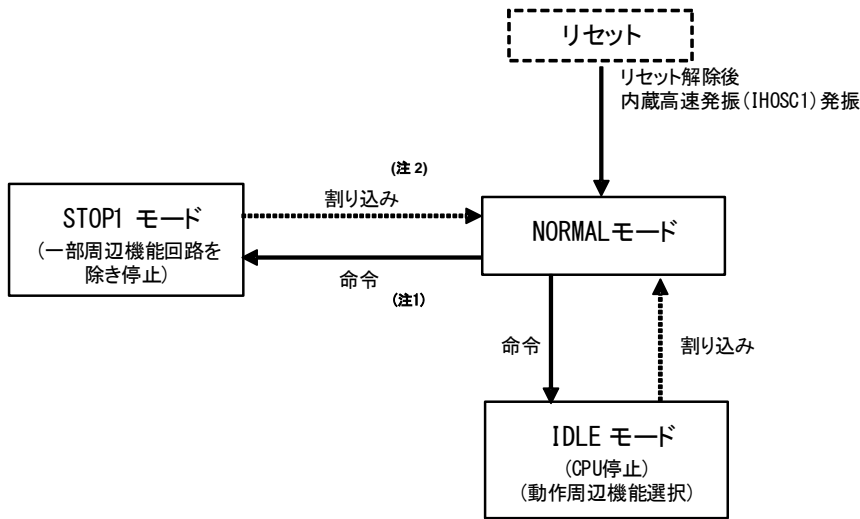


図 3.1 状態遷移

注 1) 復帰時にウォーミングアップが必要となります。ウォーミングアップ時間の設定は STOP1 モードに入る前のモード(NORMAL モード)で設定する必要があります。

注 2) STOP1 モードからの復帰時は割り込み起動要因の処理ルーチンに分岐します。

3.2.1. IDLE モード遷移フロー

IDLE へ遷移する場合は、以下の順番で設定してください。

IDLE モードは割り込みで解除されますので、IDLE モードへ遷移する前に割り込みの設定を行ってください。IDLE モード解除に使用可能な割り込みは「3.3.1 低消費電力モードの解除ソース」を参照してください。解除に使用しない割り込み、および使用できない割り込みは禁止してください。

| 遷移手順 | | |
|------|-------------------------------|-------------------------------|
| 1 | $[SIWDxEN]<WDTE> = 0$ | SIWDT をディセーブルにする |
| 2 | $[SIWDxCR]<WDCR[7:0]> = 0xB1$ | SIWDT をディセーブルにする |
| 3 | $[FCSR0]<RDYBSY>$ をリード | Flash が Ready 状態 (=1) になるまで待つ |
| 4 | $[CGSTBYCR]<STBY[1:0]> = 00$ | 低消費電力モード選択を IDLE にする |
| 5 | $[CGSTBYCR]<STBY[1:0]>$ をリード | 処理 4 のレジスタライトを確認する (=00) |
| 6 | WFI 命令実行 | IDLE へ遷移する |

3.2.2. STOP1 モード遷移フロー

STOP1 へ遷移する場合は、以下の順番で設定してください。

STOP1 モードは割り込みで解除されますので、STOP1 モードへ遷移する前に割り込みの設定を行ってください。STOP1 モード解除に使用可能な割り込みは「3.3.1 低消費電力モードの解除ソース」を参照してください。解除に使用しない割り込み、および使用できない割り込みは禁止してください。

| 遷移手順 (Normal モードから) | | |
|---------------------|----------------------------|---|
| 1 | [SIWDXEN]<WDTE>=0 | SIWDT をディセーブルにする |
| 2 | [SIWDXCR]<WDCR[7:0]>=0xB1 | SIWDT をディセーブルにする |
| 3 | [FCSR0]<RDYBSY>をリード | Flash が Ready 状態(=1)になるまで待つ |
| 4 | [CGWUPHCR]<WUEF>をリード | 高速発振ウォーミングアップ終了(=0)になるまで待つ |
| 5 | [CGWUPHCR]<WUCLK>=0 | 高速発振ウォーミングアップクロック選択を内蔵高速発振器 1(IHOSC1)にする |
| | [CGWUPHCR]<WUPT[15:4]>=任意値 | 高速発振ウォーミングアップカウンタ設定値を STOP1 復帰に必要な時間に設定する |
| 6 | [CGSTBYCR]<STBY[1:0]>=01 | 低消費電力モード選択を STOP1 にする |
| 7 | [CGPLL0SEL]<PLL0SEL>=0 | fsys 用 PLL 選択を PLL 未使用(fosc)にする |
| 8 | [CGPLL0SEL]<PLL0ST>をリード | fsys 用 PLL 選択ステータスが PLL 未使用になるまで待つ(=0) |
| 9 | [CGPLL0SEL]<PLL0ON>=0 | fsys 用 PLL 動作を停止する |
| 10 | [CGOSCCR]<IHOSC1EN>=1 | 内蔵高速発振器 1 を発振にする |
| 11 | [CGOSCCR]<OSCSSEL>=0 | fosc 用高速発振選択を内蔵高速発振器 1(IHOSC1)にする |
| 12 | [CGOSCCR]<OSCF>をリード | fosc 用高速発振選択ステータスが内蔵高速発振器 1(=0)になるまで待つ |
| 13 | [CGOSCCR]<EOSCEN[1:0]>=00 | 外部発振の動作選択を未使用にする |
| 14 | [CGOSCCR]<IHOSC2EN>=0 | 内蔵高速発振器 2(IHOSC2)を停止する |
| 15 | [CGOSCCR]<EOSCEN[1:0]>をリード | 処理 13 のレジスタライトを確認する(=00) |
| 16 | [CGOSCCR]<IHOSC2F>をリード | IHOSC2 用内蔵発振安定フラグが"0"になるまで待つ |
| 17 | WFI 命令実行 | STOP1 へ遷移する |

3.3. 低消費電力モードからの復帰

3.3.1. 低消費電力モードの解除ソース

低消費電力モードからの解除は、割り込み、マスク不能割り込み、リセットによって行うことができます。使用できる解除ソースは、低消費電力モードにより決まります。詳細を下表に示します。

表 3.3 解除ソース一覧

| 低消費電力モード | | IDLE | STOP1 | |
|------------------|-------------------|---|-------|---|
| 解除 ソース | 割り込み | INT00~INT21 (注) | ○ | ○ |
| | | INTVCN0, INTVCT0 | ○ | × |
| | | INTEMGx, INTOVVx, INTPWMx | ○ | × |
| | | INTENCx0, INTENCx1 | ○ | × |
| | | INTADxPDA, INTADxPDB, INTADxCP0, INTADxCP1, INTADxTRG, INTADxSGL, INTADxCNT | ○ | × |
| | | INTSCxRX, INTSCxTX, INTSCxERR | ○ | × |
| | | INTI2Cx, INTI2CxAL, INTI2CxBF, INTI2CxNACK | ○ | × |
| | | INTCANGLB, INTCANRXD, INTCANTXD | ○ | × |
| | | INTT32AxAC, INTT32AxACCAP0, INTT32AxACCAP1 INTT32AxB, INTT32AxBCAP0, INTT32AxBCAP1 | ○ | × |
| | | INTPARIx | ○ | × |
| | | INTDMAATC, INTDMAAERR | ○ | × |
| | | INTFLCRDY | ○ | × |
| | | INTFLDRDY | ○ | × |
| | SysTick 割り込み | ○ | × | |
| | マスク不能割り込み(INTWDT) | × | × | |
| | マスク不能割り込み(INTLVD) | ○ | ○ | |
| | リセット(SIWDT) | × | × | |
| リセット(LVD) | ○ | ○ | | |
| リセット(OFD) | ○ | × | | |
| リセット(RESET_N 端子) | ○ | ○ | | |

○: 解除後、割り込み処理を開始します

×: 解除に使用できません

注) INT00~INT21(外部割り込み 00~21)は、立ち上がり/立ち下がり/レベルのいずれかを選択することができます。設定の詳細はリファレンスマニュアル「例外」を参照してください。

- 割り込み要求による解除

割り込みによって低消費電力モードを解除する場合、CPUで割り込みが検出されるよう準備しておく必要があります。STOP1モードの解除に使用する割り込みは、CPUの設定の他にINTIFで割り込み検出の設定を行う必要があります。

- マスク不能割り込み(NMI)による解除

LVD 割り込み(INTLVD)で低消費電力モードからの解除を行うことができます。

- リセットによる解除

リセットは全ての低消費電力モードからの解除を行うことができます。

リセットで解除した場合には、解除後 NORMAL モードで全てのレジスタが初期化された状態になります。

- SysTick 割り込みによる解除

SysTick 割り込みは IDLE モードでのみ使用可能です。

割り込みの詳細に関しては、リファレンスマニュアル「例外」の「割り込み」章を参照してください。

3.3.2. 低消費電力モード解除時のウォーミングアップ

モード遷移時、内部回路の安定のためウォーミングアップが必要な場合があります。

STOP1 モードから NORMAL モードへの遷移では、自動的に内部発振が選択されウォーミングアップ用カウンタが起動されます。ウォーミングアップ時間経過後にシステムクロックの出力が開始されます。

このため、STOP1 モードに遷移する命令を実行する前に、`[CGWUPHCR]<WUPT[15:4]>`でウォーミングアップ時間の設定を行ってください。設定方法については、「2.4.1 高速発振用ウォーミングアップカウンタ」を参照してください。

各動作モード遷移時におけるウォーミングアップ設定の有無を下表に示します。

表 3.4 ウォーミングアップ

| 動作モード遷移 | ウォーミングアップ設定 |
|----------------|-------------|
| NORMAL → IDLE | 不要 |
| NORMAL → STOP1 | 不要 |
| IDLE → NORMAL | 不要 |
| STOP1 → NORMAL | 必要 |

3.4. モード遷移によるクロック動作

モード遷移の際の、クロック動作について以下に示します。

3.4.1. NORMAL→IDLE→NORMAL 動作モード遷移

IDLEモードは、CPUが停止するモードです。周辺機能へのクロック供給は、設定状態を保持します。必要に応じて、各周辺機能のレジスタ、クロック供給設定機能などにより、動作/停止を行ってください。IDLE状態から、NORMALモードへの復帰時にウォーミングアップは行いません。

IDLEモードへ遷移する命令(WFI)実行後、プログラムカウンタは次の行を示してCPU停止状態となります。解除ソースにより、CPU再起動となり、割り込み許可状態の場合、先に解除ソースの割り込み処理を経て、遷移命令(WFI)の次の行を実行することになります。

3.4.2. NORMAL→STOP1→NORMAL 動作モード遷移

STOP1モードからNORMALモードへ復帰する場合、ウォーミングアップは自動的に起動します。

STOP1モードへ遷移する前に[CGWUPHCR]<WUPT[15:4]>へウォーミングアップ時間(8μs以上)の設定を行ってください。

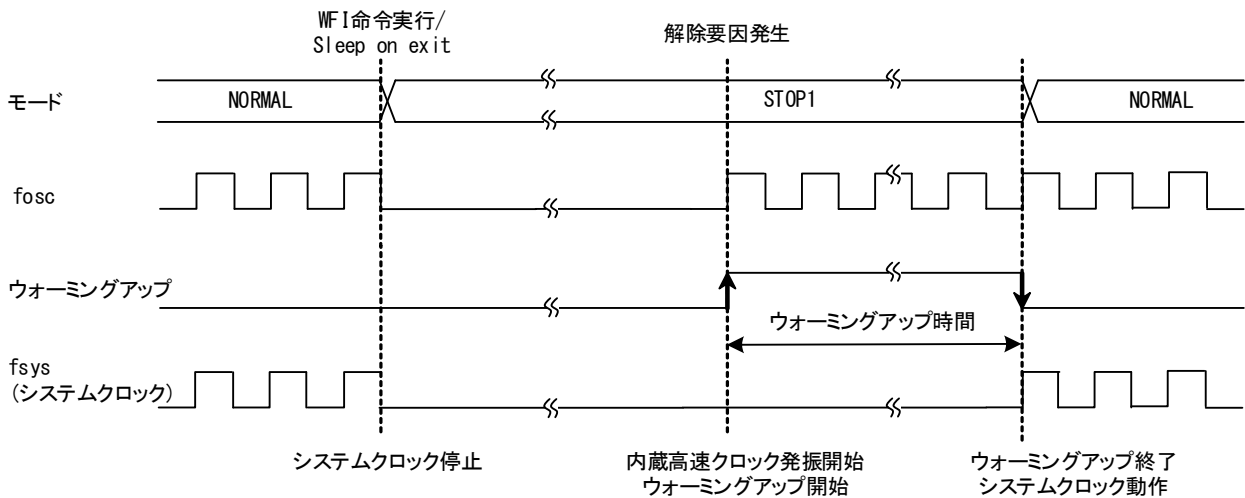


図 3.2 NORMAL→STOP1→NORMAL 動作モード遷移

4. レジスタの説明

4.1. レジスタ一覧

CG 関連のレジスタとアドレスを以下に示します。

| 周辺機能 | チャンネル/ユニット | ベースアドレス |
|--------------|------------|------------|
| クロック制御と動作モード | CG | 0x40083000 |

| レジスタ名 | | アドレス(Base+) |
|---------------------------------|--------------|-------------|
| CG ライトプロテクトレジスタ | [CGPROTECT] | 0x0000 |
| 発振制御レジスタ | [CGOSCCR] | 0x0004 |
| システムクロック制御レジスタ | [CGSYSCR] | 0x0008 |
| スタンバイ制御レジスタ | [CGSTBYCR] | 0x000C |
| f _{sys} 用 PLL セレクトレジスタ | [CGPLL0SEL] | 0x0020 |
| 高速発振ウォーミングアップレジスタ | [CGWUPHCR] | 0x0030 |
| 中速 f _{sysm} 供給停止レジスタ A | [CGFSYSMENA] | 0x0048 |
| 中速 f _{sysm} 供給停止レジスタ B | [CGFSYSMENB] | 0x004C |
| 高速 f _{sysh} 供給停止レジスタ A | [CGFSYSENA] | 0x0050 |
| fc 供給停止レジスタ | [CGFCEN] | 0x0058 |
| ADC、トレース用クロック供給停止レジスタ | [CGSPCLKEN] | 0x005C |

4.2. レジスタ詳細

4.2.1. [CGPROTECT] (CG ライトプロテクトレジスタ)

| Bit | Bit Symbol | リセット後 | Type | 機能 |
|------|--------------|-------|------|--|
| 31:8 | - | 0 | R | リードすると"0"が読めます。 |
| 7:0 | PROTECT[7:0] | 0xC1 | R/W | CG レジスタライトプロテクト(本レジスタ以外の全て)制御 0xC1: CG レジスタへのライト許可(プロテクト解除) 0xC1 以外: CG レジスタへのライト禁止(プロテクト有効) |

4.2.2. [CGOSCCR] (発振制御レジスタ)

| Bit | Bit Symbol | リセット後 | Type | 機能 |
|-------|-------------|-------|------|---|
| 31:20 | - | 0 | R | リードすると"0"が読めます。 |
| 19 | IHOSC2F | 0 | R | IHOSC2 用内蔵発振安定フラグ 0: 停止またはウォームアップ中 1: 発振安定 |
| 18:17 | - | 0 | R | リードすると"0"が読めます。 |
| 16 | IHOSC1F | 1 | R | IHOSC1 用内蔵発振安定フラグ 0: 停止またはウォームアップ中 1: 発振安定 |
| 15:10 | - | 0 | R | リードすると"0"が読めます。 |
| 9 | OSCF | 0 | R | fosc 用高速発振器選択ステータス 0: 内蔵高速発振器 1(IHOSC1) 1: 外部高速発振器(EHOSC) |
| 8 | OSCSEL | 0 | R/W | fosc 用高速発振器選択(注 1) 0: 内蔵高速発振器 1(IHOSC1) 1: 外部高速発振器(EHOSC) |
| 7:4 | - | 0 | R | リードすると"0"が読めます。 |
| 3 | IHOSC2EN | 0 | R/W | 内蔵高速発振器 2(IHOSC2)(注 2) 0: 停止 1: 発振 |
| 2:1 | EOSCEN[1:0] | 00 | R/W | 外部高速発振器の動作選択(EHOSC)(注 3) 00: 外部発振未使用 01: 外部高速発振(EHOSC) 10: 外部クロック入力(EHCLKIN) 11: Reserved |
| 0 | IHOSC1EN | 1 | R/W | 内蔵高速発振器 1(IHOSC1) 0: 停止 1: 発振 |

注 1) 設定変更した場合、書き込み値が[CGOSCCR]<OSCF>ビットに、反映されていることを確認後、次の操作を行うようにしてください。

注 2) [SIWDxOSCCR]<OSCPRO>=1 (SIWDT のライトプロテクトが有効)の場合は、設定しても変更されません。

注 3) 外部高速クロック(発振子接続)を使用する場合は必ず"01"を設定してください。

4.2.3. [CGSYSCR] (システムクロック制御レジスタ)

| Bit | Bit Symbol | リセット後 | Type | 機能 |
|-------|----------------|-------|------|---|
| 31:30 | MCKSELPST[1:0] | 00 | R | 中速プリスケラック(ΦT0)選択ステータス 00: <PRCK[3:0]>設定値 (分周なし) 01: <PRCK[3:0]>設定値の 2 分周 10,11: <PRCK[3:0]>設定値の 4 分周 |
| 29:28 | - | 0 | R | リードすると"0"が読めます。 |
| 27:24 | PRCKST[3:0] | 0000 | R | 高速プリスケラック(ΦT0)選択ステータス 0000: fc 0100: fc/16 1000: fc/256 0001: fc/2 0101: fc/32 1001: fc/512 0010: fc/4 0110: fc/64 1010~1111: Reserved 0011: fc/8 0111: fc/128 |
| 23:22 | MCKSELGST[1:0] | 00 | R | 中速システムクロック(fsyst)のクロック選択ステータス 00: <GEAR[2:0]>設定値 (分周なし) 01: <GEAR[2:0]>設定値の 2 分周 10,11:<GEAR[2:0]>設定値の 4 分周 |
| 21:19 | - | 0 | R | リードすると"0"が読めます。 |
| 18:16 | GEARST[2:0] | 000 | R | 高速システムクロック(fsyst)のギア選択ステータス 000: fc 100: fc/16 001: fc/2 101~111: Reserved 010: fc/4 011: fc/8 |
| 15:12 | - | 0 | R | リードすると"0"が読めます。 |
| 11:8 | PRCK[3:0] | 0000 | R/W | 高速プリスケラック(ΦT0)選択 0000: fc 0100: fc/16 1000: fc/256 0001: fc/2 0101: fc/32 1001: fc/512 0010: fc/4 0110: fc/64 1010~1111: Reserved 0011: fc/8 0111: fc/128 周辺機能に供給するプリスケラックを選択します。 |
| 7:6 | MCKSEL[1:0] | 00 | R/W | 中速システムクロック(fsyst)、中速プリスケラック(ΦT0)の選択 00: <GEAR[2:0]>,<PRCK[3:0]>設定値 (分周なし) 01: <GEAR[2:0]>,<PRCK[3:0]>設定値の 2 分周 10,11: <GEAR[2:0]>,<PRCK[3:0]>設定値の 4 分周 中速システムクロックの最大動作周波数は 80MHz です。 |
| 5:3 | - | 0 | R | リードすると"0"が読めます。 |
| 2:0 | GEAR[2:0] | 000 | R/W | 高速システムクロック(fsyst)のギア選択 000: fc 100: fc/16 001: fc/2 101~111: Reserved 010: fc/4 011: fc/8 |

4.2.4. [CGSTBYCR](スタンバイ制御レジスタ)

| Bit | Bit Symbol | リセット後 | Type | 機能 |
|------|------------|-------|------|---|
| 31:2 | - | 0 | R | リードすると"0"が読めます。 |
| 1:0 | STBY[1:0] | 00 | R/W | 低消費電力モード選定 00: IDLE 01: STOP1 10: Reserved 11: Reserved |

4.2.5. [CGPLL0SEL](fsys 用 PLL セレクトレジスタ)

| Bit | Bit Symbol | リセット後 | Type | 機能 |
|------|---------------|----------|------|---|
| 31:8 | PLL0SET[23:0] | 0x000000 | R/W | PLL 通倍設定 通倍設定については、「2.5.2 PLL 通倍値の計算式と設定例」を参照してください。 |
| 7:3 | - | 0 | R | リードすると"0"が読めます。 |
| 2 | PLL0ST | 0 | R | fsys 用クロック選択ステータス 0: fosc 1: fPLL |
| 1 | PLL0SEL | 0 | R/W | fsys 用クロック選択 0: fosc 1: fPLL |
| 0 | PLL0ON | 0 | R/W | fsys 用 PLL 動作 0: 停止 1: 発振 |

4.2.6. [CGWUPHCR] (高速発振ウォーミングアップレジスタ)

| Bit | Bit Symbol | リセット後 | Type | 機能 |
|-------|------------|-------|------|---|
| 31:20 | WUPT[15:4] | 0x800 | R/W | ウォーミングアップタイマの計算値 16 ビットの上位 12 ビットの値を設定します。 ウォーミングアップタイマの設定については、「2.4.1 高速発振用ウォーミングアップカウンタ」を参照してください。 |
| 19:16 | WUPT[3:0] | 0x0 | R | ウォーミングアップタイマの計算値 16 ビットの低位 4 ビットの値で、0x0 固定です。 |
| 15:9 | - | 0 | R | リードすると"0"が読めます。 |
| 8 | WUCLK | 0 | R/W | ウォーミングアップクロック選択 (注 1) 0: 内蔵高速発振器 1(IHOSC1) 1: 外部高速発振器(EHOSC) |
| 7:2 | - | 0 | R | リードすると"0"が読めます。 |
| 1 | WUEF | 0 | R | ウォーミングアップタイムステータス (注 2) 0: ウォーミングアップ終了 1: ウォーミングアップ中 |
| 0 | WUON | 0 | W | ウォーミングアップタイマ制御 0: don't care 1: ウォーミングアップスタート |

注 1) STOP1 復帰時のウォーミングアップは、内蔵発振器で行ってください。外部発振器を選んで STOP1 へ遷移することは禁止です。

注 2) ウォーミングアップ中(<WUEF>=1)は、レジスタの書き換え禁止です。設定は、<WUEF>=0 のときに行ってください。

4.2.7. [CGFSYSMENA] (中速 fsysm 供給停止レジスタ A)

| Bit | Bit Symbol | リセット後 | Type | 機能 |
|-----|------------|-------|------|---|
| 31 | IPMENA31 | 0 | R/W | T32A チャンネル 3 のクロックイネーブル(TSEL34,35,36) 0: クロック停止 1: クロック供給 |
| 30 | IPMENA30 | 0 | R/W | T32A チャンネル 2 のクロックイネーブル(TSEL31,32,33) 0: クロック停止 1: クロック供給 |
| 29 | IPMENA29 | 0 | R/W | T32A チャンネル 1 のクロックイネーブル(TSEL28,29,30) 0: クロック停止 1: クロック供給 |
| 28 | IPMENA28 | 1 | R/W | T32A チャンネル 0 のクロックイネーブル(TSEL25,26,27) 0: クロック停止 1: クロック供給 |
| 27 | IPMENA27 | 0 | R/W | CAN のクロックイネーブル 0: クロック停止 1: クロック供給 |
| 26 | IPMENA26 | 0 | R/W | I ² C チャンネル 1 のクロックイネーブル 0: クロック停止 1: クロック供給 |
| 25 | IPMENA25 | 0 | R/W | I ² C チャンネル 0 のクロックイネーブル 0: クロック停止 1: クロック供給 |
| 24 | IPMENA24 | 0 | R/W | UART チャンネル 3 のクロックイネーブル(TSEL24) 0: クロック停止 1: クロック供給 |
| 23 | IPMENA23 | 0 | R/W | UART チャンネル 2 のクロックイネーブル(TSEL23) 0: クロック停止 1: クロック供給 |
| 22 | IPMENA22 | 0 | R/W | UART チャンネル 1 のクロックイネーブル(TSEL22) 0: クロック停止 1: クロック供給 |
| 21 | IPMENA21 | 1 | R/W | UART チャンネル 0 のクロックイネーブル(TSEL21) 0: クロック停止 1: クロック供給 |
| 20 | IPMENA20 | 0 | R/W | TSPI チャンネル 1 のクロックイネーブル(TSEL20) 0: クロック停止 1: クロック供給 |
| 19 | IPMENA19 | 0 | R/W | TSPI チャンネル 0 のクロックイネーブル(TSEL19) 0: クロック停止 1: クロック供給 |
| 18 | IPMENA18 | 0 | R/W | PORT W のクロックイネーブル 0: クロック停止 1: クロック供給 |
| 17 | IPMENA17 | 0 | R/W | PORT V のクロックイネーブル 0: クロック停止 1: クロック供給 |
| 16 | IPMENA16 | 0 | R/W | PORT U のクロックイネーブル 0: クロック停止 1: クロック供給 |

| Bit | Bit Symbol | リセット後 | Type | 機能 |
|-----|------------|-------|------|---|
| 15 | IPMENA15 | 0 | R/W | PORT T のクロックイネーブル 0: クロック停止 1: クロック供給 |
| 14 | IPMENA14 | 0 | R/W | PORT R のクロックイネーブル 0: クロック停止 1: クロック供給 |
| 13 | IPMENA13 | 0 | R/W | PORT P のクロックイネーブル 0: クロック停止 1: クロック供給 |
| 12 | IPMENA12 | 0 | R/W | PORT N のクロックイネーブル 0: クロック停止 1: クロック供給 |
| 11 | IPMENA11 | 0 | R/W | PORT M のクロックイネーブル 0: クロック停止 1: クロック供給 |
| 10 | IPMENA10 | 0 | R/W | PORT L のクロックイネーブル 0: クロック停止 1: クロック供給 |
| 9 | IPMENA09 | 0 | R/W | PORT K のクロックイネーブル 0: クロック停止 1: クロック供給 |
| 8 | IPMENA08 | 0 | R/W | PORT J のクロックイネーブル 0: クロック停止 1: クロック供給 |
| 7 | IPMENA07 | 0 | R/W | PORT H のクロックイネーブル 0: クロック停止 1: クロック供給 |
| 6 | IPMENA06 | 0 | R/W | PORT G のクロックイネーブル 0: クロック停止 1: クロック供給 |
| 5 | IPMENA05 | 0 | R/W | PORT F のクロックイネーブル 0: クロック停止 1: クロック供給 |
| 4 | IPMENA04 | 0 | R/W | PORT E のクロックイネーブル 0: クロック停止 1: クロック供給 |
| 3 | IPMENA03 | 0 | R/W | PORT D のクロックイネーブル 0: クロック停止 1: クロック供給 |
| 2 | IPMENA02 | 1 | R/W | PORT C のクロックイネーブル 0: クロック停止 1: クロック供給 |
| 1 | IPMENA01 | 0 | R/W | PORT B のクロックイネーブル 0: クロック停止 1: クロック供給 |
| 0 | IPMENA00 | 0 | R/W | PORT A のクロックイネーブル 0: クロック停止 1: クロック供給 |

注) レジスタの初期値がクロック停止でも、リセット期間中は全てクロック供給されています。

4.2.8. [CGFSYSMENB] (中速 fsysm 供給停止レジスタ B)

| Bit | Bit Symbol | リセット後 | Type | 機能 |
|-------|------------|-------|------|---|
| 31 | IPMENB31 | 1 | R/W | SIWDT チャンネル 0 のクロックイネーブル 0: クロック停止 1: クロック供給 |
| 30 | IPMENB30 | 1 | R/W | NBDIF のクロックイネーブル 0: クロック停止 1: クロック供給 |
| 29 | IPMENB29 | 1 | R/W | "1"を書いてください。 |
| 28:18 | - | 0 | R | リードすると"0"が読めます。 |
| 17 | IPMENB17 | 0 | R/W | DMAC ユニット A のクロックイネーブル(TSEL00~15) 0: クロック停止 1: クロック供給 |
| 16 | IPMENB16 | 0 | R/W | TRGSEL のクロックイネーブル 0: クロック停止 1: クロック供給 |
| 15 | IPMENB15 | 0 | R/W | TRM のクロックイネーブル 0: クロック停止 1: クロック供給 |
| 14 | IPMENB14 | 0 | R/W | OFD のクロックイネーブル 0: クロック停止 1: クロック供給 |
| 13 | IPMENB13 | 0 | R/W | RAMP チャンネル 1 のクロックイネーブル 0: クロック停止 1: クロック供給 |
| 12 | IPMENB12 | 0 | R/W | A-VE+チャンネル 0 のクロックイネーブル 0: クロック停止 1: クロック供給 |
| 11 | IPMENB11 | 0 | R/W | A-PMD チャンネル 2 のクロックイネーブル 0: クロック停止 1: クロック供給 |
| 10 | IPMENB10 | 0 | R/W | A-PMD チャンネル 1 のクロックイネーブル 0: クロック停止 1: クロック供給 |
| 9 | IPMENB09 | 0 | R/W | A-PMD チャンネル 0 のクロックイネーブル 0: クロック停止 1: クロック供給 |
| 8 | IPMENB08 | 0 | R/W | A-ENC32 チャンネル 2 のクロックイネーブル 0: クロック停止 1: クロック供給 |
| 7 | IPMENB07 | 0 | R/W | A-ENC32 チャンネル 1 のクロックイネーブル 0: クロック停止 1: クロック供給 |
| 6 | IPMENB06 | 0 | R/W | A-ENC32 チャンネル 0 のクロックイネーブル 0: クロック停止 1: クロック供給 |
| 5 | IPMENB05 | 0 | R/W | OPAMP ユニット A/B/C のクロックイネーブル 0: クロック停止 1: クロック供給 |

| Bit | Bit Symbol | リセット後 | Type | 機能 |
|-----|------------|-------|------|---|
| 4 | IPMENB04 | 0 | R/W | ADC ユニット C のクロックイネーブル(TSEL18) 0: クロック停止 1: クロック供給 |
| 3 | IPMENB03 | 0 | R/W | ADC ユニット B のクロックイネーブル(TSEL17) 0: クロック停止 1: クロック供給 |
| 2 | IPMENB02 | 0 | R/W | ADC ユニット A のクロックイネーブル(TSEL16) 0: クロック停止 1: クロック供給 |
| 1 | IPMENB01 | 0 | R/W | T32A チャンネル 5 のクロックイネーブル(TSEL40,41,42) 0: クロック停止 1: クロック供給 |
| 0 | IPMENB00 | 0 | R/W | T32A チャンネル 4 のクロックイネーブル(TSEL37,38,39) 0: クロック停止 1: クロック供給 |

注) レジスタの初期値がクロック停止でも、リセット期間中は全てクロック供給されています。

4.2.9. [CGFSYSENA] (高速 fsysh 供給停止レジスタ A)

| Bit | Bit Symbol | リセット後 | Type | 機能 |
|------|------------|-------|------|--|
| 31:2 | - | 0 | R | リードすると"0"が読めます。 |
| 1 | IPENA01 | 0 | R/W | RAMP チャネル 0 のクロックイネーブル 0: クロック停止 1: クロック供給 |
| 0 | IPENA00 | 0 | R/W | CRC のクロックイネーブル 0: クロック停止 1: クロック供給 |

注) レジスタの初期値がクロック停止でも、リセット期間中は全てクロック供給されています。

4.2.10. [CGFCEN] (fc 供給停止レジスタ)

| Bit | Bit Symbol | リセット後 | Type | 機能 |
|-------|------------|-------|------|--|
| 31:29 | - | 0 | R | リードすると"0"が読めます。 |
| 28 | FCIPEN28 | 0 | R/W | DNF ユニット C のクロックイネーブル(INT19~21) 0: クロック停止 1: クロック供給 |
| 27 | FCIPEN27 | 0 | R/W | DNF ユニット B のクロックイネーブル(INT8~19) 0: クロック停止 1: クロック供給 |
| 26 | FCIPEN26 | 0 | R/W | DNF ユニット A のクロックイネーブル(INT0~8,11) 0: クロック停止 1: クロック供給 |
| 25:24 | - | 0 | R | リードすると"0"が読めます。 |
| 23 | FCIPEN23 | 0 | R/W | OFD の検知対象クロック 1(fc) のクロックイネーブル 0: クロック停止 1: クロック供給 |
| 22:0 | - | 0 | R | リードすると"0"が読めます。 |

注) レジスタの初期値がクロック停止でも、リセット期間中は全てクロック供給されています。

4.2.11. [CGSPCLKEN] (ADC、トレース用クロック供給停止レジスタ)

| Bit | Bit Symbol | リセット後 | Type | 機能 |
|-------|------------|-------|------|--|
| 31:20 | - | 0 | R | リードすると"0"が読めます。 |
| 19 | ADCKEN3 | 0 | R/W | "0"を書いてください。 |
| 18 | ADCKEN2 | 0 | R/W | ADC ユニット C 用変換クロックイネーブル(注 2) 0: クロック停止 1: クロック供給 |
| 17 | ADCKEN1 | 0 | R/W | ADC ユニット B 用変換クロックイネーブル(注 2) 0: クロック停止 1: クロック供給 |
| 16 | ADCKEN0 | 0 | R/W | ADC ユニット A 用変換クロックイネーブル(注 2) 0: クロック停止 1: クロック供給 |
| 15:1 | - | 0 | R | リードすると"0"が読めます。 |
| 0 | TRCKEN | 0 | R/W | デバッグ回路(ETM)のトレース機能用クロックイネーブル 0: クロック停止 1: クロック供給 |

注 1) レジスタの初期値がクロック停止("0")でも、リセット期間中は全てクロック供給させています。

注 2) "0"(クロック停止)に設定する場合は、必ず AD 変換が停止または終了していることを確認してください。

5. 製品別情報

各製品別で異なる CG に関する情報を以下に示します。

表 5.1 [CGFSYSMENA]レジスタ製品別対応

| Bit | Bit Symbol | 接続先 | チャンネル番号/ 入出力ポート名 | M4KQ | M4KP | M4KN | M4KM | M4KL |
|-----|------------|------------------|---------------------|------|------|------|------|------------|
| 31 | IPMENA31 | T32A | 3 | ○ | ○ | ○ | ○ | ○ |
| 30 | IPMENA30 | | 2 | ○ | ○ | ○ | ○ | ○ |
| 29 | IPMENA29 | | 1 | ○ | ○ | ○ | ○ | ○ |
| 28 | IPMENA28 | | 0 | ○ | ○ | ○ | ○ | ○ |
| 27 | IPMENA27 | CAN | - | ○ | ○ | ○ | × | × |
| 26 | IPMENA26 | I ² C | 1 | ○ | ○ | ○ | ○ | ○ |
| 25 | IPMENA25 | | 0 | ○ | ○ | ○ | ○ | ○ |
| 24 | IPMENA24 | UART | 3 | ○ | ○ | ○ | ○ | × |
| 23 | IPMENA23 | | 2 | ○ | ○ | ○ | ○ | ○ |
| 22 | IPMENA22 | | 1 | ○ | ○ | ○ | ○ | ○ |
| 21 | IPMENA21 | | 0 | ○ | ○ | ○ | ○ | ○ |
| 20 | IPMENA20 | TSPI | 1 | ○ | ○ | ○ | ○ | ○ |
| 19 | IPMENA19 | | 0 | ○ | ○ | ○ | ○ | ○ (注 2) |
| 18 | IPMENA18 | PORT | W | ○ | × | × | × | × |
| 17 | IPMENA17 | | V | ○ | ○ | ○ | × | × |
| 16 | IPMENA16 | | U | ○ | ○ | ○ | ○ | ○ |
| 15 | IPMENA15 | | T | ○ | ○ | × | × | × |
| 14 | IPMENA14 | | R | ○ | × | × | × | × |
| 13 | IPMENA13 | | P | ○ | ○ | × | × | × |
| 12 | IPMENA12 | | N | ○ | ○ | ○ | ○ | × |
| 11 | IPMENA11 | | M | ○ | ○ | ○ | × | × |
| 10 | IPMENA10 | | L | ○ | ○ | ○ | ○ | ○ |
| 9 | IPMENA09 | | K | ○ | ○ | ○ | ○ | ○ |
| 8 | IPMENA08 | | J | ○ | ○ | ○ | ○ | ○ |
| 7 | IPMENA07 | | H | ○ | ○ | ○ | ○ | ○ |
| 6 | IPMENA06 | | G | ○ | ○ | ○ | ○ | ○ |
| 5 | IPMENA05 | | F | ○ | ○ | ○ | ○ | ○ |
| 4 | IPMENA04 | | E | ○ | ○ | ○ | ○ | ○ |
| 3 | IPMENA03 | | D | ○ | ○ | ○ | × | × |
| 2 | IPMENA02 | C | ○ | ○ | ○ | ○ | ○ | |
| 1 | IPMENA01 | B | ○ | ○ | ○ | ○ | ○ | |
| 0 | IPMENA00 | A | ○ | ○ | ○ | ○ | ○ | |

注 1) ○: 対応、×: 非対応

注 2) M4KL は SIO モードのみ対応します。

表 5.2 [CGFSYSMENB]レジスタ製品別対応

| Bit | Bit Symbol | 接続先 | チャンネル番号/ 入出力ポート名 | M4KQ | M4KP | M4KN | M4KM | M4KL |
|-----|------------|---------|---------------------|------|------|------|------------|------|
| 31 | IPMENB31 | SIWDT | 0 | ○ | ○ | ○ | ○ | ○ |
| 30 | IPMENB30 | NBDIF | - | ○ | ○ | ○ | × | × |
| 17 | IPMENB17 | DMAC | A | ○ | ○ | ○ | ○ | ○ |
| 16 | IPMENB16 | TRGSEL | - | ○ | ○ | ○ | ○ | ○ |
| 15 | IPMENB15 | TRM | - | ○ | ○ | ○ | ○ | ○ |
| 14 | IPMENB14 | OFD | - | ○ | ○ | ○ | ○ | ○ |
| 13 | IPMENB13 | RAMP | 1 | ○ | ○ | ○ | ○ | ○ |
| 12 | IPMENB12 | A-VE+ | 0 | ○ | ○ | ○ | ○ | ○ |
| 11 | IPMENB11 | A-PMD | 2 | ○ | ○ | ○ | ○ | ○ |
| 10 | IPMENB10 | | 1 | ○ | ○ | ○ | ○ | ○ |
| 9 | IPMENB09 | | 0 | ○ | ○ | ○ | ○ | ○ |
| 8 | IPMENB08 | A-ENC32 | 2 | ○ | ○ | ○ | ○ | ○ |
| 7 | IPMENB07 | | 1 | ○ | ○ | ○ | ○ (注 2) | × |
| 6 | IPMENB06 | | 0 | ○ | ○ | ○ | ○ | × |
| 5 | IPMENB05 | OPAMP | A,B,C | ○ | ○ | ○ | ○ | ○ |
| 4 | IPMENB04 | ADC | C | ○ | ○ | ○ | ○ | ○ |
| 3 | IPMENB03 | | B | ○ | ○ | ○ | ○ | ○ |
| 2 | IPMENB02 | | A | ○ | ○ | ○ | ○ | ○ |
| 1 | IPMENB01 | T32A | 5 | ○ | ○ | ○ | ○ | ○ |
| 0 | IPMENB00 | | 4 | ○ | ○ | ○ | ○ | ○ |

注 1) ○: 対応、 -: 非対応

注 2) M4KM は ENCxZ 端子はありません。

表 5.3 [CGFSYSENA]レジスタ製品別対応

| Bit | Bit Symbol | 接続先 | チャンネル番号/ 入出力ポート名 | M4KQ | M4KP | M4KN | M4KM | M4KL |
|-----|------------|------|---------------------|------|------|------|------|------|
| 1 | IPENA01 | RAMP | 0 | ○ | ○ | ○ | ○ | ○ |
| 0 | IPENA00 | CRC | - | ○ | ○ | ○ | ○ | ○ |

注) ○: 対応、 -: 非対応

表 5.4 [CGFCEN]レジスタ製品別対応

| Bit | Bit Symbol | 接続先 | チャンネル番号/ 入出力ポート名 | M4KQ | M4KP | M4KN | M4KM | M4KL |
|-----|------------|-----|---------------------|------|------|------|------|------|
| 28 | FCIPEN28 | DNF | C | ○ | ○ | ○ | ○ | ○ |
| 27 | FCIPEN27 | | B | ○ | ○ | ○ | ○ | ○ |
| 26 | FCIPEN26 | | A | ○ | ○ | ○ | ○ | ○ |
| 23 | FCIPEN23 | OFD | - | ○ | ○ | ○ | ○ | ○ |

注) ○: 対応、 -: 非対応

6. 改訂履歴

表 6.1 改訂履歴

| Revision | Date | Description |
|----------|------------|---|
| 1.0 | 2018-04-03 | 新規作成 |
| 1.1 | 2018-06-07 | ・用語・略語: OPAMP 追加 ・図 2.1 クロック系統図: X1 と X2 を入れ替え |

製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、電力機器、金融関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口までお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。