

32 ビット RISC マイクロコントローラ

TMPM4K グループ(2)

リファレンスマニュアル

製品個別情報
(PINFO-M4K(2))

Revision 1.2

2019-01

東芝デバイス&ストレージ株式会社

目次

序章	8
関連するドキュメント	8
表記規約	9
用語・略語	11
1. 概要	12
2. 各周辺機能の情報	12
2.1. レジスタベースアドレス	12
2.2. トリガセクタ (TRGSEL)	14
2.2.1. トリガセクタと製品対応	15
2.2.2. 使用方法と設定	21
2.2.3. レジスタ一覧	22
2.2.4. レジスタ詳細	23
2.2.4.1. [TSELxCR0] (コントロールレジスタ 0)	23
2.2.4.2. [TSELxCR1] (コントロールレジスタ 1)	25
2.2.4.3. [TSELxCR2] (コントロールレジスタ 2)	27
2.2.4.4. [TSELxCR3] (コントロールレジスタ 3)	29
2.2.4.5. [TSELxCR4] (コントロールレジスタ 4)	31
2.2.4.6. [TSELxCR5] (コントロールレジスタ 5)	33
2.2.4.7. [TSELxCR6] (コントロールレジスタ 6)	35
2.2.4.8. [TSELxCR7] (コントロールレジスタ 7)	37
2.2.4.9. [TSELxCR8] (コントロールレジスタ 8)	39
2.2.4.10. [TSELxCR9] (コントロールレジスタ 9)	41
2.2.4.11. [TSELxCR10] (コントロールレジスタ 10)	43
2.3. クロック選択式ウォッチドッグタイマ (SIWDT)	45
2.3.1. 搭載チャンネル	45
2.3.2. カウントクロック	45
2.3.3. プロテクト機能	45
2.3.4. 発振クロックプロテクト機能	45
2.4. 周波数検知回路 (OFD)	46
2.4.1. 搭載一覧	46
2.4.2. 基準クロック	46
2.4.3. 検知対象クロック	46
2.5. デバッグインタフェース	47
2.5.1. 製品別デバッグインタフェース一覧	47
2.6. ノンブレークデバッグインタフェース (NBDIF)	48
2.6.1. 搭載一覧	48
2.6.2. NBDIF 端子一覧	48
2.7. フラッシュメモリ (FLASH)	49
2.7.1. 書き込み, 消去操作クロック	49

2.7.2. 製品別コードフラッシュブロック構成.....	49
2.7.3. 製品別データフラッシュブロック構成.....	50
2.7.4. シングルブート使用リソース.....	50
2.8. DMA コントローラ(DMAC).....	51
2.8.1. 搭載ユニット.....	51
2.8.2. DMA 転送要求一覧.....	51
2.9. アドバンストプログラマブルモータ制御回路(A-PMD).....	55
2.9.1. 搭載チャンネル.....	55
2.9.2. 機能端子とポート.....	56
2.9.3. DMA 要求.....	57
2.9.4. 内部信号接続仕様.....	58
2.9.4.1. その他接続.....	58
2.9.4.2. チャンネル間同期制御接続仕様.....	60
2.10. アドバンストエンコーダ入力回路(32-bit) (A-ENC32).....	61
2.10.1. 搭載チャンネル.....	61
2.10.2. 機能端子とポート.....	61
2.10.3. 内部信号接続仕様.....	62
2.10.3.1. T32A/A-PMD 接続.....	62
2.11. アドバンストベクトルエンジンプラス(A-VE+).....	63
2.11.1. 搭載チャンネル.....	63
2.11.2. 内部信号接続仕様.....	63
2.11.2.1. その他の接続.....	63
2.12. 12 ビットアナログデジタルコンバータ(ADC).....	65
2.12.1. 搭載ユニット.....	65
2.12.2. 変換結果格納レジスタ.....	65
2.12.3. 機能端子とポート.....	66
2.12.4. アナログ基準端子.....	68
2.12.5. ADC 用変換クロック.....	68
2.12.6. 使用条件とレジスタ設定.....	68
2.12.7. DMA 要求.....	69
2.12.8. 内部信号接続仕様.....	70
2.12.8.1. 起動トリガ接続仕様.....	70
2.12.8.2. その他接続.....	72
2.13. オペアンプ(OPAMP).....	73
2.13.1. 搭載ユニット.....	73
2.13.2. 機能端子とポート.....	73
2.13.3. ADC 接続.....	73
2.14. 32 ビットタイマイイベントカウンタ(T32A).....	74
2.14.1. 搭載チャンネル.....	74
2.14.2. 機能端子とポート.....	75
2.14.3. プリスケール用クロック.....	77

2.14.4. 内部信号接続仕様	78
2.14.4.1. キャプチャトリガ信号接続仕様	78
2.14.4.2. その他接続	81
2.14.4.3. 同期制御接続仕様	84
2.14.5. 製品別パルスカウンタ対応一覧	85
2.14.6. DMA 要求	86
2.14.7. 非対応割り込み	87
2.15. 非同期シリアル通信回路(UART)	88
2.15.1. 搭載チャンネル	88
2.15.2. 機能端子とポート	88
2.15.3. ハーフクロックモード対応	90
2.15.4. プリスケーラ用クロック	90
2.15.5. DMA 要求	90
2.15.6. 内部信号接続仕様	91
2.15.6.1. トリガ転送信号接続仕様	91
2.15.6.2. T32A 接続	92
2.16. I ² C インタフェース(I ² C)	93
2.16.1. 搭載チャンネル	93
2.16.2. 機能端子とポート	93
2.16.3. プリスケーラ用クロック	93
2.16.4. ウェイクアップ機能	94
2.16.5. DMA 要求	94
2.17. シリアルペリフェラルインタフェース(TSPI)	95
2.17.1. 搭載チャンネル	95
2.17.2. 機能端子とポート	96
2.17.3. 製品別転送モード対応一覧	97
2.17.4. プリスケーラ用クロック	97
2.17.5. DMA 要求	97
2.17.6. 内部信号接続仕様	98
2.17.6.1. トリガ転送信号接続仕様	98
2.17.6.2. T32A 接続	98
2.18. CAN コントローラ(CAN)	99
2.18.1. 搭載一覧	99
2.18.2. 機能端子とポート	99
2.19. デジタルノイズフィルタ回路(DNF)	99
2.19.1. 搭載ユニット	99
2.19.2. 製品別外部割り込みと DNF の対応	100
2.19.3. サンプリングソースクロック	100
2.20. 電圧検知回路(LVD)	101
2.20.1. 搭載一覧	101
2.20.2. 検知対象電源	101

2.21. CRC 計算回路(CRC).....	102
2.21.1. 搭載一覧	102
2.22. RAM パリティ(RAMP).....	102
2.22.1. 搭載チャンネル	102
2.22.2. エラー判定ブロックエリア	102
2.23. トリミング回路(TRM).....	103
2.23.1. 搭載一覧	103
2.23.2. 対象発振器.....	103
3. 改訂履歴.....	104
製品取り扱い上のお願い.....	105

図目次

図 2.1 トリガセレクト接続例.....	14
-----------------------	----

表目次

表 2.1 レジスタベースアドレスタイプ (1/2).....	12
表 2.2 レジスタベースアドレスタイプ (2/2).....	13
表 2.3 製品別トリガセレクト対応一覧 (1/6).....	15
表 2.4 製品別トリガセレクト対応一覧 (2/6).....	16
表 2.5 製品別トリガセレクト対応一覧 (3/6).....	17
表 2.6 製品別トリガセレクト対応一覧 (4/6).....	18
表 2.7 製品別トリガセレクト対応一覧 (5/6).....	19
表 2.8 製品別トリガセレクト対応一覧 (6/6).....	20
表 2.9 SIWDT 搭載チャンネル.....	45
表 2.10 SIWDT カウントクロック.....	45
表 2.11 SIWDT 発振クロックプロテクト機能.....	45
表 2.12 OFD 搭載一覧.....	46
表 2.13 OFD 基準クロック.....	46
表 2.14 OFD 検知対象クロック.....	46
表 2.15 デバッグインタフェース搭載一覧.....	47
表 2.16 NBDIF 搭載一覧.....	48
表 2.17 NBDIF 端子一覧.....	48
表 2.18 FLASH 書き込み, 消去操作クロック.....	49
表 2.19 製品別コードフラッシュブロック構成.....	49
表 2.20 製品別データフラッシュブロック構成.....	50
表 2.21 シングルブート使用リソース.....	50
表 2.22 RAM 転送可能最終アドレス.....	50
表 2.23 DMAC 搭載ユニット.....	51
表 2.24 DMA 転送要求一覧 (1/4).....	51
表 2.25 DMA 転送要求一覧 (2/4).....	52
表 2.26 DMA 転送要求一覧 (3/4).....	53
表 2.27 DMA 転送要求一覧 (4/4).....	54
表 2.28 A-PMD 搭載チャンネル.....	55
表 2.29 A-PMD 機能端子.....	56
表 2.30 A-PMD DMA 要求.....	57
表 2.31 A-PMD 内部接続仕様:入力.....	58
表 2.32 A-PMD 内部接続仕様:出力.....	59
表 2.33 PMD チャンネル間同期制御接続仕様.....	60
表 2.34 A-ENC32 搭載チャンネル.....	61
表 2.35 A-ENC32 機能端子.....	61
表 2.36 A-ENC32 内部接続仕様:入力.....	62
表 2.37 A-ENC32 内部接続仕様:出力.....	62
表 2.38 A-VE+ 搭載チャンネル.....	63
表 2.39 A-VE+ 内部接続仕様:入力.....	63
表 2.40 A-VE+ 内部接続仕様:出力.....	64
表 2.41 ADC 搭載ユニット.....	65
表 2.42 ADC 変換結果格納レジスタ数.....	65
表 2.43 ADC 機能端子とポート.....	66
表 2.44 アナログ基準端子割り付け.....	68
表 2.45 ADC 用変換クロック.....	68
表 2.46 ADC 使用条件とレジスタ設定.....	68

表 2.47	ADC DMA 要求	69
表 2.48	ADC 起動トリガ接続仕様: 入力	70
表 2.49	ADC 内部接続仕様:出力	72
表 2.50	OPAMP 搭載ユニット	73
表 2.51	OPAMP 機能端子とポート	73
表 2.52	OPAMP 出力接続	73
表 2.53	T32A 搭載チャンネル	74
表 2.54	T32A 機能端子とポート (1/3)	75
表 2.55	T32A 機能信号とポート (2/3)	76
表 2.56	T32A 機能信号とポート (3/3)	77
表 2.57	T32A プリスケーラ用クロック	77
表 2.58	T32A キャプチャトリガ信号接続仕様 (1/3)	78
表 2.59	T32A キャプチャトリガ信号接続仕様 (2/3)	79
表 2.60	T32A キャプチャトリガ信号接続仕様 (3/3)	80
表 2.61	T32A トリガ出力接続仕様(1/3)	81
表 2.62	T32A トリガ出力接続仕様(2/3)	82
表 2.63	T32A トリガ出力接続仕様(3/3)	83
表 2.64	T32A 同期制御接続仕様	84
表 2.65	T32A 製品別パルスカウンタ対応一覧	85
表 2.66	T32A DMA 要求 (1/2)	86
表 2.67	T32A DMA 要求 (2/2)	87
表 2.68	UART 搭載チャンネル	88
表 2.69	UART 端子信号とポート	89
表 2.70	UART プリスケーラ用クロック	90
表 2.71	UART DMA 要求	90
表 2.72	UART トリガ転送信号接続仕様:入力	91
表 2.73	UART 内部接続仕様:出力	92
表 2.74	I ² C 搭載チャンネル	93
表 2.75	I ² C 機能端子とポート	93
表 2.76	I ² C プリスケーラ用クロック	93
表 2.77	I ² C DMA 要求	94
表 2.78	TSPI 搭載チャンネル	95
表 2.79	TSPI 機能端子とポート	96
表 2.80	TSPI モード対応一覧	97
表 2.81	TSPI プリスケーラ用クロック	97
表 2.82	TSPI DMA 要求	97
表 2.83	TSPI トリガ転送仕様: 入力	98
表 2.84	TSPI 内部接続仕様: 出力	98
表 2.85	CAN 搭載一覧	99
表 2.86	CAN 機能端子とポート	99
表 2.87	DNF 搭載ユニット	99
表 2.88	外部割り込みと DNF 対応	100
表 2.89	DNF サンプリングソースクロック	100
表 2.90	LVD 搭載一覧	101
表 2.91	LVD 検知対象電源	101
表 2.92	CRC 搭載一覧	102
表 2.93	RAMP 搭載チャンネル	102
表 2.94	RAMP RAM エリアとアドレス	102
表 2.95	TRM 搭載一覧	103
表 2.96	TRM トリミング対象発振器	103
表 3.1	改訂履歴	104

序章

関連するドキュメント

文書名	IP 記号
入出力ポート	PORT-M4K(2)
例外	EXCEPT-M4K(2)
クロック制御と動作モード	CG-M4K(2)-E
電源とリセット動作	RESET-M4K(2)
DMA コントローラ	DMAC-B
32 ビットタイマイイベントカウンタ	T32A-B
非同期シリアル通信回路	UART-C
シリアルペリフェラルインタフェース	TSPI-B
I ² C インタフェース	I2C-B
12 ビットアナログデジタルコンバータ	ADC-D
CAN コントローラ	CAN-A
オペアンプ	OPAMP-A
アドバンスプログラムブルモータ制御回路	A-PMD-A
アドバンスエンコーダ入力回路(32bit)	A-ENC32-A
アドバンスベクトルエンジンプラス	A-VE+-B
クロック選択式ウォッチドッグタイマ	SIWDT-A
周波数検知回路	OFD-A
デバッグインタフェース	DEBUG-A
ノンブレイクデバッグインタフェース	NBDIF-A
デジタルノイズフィルタ回路	DNF-A
トリミング回路	TRM-A
電圧検知回路	LVD-B
CRC 計算回路	CRC-A
RAM パリティ	RAMP-B
フラッシュメモリ	FLASH512HD32-B

表記規約

- 数値表記は以下の規則に従います。
 - 16 進数表記: 0xABC
 - 10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
 - 2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は [m:n]とまとめて表記する場合があります。
例: S[3:0] は S3,S2,S1,S0 の 4 つの信号名をまとめて表記しています。
- 本文中 [] で囲まれたものはレジスタを定義しています。
例: [ABCD]
- 同種で複数のレジスタ、フィールド、ビット名は「n」で一括表記する場合があります。
例: [XYZ1],[XYZ2],[XYZ3] → [XYZn]
- 「レジスタ一覧」中のレジスタ名でユニットまたはチャンネルは「x」で一括表記しています。
ユニットの場合、「x」は A,B,C, ... を表します。
例: [ADACR0],[ADBCR0],[ADCCR0] → [ADxCR0]
チャンネルの場合、「x」は 0,1,2, ... を表します。
例: [T32A0RUNA],[T32A1RUNA],[T32A2RUNA] → [T32AxRUNA]
- レジスタのビット範囲は [m:n] と表記します。
例: [3:0] はビット 3 から 0 の範囲を表します。
- レジスタの設定値は 16 進数または 2 進数のどちらかで表記されています。
例: [ABCD]<EFG> = 0x01 (16 進数)、 [XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
 - バイト: 8 ビット
 - ハーフワード: 16 ビット
 - ワード: 32 ビット
 - ダブルワード: 64 ビット
- レジスタ内の各ビットの属性は以下の表記を使用しています。
 - R: リードオンリー
 - W: ライトオンリー
 - R/W: リード / ライト
- 断りのない限り、レジスタアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスタは書き換えを行わないでください。また、読み出した値を使用しないでください。
- Default 値が「—」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスタに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- ライトオンリーのレジスタの Reserved ビットフィールドには Default 値を書き込んでください。
Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスタへのリードモディファイライト処理は行わないでください。

Arm, Cortex および Thumb は Arm Limited(またはその子会社)の US またはその他の国における登録商標です。 All rights reserved.



FLASH メモリについては、米国 SST 社 (Silicon Storage Technology, Inc.) からライセンスを受けた Super Flash® 技術を使用しています。Super Flash® は SST 社の登録商標です。

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

ADC	Analog to Digital Converter
A-ENC32	Advanced Encoder Input Circuit(32-bit)
A-PMD	Advanced Programmable Motor Control Circuit
A-VE+	Advanced Vector Engine plus
CAN	Controller Area Network
CRC	Cyclic Redundancy Check
DMAC	Direct Memory Access Controller
DNF	Digital Noise Filter
EHOSC	External High Speed Oscillator
IHOSC	Internal High Speed Oscillator
INT	Interrupt
I ² C	Inter-Integrated Circuit
LVD	Voltage Detection Circuit
NBDIF	Non Break Debug Interface
OFD	Oscillation Frequency Detector
OPAMP	Operational Amplifier
RAMP	RAM parity
SIWDT	Clock Selective Watchdog timer
TRGSEL	Trigger Selection circuit
TRM	Trimming circuit
TSPI	Toshiba Serial Peripheral Interface
T32A	32-bit Timer Event Counter
UART	Universal Asynchronous Receiver Transmitter

1. 概要

この章では、周辺機能に関し、チャンネルまたはユニット数、端子情報、その他の製品固有機能の情報について纏めています。各周辺機能のリファレンスマニュアルと合わせてご使用ください。

2. 各周辺機能の情報

2.1. レジスタベースアドレス

TMPM4K グループ(2)のレジスタベースアドレスタイプを下記に示します。

表 2.1 レジスタベースアドレスタイプ (1/2)

周辺機能			ベースアドレスタイプ (○: 該当、-: 非該当)			Start Address
			TYPE1	TYPE2	TYPE3	
CAN	CAN	-	○	-	-	0x40005000
電圧検出回路	LVD	-	○	-	-	0x4003EC00
RAM パリティ	RAMP (ch0, 1)	ch0	-	-	○	0x40043000
		ch1	-	○	-	0x400A3000
CRC	CRC	-	-	-	○	0x40043100
デジタルノイズフィルタ回路	DNF (unit A~C)	unit A	-	-	-	0x400A0200
		unit B	-	○	-	0x400A0300
		unit C	-	-	-	0x400A0800
クロック選択式ウォッチドックタイマ	SIWDT	ch0	-	○	-	0x400A0600
ノンブレイクデバッグインタフェース	NBDIF	-	-	○	-	0x400A2000
DMA コントローラ	DMAC	unit A	-	○	-	0x400A4000
12ビットアナログデジタルコンバータ	ADC (unit A~C)	unit A	-	-	-	0x400BA000
		unit B	-	○	-	0x400BA400
		unit C	-	-	-	0x400BA800
オペアンプ	OPAMP	-	-	○	-	0x400BD000
32ビットタイマイイベントカウンタ	T32A (ch0~5)	ch0	-	-	-	0x400C1000
		ch1	-	-	-	0x400C1400
		ch2	-	○	-	0x400C1800
		ch3	-	-	-	0x400C1C00
		ch4	-	-	-	0x400C2000
		ch5	-	-	-	0x400C2400
シリアルペリフェラルインタフェース	TSPI (ch0, 1)	ch0	-	○	-	0x400CA000
		ch1	-	-	-	0x400CA400
非同期シリアル通信回路	UART (ch0~3)	ch0	-	-	-	0x400CE000
		ch1	-	○	-	0x400CE400
		ch2	-	-	-	0x400CE800
		ch3	-	-	-	0x400CEC00
I ² C インタフェース	I ² C (ch0, 1)	ch0	-	○	-	0x400D1000
		ch1	-	-	-	0x400D2000

表 2.2 レジスタベースアドレスタイプ (2/2)

周辺機能			ベースアドレスタイプ (○: 該当、-: 非該当)			Start Address
			TYPE1	TYPE2	TYPE3	
トリミング回路	TRM	-	-	○	-	0x400E3100
周波数検知回路	OFD	-	-	○	-	0x400E4000
アドバンスプログラムブルモータ制御回路	A-PMD (ch0~2)	ch0	-	○	-	0x400E9000
		ch1	-	○	-	0x400E9400
		ch2	-	○	-	0x400E9800
アドバンスエンコーダ入力回路(32-bit)	A-ENC32	ch0	-	○	-	0x400EA000
		ch1	-	○	-	0x400EA400
		ch2	-	○	-	0x400EA800
アドバンスベクトルエンジン+	A-VE+	ch0	-	○	-	0x400EB000
フラッシュメモリ	Flash	-	○	-	-	0x5DFF0000

上記のベースアドレスタイプを参照し、各周辺機能の開発を行ってください。

2.2. トリガセレクトタ(TRGSEL)

トリガセレクトタは、周辺機能、ポートなどから入力された複数のトリガから、1 つのトリガを選択し周辺機能にトリガ信号を出力する回路です。

8本のトリガから[TSELOCRn]<INSELM>で選択されたトリガを、接続先の周辺機能に出力します。

「図 2.1 トリガセレクトタ接続例」は、ポート端子(PA2,PA3,PA4)及び 32 ビットタイマイベントカウンタ(ch5)から出力されるタイマレジスタ一致トリガ(A1,B1,C1)が、トリガセレクトタ経由で UART(ch3)に接続されている例です。[TSELOCR6]で入力トリガ選択、エッジ検出の許可/禁止とエッジ検出条件の設定およびトリガ出力制御を行います。

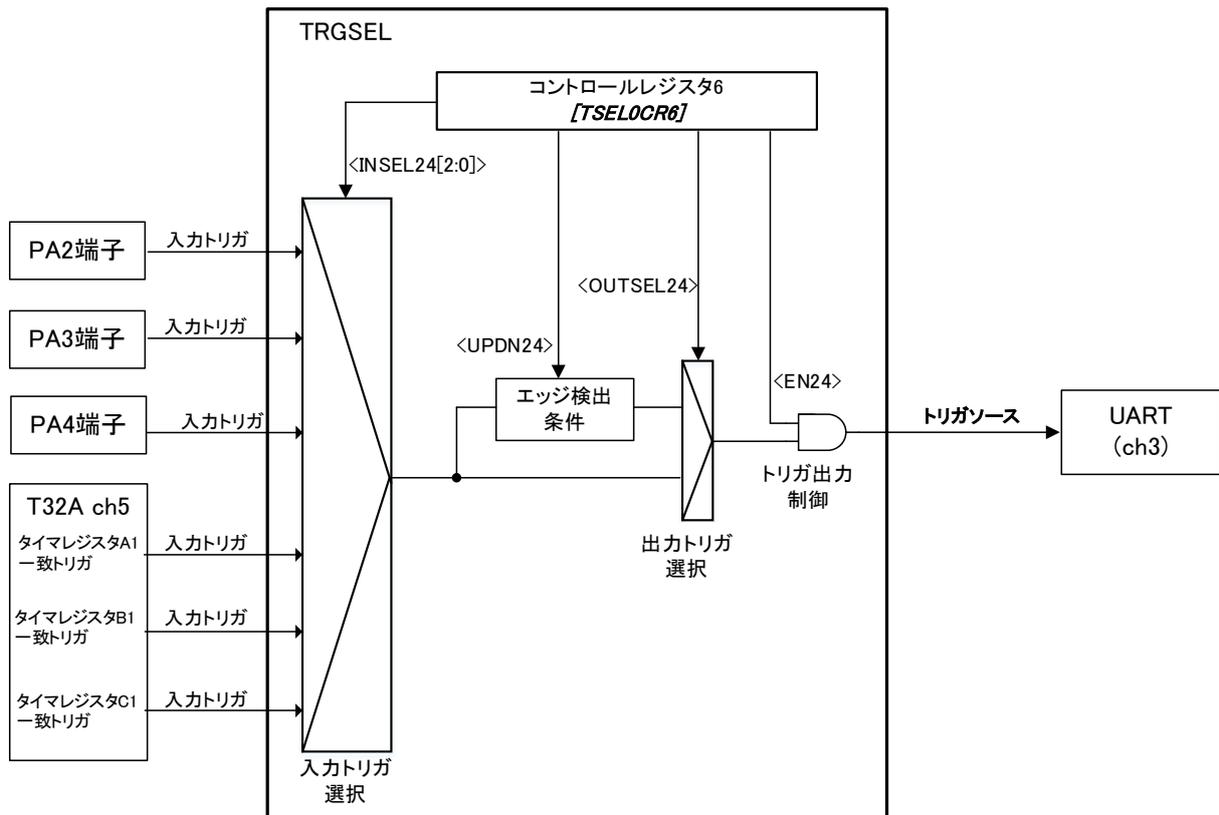


図 2.1 トリガセレクトタ接続例

2.2.1. トリガセクタと製品対応

TMPM4K グループ(2)のトリガセクタは、11本の制御レジスタ([TSELOCRO~10])で構成されており43本のトリガを制御できます。

下記の表にコントロールレジスタと接続先および対応製品を示します。

表 2.3 製品別トリガセクタ対応一覧 (1/6)

レジスタ	Bit Symbol	接続先	選択先トリガソース	製品対応 (○: 対応、-: 非対応)				
				M4KQ	M4KP	M4KN	M4KM	M4KL
[TSELOCRO]	INSEL0	DMA ch16	ADC unit A 汎用トリガ DMA 要求 ADC unit A 単独変換 DMA 要求 ADC unit A 連続変換 DMA 要求	○	○	○	○	○
	INSEL1	DMA ch17	ADC unit B 汎用トリガ DMA 要求 ADC unit B 単独変換 DMA 要求 ADC unit B 連続変換 DMA 要求	○	○	○	○	○
	INSEL2	DMA ch18	ADC unit C 汎用トリガ DMA 要求 ADC unit C 単独変換 DMA 要求 ADC unit C 連続変換 DMA 要求	○	○	○	○	○
	INSEL3	DMA ch19	T32A ch0 DMA 要求レジスタ A1 一致 T32A ch0 DMA 要求レジスタ C1 一致 T32A ch1 DMA 要求レジスタ A1 一致 T32A ch1 DMA 要求レジスタ C1 一致 A-PMD ch0 PWM 割り込み	○	○	○	○	○
[TSELOCRI]	INSEL4	DMA ch20	T32A ch2 DMA 要求レジスタ A1 一致 T32A ch2 DMA 要求レジスタ C1 一致 T32A ch3 DMA 要求レジスタ A1 一致 T32A ch3 DMA 要求レジスタ C1 一致 A-PMD ch1 PWM 割り込み	○	○	○	○	○
	INSEL5	DMA ch21	T32A ch4 DMA 要求レジスタ A1 一致 T32A ch4 DMA 要求レジスタ C1 一致 T32A ch5 DMA 要求レジスタ A1 一致 T32A ch5 DMA 要求レジスタ C1 一致 A-PMD ch2 PWM 割り込み	○	○	○	○	○
	INSEL6	DMA ch22	T32A ch0 DMA 要求レジスタ B1 一致 T32A ch1 DMA 要求レジスタ B1 一致 T32A ch2 DMA 要求レジスタ B1 一致 T32A ch3 DMA 要求レジスタ B1 一致 T32A ch4 DMA 要求レジスタ B1 一致 T32A ch5 DMA 要求レジスタ B1 一致	○	○	○	○	○
	INSEL7	DMA ch23	T32A ch0 DMA 要求キャプチャ A0 T32A ch0 DMA 要求キャプチャ A1 T32A ch1 DMA 要求キャプチャ A0 T32A ch1 DMA 要求キャプチャ A1 T32A ch0 DMA 要求キャプチャ C0 T32A ch0 DMA 要求キャプチャ C1 T32A ch1 DMA 要求キャプチャ C0 T32A ch1 DMA 要求キャプチャ C1	○	○	○	○	○

表 2.4 製品別トリガセクタ対応一覧 (2/6)

レジスタ	Bit Symbol	接続先	選択先トリガソース	製品対応 (○: 対応、-: 非対応)				
				M4KQ	M4KP	M4KN	M4KM	M4KL
[TSEL0CR2]	INSEL8	DMA ch24	T32A ch2 DMA 要求キャプチャ A0 T32A ch2 DMA 要求キャプチャ A1 T32A ch3 DMA 要求キャプチャ A0 T32A ch3 DMA 要求キャプチャ A1 T32A ch2 DMA 要求キャプチャ C0 T32A ch2 DMA 要求キャプチャ C1 T32A ch3 DMA 要求キャプチャ C0 T32A ch3 DMA 要求キャプチャ C1	○	○	○	○	○
	INSEL9	DMA ch25	T32A ch4 DMA 要求キャプチャ A0 T32A ch4 DMA 要求キャプチャ A1 T32A ch5 DMA 要求キャプチャ A0 T32A ch5 DMA 要求キャプチャ A1 T32A ch4 DMA 要求キャプチャ C0 T32A ch4 DMA 要求キャプチャ C1 T32A ch5 DMA 要求キャプチャ C0 T32A ch5 DMA 要求キャプチャ C1	○	○	○	○	○
	INSEL10	DMA ch26	T32A ch0 DMA 要求キャプチャ B0 T32A ch0 DMA 要求キャプチャ B1 T32A ch1 DMA 要求キャプチャ B0 T32A ch1 DMA 要求キャプチャ B1 T32A ch2 DMA 要求キャプチャ B0 T32A ch2 DMA 要求キャプチャ B1	○	○	○	○	○
	INSEL11	DMA ch27	T32A ch3 DMA 要求キャプチャ B0 T32A ch3 DMA 要求キャプチャ B1 T32A ch4 DMA 要求キャプチャ B0 T32A ch4 DMA 要求キャプチャ B1 T32A ch5 DMA 要求キャプチャ B0 T32A ch5 DMA 要求キャプチャ B1	○	○	○	○	○
[TSEL0CR3]	INSEL12	DMA ch28	DMAC ch0 転送終了 DMAC ch1 転送終了 DMAC ch8 転送終了 DMAC ch9 転送終了 DMAC ch16 転送終了 DMAC ch17 転送終了 DMAC ch22 転送終了	○	○	○	○	○
	INSEL13	DMA ch29	DMAC ch2 転送終了 DMAC ch3 転送終了 DMAC ch10 転送終了 DMAC ch11 転送終了 DMAC ch18 転送終了 DMAC ch19 転送終了 DMAC ch23 転送終了 端子 PA2 (TRGIN0)	○	○	○	○	○
	INSEL14	DMA ch30	DMAC ch4 転送終了 DMAC ch5 転送終了 DMAC ch12 転送終了 DMAC ch13 転送終了 DMAC ch20 転送終了 DMAC ch24 転送終了 DMAC ch26 転送終了 端子 PA3 (TRGIN1)	○	○	○	○	○
	INSEL15	DMA ch31	DMAC ch6 転送終了 DMAC ch7 転送終了 DMAC ch14 転送終了 DMAC ch15 転送終了 DMAC ch21 転送終了 DMAC ch25 転送終了 DMAC ch27 転送終了 端子 PA4 (TRGIN2)	○	○	○	○	○
				○	○	○	○	○

表 2.5 製品別トリガセクタ対応一覧 (3/6)

レジスタ	Bit Symbol	接続先	選択先トリガソース	製品対応 (○: 対応、-: 非対応)				
				M4KQ	M4KP	M4KN	M4KM	M4KL
[TSEL0CR4]	INSEL16	ADC unit A	PA2 端子(TRGIN0)	○	○	○	○	○
			PA3 端子(TRGIN1)	○	○	○	○	○
			PA4 端子(TRGIN2)	○	○	○	○	○
			T32A ch1 タイマレジスタ A1 一致トリガ T32A ch1 タイマレジスタ B1 一致トリガ T32A ch1 タイマレジスタ C1 一致トリガ	○	○	○	○	○
	INSEL17	ADC unit B	PA2 端子(TRGIN0)	○	○	○	○	○
			PA3 端子(TRGIN1)	○	○	○	○	○
			PA4 端子(TRGIN2)	○	○	○	○	○
			T32A ch3 タイマレジスタ A1 一致トリガ T32A ch3 タイマレジスタ B1 一致トリガ T32A ch3 タイマレジスタ C1 一致トリガ	○	○	○	○	○
	INSEL18	ADC unit C	PA2 端子(TRGIN0)	○	○	○	○	○
			PA3 端子(TRGIN1)	○	○	○	○	○
			PA4 端子(TRGIN2)	○	○	○	○	○
			T32A ch5 タイマレジスタ A1 一致トリガ T32A ch5 タイマレジスタ B1 一致トリガ T32A ch5 タイマレジスタ C1 一致トリガ	○	○	○	○	○
	INSEL19	TSPI ch0	PA2 端子(TRGIN0)	○	○	○	○	○
			PA3 端子(TRGIN1)	○	○	○	○	○
			PA4 端子(TRGIN2)	○	○	○	○	○
			T32A ch5 タイマレジスタ A1 一致トリガ T32A ch5 タイマレジスタ B1 一致トリガ T32A ch5 タイマレジスタ C1 一致トリガ	○	○	○	○	○
[TSEL0CR5]	INSEL20	TSPI ch1	PA2 端子(TRGIN0)	○	○	○	○	○
			PA3 端子(TRGIN1)	○	○	○	○	○
			PA4 端子(TRGIN2)	○	○	○	○	○
			T32A ch5 タイマレジスタ A1 一致トリガ T32A ch5 タイマレジスタ B1 一致トリガ T32A ch5 タイマレジスタ C1 一致トリガ	○	○	○	○	○
	INSEL21	UART ch0	PA2 端子(TRGIN0)	○	○	○	○	○
			PA3 端子(TRGIN1)	○	○	○	○	○
			PA4 端子(TRGIN2)	○	○	○	○	○
			T32A ch5 タイマレジスタ A1 一致トリガ T32A ch5 タイマレジスタ B1 一致トリガ T32A ch5 タイマレジスタ C1 一致トリガ	○	○	○	○	○
	INSEL22	UART ch1	PA2 端子(TRGIN0)	○	○	○	○	○
			PA3 端子(TRGIN1)	○	○	○	○	○
			PA4 端子(TRGIN2)	○	○	○	○	○
			T32A ch5 タイマレジスタ A1 一致トリガ T32A ch5 タイマレジスタ B1 一致トリガ T32A ch5 タイマレジスタ C1 一致トリガ	○	○	○	○	○
	INSEL23	UART ch2	PA2 端子(TRGIN0)	○	○	○	○	○
			PA3 端子(TRGIN1)	○	○	○	○	○
			PA4 端子(TRGIN2)	○	○	○	○	○
			T32A ch5 タイマレジスタ A1 一致トリガ T32A ch5 タイマレジスタ B1 一致トリガ T32A ch5 タイマレジスタ C1 一致トリガ	○	○	○	○	○

表 2.6 製品別トリガセクタ対応一覧 (4/6)

レジスタ	Bit Symbol	接続先	選択先トリガソース	製品対応 (○: 対応、-: 非対応)					
				M4KQ	M4KP	M4KN	M4KM	M4KL	
[TSEL0CR6]	INSEL24	UART ch3	PA2 端子(TRGIN0)	○	○	○	○	-	
			PA3 端子(TRGIN1)	○	○	○	○	-	
			PA4 端子(TRGIN2)	○	○	○	○	-	
			T32A ch5 タイマレジスタ A1 一致トリガ T32A ch5 タイマレジスタ B1 一致トリガ T32A ch5 タイマレジスタ C1 一致トリガ	○	○	○	○	-	
	INSEL25	T32A ch0 タイマ A	PA2 端子(TRGIN0)	○	○	○	○	○	
			PA3 端子(TRGIN1)	○	○	○	○	○	
			PA4 端子(TRGIN2)	○	○	○	○	○	
			UART ch0 送信完了トリガ UART ch0 受信完了トリガ TSPI ch0 送信完了信号 TSPI ch0 受信完了信号	○	○	○	○	○	
			I ² C ch0 割り込み	○	○	○	○	○	
	INSEL26	T32A ch0 タイマ B	T32A ch0 タイマレジスタ A0 一致トリガ T32A ch0 タイマレジスタ A1 一致トリガ T32A ch0 タイマ A オーバフロートリガ T32A ch0 タイマ A アンダフロートリガ	○	○	○	○	○	
	INSEL27	T32A ch0 タイマ C	T32A ch5 タイマレジスタ C0 一致トリガ T32A ch5 タイマレジスタ C1 一致トリガ T32A ch5 タイマ C オーバフロートリガ T32A ch5 タイマ C アンダフロートリガ	○	○	○	○	○	
	[TSEL0CR7]	INSEL28	T32A ch1 タイマ A	PA2 端子(TRGIN0)	○	○	○	○	○
				PA3 端子(TRGIN1)	○	○	○	○	○
				PA4 端子(TRGIN2)	○	○	○	○	○
				UART ch1 送信完了トリガ UART ch1 受信完了トリガ TSPI ch1 送信完了信号 TSPI ch1 受信完了信号	○	○	-	-	-
A-ENC32 ch0 分周パルス(TIMPLS)				○	○	○	○	-	
T32A ch1 タイマレジスタ A0 一致トリガ T32A ch1 タイマレジスタ A1 一致トリガ T32A ch1 タイマ A オーバフロートリガ T32A ch1 タイマ A アンダフロートリガ				○	○	○	○	○	
INSEL29		T32A ch1 タイマ B	T32A ch1 タイマレジスタ A0 一致トリガ T32A ch1 タイマレジスタ A1 一致トリガ T32A ch1 タイマ A オーバフロートリガ T32A ch1 タイマ A アンダフロートリガ	○	○	○	○	○	
INSEL30		T32A ch1 タイマ C	T32A ch0 タイマレジスタ C0 一致トリガ T32A ch0 タイマレジスタ C1 一致トリガ T32A ch0 タイマ C オーバフロートリガ T32A ch0 タイマ C アンダフロートリガ	○	○	○	○	○	
INSEL31		T32A ch2 タイマ A	PA2 端子(TRGIN0)	○	○	○	○	○	
			PA3 端子(TRGIN1)	○	○	○	○	○	
			PA4 端子(TRGIN2)	○	○	○	○	○	
			UART ch2 送信完了トリガ UART ch2 受信完了トリガ	○	○	○	○	○	
	A-ENC32 ch1 分周パルス(TIMPLS)		○	○	○	○	-		
	I ² C ch1 割り込み		○	○	○	○	○		

表 2.7 製品別トリガセクタ対応一覧 (5/6)

レジスタ		接続先	選択先トリガソース	製品対応 (○: 対応、-: 非対応)				
Bit	Symbol			M4KQ	M4KP	M4KN	M4KM	M4KL
[TSEL0CR8]	INSEL32	T32A ch2 タイマ B	T32A ch2 タイマレジスタ A0 一致トリガ T32A ch2 タイマレジスタ A1 一致トリガ T32A ch2 タイマ A オーバフロートリガ T32A ch2 タイマ A アンダフロートリガ	○	○	○	○	○
	INSEL33	T32A ch2 タイマ C	T32A ch1 タイマレジスタ C0 一致トリガ T32A ch1 タイマレジスタ C1 一致トリガ T32A ch1 タイマ C オーバフロートリガ T32A ch1 タイマ C アンダフロートリガ	○	○	○	○	○
	INSEL34	T32A ch3 タイマ A	PA2 端子(TRGIN0)	○	○	○	○	○
			PA3 端子(TRGIN1)	○	○	○	○	○
			PA4 端子(TRGIN2)	○	○	○	○	○
	INSEL35	T32A ch3 タイマ B	UART ch3 送信完了トリガ UART ch3 受信完了トリガ	○	○	○	○	-
ADC unit C 汎用トリガ割り込み ADC unit C 単独変換割り込み ADC unit C 連続変換割り込み			○	○	○	○	○	
[TSEL0CR9]	INSEL36	T32A ch3 タイマ C	T32A ch2 タイマレジスタ C0 一致トリガ T32A ch2 タイマレジスタ C1 一致トリガ T32A ch2 タイマ C オーバフロートリガ T32A ch2 タイマ C アンダフロートリガ	○	○	○	○	○
	INSEL37	T32A ch4 タイマ A	PA2 端子(TRGIN0)	○	○	○	○	○
			PA3 端子(TRGIN1)	○	○	○	○	○
			PA4 端子(TRGIN2)	○	○	○	○	○
			ADC unit A 汎用トリガ割り込み ADC unit A 単独変換割り込み ADC unit A 連続変換割り込み ADC unit A 監視機能 0 割り込み	○	○	○	○	○
	INSEL38	T32A ch4 タイマ B	A-ENC32 ch2 分周パルス(TIMPLS)	○	○	○	○	○
T32A ch4 タイマレジスタ A0 一致トリガ T32A ch4 タイマレジスタ A1 一致トリガ T32A ch4 タイマ A オーバフロートリガ T32A ch4 タイマ A アンダフロートリガ			○	○	○	○	○	
INSEL39	T32A ch4 タイマ C	T32A ch3 タイマレジスタ C0 一致トリガ T32A ch3 タイマレジスタ C1 一致トリガ T32A ch3 タイマ C オーバフロートリガ T32A ch3 タイマ C アンダフロートリガ	○	○	○	○	○	

表 2.8 製品別トリガセクタ対応一覧 (6/6)

レジスタ	Bit Symbol	接続先	選択先トリガソース	製品対応 (○: 対応、-: 非対応)				
				M4KQ	M4KP	M4KN	M4KM	M4KL
[TSEL0CR10]	INSEL40	T32A ch5 タイマ A	PA2 端子(TRGIN0)	○	○	○	○	○
			PA3 端子(TRGIN1)	○	○	○	○	○
			PA4 端子(TRGIN2)	○	○	○	○	○
			ADC unit B 汎用トリガ割り込み					
			ADC unit B 単独変換割り込み					
			ADC unit B 連続変換割り込み	○	○	○	○	○
	INSEL41	T32A ch5 タイマ B	T32A ch5 タイマレジスタ A0 一致トリガ					
			T32A ch5 タイマレジスタ A1 一致トリガ					
			T32A ch5 タイマ A オーバフロートリガ	○	○	○	○	○
			T32A ch5 タイマ A アンダフロートリガ					
			T32A ch4 タイマレジスタ C0 一致トリガ					
			T32A ch4 タイマレジスタ C1 一致トリガ					
INSEL42	T32A ch5 タイマ C	T32A ch4 タイマ C オーバフロートリガ	○	○	○	○	○	
		T32A ch4 タイマ C アンダフロートリガ						

2.2.2. 使用方法と設定

TRGSEL を使用する場合は、f_{sys} 供給停止レジスタ A (*[CGFSYSENA]*、*[CGFSYSMENA]*)、f_{sys} 供給停止レジスタ B (*[CGFSYSENB]*、*[CGFSYSMENB]*)、f_c 供給停止レジスタ (*[CGFCEN]*) で該当するクロックイネーブルビットを"1" (クロック供給) に設定してください。

該当レジスタ、ビット位置は製品によって異なります。そのため、製品によってレジスタが存在しない場合があります。詳細はリファレンスマニュアルの「クロック制御と動作モード」を参照してください。

トリガセクタの設定は以下の順序で行ってください。

(1) 入力トリガの選択 (*[TSEL0CRn]*<INSELm>)

トリガセクタの接続先に対し、入力トリガの選択を行います。

入力トリガの選択はコントロールレジスタの入力トリガ選択ビット(*[TSEL0CRn]*<INSELm>) で設定してください。(n: レジスタ番号、m: トリガ番号)

(2) エッジ検出条件の選択(*[TSEL0CRn]*<UPDNm>)

エッジ検出が必要な入力トリガ信号に対して、立ち上がりエッジまたは立ち下がりエッジ検出の選択を行います。

エッジ検出条件の選択はコントロールレジスタのエッジ検出条件の選択ビット(*[TSEL0CRn]*<UPDNm>) で設定してください。

エッジ検出が必要なトリガ信号は以下となります。

- ・外部トリガ入力 (TRGIN0, TRGIN1, TRGIN2)

(3) トリガ出力の選択 (*[TSEL0CRn]*<OUTSELm>)

出力するトリガ信号に対し、エッジ検出なし出力またはエッジ検出あり出力の選択を行います。

トリガ出力の選択はコントロールレジスタのトリガ出力の選択ビット(*[TSEL0CRn]*<OUTSELm>) で設定してください。

(4) 出力の許可 (*[TSEL0CRn]*<ENm>)

選択したトリガ信号の出力許可または禁止を選択します。

出力許可または禁止の選択はコントロールレジスタのトリガ出力制御の設定ビット(*[TSEL0CRn]*<ENm>)を設定してください。*[TSEL0CRn]*<ENm>を"1"に設定するとトリガ出力が許可になります。

2.2.3. レジスタ一覧

制御レジスタとアドレスは以下のとおりです。

周辺機能		チャンネル/ユニット	ベースアドレス
トリガセクタ	TRGSEL	ch0	0x400A0400

レジスタ名		アドレス(Base+)
コントロールレジスタ 0	[TSELxCR0]	0x0000
コントロールレジスタ 1	[TSELxCR1]	0x0004
コントロールレジスタ 2	[TSELxCR2]	0x0008
コントロールレジスタ 3	[TSELxCR3]	0x000C
コントロールレジスタ 4	[TSELxCR4]	0x0010
コントロールレジスタ 5	[TSELxCR5]	0x0014
コントロールレジスタ 6	[TSELxCR6]	0x0018
コントロールレジスタ 7	[TSELxCR7]	0x001C
コントロールレジスタ 8	[TSELxCR8]	0x0020
コントロールレジスタ 9	[TSELxCR9]	0x0024
コントロールレジスタ 10	[TSELxCR10]	0x0028

2.2.4. レジスタ詳細

以下の章でレジスタの詳細を示します。

各表の機能欄カッコ内の記号は各機能信号名を表しています。

2.2.4.1. [TSELxCR0](コントロールレジスタ 0)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL3[2:0]	000	R/W	入カトリガの選択(DMA ch19) 000: T32A ch0 DMA 要求レジスタ A1 一致 (T32A00DMAREQCOMP1) 001: T32A ch0 DMA 要求レジスタ C1 一致 (T32A00DMAREQCMP1) 010: T32A ch1 DMA 要求レジスタ A1 一致 (T32A01DMAREQCOMP1) 011: T32A ch1 DMA 要求レジスタ C1 一致 (T32A01DMAREQCMP1) 100: A-PMD ch0 PWM 割り込み (INTPWM0) 101: Reserved 110: Reserved 111: Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN3	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL3	0	R/W	出カトリガの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN3	0	R/W	トリガ出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL2[2:0]	000	R/W	入カトリガの選択(DMA ch18) 000: ADC unit C 汎用トリガ DMA 要求 (ADCTRG_DMAREQ) 001: ADC unit C 単独変換 DMA 要求 (ADCSGL_DMAREQ) 010: ADC unit C 連続変換 DMA 要求 (ADCCNT_DMAREQ) 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN2	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL2	0	R/W	出カトリガの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN2	0	R/W	トリガ出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL1[2:0]	000	R/W	入力トリガの選択(DMA ch17) 000: ADC unit B 汎用トリガ DMA 要求 (ADBTRG_DMAREQ) 001: ADC unit B 単独変換 DMA 要求 (ADBSGL_DMAREQ) 010: ADC unit B 連続変換 DMA 要求 (ADBCNT_DMAREQ) 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN1	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL1	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN1	0	R/W	トリガ出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL0[2:0]	000	R/W	入力トリガの選択(DMA ch16) 000: ADC unit A 汎用トリガ DMA 要求 (ADATRG_DMAREQ) 001: ADC unit A 単独変換 DMA 要求 (ADASGL_DMAREQ) 010: ADC unit A 連続変換 DMA 要求 (ADACNT_DMAREQ) 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN0	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL0	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN0	0	R/W	トリガ出力制御 0: 禁止 1: 許可

2.2.4.2. [TSELxCR1](コントロールレジスタ 1)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL7[2:0]	000	R/W	入力トリガの選択(DMA ch23) 000: T32A ch0 DMA 要求キャプチャ A0 (T32A00DMAREQCAPA0) 001: T32A ch0 DMA 要求キャプチャ A1 (T32A00DMAREQCAPA1) 010: T32A ch1 DMA 要求キャプチャ A0 (T32A01DMAREQCAPA0) 011: T32A ch1 DMA 要求キャプチャ A1 (T32A01DMAREQCAPA1) 100: T32A ch0 DMA 要求キャプチャ C0 (T32A00DMAREQCAPC0) 101: T32A ch0 DMA 要求キャプチャ C1 (T32A00DMAREQCAPC1) 110: T32A ch1 DMA 要求キャプチャ C0 (T32A01DMAREQCAPC0) 111: T32A ch1 DMA 要求キャプチャ C1 (T32A01DMAREQCAPC1)
27	-	0	R	リードすると"0"が読めます。
26	UPDN7	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL7	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN7	0	R/W	トリガ出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL6[2:0]	000	R/W	入力トリガの選択(DMA ch22) 000: T32A ch0 DMA 要求レジスタ B1 一致 (T32A00DMAREQCMPB1) 001: T32A ch1 DMA 要求レジスタ B1 一致 (T32A01DMAREQCMPB1) 010: T32A ch2 DMA 要求レジスタ B1 一致 (T32A02DMAREQCMPB1) 011: T32A ch3 DMA 要求レジスタ B1 一致 (T32A03DMAREQCMPB1) 100: T32A ch4 DMA 要求レジスタ B1 一致 (T32A04DMAREQCMPB1) 101: T32A ch5 DMA 要求レジスタ B1 一致 (T32A05DMAREQCMPB1) 110: Reserved 111: Reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN6	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL6	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN6	0	R/W	トリガ出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL5[2:0]	000	R/W	入力トリガの選択(DMA ch21) 000: T32A ch4 DMA 要求レジスタ A1 一致 (T32A04DMAREQCMPC1) 001: T32A ch4 DMA 要求レジスタ C1 一致 (T32A04DMAREQCMP1) 010: T32A ch5 DMA 要求レジスタ A1 一致 (T32A05DMAREQCMPC1) 011: T32A ch5 DMA 要求レジスタ C1 一致 (T32A05DMAREQCMP1) 100: A-PMD ch2 PWM 割り込み (INTPWM2) 101: Reserved 110: Reserved 111: Reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN5	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL5	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN5	0	R/W	トリガ出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL4[2:0]	000	R/W	入力トリガの選択(DMA ch20) 000: T32A ch2 DMA 要求レジスタ A1 一致 (T32A02DMAREQCMPC1) 001: T32A ch2 DMA 要求レジスタ C1 一致 (T32A02DMAREQCMP1) 010: T32A ch3 DMA 要求レジスタ A1 一致 (T32A03DMAREQCMPC1) 011: T32A ch3 DMA 要求レジスタ C1 一致 (T32A03DMAREQCMP1) 100: A-PMD ch1 PWM 割り込み (INTPWM1) 101: Reserved 110: Reserved 111: Reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN4	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL4	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN4	0	R/W	トリガ出力制御 0: 禁止 1: 許可

2.2.4.3. [TSELxCR2](コントロールレジスタ 2)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL11[2:0]	000	R/W	入力トリガの選択(DMA ch27) 000: T32A ch3 DMA 要求キャプチャ B0 (T32A03DMAREQCAPB0) 001: T32A ch3 DMA 要求キャプチャ B1 (T32A03DMAREQCAPB1) 010: T32A ch4 DMA 要求キャプチャ B0 (T32A04DMAREQCAPB0) 011: T32A ch4 DMA 要求キャプチャ B1 (T32A04DMAREQCAPB1) 100: T32A ch5 DMA 要求キャプチャ B0 (T32A05DMAREQCAPB0) 101: T32A ch5 DMA 要求キャプチャ B1 (T32A05DMAREQCAPB1) 110: Reserved 111: Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN11	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL11	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN11	0	R/W	トリガ出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL10[2:0]	000	R/W	入力トリガの選択(DMA ch26) 000: T32A ch0 DMA 要求キャプチャ B0 (T32A00DMAREQCAPB0) 001: T32A ch0 DMA 要求キャプチャ B1 (T32A00DMAREQCAPB1) 010: T32A ch1 DMA 要求キャプチャ B0 (T32A01DMAREQCAPB0) 011: T32A ch1 DMA 要求キャプチャ B1 (T32A01DMAREQCAPB1) 100: T32A ch2 DMA 要求キャプチャ B0 (T32A02DMAREQCAPB0) 101: T32A ch2 DMA 要求キャプチャ B1 (T32A02DMAREQCAPB1) 110: Reserved 111: Reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN10	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL10	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN10	0	R/W	トリガ出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL9[2:0]	000	R/W	入力トリガの選択(DMA ch25) 000: T32A ch4 DMA 要求キャプチャ A0 (T32A04DMAREQCAPA0) 001: T32A ch4 DMA 要求キャプチャ A1 (T32A04DMAREQCAPA1) 010: T32A ch5 DMA 要求キャプチャ A0 (T32A05DMAREQCAPA0) 011: T32A ch5 DMA 要求キャプチャ A1 (T32A05DMAREQCAPA1) 100: T32A ch4 DMA 要求キャプチャ C0 (T32A04DMAREQCAPC0) 101: T32A ch4 DMA 要求キャプチャ C1 (T32A04DMAREQCAPC1) 110: T32A ch5 DMA 要求キャプチャ C0 (T32A05DMAREQCAPC0) 111: T32A ch5 DMA 要求キャプチャ C1 (T32A05DMAREQCAPC1)
11	-	0	R	リードすると"0"が読めます。
10	UPDN9	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL9	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN9	0	R/W	トリガ出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL8[2:0]	000	R/W	入力トリガの選択(DMA ch24) 000: T32A ch2 DMA 要求キャプチャ A0 (T32A02DMAREQCAPA0) 001: T32A ch2 DMA 要求キャプチャ A1 (T32A02DMAREQCAPA1) 010: T32A ch3 DMA 要求キャプチャ A0 (T32A03DMAREQCAPA0) 011: T32A ch3 DMA 要求キャプチャ A1 (T32A03DMAREQCAPA1) 100: T32A ch2 DMA 要求キャプチャ C0 (T32A02DMAREQCAPC0) 101: T32A ch2 DMA 要求キャプチャ C1 (T32A02DMAREQCAPC1) 110: T32A ch3 DMA 要求キャプチャ C0 (T32A03DMAREQCAPC0) 111: T32A ch3 DMA 要求キャプチャ C1 (T32A03DMAREQCAPC1)
3	-	0	R	リードすると"0"が読めます。
2	UPDN8	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL8	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN8	0	R/W	トリガ出力制御 0: 禁止 1: 許可

2.2.4.4. [TSELxCR3](コントロールレジスタ 3)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL15[2:0]	000	R/W	入力トリガの選択(DMA ch31) 000: DMAC ch6 転送終了 (INTDMAATC6) 001: DMAC ch7 転送終了 (INTDMAATC7) 010: DMAC ch14 転送終了 (INTDMAATC14) 011: DMAC ch15 転送終了 (INTDMAATC15) 100: DMAC ch21 転送終了 (INTDMAATC21) 101: DMAC ch25 転送終了 (INTDMAATC25) 110: DMAC ch27 転送終了 (INTDMAATC27) 111: PA4 端子(TRGIN2)
27	-	0	R	リードすると"0"が読めます。
26	UPDN15	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL15	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN15	0	R/W	トリガ出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL14[2:0]	000	R/W	入力トリガの選択(DMA ch30) 000: DMAC ch4 転送終了 (INTDMAATC4) 001: DMAC ch5 転送終了 (INTDMAATC5) 010: DMAC ch12 転送終了 (INTDMAATC12) 011: DMAC ch13 転送終了 (INTDMAATC13) 100: DMAC ch20 転送終了 (INTDMAATC20) 101: DMAC ch24 転送終了 (INTDMAATC24) 110: DMAC ch26 転送終了 (INTDMAATC26) 111: PA3 端子(TRGIN1)
19	-	0	R	リードすると"0"が読めます。
18	UPDN14	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL14	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN14	0	R/W	トリガ出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL13[2:0]	000	R/W	入力トリガの選択(DMA ch29) 000: DMAC ch2 転送終了 (INTDMAATC2) 001: DMAC ch3 転送終了 (INTDMAATC3) 010: DMAC ch10 転送終了 (INTDMAATC10) 011: DMAC ch11 転送終了 (INTDMAATC11) 100: DMAC ch18 転送終了 (INTDMAATC18) 101: DMAC ch19 転送終了 (INTDMAATC19) 110: DMAC ch23 転送終了 (INTDMAATC23) 111: PA2 端子 (TRGIN0)
11	-	0	R	リードすると"0"が読めます。
10	UPDN13	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL13	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN13	0	R/W	トリガ出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL12[2:0]	000	R/W	入力トリガの選択(DMA ch28) 000: DMAC ch0 転送終了 (INTDMAATC0) 001: DMAC ch1 転送終了 (INTDMAATC1) 010: DMAC ch8 転送終了 (INTDMAATC8) 011: DMAC ch9 転送終了 (INTDMAATC9) 100: DMAC ch16 転送終了 (INTDMAATC16) 101: DMAC ch17 転送終了 (INTDMAATC17) 110: DMAC ch22 転送終了 (INTDMAATC22) 111: Reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN12	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL12	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN12	0	R/W	トリガ出力制御 0: 禁止 1: 許可

2.2.4.5. [TSELxCR4](コントロールレジスタ 4)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL19[2:0]	000	R/W	入力トリガの選択(TSPI ch0 トリガ入力) 000: PA2 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PA4 端子 (TRGIN2) 011: T32A ch5 タイマレジスタ A1 一致トリガ(T32A05TRGOUTCMPA1) 100: T32A ch5 タイマレジスタ B1 一致トリガ(T32A05TRGOUTCMPB1) 101: T32A ch5 タイマレジスタ C1 一致トリガ(T32A05TRGOUTCMPC1) 110: Reserved 111: Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN19	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL19	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN19	0	R/W	トリガ出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL18[2:0]	000	R/W	入力トリガの選択(ADC unit C 汎用トリガ) 000: PA2 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PA4 端子 (TRGIN2) 011: T32A ch5 タイマレジスタ A1 一致トリガ(T32A05TRGOUTCMPA1) 100: T32A ch5 タイマレジスタ B1 一致トリガ(T32A05TRGOUTCMPB1) 101: T32A ch5 タイマレジスタ C1 一致トリガ(T32A05TRGOUTCMPC1) 110: Reserved 111: Reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN18	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL18	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN18	0	R/W	トリガ出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL17[2:0]	000	R/W	入力トリガの選択(ADC unit B 汎用トリガ) 000: PA2 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PA4 端子 (TRGIN2) 011: T32A ch3 タイマレジスタ A1 一致トリガ(T32A03TRGOUTCMPA1) 100: T32A ch3 タイマレジスタ B1 一致トリガ(T32A03TRGOUTCMPB1) 101: T32A ch3 タイマレジスタ C1 一致トリガ(T32A03TRGOUTCMPC1) 110: Reserved 111: Reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN17	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL17	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN17	0	R/W	トリガ出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL16[2:0]	000	R/W	入力トリガの選択(ADC unit A 汎用トリガ) 000: PA2 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PA4 端子 (TRGIN2) 011: T32A ch1 タイマレジスタ A1 一致トリガ(T32A01TRGOUTCMPA1) 100: T32A ch1 タイマレジスタ B1 一致トリガ(T32A01TRGOUTCMPB1) 101: T32A ch1 タイマレジスタ C1 一致トリガ(T32A01TRGOUTCMPC1) 110: Reserved 111: Reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN16	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL16	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN16	0	R/W	トリガ出力制御 0: 禁止 1: 許可

2.2.4.6. [TSELxCR5](コントロールレジスタ 5)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL23[2:0]	000	R/W	入力トリガの選択(UART ch2 トリガ入力) 000: PA2 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PA4 端子 (TRGIN2) 011: T32A ch5 タイマレジスタ A1 一致トリガ(T32A05TRGOUTCMPA1) 100: T32A ch5 タイマレジスタ B1 一致トリガ(T32A05TRGOUTCMPB1) 101: T32A ch5 タイマレジスタ C1 一致トリガ(T32A05TRGOUTCMPC1) 110: Reserved 111: Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN23	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL23	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN23	0	R/W	トリガ出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL22[2:0]	000	R/W	入力トリガの選択(UART ch1 トリガ入力) 000: PA2 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PA4 端子 (TRGIN2) 011: T32A ch5 タイマレジスタ A1 一致トリガ(T32A05TRGOUTCMPA1) 100: T32A ch5 タイマレジスタ B1 一致トリガ(T32A05TRGOUTCMPB1) 101: T32A ch5 タイマレジスタ C1 一致トリガ(T32A05TRGOUTCMPC1) 110: Reserved 111: Reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN22	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL22	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN22	0	R/W	トリガ出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL21[2:0]	000	R/W	入力トリガの選択(UART ch0 トリガ入力) 000: PA2 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PA4 端子 (TRGIN2) 011: T32A ch5 タイマレジスタ A1 一致トリガ(T32A05TRGOUTCMPA1) 100: T32A ch5 タイマレジスタ B1 一致トリガ(T32A05TRGOUTCMPB1) 101: T32A ch5 タイマレジスタ C1 一致トリガ(T32A05TRGOUTCMPC1) 110: Reserved 111: Reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN21	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL21	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN21	0	R/W	トリガ出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL20[2:0]	000	R/W	入力トリガの選択(TSPI ch1 トリガ入力) 000: PA2 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PA4 端子 (TRGIN2) 011: T32A ch5 タイマレジスタ A1 一致トリガ(T32A05TRGOUTCMPA1) 100: T32A ch5 タイマレジスタ B1 一致トリガ(T32A05TRGOUTCMPB1) 101: T32A ch5 タイマレジスタ C1 一致トリガ(T32A05TRGOUTCMPC1) 110: Reserved 111: Reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN20	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL20	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN20	0	R/W	トリガ出力制御 0: 禁止 1: 許可

2.2.4.7. [TSELxCR6](コントロールレジスタ 6)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL27[2:0]	000	R/W	入力トリガの選択(T32A ch0 タイマ C 内部トリガ入力) 000: T32A ch5 タイマレジスタ C0 一致トリガ(T32A05TRGOUTCMPC0) 001: T32A ch5 タイマレジスタ C1 一致トリガ(T32A05TRGOUTCMPC1) 010: T32A ch5 タイマ C オーバフロートリガ (T32A05TRGOUTOFC) 011: T32A ch5 タイマ C アンダフロートリガ (T32A05TRGOUTUFC) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN27	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL27	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN27	0	R/W	トリガ出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL26[2:0]	000	R/W	入力トリガの選択(T32A ch0 タイマ B 内部トリガ入力) 000: T32A ch0 タイマレジスタ A0 一致トリガ(T32A00TRGOUTCMPA0) 001: T32A ch0 タイマレジスタ A1 一致トリガ(T32A00TRGOUTCMPA1) 010: T32A ch0 タイマ A オーバフロートリガ (T32A00TRGOUTOFA) 011: T32A ch0 タイマ A アンダフロートリガ (T32A00TRGOUTUFA) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN26	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL26	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN26	0	R/W	トリガ出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL25[2:0]	000	R/W	入力トリガの選択(T32A ch0 タイマ A 内部トリガ入力) 000: PA2 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PA4 端子 (TRGIN2) 011: UART ch0 送信完了トリガ (UART0TXTRG) 100: UART ch0 受信完了トリガ (UART0RXTRG) 101: TSPI ch0 送信完了信号 (TSPI0TXEND) 110: TSPI ch0 受信完了信号 (TSPI0RXEND) 111: I ² C ch0 割り込み (INTI2C0)
11	-	0	R	リードすると"0"が読めます。
10	UPDN25	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL25	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN25	0	R/W	トリガ出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL24[2:0]	000	R/W	入力トリガの選択(UART ch3 トリガ入力) 000: PA2 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PA4 端子 (TRGIN2) 011: T32A ch5 タイマレジスタ A1 一致トリガ(T32A05TRGOUTCMPA1) 100: T32A ch5 タイマレジスタ B1 一致トリガ(T32A05TRGOUTCMPB1) 101: T32A ch5 タイマレジスタ C1 一致トリガ(T32A05TRGOUTCMPC1) 110: Reserved 111: Reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN24	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL24	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN24	0	R/W	トリガ出力制御 0: 禁止 1: 許可

2.2.4.8. [TSELxCR7](コントロールレジスタ 7)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL31[2:0]	000	R/W	入力トリガの選択(T32A ch2 タイマ A 内部トリガ入力) 000: PA2 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PA4 端子 (TRGIN2) 011: UART ch2 送信完了トリガ (UART2TXTRG) 100: UART ch2 受信完了トリガ (UART2RXTRG) 101: A-ENC32 ch1 分周パルス (ENC1TIMPLS) 110: I ² C ch1 割り込み (INTI2C1) 111: Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN31	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL31	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN31	0	R/W	トリガ出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL30[2:0]	000	R/W	入力トリガの選択(T32A ch1 タイマ C 内部トリガ入力) 000: T32A ch0 タイマレジスタ C0 一致トリガ(T32A00TRGOUTCMPC0) 001: T32A ch0 タイマレジスタ C1 一致トリガ(T32A00TRGOUTCMPC1) 010: T32A ch0 タイマ C オーバフロートリガ (T32A00TRGOUTOFC) 011: T32A ch0 タイマ C アンダフロートリガ (T32A00TRGOUTUFC) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN30	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL30	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN30	0	R/W	トリガ出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL29[2:0]	000	R/W	入力トリガの選択(T32A ch1 タイマ B 内部トリガ入力) 000: T32A ch1 タイマレジスタ A0 一致トリガ(T32A01TRGOUTCMPA0) 001: T32A ch1 タイマレジスタ A1 一致トリガ(T32A01TRGOUTCMPA1) 010: T32A ch1 タイマ A オーバフロートリガ (T32A01TRGOUTOFA) 011: T32A ch1 タイマ A アンダフロートリガ (T32A01TRGOUTUFA) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN29	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL29	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN29	0	R/W	トリガ出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL28[2:0]	000	R/W	入力トリガの選択(T32A ch1 タイマ A 内部トリガ入力) 000: PA2 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PA4 端子 (TRGIN2) 011: UART ch1 送信完了トリガ (UART1TXTRG) 100: UART ch1 受信完了トリガ (UART1RXTRG) 101: TSPI ch1 送信完了信号 (TSPI1TXEND) 110: TSPI ch1 受信完了信号 (TSPI1RXEND) 111: A-ENC32 ch0 分周パルス (ENC0TIMPLS)
3	-	0	R	リードすると"0"が読めます。
2	UPDN28	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL28	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN28	0	R/W	トリガ出力制御 0: 禁止 1: 許可

2.2.4.9. [TSELxCR8](コントロールレジスタ 8)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL35[2:0]	000	R/W	入力トリガの選択(T32A ch3 タイマ B 内部トリガ入力) 000: T32A ch3 タイマレジスタ A0 一致トリガ(T32A03TRGOUTCMPA0) 001: T32A ch3 タイマレジスタ A1 一致トリガ(T32A03TRGOUTCMPA1) 010: T32A ch3 タイマ A オーバフロートリガ (T32A03TRGOUTOFA) 011: T32A ch3 タイマ A アンダフロートリガ (T32A03TRGOUTUFA) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN35	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL35	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN35	0	R/W	トリガ出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL34[2:0]	000	R/W	入力トリガの選択(T32A ch3 タイマ A 内部トリガ入力) 000: PA2 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PA4 端子 (TRGIN2) 011: UART ch3 送信完了トリガ (UART3TXTRG) 100: UART ch3 受信完了トリガ (UART3RXTRG) 101: ADC unit C 汎用トリガ割り込み (INTADCTRG) 110: ADC unit C 単独変換割り込み (INTADCSGL) 111: ADC unit C 連続変換割り込み (INTADCCNT)
19	-	0	R	リードすると"0"が読めます。
18	UPDN34	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL34	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN34	0	R/W	トリガ出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL33[2:0]	000	R/W	入力トリガの選択(T32A ch2 タイマ C 内部トリガ入力) 000: T32A ch1 タイマレジスタ C0 一致トリガ(T32A01TRGOUTCMPC0) 001: T32A ch1 タイマレジスタ C1 一致トリガ(T32A01TRGOUTCMPC1) 010: T32A ch1 タイマ C オーバフロートリガ (T32A01TRGOUTOFC) 011: T32A ch1 タイマ C アンダフロートリガ (T32A01TRGOUTUFC) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN33	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL33	0	R/W	出カトリガの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN33	0	R/W	トリガ出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL32[2:0]	000	R/W	入力トリガの選択(T32A ch2 タイマ B 内部トリガ入力) 000: T32A ch2 タイマレジスタ A0 一致トリガ (T32A02TRGOUTCMPA0) 001: T32A ch2 タイマレジスタ A1 一致トリガ (T32A02TRGOUTCMPA1) 010: T32A ch2 タイマ A オーバフロートリガ (T32A02TRGOUTOFA) 011: T32A ch2 タイマ A アンダフロートリガ (T32A02TRGOUTUFA) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN32	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL32	0	R/W	出カトリガの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN32	0	R/W	トリガ出力制御 0: 禁止 1: 許可

2.2.4.10. [TSELxCR9](コントロールレジスタ 9)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL39[2:0]	000	R/W	入力トリガの選択(T32A ch4 タイマ C 内部トリガ入力) 000: T32A ch3 タイマレジスタ C0 一致トリガ(T32A03TRGOUTCMPC0) 001: T32A ch3 タイマレジスタ C1 一致トリガ(T32A03TRGOUTCMPC1) 010: T32A ch3 タイマ C オーバフロートリガ (T32A03TRGOUTOFC) 011: T32A ch3 タイマ C アンダフロートリガ (T32A03TRGOUTUFC) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN39	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL39	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN39	0	R/W	トリガ出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL38[2:0]	000	R/W	入力トリガの選択(T32A ch4 タイマ B 内部トリガ入力) 000: T32A ch4 タイマレジスタ A0 一致トリガ (T32A04TRGOUTCMPA0) 001: T32A ch4 タイマレジスタ A1 一致トリガ (T32A04TRGOUTCMPA1) 010: T32A ch4 タイマ A オーバフロートリガ (T32A04TRGOUTOFA) 011: T32A ch4 タイマ A アンダフロートリガ (T32A04TRGOUTUFA) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN38	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL38	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN38	0	R/W	トリガ出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL37[2:0]	000	R/W	入力トリガの選択(T32A ch4 タイマ A 内部トリガ入力) 000: PA2 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PA4 端子 (TRGIN2) 011: ADC unit A 汎用トリガ割り込み (INTADATRG) 100: ADC unit A 単独変換割り込み (INTADASGL) 101: ADC unit A 連続変換割り込み (INTADACNT) 110: ADC unit A 監視機能 0 割り込み (INTADACP0) 111: A-ENC32 ch2 分周パルス (ENC2TIMPLS)
11	-	0	R	リードすると"0"が読めます。
10	UPDN37	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL37	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN37	0	R/W	トリガ出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL36[2:0]	000	R/W	入力トリガの選択(T32A ch3 タイマ C 内部トリガ入力) 000: T32A ch2 タイマレジスタ C0 一致トリガ(T32A02TRGOUTCMPC0) 001: T32A ch2 タイマレジスタ C1 一致トリガ(T32A02TRGOUTCMPC1) 010: T32A ch2 タイマ C オーバフロートリガ (T32A02TRGOUTOFC) 011: T32A ch2 タイマ C アンダフロートリガ (T32A02TRGOUTUFC) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN36	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL36	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN36	0	R/W	トリガ出力制御 0: 禁止 1: 許可

2.2.4.11. [TSELxCR10](コントロールレジスタ 10)

Bit	Bit Symbol	リセット後	Type	機能
31:23	-	0	R	リードすると"0"が読めます。
22:20	INSEL42[2:0]	000	R/W	入力トリガの選択(T32A ch5 タイマ C 内部トリガ入力) 000: T32A ch4 タイマレジスタ C0 一致トリガ (T32A04TRGOUTCMPC0) 001: T32A ch4 タイマレジスタ C1 一致トリガ (T32A04TRGOUTCMPC1) 010: T32A ch4 タイマ C オーバフロートリガ (T32A04TRGOUTOFC) 011: T32A ch4 タイマ C アンダフロートリガ (T32A04TRGOUTUFC) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN42	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL42	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN42	0	R/W	トリガ出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。
14:12	INSEL41[2:0]	000	R/W	入力トリガの選択(T32A ch5 タイマ B 内部トリガ入力) 000: T32A ch5 タイマレジスタ A0 一致トリガ(T32A05TRGOUTCMPA0) 001: T32A ch5 タイマレジスタ A1 一致トリガ(T32A05TRGOUTCMPA1) 010: T32A ch5 タイマ A オーバフロートリガ (T32A05TRGOUTOFA) 011: T32A ch5 タイマ A アンダフロートリガ (T32A05TRGOUTUFA) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN41	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL41	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN41	0	R/W	トリガ出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。

Bit	Bit Symbol	リセット後	Type	機能
6:4	INSEL40[2:0]	000	R/W	入力トリガの選択(T32A ch5 タイマ A 内部トリガ入力) 000: PA2 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PA4 端子 (TRGIN2) 011: ADC unit B 汎用トリガ割り込み (INTADBTRG) 100: ADC unit B 単独変換割り込み (INTADBSGL) 101: ADC unit B 連続変換割り込み (INTADBCNT) 110: ADC unit B 監視機能 0 割り込み (INTADBCP0) 111: ADC unit B 監視機能 1 割り込み (INTADBCP1)
3	-	0	R	リードすると"0"が読めます。
2	UPDN40	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL40	0	R/W	出力トリガの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN40	0	R/W	トリガ出力制御 0: 禁止 1: 許可

2.3. クロック選択式ウォッチドッグタイマ(SIWDT)

2.3.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.9 SIWDT 搭載チャンネル

製品	チャンネル (○: 搭載、-: 非搭載)
	ch0
M4KQ	○
M4KP	○
M4KN	○
M4KM	○
M4KL	○

2.3.2. カウントクロック

クロック選択式ウォッチドッグタイマは、カウントするクロックを選択可能です。以下の表に選択できるクロックを示します。

表 2.10 SIWDT カウントクロック

クロック	信号名	選択
システムクロック	fsys	[SIWDOMOD]<WDCLS> レジスタで選択します。
内蔵高速発振器 1 クロック	f _{IHOSC1}	
内蔵高速発振器 2 クロック	f _{IHOSC2}	

2.3.3. プロテクト機能

TMPM4K グループ(2)は、プロテクト A モードには対応していません。
プロテクト機能を使用する場合は、プロテクト B モードを使用してください。

2.3.4. 発振クロックプロテクト機能

内蔵高速発振器 2(f_{IHOSC2})を選択した場合、内蔵高速発振器 2 の書き換えを禁止することが可能です。

表 2.11 SIWDT 発振クロックプロテクト機能

制御出力	信号名	備考
内蔵高速発振器 2 発振制御ビット ([CGOSCCR]<IHOSC2EN> のプロテクト信号)	OSCPRO	[SIWDOOSCCR]<OSCPRO>レジスタ で設定します。

2.4. 周波数検知回路(OFD)

2.4.1. 搭載一覧

製品毎の搭載一覧を下記表に示します。

表 2.12 OFD 搭載一覧

製品	OFD 搭載 (○: 搭載、-: 非搭載)
M4KQ	○
M4KP	○
M4KN	○
M4KM	○
M4KL	○

2.4.2. 基準クロック

周波数検知回路は以下の表のクロックを基準クロックとして動作します。

表 2.13 OFD 基準クロック

基準クロック	信号名	分周比
内蔵高速発振器 2 クロック	f _{IHOSC2}	128

2.4.3. 検知対象クロック

周波数検知回路は以下の表の検知対象クロックからモニタしたいクロックを選択します。

表 2.14 OFD 検知対象クロック

検知対象クロック		信号名
入力信号	外部高速発振器クロック	f _{EHOSC}
	CG(クロック制御部)の [CGOSCCR]<OSCESEL> と [CGPLLOSEL]<PLLOSEL>で 選択されたクロック	fc

2.5. デバッグインタフェース

2.5.1. 製品別デバッグインタフェース一覧

表 2.15 デバッグインタフェース搭載一覧

デバッグ機能	デバッグ端子	ポート	製品対応 (○: 対応、-: 非対応)				
			M4KQ	M4KP	M4KN	M4KM	M4KL
シリアルワイヤ	SWDIO	PF0	○	○	○	○	○
	SWCLK	PF1	○	○	○	○	○
	SWV	PF2	○	○	○	-	-
JTAG	TMS	PF0	○	○	○	-	-
	TCK	PF1	○	○	○	-	-
	TDO	PF2	○	○	○	-	-
	TDI	PF3	○	○	○	-	-
	TRST_N	PF4	○	○	○	-	-
ETMトレース	TRACECLK	PF5	○	○	○	-	-
	TRACEDATA0	PF6	○	○	○	-	-
	TRACEDATA1	PF7	○	○	○	-	-
	TRACEDATA2	PN0	○	○	○	-	-
	TRACEDATA3	PN1	○	○	○	-	-

2.6. ノンブレイクデバッグインタフェース(NBDIF)

2.6.1. 搭載一覧

製品毎の搭載一覧を下記表に示します。

表 2.16 NBDIF 搭載一覧

製品	NBDIF 搭載 (○: 搭載、-: 非搭載)
M4KQ	○
M4KP	○
M4KN	○
M4KM	-
M4KL	-

2.6.2. NBDIF 端子一覧

表 2.17 NBDIF 端子一覧

NBDIF 端子		ポート	製品対応 (○: 対応、-: 非対応)				
			M4KQ	M4KP	M4KN	M4KM	M4KL
NBDCLK	入力	PF5	○	○	○	-	-
NBDDATA0	入出力	PF6	○	○	○	-	-
NBDDATA1	入出力	PF7	○	○	○	-	-
NBDDATA2	入出力	PN0	○	○	○	-	-
NBDDATA3	入出力	PN1	○	○	○	-	-
NBDSYNC	入力	PF4	○	○	○	-	-

2.7. フラッシュメモリ(FLASH)

2.7.1. 書き込み, 消去操作クロック

フラッシュメモリは、コードフラッシュまたはデータフラッシュへの書き込み, 消去操作に以下の表に示すクロックが使用されます。

表 2.18 FLASH 書き込み, 消去操作クロック

書き込み, 消去操作クロック
f _{IHOSC1}

注) 発振制御レジスタは[CGOSCCR]<IHOSC1EN>です。

2.7.2. 製品別コードフラッシュブロック構成

コードフラッシュメモリは、下記の表のように製品によってメモリのブロック構成が異なります。

表 2.19 製品別コードフラッシュブロック構成

エリア	ブロック名称	M4KQFD M4KPFD M4KNFD M4KMFD M4KLFD	M4KQFY M4KPFY M4KNFY M4KMFY M4KLFY	M4KQFW M4KPFW M4KNFW M4KMFW M4KLFW	ブロック サイズ (KB)	
0	Block0	PG0	○	○	○	4
		PG1	○	○	○	4
		PG2	○	○	○	4
		PG3	○	○	○	4
		PG4	○	○	○	4
		PG5	○	○	○	4
		PG6	○	○	○	4
		PG7	○	○	○	4
	Block1	○	○	○	32	
	Block2	○	○	○	32	
	Block3	○	○	○	32	
	Block4	○	○	×	32	
	Block5	○	○	×	32	
	Block6	○	○	×	32	
	Block7	○	○	×	32	
	Block8	○	×	×	32	
Block9	○	×	×	32		
Block10	○	×	×	32		
Block11	○	×	×	32		
Block12	○	×	×	32		
Block13	○	×	×	32		
Block14	○	×	×	32		
Block15	○	×	×	32		

注) ○: Block あり、×: Block なし

2.7.3. 製品別データフラッシュブロック構成

データフラッシュメモリは、下記の表のように製品によってメモリのブロック構成が異なります。

表 2.20 製品別データフラッシュブロック構成

エリア	ブロック名称	M4KQFD M4KPFD M4KNFD M4KMGD M4KLFY	M4KQFY M4KPFY M4KNFY M4KMGY M4KLFY	M4KQFW M4KPFW M4KNFW M4KMGW M4KLFW	ブロック サイズ (KB)
4	Block0	○	○	○	4
	Block1	○	○	○	4
	Block2	○	○	○	4
	Block3	○	○	○	4
	Block4	○	○	○	4
	Block5	○	○	○	4
	Block6	○	○	○	4
	Block7	○	○	○	4

注) ○: Block あり、×: Block なし

2.7.4. シングルブート使用リソース

シングルブートでは下記表の周辺機能を使用します。

表 2.21 シングルブート使用リソース

周辺機能	チャネル	機能	端子名
BOOT	—	-	PG2(BOOT_N)
UART	ch0	RXD	PC1(UT0RXD)
		TXD	PC0(UT0TXDA)
T32A	ch0	-	-

RAM ローダコマンドで転送する RAM アドレスは下表の範囲で行ってください。

表 2.22 RAM転送可能最終アドレス

製品名	RAM 転送可能最終アドレス
TMPM4KQ, TMPM4KP, TMPM4KN, TMPM4KM, TMPM4KL	0x20000400~0x20003FFF

2.8. DMA コントローラ(DMAC)

2.8.1. 搭載ユニット

製品毎の搭載ユニットを下記表に示します。

表 2.23 DMAC 搭載ユニット

製品	ユニット (○: 搭載、-: 非搭載)
	A
M4KQ	○
M4KP	○
M4KN	○
M4KM	○
M4KL	○

2.8.2. DMA 転送要求一覧

下記表に DMA 転送要求一覧を示します。

表のトリガセクタ欄にレジスタ名のあるチャンネルは、トリガセクタで使用する要求を選択してください。表内の "-" は該当する機能がありません。

表 2.24 DMA 転送要求一覧 (1/4)

チャネル	シングル転送要求		トリガセクタ	バースト転送要求	
		信号名			信号名
0	TSPI ch0 受信 DMA 要求	TSPI0RX_DMA	-	TSPI ch0 受信 DMA 要求	TSPI0RX_DMA
1	TSPI ch0 送信 DMA 要求	TSPI0TX_DMA	-	TSPI ch0 送信 DMA 要求	TSPI0TX_DMA
2	TSPI ch1 受信 DMA 要求	TSPI1RX_DMA	-	TSPI ch1 受信 DMA 要求	TSPI1RX_DMA
3	TSPI ch1 送信 DMA 要求	TSPI1TX_DMA	-	TSPI ch1 送信 DMA 要求	TSPI1TX_DMA
4	UART ch0 受信 DMA 要求	UART0RX_DMAREQ	-	UART ch0 受信 DMA 要求	UART0RX_DMAREQ
5	UART ch0 送信 DMA 要求	UART0TX_DMAREQ	-	UART ch0 送信 DMA 要求	UART0TX_DMAREQ
6	UART ch1 受信 DMA 要求	UART1RX_DMAREQ	-	UART ch1 受信 DMA 要求	UART1RX_DMAREQ
7	UART ch1 送信 DMA 要求	UART1TX_DMAREQ	-	UART ch1 送信 DMA 要求	UART1TX_DMAREQ
8	UART ch2 受信 DMA 要求	UART2RX_DMAREQ	-	UART ch2 受信 DMA 要求	UART2RX_DMAREQ
9	UART ch2 送信 DMA 要求	UART2TX_DMAREQ	-	UART ch2 送信 DMA 要求	UART2TX_DMAREQ
10	UART ch3 受信 DMA 要求	UART3RX_DMAREQ	-	UART ch3 受信 DMA 要求	UART3RX_DMAREQ
11	UART ch3 送信 DMA 要求	UART3TX_DMAREQ	-	UART ch3 送信 DMA 要求	UART3TX_DMAREQ
12	-	-	-	I ² C ch0 受信 DMA リクエスト	I2C0RXDMAREQ
13	-	-	-	I ² C ch0 送信 DMA リクエスト	I2C0TXDMAREQ
14	-	-	-	I ² C ch1 受信 DMA リクエスト	I2C1RXDMAREQ
15	-	-	-	I ² C ch1 送信 DMA リクエスト	I2C1TXDMAREQ

表 2.25 DMA 転送要求一覧 (2/4)

チャネル	シングル転送要求		トリガセクタ	バースト転送要求	
		信号名			信号名
16	-	-	[TSELOCR0] <INSEL0>	AD unit A 汎用トリガ DMA 要求	ADATRG_DMAREQ
				AD unit A 単独変換 DMA 要求	ADASLG_DMAREQ
				AD unit A 連続変換 DMA 要求	ADACNT_DMAREQ
17	-	-	[TSELOCR0] <INSEL1>	AD unit B 汎用トリガ DMA 要求	ADBTRG_DMAREQ
				AD unit B 単独変換 DMA 要求	ADBSLG_DMAREQ
				AD unit B 連続変換 DMA 要求	ADBCNT_DMAREQ
18	-	-	[TSELOCR0] <INSEL2>	AD unit C 汎用トリガ DMA 要求	ADCTRG_DMAREQ
				AD unit C 単独変換 DMA 要求	ADCSLG_DMAREQ
				AD unit C 連続変換 DMA 要求	ADCCNT_DMAREQ
19	-	-	[TSELOCR0] <INSEL3>	T32A ch0 DMA 要求レジスタ A1 一致	T32A00DMAREQCPA1
				T32A ch0 DMA 要求レジスタ C1 一致	T32A00DMAREQCMPC1
				T32A ch1 DMA 要求レジスタ A1 一致	T32A01DMAREQCPA1
				T32A ch1 DMA 要求レジスタ C1 一致	T32A01DMAREQCMPC1
				A-PMD ch0 PWM 割り込み	INTPWM0
20	-	-	[TSELOCR1] <INSEL4>	T32A ch2 DMA 要求レジスタ A1 一致	T32A02DMAREQCPA1
				T32A ch2 DMA 要求レジスタ C1 一致	T32A02DMAREQCMPC1
				T32A ch3 DMA 要求レジスタ A1 一致	T32A03DMAREQCPA1
				T32A ch3 DMA 要求レジスタ C1 一致	T32A03DMAREQCMPC1
				A-PMD ch1 PWM 割り込み	INTPWM1
21	-	-	[TSELOCR1] <INSEL5>	T32A ch4 DMA 要求レジスタ A1 一致	T32A04DMAREQCPA1
				T32A ch4 DMA 要求レジスタ C1 一致	T32A04DMAREQCMPC1
				T32A ch5 DMA 要求レジスタ A1 一致	T32A05DMAREQCPA1
				T32A ch5 DMA 要求レジスタ C1 一致	T32A05DMAREQCMPC1
				A-PMD ch2 PWM 割り込み	INTPWM2
22	-	-	[TSELOCR1] <INSEL6>	T32A ch0 DMA 要求レジスタ B1 一致	T32A00DMAREQCMPB1
				T32A ch1 DMA 要求レジスタ B1 一致	T32A01DMAREQCMPB1
				T32A ch2 DMA 要求レジスタ B1 一致	T32A02DMAREQCMPB1
				T32A ch3 DMA 要求レジスタ B1 一致	T32A03DMAREQCMPB1
				T32A ch4 DMA 要求レジスタ B1 一致	T32A04DMAREQCMPB1
				T32A ch5 DMA 要求レジスタ B1 一致	T32A05DMAREQCMPB1
23	-	-	[TSELOCR1] <INSEL7>	T32A ch0 DMA 要求キャプチャ A0	T32A00DMAREQCAPA0
				T32A ch0 DMA 要求キャプチャ A1	T32A00DMAREQCAPA1
				T32A ch1 DMA 要求キャプチャ A0	T32A01DMAREQCAPA0
				T32A ch1 DMA 要求キャプチャ A1	T32A01DMAREQCAPA1
				T32A ch0 DMA 要求キャプチャ C0	T32A00DMAREQCAPC0
				T32A ch0 DMA 要求キャプチャ C1	T32A00DMAREQCAPC1
				T32A ch1 DMA 要求キャプチャ C0	T32A01DMAREQCAPC0
				T32A ch1 DMA 要求キャプチャ C1	T32A01DMAREQCAPC1

注) ch16~ch31 はトリガセクタで DMA 転送要求のトリガソースを選択します。詳細な接続先については、「2.2.トリガセクタ(TRGSEL)」を参照してください。

表 2.26 DMA 転送要求一覧 (3/4)

チャネル	シングル転送要求		トリガセクタ	バースト転送要求	
		信号名			信号名
24	-	-	[TSELOCR2] <INSEL8>	T32A ch2 DMA 要求キャプチャ A0	T32A02DMAREQCAPA0
				T32A ch2 DMA 要求キャプチャ A1	T32A02DMAREQCAPA1
				T32A ch3 DMA 要求キャプチャ A0	T32A03DMAREQCAPA0
				T32A ch3 DMA 要求キャプチャ A1	T32A03DMAREQCAPA1
				T32A ch2 DMA 要求キャプチャ C0	T32A02DMAREQCAPC0
				T32A ch2 DMA 要求キャプチャ C1	T32A02DMAREQCAPC1
				T32A ch3 DMA 要求キャプチャ C0	T32A03DMAREQCAPC0
				T32A ch3 DMA 要求キャプチャ C1	T32A03DMAREQCAPC1
25	-	-	[TSELOCR2] <INSEL9>	T32A ch4 DMA 要求キャプチャ A0	T32A04DMAREQCAPA0
				T32A ch4 DMA 要求キャプチャ A1	T32A04DMAREQCAPA1
				T32A ch5 DMA 要求キャプチャ A0	T32A05DMAREQCAPA0
				T32A ch5 DMA 要求キャプチャ A1	T32A05DMAREQCAPA1
				T32A ch4 DMA 要求キャプチャ C0	T32A04DMAREQCAPC0
				T32A ch4 DMA 要求キャプチャ C1	T32A04DMAREQCAPC1
				T32A ch5 DMA 要求キャプチャ C0	T32A05DMAREQCAPC0
				T32A ch5 DMA 要求キャプチャ C1	T32A05DMAREQCAPC1
26	-	-	[TSELOCR2] <INSEL10>	T32A ch0 DMA 要求キャプチャ B0	T32A00DMAREQCAPB0
				T32A ch0 DMA 要求キャプチャ B1	T32A00DMAREQCAPB1
				T32A ch1 DMA 要求キャプチャ B0	T32A01DMAREQCAPB0
				T32A ch1 DMA 要求キャプチャ B1	T32A01DMAREQCAPB1
				T32A ch2 DMA 要求キャプチャ B0	T32A02DMAREQCAPB0
				T32A ch2 DMA 要求キャプチャ B1	T32A02DMAREQCAPB1
27	-	-	[TSELOCR2] <INSEL11>	T32A ch3 DMA 要求キャプチャ B0	T32A03DMAREQCAPB0
				T32A ch3 DMA 要求キャプチャ B1	T32A03DMAREQCAPB1
				T32A ch4 DMA 要求キャプチャ B0	T32A04DMAREQCAPB0
				T32A ch4 DMA 要求キャプチャ B1	T32A04DMAREQCAPB1
				T32A ch5 DMA 要求キャプチャ B0	T32A05DMAREQCAPB0
				T32A ch5 DMA 要求キャプチャ B1	T32A05DMAREQCAPB1

注) ch16~ch31 はトリガセクタで DMA 転送要求のトリガソースを選択します。詳細な接続先については、「2.2.トリガセクタ(TRGSEL)」を参照してください。

表 2.27 DMA 転送要求一覧 (4/4)

チャネル	シングル転送要求		トリガセクタ	バースト転送要求	
		信号名			信号名
28	-	-	[TSEL0CR3] <INSEL12>	DMAC ch0 転送終了	INTDMAATC0
				DMAC ch1 転送終了	INTDMAATC1
				DMAC ch8 転送終了	INTDMAATC8
				DMAC ch9 転送終了	INTDMAATC9
				DMAC ch16 転送終了	INTDMAATC16
				DMAC ch17 転送終了	INTDMAATC17
29	-	-	[TSEL0CR3] <INSEL13>	DMAC ch2 転送終了	INTDMAATC2
				DMAC ch3 転送終了	INTDMAATC3
				DMAC ch10 転送終了	INTDMAATC10
				DMAC ch11 転送終了	INTDMAATC11
				DMAC ch18 転送終了	INTDMAATC18
				DMAC ch19 転送終了	INTDMAATC19
				DMAC ch23 転送終了	INTDMAATC23
ポート PA2(TRGIN0)	TRGIN0				
30	-	-	[TSEL0CR3] <INSEL14>	DMAC ch4 転送終了	INTDMAATC4
				DMAC ch5 転送終了	INTDMAATC5
				DMAC ch12 転送終了	INTDMAATC12
				DMAC ch13 転送終了	INTDMAATC13
				DMAC ch20 転送終了	INTDMAATC20
				DMAC ch24 転送終了	INTDMAATC24
				DMAC ch26 転送終了	INTDMAATC26
ポート PA3(TRGIN1)	TRGIN1				
31	-	-	[TSEL0CR3] <INSEL15>	DMAC ch6 転送終了	INTDMAATC6
				DMAC ch7 転送終了	INTDMAATC7
				DMAC ch14 転送終了	INTDMAATC14
				DMAC ch15 転送終了	INTDMAATC15
				DMAC ch21 転送終了	INTDMAATC21
				DMAC ch25 転送終了	INTDMAATC25
				DMAC ch27 転送終了	INTDMAATC27
ポート PA4(TRGIN2)	TRGIN2				

注) ch16~ch31 はトリガセクタで DMA 転送要求のトリガソースを選択します。詳細な接続先については、「2.2.トリガセクタ(TRGSEL)」を参照してください。

2.9. アドバンストプログラマブルモータ制御回路(A-PMD)

2.9.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.28 A-PMD 搭載チャンネル

製品	チャンネル (○: 搭載、-: 非搭載)		
	ch0	ch1	ch2
M4KQ	○	○	○
M4KP	○	○	○
M4KN	○	○	○
M4KM	○	○	○
M4KL	○	○	○

2.9.2. 機能端子とポート

機能端子は以下ポートに割り当てられています。

表 2.29 A-PMD 機能端子

チャンネル	機能端子		ポート	製品対応 (○: 対応、-: 非対応)				
				M4KQ	M4KP	M4KN	M4KM	M4KL
ch0	UO0	出力	PB0	○	○	○	○	○
	VO0	出力	PB2	○	○	○	○	○
	WO0	出力	PB4	○	○	○	○	○
	XO0	出力	PB1	○	○	○	○	○
	YO0	出力	PB3	○	○	○	○	○
	ZO0	出力	PB5	○	○	○	○	○
	EMG0	入力	PB6	○	○	○	○	○
	OVV0	入力	PB7	○	○	○	-	-
	PMD0DBG	出力	PB7	○	○	○	-	-
PC2			○	○	○	○	○	
ch1	UO1	出力	PE0	○	○	○	○	○
	VO1	出力	PE2	○	○	○	○	○
	WO1	出力	PE4	○	○	○	○	○
	XO1	出力	PE1	○	○	○	○	○
	YO1	出力	PE3	○	○	○	○	○
	ZO1	出力	PE5	○	○	○	○	○
	EMG1	入力	PE6	○	○	○	○	○
	OVV1	入力	PE7	○	○	○	-	-
	PMD1DBG	出力	PC3	○	○	○	○	○
PE7			○	○	○	-	-	
ch2	UO2	出力	PU0	○	○	○	○	○
	VO2	出力	PU2	○	○	○	○	○
	WO2	出力	PU4	○	○	○	○	○
	XO2	出力	PU1	○	○	○	○	○
	YO2	出力	PU3	○	○	○	○	○
	ZO2	出力	PU5	○	○	○	○	○
	EMG2	入力	PU6	○	○	○	○	○
	OVV2	入力	PU7	○	○	○	-	-
	PMD2DBG	出力	PA2	○	○	○	○	○
PU7			○	○	○	-	-	

2.9.3. DMA 要求

A-PMD は、以下の表に示す DMA 要求があります。

表 2.30 A-PMD DMA要求

チャンネル	要求	信号名	トリガセクタ	DMA 要求チャンネル		
				シングル 転送	バースト 転送	
ch0	PWM 割り込み	INTPWM0	[TSEL0CR0] <INSEL3>	19	—	○
ch1	PWM 割り込み	INTPWM1	[TSEL0CR1] <INSEL4>	20	—	○
ch2	PWM 割り込み	INTPWM2	[TSEL0CR1] <INSEL5>	21	—	○

注) ○: 対応、—: 非対応

2.9.4. 内部信号接続仕様

2.9.4.1. その他接続

A-PMD は、下記表のように内部で周辺機能と接続されている信号があります。

表 2.31 A-PMD 内部接続仕様:入力

チャンネル	機能入力		入力元		
		信号名		信号名	
ch0	ADC 変換動作中状態信号	ADABUSY	ADC unit A	ADABUSY	
	ADC 監視機能 0 信号(OVV 検知)	ADACMP0L_N		ADACMP0L_N	
	ADC 監視機能 1 信号(OVV 検知)	ADACMP1L_N		ADACMP1L_N	
	ADC 変換終了割り込み A	INTADAPDA		INTADAPDA	
	ADC 変換終了割り込み B	INTADAPDB		INTADAPDB	
	ADC 変換終了割り込み C	INTADAPDC			
	ADC 変換終了割り込み D	INTADAPDD	-	-	
	ADC 変換優先度割り込み	INTADAPFLG			
	転流トリガ(A-ENC 位置検出同期)	INTENC00	A-ENC32 ch0	INTENC00	
	転流トリガ(汎用タイマ同期)	PMD0TMR	T32A ch0 タイマ A	T32A00TRGOUTCMPA0	
	転流トリガ(A-ENC MCMP 同期)	ENC0CTRGO	A-ENC32 ch0	ENC0CTRGO	
	VE U 相 PWM デューティ	VE0CMPU	A-VE+ ch0	VE0CMPU	
	VE V 相 PWM デューティ	VE0CMPV		VE0CMPV	
	VE W 相 PWM デューティ	VE0CMPW		VE0CMPW	
	VE トリガコンペア 0	VE0TRGCMP0		VE0TRGCMP0	
	VE トリガコンペア 1	VE0TRGCMP1		VE0TRGCMP1	
	VE 同期トリガ出力選択	VE0TRGSEL		VE0TRGSEL	
	VE 通電制御/出力制御	VE0OUTCR		VE0OUTCR	
	VE EMG 復帰	VE0EMGRS		VE0EMGRS	
VE タスク遷移信号	VE0TASKP	VE0DBGO			
VE 割り込み	INTVCN0	INTVCN0			
ch1	ADC 変換動作中状態信号	ADBBUSY		ADC unit B	ADBBUSY
	ADC 監視機能 0 信号(OVV 検知)	ADBCMP0L_N			ADBCMP0L_N
	ADC 監視機能 1 信号(OVV 検知)	ADBCMP1L_N	ADBCMP1L_N		
	ADC 変換終了割り込み A	INTADBPDA	INTADBPDA		
	ADC 変換終了割り込み B	INTADBPDB	INTADBPDB		
	ADC 変換終了割り込み C	INTADBPDC			
	ADC 変換終了割り込み D	INTADBPDD	-	-	
	ADC 変換優先度割り込み	INTADBPFLG			
	転流トリガ(A-ENC 位置検出同期)	INTENC10	A-ENC32 ch1	INTENC10	
	転流トリガ(汎用タイマ同期)	PMD1TMR	T32A ch1 タイマ A	T32A01TRGOUTCMPA0	
	転流トリガ(A-ENC MCMP 同期)	ENC1CTRGO	A-ENC32 ch1	ENC1CTRGO	
ch2	ADC 変換動作中状態信号	ADCBUSY	ADC unit C	ADCBUSY	
	ADC 監視機能 0 信号(OVV 検知)	ADCCMP0L_N		ADCCMP0L_N	
	ADC 監視機能 1 信号(OVV 検知)	ADCCMP1L_N		ADCCMP1L_N	
	ADC 変換終了割り込み A	INTADCPDA		INTADCPDA	
	ADC 変換終了割り込み B	INTADCPDB		INTADCPDB	
	ADC 変換終了割り込み C	INTADCPDC			
	ADC 変換終了割り込み D	INTADCPDD	-	-	
	ADC 変換優先度割り込み	INTADCPFLG			
	転流トリガ(A-ENC 位置検出同期)	INTENC20	A-ENC32 ch2	INTENC20	
	転流トリガ(汎用タイマ同期)	PMD2TMR	T32A ch2 タイマ A	T32A02TRGOUTCMPA0	
	転流トリガ(A-ENC MCMP 同期)	ENC2CTRGO	A-ENC32 ch2	ENC2CTRGO	

注) ch1/ch2 には、VE は接続されていません。

表 2.32 A-PMD 内部接続仕様:出力

チャンネル	機能出力		出力先	
		信号名		信号名
ch0	ADC 同期トリガ出力 0	PMD0TRG0	ADC unit A	PMDTRG0
			ADC unit B	PMDTRG0
			ADC unit C	PMDTRG0
	ADC 同期トリガ出力 1	PMD0TRG1	ADC unit A	PMDTRG1
			ADC unit B	PMDTRG1
			ADC unit C	PMDTRG1
	ADC 同期トリガ出力 2	PMD0TRG2	ADC unit A	PMDTRG2
			ADC unit B	PMDTRG2
			ADC unit C	PMDTRG2
	ADC 同期トリガ出力 3	PMD0TRG3	ADC unit A	PMDTRG3
			ADC unit B	PMDTRG3
			ADC unit C	PMDTRG3
	ADC 同期トリガ出力 4	PMD0TRG4	ADC unit A	PMDTRG4
			ADC unit B	PMDTRG4
ADC unit C			PMDTRG4	
ADC 同期トリガ出力 5	PMD0TRG5	ADC unit A	PMDTRG5	
		ADC unit B	PMDTRG5	
		ADC unit C	PMDTRG5	
エンコーダ入力用 PWM 信号	PMD0PWMON	A-ENC32 ch0	ENC0PWMON	
PWM 割り込み	INTPWM0	A-VE+ ch0	INTPWM0	
ch1	ADC 同期トリガ出力 0	PMD1TRG0	ADC unit A	PMDTRG6
			ADC unit B	PMDTRG6
	ADC 同期トリガ出力 1	PMD1TRG1	ADC unit A	PMDTRG7
			ADC unit B	PMDTRG7
	ADC 同期トリガ出力 2	PMD1TRG2	ADC unit A	PMDTRG8
			ADC unit B	PMDTRG8
	ADC 同期トリガ出力 3	PMD1TRG3	ADC unit A	PMDTRG9
			ADC unit B	PMDTRG9
	ADC 同期トリガ出力 4	PMD1TRG4	ADC unit A	PMDTRG10
			ADC unit B	PMDTRG10
ADC 同期トリガ出力 5	PMD1TRG5	ADC unit A	PMDTRG11	
		ADC unit B	PMDTRG11	
エンコーダ入力用 PWM 信号	PMD1PWMON	A-ENC32 ch1	ENC1PWMON	
ch2	ADC 同期トリガ出力 0	PMD2TRG0	ADC unit C	PMDTRG6
	ADC 同期トリガ出力 1	PMD2TRG1	ADC unit C	PMDTRG7
	ADC 同期トリガ出力 2	PMD2TRG2	ADC unit C	PMDTRG8
	ADC 同期トリガ出力 3	PMD2TRG3	ADC unit C	PMDTRG9
	ADC 同期トリガ出力 4	PMD2TRG4	ADC unit C	PMDTRG10
	ADC 同期トリガ出力 5	PMD2TRG5	ADC unit C	PMDTRG11
	エンコーダ入力用 PWM 信号	PMD2PWMON	A-ENC32 ch2	ENC2PWMON

2.9.4.2. チャンネル間同期制御接続仕様

PMD は、以下の表に示すようにチャンネル間で同期接続されています。

表 2.33 PMD チャンネル間同期制御接続仕様

マスタ			スレーブ		
チャンネル	機能(出力)	信号名	チャンネル	機能(入力)	信号名
ch0	PWM 許可同期出力	PMD0SYNCDENO	ch1	PWM 許可同期入力	PMD1SYNCDENI
			ch2	PWM 許可同期入力	PMD2SYNCDENI
	EMG 保護同期出力	PMD0SYNCEMGO	ch1	EMG 保護同期入力	PMD1SYNCEMGI
			ch2	EMG 保護同期入力	PMD2SYNCEMGI
	OVV 保護同期出力	PMD0SYNCOVVO	ch1	OVV 保護同期入力	PMD1SYNCOVVI
			ch2	OVV 保護同期入力	PMD2SYNCOVVI

2.10. アドバンストエンコーダ入力回路(32-bit) (A-ENC32)

2.10.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.34 A-ENC32 搭載チャンネル

製品	チャンネル (○: 搭載、-: 非搭載)		
	ch0	ch1	ch2
M4KQ	○	○	○
M4KP	○	○	○
M4KN	○	○	○
M4KM	○	○	○
M4KL	-	-	○

2.10.2. 機能端子とポート

機能端子は以下ポートに割り当てられています。

表 2.35 A-ENC32 機能端子

チャンネル	機能端子		ポート	製品対応 (○: 対応、-: 非対応)				
				M4KQ	M4KP	M4KN	M4KM	M4KL
ch0	ENC0A	入力	PN0	○	○	○	○	-
			PP3	○	○	-	-	-
	ENC0B	入力	PN1	○	○	○	○	-
			PP4	○	○	-	-	-
	ENC0Z	入力	PN2	○	○	○	○	-
			PP5	○	○	-	-	-
ch1	ENC1A	入力	PF3	○	○	○	○	-
			PR3	○	-	-	-	-
	ENC1B	入力	PF4	○	○	○	○	-
			PR4	○	-	-	-	-
	ENC1Z	入力	PF5	○	○	○	-	-
			PR5	○	-	-	-	-
ch2	ENC2A	入力	PD3	○	○	○	-	-
			PU3	○	○	○	○	○
	ENC2B	入力	PD4	○	○	○	-	-
			PU5	○	○	○	○	○
	ENC2Z	入力	PD5	○	○	○	-	-
			PU6	○	○	○	○	○

2.10.3. 内部信号接続仕様

2.10.3.1. T32A/A-PMD 接続

アドバンストエンコーダ入力回路は、下記表のように内部で周辺機能と接続されている信号があります。表内の“-”は該当する機能がありません。

表 2.36 A-ENC32 内部接続仕様:入力

チャネル	機能入力		入力信号		
		信号名	周辺機能		信号名
ch0	汎用タイマ出力信号	ENC0PSGI	T32A ch0	T32A タイマ出力 A	T32A00OUTA
	サンプリング用 PWM 信号	ENC0PWMON	A-PMD ch0	A-PMD PWM 信号	PMD0PWMON
ch1	汎用タイマ出力信号	ENC1PSGI	T32A ch1	T32A タイマ出力 A	T32A01OUTA
	サンプリング用 PWM 信号	ENC1PWMON	A-PMD ch1	A-PMD PWM 信号	PMD1PWMON
ch2	汎用タイマ出力信号	ENC2PSGI	T32A ch2	T32A タイマ出力 A	T32A02OUTA
	サンプリング用 PWM 信号	ENC2PWMON	A-PMD ch2	A-PMD PWM 信号	PMD2PWMON

表 2.37 A-ENC32 内部接続仕様:出力

チャネル	機能出力		トリガセレクタ	出力先		
		信号名		周辺機能		信号名
ch0	分周パルス信号	ENC0TIMPLS	[TSEL0CR7] <INSEL28>	T32A ch1	タイマ A キャプチャトリガ入力	T32A01TRGINAPCK
	PMD 用転流トリガ出力	ENC0CTRGO	-	A-PMD ch0	PMD 転流トリガ (電気角同期)	ENC0CTRGO
	エンコーダ入力 割り込み 0	INTENC00	-		転流トリガ (ENC 位置検出同期)	INTENC00
ch1	分周パルス信号	ENC1TIMPLS	[TSEL0CR7] <INSEL31>	T32A ch2	タイマ A キャプチャトリガ入力	T32A02TRGINAPCK
	PMD 用転流トリガ出力	ENC1CTRGO	-	A-PMD ch1	PMD 転流トリガ (電気角同期)	ENC1CTRGO
	エンコーダ入力 割り込み 0	INTENC10	-		転流トリガ (ENC 位置検出同期)	INTENC10
ch2	分周パルス信号	ENC2TIMPLS	[TSEL0CR9] <INSEL37>	T32A ch4	タイマ A キャプチャトリガ入力	T32A04TRGINAPCK
	PMD 用転流トリガ出力	ENC2CTRGO	-	A-PMD ch2	PMD 転流トリガ (電気角同期)	ENC2CTRGO
	エンコーダ入力 割り込み 0	INTENC20	-		転流トリガ (ENC 位置検出同期)	INTENC20

2.11. アドバンストベクトルエンジンプラス(A-VE+)

2.11.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.38 A-VE+ 搭載チャンネル

製品	チャンネル (○: 搭載、-: 非搭載)
	ch0
M4KQ	○
M4KP	○
M4KN	○
M4KM	○
M4KL	○

2.11.2. 内部信号接続仕様

2.11.2.1. その他の接続

アドバンストベクトルエンジンプラスは、下記表のように内部で周辺機能と接続されている信号があります。

表 2.39 A-VE+ 内部接続仕様:入力

チャンネル	機能入力		入力元	
		信号名		信号名
ch0	ADC 変換終了割り込み A	INTADAPDA	ADC unit A	INTADAPDA
	ADC 変換終了割り込み B	INTADAPDB		INTADAPDB
	AD 変換結果 0 (電流 1 データ)	ADAREG0		ADAREG0
	AD 変換結果 1 (電流 2 データ)	ADAREG1		ADAREG1
	AD 変換結果 2 (電流 3 データ)	ADAREG2		ADAREG2
	AD 変換結果 3 (DC 電圧データ)	ADAREG3		ADAREG3
	PWM 割り込み	INTPWM0	A-PMD ch0	INTPWM0

表 2.40 A-VE+ 内部接続仕様:出力

チャンネル	機能出力		出力先	
		信号名		信号名
ch0	U 相 PWM デューティ	VE0CMPU	A-PMD ch0	VE0CMPU
	V 相 PWM デューティ	VE0CMPV		VE0CMPV
	W 相 PWM デューティ	VE0CMPW		VE0CMPW
	トリガコンペア 0	VE0TRGCMP0		VE0TRGCMP0
	トリガコンペア 1	VE0TRGCMP1		VE0TRGCMP1
	同期トリガ出力選択	VE0TRGSEL		VE0TRGSEL
	通電制御/出力制御	VE0OUTCR		VE0OUTCR
	EMG 復帰	VE0EMGRS		VE0EMGRS
	タスク遷移信号	VE0DBGO		VE0TASKP
	スケジュール終了割り込み	INTVCN0		INTVCN0

2.12. 12 ビットアナログデジタルコンバータ(ADC)

2.12.1. 搭載ユニット

製品毎の搭載ユニットを下記表に示します。

表 2.41 ADC 搭載ユニット

製品	ユニット (○: 搭載、-: 非搭載)		
	A	B	C
M4KQ	○	○	○
M4KP	○	○	○
M4KN	○	○	○
M4KM	○	○	○
M4KL	○	○	○

2.12.2. 変換結果格納レジスタ

ユニット毎の変換結果格納レジスタ数を下表に示します。

表 2.42 ADC 変換結果格納レジスタ数

ユニット	レジスタ数
A	24
B	16
C	16

2.12.3. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。
製品により機能端子がないチャンネルもあります。

表 2.43 ADC 機能端子とポート

ユニット	機能端子	ポート	製品対応 (○: 対応、-: 非対応)					
			M4KQ	M4KP	M4KN	M4KM	M4KL	
A	AINA00	AINA00	PM7	○	○	-	-	-
	AINA01	AINA01	PM6	○	○	-	-	-
	AINA02	AINA02	PM5	○	○	-	-	-
	AINA03	AINA03	PM4	○	○	-	-	-
	AINA04	AINA04	PM3	○	○	-	-	-
	AINA05	AINA05	PM2	○	○	○	-	-
	AINA06	AINA06	PM1	○	○	○	-	-
	AINA07	AINA07	PM0	○	○	○	-	-
	AINA08	AINA08	PL7	○	○	○	○	○
	AINA09	AINA09	PL6	○	○	○	○	○
	AINA10~ AINA12	-	-	-	-	-	-	-
	AINA13	AINA13	PL5	○	○	○	○	○
	AINA14	AINA14	PL3	○	○	○	○	○
	AINA15	AINA15	PL1	○	○	○	○	○
	AINA16	AINA16(注 2)	PL0	○	○	○	○	○
		AMPA AOUT	-	○	○	○	○	○
	AINA17	AINA17(注 2)	PL2	○	○	○	○	○
		AMPB AOUT	-	○	○	○	○	○
	AINA18	AINA18(注 2)	PL4	○	○	○	○	○
		AMPC AOUT	-	○	○	○	○	○
	AINA19	VREFHA	-	○	○	○	○	○
	AINA20	VREFLA	-	○	○	○	○	○
	AINA21	リファレンス電源	-	○	○	○	○	○
AINA22, AINA23	-	-	-	-	-	-	-	
B	AINB00	AINB00	PK0	○	○	○	○	○
	AINB01	AINB01	PK1	○	○	○	○	○
	AINB02	AINB02	PK2	○	○	○	○	○
	AINB03	AINB03	PK3	○	○	○	○	-
	AINB04	AINB04	PK4	○	○	○	○	-
	AINB05	AINB05	PK5	○	○	-	-	-
	AINB06	AINB06	PK6	○	○	-	-	-
	AINB07	AINB07	PK7	○	○	-	-	-
	AINB08	AINA17(注 2)	PL2	○	○	○	○	○
		AMPB AOUT	-	○	○	○	○	○
	AINB09	VREFHB	-	○	○	○	○	○
	AINB10	VREFLB	-	○	○	○	○	○
	AINB11	リファレンス電源	-	○	○	○	○	○
	AINB12~ AINB23	-	-	-	-	-	-	-

ユニット	機能端子	ポート	製品対応 (○: 対応、-: 非対応)					
			信号入力	M4KQ	M4KP	M4KN	M4KM	M4KL
C	AINC00	AINC00	PJ0	○	○	○	○	○
	AINC01	AINC01	PJ1	○	○	○	○	○
	AINC02	AINC02	PJ2	○	○	○	○	○
	AINC03	AINC03	PJ3	○	○	○	○	-
	AINC04	AINC04	PJ4	○	○	○	-	-
	AINC05	AINC05	PJ5	○	○	○	-	-
	AINC06	AINC06	PJ6	○	○	-	-	-
	AINC07	AINC07	PJ7	○	○	-	-	-
	AINC08	AINA18(注 2)	PL4	○	○	○	○	○
		AMPC AOUT	-	○	○	○	○	○
	AINC09	VREFHC	-	○	○	○	○	○
	AINC10	VREFLC	-	○	○	○	○	○
	AINC11	リファレンス電源	-	○	○	○	○	○
	AINC12~ AINC23	-	-	-	-	-	-	-

注 1) ユニット A AINA19/AINA20/AINA21、ユニット B AINB09/AINB10/AINB11、ユニット C AINC09/AINC10/AINC11 は自己診断機能サポート用内部接続されています。

注 2) OPAMP 未使用時

2.12.4. アナログ基準端子

ADC のアナログ基準端子はユニット A/B/C で共通です。端子割り付けは下記のとおりです。

表 2.44 アナログ基準端子割り付け

ユニット	ADC 端子	M4KQxxFG	M4KPxxDFG	M4KNxxDFG	M4KNxxFG	M4KMxxDFG M4KMxxFG	M4KLxxUG M4KLxxFG
A	VREFHA/VREFLA	53/50	46/43	37/34	34/31	29/26	24/21
B	VREFHB/VREFLB						
C	VREFHC/VREFLC						

2.12.5. ADC 用変換クロック

AD コンバータ用変換クロックは以下の表に示すクロックが使用されます。

表 2.45 ADC用変換クロック

クロック
ADCLK

2.12.6. 使用条件とレジスタ設定

TMPM4K グループ(2)が対応する使用条件を表 2.46 に示します。

変換クロック設定レジスタ ($ADxCLK$)、モード設定レジスタ 1 ($ADxMOD1$)、モード設定レジスタ 2 ($ADxMOD2$)については、下表の値を設定してください。

表 2.46 ADC 使用条件とレジスタ設定

変換時間 [μ s]	AVDD5 [V]	ADCLK [MHz]	SCLK [MHz]	レジスタ設定		
				$ADxCLK$	$ADxMOD1$	$ADxMOD2$
1.0	4.5~5.5	160MHz	160MHz	0x00000008	0x00306122	0x00000000
1.0	4.5~5.5	120MHz	120MHz	0x00000000	0x00308012	0x00000000
1.1	4.5~5.5	160MHz	80MHz	0x00000001	0x00104011	0x00000000
1.1	4.5~5.5	80MHz	80MHz	0x00000000	0x00104011	0x00000000

2.12.7. DMA 要求

ADC は、以下の表に示す DMA 要求があります。

表 2.47 ADC DMA要求

ユニット	要求	信号名	トリガセクタ	DMA 要求チャンネル		
				シングル転送	バースト転送	
A	汎用トリガ DMA 要求	ADATRG_DMAREQ	[TSELOCRO] <INSEL0>	16	—	○
	単独変換 DMA 要求	ADASGL_DMAREQ			—	○
	連続変換 DMA 要求	ADACNT_DMAREQ			—	○
B	汎用トリガ DMA 要求	ADBTRG_DMAREQ	[TSELOCRO] <INSEL1>	17	—	○
	単独変換 DMA 要求	ADBSGL_DMAREQ			—	○
	連続変換 DMA 要求	ADBCNT_DMAREQ			—	○
C	汎用トリガ DMA 要求	ADCTRG_DMAREQ	[TSELOCRO] <INSEL2>	18	—	○
	単独変換 DMA 要求	ADCSGL_DMAREQ			—	○
	連続変換 DMA 要求	ADCCNT_DMAREQ			—	○

注) ○: 対応、—: 非対応

2.12.8. 内部信号接続仕様

2.12.8.1. 起動トリガ接続仕様

12ビットアナログデジタルコンバータには、トリガ信号によるAD変換機能があります。

下記表のトリガセレクト欄にレジスタ名のある入力トリガ信号は、トリガセレクトで使用する入力トリガを選択してください。表内の“-”は該当する機能がありません。

表 2.48 ADC 起動トリガ接続仕様: 入力

ユニット	信号入力		トリガセレクト	入力元	
		信号名			信号名
A	PMD0 PMDトリガ 0	PMDTRG0	-	A-PMD ch0	PMD0TRG0
	PMD0 PMDトリガ 1	PMDTRG1	-		PMD0TRG1
	PMD0 PMDトリガ 2	PMDTRG2	-		PMD0TRG2
	PMD0 PMDトリガ 3	PMDTRG3	-		PMD0TRG3
	PMD0 PMDトリガ 4	PMDTRG4	-		PMD0TRG4
	PMD0 PMDトリガ 5	PMDTRG5	-		PMD0TRG5
	PMD1 PMDトリガ 0	PMDTRG6	-	A-PMD ch1	PMD1TRG0
	PMD1 PMDトリガ 1	PMDTRG7	-		PMD1TRG1
	PMD1 PMDトリガ 2	PMDTRG8	-		PMD1TRG2
	PMD1 PMDトリガ 3	PMDTRG9	-		PMD1TRG3
	PMD1 PMDトリガ 4	PMDTRG10	-		PMD1TRG4
	PMD1 PMDトリガ 5	PMDTRG11	-		PMD1TRG5
	汎用トリガ	ADATRGIN	[TSEL0CR4] <INSEL16>	PA2 端子(TRGIN0)	TRGIN0
				PA3 端子(TRGIN1)	TRGIN1
				PA4 端子(TRGIN2)	TRGIN2
				T32A ch1	T32A01TRGOUTCMPA1
T32A01TRGOUTCMPB1					
T32A01TRGOUTCMPC1					
B	PMD0 PMDトリガ 0	PMDTRG0	-	A-PMD ch0	PMD0TRG0
	PMD0 PMDトリガ 1	PMDTRG1	-		PMD0TRG1
	PMD0 PMDトリガ 2	PMDTRG2	-		PMD0TRG2
	PMD0 PMDトリガ 3	PMDTRG3	-		PMD0TRG3
	PMD0 PMDトリガ 4	PMDTRG4	-		PMD0TRG4
	PMD0 PMDトリガ 5	PMDTRG5	-		PMD0TRG5
	PMD1 PMDトリガ 0	PMDTRG6	-	A-PMD ch1	PMD1TRG0
	PMD1 PMDトリガ 1	PMDTRG7	-		PMD1TRG1
	PMD1 PMDトリガ 2	PMDTRG8	-		PMD1TRG2
	PMD1 PMDトリガ 3	PMDTRG9	-		PMD1TRG3
	PMD1 PMDトリガ 4	PMDTRG10	-		PMD1TRG4
	PMD1 PMDトリガ 5	PMDTRG11	-		PMD1TRG5
	汎用トリガ	ADBTRGIN	[TSEL0CR4] <INSEL17>	PA2 端子(TRGIN0)	TRGIN0
				PA3 端子(TRGIN1)	TRGIN1
				PA4 端子(TRGIN2)	TRGIN2
				T32A ch3	T32A03TRGOUTCMPA1
T32A03TRGOUTCMPB1					
T32A03TRGOUTCMPC1					

ユニット	信号入力		トリガセクタ	入力元	
		信号名			信号名
C	PMD0 PMD トリガ 0	PMDTRG0	-	A-PMD ch0	PMD0TRG0
	PMD0 PMD トリガ 1	PMDTRG1	-		PMD0TRG1
	PMD0 PMD トリガ 2	PMDTRG2	-		PMD0TRG2
	PMD0 PMD トリガ 3	PMDTRG3	-		PMD0TRG3
	PMD0 PMD トリガ 4	PMDTRG4	-		PMD0TRG4
	PMD0 PMD トリガ 5	PMDTRG5	-		PMD0TRG5
	PMD2 PMD トリガ 0	PMDTRG6		A-PMD ch2	PMD2TRG0
	PMD2 PMD トリガ 1	PMDTRG7	-		PMD2TRG1
	PMD2 PMD トリガ 2	PMDTRG8	-		PMD2TRG2
	PMD2 PMD トリガ 3	PMDTRG9	-		PMD2TRG3
	PMD2 PMD トリガ 4	PMDTRG10	-		PMD2TRG4
	PMD2 PMD トリガ 5	PMDTRG11	-		PMD2TRG5
	汎用トリガ	ADCTRGIN	[TSEL0CR4] <INSEL18>	PA2 端子(TRGIN0)	TRGIN0
				PA3 端子(TRGIN1)	TRGIN1
				PA4 端子(TRGIN2)	TRGIN2
T32A ch5				T32A05TRGOUTCMPA1	
				T32A05TRGOUTCMPB1	
	T32A05TRGOUTCMPC1				

注) [TSEL0CR4]<INSEL16><INSEL17><INSEL18>はトリガセクタで起動トリガのトリガソースを選択します。詳細な接続先については、「2.2.トリガセクタ(TRGSEL)」を参照してください。

2.12.8.2. その他接続

ADCは、その他、下記表のように内部で周辺機能と接続されている信号があります。表内の“-”は該当する機能がありません。

表 2.49 ADC 内部接続仕様:出力

ユニット	機能出力		トリガセクタ	出力先	
		信号名			信号名
A	汎用トリガ割り込み	INTADATRG	[TSEL0CR9] <INSEL37>	T32A ch4 タイマ A	T32A04TRGINAPCK
	単独変換割り込み	INTADASGL			
	連続変換割り込み	INTADACNT			
	監視機能 0 割り込み	INTADACP0			
	PMD 保護用監視機能 0 出力	ADACP0L_N	-	A-PMD ch0	ADACMP0L_N
	PMD 保護用監視機能 1 出力	ADACP1L_N	-		ADACMP1L_N
	PMDトリガ割り込み A	INTADAPDA	-	A-PMD ch0	INTADAPDA
				A-VE+ ch0	INTADAPDA
	PMDトリガ割り込み B	INTADAPDB	-	A-PMD ch0	INTADAPDB
				A-VE+ ch0	INTADAPDB
AD 変換中フラグ	ADABUSY	-	A-PMD ch0	ADABUSY	
変換結果格納レジスタ		ADAREG0	-	A-VE+ ch0	ADAREG0
		ADAREG1	-		ADAREG1
		ADAREG2	-		ADAREG2
		ADAREG3	-		ADAREG3
B	汎用トリガ割り込み	INTADBTRG	[TSEL0CR10] <INSEL40>	T32A ch5 タイマ A	T32A05TRGINAPCK
	単独変換割り込み	INTADBSGL			
	連続変換割り込み	INTADBCNT			
	監視機能 0 割り込み	INTADBCP0			
	監視機能 1 割り込み	INTADBCP1			
	PMD 保護用監視機能 0 出力	ADBCP0L_N	-	A-PMD ch1	ADBCMP0L_N
	PMD 保護用監視機能 1 出力	ADBCP1L_N	-		ADBCMP1L_N
	PMDトリガ割り込み A	INTADBPDA	-		INTADBPDA
	PMDトリガ割り込み B	INTADBPDB	-		INTADBPDB
	AD 変換中フラグ	ADBBUSY	-		ADBBUSY
C	汎用トリガ割り込み	INTADCTRG	[TSEL0CR8] <INSEL34>	T32A ch3 タイマ A	T32A03TRGINAPCK
	単独変換割り込み	INTADCSGL			
	連続変換割り込み	INTADCCNT			
	PMD 保護用監視機能 0 出力	ADCCP0L_N	-	A-PMD ch2	ADCCMP0L_N
	PMD 保護用監視機能 1 出力	ADCCP1L_N	-		ADCCMP1L_N
	PMDトリガ割り込み A	INTADCPDA	-		INTADCPDA
	PMDトリガ割り込み B	INTADCPDB	-		INTADCPDB
	AD 変換中フラグ	ADCBUSY	-		ADCBUSY

注) ユニット B/ユニット C には、VE は接続されていません。

2.13. オペアンプ(OPAMP)

2.13.1. 搭載ユニット

製品毎の搭載ユニットを下記表に示します。

表 2.50 OPAMP 搭載ユニット

製品	ユニット (○: 搭載、-: 非搭載)		
	A	B	C
M4KQ	○	○	○
M4KP	○	○	○
M4KN	○	○	○
M4KM	○	○	○
M4KL	○	○	○

2.13.2. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。
製品により機能端子がないチャンネルもあります。

表 2.51 OPAMP 機能端子とポート

OPAMP	入力端子	機能端子	ポート	製品対応 (○: 対応、-: 非対応)				
				M4KQ	M4KP	M4KN	M4KM	M4KL
AMPA	AINAP	AINA16	PL0	○	○	○	○	○
	AINAM	AINA15	PL1	○	○	○	○	○
AMPB	AINBP	AINA17	PL2	○	○	○	○	○
	AINBM	AINA14	PL3	○	○	○	○	○
AMPC	AINCP	AINA18	PL4	○	○	○	○	○
	AINCM	AINA13	PL5	○	○	○	○	○

2.13.3. ADC 接続

オペアンプと ADC の接続は下記のとおりです。

表 2.52 OPAMP出力接続

OPAMP	出力端子	ADC 入力端子	製品対応 (○: 対応、-: 非対応)				
			M4KQ	M4KP	M4KN	M4KM	M4KL
AMPA	AMPOUTA	AINA16	○	○	○	○	○
AMPB	AMPOUTB	AINA17 / AINB08	○	○	○	○	○
AMPC	AMPOUTC	AINA18 / AINC08	○	○	○	○	○

2.14. 32 ビットタイマイイベントカウンタ(T32A)

2.14.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.53 T32A 搭載チャンネル

製品	チャンネル (○: 搭載、-: 非搭載)					
	ch0	ch1	ch2	ch3	ch4	ch5
M4KQ	○	○	○	○	○	○
M4KP	○	○	○	○	○	○
M4KN	○	○	○	○	○	○
M4KM	○	○	○	○	○	○
M4KL	○	○	○	○	○	○

2.14.2. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。
複数に割り当てられている同一機能端子は排他的に使用してください。
製品により機能端子がないチャンネルもあります。

表 2.54 T32A 機能端子とポート (1/3)

チャンネル	機能端子		ポート	製品対応 (○: 対応、-: 非対応)				
				M4KQ	M4KP	M4KN	M4KM	M4KL
ch0	T32A00INA0	入力	PA2	○	○	○	○	○
			PT0	○	○	-	-	-
	T32A00INA1	入力	PT2	○	○	-	-	-
			PA3	○	○	○	○	○
	T32A00OUTA	出力	PT1	○	○	-	-	-
			PA0	○	○	○	○	-
	T32A00INB0	入力	PT3	○	○	-	-	-
			PA1	○	○	○	○	-
	T32A00INB1	入力	PT4	○	○	-	-	-
			PA4	○	○	○	○	○
T32A00OUTB	出力	PT5	○	○	-	-	-	
		PA2	○	○	○	○	○	
T32A00INC0	入力	PT0	○	○	-	-	-	
		PT2	○	○	-	-	-	
T32A00INC1	入力	PT2	○	○	-	-	-	
		PA3	○	○	○	○	○	
T32A00OUTC	出力	PT1	○	○	-	-	-	
		PF3	○	○	○	○	-	
ch1	T32A01INA0	入力	PP3	○	○	-	-	-
			PF5	○	○	○	-	-
	T32A01INA1	入力	PP5	○	○	-	-	-
			PF4	○	○	○	○	-
	T32A01OUTA	出力	PP4	○	○	-	-	-
			PF6	○	○	○	○	-
	T32A01INB0	入力	PR5	○	-	-	-	-
			PF7	○	○	○	○	-
	T32A01INB1	入力	PR6	○	-	-	-	-
			PR7	○	-	-	-	-
	T32A01OUTB	出力	PV0	○	○	○	-	-
			PF3	○	○	○	○	-
	T32A01INC0	入力	PP3	○	○	-	-	-
			PF5	○	○	○	-	-
	T32A01INC1	入力	PP5	○	○	-	-	-
			PF4	○	○	○	○	-
T32A01OUTC	出力	PP4	○	○	-	-	-	

表 2.55 T32A 機能信号とポート (2/3)

チャンネル	機能端子		ポート	製品対応 (○: 対応、-: 非対応)				
				M4KQ	M4KP	M4KN	M4KM	M4KL
ch2	T32A02INA0	入力	PC0	○	○	○	○	○
			PU1	○	○	○	○	○
	T32A02INA1	入力	PC6	○	○	○	-	-
			PU5	○	○	○	○	○
	T32A02OUTA	出力	PC1	○	○	○	○	○
			PU2	○	○	○	○	○
	T32A02INB0	入力	PC7	○	○	○	-	-
			PU3	○	○	○	○	○
	T32A02INB1	入力	PD0	○	○	○	-	-
			PU0	○	○	○	○	○
	T32A02OUTB	出力	PD1	○	○	○	-	-
			PU4	○	○	○	○	○
	T32A02INC0	入力	PC0	○	○	○	○	○
			PU1	○	○	○	○	○
	T32A02INC1	入力	PC6	○	○	○	-	-
			PU4	○	○	○	○	○
T32A02OUTC	出力	PC1	○	○	○	○	○	
		PU2	○	○	○	○	○	
ch3	T32A03INA0	入力	PD2	○	○	○	-	-
			PE1	○	○	○	○	○
	T32A03INA1	入力	PD3	○	○	○	-	-
			PE3	○	○	○	○	○
	T32A03OUTA	出力	PC2	○	○	○	○	○
			PE2	○	○	○	○	○
	T32A03INB0	入力	PD4	○	○	○	-	-
			PE4	○	○	○	○	○
	T32A03INB1	入力	PD5	○	○	○	-	-
			PE5	○	○	○	○	○
	T32A03OUTB	出力	PC3	○	○	○	○	○
			PE6	○	○	○	○	○
	T32A03INC0	入力	PD2	○	○	○	-	-
			PE1	○	○	○	○	○
	T32A03INC1	入力	PD3	○	○	○	-	-
			PE3	○	○	○	○	○
T32A03OUTC	出力	PC2	○	○	○	○	○	
		PE2	○	○	○	○	○	

表 2.56 T32A 機能信号とポート (3/3)

チャネル	機能端子		ポート	製品対応 (○: 対応、-: 非対応)				
				M4KQ	M4KP	M4KN	M4KM	M4KL
ch4	T32A04INA0	入力	PG0	○	○	○	○	—
			PW0	○	—	—	—	—
	T32A04INA1	入力	PG1	○	○	○	○	—
			PW2	○	—	—	—	—
	T32A04OUTA	出力	PG2	○	○	○	○	○
			PW1	○	—	—	—	—
	T32A04INB0	入力	PG4	○	○	○	○	○
			PW3	○	—	—	—	—
	T32A04INB1	入力	PG5	○	○	○	○	○
			PW4	○	—	—	—	—
	T32A04OUTB	出力	PG3	○	○	○	○	○
			PW5	○	—	—	—	—
	T32A04INC0	入力	PG0	○	○	○	○	—
			PW0	○	—	—	—	—
	T32A04INC1	入力	PG1	○	○	○	○	—
			PW2	○	—	—	—	—
T32A04OUTC	出力	PG2	○	○	○	○	○	
		PW1	○	—	—	—	—	
ch5	T32A05INA0	入力	PF0	○	○	○	○	○
			PN0	○	○	○	○	—
	T32A05INA1	入力	PF2	○	○	○	—	—
			PN2	○	○	○	○	—
	T32A05OUTA	出力	PF1	○	○	○	○	○
			PN1	○	○	○	○	—
	T32A05INB0	入力	PP0	○	○	—	—	—
			PR0	○	—	—	—	—
	T32A05INB1	入力	PP1	○	○	—	—	—
			PR1	○	—	—	—	—
	T32A05OUTB	出力	PP2	○	○	—	—	—
			PR2	○	—	—	—	—
	T32A05INC0	入力	PF0	○	○	○	○	○
			PN0	○	○	○	○	—
	T32A05INC1	入力	PF2	○	○	○	—	—
			PN2	○	○	○	○	—
T32A05OUTC	出力	PF1	○	○	○	○	○	
		PN1	○	○	○	○	—	

2.14.3. プリスケーラ用クロック

32ビットタイマイイベントカウンタは、プリスケラ用クロックに以下の表に示すクロックが使用されます。

表 2.57 T32A プリスケーラ用クロック

クロック
ΦT0m

2.14.4. 内部信号接続仕様

2.14.4.1. キャプチャトリガ信号接続仕様

32 ビットタイマイイベントカウンタは、以下の表に示すキャプチャトリガ信号が接続されます。

下記表のトリガセクタ欄にレジスタ名のある入力トリガ信号は、トリガセクタで使用する入力トリガを選択してください。

表 2.58 T32A キャプチャトリガ信号接続仕様 (1/3)

	チャンネル		トリガソース		
	タイマ	キャプチャトリガ入力	トリガセクタ	入力トリガ信号	信号名
ch0	タイマ A	T32A00TRGINAPHCK (他タイマ出力)	-	-	-
		T32A00TRGINAPCK (内部トリガ入力)	[TSEL0CR6] <INSEL25>	PA2 端子(TRGIN0)	TRGIN0
				PA3 端子(TRGIN1)	TRGIN1
				PA4 端子(TRGIN2)	TRGIN2
				UART ch0 送信完了トリガ	UART0TXTRG
				UART ch0 受信完了トリガ	UART0RXTRG
				TSPI ch0 送信完了信号	TSPI0TXEND
				TSPI ch0 受信完了信号	TSPI0RXEND
	I ² C ch0 割り込み	INTI2C0			
	タイマ B	T32A00TRGINBPHCK (他タイマ出力)	-	T32A ch0 タイマ A 出力	T32A00OUTA
		T32A00TRGINBPCK (内部トリガ入力)	[TSEL0CR6] <INSEL26>	T32A ch0 タイマレジスタ A0 一致トリガ	T32A00TRGOUTCMPA0
				T32A ch0 タイマレジスタ A1 一致トリガ	T32A00TRGOUTCMPA1
T32A ch0 タイマ A オーバフロートリガ				T32A00TRGOUTOFA	
T32A ch0 タイマ A アンダフロートリガ	T32A00TRGOUTUFA				
タイマ C	T32A00TRGINCPHCK (他タイマ出力)	-	-	-	
	T32A00TRGINCPCK (内部トリガ入力)	[TSEL0CR6] <INSEL27>	T32A ch5 タイマレジスタ C0 一致トリガ	T32A05TRGOUTCMPC0	
			T32A ch5 タイマレジスタ C1 一致トリガ	T32A05TRGOUTCMPC1	
			T32A ch5 タイマ C オーバフロートリガ	T32A05TRGOUTOFC	
T32A ch5 タイマ C アンダフロートリガ			T32A05TRGOUTUFC		
ch1	タイマ A	T32A01TRGINAPHCK (他タイマ出力)	-	-	-
		T32A01TRGINAPCK (内部トリガ入力)	[TSEL0CR7] <INSEL28>	PA2 端子(TRGIN0)	TRGIN0
				PA3 端子(TRGIN1)	TRGIN1
				PA4 端子(TRGIN2)	TRGIN2
				UART ch1 送信完了トリガ	UART1TXTRG
				UART ch1 受信完了トリガ	UART1RXTRG
				TSPI ch1 送信完了信号	TSPI1TXEND
				TSPI ch1 受信完了信号	TSPI1RXEND
	A-ENC32 ch0 分周パルス	ENC0TIMPLS			
	タイマ B	T32A01TRGINBPHCK (他タイマ出力)	-	T32A ch1 タイマ A 出力	T32A01OUTA
		T32A01TRGINBPCK (内部トリガ入力)	[TSEL0CR7] <INSEL29>	T32A ch1 タイマレジスタ A0 一致トリガ	T32A01TRGOUTCMPA0
				T32A ch1 タイマレジスタ A1 一致トリガ	T32A01TRGOUTCMPA1
				T32A ch1 タイマ A オーバフロートリガ	T32A01TRGOUTOFA
	T32A ch1 タイマ A アンダフロートリガ			T32A01TRGOUTUFA	
	タイマ C	T32A01TRGINCPHCK (他タイマ出力)	-	-	-
		T32A01TRGINCPCK (内部トリガ入力)	[TSEL0CR7] <INSEL30>	T32A ch0 タイマレジスタ C0 一致トリガ	T32A00TRGOUTCMPC0
T32A ch0 タイマレジスタ C1 一致トリガ				T32A00TRGOUTCMPC1	
T32A ch0 タイマ C オーバフロートリガ				T32A00TRGOUTOFC	
T32A ch0 タイマ C アンダフロートリガ	T32A00TRGOUTUFC				

注) [TSEL0CRn]<INSELm>はトリガセクタで内部トリガのトリガソースを選択します。詳細な接続先については、「2.2.トリガセクタ(TRGSEL)」を参照してください。

表 2.59 T32A キャプチャトリガ信号接続仕様 (2/3)

チャンネル		トリガソース			
タイム	キャプチャトリガ入力	トリガセクタ	入力トリガ信号	信号名	
ch2	タイム A	T32A02TRGINAPHCK (他タイム出力)	-	-	-
		T32A02TRGINAPCK (内部トリガ入力)	[TSEL0CR7] <INSEL31>	PA2 端子(TRGIN0)	TRGIN0
	PA3 端子(TRGIN1)			TRGIN1	
	PA4 端子(TRGIN2)			TRGIN2	
	UART ch2 送信完了トリガ			UART2TXTRG	
	UART ch2 受信完了トリガ			UART2RXTRG	
	A-ENC32 ch1 分周パルス			ENC1TIMPLS	
	I ² C ch1 割り込み	INTI2C1			
	タイム B	T32A02TRGINBPHCK (他タイム出力)	-	T32A ch2 タイマ A 出力	T32A02OUTA
		T32A02TRGINBPCK (内部トリガ入力)	[TSEL0CR8] <INSEL32>	T32A ch2 タイマレジスタ A0 一致トリガ	T32A02TRGOUTCMPA0
	T32A ch2 タイマレジスタ A1 一致トリガ			T32A02TRGOUTCMPA1	
	T32A ch2 タイマ A オーバフロートリガ			T32A02TRGOUTOFA	
	T32A ch2 タイマ A アンダフロートリガ			T32A02TRGOUTUFA	
	タイム C	T32A02TRGINCPHCK (他タイム出力)	-	-	-
		T32A02TRGINCPCK (内部トリガ入力)	[TSEL0CR8] <INSEL33>	T32A ch1 タイマレジスタ C0 一致トリガ	T32A01TRGOUTCMPC0
	T32A ch1 タイマレジスタ C1 一致トリガ			T32A01TRGOUTCMPC1	
T32A ch1 タイマ C オーバフロートリガ	T32A01TRGOUTOFC				
T32A ch1 タイマ C アンダフロートリガ	T32A01TRGOUTUFC				
ch3	タイム A	T32A03TRGINAPHCK (他タイム出力)	-	-	-
		T32A03TRGINAPCK (内部トリガ入力)	[TSEL0CR8] <INSEL34>	PA2 端子(TRGIN0)	TRGIN0
	PA3 端子(TRGIN1)			TRGIN1	
	PA4 端子(TRGIN2)			TRGIN2	
	UART ch3 送信完了トリガ			UART3TXTRG	
	UART ch3 受信完了トリガ			UART3RXTRG	
	ADC unit C 汎用トリガ割り込み			INTADCTRG	
	ADC unit C 単独変換割り込み			INTADCSGL	
	ADC unit C 連続変換割り込み			INTADCCNT	
	タイム B	T32A03TRGINBPHCK (他タイム出力)	-	T32A ch3 タイマ A 出力	T32A03OUTA
		T32A03TRGINBPCK (内部トリガ入力)	[TSEL0CR8] <INSEL35>	T32A ch3 タイマレジスタ A0 一致トリガ	T32A03TRGOUTCMPA0
	T32A ch3 タイマレジスタ A1 一致トリガ			T32A03TRGOUTCMPA1	
	T32A ch3 タイマ A オーバフロートリガ			T32A03TRGOUTOFA	
	T32A ch3 タイマ A アンダフロートリガ			T32A03TRGOUTUFA	
	タイム C	T32A03TRGINCPHCK (他タイム出力)	-	-	-
		T32A03TRGINCPCK (内部トリガ入力)	[TSEL0CR9] <INSEL36>	T32A ch2 タイマレジスタ C0 一致トリガ	T32A02TRGOUTCMPC0
T32A ch2 タイマレジスタ C1 一致トリガ	T32A02TRGOUTCMPC1				
T32A ch2 タイマ C オーバフロートリガ	T32A02TRGOUTOFC				
T32A ch2 タイマ C アンダフロートリガ	T32A02TRGOUTUFC				

注) [TSEL0CRn]<INSELm>はトリガセクタで内部トリガのトリガソースを選択します。詳細な接続先については、「2.2.トリガセクタ(TRGSEL)」を参照してください。

表 2.60 T32A キャプチャトリガ信号接続仕様 (3/3)

チャンネル		トリガソース		
タイム	キャプチャトリガ入力	トリガセレクト	入力トリガ信号	信号名
ch4	タイム A T32A04TRGINAPHCK (他タイム出力) T32A04TRGINAPCK (内部トリガ入力)	-	-	-
		[TSEL0CR9] <INSEL37>	PA2 端子(TRGIN0)	TRGIN0
			PA3 端子(TRGIN1)	TRGIN1
			PA4 端子(TRGIN2)	TRGIN2
			ADC unit A 汎用トリガ割り込み	INTADATRG
			ADC unit A 単独変換割り込み	INTADASGL
			ADC unit A 連続変換割り込み	INTADACNT
			ADC unit A 監視機能 0 割り込み	INTADACP0
	A-ENC32 ch2 分周パルス	ENC2TIMPLS		
	タイム B T32A04TRGINBPHCK (他タイム出力) T32A04TRGINBPCK (内部トリガ入力)	-	T32A ch4 タイマ A 出力	T32A04OUTA
		[TSEL0CR9] <INSEL38>	T32A ch4 タイマレジスタ A0 一致トリガ	T32A04TRGOUTCMPA0
			T32A ch4 タイマレジスタ A1 一致トリガ	T32A04TRGOUTCMPA1
			T32A ch4 タイマ A オーバフロートリガ	T32A04TRGOUTOFA
	タイム C T32A04TRGINCPHCK (他タイム出力) T32A04TRGINCPCK (内部トリガ入力)	-	-	-
		[TSEL0CR9] <INSEL39>	T32A ch3 タイマレジスタ C0 一致トリガ	T32A03TRGOUTCMPC0
			T32A ch3 タイマレジスタ C1 一致トリガ	T32A03TRGOUTCMPC1
T32A ch3 タイマ C オーバフロートリガ			T32A03TRGOUTOFC	
ch5	タイム A T32A05TRGINAPHCK (他タイム出力) T32A05TRGINAPCK (内部トリガ入力)	-	-	-
		[TSEL0CR10] <INSEL40>	PA2 端子(TRGIN0)	TRGIN0
			PA3 端子(TRGIN1)	TRGIN1
			PA4 端子(TRGIN2)	TRGIN2
			ADC unit B 汎用トリガ割り込み	INTADBTRG
			ADC unit B 単独変換割り込み	INTADBSGL
			ADC unit B 連続変換割り込み	INTADBCNT
			ADC unit B 監視機能 0 割り込み	INTADBCP0
	ADC unit B 監視機能 1 割り込み	INTADBCP1		
	タイム B T32A05TRGINBPHCK (他タイム出力) T32A05TRGINBPCK (内部トリガ入力)	-	T32A ch5 タイマ A 出力	T32A05OUTA
		[TSEL0CR10] <INSEL41>	T32A ch5 タイマレジスタ A0 一致トリガ	T32A05TRGOUTCMPA0
			T32A ch5 タイマレジスタ A1 一致トリガ	T32A05TRGOUTCMPA1
			T32A ch5 タイマ A オーバフロートリガ	T32A05TRGOUTOFA
	タイム C T32A05TRGINCPHCK (他タイム出力) T32A05TRGINCPCK (内部トリガ入力)	-	-	-
		[TSEL0CR10] <INSEL42>	T32A ch4 タイマレジスタ C0 一致トリガ	T32A04TRGOUTCMPC0
			T32A ch4 タイマレジスタ C1 一致トリガ	T32A04TRGOUTCMPC1
T32A ch4 タイマ C オーバフロートリガ			T32A04TRGOUTOFC	
[TSEL0CR10] <INSEL42>	T32A ch4 タイマ C アンダフロートリガ	T32A04TRGOUTUFC		

注) [TSEL0CRn]<INSELm>はトリガセレクトで内部トリガのトリガソースを選択します。詳細な接続先については、「2.2.トリガセレクト(TRGSEL)」を参照してください。

2.14.4.2. その他接続

表 2.61 T32A トリガ出力接続仕様(1/3)

チャンネル	タイマ	信号出力		トリガセクタ	出力先	
		信号名	信号名		信号名	信号名
ch0	タイマ A	タイマ出力 A	T32A00OUTA	-	T32A ch0 タイマ B	T32A00TRGINBPHCK
				-	A-ENC32 ch0	ENC0PSGI
		タイマレジスタ A0 一致トリガ	T32A00TRGOUTCMPA0	-	A-PMD ch0	PMD0TMR
		タイマレジスタ A1 一致トリガ	T32A00TRGOUTCMPA1	[TSEL0CR6] <INSEL26>	T32A ch0 タイマ B	T32A00TRGINBPCCK
		タイマ A オーバフロートリガ	T32A00TRGOUTOFA			
		タイマ A アンダフロートリガ	T32A00TRGOUTUFA			
	タイマ B	タイマ出力 B	T32A00OUTB	-	-	-
		タイマ B オーバフロートリガ	T32A00TRGOUTOFB	-	-	-
		タイマ B アンダフロートリガ	T32A00TRGOUTUFB	-	-	-
		タイマレジスタ B0 一致トリガ	T32A00TRGOUTCMPB0	-	-	-
		タイマレジスタ B1 一致トリガ	T32A00TRGOUTCMPB1	-	-	-
	タイマ C	タイマ出力 C	T32A00OUTC	-	-	-
		タイマ C オーバフロートリガ	T32A00TRGOUTOFC			
		タイマ C アンダフロートリガ	T32A00TRGOUTUFC	[TSEL0CR7] <INSEL30>	T32A ch1 タイマ C	T32A01TRGINCPCK
		タイマレジスタ C0 一致トリガ	T32A00TRGOUTCMPC0			
タイマレジスタ C1 一致トリガ		T32A00TRGOUTCMPC1				
ch1	タイマ A	タイマ出力 A	T32A01OUTA	-	T32A ch1 タイマ B	T32A01TRGINBPHCK
				-	A-ENC32 ch1	ENC1PSGI
		タイマレジスタ A0 一致トリガ	T32A01TRGOUTCMPA0	-	A-PMD ch1	PMD1TMR
		タイマレジスタ A1 一致トリガ	T32A01TRGOUTCMPA1	[TSEL0CR7] <INSEL29>	T32A ch1 タイマ B	T32A01TRGINBPCCK
		タイマ A オーバフロートリガ	T32A01TRGOUTOFA	[TSEL0CR4] <INSEL16>	ADC unit A	ADATRGIN
		タイマ A アンダフロートリガ	T32A01TRGOUTUFA	[TSEL0CR7] <INSEL29>	T32A ch1 タイマ B	T32A01TRGINBPCCK
	タイマ B	タイマ出力 B	T32A01OUTB	-	-	-
		タイマ B オーバフロートリガ	T32A01TRGOUTOFB	-	-	-
		タイマ B アンダフロートリガ	T32A01TRGOUTUFB	-	-	-
		タイマレジスタ B0 一致トリガ	T32A01TRGOUTCMPB0	-	-	-
		タイマレジスタ B1 一致トリガ	T32A01TRGOUTCMPB1	[TSEL0CR4] <INSEL16>	ADC unit A	ADATRGIN
	タイマ C	タイマ出力 C	T32A01OUTC	-	-	-
		タイマ C オーバフロートリガ	T32A01TRGOUTOFC			
		タイマ C アンダフロートリガ	T32A01TRGOUTUFC	[TSEL0CR8] <INSEL33>	T32A ch2 タイマ C	T32A02TRGINCPCK
		タイマレジスタ C0 一致トリガ	T32A01TRGOUTCMPC0			
タイマレジスタ C1 一致トリガ		T32A01TRGOUTCMPC1	[TSEL0CR4] <INSEL16>	ADC unit A	ADATRGIN	

注) [TSEL0CRn]<INSELm>はトリガセクタで内部トリガのトリガソースを選択します。詳細な接続先については、「2.2.トリガセクタ(TRGSEL)」を参照してください。

表 2.62 T32A トリガ出力接続仕様(2/3)

チャンネル	タイム	信号出力		トリガセレクタ	出力先	
		信号名	信号名		信号名	信号名
ch2	タイム A	タイム出力 A	T32A02OUTA	-	T32A ch2 タイム B	T32A02TRGINBPHCK
		タイムレジスタ A0 一致トリガ	T32A02TRGOUTCMPA0	-	A-ENC32 ch2	ENC2PSGI
		タイムレジスタ A1 一致トリガ	T32A02TRGOUTCMPA1	-	A-PMD ch2	PMD2TMR
		タイム A オーバフロートリガ	T32A02TRGOUTOFA	[TSEL0CR8] <INSEL32>	T32A ch2 タイム B	T32A02TRGINBPCK
		タイム A アンダフロートリガ	T32A02TRGOUTUFA			
	タイム B	タイム出力 B	T32A02OUTB	-	-	-
		タイム B オーバフロートリガ	T32A02TRGOUTOFB	-	-	-
		タイム B アンダフロートリガ	T32A02TRGOUTUFB	-	-	-
		タイムレジスタ B0 一致トリガ	T32A02TRGOUTCMPB0	-	-	-
		タイムレジスタ B1 一致トリガ	T32A02TRGOUTCMPB1	-	-	-
	タイム C	タイム出力 C	T32A02OUTC	-	-	-
		タイム C オーバフロートリガ	T32A02TRGOUTOFC	-	-	-
		タイム C アンダフロートリガ	T32A02TRGOUTUFC	[TSEL0CR9] <INSEL36>	T32A ch3 タイム C	T32A03TRGINCPCK
		タイムレジスタ C0 一致トリガ	T32A02TRGOUTCMPC0			
		タイムレジスタ C1 一致トリガ	T32A02TRGOUTCMPC1			
	ch3	タイム A	タイム出力 A	T32A03OUTA	-	T32A ch3 タイム B
タイム A オーバフロートリガ			T32A03TRGOUTOFA	-	-	-
タイム A アンダフロートリガ			T32A03TRGOUTUFA	[TSEL0CR8] <INSEL35>	T32A ch3 タイム B	T32A03TRGINBPCK
タイムレジスタ A0 一致トリガ			T32A03TRGOUTCMPA0			
タイムレジスタ A1 一致トリガ			T32A03TRGOUTCMPA1	[TSEL0CR4] <INSEL17>	ADC unit B	ADBTRGIN
タイム B		タイム出力 B	T32A03OUTB	-	-	-
		タイム B オーバフロートリガ	T32A03TRGOUTOFB	-	-	-
		タイム B アンダフロートリガ	T32A03TRGOUTUFB	-	-	-
		タイムレジスタ B0 一致トリガ	T32A03TRGOUTCMPB0	-	-	-
		タイムレジスタ B1 一致トリガ	T32A03TRGOUTCMPB1	[TSEL0CR4] <INSEL17>	ADC unit B	ADBTRGIN
タイム C		タイム出力 C	T32A03OUTC	-	-	-
		タイム C オーバフロートリガ	T32A03TRGOUTOFC	-	-	-
		タイム C アンダフロートリガ	T32A03TRGOUTUFC	[TSEL0CR9] <INSEL39>	T32A ch4 タイム C	T32A04TRGINCPCK
		タイムレジスタ C0 一致トリガ	T32A03TRGOUTCMPC0			
		タイムレジスタ C1 一致トリガ	T32A03TRGOUTCMPC1	[TSEL0CR4] <INSEL17>	ADC unit B	ADBTRGIN
ch4		タイム A	タイム出力 A	T32A04OUTA	-	T32A ch4 タイム B
	タイム A オーバフロートリガ		T32A04TRGOUTOFA	-	-	-
	タイム A アンダフロートリガ		T32A04TRGOUTUFA	[TSEL0CR9] <INSEL38>	T32A ch4 タイム B	T32A04TRGINBPCK
	タイムレジスタ A0 一致トリガ		T32A04TRGOUTCMPA0			
	タイムレジスタ A1 一致トリガ		T32A04TRGOUTCMPA1			
	タイム B	タイム出力 B	T32A04OUTB	-	-	-
		タイム B オーバフロートリガ	T32A04TRGOUTOFB	-	-	-
		タイム B アンダフロートリガ	T32A04TRGOUTUFB	-	-	-
		タイムレジスタ B0 一致トリガ	T32A04TRGOUTCMPB0	-	-	-
		タイムレジスタ B1 一致トリガ	T32A04TRGOUTCMPB1	-	-	-
	タイム C	タイム出力 C	T32A04OUTC	-	-	-
		タイム C オーバフロートリガ	T32A04TRGOUTOFC	-	-	-
		タイム C アンダフロートリガ	T32A04TRGOUTUFC	[TSEL0CR10] <INSEL42>	T32A ch5 タイム C	T32A05TRGINCPCK
		タイムレジスタ C0 一致トリガ	T32A04TRGOUTCMPC0			
		タイムレジスタ C1 一致トリガ	T32A04TRGOUTCMPC1			

注) [TSEL0CRn]<INSELm>はトリガセレクタで内部トリガのトリガソースを選択します。詳細な接続先については、「2.2.トリガセレクタ(TRGSEL)」を参照してください。

表 2.63 T32A トリガ出力接続仕様(3/3)

チャンネル	タイム	信号出力		トリガセレクト	出力先		
			信号名			信号名	
ch5	タイム A	タイム出力 A	T32A05OUTA	-	T32A ch5 タイム B	T32A05TRGINBPHCK	
		タイム A オーバフロートリガ	T32A05TRGOUTOFA	[TSEL0CR10] <INSEL41>	T32A ch5 タイム B	T32A05TRGINBPCK	
		タイム A アンダフロートリガ	T32A05TRGOUTUFA				
		タイムレジスタ A0 一致トリガ	T32A05TRGOUTCMPA0				
				[TSEL0CR4] <INSEL18>	ADC unit C	ADCTRGIN	
				[TSEL0CR4] <INSEL19>	TSPI ch0	TSPI0TRG	
				[TSEL0CR5] <INSEL20>	TSPI ch1	TSPI1TRG	
		タイムレジスタ A1 一致トリガ	T32A05TRGOUTCMPA1	[TSEL0CR5] <INSEL21>	UART ch0	UART0TRGIN	
				[TSEL0CR5] <INSEL22>	UART ch1	UART1TRGIN	
				[TSEL0CR5] <INSEL23>	UART ch2	UART2TRGIN	
				[TSEL0CR6] <INSEL24>	UART ch3	UART3TRGIN	
		タイム B	タイム出力 B	T32A05OUTB	-	-	-
	タイム B オーバフロートリガ		T32A05TRGOUTOFB	-	-	-	
	タイム B アンダフロートリガ		T32A05TRGOUTUFB	-	-	-	
	タイムレジスタ B0 一致トリガ		T32A05TRGOUTCMPB0	-	-	-	
				[TSEL0CR4] <INSEL18>	ADC unit C	ADCTRGIN	
				[TSEL0CR4] <INSEL19>	TSPI ch0	TSPI0TRG	
				[TSEL0CR5] <INSEL20>	TSPI ch1	TSPI1TRG	
	タイムレジスタ B1 一致トリガ		T32A05TRGOUTCMPB1	[TSEL0CR5] <INSEL21>	UART ch0	UART0TRGIN	
				[TSEL0CR5] <INSEL22>	UART ch1	UART1TRGIN	
				[TSEL0CR5] <INSEL23>	UART ch2	UART2TRGIN	
				[TSEL0CR6] <INSEL24>	UART ch3	UART3TRGIN	
	タイム C		タイム出力 C	T32A05OUTC	-	-	-
			タイム C オーバフロートリガ	T32A05TRGOUTOFC	[TSEL0CR6] <INSEL27>	T32A ch0 タイム C	T32A00TRGINCPCK
		タイム C アンダフロートリガ	T32A05TRGOUTUFC				
		タイムレジスタ C0 一致トリガ	T32A05TRGOUTCMPC0				
			[TSEL0CR4] <INSEL18>	ADC unit C	ADCTRGIN		
			[TSEL0CR4] <INSEL19>	TSPI ch0	TSPI0TRG		
			[TSEL0CR5] <INSEL20>	TSPI ch1	TSPI1TRG		
タイムレジスタ C1 一致トリガ		T32A05TRGOUTCMPC1	[TSEL0CR5] <INSEL21>	UART ch0	UART0TRGIN		
			[TSEL0CR5] <INSEL22>	UART ch1	UART1TRGIN		
			[TSEL0CR5] <INSEL23>	UART ch2	UART2TRGIN		
			[TSEL0CR6] <INSEL24>	UART ch3	UART3TRGIN		

注) [TSEL0CRn]<INSELm>はトリガセレクトで内部トリガのトリガソースを選択します。詳細な接続先については、「2.2.トリガセレクト(TRGSEL)」を参照してください。

2.14.4.3. 同期制御接続仕様

32ビットタイマイイベントカウンタは、以下の表に示すように同じチャンネル内でタイマが同期接続されています。

表 2.64 T32A 同期制御接続仕様

チャンネル	マスタ			スレーブ		
	タイマ	機能(出力)	信号名	タイマ	機能(入力)	信号名
ch0	タイマ A	同期スタート出力 A	T32A00SYNCSTARTOUTA	タイマ B	同期スタート B	T32A00SYNCSTARTB
		同期ストップ出力 A	T32A00SYNCSTOPOUTA		同期停止 B	T32A00SYNCSTOPB
		同期リロード出力 A	T32A00SYNCRELOADOUTA		同期リロード B	T32A00SYNCRELOADB
ch1	タイマ A	同期スタート出力 A	T32A01SYNCSTARTOUTA	タイマ B	同期スタート B	T32A01SYNCSTARTB
		同期ストップ出力 A	T32A01SYNCSTOPOUTA		同期停止 B	T32A01SYNCSTOPB
		同期リロード出力 A	T32A01SYNCRELOADOUTA		同期リロード B	T32A01SYNCRELOADB
ch2	タイマ A	同期スタート出力 A	T32A02SYNCSTARTOUTA	タイマ B	同期スタート B	T32A02SYNCSTARTB
		同期ストップ出力 A	T32A02SYNCSTOPOUTA		同期停止 B	T32A02SYNCSTOPB
		同期リロード出力 A	T32A02SYNCRELOADOUTA		同期リロード B	T32A02SYNCRELOADB
ch3	タイマ A	同期スタート出力 A	T32A03SYNCSTARTOUTA	タイマ B	同期スタート B	T32A03SYNCSTARTB
		同期ストップ出力 A	T32A03SYNCSTOPOUTA		同期停止 B	T32A03SYNCSTOPB
		同期リロード出力 A	T32A03SYNCRELOADOUTA		同期リロード B	T32A03SYNCRELOADB
ch4	タイマ A	同期スタート出力 A	T32A04SYNCSTARTOUTA	タイマ B	同期スタート B	T32A04SYNCSTARTB
		同期ストップ出力 A	T32A04SYNCSTOPOUTA		同期停止 B	T32A04SYNCSTOPB
		同期リロード出力 A	T32A04SYNCRELOADOUTA		同期リロード B	T32A04SYNCRELOADB
ch5	タイマ A	同期スタート出力 A	T32A05SYNCSTARTOUTA	タイマ B	同期スタート B	T32A05SYNCSTARTB
		同期ストップ出力 A	T32A05SYNCSTOPOUTA		同期停止 B	T32A05SYNCSTOPB
		同期リロード出力 A	T32A05SYNCRELOADOUTA		同期リロード B	T32A05SYNCRELOADB

2.14.5. 製品別パルスカウンタ対応一覧

32ビットタイマイイベントカウンタは、以下の表に示すように製品によってパルスカウンタの対応が異なります。

表 2.65 T32A 製品別パルスカウンタ対応一覧

チャンネル	製品対応 (－: 非対応)				
	M4KQ	M4KP	M4KN	M4KM	M4KL
ch0	2相パルスカウンタ 1相パルスカウンタ		1相パルスカウンタ		
ch1	2相パルスカウンタ 1相パルスカウンタ			1相パルスカウンタ	－
ch2	2相パルスカウンタ 1相パルスカウンタ				
ch3	2相パルスカウンタ 1相パルスカウンタ				
ch4	2相パルスカウンタ 1相パルスカウンタ				－
ch5	2相パルスカウンタ 1相パルスカウンタ				1相パルスカウンタ

2.14.6. DMA 要求

32 ビットタイマイイベントカウンタは、以下の表に示す DMA 要求があります。

表のトリガセクタ欄にレジスタ名の記載あるものは、トリガセクタで使用する要求を選択してください。

表 2.66 T32A DMA要求 (1/2)

チャンネル	要求	信号名	トリガセクタ	DMA 要求チャンネル		
				シングル 転送	バースト 転送	
ch0	DMA 要求レジスタ A1 一致	T32A00DMAREQCPA1	[TSEL0CR0] <INSEL3>	19	-	○
	DMA 要求レジスタ C1 一致	T32A00DMAREQCMPC1				
	DMA 要求レジスタ B1 一致	T32A00DMAREQCMPB1	[TSEL0CR1] <INSEL6>	22	-	○
	DMA 要求キャプチャ A0	T32A00DMAREQCAPA0	[TSEL0CR1] <INSEL7>	23	-	○
	DMA 要求キャプチャ A1	T32A00DMAREQCAPA1				
	DMA 要求キャプチャ C0	T32A00DMAREQCAPC0				
	DMA 要求キャプチャ C1	T32A00DMAREQCAPC1				
	DMA 要求キャプチャ B0	T32A00DMAREQCAPB0	[TSEL0CR2] <INSEL10>	26	-	○
DMA 要求キャプチャ B1	T32A00DMAREQCAPB1					
ch1	DMA 要求レジスタ A1 一致	T32A01DMAREQCPA1	[TSEL0CR0] <INSEL3>	19	-	○
	DMA 要求レジスタ C1 一致	T32A01DMAREQCMPC1				
	DMA 要求レジスタ B1 一致	T32A01DMAREQCMPB1	[TSEL0CR1] <INSEL6>	22	-	○
	DMA 要求キャプチャ A0	T32A01DMAREQCAPA0	[TSEL0CR1] <INSEL7>	23	-	○
	DMA 要求キャプチャ A1	T32A01DMAREQCAPA1				
	DMA 要求キャプチャ C0	T32A01DMAREQCAPC0				
	DMA 要求キャプチャ C1	T32A01DMAREQCAPC1				
	DMA 要求キャプチャ B0	T32A01DMAREQCAPB0	[TSEL0CR2] <INSEL10>	26	-	○
DMA 要求キャプチャ B1	T32A01DMAREQCAPB1					
ch2	DMA 要求レジスタ A1 一致	T32A02DMAREQCPA1	[TSEL0CR1] <INSEL4>	20	-	○
	DMA 要求レジスタ C1 一致	T32A02DMAREQCMPC1				
	DMA 要求レジスタ B1 一致	T32A02DMAREQCMPB1	[TSEL0CR1] <INSEL6>	22	-	○
	DMA 要求キャプチャ A0	T32A02DMAREQCAPA0	[TSEL0CR2] <INSEL8>	24	-	○
	DMA 要求キャプチャ A1	T32A02DMAREQCAPA1				
	DMA 要求キャプチャ C0	T32A02DMAREQCAPC0				
	DMA 要求キャプチャ C1	T32A02DMAREQCAPC1				
	DMA 要求キャプチャ B0	T32A02DMAREQCAPB0	[TSEL0CR2] <INSEL10>	26	-	○
DMA 要求キャプチャ B1	T32A02DMAREQCAPB1					

注) ○: 対応、-: 非対応

表 2.67 T32A DMA要求 (2/2)

チャンネル	要求	信号名	トリガセレクト	DMA 要求チャンネル		
				シングル 転送	バースト 転送	
ch3	DMA 要求レジスタ A1 一致	T32A03DMAREQCMPA1	[TSELOCR1] <INSEL4>	20	-	○
	DMA 要求レジスタ C1 一致	T32A03DMAREQCMPC1				
	DMA 要求レジスタ B1 一致	T32A03DMAREQCMPB1	[TSELOCR1] <INSEL6>	22	-	○
	DMA 要求キャプチャ A0	T32A03DMAREQCAPA0	[TSELOCR2] <INSEL8>	24	-	○
	DMA 要求キャプチャ A1	T32A03DMAREQCAPA1				
	DMA 要求キャプチャ C0	T32A03DMAREQCAPC0				
	DMA 要求キャプチャ C1	T32A03DMAREQCAPC1				
	DMA 要求キャプチャ B0	T32A03DMAREQCAPB0	[TSELOCR2] <INSEL11>	27	-	○
DMA 要求キャプチャ B1	T32A03DMAREQCAPB1					
ch4	DMA 要求レジスタ A1 一致	T32A04DMAREQCMPA1	[TSELOCR1] <INSEL5>	21	-	○
	DMA 要求レジスタ C1 一致	T32A04DMAREQCMPC1				
	DMA 要求レジスタ B1 一致	T32A04DMAREQCMPB1	[TSELOCR1] <INSEL6>	22	-	○
	DMA 要求キャプチャ A0	T32A04DMAREQCAPA0	[TSELOCR2] <INSEL9>	25	-	○
	DMA 要求キャプチャ A1	T32A04DMAREQCAPA1				
	DMA 要求キャプチャ C0	T32A04DMAREQCAPC0				
	DMA 要求キャプチャ C1	T32A04DMAREQCAPC1				
	DMA 要求キャプチャ B0	T32A04DMAREQCAPB0	[TSELOCR2] <INSEL11>	27	-	○
DMA 要求キャプチャ B1	T32A04DMAREQCAPB1					
ch5	DMA 要求レジスタ A1 一致	T32A05DMAREQCMPA1	[TSELOCR1] <INSEL5>	21	-	○
	DMA 要求レジスタ C1 一致	T32A05DMAREQCMPC1				
	DMA 要求レジスタ B1 一致	T32A05DMAREQCMPB1	[TSELOCR1] <INSEL6>	22	-	○
	DMA 要求キャプチャ A0	T32A05DMAREQCAPA0	[TSELOCR2] <INSEL9>	25	-	○
	DMA 要求キャプチャ A1	T32A05DMAREQCAPA1				
	DMA 要求キャプチャ C0	T32A05DMAREQCAPC0				
	DMA 要求キャプチャ C1	T32A05DMAREQCAPC1				
	DMA 要求キャプチャ B0	T32A05DMAREQCAPB0	[TSELOCR2] <INSEL11>	27	-	○
DMA 要求キャプチャ B1	T32A05DMAREQCAPB1					

注) ○: 対応、-: 非対応

2.14.7. 非対応割り込み

この製品は、毎カウント割り込み(INTT32AxEVRYC)は非対応です。

2.15. 非同期シリアル通信回路(UART)

2.15.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

TMPM4K グループ(2)製品に搭載の UART の最大通信速度は 5Mbps です。

表 2.68 UART 搭載チャンネル

製品	チャンネル (○: 搭載、-: 非搭載)			
	ch0	ch1	ch2	ch3
M4KQ	○	○	○	○
M4KP	○	○	○	○
M4KN	○	○	○	○
M4KM	○	○	○	○
M4KL	○	○	○	-

2.15.2. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。

複数に割り当てられている同一機能端子は排他的に使用してください。

製品により機能端子がないチャンネルもあります。

表 2.69 UART 端子信号とポート

チャンネル	機能端子		ポート	製品対応 (○: 対応、-: 非対応)				
				M4KQ	M4KP	M4KN	M4KM	M4KL
ch0	UT0TXDA	出力	PC0	○	○	○	○	○
			PC1	○	○	○	○	○
			PN0	○	○	○	○	-
			PN1	○	○	○	○	-
	UT0RXD	入力	PC0	○	○	○	○	○
			PC1	○	○	○	○	○
			PN0	○	○	○	○	-
			PN1	○	○	○	○	-
	UT0CTS	出力	PD2	○	○	○	-	-
			PN2	○	○	○	○	-
	UT0RTS	入力	PD3	○	○	○	-	-
			PV1	○	○	○	-	-
ch1	UT1TXDA	出力	PC4	○	○	○	○	-
			PC5	○	○	○	○	-
			PU5	○	○	○	○	○
			PU6	○	○	○	○	○
	UT1RXD	入力	PC4	○	○	○	○	-
			PC5	○	○	○	○	-
			PU5	○	○	○	○	○
			PU6	○	○	○	○	○
	UT1CTS	出力	PU4	○	○	○	○	○
			PV3	○	○	-	-	-
	UT1RTS	入力	PU3	○	○	○	○	○
			PV2	○	○	-	-	-
ch2	UT2TXDA	出力	PF0	○	○	○	○	○
			PF1	○	○	○	○	○
			PU0	○	○	○	○	○
			PU1	○	○	○	○	○
	UT2RXD	入力	PF0	○	○	○	○	○
			PF1	○	○	○	○	○
			PU0	○	○	○	○	○
			PU1	○	○	○	○	○
	UT2CTS	出力	PR4	○	-	-	-	-
			PT7	○	○	-	-	-
	UT2RTS	入力	PR3	○	-	-	-	-
			PT6	○	○	-	-	-
ch3	UT3TXDA	出力	PF3	○	○	○	○	-
			PF4	○	○	○	○	-
			PF6	○	○	○	○	-
			PF7	○	○	○	○	-
	UT3RXD	入力	PF3	○	○	○	○	-
			PF4	○	○	○	○	-
			PF6	○	○	○	○	-
			PF7	○	○	○	○	-
	UT3CTS	出力	PP7	○	○	-	-	-
			PW7	○	-	-	-	-
	UT3RTS	入力	PP6	○	○	-	-	-
			PW6	○	-	-	-	-

2.15.3. ハーフクロックモード対応

非同期シリアル通信回路のハーフクロックモードは、一端子モードのみ対応しています

2.15.4. プリスケーラ用クロック

非同期シリアル通信回路は、プリスケーラ用クロックに以下の表に示すクロックが使用されます。

表 2.70 UART プリスケーラ用クロック

クロック
ΦT0m

2.15.5. DMA 要求

非同期シリアル通信回路は、以下の表に示す DMA 要求があります。

表 2.71 UART DMA要求

チャンネル	要求	信号名	DMA 要求チャンネル		
			シングル転送	バースト転送	
ch0	受信 DMA 要求	UART0RX_DMAREQ	4	○	○
	送信 DMA 要求	UART0TX_DMAREQ	5	○	○
ch1	受信 DMA 要求	UART1RX_DMAREQ	6	○	○
	送信 DMA 要求	UART1TX_DMAREQ	7	○	○
ch2	受信 DMA 要求	UART2RX_DMAREQ	8	○	○
	送信 DMA 要求	UART2TX_DMAREQ	9	○	○
ch3	受信 DMA 要求	UART3RX_DMAREQ	10	○	○
	送信 DMA 要求	UART3TX_DMAREQ	11	○	○

注) ○: 対応、—: 非対応

2.15.6. 内部信号接続仕様

2.15.6.1. トリガ転送信号接続仕様

非同期シリアル通信回路には、トリガ信号による送信機能があります。
トリガ信号は以下の表に示すトリガソースをトリガセクタで選択し使用します。

表 2.72 UART トリガ転送信号接続仕様:入力

チャンネル	機能入力		トリガセクタ	トリガソース	
	信号名			入力トリガ信号	信号名
ch0	トリガ送信用 トリガ入力	UART0TRGIN	[TSEL0CR5] <INSEL21>	PA2 端子(TRGIN0)	TRGIN0
				PA3 端子(TRGIN1)	TRGIN1
				PA4 端子(TRGIN2)	TRGIN2
				T32A ch5 タイマレジスタ A1 一致トリガ	T32A05TRGOUTCMPA1
				T32A ch5 タイマレジスタ B1 一致トリガ	T32A05TRGOUTCMPB1
				T32A ch5 タイマレジスタ C1 一致トリガ	T32A05TRGOUTCMPC1
ch1	トリガ送信用 トリガ入力	UART1TRGIN	[TSEL0CR5] <INSEL22>	PA2 端子(TRGIN0)	TRGIN0
				PA3 端子(TRGIN1)	TRGIN1
				PA4 端子(TRGIN2)	TRGIN2
				T32A ch5 タイマレジスタ A1 一致トリガ	T32A05TRGOUTCMPA1
				T32A ch5 タイマレジスタ B1 一致トリガ	T32A05TRGOUTCMPB1
				T32A ch5 タイマレジスタ C1 一致トリガ	T32A05TRGOUTCMPC1
ch2	トリガ送信用 トリガ入力	UART2TRGIN	[TSEL0CR5] <INSEL23>	PA2 端子(TRGIN0)	TRGIN0
				PA3 端子(TRGIN1)	TRGIN1
				PA4 端子(TRGIN2)	TRGIN2
				T32A ch5 タイマレジスタ A1 一致トリガ	T32A05TRGOUTCMPA1
				T32A ch5 タイマレジスタ B1 一致トリガ	T32A05TRGOUTCMPB1
				T32A ch5 タイマレジスタ C1 一致トリガ	T32A05TRGOUTCMPC1
ch3	トリガ送信用 トリガ入力	UART3TRGIN	[TSEL0CR6] <INSEL24>	PA2 端子(TRGIN0)	TRGIN0
				PA3 端子(TRGIN1)	TRGIN1
				PA4 端子(TRGIN2)	TRGIN2
				T32A ch5 タイマレジスタ A1 一致トリガ	T32A05TRGOUTCMPA1
				T32A ch5 タイマレジスタ B1 一致トリガ	T32A05TRGOUTCMPB1
				T32A ch5 タイマレジスタ C1 一致トリガ	T32A05TRGOUTCMPC1

注) [TSEL0CRn]<INSELm>はトリガセクタでトリガ入力のトリガソースを選択します。トリガセクタの詳細は、「2.2.トリガセクタ(TRGSEL)」を参照してください。

2.15.6.2. T32A 接続

非同期シリアル通信回路は、その他、下記表のように内部で周辺機能と接続されている信号があります。

表 2.73 UART 内部接続仕様:出力

チャンネル	機能出力		トリガセクタ	出力先	
		信号名			信号名
ch0	送信完了トリガ	UART0TXTRG	[TSEL0CR6] <INSEL25>	T32A ch0 タイマ A	T32A00TRGINAPCK
	受信完了トリガ	UART0RXTRG			
ch1	送信完了トリガ	UART1TXTRG	[TSEL0CR7] <INSEL28>	T32A ch1 タイマ A	T32A01TRGINAPCK
	受信完了トリガ	UART1RXTRG			
ch2	送信完了トリガ	UART2TXTRG	[TSEL0CR7] <INSEL31>	T32A ch2 タイマ A	T32A02TRGINAPCK
	受信完了トリガ	UART2RXTRG			
ch3	送信完了トリガ	UART3TXTRG	[TSEL0CR8] <INSEL34>	T32A ch3 タイマ A	T32A03TRGINAPCK
	受信完了トリガ	UART3RXTRG			

2.16. I²C インタフェース(I²C)

2.16.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

TMPM4K グループ(2)製品に搭載のI²Cインタフェースは、標準モード、ファストモードに対応します。

表 2.74 I²C 搭載チャンネル

製品	チャンネル (○: 搭載、-: 非搭載)	
	ch0	ch1
M4KQ	○	○
M4KP	○	○
M4KN	○	○
M4KM	○	○
M4KL	○	○

2.16.2. 機能端子とポート

機能端子は以下ポートに割り当てられています。

表 2.75 I²C 機能端子とポート

チャンネル	機能端子		ポート	製品対応 (○: 対応、-: 非対応)				
				M4KQ	M4KP	M4KN	M4KM	M4KL
ch0	I2C0SCL	入出力	PC1	○	○	○	○	○
			PT1	○	○	-	-	-
	I2C0SDA	入出力	PC0	○	○	○	○	○
			PT0	○	○	-	-	-
ch1	I2C1SCL	入出力	PD4	○	○	○	-	-
			PU1	○	○	○	○	○
	I2C1SDA	入出力	PD3	○	○	○	-	-
			PU0	○	○	○	○	○

2.16.3. プリスケーラ用クロック

I²C インタフェースは、プリスケーラ用クロックに以下の表に示すクロックが使用されます。

表 2.76 I²C プリスケーラ用クロック

クロック
f _{system}

2.16.4. ウェイクアップ機能

TMPM4K グループ(2)には I²C のウェイクアップ機能はありません。

2.16.5. DMA 要求

I²C インタフェースは、以下の表に示す DMA 要求があります。

表 2.77 I²C DMA要求

チャンネル	要求	信号名	DMA 要求チャンネル		
			シングル 転送	バースト 転送	
ch0	受信 DMA リクエスト	I2C0RXDMAREQ	12	—	○
	送信 DMA リクエスト	I2C0TXDMAREQ	13	—	○
ch1	受信 DMA リクエスト	I2C1RXDMAREQ	14	—	○
	送信 DMA リクエスト	I2C1TXDMAREQ	15	—	○

注) ○: 対応、—: 非対応

2.17. シリアルペリフェラルインタフェース(TSPI)

2.17.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

TMPM4K グループ(2)製品に搭載の TSPI の最大通信速度は 10Mbps です。

表 2.78 TSPI 搭載チャンネル

製品	チャンネル (○: 搭載、-: 非搭載)	
	ch0	ch1
M4KQ	○	○
M4KP	○	○
M4KN	○	○
M4KM	○	○
M4KL	○	○

2.17.2. 機能端子とポート

機能端子は以下ポートに割り当てられています。
複数に割り当てられている同一機能端子は排他的に使用してください。
製品により機能端子がないチャンネルもあります。

表 2.79 TSPI 機能端子とポート

チャンネル	機能端子		ポート	製品対応 (○: 対応、-: 非対応)				
				M4KQ	M4KP	M4KN	M4KM	M4KL
ch0	TSPI0SCK	入出力	PA4	○	○	○	○	○
			PC5	○	○	○	○	-
	TSPI0TXD	出力	PA3	○	○	○	○	○
			PC4	○	○	○	○	-
	TSPI0RXD	入力	PA2	○	○	○	○	○
			PC3	○	○	○	○	○
	TSPI0CSIN	入力	PA0	○	○	○	○	-
			PC7	○	○	○	-	-
TSPI0CS0	出力	PC2	○	○	○	○	○	
TSPI0CS1	出力	PA1	○	○	○	○	-	
		PC6	○	○	○	-	-	
ch1	TSPI1SCK	入出力	PG6	○	○	○	○	○
			PV3	○	○	-	-	-
	TSPI1TXD	出力	PG5	○	○	○	○	○
			PV2	○	○	-	-	-
	TSPI1RXD	入力	PG4	○	○	○	○	○
			PV1	○	○	○	-	-
	TSPI1CSIN	入力	PG3	○	○	○	○	○
			PV0	○	○	○	-	-
TSPI1CS0	出力	PG2	○	○	○	○	○	
		PP6	○	○	-	-	-	
TSPI1CS1	出力	PG1	○	○	○	○	-	
		PP7	○	○	-	-	-	

注) TMPM4K グループ(2)は、TSPIxCS2 端子/TSPIxCS3 端子はありません。

2.17.3. 製品別転送モード対応一覧

シリアルペリフェラルインタフェースは、以下の表に示すように製品によって使用できる転送モードが異なります。

表 2.80 TSPI モード対応一覧

チャンネル	製品対応				
	M4KQ	M4KP	M4KN	M4KM	M4KL
ch0	SPI モード SIO モード				SIO モード
ch1	SPI モード SIO モード				

2.17.4. プリスケーラ用クロック

シリアルペリフェラルインタフェースは、プリスケーラ用クロックに以下の表に示すクロックが使用されます。

表 2.81 TSPI プリスケーラ用クロック

クロック
ΦT0m

2.17.5. DMA 要求

シリアルペリフェラルインタフェースは、以下の表に示す DMA 要求があります。

表 2.82 TSPI DMA要求

チャンネル	要求	信号名		DMA 要求チャンネル	
				シングル転送	バースト転送
ch0	受信 DMA 要求	TSPI0RX_DMA	0	○	○
	送信 DMA 要求	TSPI0TX_DMA	1	○	○
ch1	受信 DMA 要求	TSPI1RX_DMA	2	○	○
	送信 DMA 要求	TSPI1TX_DMA	3	○	○

注) ○: 対応、-: 非対応

2.17.6. 内部信号接続仕様

2.17.6.1. トリガ転送信号接続仕様

シリアルペリフェラルインタフェースには、トリガ信号による通信開始機能があります。
トリガ信号は以下の表に示すトリガソースをトリガセクタで選択し使用します。

表 2.83 TSPI トリガ転送仕様: 入力

チャンネル	機能入力		トリガセクタ	トリガソース	
		信号名		入力トリガ信号	信号名
ch0	トリガ入力 通信開始	TSPI0TRG	[TSEL0CR4] <INSEL19>	PA2 端子(TRGIN0)	TRGIN0
				PA3 端子(TRGIN1)	TRGIN1
				PA4 端子(TRGIN2)	TRGIN2
				T32A ch5 タイマレジスタ A1 一致トリガ	T32A05TRGOUTCMPA1
				T32A ch5 タイマレジスタ B1 一致トリガ	T32A05TRGOUTCMPB1
				T32A ch5 タイマレジスタ C1 一致トリガ	T32A05TRGOUTCMPC1
ch1	トリガ入力 通信開始	TSPI1TRG	[TSEL0CR5] <INSEL20>	PA2 端子(TRGIN0)	TRGIN0
				PA3 端子(TRGIN1)	TRGIN1
				PA4 端子(TRGIN2)	TRGIN2
				T32A ch5 タイマレジスタ A1 一致トリガ	T32A05TRGOUTCMPA1
				T32A ch5 タイマレジスタ B1 一致トリガ	T32A05TRGOUTCMPB1
				T32A ch5 タイマレジスタ C1 一致トリガ	T32A05TRGOUTCMPC1

注) [TSEL0CR4]<INSEL19>, [TSEL0CR5]<INSEL20>はトリガセクタでトリガソースを選択します。トリガセクタの詳細は、「2.2.トリガセクタ(TRGSEL)」を参照してください。

2.17.6.2. T32A 接続

シリアルペリフェラルインタフェースは、その他、下記表のように内部で周辺機能と接続されている信号があります。

表 2.84 TSPI 内部接続仕様: 出力

チャンネル	機能出力		トリガセクタ	出力先	
		信号名			信号名
ch0	送信完了信号	TSPI0TXEND	[TSEL0CR6] <INSEL25>	T32A ch0 タイマ A	T32A00TRGINAPCK
	受信完了信号	TSPI0RXEND			
ch1	送信完了信号	TSPI1TXEND	[TSEL0CR7] <INSEL28>	T32A ch1 タイマ A	T32A01TRGINAPCK
	受信完了信号	TSPI1RXEND			

2.18. CAN コントローラ(CAN)

2.18.1. 搭載一覧

製品毎の搭載一覧を下記表に示します。

表 2.85 CAN 搭載一覧

製品	CAN 搭載 (○: 搭載、-: 非搭載)
M4KQ	○
M4KP	○
M4KN	○
M4KM	-
M4KL	-

2.18.2. 機能端子とポート

機能端子は以下ポートに割り当てられています。
製品により機能端子がないチャンネルもあります。

表 2.86 CAN 機能端子とポート

機能端子		ポート	製品対応 (○: 対応、-: 非対応)				
			M4KQ	M4KP	M4KN	M4KM	M4KL
CANTX	出力	PE0	○	○	○	-	-
CANRX	入力	PE1	○	○	○	-	-

2.19. デジタルノイズフィルタ回路(DNF)

2.19.1. 搭載ユニット

製品毎の搭載ユニットを下記表に示します。

表 2.87 DNF 搭載ユニット

製品	ユニット (○: 搭載、-: 非搭載)		
	A	B	C
M4KQ	○	○	○
M4KP	○	○	○
M4KN	○	○	○
M4KM	○	○	○
M4KL	○	○	○

2.19.2. 製品別外部割り込みと DNF の対応

DNF は以下の外部割り込み端子に対応しています。

表 2.88 外部割り込みと DNF 対応

外部割り込み端子(信号名)	ポート	ユニット	設定レジスタ名	製品対応 (O: 対応、-: 非対応)				
				M4KQ	M4KP	M4KN	M4KM	M4KL
INT00	PA2	A	[DNFAENCR]<NFEN0>	○	○	○	○	○
INT01a	PA4		[DNFAENCR]<NFEN1>	○	○	○	○	○
INT01b	PA3		[DNFAENCR]<NFEN2>	○	○	○	○	○
INT02a	PC1		[DNFAENCR]<NFEN3>	○	○	○	○	○
INT02b	PC6		[DNFAENCR]<NFEN4>	○	○	○	-	-
INT03a	PC3		[DNFAENCR]<NFEN5>	○	○	○	○	○
INT03b	PD2		[DNFAENCR]<NFEN6>	○	○	○	-	-
INT04a	PE3		[DNFAENCR]<NFEN7>	○	○	○	○	○
INT04b	PE1		[DNFAENCR]<NFEN8>	○	○	○	○	○
INT05a	PE5		[DNFAENCR]<NFEN9>	○	○	○	○	○
INT11b			[DNFAENCR]<NFEN9>	○	○	○	○	○
INT05b	PE6		[DNFAENCR]<NFEN10>	○	○	○	○	○
INT06a	PF1		[DNFAENCR]<NFEN11>	○	○	○	○	○
INT06b	PF2		[DNFAENCR]<NFEN12>	○	○	○	-	-
INT07a	PU1		[DNFAENCR]<NFEN13>	○	○	○	○	○
INT07b	PU2		[DNFAENCR]<NFEN14>	○	○	○	○	○
INT08a	PU3		[DNFAENCR]<NFEN15>	○	○	○	○	○
INT08b	PU4		[DNFBENCR]<NFEN0>	○	○	○	○	○
INT09	PU6	[DNFBENCR]<NFEN1>	○	○	○	○	○	
INT10	PC2	[DNFBENCR]<NFEN2>	○	○	○	○	○	
INT11a	PE4	[DNFBENCR]<NFEN3>	○	○	○	○	○	
INT12	PU0	[DNFBENCR]<NFEN4>	○	○	○	○	○	
INT13	PU5	[DNFBENCR]<NFEN5>	○	○	○	○	○	
INT14a	PF4	[DNFBENCR]<NFEN6>	○	○	○	○	-	
INT14b	PF5	[DNFBENCR]<NFEN7>	○	○	○	-	-	
INT15	PA1	[DNFBENCR]<NFEN8>	○	○	○	○	-	
INT16a	PN1	[DNFBENCR]<NFEN9>	○	○	○	○	-	
INT16b	PN2	[DNFBENCR]<NFEN10>	○	○	○	○	-	
INT17a	PD1	[DNFBENCR]<NFEN11>	○	○	○	-	-	
INT17b	PD0	[DNFBENCR]<NFEN12>	○	○	○	-	-	
INT18a	PD5	[DNFBENCR]<NFEN13>	○	○	○	-	-	
INT18b	PD4	[DNFBENCR]<NFEN14>	○	○	○	-	-	
INT19a	PP1	[DNFBENCR]<NFEN15>	○	○	-	-	-	
INT19b	PP2	[DNFCENCR]<NFEN0>	○	○	-	-	-	
INT20a	PW4	[DNFCENCR]<NFEN1>	○	-	-	-	-	
INT20b	PW3	[DNFCENCR]<NFEN2>	○	-	-	-	-	
INT21	PG3	[DNFCENCR]<NFEN3>	○	○	○	○	○	

2.19.3. サンプリングソースクロック

DNF は、サンプリングのソースクロックとして以下の表に示すクロックが使用されます。

表 2.89 DNF サンプリングソースクロック

クロック
fc

2.20. 電圧検知回路(LVD)

2.20.1. 搭載一覧

製品毎の搭載一覧を下記表に示します。

表 2.90 LVD 搭載一覧

製品	LVD 搭載 (○: 搭載、-: 非搭載)
M4KQ	○
M4KP	○
M4KN	○
M4KM	○
M4KL	○

2.20.2. 検知対象電源

電圧検知回路は以下の表の電源をモニタします。

表 2.91 LVD 検知対象電源

検知対象電源	電源名
デジタル用電源端子	DVDD5A/DVDD5B

2.21. CRC 計算回路(CRC)

2.21.1. 搭載一覧

製品毎の搭載一覧を下記表に示します。

表 2.92 CRC 搭載一覧

製品	CRC 搭載 (○: 搭載、-: 非搭載)
M4KQ	○
M4KP	○
M4KN	○
M4KM	○
M4KL	○

2.22. RAM パリティ(RAMP)

2.22.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.93 RAMP 搭載チャンネル

製品	チャンネル (○: 搭載、-: 非搭載)	
	ch0	ch1
M4KQ	○	○
M4KP	○	○
M4KN	○	○
M4KM	○	○
M4KL	○	○

2.22.2. エラー判定ブロックエリア

下表に製品毎のエラー判定 RAM ブロックエリアを示します。

表 2.94 RAMP RAMエリアとアドレス

チャンネル	レジスタ名	RAM エリア アドレス	製品対応 (○: 対応、-: 非対応)				
			M4KQ	M4KP	M4KN	M4KM	M4KL
ch0	[RPAR0ST]<RPARFG0>	0x20000000-0x20001FFF	○	○	○	○	○
	[RPAR0ST]<RPARFG1>	0x20002000-0x20003FFF	○	○	○	○	○
ch1	[RPAR1ST]<RPARFG0>	0x20004000-0x20005FFF	○	○	○	○	○

2.23. トリミング回路(TRM)

2.23.1. 搭載一覧

製品毎の搭載一覧を下記表に示します。

表 2.95 TRM 搭載一覧

製品	TRM 搭載 (○: 搭載、-: 非搭載)
M4KQ	○
M4KP	○
M4KN	○
M4KM	○
M4KL	○

2.23.2. 対象発振器

トリミング回路の対象発振器は以下の表に示す発振器です。

表 2.96 TRM トリミング対象発振器

対象発振器	発振器名
内蔵高速発振器 1	IHOSC1

3. 改訂履歴

表 3.1 改訂履歴

Revision	Date	Description
1.0	2018-05-17	新規
1.1	2018-10-16	<ul style="list-style-type: none">・「2.1.レジスタベースアドレス」 表 2.1, 表 2.2: ベースアドレスタイプ→ベースアドレスタイプ(O: 該当、-: 非該当)・「2.4.周波数検知回路(OFD)」 表 2.13 の分周比項修正: 256→128・「2.17.シリアルペリフェラルインタフェース(TSPI)」 2.17.1.の 2 行目修正: 20Mbps→10Mbps 表 2.83: "注 1)" → "注)"・「2.18. CAN コントローラ(CAN)」 項追加: 「2.18.2. 機能端子とポート」・「製品取り扱い上のお願ひ」 改訂
1.2	2019-01-07	<ul style="list-style-type: none">・「2.7. フラッシュメモリ(FLASH)」 表 2.22 アドレス番号: "0x2001FFFF" → "0x20003FFF"・「2.12. 12ビットアナログデジタルコンバータ(ADC)」 表 2.43. 機能端子列 ユニット A AINA16, AINA17, AINA18 行: "(注 2)" 追記

製品取り扱い上のお願ひ

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事情報の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。