

お客様各位

2019年3月26日
株式会社 東芝ストレージ&デバイスソリューション社
東芝マイクロエレクトロニクス株式会社
システムソリューション技術部
〒212-8520 神奈川県川崎市幸区堀川町580-1
Tel: 044-548-2673
Fax: 044-548-8321

TX04シリーズの外部バスクロック出力機能に関するデータシート修正のご連絡

平素より東芝マイクロコントローラをご使用頂き、誠にありがとうございます。
下記の通り、データシートの修正につきましてご連絡申し上げます。
ご迷惑をおかけしますが、内容につきご査収くださいますよう、お願い申し上げます。
なお、本件につきましてご不明な点がございましたら、弊社営業担当までお問い合わせ
頂きます様、お願い申し上げます。

—記—

1. 対象製品

TMPM462F15FG、TMPM462F10FG
TMPM461F15FG、TMPM461F10FG

2. データシートの修正

対象：2018年10月15日以前発行のデータシート

外部バスクロック出力機能に関して、当該機能を削除いたします。
以降はTMPM462のデータシートで説明します。

【修正前】

4. 外部バスインタフェース(EBIF)

- ・ 16MB(プログラム/データ共通)まで拡張可能
- ・ 外部データバス(セパレートバス/マルチプレクスバス): 8/16ビット幅
- ・ チップセレクトコントローラ: 4チャンネル
- ・ 外部ウェイト機能(Highアクティブ/Lowアクティブ選択可能)
- ・ クロック出力機能(バスサイクルに同期したクロック出力) 最大 30MHz

【修正後】

部分削除

【修正前】

1.4.1.1 周辺機能端子名称

表 1-1 各周辺機能と端子名称と機能

周辺機能	端子名称	Input or Output	機能
クロック/モード制御	SCOUT	Output	システムクロックの出力端子
外部割り込み	INTx	Input	外部割り込み入力端子 x 外部割り込み入力端子 x はノイズフィルタ(フィルタ幅 typ. 30ns)をもちます。
	NMI	Input	マスク不能割り込み入力端子 マスク不能割り込み入力端子 x はノイズフィルタ(フィルタ幅 typ. 30ns)をもちます。
μDMA	DMAREQx	Input	DMA リクエスト入力端子 x
外部バスインタフェース	An	output	アドレスバス出力端子
	Dn	I/O	データバス入出力端子
	ADn	I/O	アドレス、データバス入出力端子
	\overline{RD}	Output	リードストロブ出力端子
	\overline{WR}	Output	ライトストロブ出力端子
	ALE	Output	アドレスラッチイネーブル出力端子
	\overline{BELL}	Output	バイトイネーブル出力端子
	BELH	Output	バイトイネーブル出力端子
	\overline{CSn}	Output	チップセレクト出力端子
	WAIT	Input	ウェイト入力端子
	BCLK	Output	クロック出力端子
16 ビットタイマ/ イベントカウンタ	TBxIN0	Input	インプットキャプチャ入力端子 0
	TBxIN1	Input	インプットキャプチャ入力端子 1
	TBxOUT	Output	出力端子
	MTxTBIN	Input	タイマモード入力端子
	MTxTBOUT	Output	タイマモード出力端子
	MTxTIN	Input	ICPT モード入力端子

【修正後】

□部分削除

【修正前】

Pin No.	PORT	機能 A	機能 B					ポート仕様			
			1	2	3	4	5	PU/PD	OD	5V_T	SMT/CMOS
PORTK											
163	PK0			UT0TXD	UT0ROUT			PU	Yes	N/A	SMT
166	PK1			UT0RXD	UT0IRIN			PU	Yes	N/A	SMT
167	PK2		\overline{BELL}	UT0DCD				PU	Yes	N/A	SMT
168	PK3		BELH	UT0DSR				PU	Yes	N/A	SMT
169	PK4		\overline{WR}	UT0DTR				PU	Yes	N/A	SMT
170	PK5		\overline{RD}	UT0RIN				PU	Yes	N/A	SMT
171	PK6		WAIT	$\overline{UT0CTS}$				PU	Yes	N/A	SMT
172	PK7		BCLK	$\overline{UT0RTS}$				PU	Yes	N/A	SMT
173	PK8	INTC BOOT						PU	Yes	N/A	SMT

【修正後】

□部分削除し ■に変更

【修正前】

表 2-3 端子仕様

セパレートバス	マルチプレクスバス	ポート
A0 ~ A7(注 1)	-	PA0 ~ PA7
		PL0 ~ PL7
A8 ~ A15	-	PB0 ~ PB7
A16 ~ A23 A0 ~ A7	A16 ~ A23	PC0 ~ PC7
D0 ~ D15	AD0 ~ AD15	PD0 ~ PD15
-	ALE	PC8
	\overline{RD}	PK5
	\overline{WR}	PK4
	\overline{BELL}	PK2
	\overline{BELH}	PK3
	$\overline{CS0}$	PC9
	$\overline{CS1}$	PC10
	$\overline{CS2}$	PC11
	$\overline{CS3}$	PE0
	WAIT	PK6
	BCLK	PK7

【修正後】

□部分削除

上述以外の修正は下記「修正表」をご覧くださいませようお願いします。

修正表

修正前	修正後
第2章 製品情報	第2章 製品情報
4. 外部バスインタフェース(EBIF)	4. 外部バスインタフェース(EBIF)
・クロック出力機能 (バスサイクルに同期したクロック出力) 最大30MHz	この文章を削除
表1-1 各周辺機能と端子名称と機能	表1-1 各周辺機能と端子名称と機能
周辺機能: 外部バスインタフェース: BCLK	BCLK行削除
Pin No.172 :BCLK	BCLK行削除
表 2-3 端子仕様: BCLK	BCLK行削除
第9章 入出力ポート	第9章 入出力ポート
PK7: BCLK	BCLK行削除
第10章 外部バスインタフェース(EBIF)	第10章 外部バスインタフェース(EBIF)
表 10-1 外部バスインタフェースの特長	表 10-1 外部バスインタフェースの特長
クロック出力: バスサイクルに同期したクロック出力が可能	この文章を削除
制御端子: クロック出力機能使用時: 上記の端子に加え、BCLK	「制御端子: クロック出力機能使用時: 上記の端子に加え、BCLK」を削除
10.3.1 レジスタ一覧	10.3.1 レジスタ一覧
外部バスクロック出力制御レジスタ EXBCLKCTL 0x0060	「外部バスクロック出力制御レジスタ EXBCLKCTL 0x0060」行を削除
10.3.5 EXBCLKCTL (外部バスクロック出力制御レジスタ)	この章を削除
10.5 バスクロック	10.5 バスクロック
・・・、使用する場合は出力クロックBCLKIになります。	BCLKIに関する内容を削除
10.6 クロック出力機能	この章を削除
10.7 外部バスオペレーション (セパレートバスモード)	10.6 外部バスオペレーション (セパレートバスモード)
・・・、クロック出力機能を使用しない場合は・・・、使用する場合は EXBCLKCTL<CLKDIV>の指定によるBCLK の1 周期になります。	BCLKIに関する内容を削除
10.8 外部バスオペレーション (マルチプレクスバスモード)	10.7 外部バスオペレーション (マルチプレクスバスモード)
・・・、クロック出力機能を使用しない場合は・・・、使用する場合は EXBCLKCTL<CLKDIV>の指定によるBCLK の1 周期になります。	BCLKIに関する内容を削除
10.9.2 同期マルチプレクスモードでの16 ビットSRAM、NOR-Flash との接続例	この章を削除
第27章 電気的特性	第27章 電気的特性
表27-2 IDD 測定条件 (CPU、周辺回路)	表27-2 IDD 測定条件 (CPU、周辺回路)
EBIF: (BCLK=30MHz)	「(BCLK=30MHz)」を削除
27.5.4.3 AC 電気的特性(BCLK 非同期セパレートバスモード)	BCLKを削除
27.5.4.4 AC 電気的特性(BCLK 非同期マルチプレクスバスモード)	BCLKを削除
27.5.4.5 AC 電気的特性(BCLK 同期セパレートバスモード/マルチプレクスバスモード)	この章を削除