

32 ビット RISC マイクロコントローラ

# TMPM4K グループ(2)

リファレンスマニュアル  
入出力ポート  
(PORT-M4K(2))

Revision 1.2

---

2019-06

東芝デバイス&ストレージ株式会社

## 目次

序章 .....	5
関連するドキュメント .....	5
表記規約 .....	6
用語・略語 .....	8
1. 概要 .....	9
2. 動作説明 .....	9
2.1. クロック供給 .....	9
3. 信号接続一覧 .....	10
4. レジスタ説明 .....	19
4.1. レジスタ一覧 .....	20
4.2. ポート機能とレジスタ設定 .....	23
4.2.1. 機能端子を使用する際の設定について .....	23
4.2.2. PORT A .....	24
4.2.3. PORT B .....	25
4.2.4. PORT C .....	26
4.2.5. PORT D .....	28
4.2.6. PORT E .....	29
4.2.7. PORT F .....	30
4.2.8. PORT G .....	32
4.2.9. PORT H .....	33
4.2.10. PORT J .....	34
4.2.11. PORT K .....	35
4.2.12. PORT L .....	36
4.2.13. PORT M .....	37
4.2.14. PORT N .....	38
4.2.15. PORT P .....	39
4.2.16. PORT R .....	40
4.2.17. PORT T .....	41
4.2.18. PORT U .....	42
4.2.19. PORT V .....	44
4.2.20. PORT W .....	45
5. ポート回路図 .....	46
5.1. タイプ FT1a .....	47
5.2. タイプ FT2a .....	48
5.3. タイプ FT2c .....	49
5.4. タイプ FT3a .....	50
5.5. タイプ FT4a .....	51
5.6. タイプ FT5a .....	52
5.7. タイプ FT11a .....	53
5.8. タイプ FT16a .....	54

---

6. 使用上のご注意およびお願い事項.....	55
6.1. リセット期間中の端子状態について .....	55
6.2. 未使用端子の処理について .....	55
6.3. デバッグインタフェース端子を汎用ポートとして使用する際の注意.....	55
7. 改訂履歴.....	56
製品取り扱い上のお願い.....	57

## 図目次

図 5.1	ポートタイプ FT1a	47
図 5.2	ポートタイプ FT2a	48
図 5.3	ポートタイプ FT2c	49
図 5.4	ポートタイプ FT3a	50
図 5.5	ポートタイプ FT4a	51
図 5.6	ポートタイプ FT5a	52
図 5.7	ポートタイプ FT11a	53
図 5.8	ポートタイプ FT16a	54

## 表目次

表 3.1	信号接続一覧(1/9)	10
表 3.2	信号接続一覧(2/9)	11
表 3.3	信号接続一覧(3/9)	12
表 3.4	信号接続一覧(4/9)	13
表 3.5	信号接続一覧(5/9)	14
表 3.6	信号接続一覧(6/9)	15
表 3.7	信号接続一覧(7/9)	16
表 3.8	信号接続一覧(8/9)	17
表 3.9	信号接続一覧(9/9)	18
表 4.1	ポートベースアドレス	20
表 4.2	レジスタ一覧	21
表 4.3	ポート A レジスタ設定	24
表 4.4	ポート B レジスタ設定	25
表 4.5	ポート C レジスタ設定	26
表 4.6	ポート D レジスタ設定	28
表 4.7	ポート E レジスタ設定	29
表 4.8	ポート F レジスタ設定	30
表 4.9	ポート G レジスタ設定	32
表 4.10	ポート H レジスタ設定	33
表 4.11	ポート J レジスタ設定	34
表 4.12	ポート K レジスタ設定	35
表 4.13	ポート L レジスタ設定	36
表 4.14	ポート M レジスタ設定	37
表 4.15	ポート N レジスタ設定	38
表 4.16	ポート P レジスタ設定	39
表 4.17	ポート R レジスタ設定	40
表 4.18	ポート T レジスタ設定	41
表 4.19	ポート U レジスタ設定	42
表 4.20	ポート V レジスタ設定	44
表 4.21	ポート W レジスタ設定	45
表 7.1	改訂履歴	56

## 序章

## 関連するドキュメント

文書名
製品個別情報
クロック制御と動作モード
例外
フラッシュメモリ
I <sup>2</sup> C インタフェース
シリアルペリフェラルインタフェース
12ビットアナログデジタルコンバータ
32ビットタイマイイベントカウンタ
非同期シリアル通信回路
アドバンストプログラマブルモータ制御回路
アドバンストエンコーダ入力回路(32bit)
CAN コントローラ
デバッグインタフェース
ノンブレイクデバッグインタフェース

## 表記規約

- 数値表記は以下の規則に従います。
  - 16 進数表記: 0xABC
  - 10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
  - 2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「\_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は [m:n]とまとめて表記する場合があります。  
例: S[3:0] は S3,S2,S1,S0 の 4 つの信号名をまとめて表記しています。
- 本文中 [ ] で囲まれたものはレジスタを定義しています。  
例: [ABCD]
- 同種で複数のレジスタ、フィールド、ビット名は「n」で一括表記する場合があります。  
例: [XYZ1],[XYZ2],[XYZ3] → [XYZn]
- 「レジスタ一覧」中のレジスタ名でユニットまたはチャンネルは「x」で一括表記しています。  
ユニットの場合、「x」は A,B,C...を表します。  
例: [ADACR0],[ADBCR0],[ADCCR0]→[ADxCR0]  
チャンネルの場合、「x」は 0,1,2...を表します。  
例: [T32A0RUNA],[T32A1RUNA],[T32A2RUNA]→[T32AxRUNA]
- レジスタのビット範囲は [m:n] と表記します。  
例: [3:0] はビット 3 から 0 の範囲を表します。
- レジスタの設定値は 16 進数または 2 進数のどちらかで表記されています。  
例: [ABCD]<EFG> = 0x01 (16 進数)、 [XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
  - バイト: 8 ビット
  - ハーフワード: 16 ビット
  - ワード: 32 ビット
  - ダブルワード: 64 ビット
- レジスタ内の各ビットの属性は以下の表記を使用しています。
  - R: リードオンリー
  - W: ライトオンリー
  - R/W: リード / ライト
- 断りのない限り、レジスタアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスタは書き換えを行わないでください。また、読み出した値を使用しないでください。
- Default 値が「—」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスタに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。  
Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- ライトオンリーのレジスタの Reserved ビットフィールドには Default 値を書き込んでください。Default 値が「—」となっている場合は、個々のレジスタの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスタへのリードモディファイライト処理は行わないでください。

\*\*\*\*\*  
**Arm, Cortex および Thumb は Arm Limited(またはその子会社)の US またはその他の国における登録商標です。 All rights reserved.**  
\*\*\*\*\*



FLASH メモリについては、米国 SST 社(Silicon Storage Technology, Inc.)からライセンスを受けた Super Flash®技術を使用しています。Super Flash®は SST 社の登録商標です。

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

## 用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

CAN	Controller Area Network
I <sup>2</sup> C	Inter-Integrated Circuit
JTAG	Joint Test Action Group
NBDIF	Non Break Debug Interface
SW	Serial Wire



## 1. 概要

ポート関連のレジスタとその設定について説明します。以下に機能の一覧を示します。

機能分類	機能	説明
ポート	-	内蔵プログラマブルプルアップ/プルダウンの選択、オープンドレイン出力選択が可能
周辺機能端子	クロック出力	システムクロックの出力が可能
	外部割り込み	ノイズフィルタ(フィルタ幅 Typ. 30ns)付き割り込み入力端子
	32ビットタイマイベントカウンタ	インプットキャプチャ入力端子、タイマ出力端子
	シリアルペリフェラルインタフェース	チップセレクト入力 1 端子、チップセレクト出力 2 端子、データ入力端子、データ出力端子、クロック入出力端子
	非同期シリアル通信回路	データ入力端子、データ出力端子、ハンドシェイク機能端子
	I <sup>2</sup> C インタフェース	データ入出力端子、クロック入出力端子
	CAN コントローラ	データ入力端子、データ出力端子
	アナログデジタルコンバータ	アナログ入力端子
	アドバンストプログラマブルモータ制御回路	X/Y/Z 相出力端子、U/V/W 相出力端子、異常検出入力端子、過電圧検出入力端子
	アドバンストエンコーダ入力回路 (32-bit)	エンコーダ入力端子
	トリガ入力	外部トリガ入力端子
デバッグ端子	JTAG	テストモード選択入力端子、シリアルクロック入力端子、シリアルデータ出力端子、シリアルデータ入力端子、テストリセット入力端子
	SW	シリアルワイヤデータ入出力端子、シリアルワイヤクロック入力端子、シリアルワイヤビューワ出力端子
	トレース	トレースクロック出力端子、トレースデータ出力 4 端子
	NBDIF	NBD 同期入力端子、NBD クロック入力端子、NBD データ出力 4 端子
制御端子	クロック制御	高速発振子接続端子、外部高速クロック入力
	BOOT モード制御	BOOT モード制御用端子

## 2. 動作説明

### 2.1. クロック供給

ポートを使用する場合は、fsys 供給停止レジスタ A([CGFSYSENA], [CGFSYSMENA])、fsys 供給停止レジスタ B([CGFSYSENB], [CGFSYSMENB])、fc 供給停止レジスタ([CGFCEN])で該当するクロックイネーブルビットを"1"(クロック供給)に設定してください。

該当レジスタ、ビット位置は製品によって異なります。そのため製品によって、レジスタが存在しない場合があります。詳細はリファレンスマニュアルの「クロック制御と動作モード」を参照してください。

## 3. 信号接続一覧

各リファレンスマニュアルのブロック図(信号一覧表)に記載された信号名を機能端子順に変換した表です。周辺機能のレジスタ設定はポート順に説明していますので、ポート名の逆引きにご使用ください。数値は端子番号を表します。

表 3.1 信号接続一覧(1/9)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M4KQ (LQFP144)	M4KP (LQFP128)	M4KN (QFP100)	M4KN (LQFP100)	M4KM (LQFP80)	M4KL (LQFP64)
非同期シリアル通信回路	UT0RXD	PC0	70	63	49	46	39	31
		PC1	71	64	50	47	40	32
		PN0	9	10	12	9	9	-
		PN1	10	11	13	10	10	-
	UT0TXDA	PC1	71	64	50	47	40	32
		PC0	70	63	49	46	39	31
		PN1	10	11	13	10	10	-
		PN0	9	10	12	9	9	-
	UT0CTS_N	PD2	99	92	69	66	-	-
		PN2	11	12	14	11	11	-
	UT0RTS_N	PD3	100	93	70	67	-	-
		PV1	13	14	16	13	-	-
	UT1RXD	PC4	74	67	53	50	43	-
		PC5	75	68	54	51	44	-
		PU5	6	7	9	6	7	7
		PU6	7	8	10	7	8	8
	UT1TXDA	PC5	75	68	54	51	44	-
		PC4	74	67	53	50	43	-
		PU6	7	8	10	7	8	8
		PU5	6	7	9	6	7	7
	UT1CTS_N	PU4	5	6	8	5	6	6
		PV3	15	16	-	-	-	-
	UT1RTS_N	PU3	4	5	7	4	5	5
		PV2	14	15	-	-	-	-
	UT2RXD	PF0	144	1	3	100	1	1
		PF1	143	128	2	99	80	64
		PU0	1	2	4	1	2	2
		PU1	2	3	5	2	3	3
	UT2TXDA	PF1	143	128	2	99	80	64
		PF0	144	1	3	100	1	1
		PU1	2	3	5	2	3	3
		PU0	1	2	4	1	2	2
UT2CTS_N	PR4	125	-	-	-	-	-	
	PT7	93	86	-	-	-	-	
UT2RTS_N	PR3	124	-	-	-	-	-	
	PT6	92	85	-	-	-	-	

表 3.2 信号接続一覧(2/9)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M4KQ (LQFP144)	M4KP (LQFP128)	M4KN (QFP100)	M4KN (LQFP100)	M4KM (LQFP80)	M4KL (LQFP64)
非同期シリアル通信回路	UT3RXD	PF3	141	126	100	97	79	-
		PF4	140	125	99	96	78	-
		PF6	138	123	97	94	77	-
		PF7	137	122	96	93	76	-
	UT3TXDA	PF4	140	125	99	96	78	-
		PF3	141	126	100	97	79	-
		PF7	137	122	96	93	76	-
	UT3CTS_N	PP7	33	26	-	-	-	-
		PW7	23	-	-	-	-	-
	UT3RTS_N	PP6	32	25	-	-	-	-
PW6		22	-	-	-	-	-	
I <sup>2</sup> C インタフェース	I2C0SDA	PC0	70	63	49	46	39	31
		PT0	86	79	-	-	-	-
	I2C0SCL	PC1	71	64	50	47	40	32
		PT1	87	80	-	-	-	-
	I2C1SDA	PD3	100	93	70	67	-	-
		PU0	1	2	4	1	2	2
I2C1SCL	PD4	101	94	71	68	-	-	
	PU1	2	3	5	2	3	3	
シリアルペリフェラル インタフェース	TSPI0RXD	PA2	27	20	20	17	15	10
		PC3	73	66	52	49	42	34
	TSPI0TXD	PA3	28	21	21	18	16	11
		PC4	74	67	53	50	43	-
	TSPI0SCK	PA4	29	22	22	19	17	12
		PC5	75	68	54	51	44	-
	TSPI0CSIN	PA0	25	18	18	15	13	-
		PC7	77	70	56	53	-	-
	TSPI0CS0	PC2	72	65	51	48	41	33
	TSPI0CS1	PA1	26	19	19	16	14	-
		PC6	76	69	55	52	-	-
	TSPI1RXD	PG4	107	100	77	74	58	46
		PV1	13	14	16	13	-	-
	TSPI1TXD	PG5	108	101	78	75	59	47
		PV2	14	15	-	-	-	-
	TSPI1SCK	PG6	109	102	79	76	60	48
		PV3	15	16	-	-	-	-
	TSPI1CSIN	PG3	106	99	76	73	57	45
		PV0	12	13	15	12	-	-
	TSPI1CS0	PG2	105	98	75	72	56	44
PP6		32	25	-	-	-	-	
TSPI1CS1	PG1	104	97	74	71	55	-	
	PP7	33	26	-	-	-	-	
CAN	CANRX	PE1	111	104	81	78	-	-
	CANTX	PE0	110	103	80	77	-	-

表 3.3 信号接続一覧(3/9)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M4KQ (LQFP144)	M4KP (LQFP128)	M4KN (QFP100)	M4KN (LQFP100)	M4KM (LQFP80)	M4KL (LQFP64)
32ビットタイマイベント カウンタ	T32A00INA0	PA2	27	20	20	17	15	10
		PT0	86	79	-	-	-	-
	T32A00INA1	PT2	88	81	-	-	-	-
	T32A00OUTA	PA3	28	21	21	18	16	11
		PT1	87	80	-	-	-	-
	T32A00INB0	PA0	25	18	18	15	13	-
		PT3	89	82	-	-	-	-
	T32A00INB1	PA1	26	19	19	16	14	-
		PT4	90	83	-	-	-	-
	T32A00OUTB	PA4	29	22	22	19	17	12
		PT5	91	84	-	-	-	-
	T32A00INC0	PA2	27	20	20	17	15	10
		PT0	86	79	-	-	-	-
	T32A00INC1	PT2	88	81	-	-	-	-
	T32A00OUTC	PA3	28	21	21	18	16	11
		PT1	87	80	-	-	-	-
	T32A01INA0	PF3	141	126	100	97	79	-
		PP3	120	113	-	-	-	-
	T32A01INA1	PF5	139	124	98	95	-	-
		PP5	31	24	-	-	-	-
	T32A01OUTA	PF4	140	125	99	96	78	-
		PP4	30	23	-	-	-	-
	T32A01INB0	PF6	138	123	97	94	77	-
		PR5	126	-	-	-	-	-
	T32A01INB1	PF7	137	122	96	93	76	-
		PR6	127	-	-	-	-	-
	T32A01OUTB	PR7	128	-	-	-	-	-
		PV0	12	13	15	12	-	-
	T32A01INC0	PF3	141	126	100	97	79	-
		PP3	120	113	-	-	-	-
	T32A01INC1	PF5	139	124	98	95	-	-
		PP5	31	24	-	-	-	-
T32A01OUTC	PF4	140	125	99	96	78	-	
	PP4	30	23	-	-	-	-	

表 3.4 信号接続一覧(4/9)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M4KQ (LQFP144)	M4KP (LQFP128)	M4KN (QFP100)	M4KN (LQFP100)	M4KM (LQFP80)	M4KL (LQFP64)
32 ビットタイマイイベント カウンタ	T32A02INA0	PC0	70	63	49	46	39	31
		PU1	2	3	5	2	3	3
	T32A02INA1	PC6	76	69	55	52	-	-
		PU5	6	7	9	6	7	7
	T32A02OUTA	PC1	71	64	50	47	40	32
		PU2	3	4	6	3	4	4
	T32A02INB0	PC7	77	70	56	53	-	-
		PU3	4	5	7	4	5	5
	T32A02INB1	PD0	97	90	67	64	-	-
		PU0	1	2	4	1	2	2
	T32A02OUTB	PD1	98	91	68	65	-	-
		PU4	5	6	8	5	6	6
	T32A02INC0	PC0	70	63	49	46	39	31
		PU1	2	3	5	2	3	3
	T32A02INC1	PC6	76	69	55	52	-	-
		PU4	5	6	8	5	6	6
	T32A02OUTC	PC1	71	64	50	47	40	32
		PU2	3	4	6	3	4	4
	T32A03INA0	PD2	99	92	69	66	-	-
		PE1	111	104	81	78	62	50
	T32A03INA1	PD3	100	93	70	67	-	-
		PE3	113	106	83	80	64	52
	T32A03OUTA	PC2	72	65	51	48	41	33
		PE2	112	105	82	79	63	51
	T32A03INB0	PD4	101	94	71	68	-	-
		PE4	114	107	84	81	65	53
	T32A03INB1	PD5	102	95	72	69	-	-
		PE5	115	108	85	82	66	54
	T32A03OUTB	PC3	73	66	52	49	42	34
		PE6	116	109	86	83	67	55
	T32A03INC0	PD2	99	92	69	66	-	-
		PE1	111	104	81	78	62	50
T32A03INC1	PD3	100	93	70	67	-	-	
	PE3	113	106	83	80	64	52	
T32A03OUTC	PC2	72	65	51	48	41	33	
	PE2	112	105	82	79	63	51	

表 3.5 信号接続一覧(5/9)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M4KQ (LQFP144)	M4KP (LQFP128)	M4KN (QFP100)	M4KN (LQFP100)	M4KM (LQFP80)	M4KL (LQFP64)
32 ビットタイマイイベント カウンタ	T32A04INA0	PG0	103	96	73	70	54	-
		PW0	16	-	-	-	-	-
	T32A04INA1	PG1	104	97	74	71	55	-
		PW2	18	-	-	-	-	-
	T32A04OUTA	PG2	105	98	75	72	56	44
		PW1	17	-	-	-	-	-
	T32A04INB0	PG4	107	100	77	74	58	46
		PW3	19	-	-	-	-	-
	T32A04INB1	PG5	108	101	78	75	59	47
		PW4	20	-	-	-	-	-
	T32A04OUTB	PG3	106	99	76	73	57	45
		PW5	21	-	-	-	-	-
	T32A04INC0	PG0	103	96	73	70	54	-
		PW0	16	-	-	-	-	-
	T32A04INC1	PG1	104	97	74	71	55	-
		PW2	18	-	-	-	-	-
	T32A04OUTC	PG2	105	98	75	72	56	44
		PW1	17	-	-	-	-	-
	T32A05INA0	PF0	144	1	3	100	1	1
		PN0	9	10	12	9	9	-
	T32A05INA1	PF2	142	127	1	98	-	-
		PN2	11	12	14	11	11	-
	T32A05OUTA	PF1	143	128	2	99	80	64
		PN1	10	11	13	10	10	-
	T32A05INB0	PP0	96	89	-	-	-	-
		PR0	121	-	-	-	-	-
	T32A05INB1	PP1	118	111	-	-	-	-
		PR1	122	-	-	-	-	-
	T32A05OUTB	PP2	119	112	-	-	-	-
		PR2	123	-	-	-	-	-
	T32A05INC0	PF0	144	1	3	100	1	1
		PN0	9	10	12	9	9	-
T32A05INC1	PF2	142	127	1	98	-	-	
	PN2	11	12	14	11	11	-	
T32A05OUTC	PF1	143	128	2	99	80	64	
	PN1	10	11	13	10	10	-	

表 3.6 信号接続一覧(6/9)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M4KQ (LQFP144)	M4KP (LQFP128)	M4KN (QFP100)	M4KN (LQFP100)	M4KM (LQFP80)	M4KL (LQFP64)
12ビットアナログデジタル コンバータ	AINA00	PM7	49	42	-	-	-	-
	AINA01	PM6	48	41	-	-	-	-
	AINA02	PM5	47	40	-	-	-	-
	AINA03	PM4	46	39	-	-	-	-
	AINA04	PM3	45	38	-	-	-	-
	AINA05	PM2	44	37	33	30	-	-
	AINA06	PM1	43	36	32	29	-	-
	AINA07	PM0	42	35	31	28	-	-
	AINA08	PL7	41	34	30	27	25	20
	AINA09	PL6	40	33	29	26	24	19
	AINA13	PL5	39	32	28	25	23	18
	AINA14	PL3	37	30	26	23	21	16
	AINA15	PL1	35	28	24	21	19	14
	AINA16	PL0	34	27	23	20	18	13
	AINA17	PL2	36	29	25	22	20	15
	AINA18	PL4	38	31	27	24	22	17
	AINB00	PK0	61	54	42	39	34	27
	AINB01	PK1	60	53	41	38	33	26
	AINB02	PK2	59	52	40	37	32	25
	AINB03	PK3	58	51	39	36	31	-
	AINB04	PK4	57	50	38	35	30	-
	AINB05	PK5	56	49	-	-	-	-
	AINB06	PK6	55	48	-	-	-	-
	AINB07	PK7	54	47	-	-	-	-
	AINC00	PJ0	69	62	48	45	38	30
	AINC01	PJ1	68	61	47	44	37	29
	AINC02	PJ2	67	60	46	43	36	28
	AINC03	PJ3	66	59	45	42	35	-
	AINC04	PJ4	65	58	44	41	-	-
	AINC05	PJ5	64	57	43	40	-	-
	AINC06	PJ6	63	56	-	-	-	-
	AINC07	PJ7	62	55	-	-	-	-

表 3.7 信号接続一覧(7/9)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M4KQ (LQFP144)	M4KP (LQFP128)	M4KN (QFP100)	M4KN (LQFP100)	M4KM (LQFP80)	M4KL (LQFP64)
例外	INT00	PA2	27	20	20	17	15	10
	INT01b	PA3	28	21	21	18	16	11
	INT01a	PA4	29	22	22	19	17	12
	INT02a	PC1	71	64	50	47	40	32
	INT02b	PC6	76	69	55	52	-	-
	INT03a	PC3	73	66	52	49	42	34
	INT03b	PD2	99	92	69	66	-	-
	INT04b	PE1	111	104	81	78	62	50
	INT04a	PE3	113	106	83	80	64	52
	INT05a	PE5	115	108	85	82	66	54
	INT05b	PE6	116	109	86	83	67	55
	INT06a	PF1	143	128	2	99	80	64
	INT06b	PF2	142	127	1	98	-	-
	INT07a	PU1	2	3	5	2	3	3
	INT07b	PU2	3	4	6	3	4	4
	INT08a	PU3	4	5	7	4	5	5
	INT08b	PU4	5	6	8	5	6	6
	INT09	PU6	7	8	10	7	8	8
	INT10	PC2	72	65	51	48	41	33
	INT11a	PE4	114	107	84	81	65	53
	INT11b	PE5	115	108	85	82	66	54
	INT12	PU0	1	2	4	1	2	2
	INT13	PU5	6	7	9	6	7	7
	INT14a	PF4	140	125	99	96	78	-
	INT14b	PF5	139	124	98	95	-	-
	INT15	PA1	26	19	19	16	14	-
	INT16a	PN1	10	11	13	10	10	-
	INT16b	PN2	11	12	14	11	11	-
	INT17b	PD0	97	90	67	64	-	-
	INT17a	PD1	98	91	68	65	-	-
INT18b	PD4	101	94	71	68	-	-	
INT18a	PD5	102	95	72	69	-	-	
INT19a	PP1	118	111	-	-	-	-	
INT19b	PP2	119	112	-	-	-	-	
INT20b	PW3	19	-	-	-	-	-	
INT20a	PW4	20	-	-	-	-	-	
INT21	PG3	106	99	76	73	57	45	



表 3.8 信号接続一覧(8/9)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M4KQ (LQFP144)	M4KP (LQFP128)	M4KN (QFP100)	M4KN (LQFP100)	M4KM (LQFP80)	M4KL (LQFP64)
アドバンスプログラムブル モータ制御回路	EMG0	PB6	84	77	63	60	51	41
	OVV0	PB7	85	78	64	61	-	-
	UO0	PB0	78	71	57	54	45	35
	VO0	PB2	80	73	59	56	47	37
	WO0	PB4	82	75	61	58	49	39
	XO0	PB1	79	72	58	55	46	36
	YO0	PB3	81	74	60	57	48	38
	ZO0	PB5	83	76	62	59	50	40
	PMD0DBG	PB7	85	78	64	61	-	-
		PC2	72	65	51	48	41	33
	EMG1	PE6	116	109	86	83	67	55
	OVV1	PE7	117	110	87	84	-	-
	UO1	PE0	110	103	80	77	61	49
	VO1	PE2	112	105	82	79	63	51
	WO1	PE4	114	107	84	81	65	53
	XO1	PE1	111	104	81	78	62	50
	YO1	PE3	113	106	83	80	64	52
	ZO1	PE5	115	108	85	82	66	54
	PMD1DBG	PC3	73	66	52	49	42	34
		PE7	117	110	87	84	-	-
	EMG2	PU6	7	8	10	7	8	8
	OVV2	PU7	8	9	11	8	-	-
	UO2	PU0	1	2	4	1	2	2
	VO2	PU2	3	4	6	3	4	4
	WO2	PU4	5	6	8	5	6	6
	XO2	PU1	2	3	5	2	3	3
	YO2	PU3	4	5	7	4	5	5
	ZO2	PU5	6	7	9	6	7	7
PMD2DBG	PA2	27	20	20	17	15	10	
	PU7	8	9	11	8	-	-	
アドバンスエンコーダ 入力回路(32-bit)	ENC0A	PN0	9	10	12	9	9	-
		PP3	120	113	-	-	-	-
	ENC0B	PN1	10	11	13	10	10	-
		PP4	30	23	-	-	-	-
	ENC0Z	PN2	11	12	14	11	11	-
		PP5	31	24	-	-	-	-
	ENC1A	PF3	141	126	100	97	79	-
		PR3	124	-	-	-	-	-
	ENC1B	PF4	140	125	99	96	78	-
		PR4	125	-	-	-	-	-
	ENC1Z	PF5	139	124	98	95	-	-
		PR5	126	-	-	-	-	-
	ENC2A	PD3	100	93	70	67	-	-
		PU3	4	5	7	4	5	5
	ENC2B	PD4	101	94	71	68	-	-
		PU5	6	7	9	6	7	7
ENC2Z	PD5	102	95	72	69	-	-	
	PU6	7	8	10	7	8	8	

表 3.9 信号接続一覧(9/9)

参照リファレンスマニュアル	兼用機能端子名	ポート名	M4KQ (LQFP144)	M4KP (LQFP128)	M4KN (QFP100)	M4KN (LQFP100)	M4KM (LQFP80)	M4KL (LQFP64)
製品個別情報 (トリガセクタ)	TRGIN0	PA2	27	20	20	17	15	10
	TRGIN1	PA3	28	21	21	18	16	11
	TRGIN2	PA4	29	22	22	19	17	12
デバッグインタフェース	TMS	PF0	144	1	3	100	-	-
	TCK	PF1	143	128	2	99	-	-
	TDO	PF2	142	127	1	98	-	-
	TDI	PF3	141	126	100	97	-	-
	TRST_N	PF4	140	125	99	96	-	-
	SWDIO	PF0	144	1	3	100	1	1
	SWCLK	PF1	143	128	2	99	80	64
デバッグインタフェース (トレース)	SWV	PF2	142	127	1	98	-	-
	TRACECLK	PF5	139	124	98	95	-	-
	TRACEDATA0	PF6	138	123	97	94	-	-
	TRACEDATA1	PF7	137	122	96	93	-	-
	TRACEDATA2	PN0	9	10	12	9	-	-
ノンブレイクデバッグ インタフェース	TRACEDATA3	PN1	10	11	13	10	-	-
	NBDSYNC	PF4	140	125	99	96	-	-
	NBDCLK	PF5	139	124	98	95	-	-
	NBDDATA0	PF6	138	123	97	94	-	-
	NBDDATA1	PF7	137	122	96	93	-	-
	NBDDATA2	PN0	9	10	12	9	-	-
クロック制御と動作モード	NBDDATA3	PN1	10	11	13	10	-	-
	X1	PH0	134	119	93	90	73	61
	EHCLKIN	PH0	134	119	93	90	73	61
フラッシュメモリ	X2	PH1	135	120	94	91	74	62
	BOOT_N	PG2	105	98	75	72	56	44

## 4. レジスタ説明

ポートを使用するには以下のレジスタを設定する必要があります。  
レジスタは全て 32 ビットですが、ポートのビット数、機能の割り当てにより構成が異なります。  
以下の説明では"x"はポート名、"n"はファンクション番号を示します。

レジスタ名		Type	設定値	説明
<b>[PxDATA]</b>	データレジスタ	R/W	0 または 1	ポートのデータ読み込み、データ書き込みを行います。
<b>[PxCR]</b>	出力コントロールレジスタ	R/W	0: 出力禁止 1: 出力許可	出力の制御を行います。
<b>[PxFRn]</b>	ファンクションレジスタ n	R/W	0: PORT 1: 機能	機能設定を行いません。 "1" をセットすることにより割り当てられている機能を使用できるようになります。ファンクションレジスタはポートに割り当てられている機能ごとに存在します。複数の機能が割り当てられている場合、1つの機能のみ有効になるように設定してください。
<b>[PxOD]</b>	オープンドレインコントロールレジスタ	R/W	0: CMOS 1: オープンドレイン	プログラマブルオープンドレインの制御を行います。 プログラマブルオープンドレインは、 <b>[PxOD]=1</b> の設定で、出力データが"1" の場合に出力バッファをディセーブルにし、擬似的にオープンドレインを実現する機能です。
<b>[PxPUP]</b>	プルアップコントロールレジスタ	R/W	0: プルアップ禁止 1: プルアップ許可	プログラマブルプルアップを制御します。
<b>[PxPDN]</b>	プルダウンコントロールレジスタ	R/W	0: プルダウン禁止 1: プルダウン許可	プログラマブルプルダウンを制御します。
<b>[PxIE]</b>	入力コントロールレジスタ	R/W	0: 入力禁止 1: 入力許可	入力の制御を行いません。 <b>[PxIE]</b> をイネーブルにしてから外部データが <b>[PxDATA]</b> に反映されるまで 100ns(最大)の時間が必要です。

## 4.1. レジスタ一覧

機能の存在しないビットをリードすると "0" が読めます。ライトは意味を持ちません。

表 4.1 ポートベースアドレス

周辺機能	チャンネル/ ユニット	ベースアドレス	
入出力ポート	PA	-	0x400E0000
	PB	-	0x400E0100
	PC	-	0x400E0200
	PD	-	0x400E0300
	PE	-	0x400E0400
	PF	-	0x400E0500
	PG	-	0x400E0600
	PH	-	0x400E0700
	PJ	-	0x400E0800
	PK	-	0x400E0900
	PL	-	0x400E0A00
	PM	-	0x400E0B00
	PN	-	0x400E0C00
	PP	-	0x400E0D00
	PR	-	0x400E0E00
	PT	-	0x400E0F00
	PU	-	0x400E1000
PV	-	0x400E1100	
PW	-	0x400E1200	

表 4.2 レジスタ一覧

レジスタ名	アドレス (Base+)	ポート A	ポート B	ポート C	ポート D	ポート E	ポート F
データレジスタ	0x0000	[PADATA]	[PBDATA]	[PCDATA]	[PDDATA]	[PEDATA]	[PFDATA]
出力コントロールレジスタ	0x0004	[PACR]	[PBCR]	[PCCR]	[PDCR]	[PECR]	[PFCR]
ファンクションレジスタ 1	0x0008	[PAFR1]	[PBFR1]	[PCFR1]	[PDFR1]	[PEFR1]	[PFFR1]
ファンクションレジスタ 2	0x000C	-	-	[PCFR2]	[PDFR2]	-	[PFFR2]
ファンクションレジスタ 3	0x0010	-	-	[PCFR3]	-	-	[PFFR3]
ファンクションレジスタ 4	0x0014	[PAFR4]	[PBFR4]	[PCFR4]	[PDFR54]	[PEFR4]	[PFFR4]
ファンクションレジスタ 5	0x0018	[PAFR5]	[PBFR5]	[PCFR5]	[PDFR5]	[PEFR5]	[PFFR5]
ファンクションレジスタ 6	0x001C	[PAFR6]	-	[PCFR6]	[PDFR6]	[PEFR6]	[PFFR6]
ファンクションレジスタ 7	0x0020	[PAFR7]	-	[PCFR7]	-	-	[PFFR7]
オープンドレインコントロールレジスタ	0x0028	[PAOD]	[PBOD]	[PCOD]	[PDOD]	[PEOD]	[PFOD]
ブルアップコントロールレジスタ	0x002C	[PAPUP]	[PBPUP]	[PCPUP]	[PDPUP]	[PEPUP]	[PFPUP]
ブルダウンコントロールレジスタ	0x0030	[PAPDN]	[PBDPN]	[PCPDN]	[PDPDN]	[PEPDN]	[PFPDN]
入力コントロールレジスタ	0x0038	[PAIE]	[PBIE]	[PCIE]	[PDIE]	[PEIE]	[PFIE]

レジスタ名	アドレス (Base+)	ポート G	ポート H	ポート J	ポート K	ポート L	ポート M
データレジスタ	0x0000	[PGDATA]	[PHDATA]	[PJDATA]	[PKDATA]	[PLDATA]	[PMDATA]
出力コントロールレジスタ	0x0004	[PGCR]	-	[PJCR]	[PKCR]	[PLCR]	[PMCR]
ファンクションレジスタ 1	0x0008	[PGFR1]	-	-	-	-	-
ファンクションレジスタ 2	0x000C	-	-	-	-	-	-
ファンクションレジスタ 3	0x0010	-	-	-	-	-	-
ファンクションレジスタ 4	0x0014	[PGFR4]	-	-	-	-	-
ファンクションレジスタ 5	0x0018	[PGFR5]	-	-	-	-	-
ファンクションレジスタ 6	0x001C	-	-	-	-	-	-
ファンクションレジスタ 7	0x0020	-	-	-	-	-	-
オープンドレインコントロールレジスタ	0x0028	[PGOD]	-	[PJOD]	[PKOD]	[PLOD]	[PMOD]
ブルアップコントロールレジスタ	0x002C	[PGPUP]	-	[PJPUP]	[PKPUP]	[PLPUP]	[PMPUP]
ブルダウンコントロールレジスタ	0x0030	[PGPDN]	[PHPDN]	[PJPDN]	[PKPDN]	[PLPDN]	[PMPDN]
入力コントロールレジスタ	0x0038	[PGIE]	[PHIE]	[PJIE]	[PKIE]	[PLIE]	[PMIE]

レジスタ名	アドレス (Base+)	ポート N	ポート P	ポート R	ポート T	ポート U	ポート V
データレジスタ	0x0000	[PNDATA]	[PPDATA]	[PRDATA]	[PTDATA]	[PUDATA]	[PVDATA]
出カコントロールレジスタ	0x0004	[PNCR]	[PPCR]	[PRCR]	[PTCR]	[PUCR]	[PVCR]
ファンクションレジスタ 1	0x0008	[PNFR1]	[PPFR1]	[PRFR1]	[PTFR1]	[PUFR1]	[PVFR1]
ファンクションレジスタ 2	0x000C	[PNFR2]	[PPFR2]	-	[PTFR2]	[PUFR2]	[PVFR2]
ファンクションレジスタ 3	0x0010	[PNFR3]	-	-	-	[PUFR3]	-
ファンクションレジスタ 4	0x0014	[PNFR4]	[PPFR4]	[PRFR4]	[PTFR4]	[PUFR4]	[PVFR4]
ファンクションレジスタ 5	0x0018	[PNFR5]	[PPFR5]	[PRFR5]	[PTFR5]	[PUFR5]	-
ファンクションレジスタ 6	0x001C	[PNFR6]	[PPFR6]	-	-	[PUFR6]	-
ファンクションレジスタ 7	0x0020	[PNFR7]	-	-	-	[PUFR7]	-
オーブドレインコントロールレジスタ	0x0028	[PNOD]	[PPOD]	[PROD]	[PTOD]	[PUOD]	[PVOD]
プルアップコントロールレジスタ	0x002C	[PNPUP]	[PPPUP]	[PRPUP]	[PTPUP]	[PUPUP]	[PVPUP]
プルダウンコントロールレジスタ	0x0030	[PNPDN]	[PPPDN]	[PRPDN]	[PTPDN]	[PUPDN]	[PVPDN]
入カコントロールレジスタ	0x0038	[PNIE]	[PPIE]	[PRIE]	[PTIE]	[PUIE]	[PVIE]

レジスタ名	アドレス (Base+)	ポート W
データレジスタ	0x0000	[PWDATA]
出カコントロールレジスタ	0x0004	[PWCR]
ファンクションレジスタ 1	0x0008	[PWFR1]
ファンクションレジスタ 2	0x000C	-
ファンクションレジスタ 3	0x0010	-
ファンクションレジスタ 4	0x0014	[PWFR4]
ファンクションレジスタ 5	0x0018	[PWFR5]
ファンクションレジスタ 6	0x001C	-
ファンクションレジスタ 7	0x0020	-
オーブドレインコントロールレジスタ	0x0028	[PWOD]
プルアップコントロールレジスタ	0x002C	[PWPUP]
プルダウンコントロールレジスタ	0x0030	[PWPDN]
入カコントロールレジスタ	0x0038	[PWIE]

注) "-" 表記のアドレスにはアクセスしないでください。

## 4.2. ポート機能とレジスタ設定

ポート機能レジスタ設定一覧の表の見方を説明します。

[PxFRn]の欄は、設定の必要なファンクションレジスタを示します。このレジスタを "1" に設定するとその機能が有効となります。(x はポート名、n はファンクション番号)

表中の"N/A"のビットはリードすると "0" が読め、ライトは意味を持ちません。

表中の "0"、"1" は設定値を示し、"0/1" は任意に設定可能であることを示します。

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ							
				[PADATA]	[PACR]	[PAFRn]	[PAOD]	[PAPUP]	[PAPDN]	[PAIE]	
PA0	リセット後			0	0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1	
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0	
	TSPIOCSIN	Input	FT1a	0/1	0	[PAFR1]	0/1	0/1	0/1	1	
	T32A00INB0	Input	FT1a	0/1	0	[PAFR4]	0/1	0/1	0/1	1	
PA4	リセット後			0	0	0	0	0	0	0	
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1	
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0	
	INT01a	Input	FT4a	0/1	0	0	0/1	0/1	0/1	1	
	TSPIOCSIN	Input	FT1a	0/1	0	[PAFR1]	0/1	0/1	0/1	1	
	Output Port	Output	FT1a	0/1	1	[PAFR1]	0/1	0/1	0/1	0	
	T32A00OUTB	Output	FT1a	0/1	1	[PAFR4]	0/1	0/1	0/1	0	
	TRGSEL15	Input	FT1a	0/1	0	[PAFR7]	0/1	0/1	0/1	1	

[PxFRn]	端子					
	TSPIOCSIN	T32A00INB0	TSPIOCSIN	T32A00OUTB	TRGIN2	Input Port Output Port
[PAFR1]<bit0>	1	0	0	0	0	0
[PAFR4]<bit0>	0	1	0	0	0	0
[PAFR1]<bit4>	0	0	1	0	0	0
[PAFR4]<bit4>	0	0	0	1	0	0
[PAFR7]<bit4>	0	0	0	0	1	0

### 4.2.1. 機能端子を使用する際の設定について

機能端子を周辺機能の出力端子として使用する際には、ファンクションレジスタを使用する周辺機能 ([PxFRn]<bit m>=1) に設定し、出力コントロールレジスタを出力許可 ([PxCR]<bit m>=1) に設定した後、周辺機能の設定をしてください。ファンクションレジスタの設定よりも先に出力許可すると、ファンクションレジスタが設定されるまで、ポートのデータレジスタ値が出力されます。

機能端子を周辺機能の入力端子として使用する際には、ポートの入力コントロールレジスタを入力 ([PxIE]<bit m>=1) に設定し、ファンクションレジスタを使用する周辺機能 ([PxFRn]<bit m>=1) に設定した後、周辺機能の設定をしてください。

また、PC など入出力端子となる周辺機能を使用する場合は、ポートの入力コントロールレジスタを入力 ([PxIE]<bit m>=1) に設定し、ファンクションレジスタを使用する周辺機能 ([PxFRn]<bit m>=1) に設定し、出力コントロールレジスタを出力許可 ([PxCR]<bit m>=1) に設定した後、周辺機能の設定をしてください。

- ・複数の機能が割り当てられているポートは、使用する機能の一つだけ選択してください。
- ・同一機能が複数ポートに割り当てられている端子は、排他的に使用してください。

## 4.2.2. PORT A

表 4.3 ポートA レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PADATA]	[PACR]	[PAFRn]	[PAOD]	[PAPUP]	[PAPDN]	[PAIE]
PA0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TSPI0CSIN	Input	FT1a	0/1	0	[PAFR1]	0/1	0/1	0/1	1
	T32A00INB0	Input	FT1a	0/1	0	[PAFR4]	0/1	0/1	0/1	1
PA1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT15	Input	FT4a	0/1	0	0	0/1	0/1	0/1	1
	TSPI0CS1	Output	FT1a	0/1	1	[PAFR1]	0/1	0/1	0/1	0
T32A00INB1	Input	FT1a	0/1	0	[PAFR4]	0/1	0/1	0/1	1	
PA2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT00	Input	FT4a	0/1	0	0	0/1	0/1	0/1	1
	TSPI0RXD	Input	FT1a	0/1	0	[PAFR1]	0/1	0/1	0/1	1
	T32A00INA0	Input	FT1a	0/1	0	[PAFR4]	0/1	0/1	0/1	1
	T32A00INC0	Input	FT1a	0/1	0	[PAFR5]	0/1	0/1	0/1	1
	PMD2DBG	Output	FT1a	0/1	1	[PAFR6]	0/1	0/1	0/1	0
TRGIN0	Input	FT1a	0/1	0	[PAFR7]	0/1	0/1	0/1	1	
PA3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT01b	Input	FT4a	0/1	0	0	0/1	0/1	0/1	1
	TSPI0TXD	Output	FT2a	0/1	1	[PAFR1]	0/1	0/1	0/1	0
	T32A00OUTA	Output	FT1a	0/1	1	[PAFR4]	0/1	0/1	0/1	0
	T32A00OUTC	Output	FT1a	0/1	1	[PAFR5]	0/1	0/1	0/1	0
	TRGIN1	Input	FT1a	0/1	0	[PAFR7]	0/1	0/1	0/1	1
PA4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT01a	Input	FT4a	0/1	0	0	0/1	0/1	0/1	1
	TSPI0SCK	Input	FT1a	0/1	0	[PAFR1]	0/1	0/1	0/1	1
		Output	FT1a	0/1	1		0/1	0/1	0/1	0
	T32A00OUTB	Output	FT1a	0/1	1	[PAFR4]	0/1	0/1	0/1	0
	TRGIN2	Input	FT1a	0/1	0	[PAFR7]	0/1	0/1	0/1	1



## 4.2.3. PORT B

表 4.4 ポートB レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PBDATA]	[PBCR]	[PBFRn]	[PBOD]	[PBPUP]	[PBPDN]	[PBIE]
PB0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UO0	Output	FT2a	0/1	1	[PBFR4]	0/1	0/1	0/1	0
PB1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	XO0	Output	FT2a	0/1	1	[PBFR4]	0/1	0/1	0/1	0
PB2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	VO0	Output	FT2a	0/1	1	[PBFR4]	0/1	0/1	0/1	0
PB3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	YO0	Output	FT2a	0/1	1	[PBFR4]	0/1	0/1	0/1	0
PB4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	WO0	Output	FT2a	0/1	1	[PBFR4]	0/1	0/1	0/1	0
PB5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	ZO0	Output	FT2a	0/1	1	[PBFR4]	0/1	0/1	0/1	0
PB6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	EMG0	Input	FT1a	0/1	0	[PBFR4]	0/1	0/1	0/1	1
PB7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	OVV0	Input	FT1a	0/1	0	[PBFR4]	0/1	0/1	0/1	1
	PMD0DBG	Output	FT1a	0/1	1	[PBFR5]	0/1	0/1	0/1	0

## 4.2.4. PORT C

表 4.5 ポートC レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PCDATA]	[PCCR]	[PCFRn]	[PCOD]	[PCPUP]	[PCPDN]	[PCIE]
PC0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT0TXDA	Output	FT1a	0/1	1	[PCFR1]	0/1	0/1	0/1	0
	UT0RXD	Input	FT1a	0/1	0	[PCFR2]	0/1	0/1	0/1	1
	I2C0SDA	Input/Output	FT1a	0/1	1	[PCFR4]	1	0/1	0/1	1
	T32A02INA0	Input	FT1a	0/1	0	[PCFR5]	0/1	0/1	0/1	1
T32A02INC0	Input	FT1a	0/1	0	[PCFR6]	0/1	0/1	0/1	1	
PC1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT02a	Input	FT4a	0/1	0	0	0/1	0/1	0/1	1
	UT0RXD	Input	FT1a	0/1	0	[PCFR1]	0/1	0/1	0/1	1
	UT0TXDA	Output	FT1a	0/1	1	[PCFR2]	0/1	0/1	0/1	0
	I2C0SCL	Input/Output	FT1a	0/1	1	[PCFR4]	1	0/1	0/1	1
	T32A02OUTA	Output	FT1a	0/1	1	[PCFR5]	0/1	0/1	0/1	0
T32A02OUTC	Output	FT1a	0/1	1	[PCFR6]	0/1	0/1	0/1	0	
PC2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT10	Input	FT4a	0/1	0	0	0/1	0/1	0/1	1
	TSPI0CS0	Output	FT1a	0/1	1	[PCFR3]	0/1	0/1	0/1	0
	T32A03OUTA	Output	FT1a	0/1	1	[PCFR5]	0/1	0/1	0/1	0
	T32A03OUTC	Output	FT1a	0/1	1	[PCFR6]	0/1	0/1	0/1	0
PMD0DBG	Output	FT1a	0/1	1	[PCFR7]	0/1	0/1	0/1	0	
PC3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT03a	Input	FT4a	0/1	0	0	0/1	0/1	0/1	1
	TSPI0RXD	Input	FT1a	0/1	0	[PCFR3]	0/1	0/1	0/1	1
	T32A03OUTB	Output	FT1a	0/1	1	[PCFR5]	0/1	0/1	0/1	0
PMD1DBG	Output	FT1a	0/1	1	[PCFR7]	0/1	0/1	0/1	0	
PC4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT1TXDA	Output	FT1a	0/1	1	[PCFR1]	0/1	0/1	0/1	0
	UT1RXD	Input	FT1a	0/1	0	[PCFR2]	0/1	0/1	0/1	1
TSPI0TXD	Output	FT2a	0/1	1	[PCFR3]	0/1	0/1	0/1	0	
PC5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT1RXD	Input	FT1a	0/1	0	[PCFR1]	0/1	0/1	0/1	0
	UT1TXDA	Output	FT1a	0/1	1	[PCFR2]	0/1	0/1	0/1	0
TSPI0SCK	Output	FT1a	0/1	1	[PCFR3]	0/1	0/1	0/1	0	
	Input	FT1a	0/1	0	[PCFR3]	0/1	0/1	0/1	1	
PC6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT02b	Output	FT4a	0/1	0	0	0/1	0/1	0/1	1
	TSPI0CS1	Output	FT1a	0/1	1	[PCFR3]	0/1	0/1	0/1	0
	T32A02INA1	Input	FT1a	0/1	0	[PCFR5]	0/1	0/1	0/1	1
T32A02INC1	Input	FT1a	0/1	0	[PCFR6]	0/1	0/1	0/1	1	

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PCDATA]	[PCCR]	[PCFRn]	[PCOD]	[PCPUP]	[PCPDN]	[PCIE]
PC7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TSPI0CSIN	Input	FT1a	0/1	0	[PCFR3]	0/1	0/1	0/1	1
	T32A02INB0	Input	FT1a	0/1	0	[PCFR5]	0/1	0/1	0/1	1

## 4.2.5. PORT D

表 4.6 ポートD レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PDDATA]	[PDCR]	[PDFRn]	[PDOD]	[PDPUP]	[PDPDN]	[PDIE]
PD0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT17b	Input	FT4a	0/1	0	0	0/1	0/1	0/1	1
	T32A02INB1	Input	FT1a	0/1	0	[PDFR4]	0/1	0/1	0/1	1
PD1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT17a	Input	FT4a	0/1	0	0	0/1	0/1	0/1	1
	T32A02OUTB	Output	FT1a	0/1	1	[PDFR4]	0/1	0/1	0/1	0
PD2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT03b	Input	FT4a	0/1	0	0	0/1	0/1	0/1	1
	UT0CTS_N	Input	FT1a	0/1	0	[PDFR1]	0/1	0/1	0/1	1
	T32A03INA0	Input	FT1a	0/1	0	[PDFR4]	0/1	0/1	0/1	1
	T32A03INC0	Input	FT1a	0/1	0	[PDFR5]	0/1	0/1	0/1	1
PD3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT0RTS_N	Output	FT1a	0/1	1	[PDFR1]	0/1	0/1	0/1	0
	I2C1SDA	Input/Output	FT1a	0/1	1	[PDFR2]	1	0/1	0/1	1
	T32A03INA1	Input	FT1a	0/1	0	[PDFR4]	0/1	0/1	0/1	1
	T32A03INC1	Input	FT1a	0/1	0	[PDFR5]	0/1	0/1	0/1	1
	ENC2A	Input	FT1a	0/1	0	[PDFR6]	0/1	0/1	0/1	1
PD4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT18b	Input	FT4a	0/1	0	0	0/1	0/1	0/1	1
	I2C1SCL	Input/Output	FT1a	0/1	1	[PDFR2]	1	0/1	0/1	1
	T32A03INB0	Input	FT1a	0/1	0	[PDFR4]	0/1	0/1	0/1	1
	ENC2B	Input	FT1a	0/1	0	[PDFR6]	0/1	0/1	0/1	1
PD5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT18a	Input	FT4a	0/1	0	0	0/1	0/1	0/1	1
	T32A03INB1	Input	FT1a	0/1	0	[PDFR4]	0/1	0/1	0/1	1
	ENC2Z	Input	FT1a	0/1	0	[PDFR6]	0/1	0/1	0/1	1

## 4.2.6. PORT E

表 4.7 ポートE レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PEDATA]	[PECR]	[PEFRn]	[PEOD]	[PEPUP]	[PEPDN]	[PEIE]
PE0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	CANTX	Output	FT1a	0/1	1	[PEFR1]	0/1	0/1	0/1	0
	UO1	Output	FT2a	0/1	1	[PEFR6]	0/1	0/1	0/1	0
PE1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT04b	Input	FT4a	0/1	0	0	0/1	0/1	0/1	1
	CANRX	Input	FT1a	0/1	0	[PEFR1]	0/1	0/1	0/1	1
	T32A03INA0	Input	FT1a	0/1	0	[PEFR4]	0/1	0/1	0/1	1
	T32A03INC0	Input	FT1a	0/1	0	[PEFR5]	0/1	0/1	0/1	1
	XO1	Output	FT2a	0/1	1	[PEFR6]	0/1	0/1	0/1	0
PE2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A03OUTA	Output	FT1a	0/1	1	[PEFR4]	0/1	0/1	0/1	0
	T32A03OUTC	Output	FT1a	0/1	1	[PEFR5]	0/1	0/1	0/1	0
PE3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT04a	Input	FT4a	0/1	0	0	0/1	0/1	0/1	1
	T32A03INA1	Input	FT1a	0/1	0	[PEFR4]	0/1	0/1	0/1	1
	T32A03INC1	Input	FT1a	0/1	0	[PEFR5]	0/1	0/1	0/1	1
PE4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT11a	Input	FT4a	0/1	0	0	0/1	0/1	0/1	1
	T32A03INB0	Input	FT1a	0/1	0	[PEFR4]	0/1	0/1	0/1	1
PE5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT05a	Input	FT4a	0/1	0	0	0/1	0/1	0/1	1
	INT11b	Input	FT4a	0/1	0	0	0/1	0/1	0/1	1
	T32A03INB1	Input	FT1a	0/1	0	[PEFR4]	0/1	0/1	0/1	1
PE6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT05b	Input	FT4a	0/1	0	0	0/1	0/1	0/1	1
	T32A03OUTB	Output	FT1a	0/1	1	[PEFR4]	0/1	0/1	0/1	0
PE7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	OVV1	Input	FT1a	0/1	0	[PEFR6]	0/1	0/1	0/1	1
	PMD1DBG	Output	FT1a	0/1	1	[PEFR7]	0/1	0/1	0/1	0

## 4.2.7. PORT F

表 4.8 ポートF レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PFDATA]	[PFCR]	[PFFRn]	[PFOD]	[PFPUP]	[PFPDN]	[PFIE]
PF0	リセット後 (TMS/SWDIO)		FT2a	0	1(注)	[PFFR7]	0	1	0	1
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT2TXDA	Output	FT1a	0/1	1	[PFFR1]	0/1	0/1	0/1	0
	UT2RXD	Input	FT1a	0/1	0	[PFFR2]	0/1	0/1	0/1	1
	T32A05INA0	Input	FT1a	0/1	0	[PFFR4]	0/1	0/1	0/1	1
T32A05INC0	Input	FT1a	0/1	0	[PFFR5]	0/1	0/1	0/1	1	
PF1	リセット後 (TCK/SWCLK)		FT2a	0	0	[PFFR7]	0	0	1	1
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT06a	Input	FT4a	0/1	0	0	0/1	0/1	0/1	1
	UT2RXD	Input	FT1a	0/1	0	[PFFR1]	0/1	0/1	0/1	1
	UT2TXDA	Output	FT1a	0/1	1	[PFFR2]	0/1	0/1	0/1	0
	T32A05OUTA	Output	FT1a	0/1	1	[PFFR4]	0/1	0/1	0/1	0
	T32A05OUTC	Output	FT1a	0/1	1	[PFFR5]	0/1	0/1	0/1	0
PF2	リセット後 (TDO/SWV)		FT2a	0	1(注)	[PFFR7]	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT06b	Input	FT4a	0/1	0	0	0/1	0/1	0/1	1
	T32A05INA1	Input	FT1a	0/1	0	[PFFR4]	0/1	0/1	0/1	1
	T32A05INC1	Input	FT1a	0/1	0	[PFFR5]	0/1	0/1	0/1	1
PF3	リセット後 (TDI)		FT2a	0	0	[PFFR7]	0	1	0	1
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT3TXDA	Output	FT1a	0/1	1	[PFFR1]	0/1	0/1	0/1	0
	UT3RXD	Input	FT1a	0/1	0	[PFFR2]	0/1	0/1	0/1	1
	T32A01INA0	Input	FT1a	0/1	0	[PFFR4]	0/1	0/1	0/1	1
	T32A01INC0	Input	FT1a	0/1	0	[PFFR5]	0/1	0/1	0/1	1
	ENC1A	Input	FT1a	0/1	0	[PFFR6]	0/1	0/1	0/1	1
PF4	リセット後 (TRST_N)		FT3a	0	0	[PFFR7]	0	1	0	1
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT14a	Input	FT4a	0/1	0	0	0/1	0/1	0/1	1
	UT3RXD	Input	FT1a	0/1	0	[PFFR1]	0/1	0/1	0/1	1
	UT3TXDA	Output	FT1a	0/1	1	[PFFR2]	0/1	0/1	0/1	0
	NBDSYNC	Input	FT2c	0/1	0	[PFFR3]	0/1	0/1	0/1	1
	T32A01OUTA	Output	FT1a	0/1	1	[PFFR4]	0/1	0/1	0/1	0
	T32A01OUTC	Output	FT1a	0/1	1	[PFFR5]	0/1	0/1	0/1	0
	ENC1B	Input	FT1a	0/1	0	[PFFR6]	0/1	0/1	0/1	1
PF5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT14b	Input	FT4a	0/1	0	0	0/1	0/1	0/1	1
	NBDCLK	Input	FT2c	0/1	0	[PFFR3]	0/1	0/1	0/1	1
	T32A01INA1	Input	FT1a	0/1	0	[PFFR4]	0/1	0/1	0/1	1
	T32A01INC1	Input	FT1a	0/1	0	[PFFR5]	0/1	0/1	0/1	1
	ENC1Z	Input	FT1a	0/1	0	[PFFR6]	0/1	0/1	0/1	1
	TRACECLK	Output	FT1a	0/1	1	[PFFR7]	0/1	0/1	0/1	0

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PFDATA]	[PFCR]	[PFFRn]	[PFOD]	[PFPUP]	[PFPDN]	[PFIE]
PF6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT3TXDA	Output	FT1a	0/1	1	[PFFR1]	0/1	0/1	0/1	0
	UT3RXD	Input	FT1a	0/1	0	[PFFR2]	0/1	0/1	0/1	1
	NBDDATA0	Input/Output	FT2c	0/1	1	[PFFR3]	0/1	0/1	0/1	1
	T32A01INB0	Input	FT1a	0/1	0	[PFFR4]	0/1	0/1	0/1	1
TRACEDATA0	Output	FT1a	0/1	1	[PFFR7]	0/1	0/1	0/1	0	
PF7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT3RXD	Input	FT1a	0/1	0	[PFFR1]	0/1	0/1	0/1	1
	UT3TXDA	Output	FT1a	0/1	1	[PFFR2]	0/1	0/1	0/1	0
	NBDDATA1	Input/Output	FT2c	0/1	1	[PFFR3]	0/1	0/1	0/1	1
	T32A01INB1	Input	FT1a	0/1	0	[PFFR4]	0/1	0/1	0/1	1
TRACEDATA1	Output	FT1a	0/1	1	[PFFR7]	0/1	0/1	0/1	0	

注) ツールからのコマンドを受け付けるまでは出力にはなりません。

## 4.2.8. PORT G

表 4.9 ポートG レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PGDATA]	[PGCR]	[PGFRn]	[PGOD]	[PGPUP]	[PGPDN]	[PGIE]
PG0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A04INA0	Input	FT1a	0/1	0	[PGFR4]	0/1	0/1	0/1	1
	T32A04INC0	Input	FT1a	0/1	0	[PGFR5]	0/1	0/1	0/1	1
PG1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TSPI1CS1	Output	FT1a	0/1	1	[PGFR1]	0/1	0/1	0/1	0
	T32A04INA1	Input	FT1a	0/1	0	[PGFR4]	0/1	0/1	0/1	1
T32A04INC1	Input	FT1a	0/1	0	[PGFR5]	0/1	0/1	0/1	1	
PG2	リセット中 (BOOT_N)	Input	FT16a	0	0	0	0	1(注 1)	0	1(注 1)
	リセット後			0	0	0	0	0	0	0(注 2)
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0(注 2)
	TSPI1CS0	Output	FT1a	0/1	1	[PGFR1]	0/1	0/1	0/1	0(注 2)
	T32A04OUTA	Output	FT1a	0/1	1	[PGFR4]	0/1	0/1	0/1	0(注 2)
	T32A04OUTC	Output	FT1a	0/1	1	[PGFR5]	0/1	0/1	0/1	0(注 2)
PG3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT21	Input	FT4a	0/1	0	0	0/1	0/1	0/1	1
	TSPI1CSIN	Input	FT1a	0/1	0	[PGFR1]	0/1	0/1	0/1	1
T32A04OUTB	Output	FT1a	0/1	1	[PGFR4]	0/1	0/1	0/1	0	
PG4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TSPI1RXD	Input	FT1a	0/1	0	[PGFR1]	0/1	0/1	0/1	1
T32A04INB0	Input	FT1a	0/1	0	[PGFR4]	0/1	0/1	0/1	1	
PG5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TSPI1TXD	Output	FT2a	0/1	1	[PGFR1]	0/1	0/1	0/1	0
T32A04INB1	Input	FT1a	0/1	0	[PGFR4]	0/1	0/1	0/1	1	
PG6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TSPI1SCK	Input	FT1a	0/1	0	[PGFR1]	0/1	0/1	0/1	1
	Output	FT1a	0/1	1		0/1	0/1	0/1	0	

注 1) リセット端子(RESET\_N)によるリセット期間中は[PGPUP]は許可状態("1")で、BOOT\_N 信号が入力可能となります。

注 2) [PGIE]に"1"を設定しないでください。



## 4.2.9. PORT H

表 4.10 ポートH レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PHDATA]	[PHCR]	[PHFRn]	[PHOD]	[PHPUP]	[PHPDN]	[PHIE]
PH0	リセット後			0	N/A	N/A	N/A	N/A	0	0
	Input Port	Input		0/1	N/A	N/A	N/A	N/A	0/1	1
	X1	Input	FT11a	0/1	N/A	N/A	N/A	N/A	0	0
	EHCLKIN	input	FT11a	0/1	N/A	N/A	N/A	N/A	0/1	1
PH1	リセット後			0	N/A	N/A	N/A	N/A	0	0
	Input Port	Input		0/1	N/A	N/A	N/A	N/A	0/1	1
	X2	Output	FT11a	0/1	N/A	N/A	N/A	N/A	0	0

## 4.2.10. PORT J

表 4.11 ポートJ レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PJDATA]	[PJCR]	[PJFRn]	[PJOD]	[PJPUP]	[PJPDN]	[PJIE]
PJ0	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINC00	Input	FT5a	0/1	0	N/A	0/1	0	0	0
PJ1	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINC01	Input	FT5a	0/1	0	N/A	0/1	0	0	0
PJ2	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINC02	Input	FT5a	0/1	0	N/A	0/1	0	0	0
PJ3	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINC03	Input	FT5a	0/1	0	N/A	0/1	0	0	0
PJ4	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINC04	Input	FT5a	0/1	0	N/A	0/1	0	0	0
PJ5	リセット後	Input		0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINC05	Input	FT5a	0/1	0	N/A	0/1	0	0	0
PJ6	リセット後	Input		0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINC06	Input	FT5a	0/1	0	N/A	0/1	0	0	0
PJ7	リセット後	Input		0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINC07	Input	FT5a	0/1	0	N/A	0/1	0	0	0

注) アナログ入力(AINCx)として使用する場合、[PJCR]は出力禁止"0"、[PJIE]は入力禁止"0"、[PJPUP]はプルアップ禁止"0"、[PJPDN]はプルダウン禁止"0"にしてください。

## 4.2.11. PORT K

表 4.12 ポートK レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PKDATA]	[PKCR]	[PKFRn]	[PKOD]	[PKPUP]	[PKPDN]	[PKIE]
PK0	リセット後	Input		0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINB00	Input	FT5a	0/1	0	N/A	0/1	0	0	0
PK1	リセット後	Input		0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINB01	Input	FT5a	0/1	0	N/A	0/1	0	0	0
PK2	リセット後	Input		0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINB02	Input	FT5a	0/1	0	N/A	0/1	0	0	0
PK3	リセット後	Input		0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINB03	Input	FT5a	0/1	0	N/A	0/1	0	0	0
PK4	リセット後	Input		0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINB04	Input	FT5a	0/1	0	N/A	0/1	0	0	0
PK5	リセット後	Input		0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINB05	Input	FT5a	0/1	0	N/A	0/1	0	0	0
PK6	リセット後	Input		0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINB06	Input	FT5a	0/1	0	N/A	0/1	0	0	0
PK7	リセット後	Input		0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINB07	Input	FT5a	0/1	0	N/A	0/1	0	0	0

注) アナログ入力(AINBx)として使用する場合、[PKCR]は出力禁止"0"、[PKIE]は入力禁止"0"、[PKPUP]はプルアップ禁止"0"、[PKPDN]はプルダウン禁止"0"にしてください。

## 4.2.12. PORT L

表 4.13 ポートL レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PLDATA]	[PLCR]	[PLFRn]	[PLOD]	[PLPUP]	[PLPDN]	[PLIE]
PL0	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA16	Input	FT5a	0/1	0	N/A	0/1	0	0	0
PL1	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA15	Input	FT5a	0/1	0	N/A	0/1	0	0	0
PL2	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA17	Input	FT5a	0/1	0	N/A	0/1	0	0	0
PL3	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA14	Input	FT5a	0/1	0	N/A	0/1	0	0	0
PL4	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA18	Input	FT5a	0/1	0	N/A	0/1	0	0	0
PL5	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA13	Input	FT5a	0/1	0	N/A	0/1	0	0	0
PL6	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA09	Input	FT5a	0/1	0	N/A	0/1	0	0	0
PL7	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA08	Input	FT5a	0/1	0	N/A	0/1	0	0	0

注) アナログ入力(AINAx)として使用する場合、[PLCR]は出力禁止"0"、[PLIE]は入力禁止"0"、[PLPUP]はプルアップ禁止"0"、[PLPDN]はプルダウン禁止"0"にしてください。

## 4.2.13. PORT M

表 4.14 ポートM レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PMDATA]	[PMCR]	[PMFRn]	[PMOD]	[PMPUP]	[PMPDN]	[PMIE]
PM0	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA07	Input	FT5a	0/1	0	N/A	0/1	0	0	0
PM1	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA06	Input	FT5a	0/1	0	N/A	0/1	0	0	0
PM2	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA05	Input	FT5a	0/1	0	N/A	0/1	0	0	0
PM3	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA04	Input	FT5a	0/1	0	N/A	0/1	0	0	0
PM4	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA03	Input	FT5a	0/1	0	N/A	0/1	0	0	0
PM5	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA02	Input	FT5a	0/1	0	N/A	0/1	0	0	0
PM6	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA01	Input	FT5a	0/1	0	N/A	0/1	0	0	0
PM7	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA00	Input	FT5a	0/1	0	N/A	0/1	0	0	0

注) アナログ入力(AINAx)として使用する場合、[PMCR]は出力禁止"0"、[PMIE]は入力禁止"0"、[PMPUP]はプルアップ禁止"0"、[PMPDN]はプルダウン禁止"0"にしてください。

## 4.2.14. PORT N

表 4.15 ポートN レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PNDATA]	[PNCR]	[PNFRn]	[PNOD]	[PNPUP]	[PNPDN]	[PNIE]
PN0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT0TXDA	Output	FT1a	0/1	1	[PNFR1]	0/1	0/1	0/1	0
	UT0RXD	Input	FT1a	0/1	0	[PNFR2]	0/1	0/1	0/1	1
	NBDDATA2	Input/Output	FT2c	0/1	1	[PNFR3]	0/1	0/1	0/1	1
	T32A05INA0	Input	FT1a	0/1	0	[PNFR4]	0/1	0/1	0/1	1
	T32A05INC0	Input	FT1a	0/1	0	[PNFR5]	0/1	0/1	0/1	1
	ENC0A	Input	FT1a	0/1	0	[PNFR6]	0/1	0/1	0/1	1
TRACEDATA2	Output	FT1a	0/1	1	[PNFR7]	0/1	0/1	0/1	0	
PN1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT16a	Input	FT4a	0/1	0	0	0/1	0/1	0/1	1
	UT0RXD	Input	FT1a	0/1	0	[PNFR1]	0/1	0/1	0/1	1
	UT0TXDA	Output	FT1a	0/1	1	[PNFR2]	0/1	0/1	0/1	0
	NBDDATA3	Input/Output	FT2c	0/1	1	[PNFR3]	0/1	0/1	0/1	1
	T32A05OUTA	Output	FT1a	0/1	1	[PNFR4]	0/1	0/1	0/1	0
	T32A05OUTC	Output	FT1a	0/1	1	[PNFR5]	0/1	0/1	0/1	0
ENC0B	Input	FT1a	0/1	0	[PNFR6]	0/1	0/1	0/1	1	
TRACEDATA3	Output	FT1a	0/1	1	[PNFR7]	0/1	0/1	0/1	0	
PN2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT16b	Input	FT4a	0/1	0	0	0/1	0/1	0/1	1
	UT0CTS_N	Input	FT1a	0/1	0	[PNFR1]	0/1	0/1	0/1	1
	T32A05INA1	Input	FT1a	0/1	0	[PNFR4]	0/1	0/1	0/1	1
	T32A05INC1	Input	FT1a	0/1	0	[PNFR5]	0/1	0/1	0/1	1
	ENC0Z	Input	FT1a	0/1	0	[PNFR6]	0/1	0/1	0/1	1

## 4.2.15. PORT P

表 4.16 ポートP レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PPDATA]	[PPCR]	[PPFRn]	[PPOD]	[PPPUP]	[PPPDN]	[PPIE]
PP0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A05INB0	Input	FT1a	0/1	0	[PPFR4]	0/1	0/1	0/1	1
PP1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT19a	Input	FT4a	0/1	0	0	0/1	0/1	0/1	1
T32A05INB1	Input	FT1a	0/1	0	[PPFR4]	0/1	0/1	0/1	1	
PP2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT19b	Input	FT4a	0/1	0	0	0/1	0/1	0/1	1
T32A05OUTB	Output	FT1a	0/1	1	[PPFR4]	0/1	0/1	0/1	0	
PP3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A01INA0	Input	FT1a	0/1	0	[PPFR4]	0/1	0/1	0/1	1
	T32A01INC0	Input	FT1a	0/1	0	[PPFR5]	0/1	0/1	0/1	1
ENC0A	Input	FT1a	0/1	0	[PPFR6]	0/1	0/1	0/1	1	
PP4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A01OUTA	Output	FT1a	0/1	1	[PPFR4]	0/1	0/1	0/1	0
	T32A01OUTC	Output	FT1a	0/1	1	[PPFR5]	0/1	0/1	0/1	0
ENC0B	Input	FT1a	0/1	0	[PPFR6]	0/1	0/1	0/1	1	
PP5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A01INA1	Input	FT1a	0/1	0	[PPFR4]	0/1	0/1	0/1	1
	T32A01INC1	Input	FT1a	0/1	0	[PPFR5]	0/1	0/1	0/1	1
ENC0Z	Input	FT1a	0/1	0	[PPFR6]	0/1	0/1	0/1	1	
PP6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT3RTS_N	Output	FT1a	0/1	1	[PPFR1]	0/1	0/1	0/1	0
TSP11CS0	Output	FT1a	0/1	1	[PPFR2]	0/1	0/1	0/1	0	
PP7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT3CTS_N	Input	FT1a	0/1	0	[PPFR1]	0/1	0/1	0/1	1
TSP11CS1	Output	FT1a	0/1	1	[PPFR2]	0/1	0/1	0/1	0	

## 4.2.16. PORT R

表 4.17 ポートR レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PRDATA]	[PRCR]	[PRFRn]	[PROD]	[PRPUP]	[PRPDN]	[PRIE]
PR0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A05INB0	Input	FT1a	0/1	0	[PRFR4]	0/1	0/1	0/1	1
PR1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A05INB1	Input	FT1a	0/1	0	[PRFR4]	0/1	0/1	0/1	1
PR2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A05OUTB	Output	FT1a	0/1	1	[PRFR4]	0/1	0/1	0/1	0
PR3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT2RTS_N	Output	FT1a	0/1	1	[PRFR1]	0/1	0/1	0/1	0
ENC1A	Input	FT1a	0/1	0	[PRFR5]	0/1	0/1	0/1	1	
PR4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT2CTS_N	Input	FT1a	0/1	0	[PRFR1]	0/1	0/1	0/1	1
ENC1B	Input	FT1a	0/1	0	[PRFR5]	0/1	0/1	0/1	1	
PR5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A01INB0	Input	FT1a	0/1	0	[PRFR4]	0/1	0/1	0/1	1
ENC1Z	Input	FT1a	0/1	0	[PRFR5]	0/1	0/1	0/1	1	
PR6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A01INB1	Input	FT1a	0/1	0	[PRFR4]	0/1	0/1	0/1	1
PR7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A01OUTB	Output	FT1a	0/1	1	[PRFR4]	0/1	0/1	0/1	0



## 4.2.17. PORT T

表 4.18 ポートT レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PTDATA]	[PTCR]	[PTFRn]	[PTOD]	[PTPUP]	[PTPDN]	[PTIE]
PT0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	I2C0SDA	Input/Output	FT1a	0/1	1	[PTFR2]	1	0/1	0/1	1
	T32A00INA0	Input	FT1a	0/1	0	[PTFR4]	0/1	0/1	0/1	1
T32A00INC0	Input	FT1a	0/1	0	[PTFR5]	0/1	0/1	0/1	1	
PT1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	I2C0SCL	Input/Output	FT1a	0/1	1	[PTFR2]	1	0/1	0/1	1
	T32A00OUTA	Output	FT1a	0/1	1	[PTFR4]	0/1	0/1	0/1	0
T32A00OUTC	Output	FT1a	0/1	1	[PTFR5]	0/1	0/1	0/1	0	
PT2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A00INA1	Input	FT1a	0/1	0	[PTFR4]	0/1	0/1	0/1	1
T32A00INC1	Input	FT1a	0/1	0	[PTFR5]	0/1	0/1	0/1	1	
PT3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A00INB0	Input	FT1a	0/1	0	[PTFR4]	0/1	0/1	0/1	1
PT4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A00INB1	Input	FT1a	0/1	0	[PTFR4]	0/1	0/1	0/1	1
PT5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A00OUTB	Output	FT1a	0/1	1	[PTFR4]	0/1	0/1	0/1	0
PT6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT2RTS_N	Output	FT1a	0/1	1	[PTFR1]	0/1	0/1	0/1	0
PT7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT2CTS_N	Input	FT1a	0/1	0	[PTFR1]	0/1	0/1	0/1	1

## 4.2.18. PORT U

表 4.19 ポートU レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PUDATA]	[PUCR]	[PUFRn]	[PUOD]	[PUPUP]	[PUPDN]	[PUIE]
PU0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT12	Input	FT4a	0/1	0	0	0/1	0/1	0/1	1
	UT2TXDA	Output	FT1a	0/1	1	[PUFR1]	0/1	0/1	0/1	0
	UT2RXD	Input	FT1a	0/1	0	[PUFR2]	0/1	0/1	0/1	1
	I2C1SDA	Input/ Output	FT1a	0/1	1	[PUFR3]	1	0/1	0/1	1
	T32A02INB1	Input	FT1a	0/1	0	[PUFR4]	0/1	0/1	0/1	1
UO2	Output	FT2a	0/1	1	[PUFR6]	0/1	0/1	0/1	0	
PU1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT07a	Input	FT4a	0/1	0	0	0/1	0/1	0/1	1
	UT2RXD	Input	FT1a	0/1	0	[PUFR1]	0/1	0/1	0/1	1
	UT2TXDA	Output	FT1a	0/1	1	[PUFR2]	0/1	0/1	0/1	0
	I2C1SCL	Input/ Output	FT1a	0/1	1	[PUFR3]	1	0/1	0/1	1
	T32A02INA0	Input	FT1a	0/1	0	[PUFR4]	0/1	0/1	0/1	1
	T32A02INC0	Input	FT1a	0/1	0	[PUFR5]	0/1	0/1	0/1	1
	XO2	Output	FT2a	0/1	1	[PUFR6]	0/1	0/1	0/1	0
PU2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT07b	Input	FT4a	0/1	0	0	0/1	0/1	0/1	1
	T32A02OUTA	Output	FT1a	0/1	1	[PUFR4]	0/1	0/1	0/1	0
	T32A02OUTC	Output	FT1a	0/1	1	[PUFR5]	0/1	0/1	0/1	0
	VO2	Output	FT2a	0/1	1	[PUFR6]	0/1	0/1	0/1	0
PU3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT08a	Input	FT4a	0/1	0	0	0/1	0/1	0/1	1
	UT1RTS_N	Output	FT1a	0/1	1	[PUFR1]	0/1	0/1	0/1	0
	T32A02INB0	Input	FT1a	0/1	0	[PUFR4]	0/1	0/1	0/1	1
	ENC2A	Input	FT1a	0/1	0	[PUFR5]	0/1	0/1	0/1	1
	YO2	Output	FT2a	0/1	1	[PUFR6]	0/1	0/1	0/1	0
PU4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT08b	Input	FT4a	0/1	0	0	0/1	0/1	0/1	1
	UT1CTS_N	Input	FT1a	0/1	0	[PUFR1]	0/1	0/1	0/1	1
	T32A02OUTB	Output	FT1a	0/1	1	[PUFR4]	0/1	0/1	0/1	0
	T32A02INC1	Input	FT1a	0/1	0	[PUFR5]	0/1	0/1	0/1	1
	WO2	Output	FT2a	0/1	1	[PUFR6]	0/1	0/1	0/1	0
PU5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT13	Input	FT4a	0/1	0	0	0/1	0/1	0/1	1
	UT1TXDA	Output	FT1a	0/1	1	[PUFR1]	0/1	0/1	0/1	0
	UT1RXD	Input	FT1a	0/1	0	[PUFR2]	0/1	0/1	0/1	1
	T32A02INA1	Input	FT1a	0/1	0	[PUFR4]	0/1	0/1	0/1	1
	ENC2B	Input	FT1a	0/1	0	[PUFR5]	0/1	0/1	0/1	1
	ZO2	Output	FT2a	0/1	1	[PUFR6]	0/1	0/1	0/1	0

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PUDATA]	[PUCR]	[PUFRn]	[PUOD]	[PUPUP]	[PUPDN]	[PUIE]
PU6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT09	Input	FT4a	0/1	0	0	0/1	0/1	0/1	1
	UX1RXD	Input	FT1a	0/1	0	[PUFR1]	0/1	0/1	0/1	1
	UT1TXDA	Output	FT1a	0/1	1	[PUFR2]	0/1	0/1	0/1	0
	ENC2Z	Input	FT1a	0/1	0	[PUFR5]	0/1	0/1	0/1	1
EMG2	Input	FT1a	0/1	0	[PUFR6]	0/1	0/1	0/1	1	
PU7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	OVV2	Input	FT1a	0/1	0	[PUFR6]	0/1	0/1	0/1	1
PMD2DBG	Output	FT1a	0/1	1	[PUFR7]	0/1	0/1	0/1	0	

## 4.2.19. PORT V

表 4.20 ポートV レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PVDATA]	[PVCR]	[PVFRn]	[PVOD]	[PVPUP]	[PVPDN]	[PVIE]
PV0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TSP11CSIN	Input	FT1a	0/1	0	[PVFR2]	0/1	0/1	0/1	1
	T32A01OUB	Output	FT1a	0/1	1	[PVFR4]	0/1	0/1	0/1	0
PV1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT0RTS_N	Output	FT1a	0/1	1	[PVFR1]	0/1	0/1	0/1	0
	TSP11RXD	Input	FT1a	0/1	0	[PVFR2]	0/1	0/1	0/1	1
PV2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT1RTS_N	Output	FT1a	0/1	1	[PVFR1]	0/1	0/1	0/1	0
	TSP11TXD	Output	FT2a	0/1	1	[PVFR2]	0/1	0/1	0/1	0
PV3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT1CTS_N	Input	FT1a	0/1	0	[PVFR1]	0/1	0/1	0/1	1
	TSP11SCK	Input	FT1a	0/1	0	[PVFR2]	0/1	0/1	0/1	1
	Output	FT1a	0/1	1		0/1	0/1	0/1	0	

## 4.2.20. PORT W

表 4.21 ポートW レジスタ設定

PORT	リセット状態	Input/Output	PORT Type	制御レジスタ						
				[PWDATA]	[PWCR]	[PWFRn]	[PWOD]	[PWPUP]	[PWPDN]	[PWIE]
PW0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A04INA0	Input	FT1a	0/1	0	[PWFR4]	0/1	0/1	0/1	1
	T32A04INC0	Input	FT1a	0/1	0	[PWFR5]	0/1	0/1	0/1	1
PW1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A04OUTA	Output	FT1a	0/1	1	[PWFR4]	0/1	0/1	0/1	0
	T32A04OUTC	Output	FT1a	0/1	1	[PWFR5]	0/1	0/1	0/1	0
PW2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A04INA1	Input	FT1a	0/1	0	[PWFR4]	0/1	0/1	0/1	1
	T32A04INC1	Input	FT1a	0/1	0	[PWFR5]	0/1	0/1	0/1	1
PW3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT20b	Input	FT4a	0/1	0	0	0/1	0/1	0/1	1
	T32A04INB0	Input	FT1a	0/1	0	[PWFR4]	0/1	0/1	0/1	1
PW4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT20a	Input	FT4a	0/1	0	0	0/1	0/1	0/1	1
	T32A04INB1	Input	FT1a	0/1	0	[PWFR4]	0/1	0/1	0/1	1
PW5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A04OUTB	Output	FT4a	0/1	1	[PWFR4]	0/1	0/1	0/1	0
PW6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT3RTS_N	Output	FT1a	0/1	1	[PWFR1]	0/1	0/1	0/1	0
PW7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT3CTS_N	Input	FT1a	0/1	0	[PWFR1]	0/1	0/1	0/1	1

## 5. ポート回路図

ポートには、FT1a～FT5a、FT11a、FT16a のタイプがあります。それぞれの回路図を次ページから示します。図中の点線は、データシートの「等価回路図」で記されている等価回路の範囲を示します。

回路図内の"I/O リセット"は、パワーオンリセット(POR)または端子リセット(RESET\_N)を示します。ただし、デバッグ用端子(TMS/SWDIO.TDI,TDO/SWV,TCK/SWCLK,TRST\_N)のIOリセットは、パワーオンリセット(POR)のみとなります。

## 5.1. タイプ FT1a

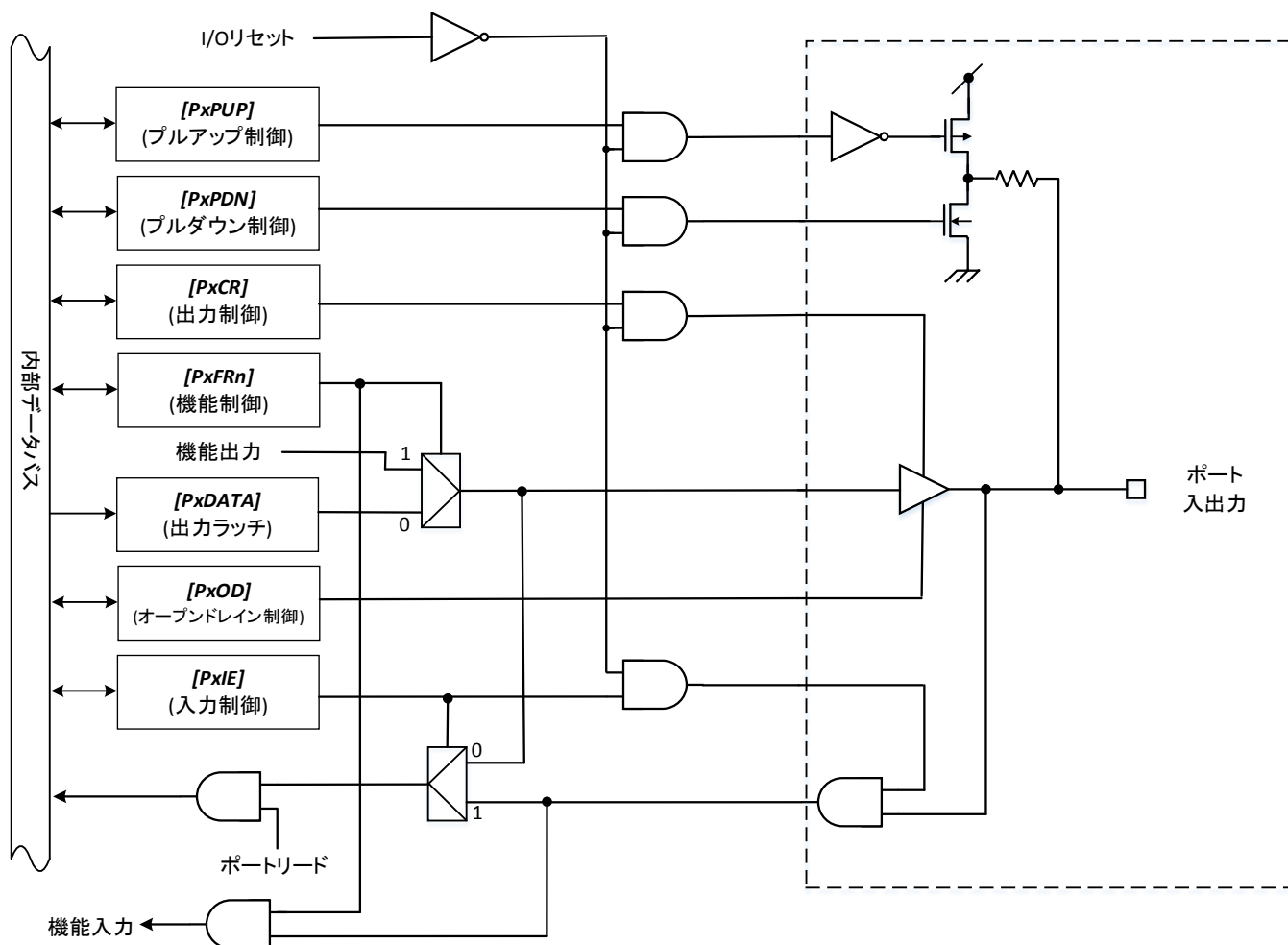


図 5.1 ポートタイプFT1a

## 5.2. タイプ FT2a

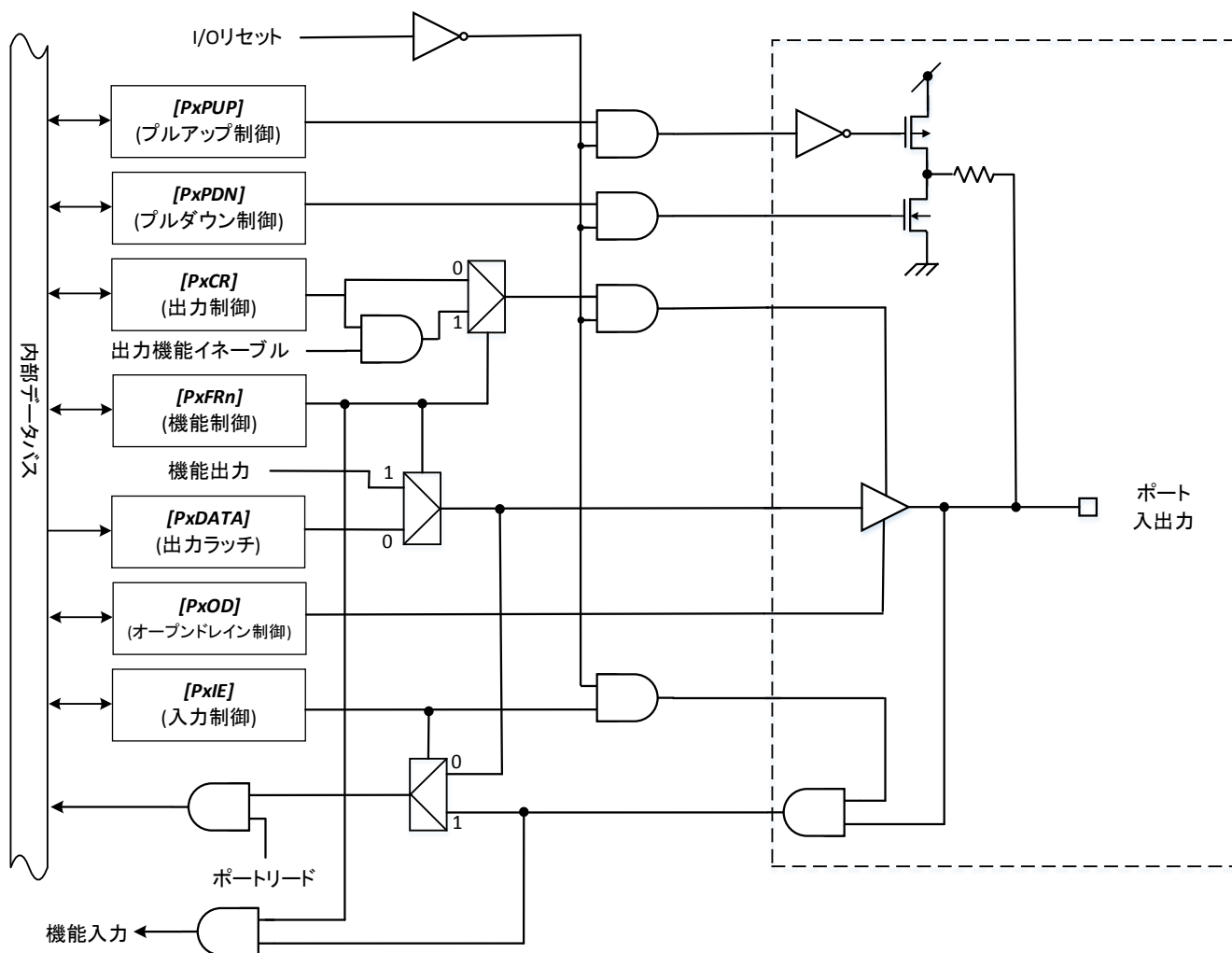


図 5.2 ポートタイプFT2a



## 5.3. タイプ FT2c

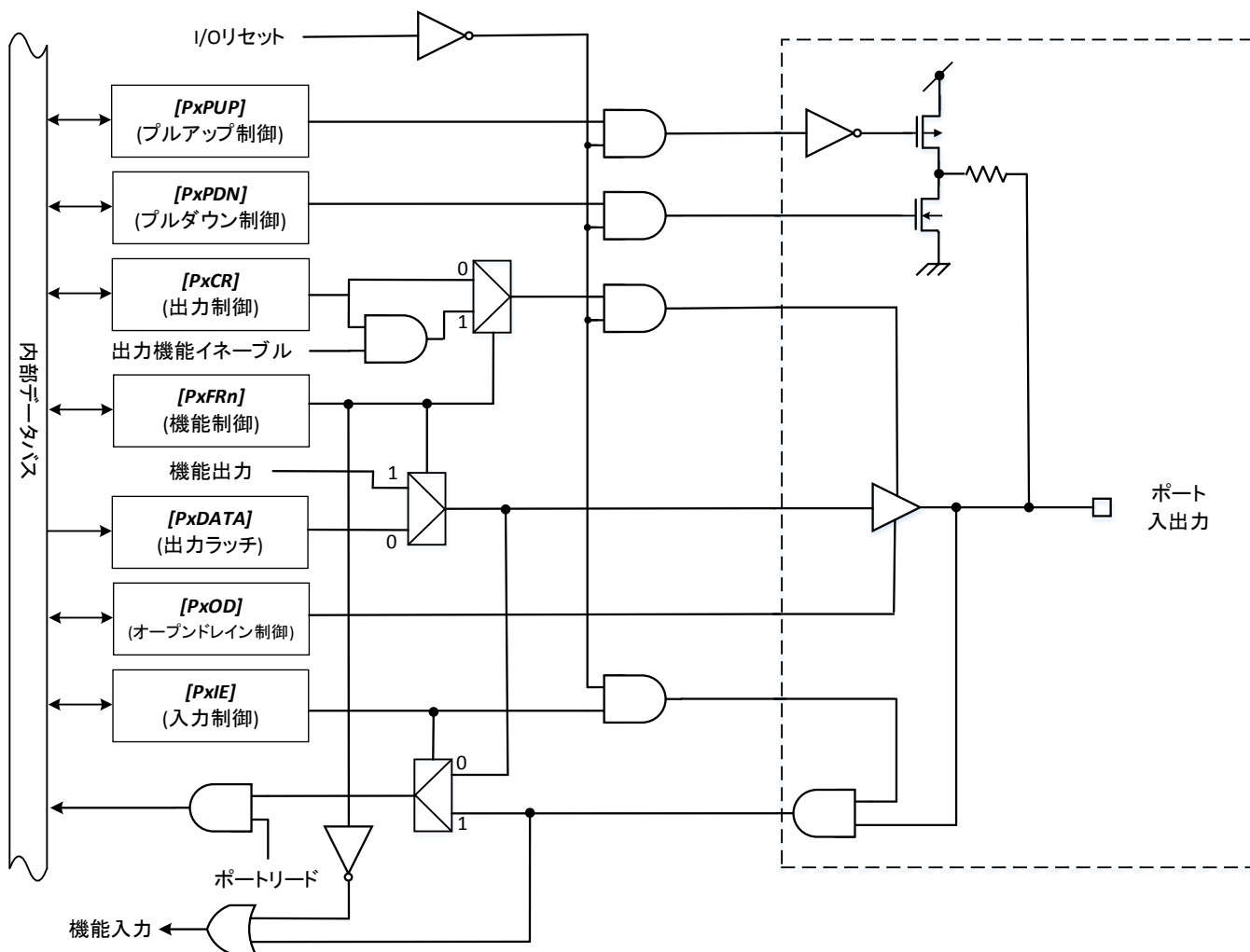


図 5.3 ポートタイプFT2c

## 5.4. タイプ FT3a

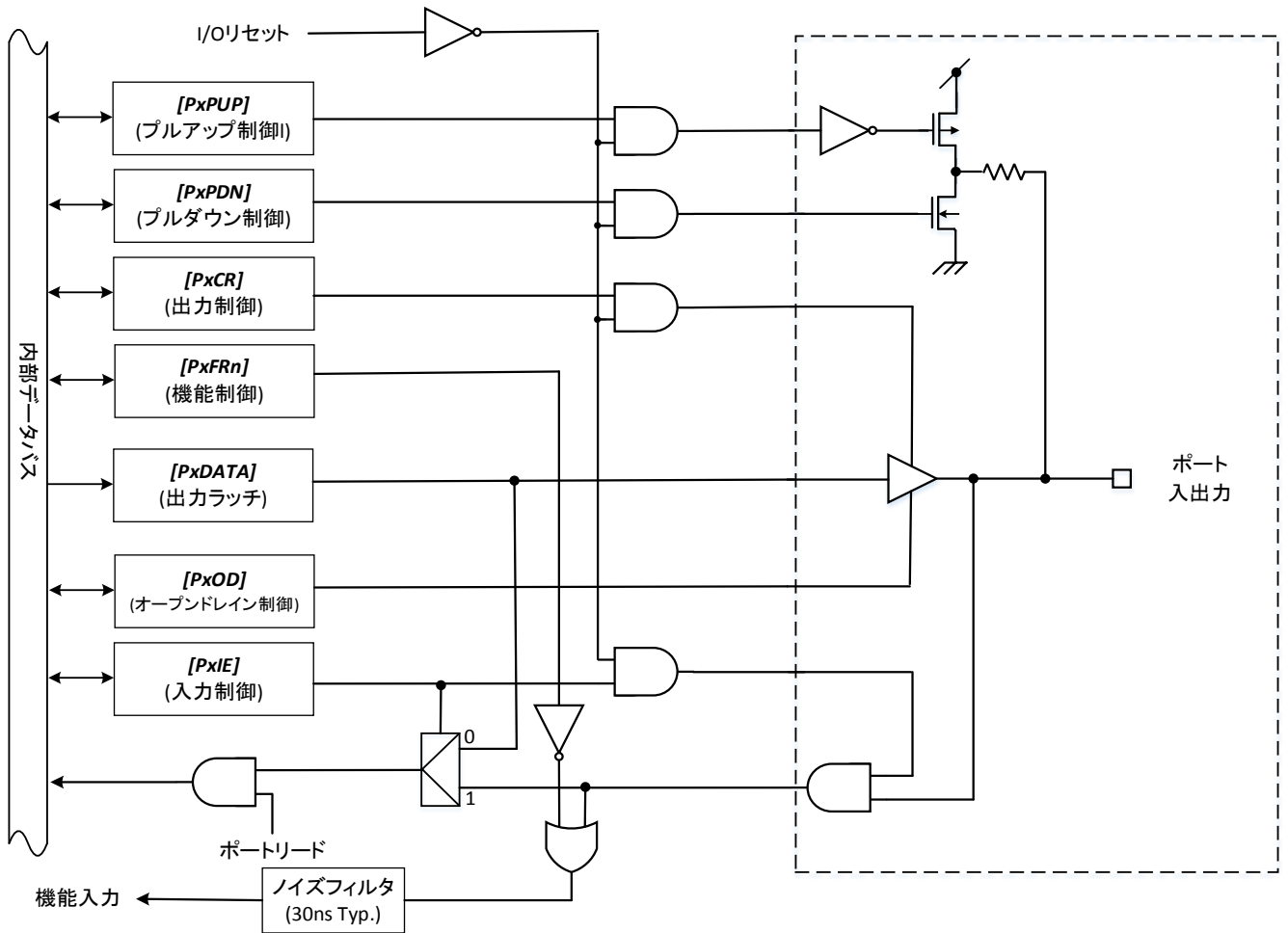


図 5.4 ポートタイプFT3a

## 5.5. タイプ FT4a

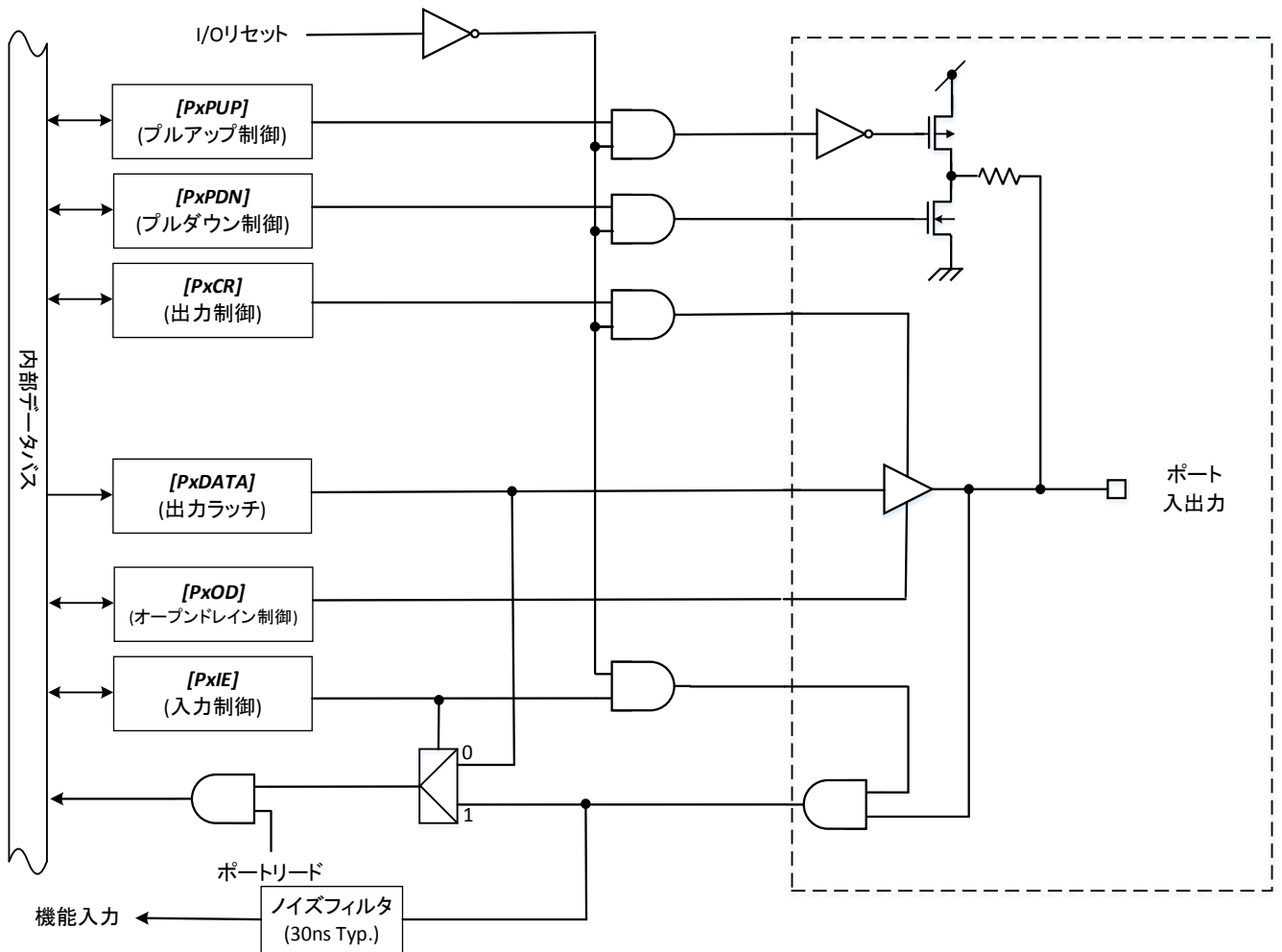


図 5.5 ポートタイプFT4a

5.6. タイプ FT5a

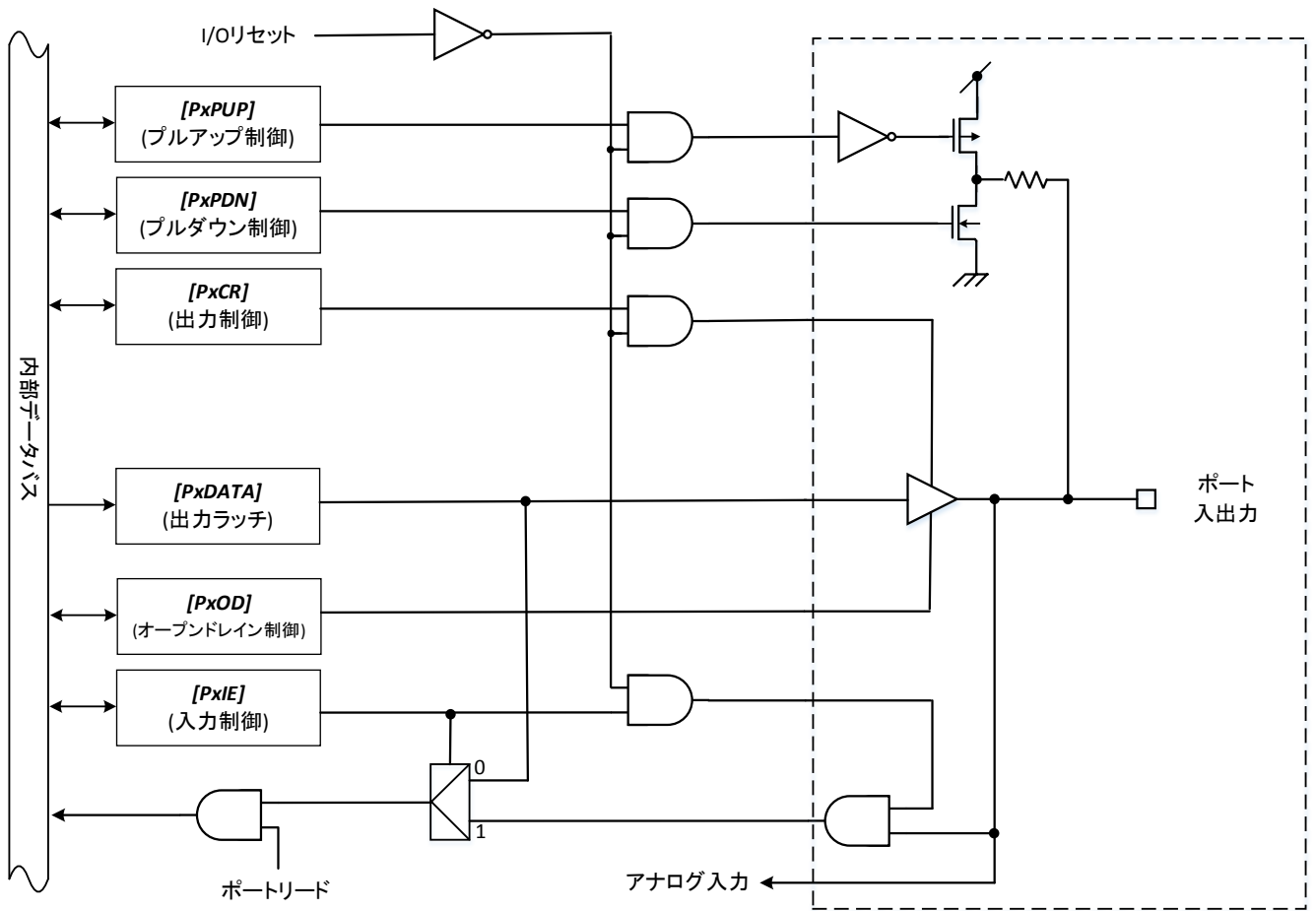


図 5.6 ポートタイプFT5a

## 5.7. タイプ FT11a

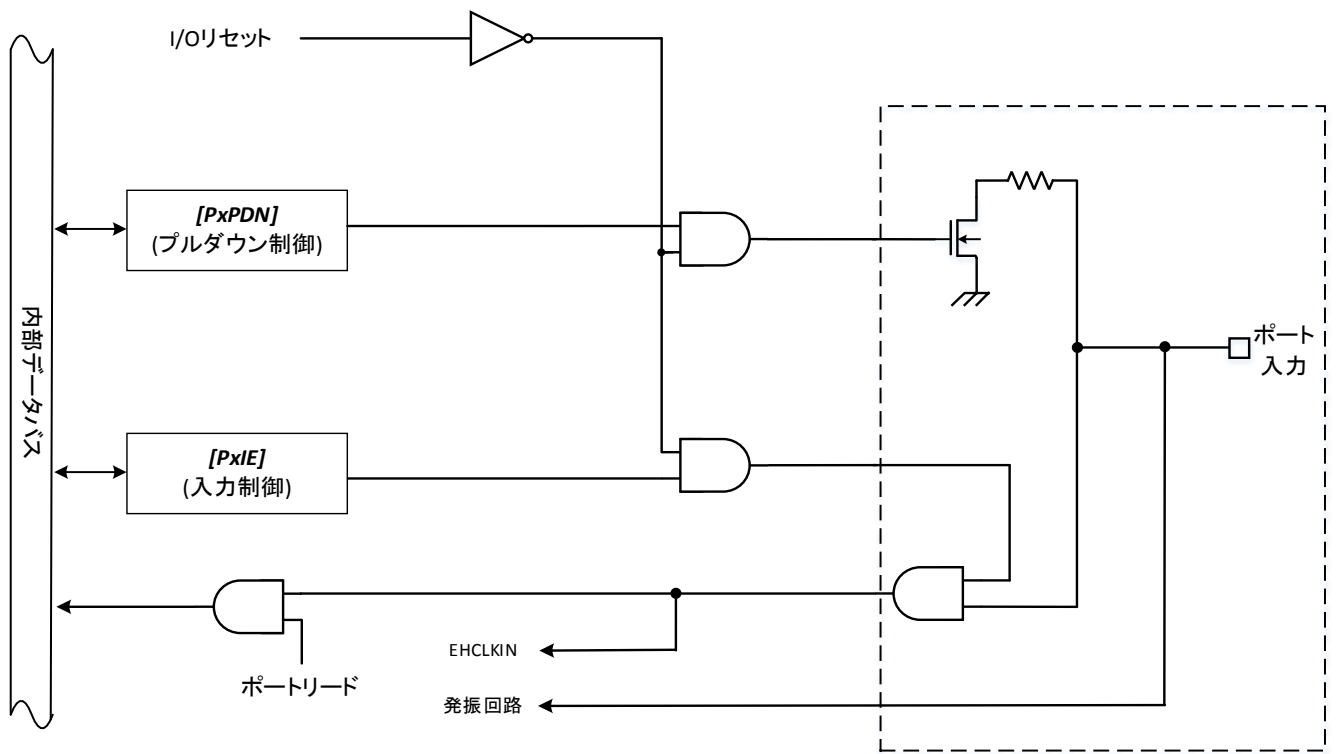


図 5.7 ポートタイプFT11a

## 5.8. タイプ FT16a

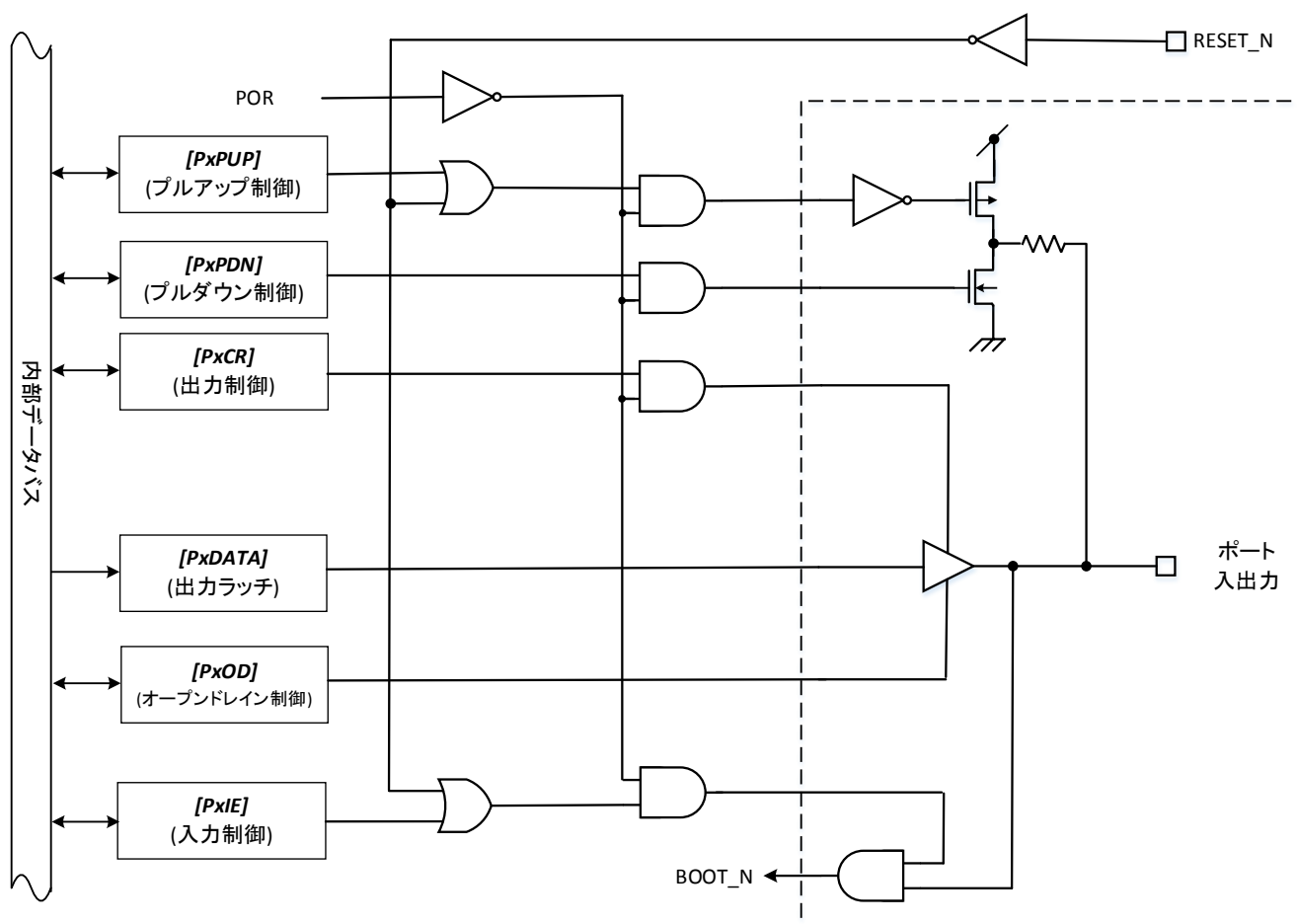


図 5.8 ポートタイプFT16a

## 6. 使用上のご注意およびお願い事項

### 6.1. リセット期間中の端子状態について

リセット期間中、下記以外の端子はハイインピーダンス入力状態となり、プルアップ・プルダウンも無効状態となります。

- デバッグインタフェース兼用端子 (PF0~PF4) はデバック端子状態となります。
- PG2 (BOOT\_N)は端子リセット期間中は入力およびプルアップが許可となっており、リセット信号の立ち上がりで、PG2が"High"の場合、シングルチップモードとなり内蔵 Flash メモリから起動し、PG2が"Low"の場合、シングルブートモードとなり内蔵 BOOT プログラムから起動します。

### 6.2. 未使用端子の処理について

未使用端子は、1本ずつ抵抗を通して電源端子または1本ずつ抵抗を通してGND端子に固定することを推奨します。

一般にハイインピーダンスの端子を開放状態にし、製品を動作させると、外部からのノイズを受け誘起電圧が発生してLSI内部で静電破壊やラッチアップが発生することがあります。

### 6.3. デバッグインタフェース端子を汎用ポートとして使用する際の注意

リセット解除後ユーザプログラムでデバッグインタフェース端子を汎用ポートに設定すると、それ以降はデバッグツールからの接続ができなくなり制御ができなくなります。

デバッグツールによるデバッグができなくなった場合、シングルブートモードに設定し外部からUART接続でフラッシュ消去することで、再度デバックツールと接続することができます。詳細はリファレンスマニュアルの「フラッシュメモリ」を参照してください。

## 7. 改訂履歴

表 7.1 改訂履歴

Revision	Date	Description
1.0	2018-05-14	新規
1.1	2018-09-03	<ul style="list-style-type: none"> <li>・「3.信号接続一覧」</li> <li>表 3.1 UT0CTS_N, UT1CTS_N, UT1RTS_N 端子修正</li> <li>表 3.2 I2C1SDA, I2C1SCL, TSPI0RXD, TSPI1RXD, TSPI1TXD, TSPI1SCK, CANRX, CANTX 端子修正</li> <li>表 3.3 T32A00OUTC, T32A01INB1, T32A01INC0 端子修正</li> <li>表 3.4 T32A03INA1, T32A03OUTB 端子修正</li> <li>表 3.5 T32A04OUTB 端子修正</li> <li>表 3.7 INT17a, INT17b, INT21 端子修正</li> <li>表 3.8 ENC1A, ENC1B, ENC1Z, ENC2A, ENC2B, ENC2Z 端子修正</li> <li>表 3.9 TMS, TCK, TDI, TRST_N, TRACEDATA0~3, NBDSYNC, NBDDATA0~3 端子修正</li> <li>・「4.2.ポート機能とレジスタ設定」</li> <li>上下の表の間矢印位置修正</li> <li>・「4.2.4.PORT C」 PC1, PC6 修正</li> <li>・「4.2.5.PORT D」 PD0 to PD5 修正</li> <li>・「4.2.6.PORT E」 PE0 to PE2, PE4, PE7 修正</li> <li>・「4.2.7.PORT F」 PF0 to PF4, PF6, PF7 修正</li> <li>・「4.2.8.PORT G」 PG1, PG2, PG5 修正</li> <li>・「4.2.9.PORT H」 PH0, PH1 修正</li> <li>・「4.2.10.PORT J」 PJ0 to PJ7 修正</li> <li>・「4.2.11.PORT K」 PK0 to PK7 修正</li> <li>・「4.2.12.PORT L」 PL0 to PL7 修正</li> <li>・「4.2.13.PORT M」 PM0 to PM7 修正</li> <li>・「4.2.14.PORT N」 PN0 修正</li> <li>・「4.2.15.PORT P」 PP1 修正</li> <li>・「4.2.16.PORT R」 PR5 修正</li> <li>・「4.2.17.PORT T」 PT2 修正</li> <li>・「4.2.18.PORT U」 PU1, PU4 修正</li> <li>・「4.2.19.PORT V」 PV3 修正</li> <li>・「4.2.20.PORT W」 PW2, PW3 修正</li> <li>・「製品取り扱い上のお願ひ」更新</li> </ul>
1.2	2019-06-13	<ul style="list-style-type: none"> <li>・4. レジスタ説明</li> <li>  <b>[PxOD]</b>の説明見直し</li> <li>・4.2.4 PORT C</li> <li>  I2C0SCL/I2C0SAD の<b>[PxOD]</b> 0/1 → 1 に修正</li> <li>・4.2.5 PORT D</li> <li>  I2C1SCL/I2C1SAD の<b>[PxOD]</b> 0/1 → 1 に修正</li> <li>・4.2.8 PORT G</li> <li>  BOOT_N の PORT Type FT6a→FT16a に修正</li> <li>・4.2.17 PORT T</li> <li>  I2C0SCL/I2C0SAD の<b>[PxOD]</b> 0/1 → 1 に修正</li> <li>・4.2.18 PORT U</li> <li>  I2C1SCL/I2C1SAD の<b>[PxOD]</b> 0/1 → 1 に修正</li> <li>・5. ポート回路図</li> <li>  説明追加</li> <li>・5.8 タイプ FT16a</li> <li>  FT6a→FT16a に図差し替え</li> <li>・6.1 リセット期間中の端子状態について</li> <li>  PG2 端子→PG2 に修正、内蔵 BOOT ROM→内蔵 BOOT プログラムに修正</li> </ul>



## 製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事情報の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。