

TOSHIBA

8 ビットマイクロコントローラ
TLCS-870/C シリーズ

TMP86CS64AFG

株式会社 **東芝** セミコンダクター社

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。

なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などをご確認ください。021023_A

- 本資料に掲載されている製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。021023_B

-
- 本資料に掲載されている製品を、国内外の法令、規則及び命令により製造、使用、販売を禁止されている応用製品に使用することはできません。060106_Q

-
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。021023_C

-
- 本資料に掲載されている製品のうち外国為替および外国貿易法により、輸出または海外への提供が規制されているものがあります。021023_F

-
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。021023_D

-
- マイコン製品の信頼性予測については、「品質保証と信頼性 / 取り扱い上のご注意とお願い」の 1.3 項に記載されておりますのでかならずお読みください。030519_S

改訂履歴

日付	版	改訂理由
2005/10/25	1	First Release
2006/6/28	2	定期更新、本文変更なし
2006/7/19	3	定期更新、本文変更なし
2006/8/30	4	内容改訂
2008/8/29	5	内容改訂

Not Recommended
for New Design

UART ノイズ除去時間設定における注意事項

本製品に搭載されている UART を使用する場合、転送クロック選択 (BRG) により、ノイズ除去時間設定 (RXDNC 設定) には以下の制約があります。"○"の箇所にて使用し、"- "の箇所は設定しないでください。

なお、転送クロックとしてタイマカウンタ割り込みを使用する場合、転送クロックはタイマカウンタソースクロック [Hz] \div TTREG 設定値で計算されます。

BRG 設定	転送クロック [Hz]	RXDNC 設定			
		00 (ノイズ除去なし)	01 (31/fc[s] 未満の パルス除去)	10 (63/fc[s] 未満の パルス除去)	11 (127/fc[s] 未満の パルス除去)
000	fc/13	○	○	○	-
110 (タイマカウンタ割り込 みでの転送クロックが右 記となる場合)	fc/8	○	-	-	-
	fc/16	○	○	-	-
	fc/32	○	○	○	-
上記以外		○	○	○	○

Not Recommended for New Designs

目次

TMP86CS64AFG

1.1	特長	1
1.2	ピン配置図	3
1.3	ブロック図	4
1.4	端子機能	5

第2章 動作説明

2.1	CPU コア機能	9
2.1.1	メモリアドレスマップ	9
2.1.2	プログラムメモリ (MaskROM)	9
2.1.3	データメモリ (RAM)	9
2.2	システムクロック制御回路	11
2.2.1	クロックジェネレータ	11
2.2.2	タイミングジェネレータ	12
2.2.2.1	タイミングジェネレータの構成	
2.2.2.2	マシンサイクル	
2.2.3	動作モードの種類	14
2.2.3.1	シングルクロックモード	
2.2.3.2	デュアルクロックモード	
2.2.3.3	STOPモード	
2.2.3.4	各動作モードの遷移	
2.2.4	動作モードの制御	19
2.2.4.1	STOPモード	
2.2.4.2	IDLE1/2モード, SLEEP1/2モード	
2.2.4.3	IDLE0, SLEEP0モード	
2.2.4.4	SLOWモード	
2.3	リセット回路	34
2.3.1	外部リセット入力	34
2.3.2	アドレストラップリセット	35
2.3.3	ウォッチドッグタイマリセット	35
2.3.4	システムクロックリセット	35

第3章 割り込み制御回路

3.1	割り込みラッチ (IL15 ~ IL2)	37
3.2	割り込み許可レジスタ (EIR)	39
3.2.1	割り込みマスタ許可フラグ (IMF)	39
3.2.2	割り込み個別許可フラグ (EF15 ~ EF4)	39
3.3	割り込み要因の選択 (INTSEL)	42
3.4	割り込み処理	43
3.4.1	割り込み受け付け処理	43
3.4.2	汎用レジスタ退避 / 復帰処理	44
3.4.2.1	プッシュ / ポップ命令による汎用レジスタの退避 / 復帰	
3.4.2.2	転送命令による汎用レジスタの退避 / 復帰	
3.4.3	割り込みリターン	45
3.5	ソフトウェア割り込み (INTSW)	47
3.5.1	アドレスエラー検出	47

3.5.2 デバッグング	47
3.6 未定義命令割り込み (INTUNDEF)	47
3.7 アドレストラップ割り込み (INTATRAP).....	47
3.8 外部割り込み.....	48

第4章 スペシャルファンクションレジスタ

4.1 SFR.....	51
4.2 DBR.....	53

第5章 入出力ポート

5.1 P0 (P07~P00) ポート (トライステート入出力).....	56
5.2 P1 (P17~P10) ポート (トライステート出力, ヒステリシス入力).....	57
5.3 P2 (P22~P20) ポート (シンクオープンドレイン出力, ヒステリシス入力)....	58
5.4 P3 (P37~P30) ポート (トライステート出力, ヒステリシス入力).....	59
5.5 P4 (P47~P40) ポート (シンクオープンドレインまたはトライステート出力, ヒステリシス入力) ..	60
5.6 P5 (P57~P50) ポート (トライステート出力: 大電流出力, ヒステリシス入力).....	62
5.7 P6 (P67~P60) ポート (トライステート入出力, プログラマブルプルアップ)	63
5.8 P7 (P77~P70) ポート (トライステート入出力, プログラマブルプルアップ)	65
5.9 P8 (P87~P80) ポート (トライステート出力, ヒステリシス入力).....	67
5.10 P9 (P97~P90) ポート (トライステート出力: 大電流出力, ヒステリシス入力).....	68
5.11 PA (PA7~PA0) ポート (トライステート出力, ヒステリシス入力, プログラマブルプルアップ)	69
5.12 PB (PB7~PB0) ポート (トライステート出力, ヒステリシス入力, プログラマブルプルアップ)	70

第6章 ウォッチドッグタイマ (WDT)

6.1 ウォッチドッグタイマの構成	71
6.2 ウォッチドッグタイマの制御	71
6.2.1 ウォッチドッグタイマによる暴走検出の方法.....	71
6.2.2 ウォッチドッグタイマのイネーブル	73
6.2.3 ウォッチドッグタイマのディセーブル.....	73
6.2.4 ウォッチドッグタイマ割り込み (INTWDT).....	74
6.2.5 ウォッチドッグタイマリセット	74
6.3 アドレストラップ	76
6.3.1 内蔵 RAM 領域のアドレストラップ選択 (ATAS).....	76
6.3.2 アドレストラップ発生時の動作選択 (ATOUT).....	76
6.3.3 アドレストラップ割り込み (INTATRAP).....	76
6.3.4 アドレストラップリセット.....	77

第7章 タイムベースタイマ (TBT)

7.1	タイムベースタイマ	79
7.1.1	構成	79
7.1.2	制御	79
7.1.3	機能	80
7.2	デバイダ出力 (DVO)	81
7.2.1	構成	81
7.2.2	制御	81

第8章 16ビットタイマカウンタ 1 (TC1)

8.1	構成	83
8.2	制御	84
8.3	機能	86
8.3.1	タイマモード	86
8.3.2	外部トリガタイマモード	88
8.3.3	イベントカウンタモード	90
8.3.4	ウィンドウモード	91
8.3.5	パルス幅測定モード	92
8.3.6	プログラマブルパルスジェネレート (PPG) 出力モード	95

第9章 16ビットタイマカウンタ 2 (TC2)

9.1	構成	99
9.2	制御	100
9.3	機能	101
9.3.1	タイマモード	101
9.3.2	イベントカウンタモード	103
9.3.3	ウィンドウモード	103

第10章 8ビットタイマカウンタ 3 (TC3)

10.1	構成	105
10.2	制御	106
10.3	機能	107
10.3.1	タイマモード	107
図 10-3		109
10.3.3	キャプチャモード	110

第11章 8ビットタイマカウンタ 4 (TC4)

11.1	構成	111
11.2	制御	112
11.3	機能	114
11.3.1	タイマモード	114
11.3.2	イベントカウンタモード	115
11.3.3	プログラマブルデバイダ出力 (PDO) モード	116
11.3.4	パルス幅変調 (PWM) 出力モード	117

第12章 8ビットタイマカウンタ 5 (TC5)

12.1	構成	119
------	----	-----

12.2	制御	120
12.3	機能	122
12.3.1	タイマモード	122
12.3.2	イベントカウンタモード	123
12.3.3	プログラマブルデバイダ出力 (PDO) モード	124
12.3.4	パルス幅変調 (PWM) 出力モード	125

第 13 章 8 ビットタイマカウンタ 6 (TC6)

13.1	構成	127
13.2	制御	128
13.3	機能	130
13.3.1	タイマモード	130
13.3.2	イベントカウンタモード	131
13.3.3	プログラマブルデバイダ出力 (PDO) モード	132
13.3.4	パルス幅変調 (PWM) 出力モード	133

第 14 章 非同期型シリアルインターフェース (UART)

14.1	構成	135
14.2	制御	136
14.3	転送データフォーマット	138
14.4	赤外線データフォーマット転送モード	139
14.5	転送レート	140
14.6	データのサンプリング方法	140
14.7	STOP ビット長	141
14.8	パリティ	141
14.9	送受信動作	141
14.9.1	データ送信動作	141
14.9.2	データ受信動作	141
14.10	ステータスフラグ	142
14.10.1	パリティエラー	142
14.10.2	フレーミングエラー	142
14.10.3	オーバランエラー	142
14.10.4	受信バッファフル	143
14.10.5	送信バッファエンプティ	143
14.10.6	送信終了フラグ	144

第 15 章 同期型シリアルインタフェース (SIO1)

15.1	構成	145
15.2	制御	146
15.3	シリアルクロック	147
15.3.1	クロックソース	147
15.3.1.1	内部クロック	
15.3.1.2	外部クロック	
15.3.2	シフトエッジ	149
15.3.2.1	前縁シフト	
15.3.2.2	後縁シフト	
15.4	転送ビット数	149
15.5	転送ワード数	149
15.6	転送モード	150
15.6.1	4 ビット送信モード, 8 ビット送信モード	150
15.6.2	4 ビット受信モード, 8 ビット受信モード	152

15.6.3	8ビット送受信モード.....	153
--------	-----------------	-----

第16章 同期型シリアルインタフェース (SIO2)

16.1	構成.....	155
16.2	制御.....	156
16.3	シリアルクロック.....	157
16.3.1	クロックソース.....	157
16.3.1.1	内部クロック	
16.3.1.2	外部クロック	
16.3.2	シフトエッジ.....	159
16.3.2.1	前縁シフト	
16.3.2.2	後縁シフト	
16.4	転送ビット数.....	159
16.5	転送ワード数.....	159
16.6	転送モード.....	160
16.6.1	4ビット送信モード, 8ビット送信モード.....	160
16.6.2	4ビット受信モード, 8ビット受信モード.....	162
16.6.3	8ビット送受信モード.....	163

第17章 10ビットADコンバータ (ADC)

17.1	構成.....	165
17.2	制御.....	166
17.3	機能.....	169
17.3.1	ソフトウェアスタートモード.....	169
17.3.2	リピードモード.....	169
17.3.3	レジスタの設定.....	170
17.4	AD変換時のSTOP/SLOWモード.....	171
17.5	入力電圧と変換結果.....	172
17.6	ADコンバータの注意事項.....	173
17.6.1	アナログ入力端子電圧範囲.....	173
17.6.2	アナログ入力兼用端子.....	173
17.6.3	ノイズ対策.....	173

第18章 キーオンウェイクアップ (KWU)

18.1	構成.....	175
18.2	制御.....	175
18.3	機能.....	175

第19章 端子の入出力回路

19.1	制御端子.....	177
19.2	入出力ポート.....	178

第20章 電気的特性

20.1	絶対最大定格.....	179
20.2	推奨動作条件.....	180

20.3	DC 特性	181
20.4	AD 変換特性	182
20.5	AC 特性	183
20.6	推奨発振条件 - 1	184
20.7	取り扱い上のご注意	185

第 21 章 外形寸法

CMOS 8ビット マイクロコントローラ

TMP86CS64AFG

製品形名	ROM (マスクROM)	RAM	パッケージ	フラッシュ内蔵品	エミュレーション チップ
TMP86CS64AFG	61440 バイト	2048 バイト	P-QFP100-1420-0.65A	TMP86F64FG	TMP86C964XB

1.1 特長

- 8ビットシングルチップマイクロコントローラ：TLCS-870/Cシリーズ
 - 最小実行時間：
 - 0.25 μ s (16 MHz 動作時)
 - 122 μ s (32.768 kHz 動作時)
 - 基本機械命令：132 種類 731 命令
- 割り込み要因 21 要因 (外部：6, 内部：15)
- 入出力ポート (91 端子)
 - 大電流出力 16 端子 (Typ. 20mA)
- ウォッチドッグタイマ
 - 割り込み/内部リセット発生の選択 (プログラマブル)
- プリスケアラ
 - タイムベースタイマ機能
 - デバイダ出力機能
- 16ビットタイマカウンタ:1チャンネル
 - タイマ, イベントカウンタ, PPG(プログラマブル矩形波)出力, パルス幅測定, 外部トリガタイマ, ウィンドウモード
- 16ビットタイマカウンタ:1チャンネル
 - タイマ, イベントカウンタ, ウィンドウモード
- 8ビットタイマカウンタ:1チャンネル
 - タイマ, イベントカウンタモード
 - キャプチャモード
- 8ビットタイマカウンタ:3チャンネル

060629TBP

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
- なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などをご確認ください。021023_A
- 本資料に掲載されている製品は、一般的電子機器 (コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など) に使用されていることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器 (原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など) にこれらの製品を使用すること (以下“特定用途”という) は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。021023_B
- 本資料に掲載されている製品を、国内外の法令、規則および命令により製造、使用、販売を禁止されている応用製品に使用することはできません。060106_Q
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。021023_C
- 本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。021023_E
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。021023_D
- マイコン製品の信頼性予測については、「品質保証と信頼性 / 取り扱い上のご注意とお願い」の 1.3 項に記載されておりますので必ずお読みください。030519_S

- タイマ, イベントカウンタ
- PWM (パルス幅変調出力)
- PDO (Programmable Divider Output) モード
- 8ビット UART : 1 チャンネル
- 8ビット SIO : 2 チャンネル
- 10ビット逐次比較方式 AD コンバータ
 - アナログ入力 : 16 チャンネル
- キーオンウェイクアップ : 4 チャンネル
- クロック発振回路 : 2 回路
 - シングル/デュアルクロックモードの選択
- 低消費電力動作 (9 モード)
 - STOP モード : 発振停止 (バッテリー/コンデンサバックアップ)
 - SLOW1 モード : 低周波クロックによる低周波動作 (高周波停止)
 - SLOW2 モード : 低周波クロックによる低周波動作 (高周波発振)
 - IDLE0 モード : CPU 停止。
 - 周辺ハードウェアのうち、TBT のみ動作 (高周波クロック) 継続し、TBT 設定の基準時間経過により解除。
 - IDLE1 モード : CPU 停止。
 - 周辺ハードウェアのみ動作 (高周波クロック) 継続し、割り込みで解除 (CPU 再起動)
 - IDLE2 モード : CPU 停止。
 - 周辺ハードウェアのみ動作 (高周波/低周波クロック) 継続し、割り込みで解除
 - SLEEP0 モード : CPU 停止。
 - 周辺ハードウェアのうち、TBT のみ動作 (低周波クロック) 継続し、TBT 設定の基準時間経過により解除。
 - SLEEP1 モード : CPU 停止。
 - 周辺ハードウェアのみ動作 (低周波クロック) 継続し、割り込みで解除。
 - SLEEP2 モード : CPU 停止。
 - 周辺ハードウェアのみ動作 (高周波/低周波クロック) 継続し、割り込みで解除。
- 動作電圧 :
 - 4.5 V~5.5 V @ 16MHz /32.768 kHz
 - 2.7 V~5.5 V @ 8 MHz /32.768 kHz

1.2 ピン配置図

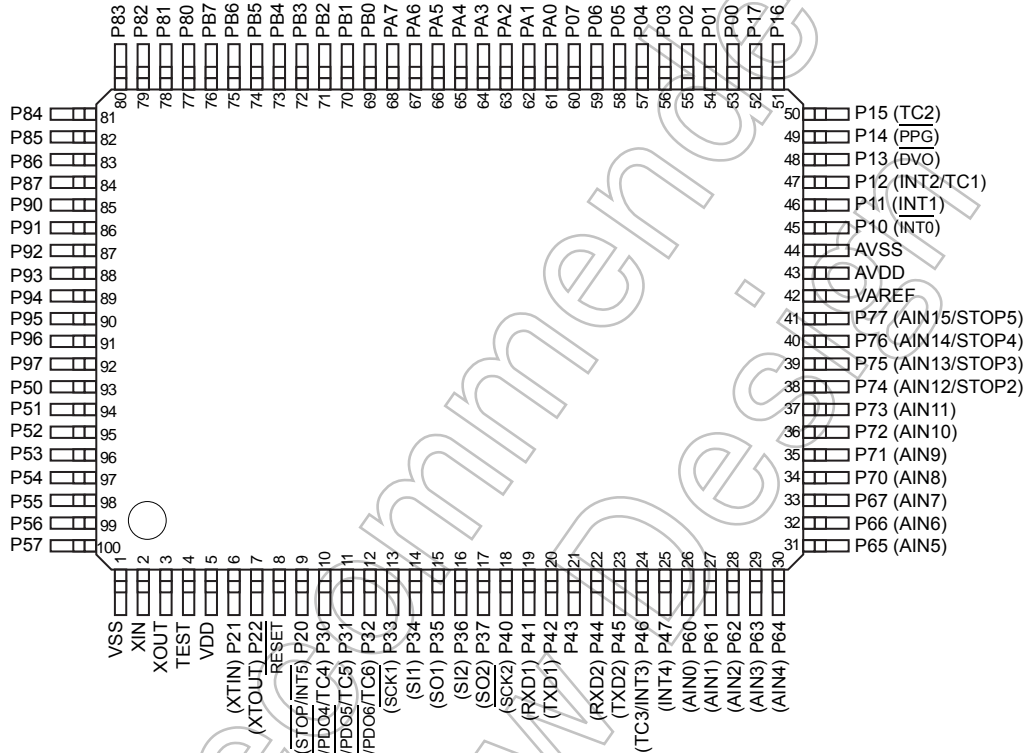


図 1-1 ピン配置図

1.3 ブロック図

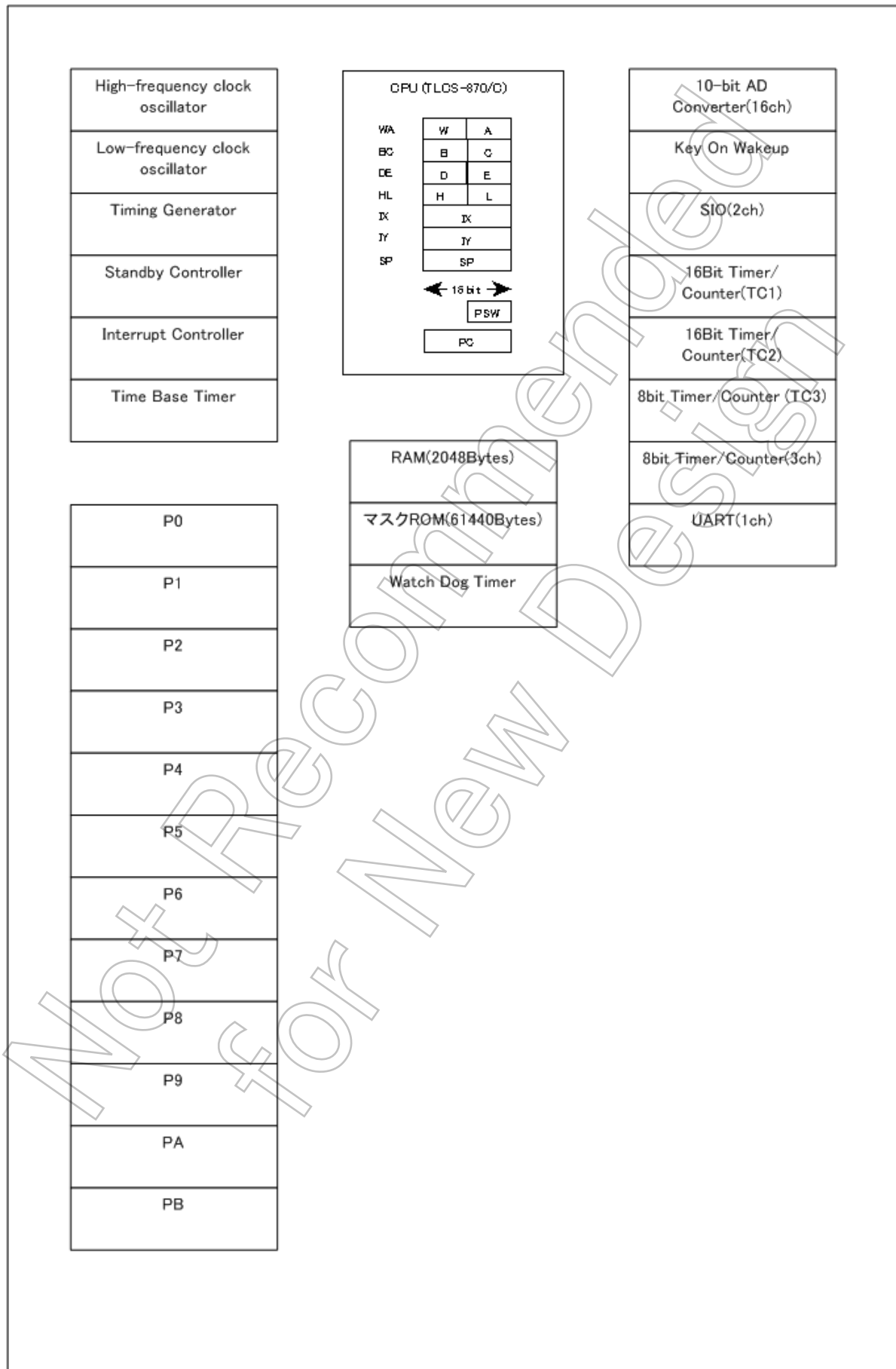


図 1-2 ブロック図

1.4 端子機能

表 1-1 端子機能表 (1 / 4)

端子名	ピン番号	入出力	機能
P07	60	IO	ポート 07
P06	59	IO	ポート 06
P05	58	IO	ポート 05
P04	57	IO	ポート 04
P03	56	IO	ポート 03
P02	55	IO	ポート 02
P01	54	IO	ポート 01
P00	53	IO	ポート 00
P17	52	IO	ポート 17
P16	51	IO	ポート 16
P15 TC2	50	IO I	ポート 15 TC2 端子入力
P14 PPG	49	IO O	ポート 14 PPG 出力
P13 DVO	48	IO O	ポート 13 デバイダ出力
P12 INT2 TC1	47	IO I I	ポート 12 外部割り込み 2 入力 TC1 端子入力
P11 INT1	46	IO I	ポート 11 外部割り込み 1 入力
P10 INT0	45	IO I	ポート 10 外部割り込み 0 入力
P22 XTOUT	7	IO O	ポート 22 低周波発振子接続端子
P21 XTIN	6	IO I	ポート 21 低周波発振子接続端子
P20 INT5 STOP	9	IO I I	ポート 20 外部割り込み 5 入力 STOP モード解除入力
P37 SO2	17	IO O	ポート 37 シリアルデータ出力 2
P36 SI2	16	IO I	ポート 36 シリアルデータ入力 2
P35 SO1	15	IO O	ポート 35 シリアルデータ出力 1
P34 SI1	14	IO I	ポート 34 シリアルデータ入力 1

表 1-1 端子機能表 (2 / 4)

端子名	ピン番号	入出力	機能
P33 SCK1	13	IO IO	ポート 33 シリアルクロック入出力 1
P32 TC6 PWM6/PDO6	12	IO I O	ポート 32 TC6 端子入力 PWM6/PDO6 出力
P31 TC5 PWM5/PDO5	11	IO I O	ポート 31 TC5 端子入力 PWM5/PDO5 出力
P30 TC4 PWM4/PDO4	10	IO I O	ポート 30 TC4 端子入力 PWM4/PDO4 出力
P47 INT4	25	IO I	ポート 47 外部割り込み 4 入力
P46 INT3 TC3	24	IO I I	ポート 46 外部割り込み 3 入力 TC3 端子入力
P45 TXD2	23	IO O	ポート 45 UART データ出力 2
P44 RXD2	22	IO I	ポート 44 UART データ入力 2
P43	21	IO	ポート 43
P42 TXD1	20	IO O	ポート 42 UART データ出力 1
P41 RXD1	19	IO I	ポート 41 UART データ入力 1
P40 SCK2	18	IO IO	ポート 40 シリアルクロック入出力 2
P57	100	IO	ポート 57
P56	99	IO	ポート 56
P55	98	IO	ポート 55
P54	97	IO	ポート 54
P53	96	IO	ポート 53
P52	95	IO	ポート 52
P51	94	IO	ポート 51
P50	93	IO	ポート 50
P67 AIN7	33	IO I	ポート 67 アナログ入力 7
P66 AIN6	32	IO I	ポート 66 アナログ入力 6
P65 AIN5	31	IO I	ポート 65 アナログ入力 5
P64 AIN4	30	IO I	ポート 64 アナログ入力 4

表 1-1 端子機能表 (3 / 4)

端子名	ピン番号	入出力	機能
P63 AIN3	29	IO I	ポート 63 アナログ入力 3
P62 AIN2	28	IO I	ポート 62 アナログ入力 2
P61 AIN1	27	IO I	ポート 61 アナログ入力 1
P60 AIN0	26	IO I	ポート 60 アナログ入力 0
P77 AIN15 STOP5	41	IO I I	ポート 77 アナログ入力 15 STOP5 入力
P76 AIN14 STOP4	40	IO I I	ポート 76 アナログ入力 14 STOP4 入力
P75 AIN13 STOP3	39	IO I I	ポート 75 アナログ入力 13 STOP3 入力
P74 AIN12 STOP2	38	IO I I	ポート 74 アナログ入力 12 STOP2 入力
P73 AIN11	37	IO I	ポート 73 アナログ入力 11
P72 AIN10	36	IO I	ポート 72 アナログ入力 10
P71 AIN9	35	IO I	ポート 71 アナログ入力 9
P70 AIN8	34	IO I	ポート 70 アナログ入力 8
P87	84	IO	ポート 87
P86	83	IO	ポート 86
P85	82	IO	ポート 85
P84	81	IO	ポート 84
P83	80	IO	ポート 83
P82	79	IO	ポート 82
P81	78	IO	ポート 81
P80	77	IO	ポート 80
P97	92	IO	ポート 97
P96	91	IO	ポート 96
P95	90	IO	ポート 95
P94	89	IO	ポート 94
P93	88	IO	ポート 93

表 1-1 端子機能表 (4 / 4)

端子名	ピン番号	入出力	機能
P92	87	IO	ポート 92
P91	86	IO	ポート 91
P90	85	IO	ポート 90
PA7	68	IO	ポート A7
PA6	67	IO	ポート A6
PA5	66	IO	ポート A5
PA4	65	IO	ポート A4
PA3	64	IO	ポート A3
PA2	63	IO	ポート A2
PA1	62	IO	ポート A1
PA0	61	IO	ポート A0
PB7	76	IO	ポート B7
PB6	75	IO	ポート B6
PB5	74	IO	ポート B5
PB4	73	IO	ポート B4
PB3	72	IO	ポート B3
PB2	71	IO	ポート B2
PB1	70	IO	ポート B1
PB0	69	IO	ポート B0
XIN	2	I	発振子接続端子
XOUT	3	I	発振子接続端子
RESET	8	I	リセット入力
TEST	4	I	出荷試験用端子。“L”レベルに固定してください。
VAREF	42	I	AD 変換用アナログ基準電圧入力端子
AVDD	43	I	アナログ電源
AVSS	44	I	アナログ電源
VDD	5	I	電源端子
VSS	1	I	GND 端子

第2章 動作説明

2.1 CPU コア機能

CPU コアはCPU、システムクロック制御回路、割込み制御回路から構成されます。

本章ではCPU コア、プログラムメモリ、データメモリおよびリセット回路について説明します。

2.1.1 メモリアドレスマップ

TMP86CS64AFG のメモリは、MaskROM, RAM, SFR (スペシャルファンクションレジスタ), DBR(データバッファレジスタ) で構成され、それらは1つの 64K バイトアドレス空間上にマッピングされています。

図 2-1 に TMP86CS64AFG のメモリアドレスマップを示します。

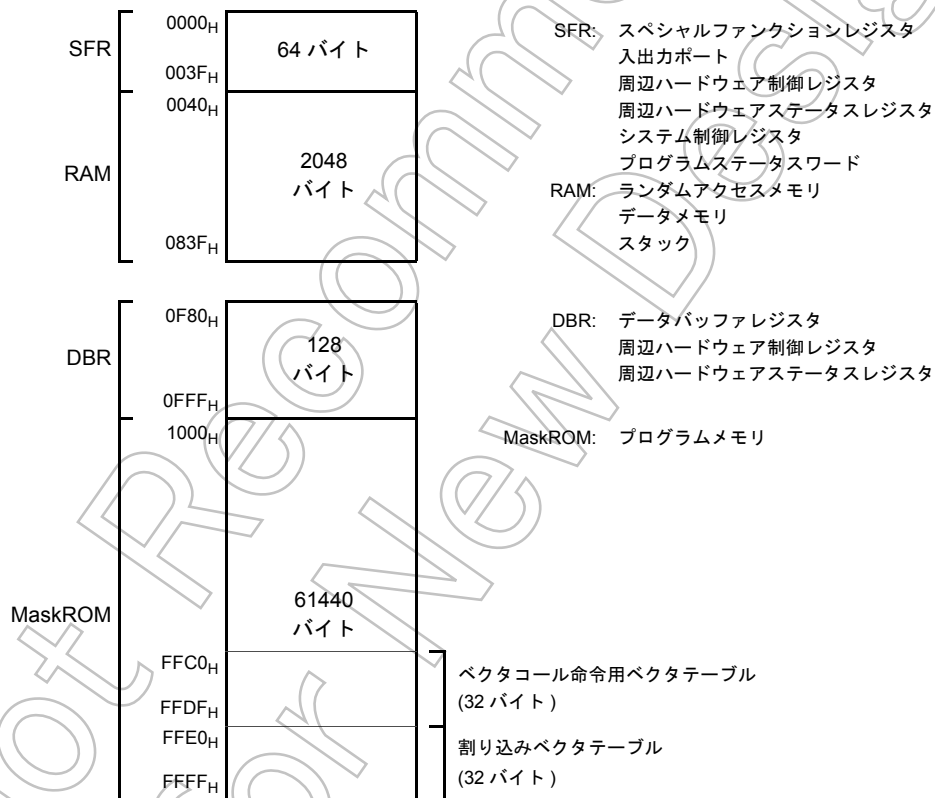


図 2-1 メモリアドレスマップ

2.1.2 プログラムメモリ (MaskROM)

TMP86CS64AFG は 61440 バイト (アドレス 1000H~FFFFH) のプログラムメモリ (MaskROM) を内蔵しています。

2.1.3 データメモリ (RAM)

TMP86CS64AFG は、2048 バイト (アドレス 0040H~083FH) の RAM を内蔵しています。内蔵 RAM の領域中、アドレス (0040H~00FFH) はダイレクト領域となっており、この領域に対しては実行時間を短縮した命令による処理が可能です。

データメモリの内容は、電源投入時不定になりますので、イニシャライズルーチンで初期設定を行ってください。

(プログラム例) TMP86CS64AFG の RAM クリア

	LD	HL, 0040H	; スタートアドレスの設定
	LD	A, H	; 初期化データ (00H) の設定
	LD	BC, 07FFH	; バイト数 (-1) の設定
SRAMCLR:	LD	(HL), A	
	INC	HL	
	DEC	BC	
	JRS	F, SRAMCLR	

Not Recommended
for New Design

2.2 システムクロック制御回路

システムクロック制御回路は、クロックジェネレータ、タイミングジェネレータおよび動作モード制御回路から構成されています。

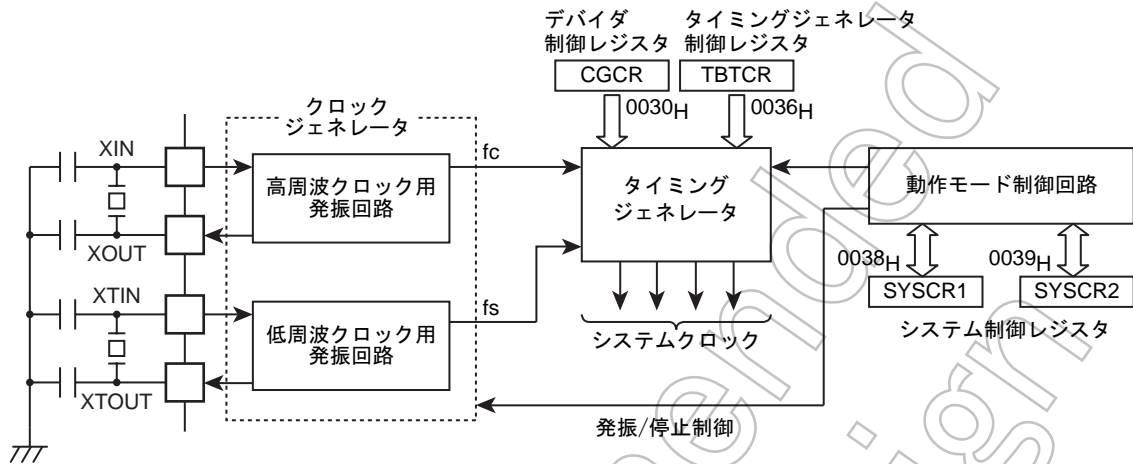


図 2-2 システムクロック制御回路

2.2.1 クロックジェネレータ

クロックジェネレータは、CPUコアおよび周辺ハードウェアに供給されるシステムクロックの基準となる基本クロックを発生する回路です。高周波クロック用と低周波クロック用の2つの発振回路を内蔵しており、動作モード制御回路で低周波クロックによる低速動作に切り替えて消費電力の低減を図ることもできます。

高周波クロック（周波数 f_c ）、低周波クロック（周波数 f_s ）は、それぞれ XIN, XOUT 端子, XTIN, XTOUT 端子に発振子を接続することにより容易に得られます。また、外部発振器からのクロックを入力することもできます。この場合、XIN, XTIN 端子からクロックを入力し、XOUT, XTOUT 端子は開放しておきます。

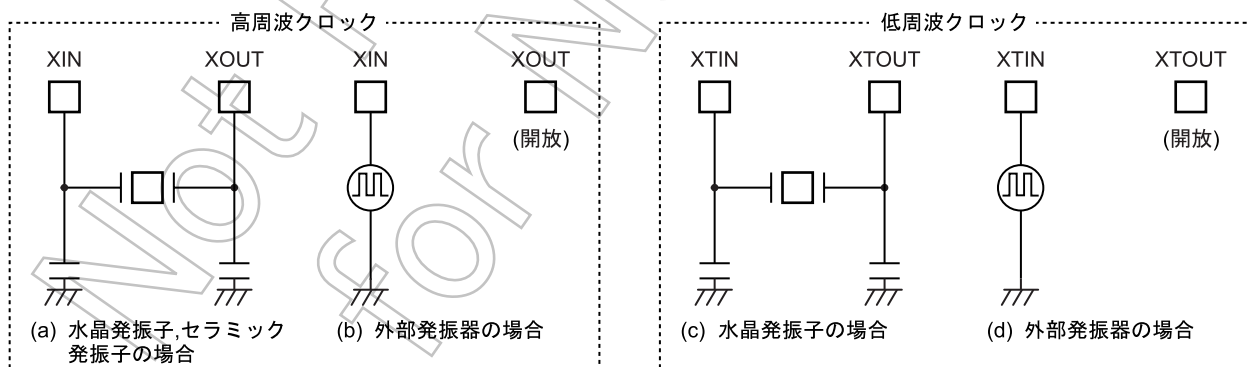


図 2-3 発振子の接続例

注) 基本クロックを外部にて直接モニタする機能はハードウェア的には用意されていませんが、割り込み禁止状態、ウォッチドッグタイマのディセーブル状態でプログラムによってポートに一定周波数のパルス（例えばクロック出力）を出力させ、これをモニタすることにより調節を行うことができます。発振周波数の調整が必要なシステムでは、あらかじめ調整用プログラムを作成しておく必要があります。

2.2.2 タイミングジェネレータ

タイミングジェネレータは、基本クロック (fc または fs) から CPU コアおよび周辺ハードウェアに供給する各種システムクロックを発生する回路です。タイミングジェネレータの機能は、次のとおりです。

1. メインシステムクロック生成
2. デバイダ出力 (\overline{DVO}) パルス生成
3. タイムベースタイマのソースクロック生成
4. ウォッチドッグタイマのソースクロック生成
5. タイマカウンタなどの内部ソースクロック生成
6. STOP モード解除時のウォーミングアップクロック生成

2.2.2.1 タイミングジェネレータの構成

タイミングジェネレータは、3 段のプリスケアラ、21 段のデバイダ、メインシステムクロック切り替え回路およびマシンスイクルカウンタから構成されています。

デバイダ 1 段目への入力クロックは CGCR<DV1CK> によってプリスケアラの 2 段目からの出力 (fc/4)、3 段目からの出力 (fc/8) のいずれかかを選択することができます。これは、動作クロックを 2 倍にした場合 (例 :8MHz → 16MHz) にデバイダの 1 段目に fc/8 を入力することで周辺機能のソフトウェア設定を変更せずに動作させるための機能です。

デバイダの 7 段目への入力クロックは SYSCR2<SYSCK>、TBTCR<DV7CK>、CGCR<DV1CK> の設定により図 2-4 のようになります。

なお、リセット時および STOP モード起動 / 解除時プリスケアラおよびデバイダは“0”にクリアされます。

注) TBTCR<DV7CK> は、タイミングジェネレータ制御レジスタ (TBTCR) のビット 4 (DV7CK) を指しています。以降の文章中ではレジスタの各機能ビットをこのように表記します。

表 2-1 デバイダ出力

デバイダ出力									
DV1CK = 0					DV1CK = 1				
DV1G	DV2G	DV3G	DV4	DV5	DV1G	DV2G	DV3G	DV4	DV5
fc/2 ³	fc/2 ⁴	fc/2 ⁵	fc/2 ⁶	fc/2 ⁷	fc/2 ⁴	fc/2 ⁵	fc/2 ⁶	fc/2 ⁷	fc/2 ⁸

表 2-2 デバイダ 7 段目への入力クロック [Hz]

NORMAL1, IDLE1 モード		NORMAL2, IDLE2 モード (SYSCK=0)			SLOW1/2, SLEEP1/2 モード (SYSCK = 1)
DV7CK = 0		DV7CK = 0		DV7CK = 1	
DV1CK = 0	DV1CK = 1	DV1CK = 0	DV1CK = 1	DV1CK = 1	
fc/2 ⁸	fc/2 ⁹	fc/2 ⁸	fc/2 ⁹	fs	fs

注 1) NORMAL1, IDLE1 モード時、TBTCR<DV7CK> を "1" にセットしないでください。

注 2) SLOW1/2, SLEEP1/2 モード時、デバイダの初段への入力クロックは停止しますので、デバイダの初段から 7 段目までの出力も停止します。

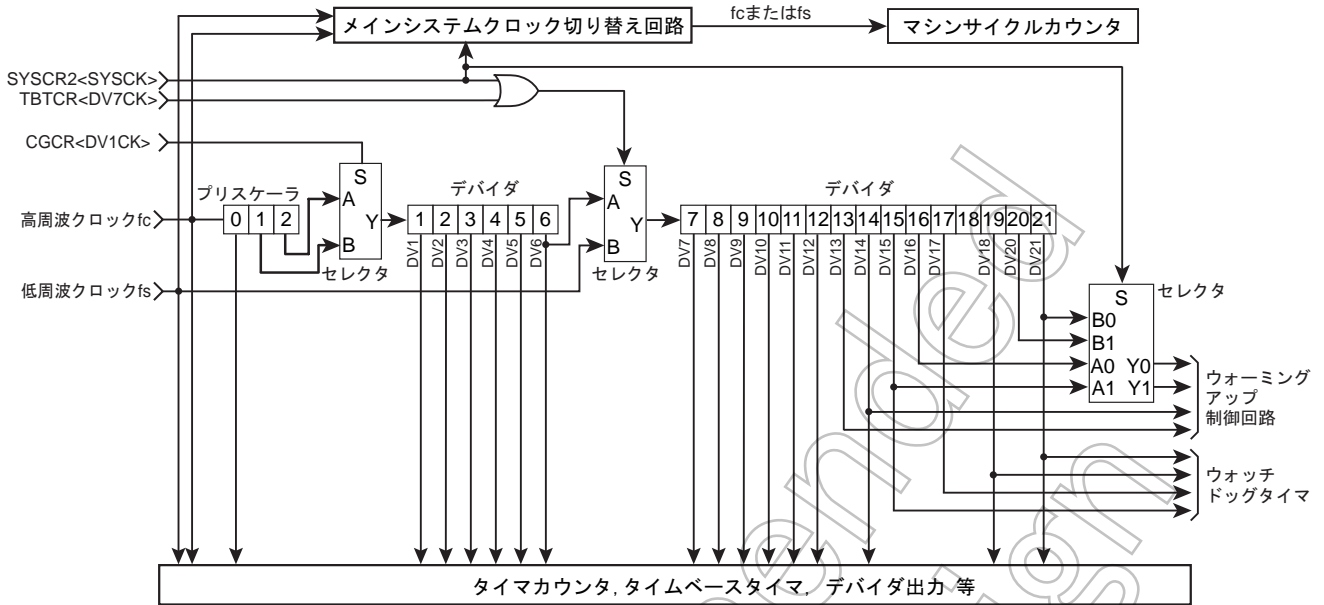


図 2-4 タイミングジェネレータの構成

表 2-3 デバイダの分周比

	DV7CK = 0		DV7CK = 1			DV7CK = 0		DV7CK = 1	
	DV1CK = 0	DV1CK = 1	DV1CK = 0	DV1CK = 1		DV1CK = 0	DV1CK = 1	DV1CK = 0	DV1CK = 1
DV1	$fc/2^3$	$fc/2^4$	$fc/2^3$	$fc/2^4$	DV12	$fc/2^{14}$	$fc/2^{15}$	$fs/2^6$	
DV2	$fc/2^4$	$fc/2^5$	$fc/2^4$	$fc/2^5$	DV13	$fc/2^{15}$	$fc/2^{16}$	$fs/2^7$	
DV3	$fc/2^5$	$fc/2^6$	$fc/2^5$	$fc/2^6$	DV14	$fc/2^{16}$	$fc/2^{17}$	$fs/2^8$	
DV4	$fc/2^6$	$fc/2^7$	$fc/2^6$	$fc/2^7$	DV15	$fc/2^{17}$	$fc/2^{18}$	$fs/2^9$	
DV5	$fc/2^7$	$fc/2^8$	$fc/2^7$	$fc/2^8$	DV16	$fc/2^{18}$	$fc/2^{19}$	$fs/2^{10}$	
DV6	$fc/2^8$	$fc/2^9$	$fc/2^8$	$fc/2^9$	DV17	$fc/2^{19}$	$fc/2^{20}$	$fs/2^{11}$	
DV7	$fc/2^9$	$fc/2^{10}$	$fs/2$		DV18	$fc/2^{20}$	$fc/2^{21}$	$fs/2^{12}$	
DV8	$fc/2^{10}$	$fc/2^{11}$	$fs/2^2$		DV19	$fc/2^{21}$	$fc/2^{22}$	$fs/2^{13}$	
DV9	$fc/2^{11}$	$fc/2^{12}$	$fs/2^3$		DV20	$fc/2^{22}$	$fc/2^{23}$	$fs/2^{14}$	
DV10	$fc/2^{12}$	$fc/2^{13}$	$fs/2^4$		DV21	$fc/2^{23}$	$fc/2^{24}$	$fs/2^{15}$	
DV11	$fc/2^{13}$	$fc/2^{14}$	$fs/2^5$						

デバイダ制御レジスタ

CGCR (0030H)	7	6	5	4	3	2	1	0	
	"0"	"0"	DV1CK	"0"	"0"	"0"	"0"	"0"	(初期値: **0* ****)

DV1CK	デバイダ初段への入力クロックの選択 [Hz]	0: $fc/4$ 1: $fc/8$	R/W
-------	------------------------	------------------------	-----

- 注 1) fc: 高周波クロック [Hz], *: Don't care
- 注 2) CGCR に対してリード命令を実行すると、ビット 4,3 は不定値が読み出されます。
- 注 3) CGCR のビット 7,6,4~0 はかならず "0" を書き込んでください。

タイミングジェネレータ制御レジスタ

TBTCR (0036H)	7	6	5	4	3	2	1	0	(初期値: 0000 0000)
	(DV0EN)	(DV0CK)	DV7CK	(TBTEN)	(TBTCCK)				

DV7CK	デバイダ7段目への 入力クロックの選択	0: $fc/2^8$ [Hz] 1: fs	R/W
-------	------------------------	---------------------------	-----

- 注 1) シングルクロックモード時は、DV7CK を“1”にセットしないでください。
- 注 2) 低周波クロックの発振安定前に DV7CK を“1”にセットしないでください。
- 注 3) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz], *: Don't care
- 注 4) SLOW1/2, SLEEP1/2 モード時は、DV7CK の設定にかかわらず、デバイダ7段目には fs が入力されます。
- 注 5) NORMAL1/2 モードから STOP モードを起動した場合、STOP モード解除後のウォーミングアップ中は DV7CK の設定にかかわらずデバイダ7段目にはデバイダ6段目の出力が入力されます。

2.2.2.2 マシンサイクル

命令の実行および内蔵ハードウェアの動作は、システムクロックに同期して行われます。命令実行の最小単位を、『マシンサイクル』と呼びます。TLCS-870/C シリーズの命令には、1 マシンサイクルで実行される 1 サイクル命令から最長 10 マシンサイクルを要する 10 サイクル命令までの 10 種類があります。

マシンサイクルは、4 ステート (S0~S3) で構成され、各ステートは 1 メインシステムクロックで構成されます。

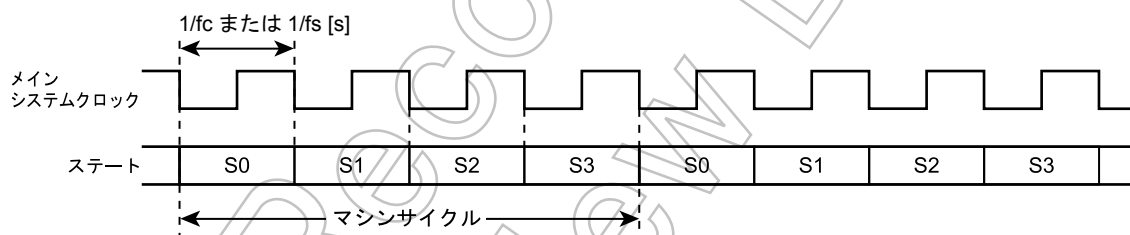


図 2-5 マシンサイクル

2.2.3 動作モードの種類

動作モード制御回路は、高周波クロック用、低周波クロック用の各発振回路の発振 / 停止 およびメインシステムクロックの切り替えを行います。動作モードは、シングルクロックモードとデュアルクロックモード及び STOP モードに大別され、各動作モードの制御はシステム制御レジスタ (SYSCR1, SYSCR2) で行います。図 2-6 に動作モード遷移図を示します。

2.2.3.1 シングルクロックモード

シングルクロックモードは、高周波クロック用発振回路のみ使用する動作モードで、低周波クロック用端子の P21 (XTIN), P22 (XTOUT) は、通常の入出力ポートとして使用することができます。メインシステムクロックは、高周波クロックから生成されますので、シングルクロックモードにおけるマシンサイクルタイムは $4/fc$ [s] となります。

(1) NORMAL1 モード

CPU コアおよび周辺ハードウェアを高周波クロックで動作させるモードです。リセット解除後は、NORMAL1 モードになります。

(2) IDLE1 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウェアを高周波クロックで動作させるモードです。IDLE1 モードの起動は、システム制御レジスタ SYSCR2<IDLE> を“1”にセットすることで行います。周辺ハードウェアからの割り込みまたは外部割り込みにより解除され、NORMAL1 モードに復帰します。IMF (割り込みマスタ許可フラグ) が“1” (割り込み許可状態) の時は、割り込み処理が行われたあと、通常の動作に戻ります。IMF が“0” (割り込み禁止状態) の時は、IDLE1 モードを起動した命令の次の命令から実行再開します。

(3) IDLE0 モード

発振回路と TBT を除き、コアおよび周辺回路を停止させるモードです。NORMAL1 モード時にシステム制御レジスタ SYSCR2<TGHALT> を“1”にセットすることにより起動します。IDLE0 モードを起動すると、CPU が停止しタイミングジェネレータは TBT 以外の周辺回路へのクロック供給を停止します。その後、TBTCCR<TBTCK> によって設定されたソースクロックの立ち上がりエッジを検出するとタイミングジェネレータは全周辺回路へのクロック供給を開始します。

IDLE0 モードを解除すると、CPU は動作を再開し、NORMAL1 モードに復帰します。

なお、IDLE0 モードは、TBTCCR<TBTEN> の設定に関係なく起動 / 復帰し IMF = “1”, EF8 (TBT の割り込み個別許可フラグ) = “1”, TBTCCR<TBTEN> = “1” のときは割り込み処理が行われます。

TBTCCR<TBTEN> = “1” の状態で IDLE0 モードを起動すると、NORMAL モードに復帰後、INTTBT 割り込みラッチがセットされます。

2.2.3.2 デュアルクロックモード

デュアルクロックモードは、高周波、低周波用の 2 つの発振回路を使用する動作モードで、P21 (XTIN), P22 (XTOUT) を低周波クロック用端子として使用します (デュアルクロックモード時、これらの端子は入出力ポートとして使用することはできません)。メインシステムクロックは、NORMAL2, IDLE2 モード時、高周波クロックから生成され、SLOW1, 2, SLEEP1, 2 モード時、低周波クロックから生成されています。従って、マシンサイクルタイムは、NORMAL2, IDLE2 モード時 $4/f_c$ [s]、SLOW, SLEEP モード時 $4/f_s$ [s] ($122 \mu s @ f_s = 32.768 \text{ kHz}$) となります。

TLCS-870/C シリーズは、リセット中シングルクロックモードとなります。デュアルクロックモードで使用する場合は、プログラムの先頭で低周波クロックを発振させてください。

(1) NORMAL2 モード

CPU コアを高周波クロックで動作させるモードで、周辺ハードウェアは高周波 / 低周波の両クロックで動作します。

(2) SLOW2 モード

高周波クロックの発振を動作させながら、CPU コアを低周波クロックで動作させるモードです。NORMAL2 から SLOW2 への切り替え、SLOW2 から NORMAL2 への切り替えは、SYSCR2<SYSCK> で行います。SLOW2 モード時、XTEN を“0”にクリアしないでください。

(3) SLOW1 モード

高周波クロックの発振を停止させ、CPU コア、周辺ハードウェアを低周波クロックで動作させるモードで消費電力を低減できます。

SLOW1 モードと SLOW2 モードの間の変換は SYSCR2<XEN> で行います。SLOW1、SLEEP1 モード時、デバイダの初段から 6 段目までの出力は停止します。

(4) IDLE2 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウェアを高周波 / 低周波の両クロックで動作させるモードです。IDLE2 モードの起動 / 解除方法は、IDLE1 モードと同じです。解除後、NORMAL2 モードに戻ります。

(5) SLEEP1 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウェアを低周波クロックで動作させるモードです。SLEEP1 モードの起動 / 解除方法は、IDLE1 モードと同じです。解除後、SLOW1 モードに戻ります。なお、高周波クロックは発振していません。SLOW1、SLEEP1 時、デバイダの初段から 6 段目までの出力は停止します。

(6) SLEEP2 モード

SLOW2 モードに対応する IDLE モードです。高周波クロックが動作することを除き、SLEEP1 モードと同一の状態です。

(7) SLEEP0 モード

発振回路と TBT を除き、コアおよび周辺回路を停止させるモードです。SLOW1 モード時に SYSCR2<TGHALT> を “1” にセットすることにより起動します。SLEEP0 モードを起動すると、CPU が停止しタイミングジェネレータは TBT 以外へのクロック供給を停止します。その後、TBTCR<TBTCCK> によって設定されたソースクロックの立ち下がりエッジを検出すると、タイミングジェネレータは全周辺回路へのクロック供給を開始します。

SLEEP0 モードを解除すると、CPU は動作を再開し、SLOW1 モードに復帰します。

なお、SLEEP0 モードは、TBTCR<TBTEN> の設定に関係なく起動 / 復帰し、IMF = “1”、EF8 (TBT の割り込み許可フラグ) = “1”、TBTCR<TBTEN> = “1” のときは割り込み処理が行われます。

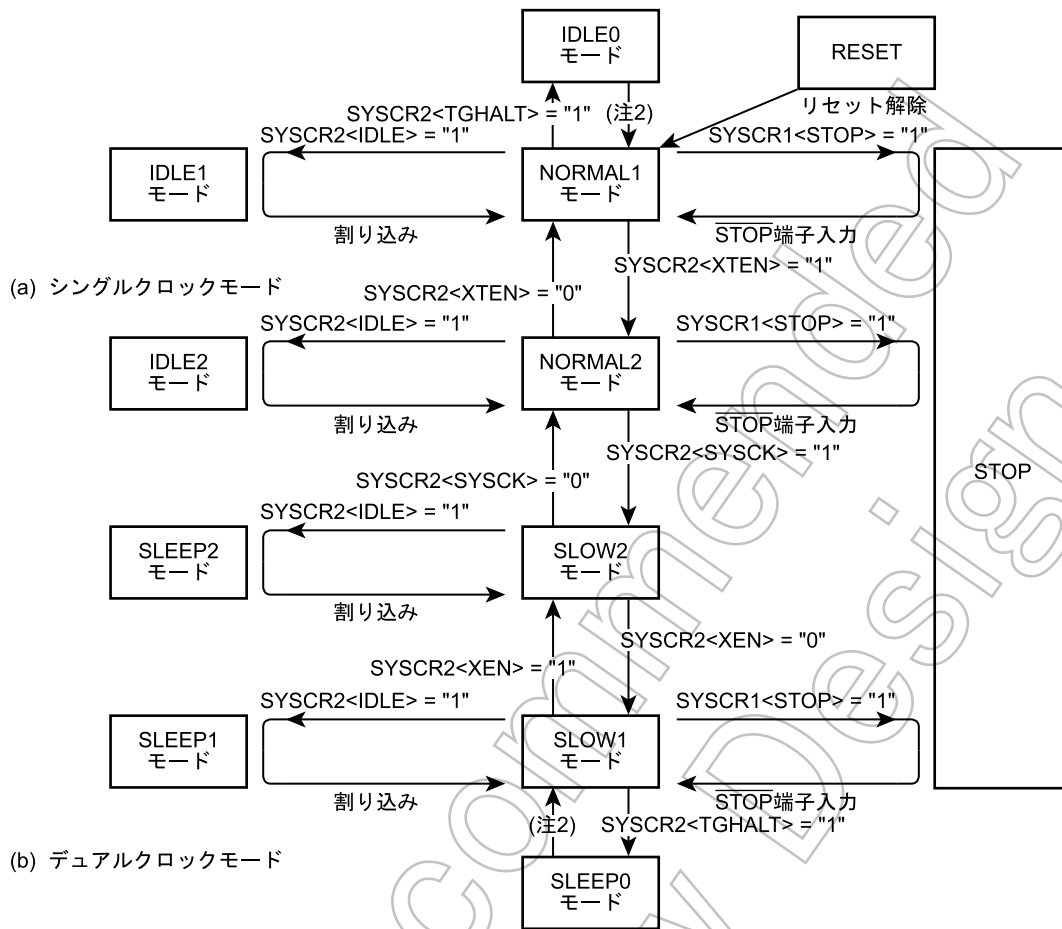
TBTCR<TBTEN> = “1” の状態で SLEEP0 モードを起動すると、SLOW1 モードに復帰後、INTTBT 割り込みラッチがセットされます。

2.2.3.3 STOP モード

発振回路を含めシステムの動作をすべて停止し、停止直前の内部状態を低消費電力で保持するモードです。

STOP モードの起動は、システム制御レジスタ 1 で行います。解除は、 $\overline{\text{STOP}}$ 端子入力で行い、ウォーミングアップ時間経過後、STOP モード起動時のモードに戻り、STOP モードを起動した命令の次の命令から実行再開します。

2.2.3.4 各動作モードの遷移



注 1) NORMAL1, NORMAL2 モードを総称して NORMAL モード、SLOW1, SLOW2 モードを SLOW モード、IDLE0, IDLE1, IDLE2 モードを IDLE モード、SLEEP0, SLEEP1, SLEEP2 モードを SLEEP モードと呼びます。
 注 2) TBTCR<TBTCk> によって選択されたソースクロックの立ち下がりエッジによって解除。

図 2-6 動作モード状態遷移図

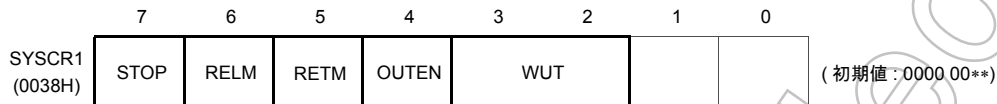
表 2-4 動作モードと各部の状態

動作モード		発振回路		CPUコア	TBT	その他 周辺回路	マシンサイクルタイム
		高周波	低周波				
シングル クロック	RESET	発振	停止	リセット	リセット	リセット	4/fc [s]
	NORMAL1			動作	動作	動作	
	IDLE1			停止		動作	
	IDLE0				停止		
	STOP	停止	停止	停止	停止	—	
デュアル クロック	NORMAL2	発振	発振	高周波動作	動作	動作	4/fc [s]
	IDLE2			停止			
	SLOW2			低周波動作			
	SLEEP2			停止			
	SLOW1	停止	停止	低周波動作	動作	動作	4/fs [s]
	SLEEP1			停止			
	SLEEP0			停止			
	STOP			停止			

Not Recommended for New Designs

2.2.4 動作モードの制御

システム制御レジスタ 1



STOP	STOP モードの起動	0: CPU コア, 周辺ハードウェア動作 1: CPU コア, 周辺ハードウェア停止 (STOP モード起動)		R/W			
RELM	STOP モードの解除方法の選択	0: エッジ解除モード (STOP 端子入力の立ち上がりエッジで解除) 1: レベル解除モード (STOP 端子入力の "H" レベルで解除)		R/W			
RETM	STOP モード解除後の動作モードの選択	0: NORMAL1/2 モードへ戻る 1: SLOW1 モードへ戻る		R/W			
OUTEN	STOP モード時のポート出力状態の選択	0: ハイインピーダンス 1: 出力保持		R/W			
WUT	STOP モード解除時のウォーミングアップ時間 単位: [s]	NORMAL1/2 モードへ戻る場合		SLOW1 モードへ戻る場合	R/W		
			DV1CK=0			DV1CK=1	
		00	$3 \times 2^{16}/fc$			$3 \times 2^{17}/fc$	$3 \times 2^{13}/fs$
		01	$2^{16}/fc$			$2^{17}/fc$	$2^{13}/fs$
10	$3 \times 2^{14}/fc$	$3 \times 2^{15}/fc$	$3 \times 2^6/fs$				
11	$2^{14}/fc$	$2^{15}/fc$	$2^6/fs$				

- 注 1) RETM は、NORMAL モードから STOP モードを起動する場合は必ず "0" にしてください。SLOW モードから STOP モードを起動する場合は必ず "1" にしてください。
- 注 2) STOP モードを RESET 端子入力で解除した場合は、RETM の値にかかわらず NORMAL1 モードに戻ります。
- 注 3) fc; 高周波クロック [Hz], fs; 低周波クロック [Hz], *; Don't care
- 注 4) SYSCR1 のビット 1, 0 は、リードすると不定値が読み出されます。
- 注 5) OUTEN = "0" の指定で STOP モードを起動すると、内部入力は "0" に固定されますので、立ち下がりエッジの外部割り込みがセットされる恐れがあります。
- 注 6) キーオンウェイクアップ入力を使用する場合は、RELM を "1" に設定してください。
- 注 7) P20 端子は STOP 端子と兼用のため、STOP モードを起動すると OUTEN の状態にかかわらず、出力は Hi-z 状態となります。
- 注 8) ウォーミングアップタイムは使用する発振子の特性に合わせて選択してください。

システム制御レジスタ 2

	7	6	5	4	3	2	1	0	
SYSCR2 (0039H)	XEN	XTEN	SYSCK	IDLE		TGHALT			(初期値: 1000 *0**)

XEN	高周波発振器の制御	0: 発振停止 1: 発振継続または発振開始	R/W
XTEN	低周波発振器の制御	0: 発振停止 1: 発振継続または発振開始	
SYSCK	システムクロックの 選択 (write)/ モニタ (read)	0: 高周波クロック (NORMAL1/NORMAL2/IDLE1/IDLE2) 1: 低周波クロック (SLOW/SLEEP)	
IDLE	CPU,WDT 制御 (IDLE1/2, SLEEP1/2 モード)	0: CPU, WDT 動作 1: CPU, WDT 停止 (IDLE1/2, SLEEP1/2 モード起動)	R/W
TGHALT	TG 制御 (IDLE0, SLEEP0 モード)	0: TG から全周辺回路へのクロック供給動作 1: TG から TBT を除く周辺回路へのクロック供給停止 (IDLE0, SLEEP0 モード起動)	R/W

- 注 1) XEN, XTEN をともに “0” にクリアした場合、SYSCK = “0” で XEN を “0” にクリアした場合、および SYSCK = “1” で XTEN を “0” にクリアした場合、リセットがかかります。
- 注 2) WDT; ウォッチドッグタイマ, TG; タイミングジェネレータ, * ; Don't care
- 注 3) SYSCR2 のビット 3, 1, 0 は、リードすると不定値が読み出されます。
- 注 4) IDLE と TGHALT は、同時に “1” に設定しないでください。
- 注 5) IDLE0/SLEEP0 モードは、TBTCR<TBTC> によって選択された非同期の内部ソースクロックによって NORMAL1/SLOW1 モードに復帰しますので、モード起動から復帰までの時間は、TBTCR<TBTC> の時間よりも短くなります。
- 注 6) IDLE1/2, SLEEP1/2 モード解除時、IDLE は自動的に “0” にクリアされます。
- 注 7) IDLE0, SLEEP0 モード解除時、TGHALT は自動的に “0” にクリアされます。
- 注 8) TGHALT を “1” に設定するときは、事前に周辺機能の動作を停止してから行ってください。周辺機能の動作が停止されない場合、IDLE0 または SLEEP0 モードが復帰した直後に周辺機能の割り込みラッチがセットされることがあります。

2.2.4.1 STOP モード

STOP モードは、システム制御レジスタ 1 (SYSCR1) と $\overline{\text{STOP}}$ 端子入力および STOP5 ~ STOP2 によって制御されます。 $\overline{\text{STOP}}$ 端子は、P20 ポートならびに $\overline{\text{INT5}}$ (外部割り込み入力 5) 端子と兼用です。STOP モードは、SYSCR1<STOP> を“1”にセットすることにより起動され、STOP モード中、次の状態を保持しています。

1. 高周波、低周波とも発振を停止し、内部の動作をすべて停止します。
2. データメモリ、レジスタ、プログラムステータスワード、ポートの出力ラッチなどは STOP モードに入る直前の状態を保持します。
3. タイミングジェネレータのプリスケアラおよびデバイダを“0”にクリアします。
4. プログラムカウンタは、STOP モードを起動する命令 (例えば、[SET (SYSCR1). 7]) の 2 つ先の命令のアドレスを保持します。

STOP モードには、レベル解除モードとエッジ解除モードがあり、それらは SYSCR1<RELM> で選択します。エッジ解除モードの場合には、STOP5 ~ STOP2 を使用禁止に設定してください。

注 1) なお、 $\overline{\text{STOP}}$ 端子はキーオンウェイクアップ入力端子とは異なり入力を禁止する機能がありませんので、STOP モードを使用する場合は、必ず STOP 解除用の端子として使用してください。

注 2) STOP 期間中 (STOP モード起動からウォーミングアップ終了までの期間)、外部割り込み端子の信号の変化により割り込みラッチが“1”にセットされ、STOP モード解除後直ちに割り込みを受け付ける場合があります。従って、STOP モードの起動は、割り込みを禁止してから行ってください。また STOP モード解除後に割り込みを許可する場合、あらかじめ不要な割り込みラッチをクリアしてください。

(1) レベル解除モード (RELM = “1” のとき)

$\overline{\text{STOP}}$ 端子への“H”レベル入力または STOP5 ~ STOP2 (STOPCR でビットごとに設定可能) 端子への“L”レベル入力により STOP 動作を解除するモードで、メイン電源遮断時のコンデンサバックアップや長時間のバッテリーバックアップなどに使用します。

$\overline{\text{STOP}}$ 端子入力が“H”レベルまたは STOP5 ~ STOP2 端子が“L”レベルの状態でも STOP 動作の起動を指示する命令を実行しても、STOP 動作に入らず、直ちに解除シーケンス (ウォーミングアップ) に移ります。従って、レベル解除モードで STOP 動作で起動する場合、 $\overline{\text{STOP}}$ 端子入力が“L”レベルであり、また STOP5 ~ STOP2 端子入力が“H”レベルになっていることをプログラム上で認識する必要があります。この認識を行うには、次の方法があります。

1. ポートの状態をテストする方法
2. $\overline{\text{INT5}}$ 割り込みによる方法 ($\overline{\text{INT5}}$ 端子入力の立ち下がりエッジで割り込みを発生します)

(プログラム例 1) P20 ポートをテストして NORMAL モードから STOP モードを起動

	LD	(SYSCR1), 01010000B	; レベル解除モードにセットアップ
SSTOPH:	TEST	(P2PRD). 0	; $\overline{\text{STOP}}$ 端子入力が“L”レベルになるまでウエイト
	JRS	F, SSTOPH	
	DI		; IMF←0
	SET	(SYSCR1). 7	; STOP モードを起動

(プログラム例2) INT5 割り込みにより、NORMAL モードから STOP モードを起動

```

PINT5:    TEST    (P2PRD) . 0           ; ノイズ除去のため P20 ポート入力が
          JRS     F, SINT5             ; "H" レベルなら STOP モードを起動しない。
          LD      (SYSCR1), 01010000B  ; レベル解除モードにセットアップ
          DI      ; IMF←0
          SET     (SYSCR1) . 7         ; STOP モードを起動
SINT5:    RETI
    
```

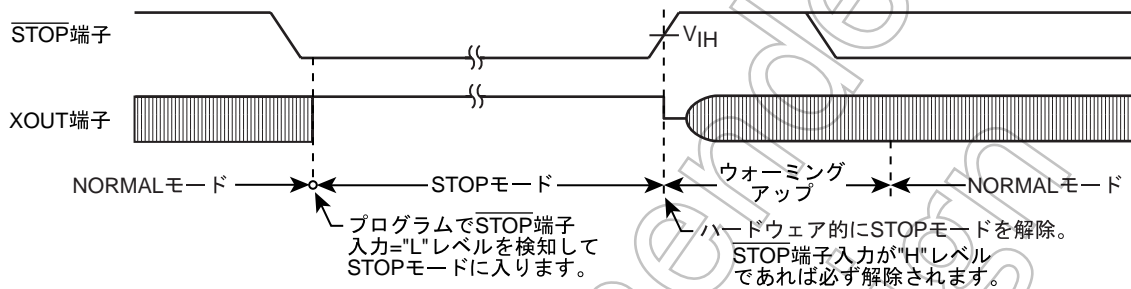


図 2-7 レベル解除モード

- 注 1) ウォーミングアップ開始後、再び $\overline{\text{STOP}}$ 端子入力が "L" レベルまたは、STOP5 ~ STOP2 端子が "H" レベルになっても STOP モードには戻りません。
- 注 2) エッジ解除モードにセットアップ後にレベル解除モードに戻した場合は、 $\overline{\text{STOP}}$ 端子入力の立ち上がりエッジが検出されるまではモードは切り替わりません。

(2) エッジ解除モード (RELM = "0" のとき)

$\overline{\text{STOP}}$ 端子入力の立ち上がりエッジで STOP 動作を解除するモードです。比較的短時間のプログラム処理を一定周期で繰り返す応用などに使用し、この一定周期の信号 (例えば、低消費電力の発振源からのクロック) を $\overline{\text{STOP}}$ 端子に入力します。エッジ解除モードの場合、 $\overline{\text{STOP}}$ 端子入力が "H" レベルにあっても STOP 動作に入ります。なお、STOP5 ~ STOP2 端子入力は、キーオンウェイクアップ制御レジスタ (STOPCR) によってすべて禁止に設定してください。

(プログラム例) NORMAL モードから STOP モードを起動

```

DI      ; IMF←0
LD      (SYSCR1), 10010000B  ; エッジ解除モードに設定して起動
    
```

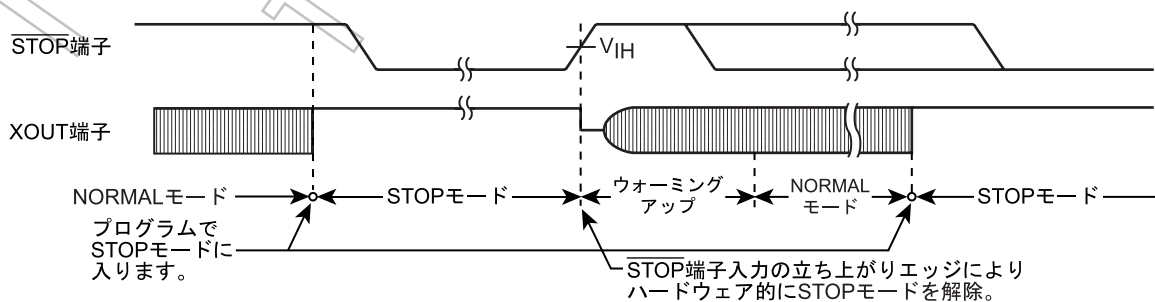


図 2-8 エッジ解除モード

STOP モードの解除は、次のシーケンスで行われます。

1. 発振が開始されます。デュアルクロックモードの場合、NORMAL2 へ戻るときは、高周波 / 低周波発振器の両方が発振し、SLOW へ戻るときは低周波発振器のみ発振します。シングルクロックモードの場合は、高周波発振器のみ発振します。
2. 発振が安定するのに必要な時間の確保のため、ウォーミングアップを行います。ウォーミングアップ中、内部動作は停止したままです。ウォーミングアップ時間は、発振器の特性に合わせて SYSCR1<WUT> で4種類選択できます。
3. ウォーミングアップ時間経過後、STOP モードを起動した命令の次の命令から通常の動作が再開されます。

注 1) STOP モードを解除すると、タイミングジェネレータのプリスケールおよびデバイダは "0" にクリアされた状態から始まります。

注 2) STOP モードは、RESET 端子を "L" レベルにすることによっても解除され、直ちに通常のリセット動作を行います。

注 3) 低い保持電圧で STOP モードの解除を行う場合には、次の注意が必要です。STOP モードの解除に先立ち、電源電圧を動作電圧に上げる必要があります。その際、RESET 端子も "H" レベルにあり、電源電圧とともに上昇します。この場合、外部に時定数回路などが付加されているときには、RESET 端子入力の電圧上昇は電源電圧の上昇よりも立ち上がりが遅くなります。このとき、RESET 端子の入力電圧レベルが、RESET 端子入力 (ヒステリシス入力) の非反転高レベル入力電圧を切るとリセット動作を行う恐れがあります。

表 2-5 ウォーミングアップ時間 (例 : $f_c = 16.0$ MHz, $f_s = 32.768$ kHz 時)

WUT	ウォーミングアップ時間 [ms]		
	NORMAL モードへ戻る場合		SLOW モードに戻る場合
	DV1CK=0	DV1CK=1	
00	12.288	24.576	750
01	4.096	8.192	250
10	3.072	6.144	5.85
11	1.024	2.048	1.95

注 1) ウォーミングアップ時間は、基本クロックをデバイダにて分周して得ていますので、STOP モードの解除時に発振周波数にゆらぎがある場合は、ウォーミングアップ時間は誤差を含むこととなります。従って、ウォーミングアップ時間は、概略値としてとらえる必要があります。

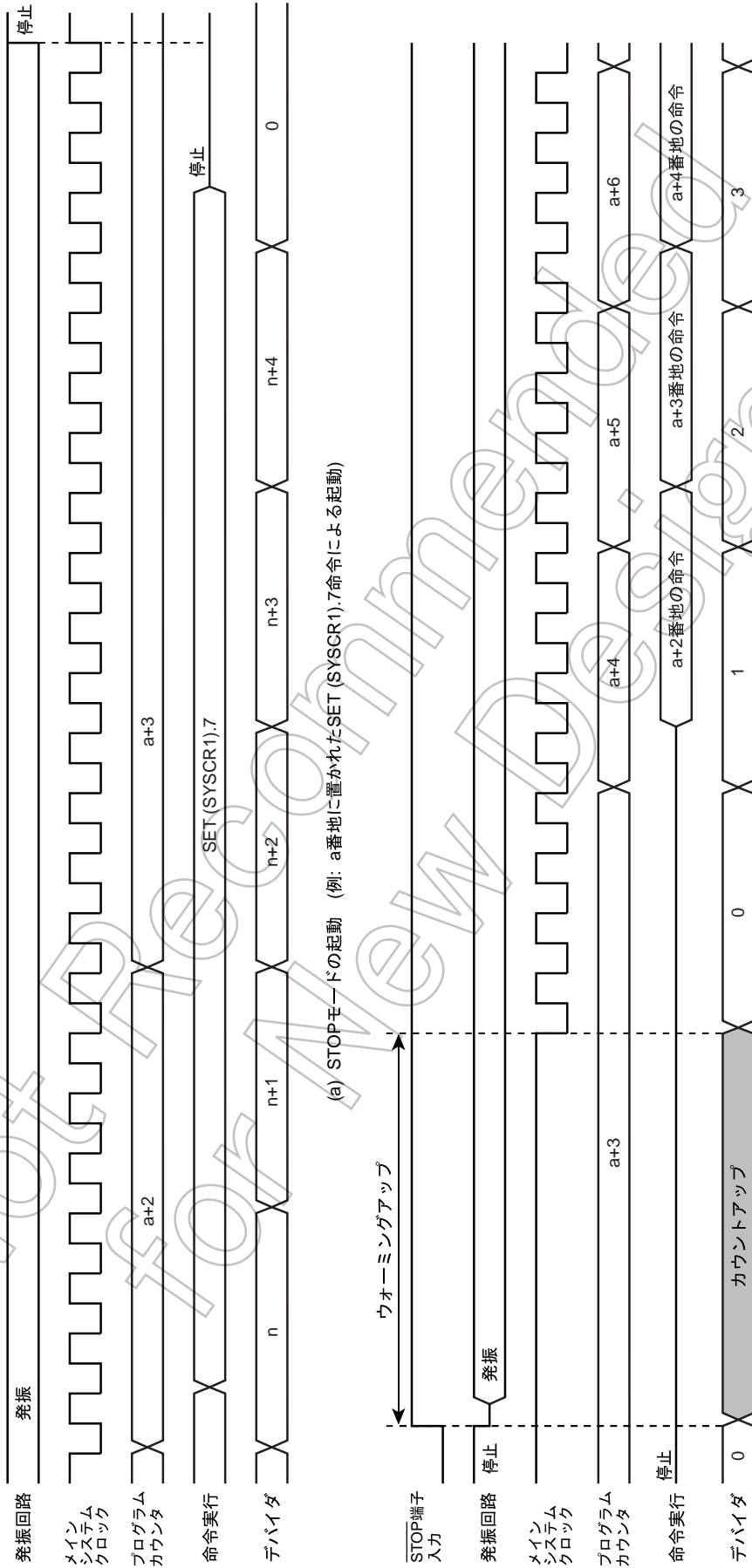


図 2-9 STOPモードの起動 / 解除

2.2.4.2 IDLE1/2 モード , SLEEP1/2 モード

IDLE1/2 モード , SLEEP1/2 モードは、システム制御レジスタ 2 (SYSCR2) とマスクブル割り込みによって制御されます。IDLE1/2 モード , SLEEP1/2 モード中、次の状態を保持しています。

1. CPU およびウォッチドッグタイマは動作を停止します。周辺ハードウェアは動作を継続します。
2. データメモリ , レジスタ , プログラムステータスワード , ポートの出力ラッチなどは、IDLE1/2 モード , SLEEP1/2 モードに入る直前の状態を保持します。
3. プログラムカウンタは、IDLE1/2 モード , SLEEP1/2 モードを起動する命令の 2 つ先の命令のアドレスを保持します。

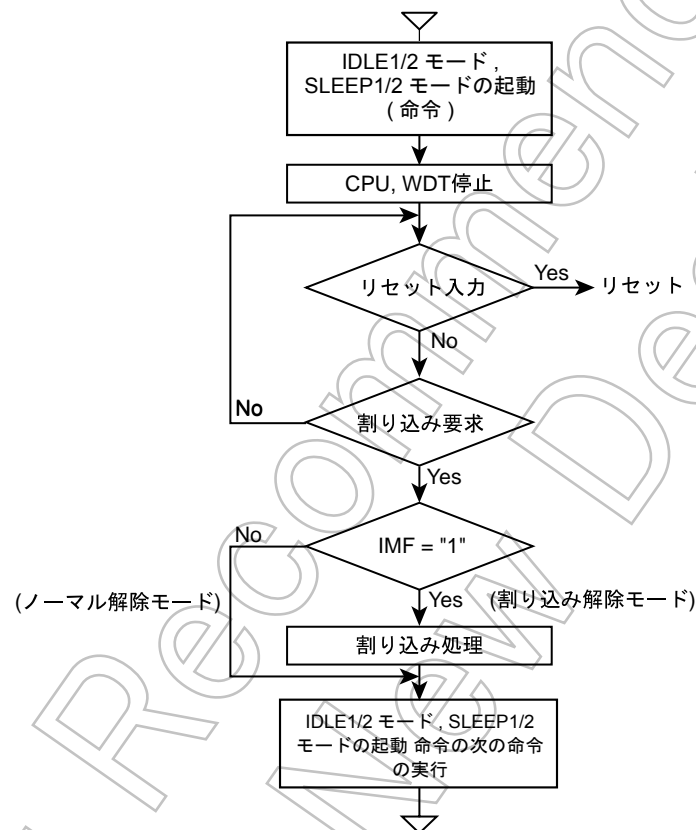


図 2-10 IDLE1/2 モード , SLEEP1/2 モード

- IDLE1/2, SLEEP1/2 モードの起動

割り込みマスタ許可フラグ (IMF) を“0”に設定した後、IDLE1/2, SLEEP1/2 モードを解除する割り込み個別許可フラグ (EF) を“1”に設定します。

IDLE1/2, SLEEP1/2 モードを起動するには、SYSCR2<IDLE> を“1”に設定します。

- IDLE1/2, SLEEP1/2 モードの解除

IDLE1/2, SLEEP1/2 モードには、ノーマル解除モードと割り込み解除モードがあり、それぞれの選択は割り込みマスタ許可フラグ (IMF) によって行います。IDLE1/2, SLEEP1/2 モードが解除されると、SYSCR2<IDLE> は自動的に“0”にクリアされ、起動したモードに復帰します。

なお、IDLE1/2, SLEEP1/2 モードは $\overline{\text{RESET}}$ 端子を“L”レベルにすることによっても解除されます。この場合、リセット解除後は NORMAL1 モードが起動します。

(1) ノーマル解除モード (IMF=“0”のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因により、IDLE1/2, SLEEP1/2 モードが解除され、IDLE1/2, SLEEP1/2 モードを起動した命令の次の命令から実行を再開します。通常、解除に使用した割り込み要因の割り込みラッチ (IL) はロード命令で“0”にクリアする必要があります。

(2) 割り込み解除モード (IMF=“1”のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因により IDLE1/2, SLEEP1/2 モードが解除され、割り込み処理に入ります。割り込み処理後、IDLE1/2, SLEEP1/2 モードを起動した命令の次の命令に戻ります。

注) IDLE1/2, SLEEP1/2 モード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLE1/2, SLEEP1/2 モードは起動されずウォッチドッグタイマ割り込み処理が行われます。

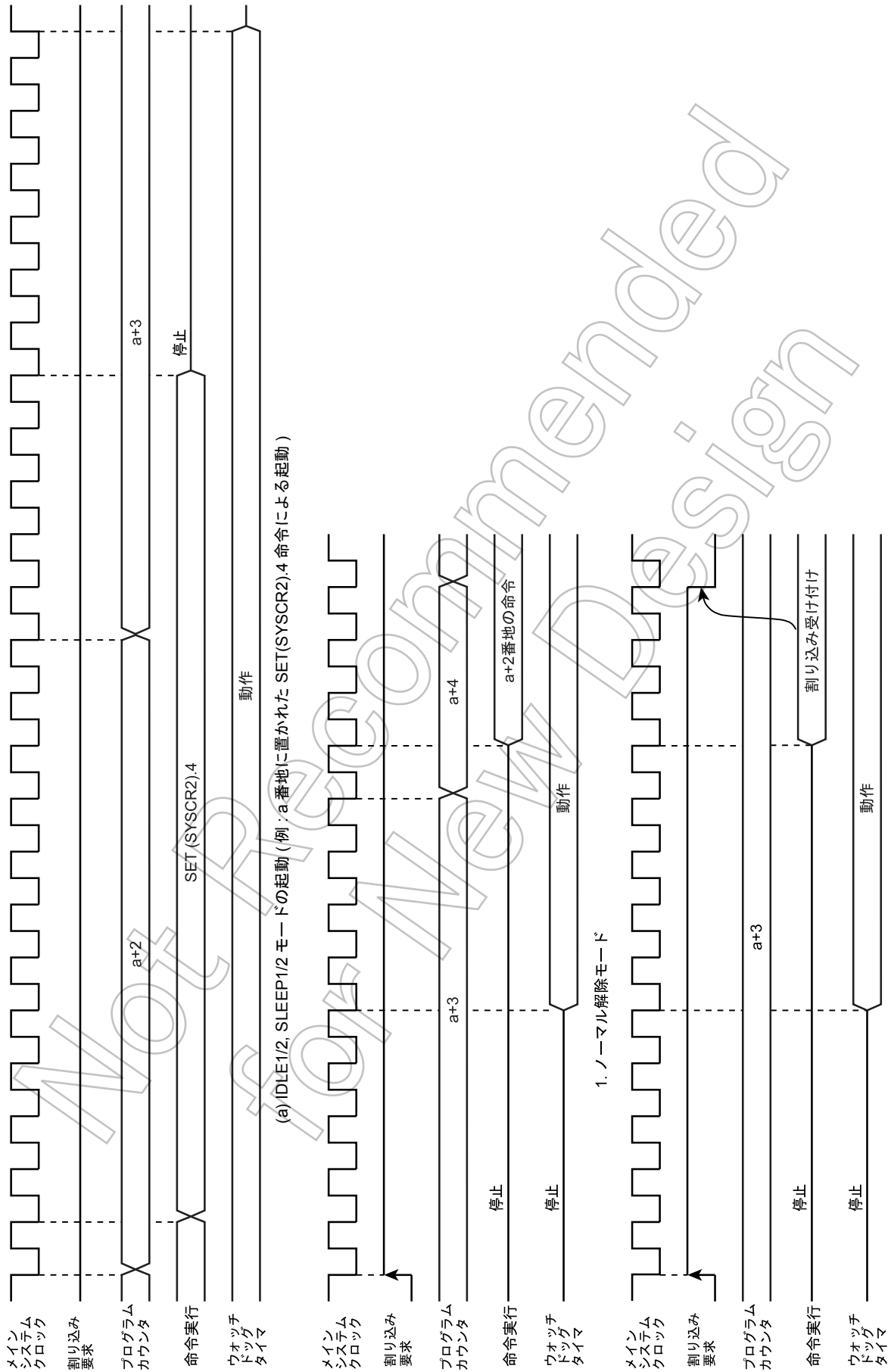


図 2-11 IDLE1/2, SLEEP1/2 モードの起動 / 解除

2.2.4.3 IDLE0, SLEEP0 モード

IDLE0, SLEEP0 モードは、システム制御レジスタ 2 (SYSCR2) とタイムベースタイマによって制御されます。IDLE0, SLEEP0 モード中、次の状態を保持しています。

- タイミングジェネレータは、タイムベースタイマを除く周辺回路へのクロック供給を停止します。
- データメモリ、レジスタ、プログラムステータスワード、ポートの出力ラッチなどは、IDLE0, SLEEP0 モードに入る直前の状態を保持します。
- プログラムカウンタは、IDLE0, SLEEP0 モードを起動する命令の2つ先の命令のアドレスを保持します。

注) IDLE0 または SLEEP0 モードを起動する場合は、周辺機能を停止状態 (ディセーブル状態) に設定してから、IDLE0, SLEEP0 モードを起動してください。

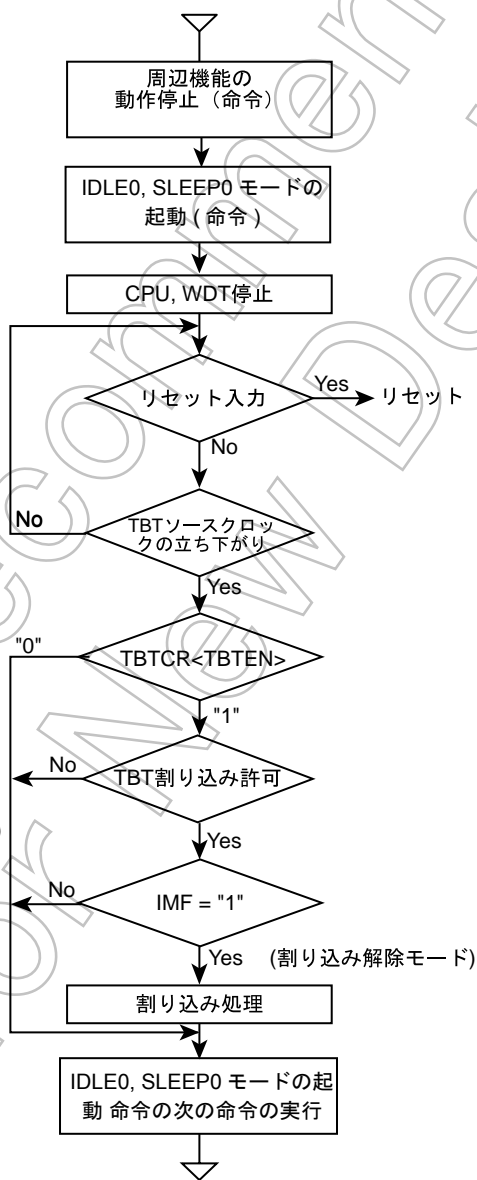


図 2-12 IDLE0, SLEEP0 モード

- IDLE0, SLEEP0 モードの起動

タイマカウンタ等の周辺機能を停止状態（ディセーブル状態）に設定します。

IDLE0, SLEEP0 モードを起動するには、SYSCR2<TGHALT> を“1”に設定します。

- IDLE0, SLEEP0 モードの解除

IDLE0, SLEEP0 モードには、ノーマル解除モードと割り込み解除モードがあり、それぞれの選択は割り込みマスタ許可フラグ (IMF)、タイムベースタイマの割り込み個別許可フラグ (EF8) および TBTCR<TBTEN> によって行います。IDLE0, SLEEP0 モードが解除されると、SYSCR2<TGHALT> は自動的に“0”にクリアされ、起動したモードに復帰します。またこのとき、TBTCR<TBTEN> が“1”にセットされていると INTTBT の割り込みラッチがセットされます。

なお、IDLE0, SLEEP0 モードは $\overline{\text{RESET}}$ 端子を“L”レベルにすることによっても解除されます。この場合、リセット解除後は NORMAL1 モードが起動します。

注) IDLE0, SLEEP0 モードは、TBTCR<TBTEN> の設定に関係なく起動 / 復帰します。

(1) ノーマル解除モード (IMF ・ EF8 ・ TBTCR<TBTEN> = “0” のとき)

TBTCR<TBTCCK> によって設定されたソースクロックの立ち下がりエッジを検出すると、IDLE0, SLEEP0 モードは解除されます。IDLE0, SLEEP0 モードが解除されると、それらのモードを起動した命令の次の命令から処理を再開します。

なお、TBTCR<TBTEN> が“1”の時は、タイムベースタイマ割り込みラッチがセットされます。

(2) 割り込み解除モード (IMF ・ EF8 ・ TBTCR<TBTEN> = “1” のとき)

TBTCR<TBTCCK> によって設定されたソースクロックの立ち下がりエッジを検出すると、IDLE0, SLEEP0 モードが解除された後、INTTBT の割り込み処理が行われます。

注 1) IDLE0, SLEEP0 モードは、TBTCR<TBTCCK> によって選択された非同期の内部ソースクロックによって NORMAL1, SLOW1 に復帰しますので、モード起動から復帰までの時間は TBTCR<TBTCCK> の時間よりも短くなります。

注 2) IDLE0, SLEEP0 モード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLE0, SLEEP0 モードは起動されずウォッチドッグタイマ割り込み処理が行われます。

注 3) 割り込み要因セレクタ (INTSEL) にて IL8ER=“1”(IL8 の割り込みソースを INT2 に選択) に設定した場合、IMF、EF8、TBTCR<TBTCCK> の設定に関係なく IDLE0, SLEEP0 モード解除後は常にノーマル解除モードとなります。

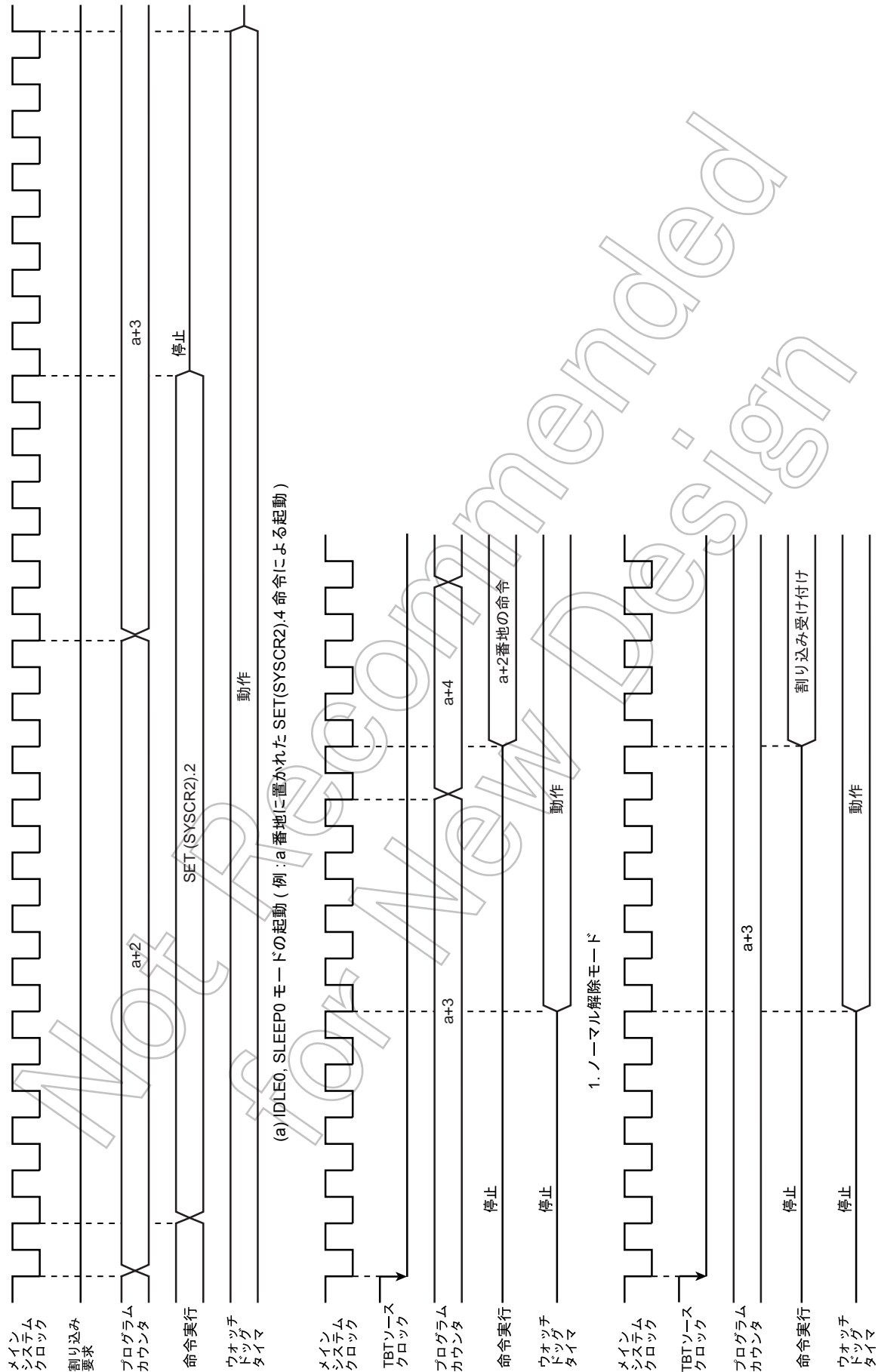


図 2-13 IDLE0, SLEEP0 モードの起動 / 解除

2.2.4.4 SLOW モード

SLOW モードは、システム制御レジスタ 2 (SYSCR2) によって制御されます。

(1) NORMAL2 モードから SLOW モードへの切り替え

まず、SYSCR2<SYSCK> に“1”を書き込み、システムクロックを低周波クロックに切り替えます。次に、SYSCR2<XEN>を“0”にクリアして高周波発振器を停止します。

注) NORMAL2 モードへ早く戻すために高周波クロックの発振を継続させることも可能です。ただし、SLOW モードから STOP モードを起動する場合は、必ず高周波クロックを停止してください。

なお、低周波クロックが安定に発振していない場合は、安定発振するまで待ってから上記操作を行ってください。低周波クロックの安定発振を確認するのに、タイマカウンタ (TC2) を使用すると便利です。

(プログラム例 1) NORMAL2 モードから SLOW1 モードへの切り替え

```

; SYSCR2<SYSCK>←1
SET      (SYSCR2). 5      ;(システムクロックを低周波に切り替え
                        ;(SLOW2 モードに))
CLR      (SYSCR2). 7      ; SYSCR2<XEN>←0(高周波クロック停止)

```

(プログラム例 2) TC2 で低周波クロックの安定発振の確認後、SLOW1 モードへ切り替え

```

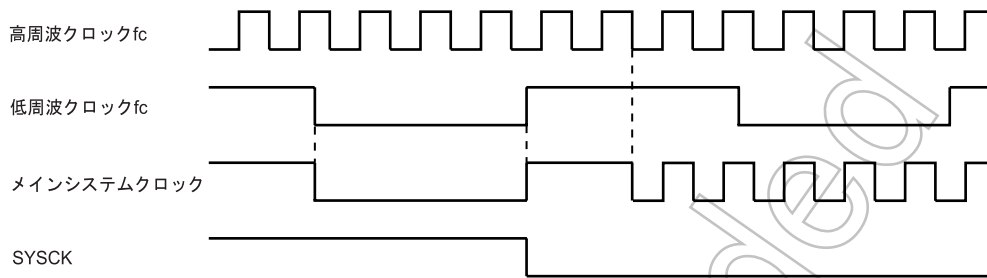
; SYSCR2<XTEN>←1
SET      (SYSCR2). 6      ;(低周波クロック発振開始)
LD       (TC2CR), 14H     ; TC2 のモードをセット
LDW     (TC2DRL), 8000H   ; ウォーミングアップ時間をセット
                        ;(発振子の特性で時間を決定します)
DI       ; IMF←0
SET      (EIRH). 4       ; INTTC2 の割り込みを許可
EI       ; IMF←1
SET      (TC2CR). 5      ; TC2 スタート
;
PINTTC2: CLR      (TC2CR). 5      ; TC2 ストップ
SET      (SYSCR2). 5      ; SYSCR2<SYSCK>←1
                        ;(システムクロックを低周波に切り替え)
CLR      (SYSCR2). 7      ; SYSCR2<XEN>←0(高周波クロック停止)
RETI
;
VINTTC2: DW       PINTTC2      ; INTTC2 ベクタテーブル

```

(2) SLOW1 モードから NORMAL2 モードへの切り替え

まず、SYSCR2<XEN>を“1”にセットして高周波クロックを発振させます。発振の安定時間 (ウォーミングアップ) をタイマカウンタ (TC2) によって確保したあと、SYSCR2<SYSCK>を“0”にクリアしてシステムクロックを高周波に切り替えます。SLOW モードは RESET 端子を“L”レベルにすることによっても解除され、直ちに通常のリセット動作を行います。リセット解除後は NORMAL1 モードになります。

注) SYSCK を “0” にクリア後、低周波クロックと高周波クロックの同期をとっている期間は低周波クロックで命令の実行を継続しています



(プログラム例) TC2 で SLOW1 モードから NORMAL2 モードへの切り替え
(fc = 16 MHz, ウォーミングアップ時間 = 4.0 ms)

```

SET      (SYSCR2).7      ;SYSCR2<XEN>←1
                          ;(高周波クロック発振開始)
LD       (TC2CR), 10H    ;TC2 のモードをセット
LD       (TC2DRH), 0F8H ;ウォーミングアップ時間をセット
                          ;(周波数と発振子の特性で時間を決定します)
DI       ;IMF←0
SET      (EIRH).4       ;INTTC2 割り込みを許可
EI       ;IMF←1
SET      (TC2CR).5      ;TC2 スタート
;
;
PINTTC2  CLR      (TC2CR).5 ;TC2 ストップ
CLR      (SYSCR2).5      ;SYSCR2<SYSCK>←0
                          ;(システムクロックを高周波に切り替え)
RETI
;
;
VINTTC2: DW      PINTTC2 ;INTTC2 ベクタテーブル
    
```

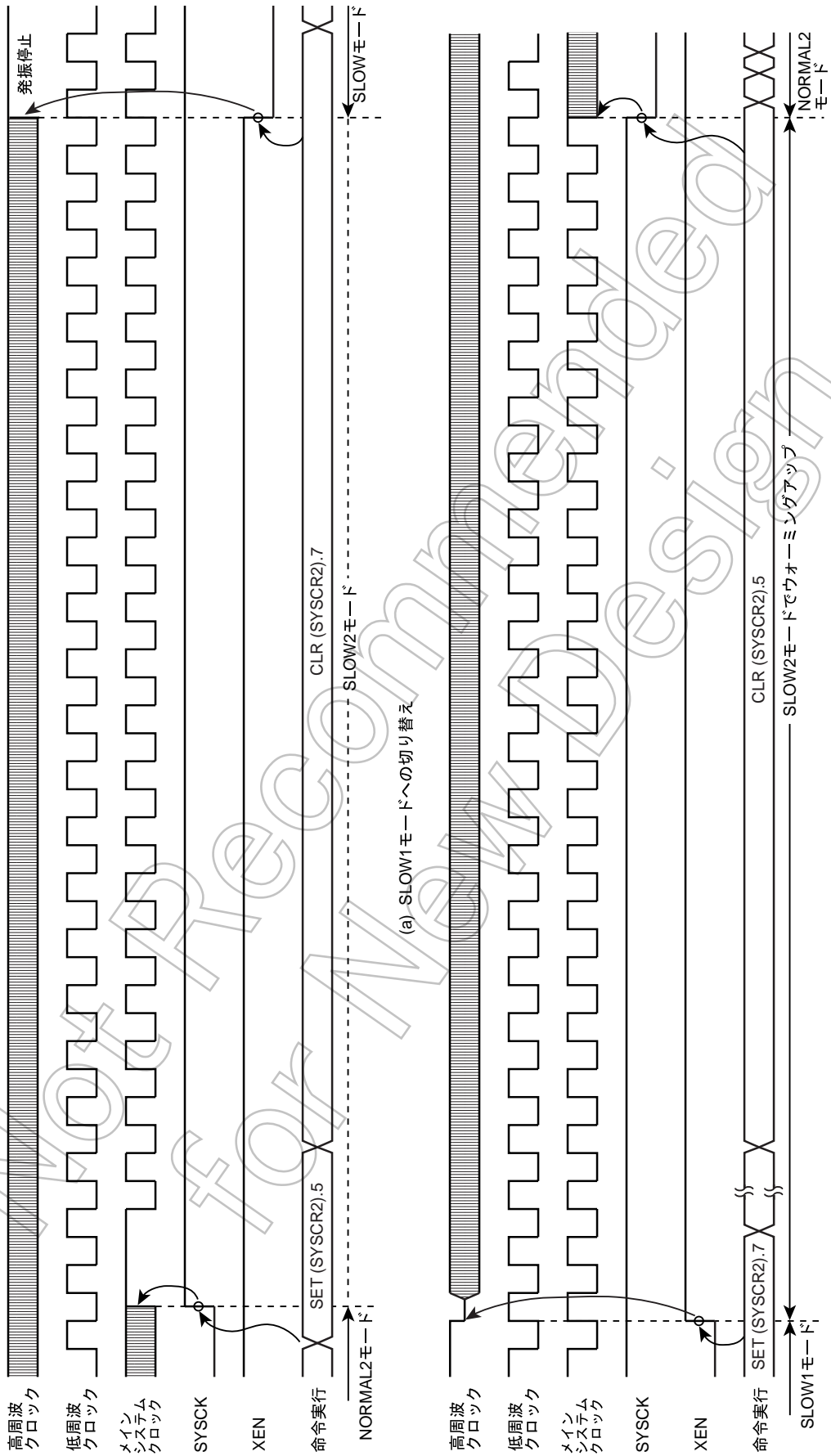


図 2-14 SLOW ↔ NORMAL2 モード切り替え

2.3 リセット回路

TMP86CS64AFG には外部リセット入力、アドレストラップリセット、ウォッチドッグタイマリセット、システムクロックリセットの4種類のリセット発生手段があります。

このうちアドレストラップリセット、ウォッチドッグタイマリセット、システムクロックリセットは、内部要因リセットで、これらのリセット要求を検出すると、最大 $24/fc[s]$ の期間リセット状態となります。

電源投入時、内部要因リセット回路 (ウォッチドッグタイマリセット、アドレストラップリセット、システムクロックリセット) は初期化されませんので電源投入時に最大 $24/fc(1.5\ \mu s @ 16.0\ MHz)$ の期間リセット状態となる場合があります。

表 2-6 にリセット動作による内蔵ハードウェアの初期化を示します。

表 2-6 リセット動作による内蔵ハードウェアの初期化

内蔵ハードウェア	初期値	内蔵ハードウェア	初期値
プログラムカウンタ (PC)	(FFFEH)	タイミングジェネレータのプリスケールおよびデバイダ	0
スタックポインタ (SP)	初期化されません		
汎用レジスタ (W, A, B, C, D, E, H, L, IX, IY)	初期化されません		
ジャンプステータスフラグ (JF)	初期化されません	ウォッチドッグタイマ	イネーブル
ゼロフラグ (ZF)	初期化されません	入出力ポートの出カラッチ	各入出力ポートの説明箇所を参照
キャリーフラグ (CF)	初期化されません		
ハーフキャリーフラグ (HF)	初期化されません		
サインフラグ (SF)	初期化されません		
オーバフローフラグ (VF)	初期化されません		
割り込みマスタ許可フラグ (IMF)	0		
割り込み個別許可フラグ (EF)	0	制御レジスタ	各制御レジスタの説明箇所を参照
割り込みラッチ (IL)	0		
		RAM	初期化されません

2.3.1 外部リセット入力

\overline{RESET} 端子はプルアップ抵抗付きのヒステリシス入力となっており、電源電圧が動作電圧範囲内にあり、発振が安定している条件のもとで最小 3 マシンサイクル ($12/fc [s]$) 以上の間 \overline{RESET} 端子を“L”レベルに保つと、リセットがかかり内部状態が初期化されます。

\overline{RESET} 端子入力が“H”レベルに立ち上がるとリセット動作は解除され、アドレス FFFE~FFFFH に格納されたベクタアドレスからプログラムの実行を開始します。

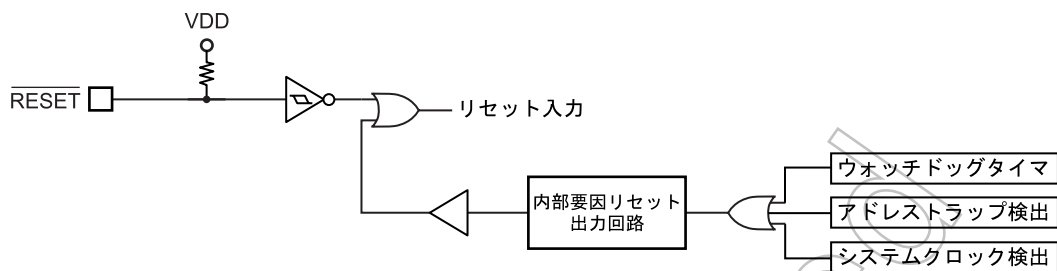
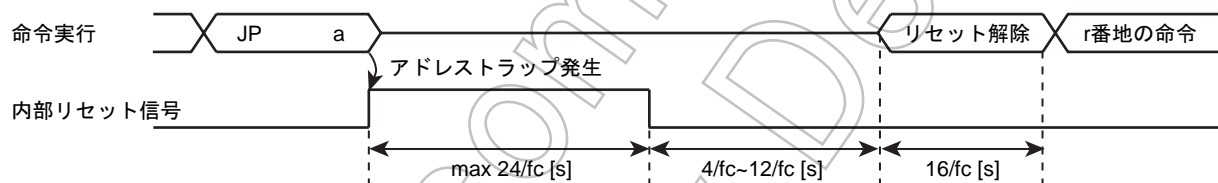


図 2-15 リセット回路

2.3.2 アドレストラップリセット

CPU がノイズなどの原因により暴走して内蔵 RAM (WDTCR1<ATAS> = “1” 時), DBR または SFR 領域から命令をフェッチしようとするときリセット信号が発生します。リセット時間は、最大 $24/f_c$ [s] ($1.5 \mu\text{s}$ @ 16.0 MHz) です。

注) アドレストラップはリセットと割り込みの選択が可能です。また、アドレストラップの領域を選択することが可能です。



注 1) a は内蔵 RAM (WDTCR1<ATAS> = “1” 時)、SFR または DBR 領域内のアドレスです。

注 2) リセット解除処理は、リセットベクタ r の読み出しと r 番地の命令のフェッチ / デコードが行われます。

図 2-16 アドレストラップリセット

2.3.3 ウォッチドッグタイマ リセット

『ウォッチドッグタイマ』を参照してください。

2.3.4 システムクロックリセット

以下のいずれかの条件が成立した場合、CPU がデッドロック状態に陥るのを防ぐため、自動的にシステムクロックリセットが発生します。(発振は、継続します)

- SYSCR2<XEN>, SYSCR2<XTEN> を共に “0” にクリアした場合
- SYSCR2<SYSCK> = “0” のとき、SYSCR2<XEN> を “0” にクリアした場合
- SYSCR2<SYSCK> = “1” のとき、SYSCR2<XTEN> を “0” にクリアした場合

リセット時間は、最大 $24/f_c$ [s] ($1.5 \mu\text{s}$ @ 16.0 MHz) です。

Not Recommended
for New Design

第3章 割り込み制御回路

TMP86CS64AFG には、リセットを除き合計 21 種類の割り込み要因（うち、5 要因はマルチプレクス）があり、優先順位付きの多重割り込みが可能です。内部要因のうち 4 種はノンマスクابل割り込みで、そのほかはすべてマスクابل割り込みです。

割り込み要因には、それぞれ割り込み要求を保持する割り込みラッチ (IL) が用意され、また、独立したベクタになっています。割り込みラッチは、割り込み要求の発生により“1”にセットされ、CPU に割り込みの受け付けを要求します。割り込みの受け付けは、割り込みマスタ許可フラグ (IMF) と各割り込み要因の個別許可フラグ (EF) によって、プログラムで選択し許可 / 禁止できます。なお、複数の割り込みが同時に発生した場合は、ハードウェアで定められた優先順位の高いものから受け付けられます。ただし、ノンマスクابل割り込みに優先順位はありません。

割り込み要因		許可条件	割り込みラッチ	ベクタアドレス	優先順位
内部 / 外部	(リセット)	ノンマスクابل	-	FFFE	1
内部	INTSW (ソフトウェア割り込み)	ノンマスクابل	-	FFFC	2
内部	INTUNDEF (未定義命令実行割り込み)	ノンマスクابل	-	FFFC	2
内部	INTATRAP (アドレストラップ割り込み)	ノンマスクابل	IL2	FFFA	2
内部	INTWDT (ウォッチドッグタイマ割り込み)	ノンマスクابل	IL3	FFF8	2
外部	$\overline{INT0}$	IMF・EF4 = 1, INT0EN = 1	IL4	FFF6	5
内部	INT1	IMF・EF5 = 1	IL5	FFF4	6
内部	INTTC4	IMF・EF6 = 1	IL6	FFF2	7
内部	INTTC5	IMF・EF7 = 1	IL7	FFF0	8
内部	INTTBT	IMF・EF8 = 1, IL8ER = 0	IL8	FFEE	9
外部	INT2	IMF・EF8 = 1, IL8ER = 1			
内部	INTTC1	IMF・EF9 = 1, IL9ER = 0	IL9	FFEC	10
外部	INT3	IMF・EF9 = 1, IL9ER = 1			
内部	INTTC3	IMF・EF10 = 1	IL10	FFEA	11
内部	INTTC6	IMF・EF11 = 1	IL11	FFE8	12
内部	INTTC2	IMF・EF12 = 1	IL12	FFE6	13
内部	INTSIO1	IMF・EF13 = 1, IL13ER = 0	IL13	FFE4	14
外部	INT4	IMF・EF13 = 1, IL13ER = 1			
内部	INTTRX	IMF・EF14 = 1, IL14ER = 0	IL14	FFE2	15
外部	$\overline{INT5}$	IMF・EF14 = 1, IL14ER = 1			
内部	INTADC	IMF・EF15 = 1, IL15ER = 0	IL15	FFE0	16
内部	INTSIO2	IMF・EF15 = 1, IL15ER = 1			

注1) 割り込みソースを共有している割り込み要因は、INTSEL レジスタ（「3.3 割り込み要因の選択 (INTSEL)」）で設定します。

注2) アドレストラップ割り込み (INTATRAP) を使用するには WDTTCR1<ATOUT> を "0" に設定してください (リセット解除後は "リセット要求" に設定されています)。詳しくは「アドレストラップ」の章を参照してください。

注3) ウォッチドッグタイマ割り込み (INTWDT) を使用するには WDTTCR1<WDTOUT> を "0" に設定してください (リセット解除後は "リセット要求" に設定されています)。詳しくは「ウォッチドッグタイマ」の章を参照してください。

3.1 割り込みラッチ (IL15 ~ IL2)

割り込みラッチは、ソフトウェア割り込みと未定義命令実行割り込みを除いて各要因ごとに設けられており、割り込み要求の発生により“1”にセットされます。割り込み受け付けが許可されていると、CPU に割り込みの受け付けを要求します。割り込みが受け付けられた直後に割り込みラッチは“0”にクリアされます。リセット時、割り込みラッチはすべて“0”に初期化されます。

割り込みラッチは、SFR 内の 003CH, 003DH 番地に割り付けられており、命令によって個別にクリアすることができます。ただし、IL2, IL3 については命令でクリアしないでください。プログラムで割り込み要求をクリアするときにはロード命令を使用して、IL2, IL3 には“1”を書き込むようにします。ビット操作命令や演算命令などのリードモディファイライト命令は、命令実行中に発生した割り込み要求がクリアされることがあるので使用しないでください。

また、割り込みラッチの内容を読み出すことができますので、割り込み要求のソフトウェアによるテストも可能です。ただし、割り込みラッチを命令で直接セットすることはできません。

注) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を“0”にクリアしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を“1”にセットしてください (EI 命令による割り込みの許可)。割り込みサービスプログラムでは、IMF は自動的に“0”になりますので、通常割り込みサービスプログラムの中で IMF を“0”にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を“1”にセットする前に EF および IL を設定してください。

(プログラム例1) 割り込みラッチのクリア

```
DI                                ; IMF ← 0
LDW      (ILL), 1110100000111111B ; IL12, IL10~IL6 ← 0
EI                                ; IMF ← 1
```

(プログラム例2) 割り込みラッチの読み出し

```
LD      WA, (ILL)                ; W ← ILH, A ← ILL
```

(プログラム例3) 割り込みラッチのテスト

```
TEST      (ILL), 7                ; IL7 = 1 ならジャンプ
JR      F, SSET
```

3.2 割り込み許可レジスタ (EIR)

ノンマスクابل割り込み (ソフトウェア割り込み、未定義命令割り込み、アドレストラップ割り込みとウォッチドッグタイマ割り込み) を除く割り込み要因に対して受け付けの許可/禁止を行うレジスタです。ノンマスクابل割り込みは、割り込み許可レジスタの内容にかかわらず受け付けられます。

割り込み許可レジスタは、割り込みマスタ許可フラグ (IMF) と割り込み個別許可フラグ (EF) で構成されています。割り込み許可レジスタは、SFR 内の 003AH, 003BH 番地に割り付けられており、命令でリード/ライト (ビット操作命令などのリードモディファイライトも含む) できます。

3.2.1 割り込みマスタ許可フラグ (IMF)

マスクابل割り込み全体に対して受け付けの許可/禁止の制御を行うフラグです。“0”にクリアされていると、すべてのマスクابل割り込みの受け付けは禁止状態であり、“1”にセットされていると、割り込み個別許可フラグで指定された割り込み受け付けが許可状態です。

割り込みが受け付けられると割り込みマスタ許可フラグはスタックに一時退避された後“0”にクリアされ、そのあとのマスクابل割り込みの受け付けを一時的に禁止します。割り込みサービスプログラムを実行後、割り込みリターン命令 [RETI]/[RETN] によりスタックから読み出された値がセットされ割り込み受け付け前の状態に戻ります。

割り込みマスタ許可フラグは、EIRL (SFR 内の 003AH 番地) のビット 0 に割り付けられており、命令でリード/ライト できます。通常、割り込みマスタ許可フラグのセット/クリアは、[EI]/[DI] 命令で行います。なお、リセット時、割り込みマスタ許可フラグは“0”に初期化されます。

3.2.2 割り込み個別許可フラグ (EF15 ~ EF4)

各マスクابل割り込み要因に対し、個々に割り込み受け付けの許可/禁止の指定を行うフラグです。割り込み個別許可フラグの該当ビットが“1”なら割り込み受け付けを許可し、“0”なら禁止します。

なお、リセット時、割り込み個別許可フラグは“0”に初期化されます。個別許可フラグが“1”にセットされるまでマスクابل割り込みは受け付けられません。

注) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を“0”にクリアにしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を“1”にセットしてください (EI 命令による割り込みの許可)。割り込みサービスプログラムでは、IMF は自動的に“0”になりますので、通常割り込みサービスプログラムの中で IMF を“0”にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を“1”にセットする前に EF および IL を設定してください。

(プログラム例 1) 割り込みの個別許可と IMF のセット

```
DI ; IMF ← 0
LDW ; EF15~EF13, EF11, EF7, EF5 ← 1
: (EIRL), 1110100010100000B ; 注) IMF はセットしない
:
EI ; IMF ← 1
```

(プログラム例 2) コンパイラ記述例

```
unsigned int _io (3AH) EIRL; /* 3AH は EIRL のアドレス */
_DI ();
EIRL=10100000B;
:
_EI ();
```

Not Recommended
for New Design

割り込みラッチ

(初期値: 00000000 000000**)

ILH, ILL (003DH, 003CH)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IL15	IL14	IL13	IL12	IL11	IL10	IL9	IL8	IL7	IL6	IL5	IL4	IL3	IL2		

ILH (003DH)

ILL (003CH)

IL15~IL2	割り込みラッチ	RD時	WR時	R/W
		0: 割り込み要求なし 1: 割り込み要求あり	0: 割り込み要求のクリア (注) 1: セットは不可	

- 注 1) IL7~IL4 のいずれかをクリアする場合、IL2, IL3 には必ず "1" を書き込んでください。
- 注 2) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を "0" にクリアしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を "1" にセットしてください (EI 命令による割り込みの許可)。
割り込みサービスプログラムでは、IMF は自動的に "0" になりますので、通常割り込みサービスプログラムの中で IMF を "0" にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を "1" にセットする前に EF および IL を設定してください。
- 注 3) IL はビット操作などのリードモディファイライト命令でクリアしないでください。

割り込み許可レジスタ

(初期値: 00000000 0000****)

EIRH, EIRL (003BH, 003AH)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EF15	EF14	EF13	EF12	EF11	EF10	EF9	EF8	EF7	EF6	EF5	EF4				IMF

EIRH (003BH)

EIRL (003AH)

EF15~EF4	割り込み個別許可フラグ (ビットごとに指定)	0: 各マスカブル割り込みの受け付け禁止 1: 各マスカブル割り込みの受け付け許可	R/W
IMF	割り込みマスタ許可フラグ	0: 各マスカブル割り込み全体の受け付け禁止 1: 各マスカブル割り込み全体の受け付け許可	

- 注 1) *: Don't care
- 注 2) 割り込み許可フラグ (EF15~4) と同時に IMF を "1" にセットしないでください。
- 注 3) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を "0" にクリアしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を "1" にセットしてください (EI 命令による割り込みの許可)。
割り込みサービスプログラムでは、IMF は自動的に "0" になりますので、通常割り込みサービスプログラムの中で IMF を "0" にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を "1" にセットする前に EF および IL を設定してください。

3.3 割り込み要因の選択 (INTSEL)

割り込みソースをほかの割り込み要因と共有する割り込み要因は、INTSEL レジスタで選択された場合に限り割り込みラッチをイネーブルにすることができます。割り込みコントローラは INTSEL レジスタで選択されていないときに発生する割り込み要求を保持しません。このため、割り込み要因が発生する前に INTSEL レジスタを適切に設定する必要があります。

1. INTTBT と INT2 は優先順位 9 の割り込みソースを共有します。
2. INTTC1 と INT3 は優先順位 10 の割り込みソースを共有します。
3. INTSIO1 と INT4 は優先順位 14 の割り込みソースを共有します。
4. INTTRX と INT5 は優先順位 15 の割り込みソースを共有します。
5. INTADC と INTSIO2 は優先順位 16 の割り込みソースを共有します。

割り込み要因セレクタ

INTSEL (003EH)	7	6	5	4	3	2	1	0	
	IL8ER	IL9ER	—	—	—	IL13ER	IL14ER	IL15ER	(初期値: 00** *000)

IL8ER	INTTBT, INT2 の選択	0: INTTBT 1: INT2	R/W
IL9ER	INTTC1, INT3 の選択	0: INTTC1 1: INT3	R/W
IL13ER	INTSIO1, INT4 の選択	0: INTSIO1 1: INT4	R/W
IL14ER	INTTRX, INT5 の選択	0: INTTRX 1: INT5	R/W
IL15ER	INTADC, INTSIO2 の選択	0: INTADC 1: INTSIO2	R/W

3.4 割り込み処理

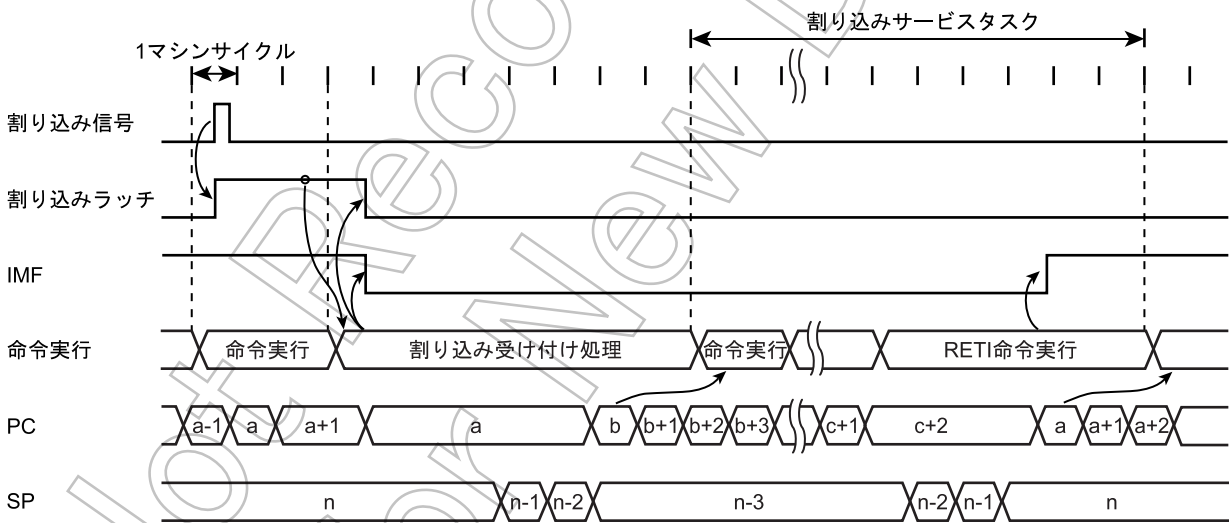
割り込み要求は、割り込みが受け付けられるか、リセット動作または命令によって、割り込みラッチが“0”にクリアされるまで保持されます。割り込み受け付け処理は、実行中の命令が終了したあと、8 マシンサイクル (2 μ s @16 MHz) を要して実行されます。割り込みサービスタスクは、割り込みリターン命令 [RETI] (マスカブル割り込みの場合)/[RETN] (ノンマスカブル割り込みの場合) を実行して終了します。図 3-1 に割り込み受け付け処理タイミングを示します。

3.4.1 割り込み受け付け処理

割り込み受け付け処理は、次の動作を自動的に行います。

1. 割り込みマスタ許可フラグ (IMF) を“0”にクリアし、そのあとのマスカブル割り込みの受け付けを一時的に禁止します。
2. 受け付けた割り込み要因の割り込みラッチを“0”にクリアします。
3. プログラムカウンタ (PC) プログラム ステータスワード (PSW) および割り込み受け付け前の IMF の内容をスタックに退避します (PSW + IMF, PCH, PCL の順にプッシュダウンされます)。スタックポインタ (SP) は3回デクリメントされます。
4. 割り込み要因に応じたベクタテーブルアドレスから割り込みサービスプログラムのエントリーアドレス (割り込みベクタ) を読み出し、プログラムカウンタにセットします。
5. 割り込みサービスプログラムのエントリーアドレスに格納されている命令の実行に移ります。

注) PSW の内容がスタックに退避される際、同時に IMF の状態も退避されます。



注 1) a; 戻り番地 b; エントリーアドレス c; RETI 命令が格納されているアドレス

注 2) 割り込みラッチがセットされてから割り込み受け付け処理が開始されるまでの時間は、割り込み許可状態のとき最大 38/fc [s] または 38/fs [s] (10 サイクル命令実行時の第一マシンサイクルで割り込みラッチがセットされたときに当たります) となります。

図 3-1 割り込み受け付け処理 / 割り込みリターン命令タイミングチャート

例: INTTBT の受け付け処理におけるベクタテーブルアドレスと割り込みサービスプログラムのエントリーアドレスの対応

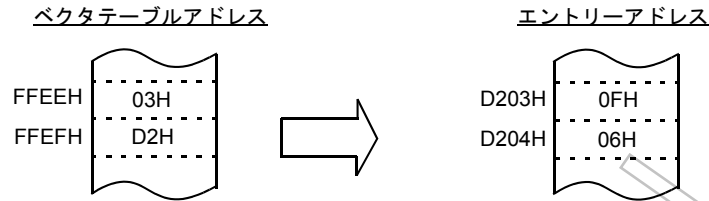


図 3-2 ベクタテーブルアドレスとエントリーアドレス

割り込みサービス中に、その割り込み要因よりレベルの高いマスク割込みが発生しても、割り込みマスタ許可フラグが“1”にセットされるまで受け付けられません。従って、多重割り込みを行う場合は、割り込みサービスプログラムの中で、割り込みマスタ許可フラグを“1”にセットします。その際、割り込み個別許可フラグにより、受け付けてよい割り込み要因を選択的に許可します。過重なネスタイングを防ぐため、現在受け付けている割り込みの割り込み個別許可フラグは、割り込みマスタ許可フラグを“1”にセットする前にクリアしてください。また、ノンマスク割込みは、割り込み要求の間隔より割り込み処理時間が短くなるようにしてください。

3.4.2 汎用レジスタ退避 / 復帰処理

割り込み受け付け処理で、プログラムカウンタとプログラムステータスワードは自動的にスタックに退避されますが、アキュムレータやその他のレジスタは自動的に退避されません。これらのレジスタ類の退避処理が必要な場合は、プログラムで行います。また、多重割り込みを行う場合、退避用のデータメモリ領域が重ならないようにする必要があります。汎用レジスタの退避には、次の2つの方法があります。

3.4.2.1 プッシュ / ポップ命令による汎用レジスタの退避 / 復帰

特定のレジスタのみ退避する場合や同一の割り込み要因の多重化の場合には、プッシュ / ポップ命令により汎用レジスタの退避 / 復帰を行います。

(プログラム例) プッシュ / ポップによるレジスタの退避 / 復帰

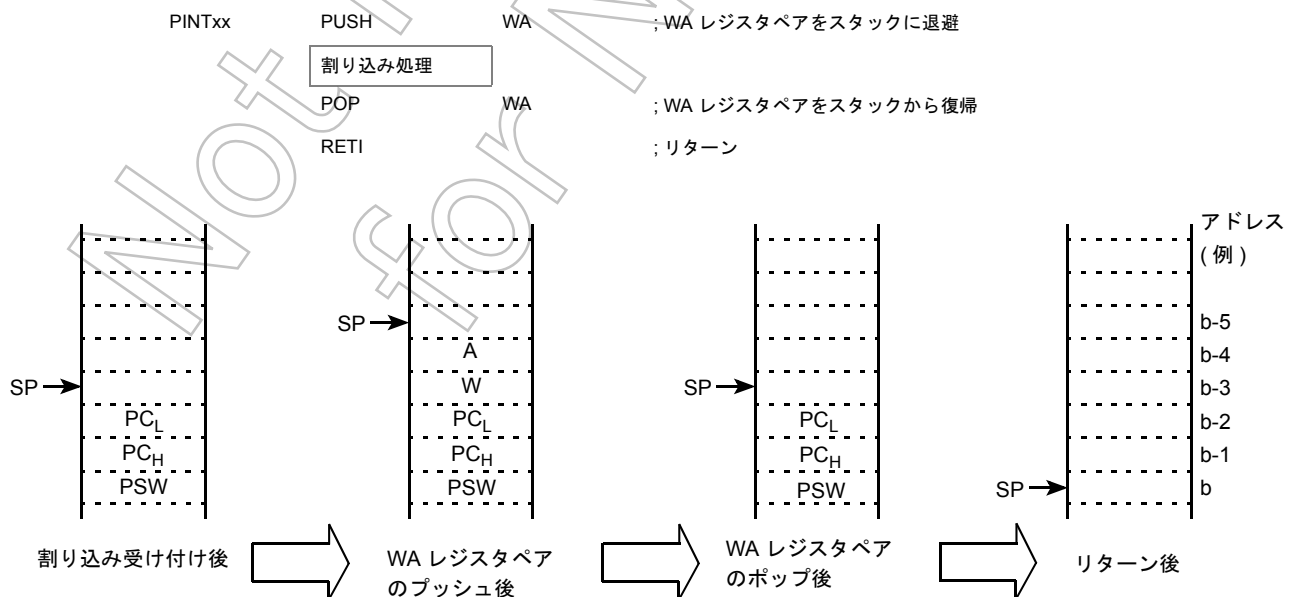


図 3-3 プッシュ / ポップ命令による汎用レジスタの退避 / 復帰処理

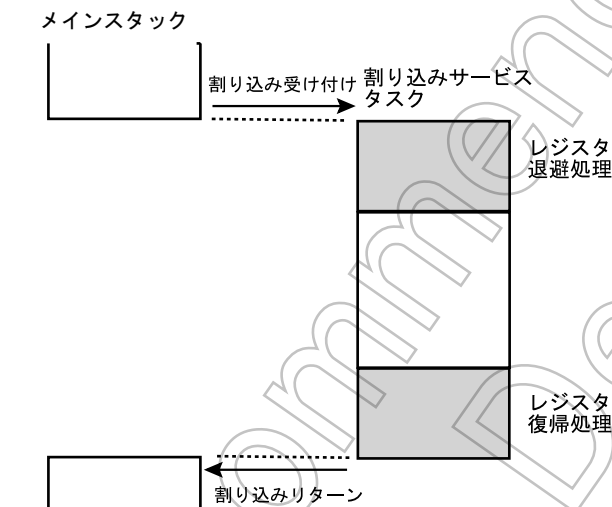
3.4.2.2 転送命令による汎用レジスタの退避 / 復帰

多重割り込みを行わない割り込み処理において、特定のレジスタのみ退避する場合は、データメモリとの転送命令により汎用レジスタの退避 / 復帰を行います。

(プログラム例) データメモリとの転送命令によるレジスタの退避 / 復帰

```

PINTxx: LD      (GSAVA), A      ; A レジスタの退避
        [割り込み処理]
        LD      A, (GSAVA)     ; A レジスタの復帰
        RETI                    ; リターン
    
```



プッシュ / ポップ / 転送命令による汎用レジスタの退避 / 復帰

図 3-4 割り込み処理における汎用レジスタの退避 / 復帰処理

3.4.3 割り込みリターン

割り込みリターン命令は、次の動作を行います。

- | |
|--|
| [RET] / [RETN] 割り込みリターン |
| ①プログラムカウンタ、プログラムステータスワードおよびIMFの内容をスタックからそれぞれリストアします。 |
| ②スタックポインタを3回インクリメントします。 |

ただし、アドレストラップ割り込みからのリターンは、割り込み受け付け処理直後にスタックされるPCL、PCHの値を、割り込みサービスプログラムの先頭で、プログラム実行を再開するアドレスに書き替える必要があります。

注) これらを書き替えないうままリターン命令 [RETN] を実行した場合、アドレストラップ領域に復帰し、再度アドレストラップ割り込みが発生します。
 割り込みリターン後のPCL、PCHとなる値は、割り込み受け付け処理後はそれぞれ (SP + 1)、(SP + 2) のアドレスに格納されています。

(プログラム例1) アドレストラップ割り込みサービスプログラムからのリターン

PINTxx	POP	WA	;スタックポインタを2つ戻す
	LD	WA, RetrunAddress	;WAレジスタに再開アドレスを代入する
	PUSH	WA	;スタックにプッシュダウンする
	割り込み処理		
	RETN		;ノンマスカブル割り込みリターン命令

(プログラム例2) リターンしない場合 (割り込み受け付け前の PSW および IMF の値を破棄する場合)

PINTxx	INC	SP	;スタックポインタを3つ戻す
	INC	SP	
	INC	SP	
	割り込み処理		
	LD	EIRL, data	;IMFを"1"にセット、または"0"にクリア
	JP	RestartAddress	;復帰アドレスへジャンプ

割り込み要求は、実行中の命令の最終サイクルでサンプリングされます。従って、割り込みリターン命令の実行直後から次の割り込み処理を行うことができます。

- 注1) アドレストラップ割り込みが発生し、割り込みサービスプログラムでリターン命令 [RETN] を使用しない場合 (例2のような場合)、割り込みサービスプログラムで、スタックポインタの値を、アドレストラップ発生時の値にインクリメントすることを推奨します (3回インクリメントする)。
- 注2) 割り込み処理時間が、割り込み要求の間隔よりも長いと、割り込みサービスタスクの実行のみ行われ、メインタスクの実行が行われなくなります。

3.5 ソフトウェア割り込み (INTSW)

SWI 命令を実行することにより、ソフトウェア割り込みが発生し、ただちに割り込み処理に入ります (最優先割り込み)。

SWI 命令は、次に示すアドレスエラー検出またはデバッグ以外には使用しないでください。

3.5.1 アドレスエラー検出

シングルチップモードのとき、CPU が何らかの原因 (ノイズなど) により、メモリの存在しないアドレスから命令フェッチを行った場合、FFH が読み込まれます。コード FFH は、SWI 命令ですのでソフトウェア割り込みが発生し、これによりアドレスエラーの検出ができます。また、プログラムメモリの不使用領域をすべて FFH で埋めておくことで、アドレスエラー検出範囲がよりいっそう広がります。なお、RAM, SFR, DBR 領域に対する命令フェッチのときは、アドレストラップリセット、もしくは設定によりアドレストラップ割り込みが発生します。

3.5.2 デバッグ

SWI 命令をソフトウェアブレークポイント設定アドレスに置くことによって、デバッグ効率を高めることができます。

3.6 未定義命令割り込み (INTUNDEF)

命令セットで定義されていない命令をフェッチし、実行しようとした場合は、INTUNDEF が発生し、割り込み処理に入ります。INTUNDEF はほかのノンマスカブル割り込み処理中でも受け付けられ、現在の処理を中断、即、INTUNDEF 割り込み処理に入ります。

注) 未定義命令割り込み (INTUNDEF) は、ソフトウェア割り込みと同じ割り込みベクタアドレスへジャンプします。

3.7 アドレストラップ割り込み (INTATRAP)

命令が置かれている以外の領域 (アドレストラップ領域) から命令をフェッチした場合、リセット出力または割り込み信号 (INTATRAP) 出力を行います。アドレストラップ割り込みが発生すると、割り込みラッチ (IL2) がセットされ、割り込み処理に入ります。INTATRAP はほかのノンマスカブル割り込み処理中でも受け付けられ、現在の処理を中断、即、INTATRAP 割り込み処理に入ります。

注) アドレストラップ時の動作設定 (リセット出力 / 割り込み信号出力) は、ウォッチドッグタイマ制御レジスタで設定します。

3.8 外部割り込み

TMP86CS64AFGには、6本の外部割り込み入力があり、すべてデジタルノイズ除去回路付き(一定時間未満のパルス入力をノイズとして除去します)となっています。

また、INT1～INT4端子は、エッジ選択が可能です。なお、 $\overline{\text{INT0}}$ /P10端子は、外部割り込み入力端子として使用するか入出力ポートとして使用するかの選択ができます。リセット時は、入力ポートとなります。

エッジの選択、ノイズ除去の制御 および $\overline{\text{INT0}}$ /P10端子の機能選択は、外部割り込み制御レジスタで行います。

要因	端子名	許可条件	エッジ(レベル)	デジタルノイズ除去回路
INT0	$\overline{\text{INT0}}$	IMF・EF4・INT0EN=1	立ち下がりエッジ	2/fc [s] 未満のパルスはノイズとして除去され ます。7/fc [s] 以上は確実に信号とみなされ ます。SLOW/SLEEPモード時は、1/fs [s] 未 満はノイズとして除去され、3.5/fs [s] 以上 は確実に信号とみなされます。
INT1	INT1	IMF・EF5 = 1	立ち下がりエッジ または 立ち上がりエッジ	15/fc または 63/fc [s] 未満のパルスはノイ ズとして除去されます。49/fc または 193/fc [s] 以上は確実に信号とみなされます。 (CGCR<DV1CK>="0" のとき) SLOW/SLEEPモード時は、1/fs [s] 未満はノイ ズとして除去され、3.5/fs [s] 以上は確実に信号 とみなされます。
INT2	INT2	IMF・EF8 = 1 及び IL8ER=1	立ち下がりエッジ または 立ち上がりエッジ	7/fc [s] 未満のパルスはノイズとして除去され ます。25/fc [s] 以上は確実に信号とみなされ ます。(CGCR<DV1CK>="0" のとき) SLOW/SLEEPモード時は、1/fs [s] 未満はノイ ズとして除去され、3.5/fs [s] 以上は確実に信号 とみなされます。
INT3	INT3	IMF・EF9 = 1 及び IL9ER=1	立ち下がりエッジ または 立ち上がりエッジ	7/fc [s] 未満のパルスはノイズとして除去され ます。25/fc [s] 以上は確実に信号とみなされ ます。(CGCR<DV1CK>="0" のとき) SLOW/SLEEPモード時は、1/fs [s] 未満はノイ ズとして除去され、3.5/fs [s] 以上は確実に信号 とみなされます。
INT4	INT4	IMF・EF13 = 1 及び IL13ER=1	立ち下がりエッジ、 立ち上がりエッジ、 立ち上がりエッジま たは立ち下がりエッ ジ、"H"レベル	7/fc [s] 未満のパルスはノイズとして除去され ます。25/fc [s] 以上は確実に信号とみなされ ます。(CGCR<DV1CK>="0" のとき) SLOW/SLEEPモード時は、1/fs [s] 未満はノイ ズとして除去され、3.5/fs [s] 以上は確実に信号 とみなされます。
INT5	$\overline{\text{INT5}}$	IMF・EF14 = 1 及び IL14ER=1	立ち下がりエッジ	2/fc [s] 未満のパルスはノイズとして除去され ます。7/fc [s] 以上は確実に信号とみなされ ます。SLOW/SLEEPモード時は、1/fs [s] 未満はノイ ズとして除去され、3.5/fs [s] 以上は確実に信号 とみなされます。

注 1) NORMAL1, 2 または IDLE1, 2 モード時、ノイズのない信号が外部割り込み端子に入力された場合、入力信号のエッジから割り込みラッチがセットされるまでの最大時間は、確実に信号とみなされる時間 + 6/fc[s] です。

注 2) INT0EN = "0" のとき、 $\overline{\text{INT0}}$ 端子入力の立ち下がりエッジが検出されても割り込みラッチ IL4 はセットされません。

注 3) 兼用の端子を出力ポートとして使用し、データが変化したり入出力の切り替えを行った場合、擬似的に割り込み要求信号が発生しますので、割り込み許可フラグの禁止などの処理が必要です。

外部割り込み制御レジスタ

EINTCR 7 6 5 4 3 2 1 0
 (0037H) INT1NC INT0EN INT4ES INT3ES INT2ES INT1ES (初期値 : 0000 000*)

INT1NC	INT1 のノイズ除去時間の選択	0: 63/fc[s] 未満のパルスはノイズとして除去 1: 15/fc[s] 未満のパルスはノイズとして除去	R/W
INT0EN	P10/INT0 の機能選択	0: P10 入出力ポート 1: INT0 端子 (P10 ポートは入力モードにしてください)	R/W
INT4ES	INT4 のエッジ (レベル) 選択	00: 立ち上がりエッジで割り込み要求発生 01: 立ち下がりエッジで割り込み要求発生 10: 立ち上がりまたは立ち下がりエッジで割り込み要求発生 11: "H" レベルで割り込み要求発生	R/W
INT3 ES	INT3 のエッジ選択	0: 立ち上がりエッジで割り込み要求発生 1: 立ち下がりエッジで割り込み要求発生	R/W
INT2 ES	INT2 のエッジ選択	0: 立ち上がりエッジで割り込み要求発生 1: 立ち下がりエッジで割り込み要求発生	R/W
INT1 ES	INT1 のエッジ選択	0: 立ち上がりエッジで割り込み要求発生 1: 立ち下がりエッジで割り込み要求発生	R/W

- 注 1) fc; 高周波クロック [Hz] *; Don't care
- 注 2) システムクロックを高周波と低周波の間で切り替えるとき、または外部割り込み制御レジスタ (EINTCR) を書き替えるときは、切り替えの前後でノイズキャンセラが正常に動作しない場合がありますので、割り込み許可レジスタ (EIR) によって外部割り込みを禁止しておくことを推奨します。
- 注 3) INT1NC を切り替えた場合、最大 2⁶/fc の期間ノイズキャンセル時間が切り替わらない事があります。
- 注 4) INT4 端子の状態が "H" レベルの状態でリセットが解除された場合、INT4 のエッジ選択 (INT4ES) を「"H" レベルで割り込み要求発生」に切り替えても INT4 割り込み要求は発生しません。この場合、INT4 割り込み要求を発生させるには、INT4 端子に一度立ち上がりエッジを入力する必要があります。

Not Recommended for New

Not Recommended
for New Design

第4章 スペシャルファンクションレジスタ

TMP86CS64AFG は、メモリマップ I/O 方式で、周辺ハードウェアのデータ制御 / 転送はすべてスペシャルファンクションレジスタ (SFR) またはデータバッファレジスタ (DBR) を通して行われます。SFR は、0000H~003FH に、DBR は 0F80H~0FFFH にマッピングされています。

本章では、TMP86CS64AFG の SFR, DBR の一覧を示します。

4.1 SFR

アドレス	リード	ライト
0000H		P0DR
0001H		P1DR
0002H		P2DR
0003H		P3DR
0004H		P4DR
0005H		P5DR
0006H		P6DR
0007H		P7DR
0008H		P0CR
0009H		P1CR
000AH	P4PRD	-
000BH		P3CR
000CH		P4CR
000DH		P5CR
000EH		ADCCR1
000FH		ADCCR2
0010H		TC3DRA
0011H	TC3DRB	-
0012H		TC3CR
0013H		TC2CR
0014H		TC4CR
0015H		TC5CR
0016H		TC6CR
0017H		TC6DR
0018H		TC4DR
0019H		TC5DR
001AH		IRDACR
001BH	UARTSR	UARTCR1
001CH	-	UARTCR2
001DH	RDBUF	TDBUF
001EH		Reserved
001FH		Reserved
0020H		TC1DRAL
0021H		TC1DRAH
0022H		TC1DRBL
0023H		TC1DRBH
0024H		TC2DRL
0025H		TC2DRH
0026H	ADCCR2	-

アドレス	リード	ライト
0027H	ADCD1R1	-
0028H	-	SIO1CR1
0029H	SIO1SR	SIO1CR2
002AH	SCISEL	
002BH	Reserved	
002CH	P2PRD	-
002DH	P4OED	
002EH	P6CR	
002FH	P7CR	
0030H	CGCR	
0031H	-	STOPCR
0032H	TC1CR	
0033H	Reserved	
0034H	-	WDTCR1
0035H	-	WDTCR2
0036H	TBTCR	
0037H	EINTCR	
0038H	SYSCR1	
0039H	SYSCR2	
003AH	EIRL	
003BH	EIRH	
003CH	ILL	
003DH	ILH	
003EH	INTSEL	
003FH	PSW	

注1) Reservedの番地はプログラムでアクセスしないでください。

注2) - ; アクセスできません。

注3) 書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令 (SET, CLR などのビット操作命令や AND, OR などの演算命令など) による操作はできません。

4.2 DBR

アドレス	リード	ライト
0F80H		Reserved
0F81H		Reserved
0F82H		Reserved
0F83H		Reserved
0F84H		Reserved
0F85H		Reserved
0F86H		Reserved
0F87H		Reserved
0F88H		Reserved
0F89H		Reserved
0F8AH		Reserved
0F8BH		Reserved
0F8CH		Reserved
0F8DH		Reserved
0F8EH		Reserved
0F8FH		Reserved
0F90H		SIO1BR0
0F91H		SIO1BR1
0F92H		SIO1BR2
0F93H		SIO1BR3
0F94H		SIO1BR4
0F95H		SIO1BR5
0F96H		SIO1BR6
0F97H		SIO1BR7
0F98H		SIO2BR0
0F99H		SIO2BR1
0F9AH		SIO2BR2
0F9BH		SIO2BR3
0F9CH		SIO2BR4
0F9DH		SIO2BR5
0F9EH		SIO2BR6
0F9FH		SIO2BR7

アドレス	リード	ライト
0FA0H		Reserved
0FA1H		Reserved
0FA2H		Reserved
0FA3H		Reserved
0FA4H		Reserved
0FA5H		Reserved
0FA6H		Reserved
0FA7H		Reserved
0FA8H		Reserved
0FA9H		Reserved
0FAAH		Reserved
0FABH		Reserved
0FACH		Reserved
0FADH		Reserved
0FAEH		Reserved
0FAFH		Reserved
0FB0H		P8DR
0FB1H		P9DR
0FB2H		P8CR
0FB3H		P9CR
0FB4H		
0FB5H	SIO2SR	SIO2CR1 SIO2CR2
0FB6H		PADR
0FB7H		PBDR
0FB8H		PACR
0FB9H		PBCR
0FBAH		PAPU
0FBBH		PBPU
0FBCH		P6PU
0FBDH		P7PU
0FBEH		Reserved
0FBFH		Reserved

アドレス	リード	ライト
0FC0H		Reserved
∴		∴
0FDFH		Reserved

アドレス	リード	ライト
0FE0H		Reserved
∴		∴
0FFFH		Reserved

注 1) Reserved の番地はプログラムでアクセスしないでください。

注 2) - ; アクセスできません。

注 3) 書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令 (SET, CLR などのビット操作命令や AND, OR などの演算命令など) による操作はできません。

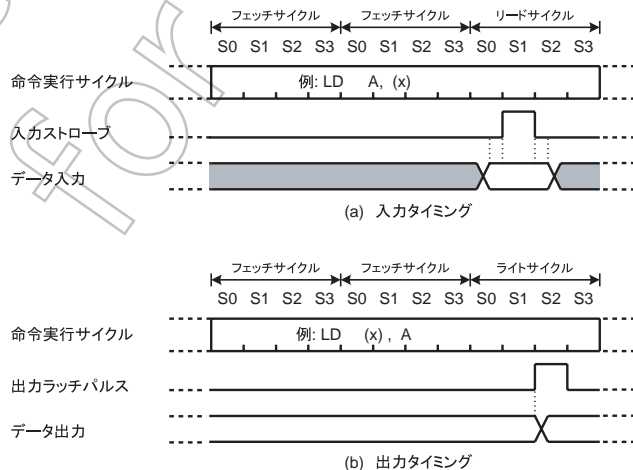
第 5 章 入出力ポート

TMP86CS64AFG は、12 ポート 91 端子の入出力ポートを内蔵しています。

1. P0 ポート (8 ビット入出力ポート)
2. P1 ポート (8 ビット入出力ポート)
外部割り込み入力, タイマカウンタ入力, デバイダ出力と兼用
3. P2 ポート (3 ビット入出力ポート)
低周波発振子接続端子, 外部割り込み入力, STOP モード解除信号入力と兼用
4. P3 ポート (8 ビット入出力ポート)
タイマカウンタ入出力, シリアルインタフェース入出力と兼用
5. P4 ポート (8 ビット入出力ポート)
タイマカウンタ入力, シリアルインタフェース入出力, 外部割り込み入力と兼用
6. P5 ポート (8 ビット入出力ポート)
7. P6 ポート (8 ビット入出力ポート)
アナログ入力と兼用
8. P7 ポート (8 ビット入出力ポート)
アナログ入力, STOP モード解除信号入力と兼用
9. P8 ポート (8 ビット入出力ポート)
10. P9 ポート (8 ビット入出力ポート)
11. PA ポート (8 ビット入出力ポート)
12. PB ポート (8 ビット入出力ポート)

すべての出力ポートは、ラッチを内蔵しているため、出力データはラッチにより保持されます。また、すべての入力ポートにはラッチがありません。外部から入力データを読み取るまでは外部でデータを保持しておくか、複数回読み取ってから処理することが望まれます。図 5-1 に入出力タイミングを示します。

入出力ポートから外部データを読み込むタイミングは、命令実行におけるリードサイクルの S1 ステートです。外部からはこのタイミングを認識できません。チャタリングなどの過渡的な入力データはプログラムで対処する必要があります。入出力ポートへデータを出力するタイミングは、命令実行におけるライトサイクルの S2 ステートです。

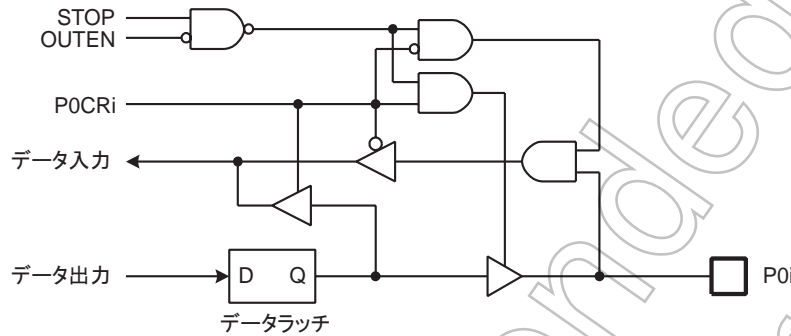


命令によってリード/ライトサイクルの位置が異なります。

図 5-1 入出力タイミング (例)

5.1 P0 (P07~P00) ポート (トライステート入出力)

P0 ポートは、1 ビット単位で入出力の指定ができる 8 ビット汎用入出力ポートです。入出力の指定は、P0 ポート入出力制御レジスタ (P0CR) によって行います。リセット時、P0CR は“0”に初期化され、P0 ポートは入力モードとなります。また、P0 ポート出力ラッチ (P0DR) は“0”に初期化されます。



注 1) $i = 7 \sim 0$

注 2) STOP は SYSCR1 のビット 7、OUTEN は SYSCR1 のビット 4。

図 5-2 P0 ポート

P0DR (0000H) R/W	7	6	5	4	3	2	1	0	(初期値 : 0000 0000)
	P07	P06	P05	P04	P03	P02	P01	P00	

P0CR (0008H)	7	6	5	4	3	2	1	0	(初期値 : 0000 0000)

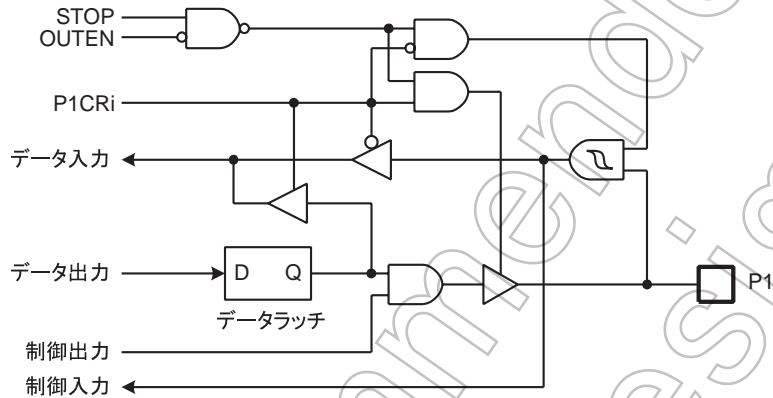
P0CR	P0 ポートの入出力制御 (ビットごとに指定)	0: 入力モード 1: 出力モード	R/W
------	----------------------------	----------------------	-----

注) 入力モードを使用する場合、ビット操作命令などのリードモディファイライト命令は使用しないでください。入力に設定されているビットは、リード命令により端子の内容を読み込むため、リードモディファイライト命令を実行すると、出力ラッチが書き替えられます。

5.2 P1 (P17~P10) ポート (トライステート出力 , ヒステリシス入力)

P1 ポートは、1 ビット単位で入出力の指定ができる 8 ビット汎用入出力ポートです。入出力の指定は、P1 ポート入出力制御レジスタ (P1CR) によって行います。リセット時、P1CR は“0”に初期化され、P1 ポートは入力モードとなります。また、P1 ポート出力ラッチ (P1DR) は“0”に初期化されます。

P1 ポートは制御入出力に $\overline{\text{INT0}}$, INT1, INT2/TC1, $\overline{\text{DVO}}$, $\overline{\text{PPG}}$, TC2 の各機能が割り付けられ兼用ポートになっています。 $\overline{\text{INT0}}$, INT1, INT2, TC1, TC2 の機能を使用する場合には使用する端子を入力モードに設定し、 $\overline{\text{DVO}}$, $\overline{\text{PPG}}$ の機能を使用する場合には使用する端子の出力ラッチに“1”をセットして出力モードに設定してください。



注 1) $i = 7 \sim 0$

注 2) STOP は SYSCR1 のビット 7、OUTEN は SYSCR1 のビット 4。

図 5-3 P1 ポート

	7	6	5	4	3	2	1	0	
P1DR (0001H) R/W	P17	P16	P15 TC2	P14 PPG	P13 DVO	P12 INT2 TC1	P11 INT1	P10 INT0	(初期値 : 0000 0000)

	7	6	5	4	3	2	1	0	
P1CR (0009H)									(初期値 : 0000 0000)

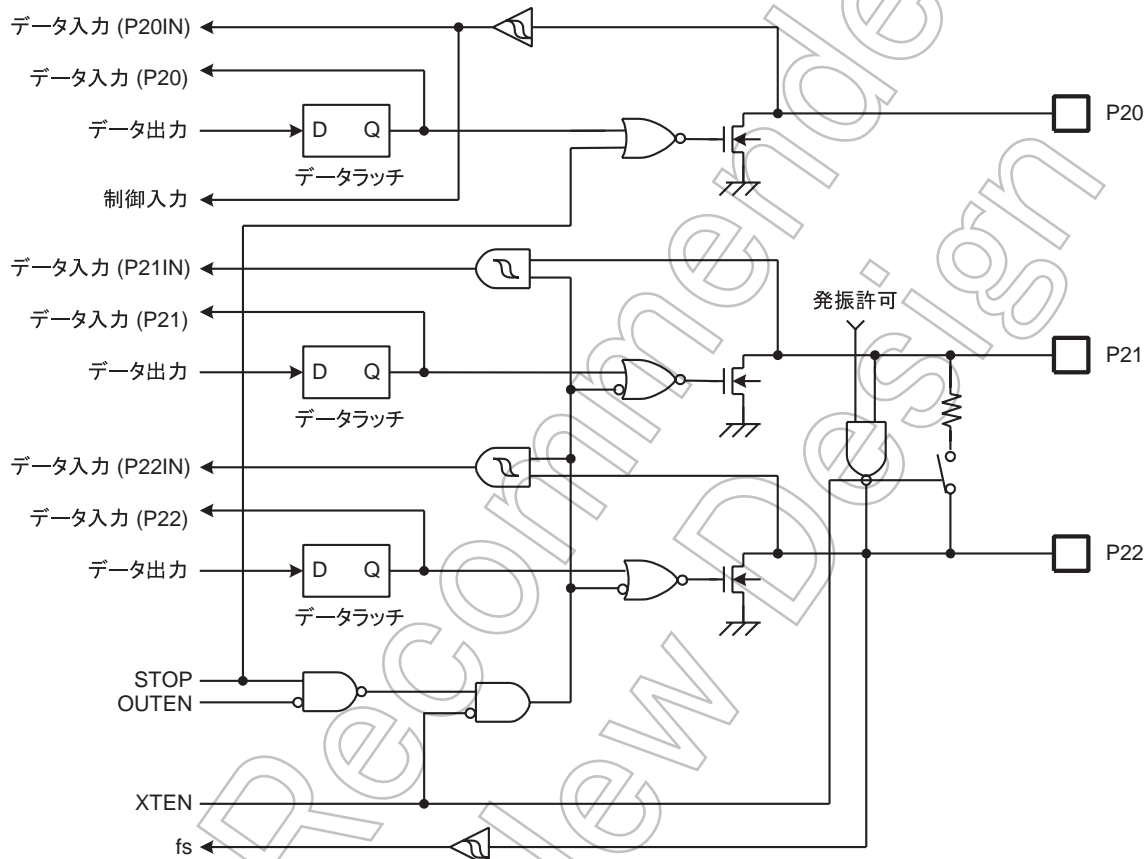
P1CR	P1 ポートの入出力制御 (ビットごとに指定)	0: 入力モード 1: 出力モード	R/W
------	----------------------------	----------------------	-----

注) 入力モードを使用する場合、ビット操作命令などのリードモディファイライト命令は使用しないでください。入力に設定されているビットは、リード命令により端子の内容を読み込むため、リードモディファイライト命令を実行すると、出力ラッチが書き替えられます。

5.3 P2 (P22~P20) ポート (シンクオープンドレイン出力, ヒステリシス入力)

P2 ポートは 3 ビットの入出力ポートです。リセット時、P2 ポートの出力ラッチ (P2DR) は“1”に初期化されます。P20 は $\overline{\text{INT5}}/\text{STOP1}$ の機能と兼用になっています。これらの機能を使用する場合、または入力ポートとして使用する場合は、出力ラッチを“1”にセットしてください。デュアルクロックモードで動作させる場合、P21 (XTIN) と P22 (XTOUT) 端子には低周波発振子 (32.768 kHz) を接続します。

P2 ポートの出力ラッチ (P2DR) と P2 ポート端子入力 (P2R) は異なるアドレスに配置されています。なお、P2 ポートに対してリード命令を実行した場合、ビット 7~3 は不定値が読み込まれます。



注) STOP は SYSCR1 のビット 7、OUTEN は SYSCR1 のビット 4、XTEN は SYSCR2 のビット 6。

図 5-4 P2 ポート

	7	6	5	4	3	2	1	0	
P2DR (0002H)						P22 XTOUT	P21 XTIN	P20 $\overline{\text{INT5}}$ STOP	(初期値: **** *11)

	7	6	5	4	3	2	1	0
P2R (002CH)						P22IN	P21IN	P20IN

Read only

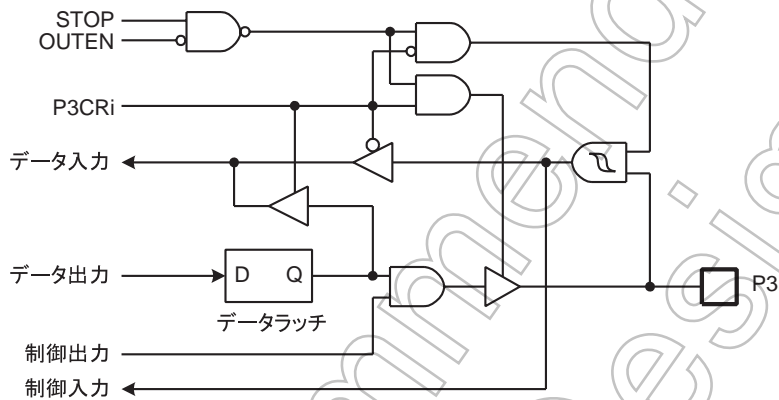
注 1) P20 端子は $\overline{\text{STOP}}$ 端子と兼用なため、STOP モードに入ると、OUTEN (システム制御レジスタ (SYSCR1) のビット 4) を“1” (出力保持) に設定していても、P20 端子はハイインピーダンスになり、入力状態となります。

注 2) 各端子に保護ダイオードが接続されています。後述の章「端子入力回路」を参照してください。

5.4 P3 (P37~P30) ポート (トライステート出力 , ヒステリシス入力)

P3 ポートは、1 ビット単位で入出力の指定ができる 8 ビット汎用入出力ポートです。入出力の指定は、P3 ポート入出力制御レジスタ (P3CR) によって行います。リセット時、P3CR は“0”に初期化され、P3 ポートは入力モードとなります。また、P3 ポート出力ラッチ (P3DR) は“1”に初期化されます。

P30, P31, P32 は TC4/PWM4/PDO4, TC5/PWM5/PDO5, TC6/PWM6/PDO6 の機能が兼用されており、TC4, TC5, TC6 の機能を使用する場合には使用する端子を入力モードに設定し、PWM4/PDO4, PWM5/PDO5, PWM6/PDO6 の機能を使用する場合には使用する端子を出力モードに設定してください。P33, P34, P35, P36, P37 には SCK1, SI1, SO1, SI2, SO2 の各機能が兼用されており、これらの機能を使用する場合は、SCK1 は入力または出力モード、SI1, SI2 は入力モード、SO1, SO2 は出力モードにして使用してください。



注 1) i = 7~0

注 2) STOP は SYSCR1 のビット 7、OUTEN は SYSCR1 のビット 4。

図 5-5 P3 ポート

	7	6	5	4	3	2	1	0	
P3DR (0003H)	P37 SO2	P36 SI2	P35 SO1	P34 SI1	P33 SCK1	P32 TC6 PWM6 PDO6	P31 TC5 PWM5 PDO5	P30 TC4 PWM4 PDO4	(初期値 : 1111 1111)

	7	6	5	4	3	2	1	0	
P3CR (000BH)									(初期値 : 0000 0000)

P3CR	P3 ポートの入出力制御 (ビットごとに指定)	0: 入力モード 1: 出力モード	R/W
------	----------------------------	----------------------	-----

注) 入力モードを使用する場合、ビット操作命令などのリードモディファイライト命令は使用しないでください。入力に設定されているビットは、リード命令により端子の内容を読み込むため、リードモディファイライト命令を実行すると、出力ラッチが書き替えられます。

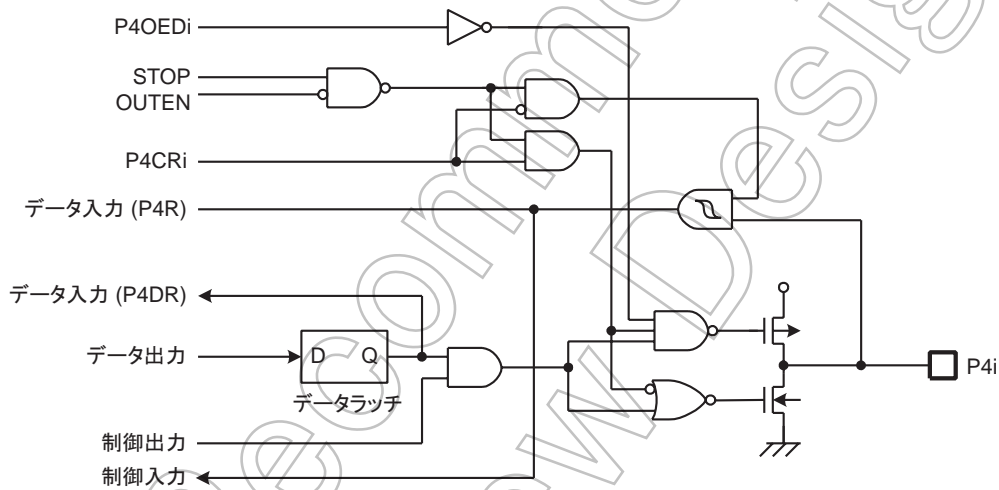
5.5 P4 (P47~P40) ポート (シンクオープンドレインまたはトリステート出力, ヒステリシス入力)

P4 ポートは、1 ビット単位で入出力の指定ができる 8 ビット汎用入出力ポートです。入出力の指定は、P4 ポート入出力制御レジスタ (P4CR) によって行います。リセット時、P4CR は“0”に初期化され、P4 ポートは入力モードとなります。また、P4 ポート出力ラッチ (P4DR) は“1”に初期化されます。

P4 ポートは各ビットごとに指定できるプログラマブルオープンドレイン機能があります。オープンドレイン制御レジスタ (P4OED) により行います。リセット時 P4OED は“0”に初期化され、この状態で P4CR に“1”を設定するとトリステート出力となります。

また、P4 ポート出力ラッチ (P4DR) と P4 ポート端子入力 (P4R) は異なるアドレスに配置されています。入力モード / 出力モードを混在させたときにビット操作命令を実行しても、入力モードに設定されている端子の出力ラッチの内容は端子入力の影響を受けません。

P40, P41, P42, P44, P45, P46, P47 には $\overline{\text{SCK2}}$, RXD1, TXD1, RXD2, TXD2, INT3/TC3, INT4 の各機能が兼用されており、これらの機能を使用する場合は $\overline{\text{SCK2}}$ は入力または出力モード, RXD1, RXD2, INT3/TC3, INT4 は入力モード, TXD1, TXD2 は出力モードにして使用してください。



注 1) $i = 7 \sim 0$

注 2) STOP は SYSCR1 のビット 7、OUTEN は SYSCR1 のビット 4。

図 5-6 P4 ポート

	7	6	5	4	3	2	1	0	
P4DR (0004H)	P47 INT4	P46 INT3 TC3	P45 TXD2	P44 RXD2	P43	P42 TXD1	P41 RXD1	P40 SCK2	(初期値: 1111 1111)

	7	6	5	4	3	2	1	0
P4PRD (000AH)	P47IN	P46IN	P45IN	P44IN	P43IN	P42IN	P41IN	P40IN

Read only

	7	6	5	4	3	2	1	0	
P4CR (000CH)									(初期値: 0000 0000)

P4CR	P4ポートの入出力制御 (ビットごとに指定)	0: 入力モード 1: 出力モード	R/W
------	---------------------------	----------------------	-----

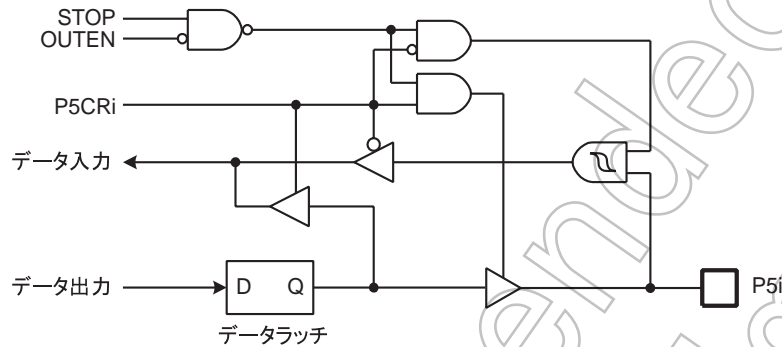
	7	6	5	4	3	2	1	0	
P4OED (002DH)	P4OED7	P4OED6	P4OED5	P4OED4	P4OED3	P4OED2	P4OED1	P4OED0	(初期値: 0000 0000)

P4OED	オープンドレイン制御 (ビットごとに指定)	0: トライステート出力 1: シンクオープンドレイン出力	R/W
-------	--------------------------	----------------------------------	-----

注) オープンドレイン制御の設定にかかわらず、保護ダイオードは端子に接続されます。後述の章「端子入力回路」を参照してください。

5.6 P5 (P57~P50) ポート (トライステート出力 : 大電流出力 , ヒステリシス入力)

P5 ポートは、1 ビット単位で入出力の指定ができる 8 ビット汎用入出力ポートです。入出力の指定は、P5 ポート入出力制御レジスタ (P5CR) によって行います。リセット時、P5CR は“0”に初期化され、P5 ポートは入力モードとなります。また、P5 ポートの出力ラッチ (P5DR) は“0”に初期化されます。



注 1) $i = 7 \sim 0$

注 2) STOP は SYSCR1 のビット 7、OUTEN は SYSCR1 のビット 4。

図 5-7 P5 ポート

	7	6	5	4	3	2	1	0	
P5DR (0005H)	P57	P56	P55	P54	P53	P52	P51	P50	(初期値 : 0000 0000)

	7	6	5	4	3	2	1	0	
P5CR (000DH)									(初期値 : 0000 0000)

P5CR	P5 ポートの入出力制御 (ビットごとに指定)	0: 入力モード 1: 出力モード	R/W
------	----------------------------	----------------------	-----

注) 入力モードを使用する場合、ビット操作命令などのリードモディファイライト命令は使用しないでください。入力に設定されているビットは、リード命令により端子の内容を読み込むため、リードモディファイライト命令を実行すると、出力ラッチが書き替えられます。

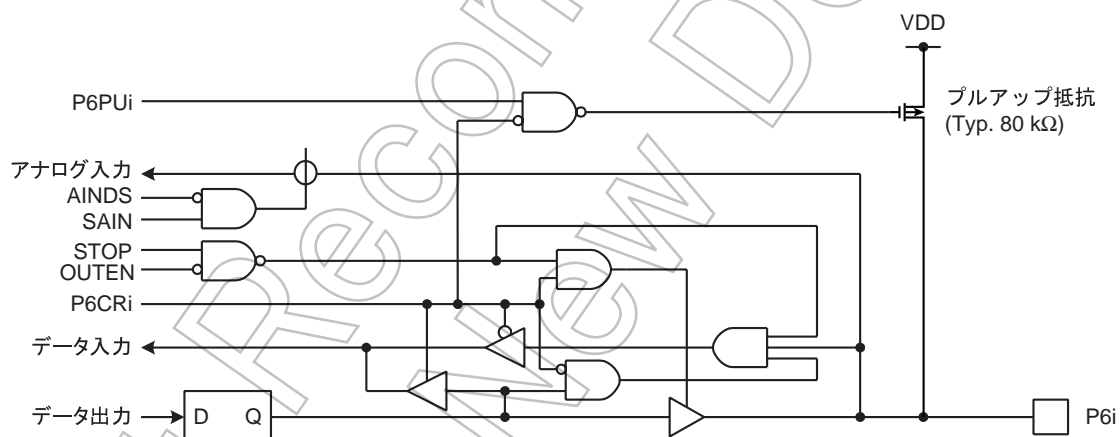
5.7 P6 (P67~P60) ポート (トライステート入出力 , プログラマブルプルアップ)

P6 ポートは、1 ビット単位で入出力の指定ができる 8 ビットの入出力ポートで、アナログ入力と兼用です。また 1 ビット単位でプルアップ抵抗の付加を選択することができます。入出力の指定は、P6 ポート入出力制御レジスタ (P6CR) と P6 ポートの出力ラッチ (P6DR) と P6 ポートプルアップ制御レジスタ (P6PU) と ADCCR1<AINDS> によって行います。リセット時、P6CR と P6PU と P6DR (P6 ポートの出力ラッチ) は “0” にクリアされ、ADCCR1<AINDS> は “1” に設定されるため、P67~P60 は入力が “0” レベル固定の状態となります。P6 ポートを入力ポートとして使用する場合は、対応するビットを入力モード (P6CR = “0”, P6DR = “1”) に設定し、プルアップ抵抗を付加する場合は P6PU を “1” に、付加しない場合は “0” に設定します。出力ポートとして使用する場合は、P6CR の対応するビットを “1” に設定します。アナログ入力として使用する場合は、対応するビットをアナログ入力モード (P6CR = “0”, P6DR = “0”) に設定し、ADCCR1<AINDS> = “0” にするとともに AD をスタートさせます。

出力ラッチを “0” に設定するのは、兼用のデジタル入力回路の貫通電流防止を行うために必要です。そのため、アナログ入力として使用するポートの出力ラッチはあらかじめ “0” に設定してください。実際の変換入力チャンネル選択は、ADCCR1<SAIN> の設定で行います。

アナログ入力として使用しないビットは入出力ポートとして使用できますが、AD 変換中は精度を保つ意味で出力命令は行わないようにしてください。また、アナログ入力と近接するポートに AD 変換中、変化の激しい信号を入力しないようにしてください。

AD コンバータ入力として使用するビット (P6DR (出力ラッチ) を “0” にクリアしたビット) に対して入力命令を実行すると、上記ビットは “0” が読み込まれます。



注 1) $i = 7 \sim 0$

注 2) STOP は SYSCR1 のビット 7、OUTEN は SYSCR1 のビット 4。

注 3) SAIN は AD 入力選択信号。

図 5-8 P6 ポート

	7	6	5	4	3	2	1	0	
P6DR (0006H)	P67 AIN7	P66 AIN6	P65 AIN5	P64 AIN4	P63 AIN3	P62 AIN2	P61 AIN1	P60 AIN0	(初期値: 0000 0000)

	7	6	5	4	3	2	1	0	
P6CR (002EH)									(初期値: 0000 0000)

P6CR	P6 ポートの入出力制御 (ビットごとに指定)	AINDS = 1 (AD 不使用)		AINDS = 0 (AD 使用時)		R/W
		P6DR = "0"	P6DR = "1"	P6DR = "0"	P6DR = "1"	
		0	入力 "0" 固定 #1	入力モード	アナログ入力 モード #2	
1	出力モード					

#1 入力 "0" 固定として使用する端子は、端子の状態およびプログラマブルプリアップの付加に関係なく、入力データは "0" になります。

#2 アナログ入力モードに設定されているビットに対して、リード命令を実行すると "0" が読み込まれます。

- 注 1) アナログ入力として使用する端子は、外部信号とショートしますので出力モード (P6CR = "1") には設定しないでください。
- 注 2) 入力モード (アナログ入力モードを含む) を使用する場合、ビット操作命令などのリードモディファイライト命令は使用しないでください。入力に設定されているビットは、リード命令により端子の内容を読み込むため、リードモディファイライト命令を実行すると、出力ラッチが書き替えられ入力ができなくなります。(リードモディファイライト命令は、最初に 8 ビットすべてのデータを読み込みモディファイ (ビット操作) した後、8 ビット分すべてのデータを出カラッチに書き込みます。)

	7	6	5	4	3	2	1	0	
P6PU (0FBCH)	P6PU7	P6PU6	P6PU5	P6PU4	P6PU3	P6PU2	P6PU1	P6PU0	(初期値: 0000 0000)

P6PU	P6 ポートのプリアップ付加選択 (ビットごとに指定)	0: プリアップなし 1: プリアップあり	R/W
------	--------------------------------	--------------------------	-----

注) 「プリアップあり」に設定した場合でも、P6CR により出力状態に設定された端子についてはプリアップは付加されません。

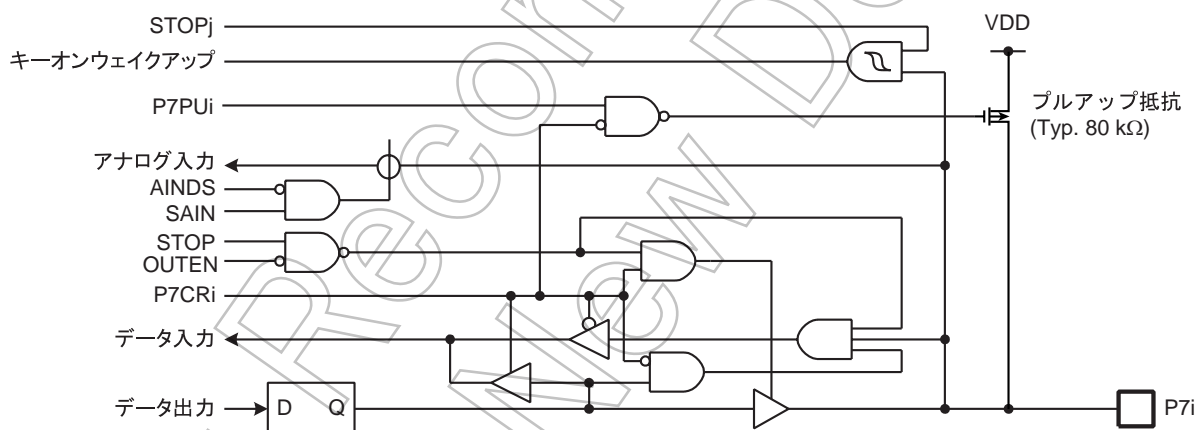
5.8 P7 (P77~P70) ポート (トライステート入出力, プログラマブルプルアップ)

P7 ポートは、1 ビット単位で入出力の指定ができる 8 ビットの入出力ポートで、アナログ入力、キーオンウェイクアップ入力と兼用です。また 1 ビット単位でプルアップ抵抗の付加を制御することができます。入出力の指定は P7 ポート入出力制御レジスタ (P7CR) と P7 ポートの出力ラッチ (P7DR) と P7 ポートプルアップ制御レジスタ (P7PU) と ADCCR1<AINDS> によって行います。リセット時、P7CR と P7PU と P7DR (P7 ポートの出力ラッチ) は “0” にクリアされ、ADCCR1<AINDS> は “1” にセットされるため、P77~P70 は入力が “0” レベル固定の状態となります。P7 ポートを入力ポートとして使用する場合は、対応するビットを入力モード (P7CR = “0”, P7DR = “1”) に設定し、プルアップ抵抗を付加する場合は P7PU を “1” に、付加しない場合は “0” に設定します。出力ポートとして使用する場合は、P7CR の対応するビットを “1” に設定します。アナログ入力として使用する場合は、対応するビットをアナログ入力モード (P7CR = “0”, P7DR = “0”) に設定し、ADCCR1<AINDS> = “0” にするとともに AD をスタートさせます。

出力ラッチを “0” に設定するのは、兼用のデジタル入力回路の貫通電流防止を行うために必要です。そのため、アナログ入力として使用するポートの出力ラッチはあらかじめ “0” に設定してください。実際の変換入力チャンネル選択は、ADCCR1<SAIN> の設定で行います。

アナログ入力として使用しないビットは入出力ポートとして使用できますが、AD 変換中は精度を保つ意味で出力命令は行わないようにしてください。また、アナログ入力と近接するポートに AD 変換中、変化の激しい信号を入力しないようにしてください。

AD コンバータ入力として使用するビットの (P7DR (出力ラッチ) を “0” にクリアしたビット) に対して入力命令を実行すると、上記ビットは “0” が読み込まれます。



注 1) $i = 7 \sim 0, j = 5 \sim 2$

注 2) STOP は SYSCR1 のビット 7、OUTEN は SYSCR1 のビット 4。

注 3) SAIN は AD 入力選択信号。

注 4) STOPj は、キーオンウェイクアップ機能での入力選択信号。

図 5-9 P7 ポート

	7	6	5	4	3	2	1	0	
P7DR (0007H)	P77 AIN15 STOP5	P76 AIN14 STOP4	P75 AIN13 STOP3	P74 AIN12 STOP2	P73 AIN11	P72 AIN10	P71 AIN9	P70 AIN8	(初期値 : 0000 0000)

	7	6	5	4	3	2	1	0	
P7CR (002FH)									(初期値 : 0000 0000)

P7CR	P7 ポートの入出力制御 (ビットごとに指定)		AINDS = 1 (AD 不使用)		AINDS = 0 (AD 使用時)		R/W
			P7DR = "0"	P7DR = "1"	P7DR = "0"	P7DR = "1"	
		0	入力 "0" 固定 #1	入力モード	アナログ入力 モード #2	入力モード	
		1	出力モード				

#1 入力 "0" 固定として使用する端子は、端子の状態およびプログラマブルアップの付加に関係なく、入力データは "0" になります。

#2 アナログ入力モードに設定されているビットに対して、リード命令を実行すると "0" が読み込まれます。アナログ入力モードに設定されているビットのキーオンウェイクアップはディセーブルします。

- 注 1) アナログ入力として使用する端子は、外部信号とショートしますので出力モード (P7CR = "1") には設定しないでください。
- 注 2) 入力モード (アナログ入力モードを含む) を使用する場合、ビット操作命令などのリードモディファイライト命令は使用しないでください。入力に設定されているビットは、リード命令により端子の内容を読み込むため、リードモディファイライト命令を実行すると、出力ラッチが書き替えられ入力ができなくなります。(リードモディファイライト命令は、最初に 8 ビットすべてのデータを読み込みモディファイ (ビット操作) した後、8 ビット分すべてのデータを出カラッチに書き込みます。)

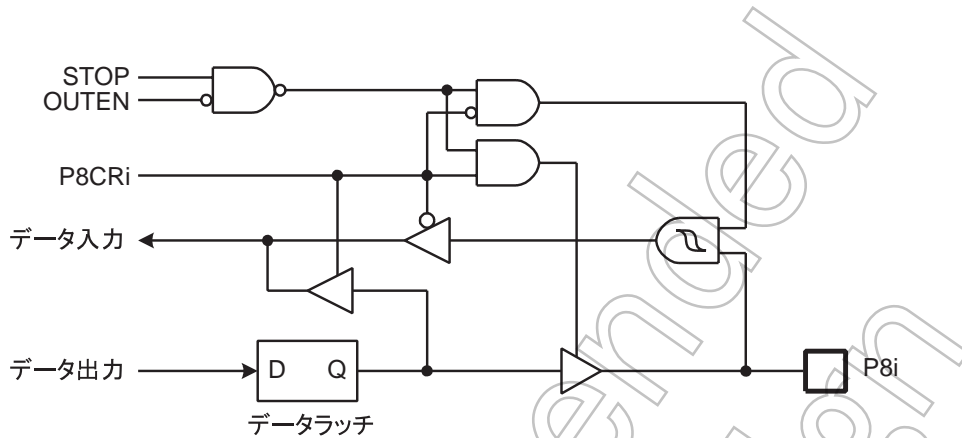
	7	6	5	4	3	2	1	0	
P7PU (0FBDH)	P7PU7	P7PU6	P7PU5	P7PU4	P7PU3	P7PU2	P7PU1	P7PU0	(初期値 : 0000 0000)

P7PU	P7 ポートのプルアップ付加選択 (ビットごとに指定)	0: プルアップなし 1: プルアップあり	R/W
------	--------------------------------	--------------------------	-----

注) 「プルアップあり」に設定した場合でも、P7CR により出力状態に設定された端子についてはプルアップは付加されません。

5.9 P8 (P87~P80) ポート (トライステート出力 , ヒステリシス入力)

P8 ポートは、1 ビット単位で入出力の指定ができる 8 ビット汎用入出力ポートです。入出力の指定は、P8 ポート入出力制御レジスタ (P8CR) によって行います。リセット時、P8CR は“0”に初期化され、P8 ポートは入力モードとなります。また、P8 ポートの出力ラッチ (P8DR) は“0”に初期化されます。



注 1) $i = 7 \sim 0$

注 2) STOP は SYSCR1 のビット 7、OUTEN は SYSCR1 のビット 4。

図 5-10 P8 ポート

	7	6	5	4	3	2	1	0	
P8DR (0FB0H)	P87	P86	P85	P84	P83	P82	P81	P80	(初期値 : 0000 0000)

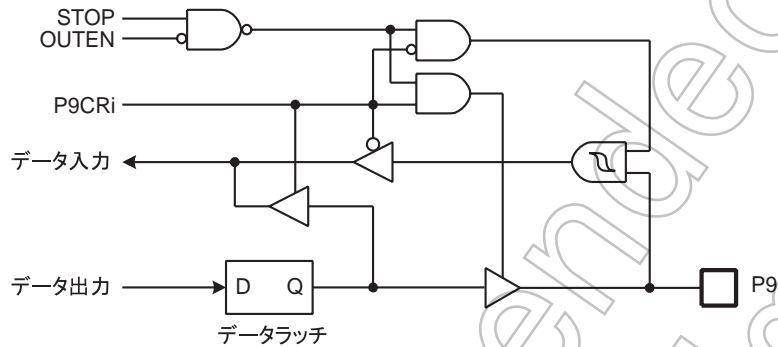
	7	6	5	4	3	2	1	0	
P8CR (0FB2H)									(初期値 : 0000 0000)

P8CR	P8 ポートの入出力制御 (ビットごとに指定)	0: 入力モード 1: 出力モード	R/W
------	----------------------------	----------------------	-----

注) 入力モードを使用する場合、ビット操作命令などのリードモディファイライト命令は使用しないでください。入力に設定されているビットは、リード命令により端子の内容を読み込むため、リードモディファイライト命令を実行すると、出力ラッチが書き替えられます。

5.10 P9 (P97~P90) ポート (トライステート出力 : 大電流出力 , ヒステリシス入力)

P9 ポートは、1 ビット単位で入出力の指定ができる 8 ビット汎用入出力ポートです。入出力の指定は、P9 ポート入出力制御レジスタ (P9CR) によって行います。リセット時、P9CR は“0”に初期化され、P9 ポートは入力モードとなります。また、P9 ポートの出力ラッチ (P9DR) は“0”に初期化されます。



注 1) $i = 7 \sim 0$

注 2) STOP は SYSCR1 のビット 7、OUTEN は SYSCR1 のビット 4。

図 5-11 P9 ポート

	7	6	5	4	3	2	1	0	
P9DR (0FB1H)	P97	P96	P95	P94	P93	P92	P91	P90	(初期値 : 0000 0000)

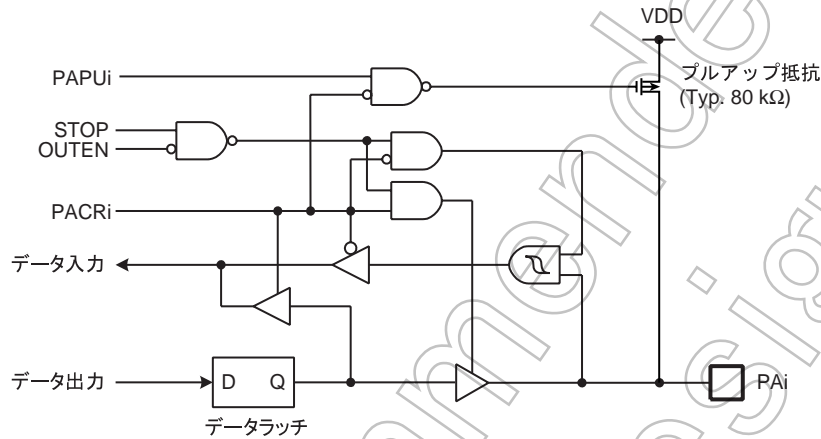
	7	6	5	4	3	2	1	0	
P9CR (0FB3H)									(初期値 : 0000 0000)

P9CR	P9 ポートの入出力制御 (ビットごとに指定)	0: 入力モード 1: 出力モード	R/W
------	----------------------------	----------------------	-----

注) 入力モードを使用する場合、ビット操作命令などのリードモディファイライト命令は使用しないでください。入力に設定されているビットは、リード命令により端子の内容を読み込むため、リードモディファイライト命令を実行すると、出力ラッチが書き替えられます。

5.11 PA (PA7~PA0) ポート (トライステート出力, ヒステリシス入力, プログラマブルプルアップ)

PA ポートは、1 ビット単位で入出力の指定ができる 8 ビット汎用入出力ポートです。また 1 ビット単位でプルアップ抵抗の付加を制御することができます。入出力の指定は、PA ポート入出力制御レジスタ (PACR) と PA ポートプルアップ制御レジスタ (PAPU) によって行います。リセット時、PACR は“0”に初期化され、PA ポートは入力モードとなります。また、PA ポートの出力ラッチ (PADR) は“0”に初期化されます。



- 注 1) i = 7~0
- 注 2) STOP は SYSCR1 のビット 7、OUTEN は SYSCR1 のビット 4。

図 5-12 PA ポート

	7	6	5	4	3	2	1	0	
PADR (0FB6H)	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	(初期値: 0000 0000)

	7	6	5	4	3	2	1	0	
PACR (0FB8H)									(初期値: 0000 0000)

PACR	PA ポートの入出力制御 (ビットごとに指定)	0: 入力モード 1: 出力モード	R/W
------	-------------------------	----------------------	-----

注) 入力モードを使用する場合、ビット操作命令などのリードモディファイライト命令は使用しないでください。入力に設定されているビットは、リード命令により端子の内容を読み込むため、リードモディファイライト命令を実行すると、出力ラッチが書き替えられます。

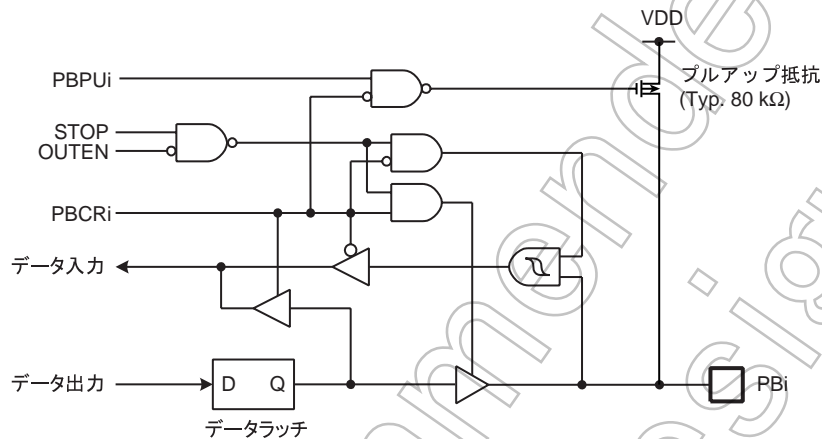
	7	6	5	4	3	2	1	0	
PAPU (0FBAH)	PAPU7	PAPU6	PAPU5	PAPU4	PAPU3	PAPU2	PAPU1	PAPU0	(初期値: 0000 0000)

PAPU	PA ポートのプルアップ付加選択 (ビットごとに指定)	0: プルアップなし 1: プルアップあり	R/W
------	-----------------------------	--------------------------	-----

注) 「プルアップあり」に設定した場合でも、PACRにより出力状態に設定された端子についてはプルアップは付加されません。

5.12 PB (PB7~PB0) ポート (トリステート出力, ヒステリシス入力, プログラマブルプルアップ)

PB ポートは、1 ビット単位で入出力の指定ができる 8 ビット汎用入出力ポートです。また 1 ビット単位でプルアップ抵抗の付加を制御することができます。入出力の指定は、PB ポート入出力制御レジスタ (PBCR) と PB ポートプルアップ制御レジスタ (PBPU) によって行います。リセット時、PBCR は“0”に初期化され、PB ポートは入力モードとなります。また、PB ポートの出力ラッチ (PBDR) は“0”に初期化されます。



注 1) $i = 7 \sim 0$

注 2) STOP は SYSCR1 のビット 7、OUTEN は SYSCR1 のビット 4。

図 5-13 PB ポート

	7	6	5	4	3	2	1	0	
PBDR (0FB7H)	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0	(初期値: 0000 0000)

	7	6	5	4	3	2	1	0	
PBCR (0FB9H)									(初期値: 0000 0000)

PBCR	PB ポートの入出力制御 (ビットごとに指定)	0: 入力モード 1: 出力モード	R/W
------	----------------------------	----------------------	-----

注) 入力モードを使用する場合、ビット操作命令などのリードモディファイライト命令は使用しないでください。入力に設定されているビットは、リード命令により端子の内容を読み込むため、リードモディファイライト命令を実行すると、出力ラッチが書き替えられます。

	7	6	5	4	3	2	1	0	
PBPU (0FBBH)	PBPU7	PBPU6	PBPU5	PBPU4	PBPU3	PBPU2	PBPU1	PBPU0	(初期値: 0000 0000)

PBPU	PB ポートのプルアップ付加選択 (ビットごとに指定)	0: プルアップなし 1: プルアップあり	R/W
------	--------------------------------	--------------------------	-----

注) 「プルアップあり」に設定した場合でも、PBCR により出力状態に設定された端子についてはプルアップは付加されません。

第6章 ウォッチドッグタイマ (WDT)

ウォッチドッグタイマは、ノイズなどの原因による誤動作（暴走）やデッドロック状態を速やかに検出し、正常な状態に戻すことを目的としたフェイルセーフ機能です。

ウォッチドッグタイマによる暴走検出信号は、「リセット要求」または「割り込み要求」のいずれかをプログラムで選択することができます。ただし、選択は1回限りです。リセット解除時は、「リセット要求」に初期化されます。

なお、ウォッチドッグタイマを暴走検出用として使用しない場合、一定周期ごとに割り込みを発生するタイマとして利用できます。

注) 外乱ノイズなどの影響によってはウォッチドッグタイマが完全な機能を果たせない場合がありますので、機器設計時には十分な考慮が必要です。

6.1 ウォッチドッグタイマの構成

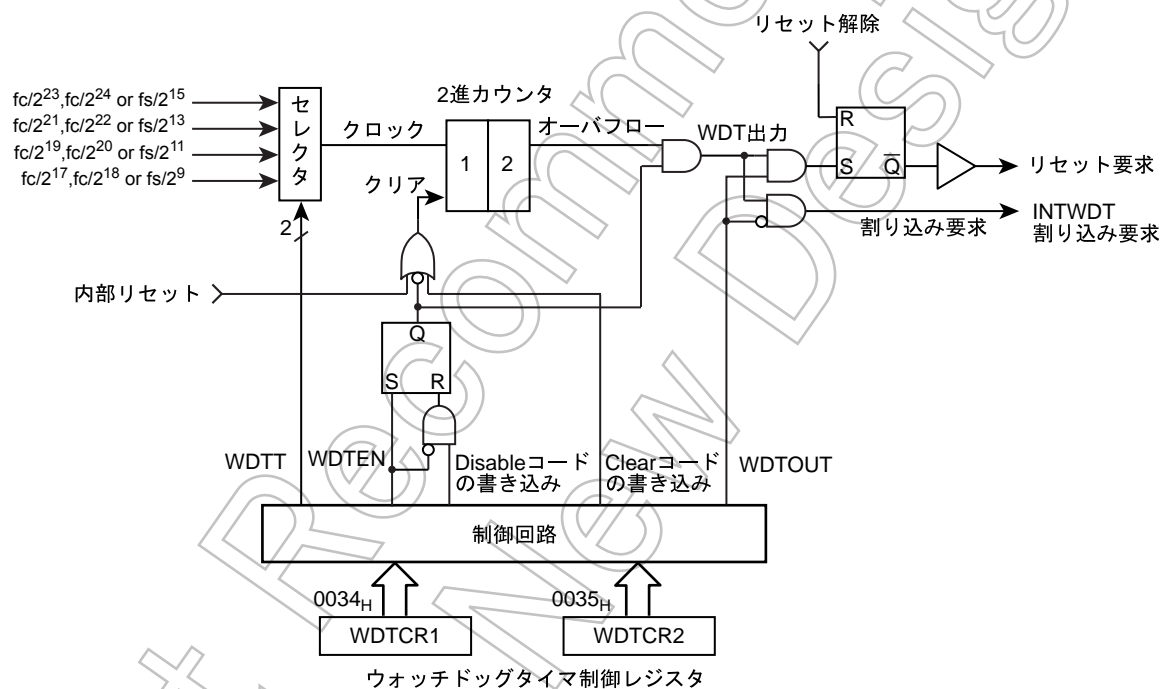


図 6-1 ウォッチドッグタイマの構成

6.2 ウォッチドッグタイマの制御

ウォッチドッグタイマは、ウォッチドッグタイマ制御レジスタ (WDTTCR1、WDTTCR2) によって制御されます。なおウォッチドッグタイマはリセット解除後、自動的にイネーブルになります。

6.2.1 ウォッチドッグタイマによる暴走検出の方法

CPU の暴走検出を行うには、次のようにします。

1. 検出時間の設定、出力の選択および2進カウンタのクリア
2. 設定した検出時間以内ごとに2進カウンタのクリアを繰り返し行います。

もし、何らかの原因で暴走またはデッドロック状態に陥り、2進カウンタのクリアが行われな場合、2進カウンタのオーバフローでウォッチドッグタイマ出力がアクティブになります。このとき WDTCR1<WDTOUT> = “1” なら、リセット要求が発生し内蔵ハードウェアをリセットします。また、WDTCR1<WDTOUT> = “0” なら、ウォッチドッグタイマ割り込み (INTWDT) を発生します。

なお、STOPモード (ウォーミングアップ中を含む) または IDLE/SLEEPモード中ウォッチドッグタイマは、一時的にカウントアップ停止し、STOP/IDLE/SLEEPモード解除後、自動的に再起動 (カウントアップ継続) します。

注) ウォッチドッグタイマは内部デバイダと2段の2進カウンタによって構成されており、クリアコード (4EH) を書き込んだ場合、2進カウンタはクリアされますが、内部デバイダはクリアされません。従って2進カウンタのオーバフロー時間は、WDTCR2レジスタにクリアコード (4EH) を書き込むタイミングによって、最短で WDTCR1<WDTT> の設定時間の3/4となる場合がありますので、これより短い周期でクリアコードを書き込んでください。

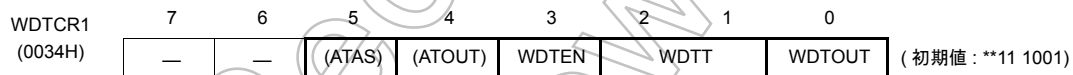
(プログラム例) ウォッチドッグタイマ検出時間を $2^{21}/fc$ [s] に設定し、暴走検出リセットを行う。

```

LD      (WDTCR2), 4EH          ; 2進カウンタのクリア
LD      (WDTCR1), 00001101B   ; WDTT ← 10, WDTOUT ← 1
LD      (WDTCR2), 4EH          ; 2進カウンタのクリア
:                                     ; WDTT 変更直前直後は必ずクリア; します)
:
LD      (WDTCR2), 4EH          ; 2進カウンタのクリア
:
LD      (WDTCR2), 4EH          ; 2進カウンタのクリア

```

ウォッチドッグタイマ制御レジスタ



WDTEN	ウォッチドッグタイマの許可 / 禁止	0: 禁止 (WDTCR2 にディセーブルコードを書き込む必要あり) 1: 許可				Write only	
WDTT	ウォッチドッグタイマ検出時間の設定 単位: [s]	NORMAL1/2モード				SLOW1/2モード	Write only
		DV7CK = 0		DV7CK = 1			
		DV1CK = 0	DV1CK = 1	DV1CK = 0	DV1CK = 1		
		00	$2^{25}/fc$	$2^{26}/fc$	$2^{17}/fs$	$2^{17}/fs$	
		01	$2^{23}/fc$	$2^{24}/fc$	$2^{15}/fs$	$2^{15}/fs$	
10	$2^{21}/fc$	$2^{22}/fc$	$2^{13}/fs$	$2^{13}/fs$			
11	$2^{19}/fc$	$2^{20}/fc$	$2^{11}/fs$	$2^{11}/fs$			
WDTOUT	ウォッチドッグタイマ出力の選択	0: 割り込み要求 1: リセット要求				Write only	

- 注 1) WDTOUT を “0” にクリア後は、プログラムで “1” に再セットできません。
- 注 2) fc: 高周波クロック [Hz] fs: 低周波クロック [Hz] *; Don't care
- 注 3) WDTCR1 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。読み出すと不定値が読み込まれるためです。
- 注 4) STOPモード起動時は、STOPモードに入る直前にウォッチドッグタイマを禁止するか、カウンタをクリアしてください。また、カウンタをクリアした場合、STOPモード解除直後に再度カウンタをクリアしてください。
- 注 5) WDTEN を “1” から “0” に切り替える場合は、誤動作の原因となる場合がありますので「6.2.3 -- ウォッチドッグタイマのディセーブル」に従ってレジスタを設定してください。

ウォッチドッグタイマ制御レジスタ 2

WDTCR2 (0035H) 7 6 5 4 3 2 1 0
 (初期値: **** ***)

WDTCR2	ウォッチドッグタイマの制御コード書き込み	4EH:	ウォッチドッグタイマの2進カウンタのクリア (クリアコード)	Write only
		B1H:	ウォッチドッグタイマのディセーブル (ディセーブルコード)	
		D2H:	アドレストラップ領域選択有効	
		その他	無効	

- 注 1) ディセーブルコードは、WDTCR1<WDTEN> = “0” のとき以外は書き込み無効です。
 注 2) *: Don't care
 注 3) ウォッチドッグタイマの2進カウンタのクリアは割り込みタスクで行わないでください。
 注 4) クリアコード (4EH) は WDTCR1<WDTT> の設定時間の 3/4 以内に書き込んでください。

6.2.2 ウォッチドッグタイマのイネーブル

ウォッチドッグタイマは、WDTCR1<WDTEN> を “1” にセットするとイネーブルになります。リセット時、WDTCR1<WDTEN> は “1” に初期化されますので、リセット解除後は自動的にイネーブルになります。

6.2.3 ウォッチドッグタイマのディセーブル

ウォッチドッグタイマをディセーブルにするには、以下の順序でレジスタを設定してください。以下の順序以外の方法でレジスタを設定すると、マイコンが誤動作する場合があります。

1. 割り込みマスタ許可フラグ (IMF) を “0” に設定します。
2. WDTCR2 にクリアコード (4EH) を設定します。
3. WDTCR1<WDTEN> を “0” に設定します。
4. WDTCR2 にディセーブルコード (B1H) を設定します。

注) ウォッチドッグタイマのディセーブル中は、ウォッチドッグタイマの2進カウンタはクリアされています。

(プログラム例) ウォッチドッグタイマのディセーブル

```
DI ; IMF ← 0
LD (WDTCR2), 04EH ; 2進カウンタのクリア
LDW (WDTCR1), 0B101H ; WDTEN ← 0, WDTCR2 ← ディセーブルコード
```

表 6-1 ウォッチドッグタイマ検出時間 (例: $f_c = 16.0$ MHz, $f_s = 32.768$ kHz 時)

WDTT	ウォッチドッグタイマ検出時間 [S]				
	NORMAL1/2 モード				SLOW モード
	DV7CK = 0		DV7CK = 1		
	DV1CK = 0	DV1CK = 1	DV1CK = 0	DV1CK = 1	
00	2.097	4.194	4	4	4
01	524.288 m	1.049	1	1	1
10	131.072 m	262.144 m	250 m	250 m	250 m
11	32.768 m	65.536 m	62.5 m	62.5 m	62.5 m

6.2.4 ウォッチドッグタイマ割り込み (INTWDT)

WDTCR1<WDTOUT> が “0” のときに 2 進カウンタがオーバーフローすると、ウォッチドッグタイマ割り込み要求 (INTWDT) が発生します。

ウォッチドッグタイマ割り込みはノンマスカブル割り込みですので、割り込みマスタ許可フラグ (IMF) の設定に関係なくならず割り込みは受け付けられます。

また、他の割り込み (ウォッチドッグタイマ割り込みを含む) を受付け中にウォッチドッグタイマ割り込みが発生した場合、先の割り込み処理は保留され、直ちにウォッチドッグタイマ割り込み処理が実行されます。従って RETN 命令が実行されないままウォッチドッグタイマ割り込みが連続して発生すると、過重なネスティングによりマイコンが誤動作する場合があります。

なお、ウォッチドッグタイマ割り込みを使用する場合は、WDTCR1<WDTOUT> を設定する前にスタックポインタを設定してください。

(プログラム例) ウォッチドッグタイマ割り込みの設定例

```
LD      SP, 083FH          ; SP の設定
LD      (WDTCR1), 00001000B ; WDTOUT ← 0
```

6.2.5 ウォッチドッグタイマリセット

WDTCR1<WDTOUT> が “1” のときに 2 進カウンタがオーバーフローすると、ウォッチドッグタイマのリセット要求が発生します。ウォッチドッグタイマのリセット要求が発生すると、内蔵ハードウェアはリセットされます。リセット時間は、最大 $24/f_c$ [s] ($1.5 \mu\text{s}$ @ $f_c = 16.0$ MHz) です。

注) SLOW1 モードでウォッチドッグタイマリセットが発生した場合、高周波クロックが発振を再開するためリセット時間は最大で $24/f_c$ (高周波クロック) となります。ただし、高周波クロックの発振開始時に発振周波数にゆらぎがある場合は、リセット時間は誤差を含むことになり、概略値としてとらえてください。

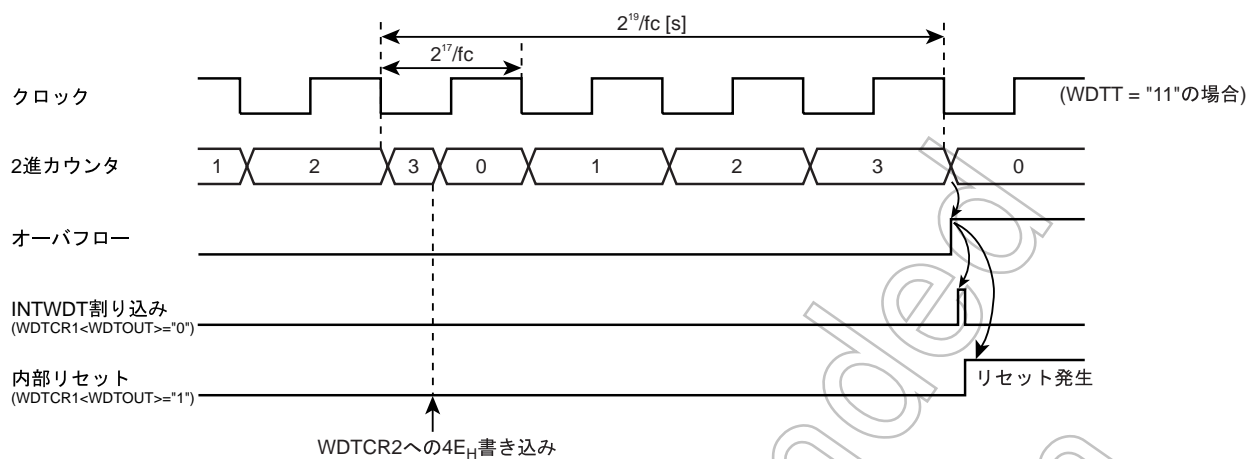


図 6-2 ウォッチドッグタイマ割り込み/リセット

Not Recommended for New Design

6.3 アドレスラップ

ウォッチドッグタイマ制御レジスタ 1, 2 は、アドレスラップ時の制御用レジスタと兼用となっています。

ウォッチドッグタイマ制御レジスタ 1

WDTCR1 (0034H)	7	6	5	4	3	2	1	0	(初期値: **11 1001)
	—	—	ATAS	ATOUT	(WDTEN)	(WDTT)	(WDTOUT)		

ATAS	内蔵 RAM 領域のアドレスラップ選択	0:	アドレスラップ発生しない	Write only
		1:	アドレスラップ発生する (ATAS の設定後 WDTCR2 に制御コード “D2H” 書き込む必要あり)	
ATOUT	アドレスラップ発生時の動作選択	0:	割り込み要求	Write only
		1:	リセット要求	

ウォッチドッグタイマ制御レジスタ 2

WDTCR2 (0035H)	7	6	5	4	3	2	1	0	(初期値: **** *)

WDTCR2	ウォッチドッグタイマの制御コード書き込み 兼 アドレスラップ領域選択の制御コード書き込み	D2H:	アドレスラップ領域選択有効 (ATRAP 設定コード)	Write only
		4EH:	ウォッチドッグタイマの 2 進カウンタのクリア (クリアコード)	
		B1H:	ウォッチドッグタイマのディセーブル (WDT ディセーブルコード)	
		その他:	無効	

6.3.1 内蔵 RAM 領域のアドレスラップ選択 (ATAS)

内蔵 RAM 領域は、WDTCR1<ATAS> によってアドレスラップする / しないを選択することができます。内蔵 RAM 領域で命令を実行する場合、WDTCR1<ATAS> を “0” に設定します。WDTCR1<ATAS> の設定は、WDTCR1 の設定後、WDTCR2 に “D2H” を書き込むことで有効となります。

SFR, DBR 領域内で命令を実行すると、WDTCR1<ATAS> の設定にかかわらず無条件にアドレスラップが発生します。

6.3.2 アドレスラップ発生時の動作選択 (ATOUT)

アドレスラップ発生時は、WDTCR1<ATOUT> によって「割り込み要求」か、「リセット要求」のいずれかを選択することができます。

6.3.3 アドレスラップ割り込み (INTATRAP)

WDTCR1<ATOUT> が “0” の期間、CPU がノイズなどの原因により暴走して内蔵 RAM (WDTCR1<ATAS> = “1” 時のみ)、DBR または SFR 領域から命令をフェッチしようとするときアドレスラップ割り込み要求 (INTATRAP) が発生します。

アドレスラップ割り込みはノンマスカブル割り込みですので、割り込みマスタ許可フラグ (IMF) の設定に関係なくかならず割り込みは受け付けられます。

また、他の割り込み (アドレストラップ割り込みを含む) を受付け中にアドレストラップ割り込みが発生した場合、先の割り込み処理は保留され、直ちにアドレストラップ割り込み処理が実行されます。従って RETN 命令が実行されないままアドレストラップ割り込みが連続して発生すると、過重なネスティングによりマイコンが誤動作する場合があります。

なお、アドレストラップ割り込みを使用する場合は、事前にスタックポインタを設定してください。

6.3.4 アドレストラップリセット

WDTCR1<ATOUT> が “1” の期間、CPU がノイズなどの原因により暴走して内蔵 RAM (WDTCR1<ATAS> = “1” 時のみ)、DBR または SFR 領域から命令をフェッチしようとするアドレストラップリセット要求が発生します。

アドレストラップのリセット要求が発生すると、内蔵ハードウェアはリセットされます。リセット時間は、最大 $24/fc$ [s] ($1.5 \mu\text{s}$ @ $fc = 16.0 \text{ MHz}$) です。

注) SLOW1 モードでアドレストラップリセットが発生した場合、高周波クロックが発振を再開するためリセット時間は最大で $24/fc$ (高周波クロック) となります。ただし、高周波クロックの発振開始時に発振周波数にゆらぎがある場合は、リセット時間は誤差を含むことになり、概略値としてとらえてください。

Not Recommended
for New Design

第7章 タイムベースタイマ (TBT)

タイムベースタイマは、キースキャンやダイナミック表示処理などの基準時間生成用タイマで一定周期ごとにタイムベースタイマ割り込み (INTTBT) を発生することが可能です。

7.1 タイムベースタイマ

7.1.1 構成

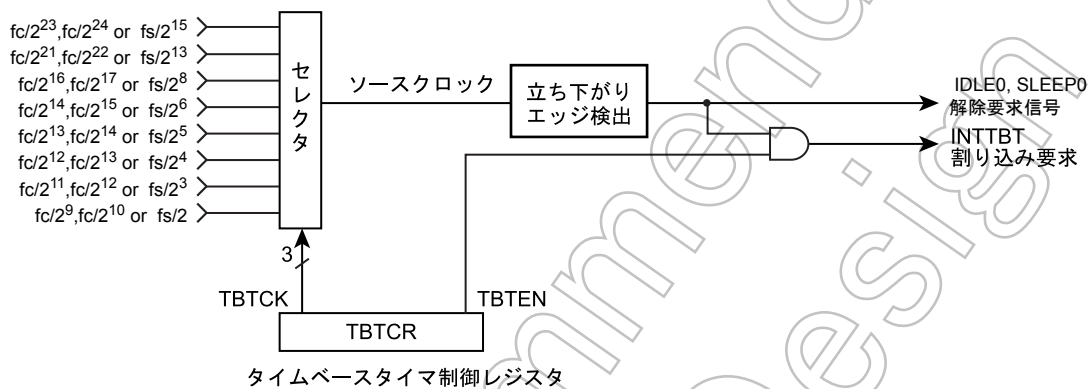


図 7-1 タイムベースタイマの構成

7.1.2 制御

タイムベースタイマは、タイムベースタイマ制御レジスタ (TBTCR) で制御されます。

タイムベースタイマ制御レジスタ

	7	6	5	4	3	2	1	0	
TBTCR (0036H)	(DVOEN)	(DVOCK)	(DV7CK)	TBTEN	TBTCR				(初期値: 0000 0000)

TBTCR	タイムベースタイマの許可 / 禁止	0: ディセーブル 1: イネーブル						
		NORMAL1/2, IDLE1/2 モード				SLOW1/2 SLEEP1/2 モード		
TBTCR	タイムベースタイマ割り込み周波数の選択 単位: [Hz]	DV7CK = 0		DV7CK = 1			R/W	
		DV1CK=0	DV1CK=1	DV1CK=0	DV1CK=1			
		000	fc/2 ²³	fc/2 ²⁴	fs/2 ¹⁵	fs/2 ¹⁵		fs/2 ¹⁵
		001	fc/2 ²¹	fc/2 ²²	fs/2 ¹³	fs/2 ¹³		fs/2 ¹³
		010	fc/2 ¹⁶	fc/2 ¹⁷	fs/2 ⁸	fs/2 ⁸		—
		011	fc/2 ¹⁴	fc/2 ¹⁵	fs/2 ⁶	fs/2 ⁶		—
		100	fc/2 ¹³	fc/2 ¹⁴	fs/2 ⁵	fs/2 ⁵		—
		101	fc/2 ¹²	fc/2 ¹³	fs/2 ⁴	fs/2 ⁴		—
		110	fc/2 ¹¹	fc/2 ¹²	fs/2 ³	fs/2 ³		—
111	fc/2 ⁹	fc/2 ¹⁰	fs/2	fs/2	—			

- 注 1) f_c : 高周波クロック [Hz], f_s : 低周波クロック [Hz], *: Don't care
 注 2) 割り込み周波数 (TBTCCK) の変更は、タイムベースタイマがディセーブルの状態 (TBTEN="0") で行ってください (イネーブル状態からディセーブルに設定する際も割り込み周波数の設定を変更しないでください)。なお、割り込み周波数の選択とイネーブルを同時に設定することは可能です。

(プログラム例) タイムベースタイマ割り込み周波数を $f_c/2^{16}$ [Hz] にセットし、割り込みを許可します。

```
LD      (TBTCR), 00000010B      ; TBTCCK ← 010
LD      (TBTCR), 00001010B      ; TBTEN ← 1
DI
SET     (EIRH), 0
```

表 7-1 タイムベースタイマ割り込み周波数 (例: $f_c = 16.0$ MHz, $f_s = 32.768$ kHz 時)

TBTCCK	タイムベースタイマ割り込み周波数 [Hz]				
	NORMAL1/2, IDLE1/2 モード		NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード
	DV7CK = 0		DV7CK = 1		
	DV1CK = 0	DV1CK = 1	DV1CK = 0	DV1CK = 1	
000	1.91	0.95	1	1	1
001	7.63	3.81	4	4	4
010	244.14	122.07	128	128	—
011	976.56	488.28	512	512	—
100	1953.13	976.56	1024	1024	—
101	3906.25	1953.13	2048	2048	—
110	7812.5	3906.25	4096	4096	—
111	31250	15625	16384	16384	—

7.1.3 機能

タイムベースタイマ割り込みは、タイムベースタイマをイネーブルにした後、ソースクロック (タイミングジェネレータのデバイダ出力を TBTCCK で選択) の最初の立ち上がりから発生します。

なお、デバイダはプログラムでクリアされませんので、最初の割り込みに限り設定した割り込み周期よりも早く割り込みが発生することがあります (図 7-2 参照)。

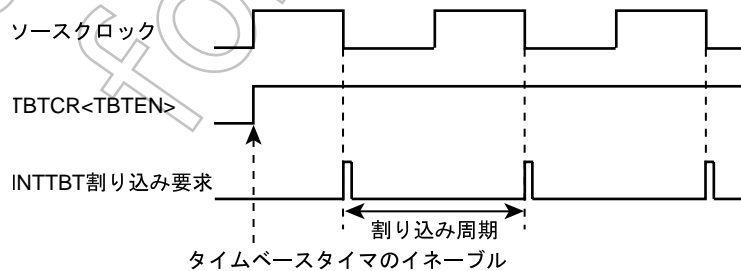


図 7-2 タイムベースタイマ割り込み

7.2 デバイダ出力 (DVO)

タイミングジェネレータのデバイダによってデューティ約 50% のパルスを出力することができ、圧電ブザーなどの駆動に利用できます。デバイダ出力は、DVO 端子から出力されます。

7.2.1 構成

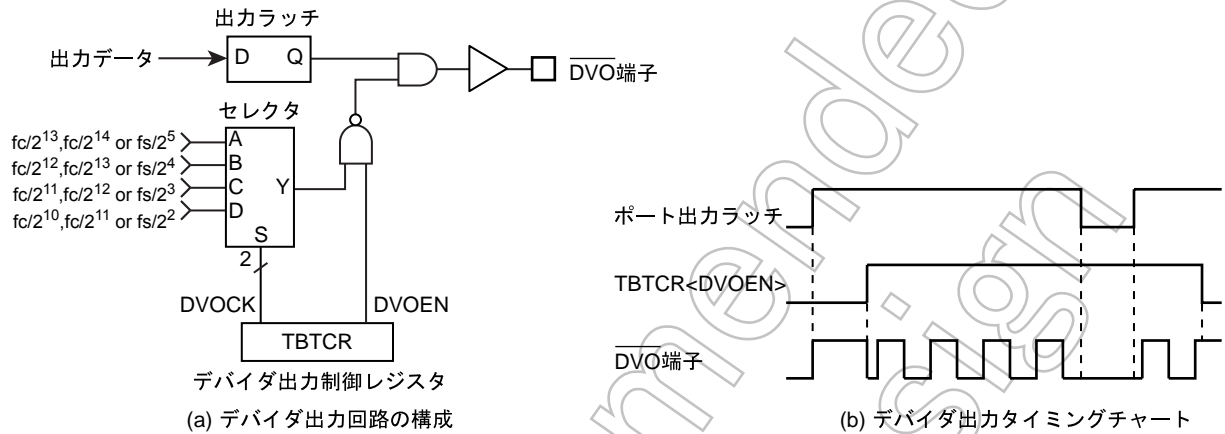


図 7-3 デバイダ出力

7.2.2 制御

デバイダ出力は、タイムベースタイマ制御レジスタで制御されます。

タイムベースタイマ制御レジスタ

	7	6	5	4	3	2	1	0	
TBTCR (0036H)	DVOEN	DVOCK	(DV7CK)	(TBTEN)				(TBTCK)	(初期値 : 0000 0000)

DVOEN	デバイダ出力の許可 / 禁止	0: ディセーブル 1: イネーブル				R/W		
DVOCK	デバイダ出力 (DVO 端子) の周波数選択 単位 : [Hz]	NORMAL1/2, IDLE1/2 モード				SLOW1/2 SLEEP1/2 モード	R/W	
		DV7CK=0		DV7CK=1				
		DV1CK=0	DV1CK=1	DV1CK=0	DV1CK=1			
		00	fc/2 ¹³	fc/2 ¹⁴	fs/2 ⁵	fs/2 ⁵		fs/2 ⁵
		01	fc/2 ¹²	fc/2 ¹³	fs/2 ⁴	fs/2 ⁴		fs/2 ⁴
10	fc/2 ¹¹	fc/2 ¹²	fs/2 ³	fs/2 ³	fs/2 ³			
11	fc/2 ¹⁰	fc/2 ¹¹	fs/2 ²	fs/2 ²	fs/2 ²			

注) デバイダ出力の周波数選択 (DVOCK) の変更は、デバイダ出力が禁止の状態 (DVOEN="0")で行ってください。許可状態 (DVOEN="1")から禁止状態 (DVOEN="0")に設定する際もデバイダ出力周波数の設定を変更しないでください。

(プログラム例) 1.95 kHz のパルスを出力 ($f_c = 16.0$ MHz)

```

          ポートを設定
LD      (TBTCR), 00000000B      ; DVOCK ← "00"
LD      (TBTCR), 10000000B      ; DVOEN ← "1"

```

表 7-2 デバイダ出力の周波数 (例 : $f_c = 16.0$ MHz, $f_s = 32.768$ kHz 時)

DVOCK	デバイダ出力の周波数 [Hz]				
	NORMAL1/2, IDLE1/2 モード				SLOW1/2, SLEEP1/2 モード
	DV7CK = 0		DV7CK = 1		
	DV1CK=0	DV1CK=1	DV1CK=0	DV1CK=1	
00	1.953 k	976.6	1.024 k	1.024 k	1.024 k
01	3.906 k	1.953 k	2.048 k	2.048 k	2.048 k
10	7.813 k	3.906 k	4.096 k	4.096 k	4.096 k
11	15.625 k	7.813 k	8.192 k	8.192 k	8.192 k

第8章 16ビットタイマカウンタ1 (TC1)

8.1 構成

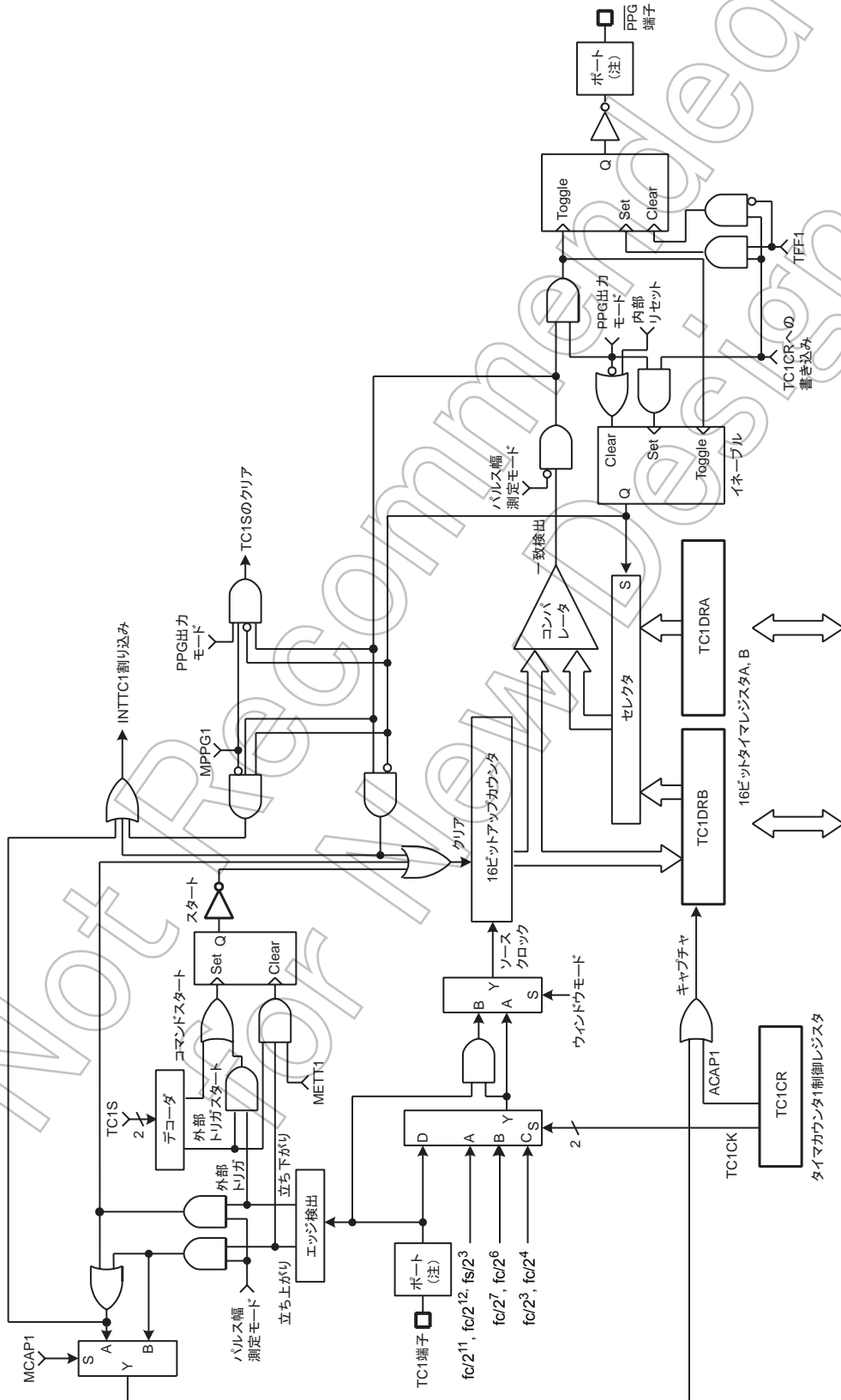


図 8-1 タイマカウンタ 1 (TC1)

8.2 制御

タイマカウンタ 1 は、タイマカウンタ 1 制御レジスタ (TC1CR) と 2 本の 16 ビットタイマレジスタ (TC1DRA/TC1DRB) で制御されます。

タイマレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TC1DRA (0021H, 0020H)	TC1DRAH (0021H) (初期値: 1111 1111 1111 1111)								TC1DRAL (0020H) Read/Write							
TC1DRB (0023H, 0022H)	TC1DRBH (0023H) (初期値: 1111 1111 1111 1111)								TC1DRBL (0022H) Read/Write (PPG 出力モード時のみ Write 可)							

タイマカウンタ 1 制御レジスタ

	7	6	5	4	3	2	1	0
TC1CR (0032H)	TFF1	ACAP1 MCAP1 METT1 MPPG1	TC1S	TC1CK	TC1M	Read/Write (初期値: 0000 0000)		

TFF1	タイマ F/F1 制御	0: クリア	1: セット	R/W					
ACAP1	自動キャプチャ制御	0: 自動キャプチャディセーブル	1: 自動キャプチャイネーブル	R/W					
MCAP1	パルス幅測定モード制御	0: 両エッジキャプチャ	1: 片エッジキャプチャ						
METT1	外部トリガタイマモード制御	0: トリガスタート	1: トリガスタート & ストップ	R/W					
MPPG1	PPG 出力制御	0: 連続	1: 単発						
TC1S	タイマカウンタ 1 の スタート制御		タイマ	外部	イベ ント	ウイン ドウ	パルス	PPG	R/W
		00: ストップ & カウンタクリア	○	○	○	○	○	○	
		01: コマンドスタート	○	-	-	-	-	○	
		10: 立ち上がりエッジスタート (外部トリガ / パルス / PPG) 立ち上がりエッジカウント (イベント) 正論理カウント (ウィンドウ)	-	○	○	○	○	○	
		11: 立ち下がりエッジスタート (外部トリガ / パルス / PPG) 立ち下がりエッジカウント (イベント) 負論理カウント (ウィンドウ)	-	○	○	○	○	○	
TC1CK	タイマカウンタ 1 の ソースクロックの選択 単位: [Hz]	NORMAL 1/2, IDLE 1/2 モード				デバイダ	SLOW, SLEEP モード	R/W	
		DV7CK = 0		DV7CK = 1					
		DV1CK = 0	DV1CK = 1	DV1CK = 0	DV1CK = 1				
		00	fc/2 ¹¹	fc/2 ¹²	fs/2 ³	fs/2 ³	DV9		fs/2 ³
		01	fc/2 ⁷	fc/2 ⁸	fc/2 ⁷	fc/2 ⁸	DV5		-
10	fc/2 ³	fc/2 ⁴	fc/2 ³	fc/2 ⁴	DV1	-			
11	外部クロック (TC1 端子入力)								
TC1M	タイマカウンタ 1 の 動作モードの選択	00: タイマ / 外部トリガタイマ / イベントカウンタモード 01: ウィンドウモード 10: パルス幅測定モード 11: PPG (プログラマブルパルスジェネレート) 出力モード						R/W	

注 1) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz]

注 2) タイマレジスタはシフトレジスタ (2 段) 構成で、タイマレジスタの設定値は上位データ (TC1DRAH, TC1DRBH) へ書き込んだ後、次のソースクロックの立ち上がりで有効となります。従ってタイマレジスタは、下位バイト、上位バイトの順で連続して書き込んでください (16 ビットアクセス命令による書き込みを推奨します)。下位データ (TC1DRAL, TC1DRBL) のみ書き込みを行っても設定は有効になりません。

- 注 3) モード、ソースクロック、PPG 出力制御、タイマ F/F1 制御は、停止 (TC1S = 00) 状態で設定してください。また、タイマ F/F1 制御は、PPG モードに設定変更後の最初のタイマスタートまでに設定してください。
- 注 4) 自動キャプチャは、タイマ、イベントカウンタ、ウィンドウモードでのみ使用可能です。
- 注 5) タイマレジスタへの設定値は、次の条件を満たす必要があります。
TC1DRA > TC1DRB > 1 (PPG 出力モード)、TC1DRA > 1 (PPG 出力モード以外)
- 注 6) PPG 出力モード以外の動作モードでは TFF1 を "0" に設定してください。
- 注 7) TC1DRB は、TC1M を PPG 出力モードに変更した後に設定してください。
- 注 8) STOP モードを起動するとスタート制御 (TC1S) は自動的に "00" にクリアされ、タイマは停止します。STOP モード解除後、タイマカウンタを使用する場合は、TC1S を再設定してください。
- 注 9) 自動キャプチャ機能はタイマ動作状態で使用してください。タイマ停止時および自動キャプチャディセーブル時のキャプチャ値 (TC1DRB レジスタ値) は不定となります。キャプチャ値の読み出しはキャプチャイネーブル状態で行ってください。
- 注 10) キャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック 1 周期以上の時間が経過した後に行ってください。

Not Recommended for New Design

8.3 機能

タイマカウンタ 1 には、タイマ、外部トリガタイマ、イベントカウンタ、ウィンドウ、パルス幅測定、プログラマブルパルスジェネレート出力の 6 つの動作モードがあります。

8.3.1 タイマモード

タイマモードは、内部クロックでカウントアップするモードです。アップカウンタの値とタイマレジスタ 1A (TC1DRA) の設定値が一致すると INTTC1 割り込み要求が発生し、アップカウンタがクリアされます。アップカウンタのクリア後もカウントアップを継続します。なお、TC1CR<ACAP1>を“1”にセットすることで、そのときのアップカウンタの内容をタイマレジスタ 1B (TC1DRB) に取り込むことができます (自動キャプチャ機能)。自動キャプチャ機能はタイマ動作状態で使用してください。タイマ停止時および自動キャプチャディセーブル時のキャプチャ値 (TC1DRB レジスタ値) は不定となります。キャプチャ値読み出しはキャプチャイネーブル状態で行ってください。またキャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック 1 周期以上の時間が経過した後に行ってください。

表 8-1 タイマカウンタ 1 の内部ソースクロック (例: $f_c = 16 \text{ MHz}$, $f_s = 32.768 \text{ kHz}$ 時)

TC1CK	NORMAL1/2, IDLE1/2 モード								SLOW, SLEEP モード	
	DV7CK = 0				DV7CK = 1					
	DV1CK = 0		DV1CK = 1		DV1CK = 0		DV1CK = 1		分解能 [μs]	最大設定 時間 [s]
	分解能 [μs]	最大設定 時間 [s]	分解能 [μs]	最大設定 時間 [s]	分解能 [μs]	最大設定 時間 [s]	分解能 [μs]	最大設定 時間 [s]		
00	128	8.39	256	16.78	244.14	16.0	244.14	16.0	244.14	16.0
01	8.0	0.524	16	1.05	8.0	0.524	16.0	0.838	-	-
10	0.5	32.77 m	1	65.53 m	0.5	32.77 m	1.0	52.42 m	-	-

(プログラム例 1) ソースクロック $f_c/2^{11}$ [Hz] でタイマモードにセットし、1 [s] 後に割り込みを発生させる。($f_c = 16 \text{ MHz}$, $\text{TBTCR}<\text{DV7CK}> = "0"$, $\text{CGCR}<\text{DV1CK}> = "0"$ 時)

LDW (TC1DRA), 1E84H ; タイマレジスタの設定 ($1 \text{ s} \div 2^{11}/f_c = 1\text{E}84\text{H}$)

DI ; IMF="0"

SET (EIRH), 1 ; INTTC1 割り込みを許可

EI ; IMF="1"

LD (TC1CR), 00000000B ; ソースクロック, モード選択

LD (TC1CR), 00010000B ; TC1 スタート

(プログラム例 2) 自動キャプチャ

LD (TC1CR), 01010000B ; ACAP1 ← 1

: : :

LD WA, (TC1DRB) ; キャプチャ値の読み出し

注) キャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック 1 周期以上の時間が経過した後に行ってください。

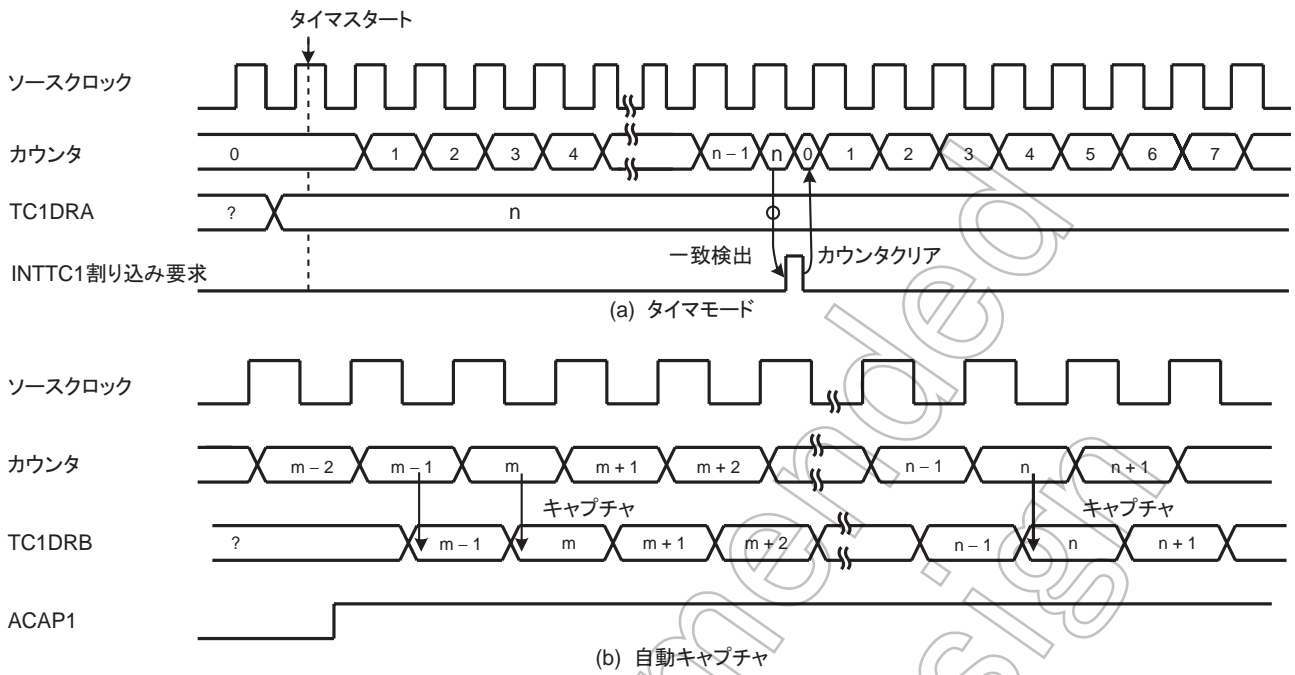


図 8-2 タイマモードタイミングチャート

8.3.2 外部トリガタイマモード

外部トリガタイマモードは、TC1 端子の入力パルスをトリガにしてカウントをスタートし、内部クロックでカウントアップするモードです。カウントスタート用のトリガのエッジは、TC1CR<TC1S> によって、立ち上がりエッジ、または立ち下がりエッジのいずれかを選択することができます。

- TC1CR<METT1> が “1” (トリガスタート & ストップ) の場合

タイマスタート後、アップカウンタの値と TC1DRA の設定値が一致すると、アップカウンタはクリアされて停止し、INTTC1 割り込み要求が発生します。

ただしアップカウンタの値と TC1DRA の設定値が一致する前に、カウントスタート用のトリガのエッジと逆方向のエッジを検出するとアップカウンタはクリアされて停止しますが、INTTC1 割り込み要求は発生しません。従ってこのモードを使用すると、一定以上のパルス幅が入力されたことを割り込みで検出することができます。

なお、アップカウンタが停止した後、カウントスタート用のトリガのエッジを検出するとカウントアップを再開します。

- TC1CR<METT1> が “0” (トリガスタート) の場合

タイマスタート後、アップカウンタの値と TC1DRA の設定値が一致すると、アップカウンタはクリアされて停止し、INTTC1 割り込み要求が発生します。

カウントスタート用のトリガのエッジと逆方向のエッジは意味を持ちません。

アップカウンタの値と TC1DRA の設定値が一致する前に、次のカウントスタート用のトリガのエッジを入力しても無視されます。

なお、TC1 端子入力にはノイズ除去回路が付いていますので、NORMAL1/2 または IDLE1/2 モード時 $4/fc$ [s] 以下のパルスは、ノイズとして除去されます。確実にエッジ検出が行われるためには、 $12/fc$ [s] 以上のパルス幅が必要です。また、SLOW1/2、または SLEEP1/2 モード時、ノイズ除去回路はオフしますが 1 マシンサイクル以上のパルス幅が必要です。

(プログラム例 1) TC1 端子入力の立ち上がりエッジから 1ms 後に割り込みを発生させる。
($fc = 16$ MHz, CGCR<DV1CK> = “0” 時)

LDW	(TC1DRA), 007DH	; $1ms \div 2^7/fc = 7DH$
DI		; IMF= “0”
SET	(EIRH), 1	; INTTC1 割り込み許可
EI		; IMF= “1”
LD	(TC1CR), 00000100B	; ソースクロック, モード選択
LD	(TC1CR), 00100100B	; TC1 外部トリガスタート, METT1 = 0

(プログラム例2) TC1 端子に“L” レベル幅 4 ms 以上のパルスが入力されたら割り込みを発生させる。(fc = 16 MHz, CGCR<DV1CK> = “0” 時)

LDW	(TC1DRA), 01F4H	; 4 ms ÷ 2 ⁷ /fc = 1F4H
DI		; IMF=“0”
SET	(EIRH), 1	; INTTC1 割り込み許可
EI		; IMF=“1”
LD	(TC1CR), 00000100B	; ソースクロック, モード選択
LD	(TC1CR), 01110100B	; TC1 外部トリガスタート, METT1=1

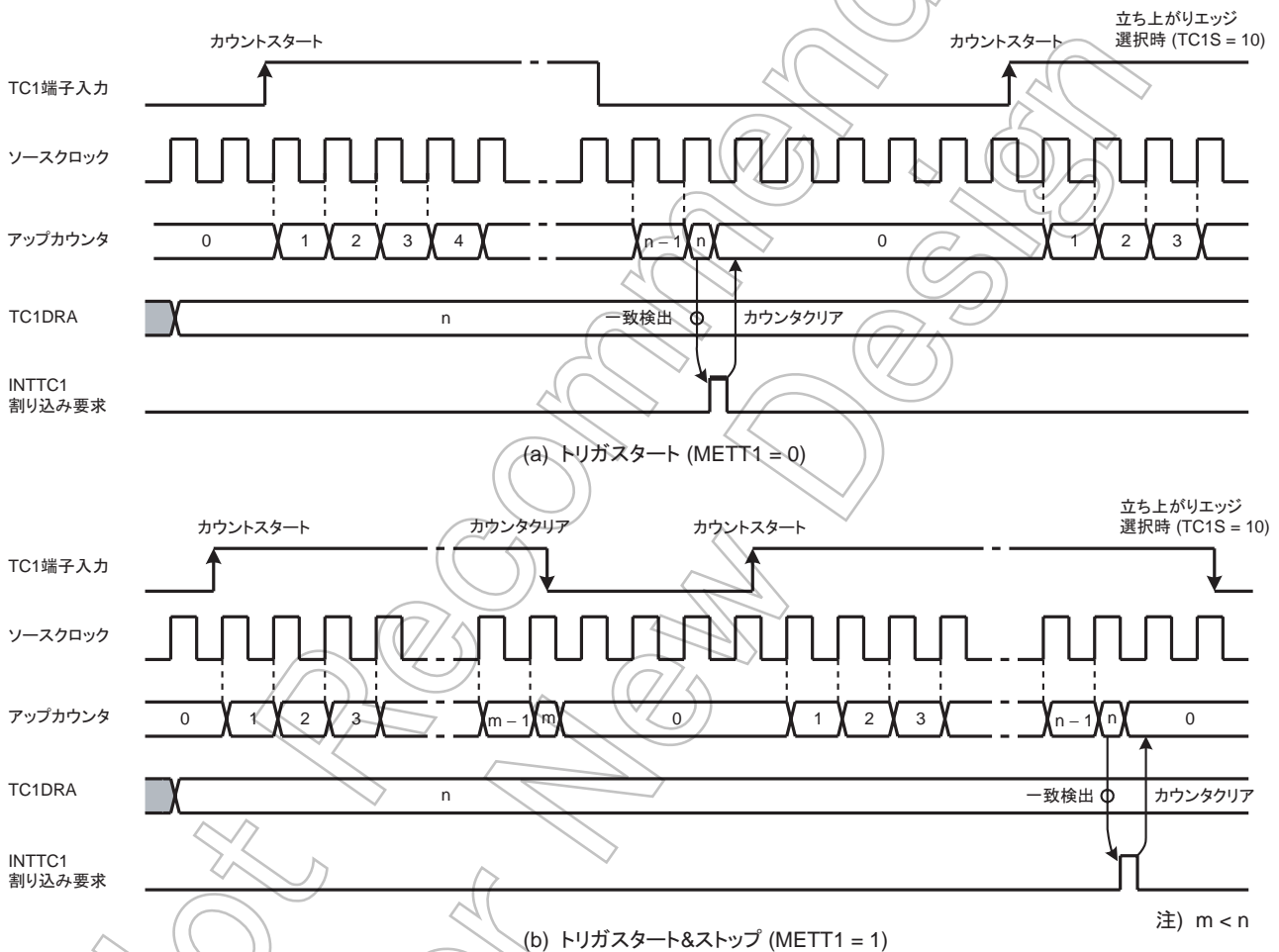


図 8-3 外部トリガタイムモードタイミングチャート

8.3.3 イベントカウンタモード

イベントカウンタモードは、TC1 端子の入力パルスのエッジでカウントアップするモードです。カウントアップのエッジは、TC1CR<TC1S> によって、立ち上がりエッジ、または立ち下がりエッジのいずれかを選択することができます。

アップカウンタの値と TC1DRA の設定値が一致すると INTTC1 割り込み要求が発生し、アップカウンタはクリアされます。アップカウンタのクリア後も TC1 端子入力のエッジごとにカウントアップを続けます。なお、一致検出は選択されたエッジとは逆側のエッジにて行われますので、INTTC1 割り込み要求は、アップカウンタと TC1DRA が同値になった後、選択されたエッジと逆側のエッジで発生します。

TC1 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクル以上のパルス幅が必要です。

また、TC1CR<ACAP1> を “1” にセットすることにより、カウンタの内容を TC1DRB に取り込むことができます (自動キャプチャ機能)。自動キャプチャ機能はタイマ動作状態で使用してください。タイマ停止時および自動キャプチャディセーブル時のキャプチャ値 (TC1DRB レジスタ値) は不定となります。キャプチャ値読み出しはキャプチャイネーブル状態で行ってください。またキャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック 1 周期以上の時間が経過した後に行ってください。

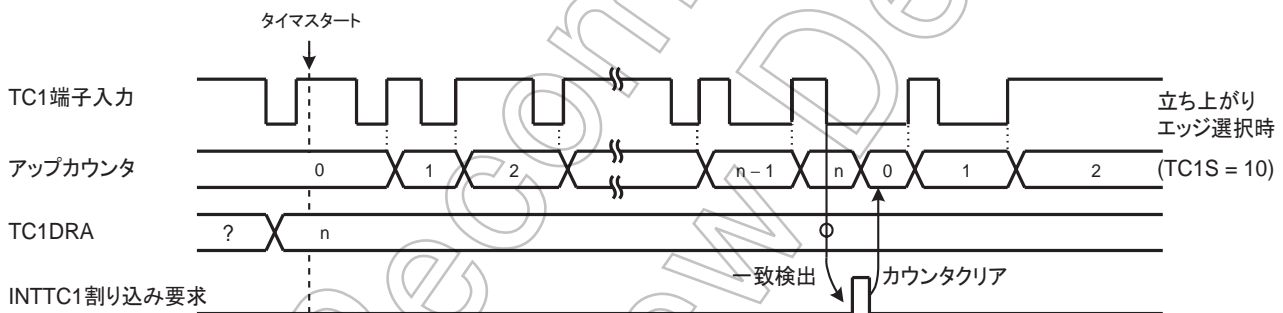


図 8-4 イベントカウンタモード タイミングチャート

表 8-2 タイマカウンタ 1 端子への入力パルス幅

	最小パルス幅 [s]	
	NORMAL1/2, IDLE1/2 モード	SLOW1/2, SLEEP1/2 モード
“H” 幅	$2^3/f_c$	$2^3/f_s$
“L” 幅	$2^3/f_c$	$2^3/f_s$

8.3.4 ウィンドウモード

ウィンドウモードは、TC1 端子入力 (ウィンドウパルス) と内部ソースクロックとの論理積パルスの立ち上がりエッジでカウントアップするタイマモードです。ウィンドウパルスは、TC1CR<TC1S> によって正論理 (H レベルの期間カウントアップ) または負論理 (L レベルの期間カウントアップ) の選択をで行うことができます。

アップカウンタの値と TC1DRA の設定値が一致すると INTTC1 割り込み要求が発生し、アップカウンタはクリアされます。

なお、ウィンドウパルスは、TC1CR<TC1CK> で設定した内部クロックよりも十分遅い周波数を入力してください。

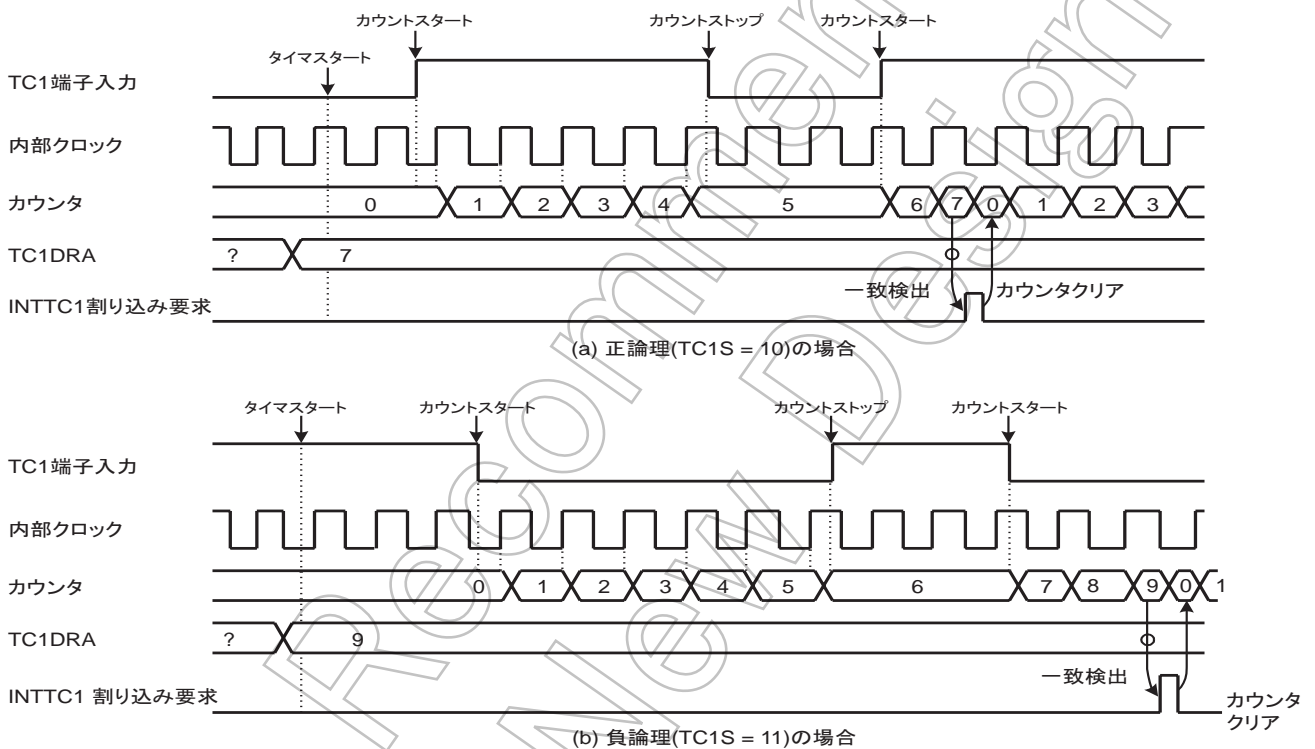


図 8-5 ウィンドウモード タイミングチャート

8.3.5 パルス幅測定モード

パルス幅測定モードは、TC1端子の入力パルスをトリガにしてカウントをスタートし、入力パルス幅を内部クロックで測定するモードです。カウントスタート用のトリガのエッジは、TC1CR<TC1S>によって、立ち上がりエッジ、または立ち下がりエッジのいずれかを選択することができます。またキャプチャを行うエッジは、TC1CR<MCAP1>によって、片エッジまたは両エッジのいずれかを選択することができます。

- TC1CR<MCAP1>= “1” (片エッジキャプチャ)の場合

HレベルまたはLレベルのいずれか一方の入力パルス幅を測定することができます。Hレベルの入力パルス幅を測定する場合はTC1CR<TC1S>を立ち上がりエッジに、Lレベルの入力パルス幅を測定する場合はTC1CR<TC1S>を立ち下がりエッジに設定してください。

タイマスタート後、カウントスタート用のトリガのエッジと逆方向のエッジを検出すると、アップカウンタの内容をTC1DRBに取り込み、INTTC1割り込み要求を発生します。このときアップカウンタはクリアされます。その後カウントスタート用のトリガのエッジを検出するとアップカウンタはカウントアップを再開します。

- TC1CR<MCAP1>= “0” (両エッジキャプチャ)の場合

Hレベルと周期、またはLレベルと周期のいずれかの入力パルス幅を測定することができます。Hレベルと周期を測定する場合はTC1CR<TC1S>を立ち上がりエッジに、Lレベルと周期を測定する場合はTC1CR<TC1S>を立ち下がりエッジに設定してください。

タイマスタート後、カウントスタート用のトリガのエッジと逆方向のエッジを検出すると、アップカウンタの内容をTC1DRBに取り込み、INTTC1割り込み要求を発生します。アップカウンタはカウントアップを継続し、その後カウントスタート用のトリガのエッジを検出すると、アップカウンタの内容をTC1DRBに取り込み、INTTC1割り込み要求を発生します。このときアップカウンタはクリアされた後、カウントアップを継続します。

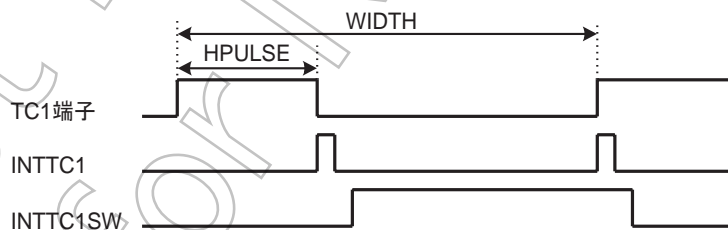
- 注1) キャプチャ値は、次のトリガエッジが検出されるまでにTC1DRBから必ず読み出してください。読み出しを行わない場合、キャプチャ値は不定となります。このときTC1DRBは、16ビットアクセス命令による読み出しを推奨します。
- 注2) 片エッジキャプチャ時、キャプチャ後のカウンタは次のエッジを検出するまで“1”で停止するため、2回目のキャプチャ値は、スタート直後のキャプチャ値よりも“1”大きくなります。
- 注3) タイマスタート後の最初のキャプチャ値は不定となりますので、タイマスタート後の1回目のキャプチャ値は読み捨ててください。

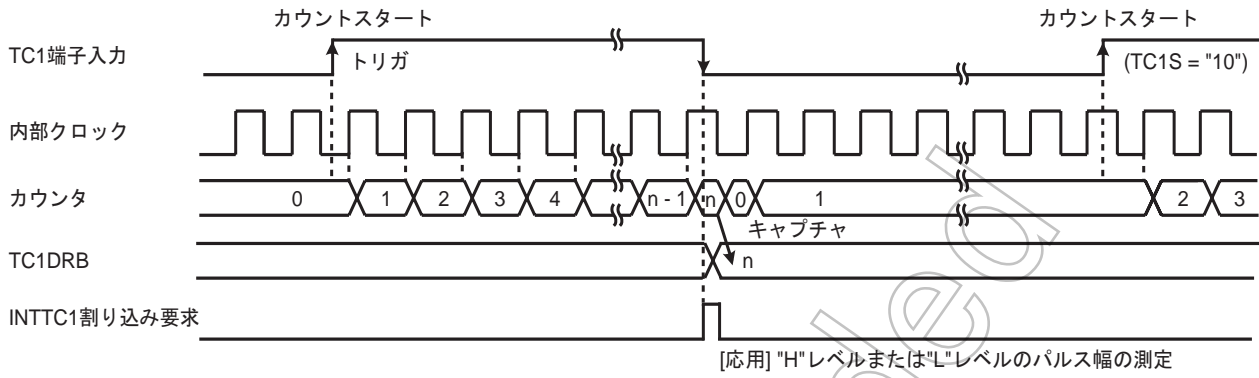
(プログラム例) デューティの測定。(分解能 $fc/2^7$ [Hz], CGCR<DV1CK> = "0" 時)

```

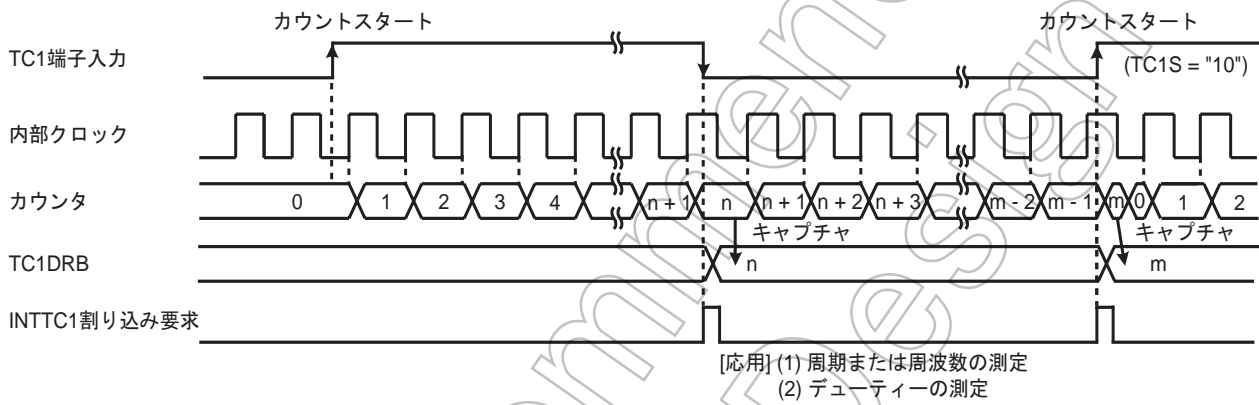
CLR      (INTTC1SW). 0      ; INTTC1 のサービススイッチの初期設定 (INTTC1SW):
                          ; INTTC1 ごとに反転するように設定したアドレス

LD       (TC1CR), 00000110B ; TC1 のモード, ソースクロックを設定
DI       ; IMF= "0"
SET      (EIRH). 1         ; INTTC1 割り込みを許可。
EI       ; IMF= "1"
LD       (TC1CR), 00100110B ; MCAP1 = 0 で TC1 を外部トリガスタート。
:
PINTTC1: CPL      (INTTC1SW). 0 ; INTTC1 割り込み, INTTC1 のサービススイッチの
                          ; 反転 / テスト
JRS      F, SINTTC1
LD       A, (TC1DRBL)      ; TC1DRB の読み出し ("H" レベルパルス幅)
LD       W,(TC1DRBH)
LD       (HPULSE), WA      ; "H" レベルパルス幅を RAM に格納
RETI
SINTTC1: LD       A, (TC1DRBL) ; TC1DRB の読み出し (周期)
LD       W,(TC1DRBH)
LD       (WIDTH), WA      ; 周期を RAM に格納
:
RETI     ; デューティ計算
:
VINTTC1: DW       PINTTC1    ; INTTC1 割り込みベクタ設定
    
```





(a) 片エッジキャプチャ (MCAP1 = "1")



(b) 両エッジキャプチャ (MCAP1 = "0")

図 8-6 パルス幅測定モード

8.3.6 プログラマブルパルスジェネレータ (PPG) 出力モード

PPG 出力モードは、内部クロックのカウントによって任意のデューティパルスを出力するモードです。タイマのスタートは、TC1CR<TC1S> によって TC1 端子の入力パルスのエッジ、またはコマンドスタートを選択することができます。また TC1CR<MPPG1> によって PPG を連続して出力するか単発で出力するかを選択することができます。

- TC1CR<MPPG1>="0"(連続)の場合

タイマスタート後、アップカウンタの値と TC1DRB の設定値が一致すると $\overline{\text{PPG}}$ 端子のレベルが反転し、INTTC1 割り込み要求が発生します。アップカウンタは、その後もカウントアップを継続し、アップカウンタの値と TC1DRA の設定値が一致すると PPG 端子のレベルが反転し、INTTC1 割り込み要求が発生します。このときアップカウンタはクリアされ、カウント動作および PPG 出力を継続します。

なお、PPG 出力中に TC1S を "00" に設定すると、 $\overline{\text{PPG}}$ 端子は停止直前のレベルを保持します。

- TC1CR<MPPG1>="1"(単発)の場合

タイマスタート後、アップカウンタの値と TC1DRB の設定値が一致すると $\overline{\text{PPG}}$ 端子のレベルが反転し、INTTC1 割り込み要求が発生します。アップカウンタは、その後もカウントアップを継続し、アップカウンタの値と TC1DRA の設定値が一致すると PPG 端子のレベルが反転し、INTTC1 割り込み要求が発生します。このとき TC1CR<TC1S> は自動的に "00" にクリアされ、タイマは停止します。PPG 出力はタイマが停止したときのレベルを保持します。

タイマスタート時、 $\overline{\text{PPG}}$ 端子は TC1CR<TEF1> によって出力レベルを設定することができますので、正論理 / 負論理いずれのパルスも出力することが可能です。なお、PPG 端子は、タイマ F/F1 出力の反転レベルが出力されますので、PPG 端子を H レベルに設定する場合は TC1CR<TFF1> を "0" に、L レベルに設定する場合は TC1CR<TFF1> を "1" に設定してください。リセット時、タイマ F/F1 は "0" に初期化されます。

注 1) タイマ動作中に TC1DRA、TC1DRB を変更する場合、カウンタのカウント値より十分大きな値を設定してください。タイマ動作中にカウンタのカウント値よりも小さな値をタイマレジスタに設定すると、設定値と異なるパルスが出力されることがあります。

注 2) TC1CR<TFF1> はタイマ動作中に変更しないでください。TC1CR<TFF1> は、初期設定時 (リセット後) のみ正しく設定できます。PPG 出力中にタイマを停止したとき、停止直前の PPG 出力レベルがタイマスタート時の PPG 出力レベルと逆相の場合、それ以降 TC1CR<TFF1> は正しく設定することができなくなります (このとき TC1CR<TFF1> を設定すると、タイマ F/F1 には設定値の逆相レベルが設定されます)。従ってタイマ停止後、PPG 出力を確実に任意のレベルにするにはタイマ F/F1 を初期化する必要があります。初期化するには TC1CR<TC1M> を一度タイマモードに変更し (タイマモードをスタートさせる必要はありません)、再度 PPG 出力モードに設定してください。このとき、同時に TC1CR<TFF1> を設定してください。

注 3) PPG 出力モード時、タイマレジスタへの設定値は以下の条件を満たす必要があります。
TC1DRA > TC1DRB

注 4) TC1DRB は、TC1M を PPG 出力モードに変更した後に設定してください。

(プログラム例) “H” レベル 800 μ s, “L” レベル 200 μ s のパルスを出力。(fc = 16 MHz, CGCR<DV1CK> = “0” 時)

ポートを設定する

```
LD (TC1CR), 10000111B ; PPG 出力モードに設定, ソースクロック選択
LDW (TC1DRA), 007DH ; 周期の設定 (1 ms ÷ 27/fc  $\mu$ s = 007DH)
LDW (TC1DRB), 0019H ; “L” レベルパルス幅の設定 (200  $\mu$ s ÷ 27/fc = 0019H)
LD (TC1CR), 10010111B ; タイマスタート
```

(プログラム例) PPG 出力を停止後、PPG 端子を H レベルに設定し PPG 出力を再度スタート (fc = 16 MHz, CGCR<DV1CK> = “0” 時)

ポートを設定する

```
LD (TC1CR), 10000111B ; PPG 出力モードに設定, ソースクロック選択
LDW (TC1DRA), 007DH ; 周期の設定 (1 ms ÷ 27/fc  $\mu$ s = 007DH)
LDW (TC1DRB), 0019H ; “L” レベルパルス幅の設定 (200  $\mu$ s ÷ 27/fc = 0019H)
LD (TC1CR), 10010111B ; タイマスタート
:
LD (TC1CR), 10000111B ; タイマストップ
LD (TC1CR), 10000100B ; タイマモードに設定
LD (TC1CR), 00000111B ; PPG 出力モード、TFF1=0 に設定
LD (TC1CR), 00010111B ; タイマスタート
```

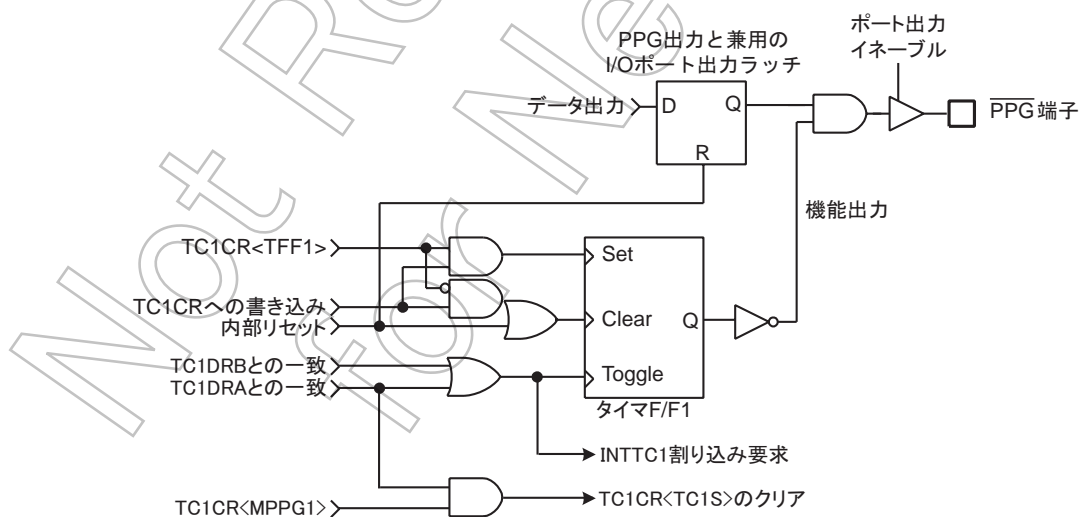


図 8-7 PPG 出力

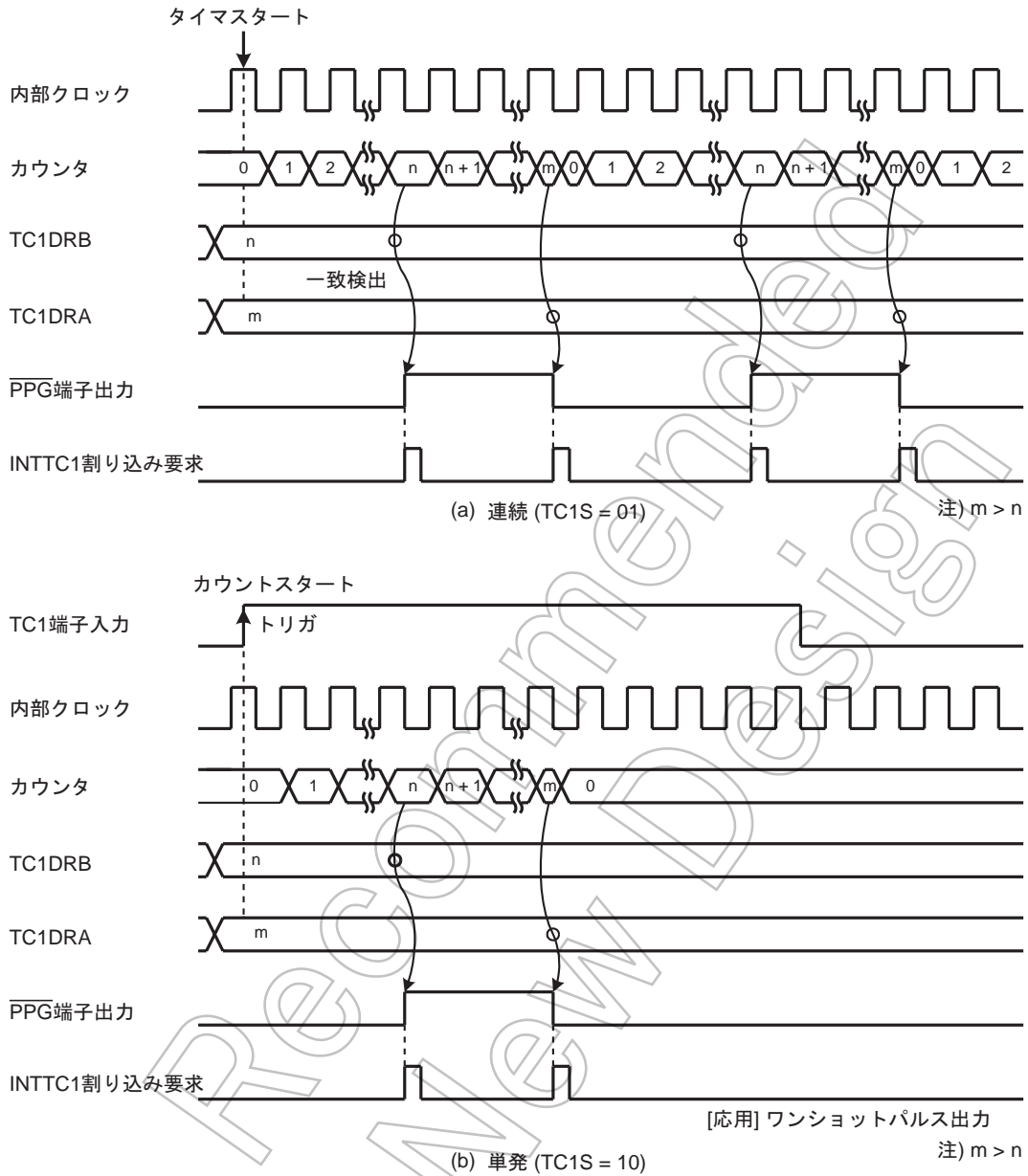
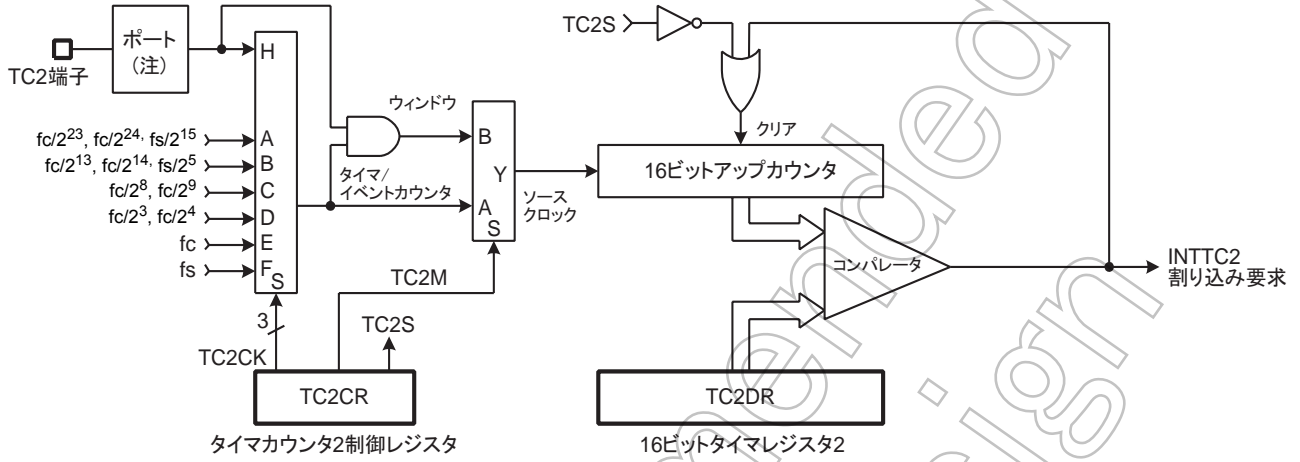


図 8-8 PPG 出力モード タイミングチャート

Not Recommended
for New Design

第9章 16ビットタイマカウンタ2 (TC2)

9.1 構成

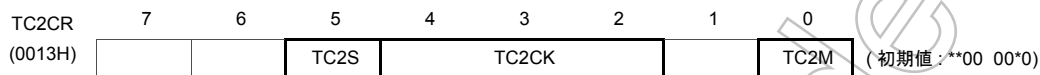
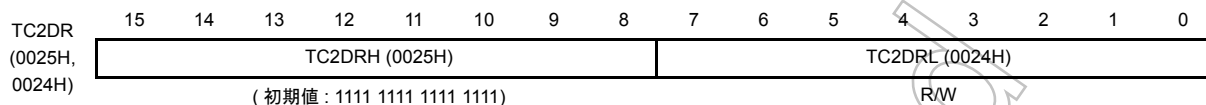


注) I/Oポートの設定によっては、制御入力機能が機能しないことがありますので、詳しくはI/Oポートの章を参照してください。

図 9-1 タイマカウンタ 2 (TC2)

9.2 制御

タイマカウンタ2は、タイマカウンタ2制御レジスタ (TC2CR) と16ビットのタイマレジスタ2 (TC2DR) で制御されます。



TC2S	タイマカウンタ2の スタート制御	0: ストップ & カウンタクリア 1: スタート							R/W	
TC2CK	タイマカウンタ2の ソースクロックの選択 単位: [Hz]	NORMAL1/2, IDLE1/2 モード				デバイダ	SLOW1/2 モード	SLEEP1/2 モード	R/W	
		DV7CK = 0		DV7CK = 1						
		DV1CK = 0	DV1CK = 1	DV1CK = 0	DV1CK = 1					
		000	$fc/2^{23}$	$fc/2^{24}$	$fs/2^{15}$	$fs/2^{15}$	DV21	$fs/2^{15}$		$fs/2^{15}$
		001	$fc/2^{13}$	$fc/2^{14}$	$fs/2^5$	$fs/2^5$	DV11	$fs/2^5$		$fs/2^5$
		010	$fc/2^8$	$fc/2^9$	$fc/2^8$	$fc/2^9$	DV6	-		-
		011	$fc/2^3$	$fc/2^4$	$fc/2^3$	$fc/2^4$	DV1	-		-
		100	-	-	-	-	-	fc (注1)		-
		101	fs	fs	fs	fs	-	-		-
		110	Reserved							
111	外部クロック (TC2 端子入力)									
TC2M	タイマカウンタ2の 動作モードの選択	0: タイマ/イベントカウンタモード 1: ウィンドウモード							R/W	

- 注 1) fc: 高周波クロック [Hz]、fs: 低周波クロック [Hz]、*: Don't care
- 注 2) タイマレジスタ2 (TC2DR) への書き込みは必ず下位側 (TC2DRL)、上位側 (TC2DRH) の順に行ってください。下位側または上位側のみ書き込みでは、設定値は反映されません。
- 注 3) タイマレジスタ2 (TC2DR) の下位側 (TC2DRL) にデータを書き込むと、上位側 (TC2DR) にデータが書き込まれるまでの間、前回の設定値で一致検出を行います。
- 注 4) モード、ソースクロックは、タイマカウンタ停止 (TC2S = 0) 状態で設定してください。
- 注 5) タイマレジスタへの設定値は、次の条件を満たす必要があります。
TC2DR > 1 (ウォームアップのときは TC2DR₁₅ ~ TC2DR₁₁ > 1)
- 注 6) TC2CR にリード命令を実行すると、ビット 1, 6, 7 は不定値が読み込まれます。
- 注 7) ソースクロックに fc は、SLOW2 モード時のタイマモードのみ使用することができます。
- 注 8) STOP モードを起動すると、TC2S は自動的に "0" にクリアされ、タイマは停止します。従って STOP モード解除後、タイマカウンタ2を使用する場合は、TC2S を再設定してください。

9.3 機能

タイマカウンタ 2 には、タイマ、イベントカウンタとウィンドウの 3 つの動作モードがあります。

またタイマモードでは、ソースクロックとして f_c または f_s を選択すると、SLOW1 モードと NORMAL2 モード間で動作モードを切り替えるとき、発振子が安定するまでのウォーミングアップ時間を生成することができます。

9.3.1 タイマモード

タイマモードは、内部クロックでカウントアップするモードです。アップカウンタの値とタイマレジスタ 2 (TC2DR) の設定値との一致で INTTC2 割り込み要求が発生し、カウンタはクリアされます。カウンタクリア後も、カウントアップを継続します。

なお、SLOW2 モードでソースクロックに f_c を選択すると、TC2DR の下位 11 ビットは比較対象とはならず、上位 5 ビットのみ的一致で INTTC2 割り込み要求が発生します。従ってこの場合、TC2DRH の設定は必要ですが、TC2DRL の設定は不要です。

表 9-1 タイマカウンタ 2 の内部クロックソース (例: $f_c = 16 \text{ MHz}$, $f_s = 32.768 \text{ kHz}$ 時)

TC2CK	NORMAL1/2, IDLE1/2 モード								SLOW1/2 モード		SLEEP1/2 モード	
	DV7CK = 0				DV7CK = 1							
	DV1CK = 0		DV1CK = 1		DV1CK = 0		DV1CK = 1		分解能	最大設定時間	分解能	最大設定時間
	分解能	最大設定時間	分解能	最大設定時間	分解能	最大設定時間	分解能	最大設定時間				
000	524.29 [ms]	9.54 [h]	1.05 [s]	19.1 [h]	1 [s]	18.2 [h]	1 [s]	18.2 [h]	1 [s]	18.2 [h]	1 [s]	18.2 [h]
001	512.0 [μs]	33.55 [s]	1.02 [ms]	1.12 [min]	0.98 [ms]	1.07 [min]	0.98 [ms]	1.07 [min]	0.98 [ms]	1.07 [min]	0.98 [ms]	1.07 [min]
010	16.0 [μs]	1.05 [s]	32 [μs]	2.09 [s]	16.0 [μs]	1.05 [s]	32.0 [μs]	2.10 [s]	-	-	-	-
011	0.5 [μs]	32.77 [ms]	1.0 [μs]	65.5 [ms]	0.5 [μs]	32.77 [ms]	1.0 [μs]	65.5 [ms]	-	-	-	-
100	-	-	-	-	-	-	-	-	62.5 [ns]	-	-	-
101	30.52 [μs]	2 [s]	30.52 [μs]	2 [s]	30.52 [μs]	2 [s]	30.52 [μs]	2 [s]	-	-	-	-

注) ソースクロック f_c は SLOW モード時のタイマモードでのみ使用可能です。これは SLOW1 モードから NORMAL2 モードに切り替える場合のウォーミングアップ用です。

(プログラム例) ソースクロック $f_c/2^3$ [Hz] で、タイマモードにセットし、25 ms ごとに割り込みを発生させる。($f_c = 16 \text{ MHz}$, $\text{CGCR} \langle \text{DV1CK} \rangle = "0"$ 時)

```
LDW      (TC2DR), 061AH      ; TC2DR の設定 (25 ms ÷ 28/fc = 061AH)
DI       ; IMF = "0"
SET      (EIRH), 4          ; INTTC2 割り込みを許可
EI       ; IMF = "1"
LD       (TC2CR), 00001000B ; ソースクロック / モード選択
LD       (TC2CR), 00101000B ; タイマスタート
```

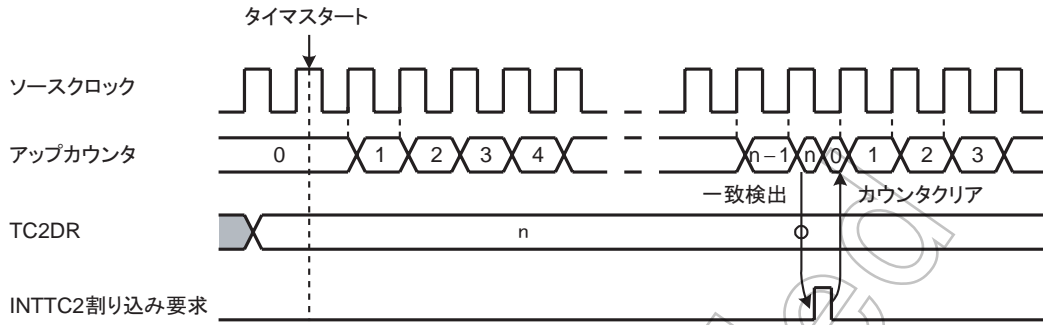



図 9-2 タイマモードタイミングチャート

Not Recommended for New Design

9.3.2 イベントカウンタモード

イベントカウンタモードは、TC2端子の入力パルスの立ち上がりエッジでカウントアップするモードです。

アップカウンタの値と TC2DR の設定値が一致すると INTTC2 割り込み要求が発生し、アップカウンタはクリアされます。アップカウンタのクリア後も TC2 端子入力の立ち上がりエッジごとにカウントアップを継続します。なお、一致検出は TC2 端子入力の立ち下がりエッジで行われますので、INTTC2 割り込み要求は、アップカウンタと TC2DR が同値になった後の立ち下がりエッジで発生します。

TC2 端子への最小入力パルス幅は、表 9-2 のとおりです。“H”、“L” レベルとも 2 マシンサイクル以上のパルス幅が必要です。

(プログラム例) イベントカウンタモードにセットし、640 カウント後に INTTC2 割り込み要求を発生させる。

```
LDW      (TC2DR), 640      ; TC2DR の設定
DI       ; IMF="0"
SET      (EIRH), 4        ; INTTC2 割り込みを許可
EI       ; IMF="1"
LD       (TC2CR), 00011100B ; TC2 ソースクロック / モード選択
LD       (TC2CR), 00111100B ; TC2 スタート
```

表 9-2 タイマカウンタ 2 の外部クロックソース

	最小パルス幅	
	NORMAL1/2, IDLE1/2 モード	SLOW1/2, SLEEP1/2 モード
“H” 幅	$2^3/f_c$	$2^3/f_s$
“L” 幅	$2^3/f_c$	$2^3/f_s$

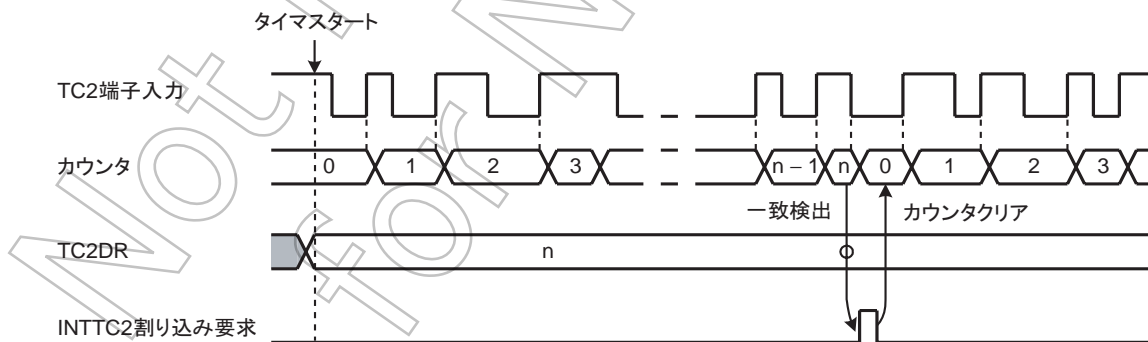


図 9-3 イベントカウンタモードタイミングチャート

9.3.3 ウィンドウモード

ウィンドウモードは、TC2 端子入力 (ウィンドウパルス) が “H” レベルの間、内部クロックでカウントアップするモードです。アップカウンタの値と TC2DR の設定値が一致すると、INTTC2 割り込み要求が発生し、アップカウンタはクリアされます。

なお、ウィンドウパルスは、TC2CR<TC2CK> で設定した内部クロックよりも十分遅い周波数を入力してください。

注) ウィンドウモードは SLOW/SLEEP モードで動作しませんので、NORMAL モードでウィンドウモードを使用しているときは、SLOW/SLEEP モードを起動する前に TC2CR<TC2S> を “0” に設定してあらかじめタイマカウンタ2を停止してください。

(プログラム例) 120 ms 以上の “H” レベルパルスが入力されると割り込みを発生させる。
($f_c = 16 \text{ MHz}$, $\text{TBTCR}<\text{DV7CK}> = \text{“0”}$, $\text{CGCR}<\text{DV1CK}> = \text{“0”}$ 時)

```
LDW      (TC2DR), 00EAH      ; TC2DR の設定 ( $120 \text{ ms} \div 2^{13}/f_c = 00EAH$ )
DI       ; IMF = “0”
SET      (EIRH), 4          ; INTTC2 割り込みを許可
EI       ; IMF = “1”
LD       (TC2CR), 00000101B ; TC2 ソースクロック / モード選択
LD       (TC2CR), 00100101B ; TC2 スタート
```

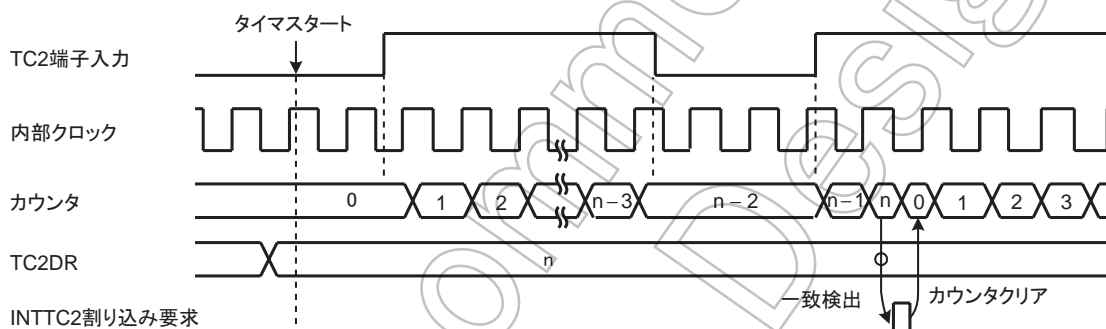
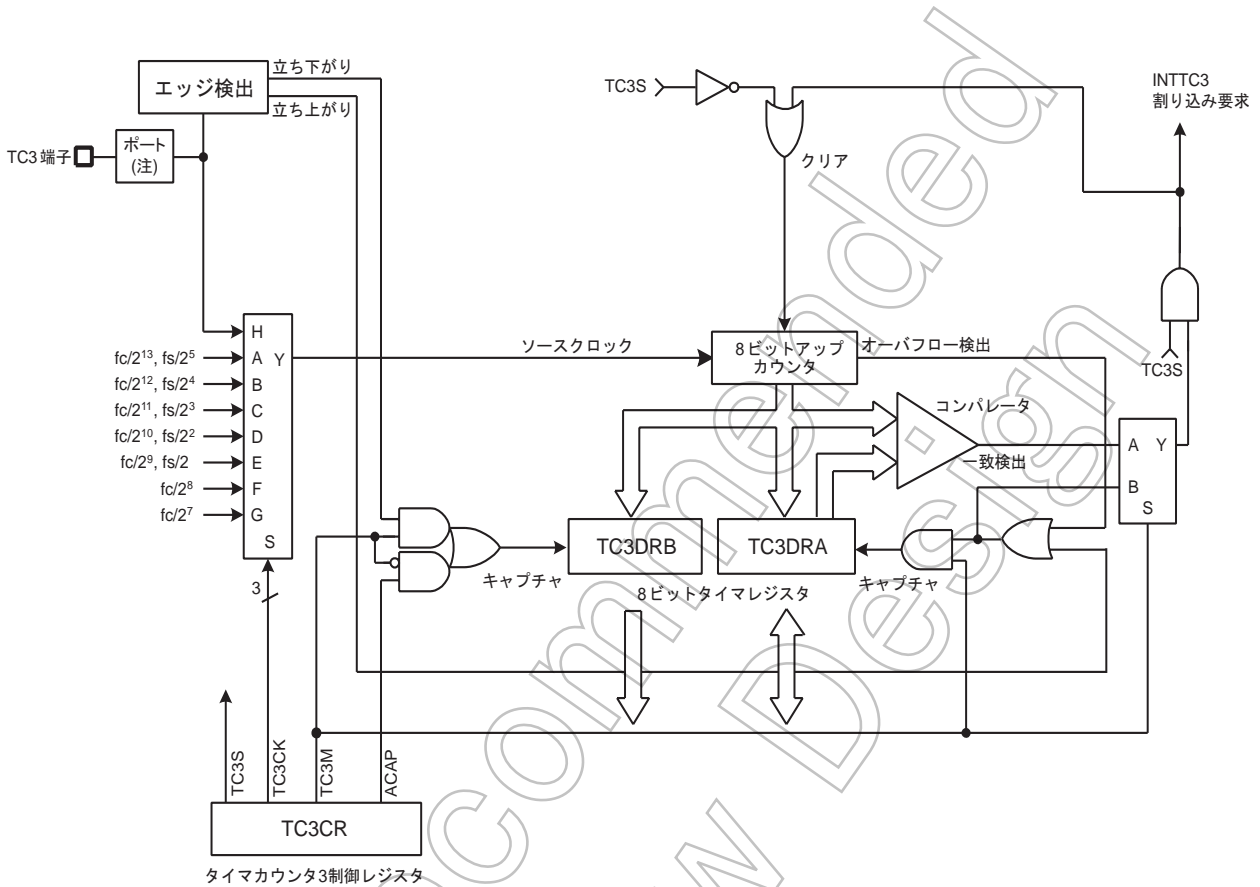


図 9-4 ウィンドウモードタイミングチャート

第 10 章 8 ビットタイマカウンタ 3 (TC3)

10.1 構成



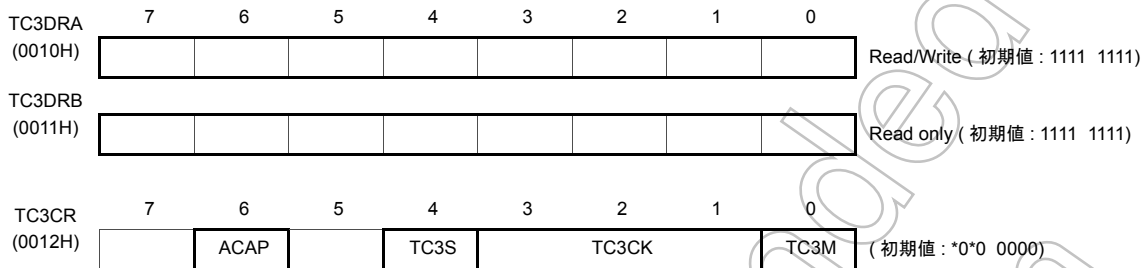
注) I/O ポートの設定によっては、制御入力が機能しないことがありますので、詳しくは I/O ポートの章を参照してください。

図 10-1 タイマカウンタ 3 (TC3)

10.2 制御

タイマカウンタ3は、タイマカウンタ3制御レジスタ (TC3CR) と2本の8ビットタイマレジスタ (TC3DRA, TC3DRB) で制御されます。

タイマカウンタ 3 のタイマレジスタと制御レジスタ



ACAP	自動キャプチャ制御	0: - 1: 自動キャプチャ	R/W						
TC3S	タイマカウンタ 3 のスタート制御	0: ストップ & カウンタクリア 1: スタート	R/W						
TC3CK	タイマカウンタ 3 のソースクロックの選択 単位: [Hz]	NORMAL 1/2, IDLE 1/2 モード*				デバイダ	SLOW 1/2, SLEEP 1/2 モード	R/W	
		DV7CK = 0		DV7CK = 1					
			DV1CK=0	DV1CK=1	DV1CK=0	DV1CK=1			
		000	fc/2 ¹³	fc/2 ¹⁴	fs/2 ⁵	fs/2 ⁵	DV11		fs/2 ⁵
		001	fc/2 ¹²	fc/2 ¹³	fs/2 ⁴	fs/2 ⁴	DV10		fs/2 ⁴
		010	fc/2 ¹¹	fc/2 ¹²	fs/2 ³	fs/2 ³	DV9		fs/2 ³
		011	fc/2 ¹⁰	fc/2 ¹¹	fs/2 ²	fs/2 ²	DV8		fs/2 ²
		100	fc/2 ⁹	fc/2 ¹⁰	fs/2	fs/2	DV7		fs/2
		101	fc/2 ⁸	fc/2 ⁹	fc/2 ⁸	fc/2 ⁹	DV6		-
110	fc/2 ⁷	fc/2 ⁸	fc/2 ⁷	fc/2 ⁸	DV5	-			
111	外部クロック (TC3 端子入力)								
TC3M	タイマカウンタ 3 の動作モードの選択	0: タイマ / イベントカウンタモード 1: キャプチャモード	R/W						

注 1) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz], *: Don't care

注 2) 動作モード, ソースクロックは、タイマカウンタ停止 (TC3S = 0) 状態で設定してください。

注 3) タイマレジスタ 3A (TC3DRA) への設定値は、次の条件を満たす必要があります。
TC3DRA > 1 (タイマ / イベントカウンタモード時)

注 4) 自動キャプチャ (ACAP) はタイマ / イベントカウンタモード時のみ使用可能です。

注 5) TC3CR に対しリード命令を実行すると、ビット 5,7 は、不定値が読み込まれます。

注 6) タイマ動作中 (TC3S = "1") は、TC3DRA を書き換えないでください。

注 7) STOP モードを起動すると、スタート制御 (TC3S) は自動的に "0" にクリアされ、タイマは停止します (その他のレジスタの値は保持されます)。STOP モード解除後、タイマカウンタを使用する場合は、TC3S) を "1" に再設定してください。

10.3 機能

タイマカウンタ 3 には、タイマ、イベントカウンタ、キャプチャの 3 つの動作モードがあります。

10.3.1 タイマモード

タイマモードは、内部クロックでカウントアップするモードです。アップカウンタの値とタイマレジスタ 3A (TC3DRA) の設定値が一致すると INTTC3 割り込みが発生し、アップカウンタがクリアされます。アップカウンタはクリア後もカウントアップを続けます。

なお、TC3CR<ACAP> を“1” にセットすると、以降アップカウンタの値が継続してタイマレジスタ B (TC3DRB) に取り込まれます (自動キャプチャ機能)。タイマ動作中のカウント値は、TC3DRB に対してリード命令することにより確認することができます。

注) 一致検出直後のアップカウンタの 00H は、TC3DRB に取り込まれません (図 10-2)。

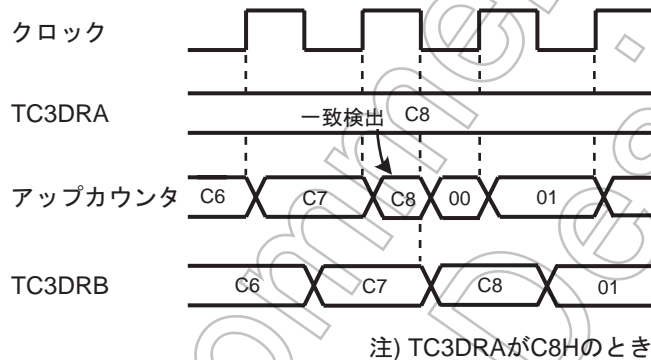
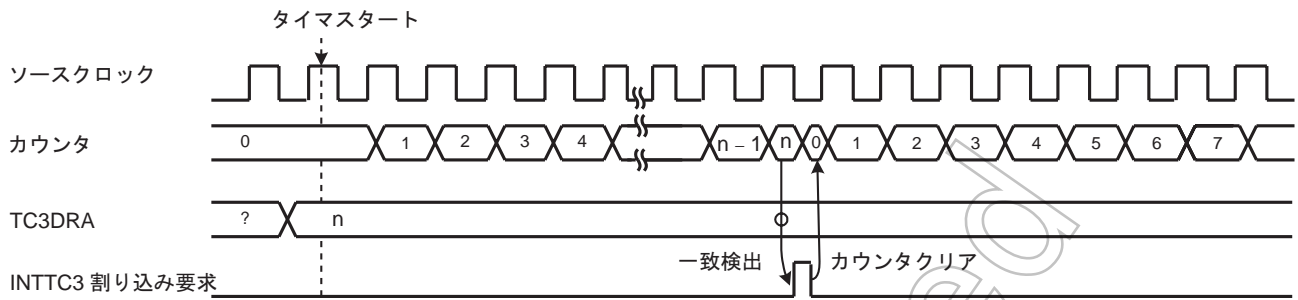


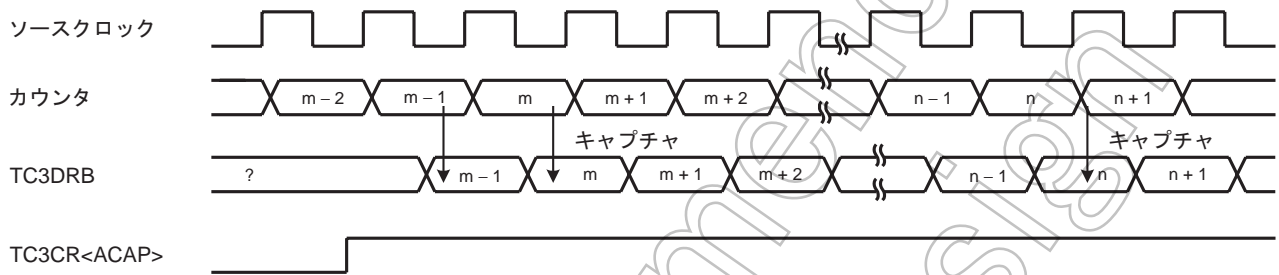
図 10-2 自動キャプチャ機能

表 10-1 タイマカウンタ 3 の内部クロックソース (例: $f_c = 16 \text{ MHz}$, $f_s = 32.768 \text{ kHz}$ 時)

TC3CK	NORMAL1/2, IDLE1/2 モード								SLOW1/2, SLEEP1/2 モード	
	DV7CK = 0				DV7CK = 1					
	DV1CK = 0		DV1CK = 1		DV1CK = 0		DV1CK = 1			
	分解能 [μs]	最大設定時間 [ms]	分解能 [μs]	最大設定時間 [ms]	分解能 [μs]	最大設定時間 [ms]	分解能 [μs]	最大設定時間 [ms]		
000	512	130.6	1024	261.1	976.56	249.0	976.56	249.0	976.56	249.0
001	256	65.3	512	130.6	488.28	124.5	488.28	124.5	488.28	124.5
010	128	32.6	256	65.3	244.14	62.3	244.14	62.3	244.14	62.3
011	64	16.3	128	32.6	122.07	31.1	122.07	31.1	122.07	31.1
100	32	8.2	64	16.3	61.01	15.6	61.01	15.6	61.01	15.6
101	16	4.1	32	8.2	16.0	4.1	32.0	8.2	-	-
110	8	2.0	16	4.1	8.0	2.0	16.0	4.1	-	-



(a) タイマモード



(b) 自動キャプチャ

図 10-3 タイマモードタイミングチャート

10.3.2 イベントカウンタモード

イベントカウンタモードは、TC3 端子入力を入力パルスの立ち上がりエッジでカウントアップするモードです。

アップカウンタの値と TC3DRA の設定値が一致すると INTTC3 割り込み要求が発生し、アップカウンタはクリアされます。アップカウンタのクリア後も TC3 端子入力立ち上がりエッジごとにカウントアップを続けます。なお、一致検出は立ち下がりエッジで行われますので、INTTC3 割り込み要求は、アップカウンタと TC3DRA が同値になった直後の立ち下がりエッジで発生します。

最大印加周波数は、表 10-2 のとおりです。“H”、“L” レベルとも 1 マシンサイクル以上のパルス幅が必要です。

なお、TC3CR<ACAP> を “1” にセットすると、以降アップカウンタの値が継続してタイマレジスタ B(TC3DRB) に取り込まれます（自動キャプチャ機能）。タイマ動作中のカウント値は、TC3DRB に対してリード命令することにより確認することができます。

注）一致検出直後のアップカウンタの 00H は、TC3DRB に取り込まれません（図 10-2）。

（プログラム例）TC3 端子に 50 Hz のパルスを入力し、0.5 s ごとに割り込みを発生させる。

```
LD      (TC3CR), 00001110B    ; クロックモードの設定
LD      (TC3DRA), 19H         ; 0.5 s ÷ 1/50 = 25 = 19H
LD      (TC3CR), 00011110B    ; TC3 スタート
```

表 10-2 TC3 端子の最大印加周波数

	最小パルス幅	
	NORMAL1/2, IDLE1/2 モード	SLOW1/2, SLEEP1/2 モード
“H” 幅	$2^2/fc$	$2^2/fs$
“L” 幅	$2^2/fc$	$2^2/fs$

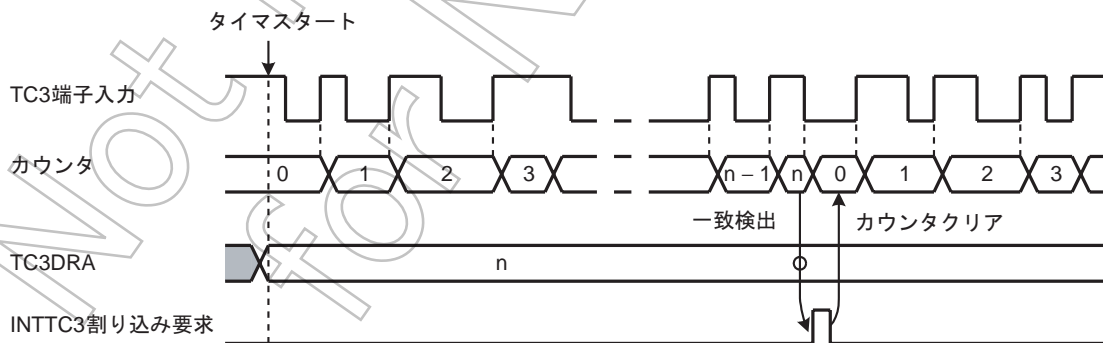


図 10-4 イベントカウンタモードタイミングチャート

10.3.3 キャプチャモード

キャプチャモードは、TC3 端子入力のパルス幅、周期、デューティなどを内部クロックで測定するモードで、リモコン信号のデコードや AC50/60 Hz 識別などに利用することができます。

タイマスタート後、TC3 端子入力の立ち下がりエッジを検出すると、そのときのアップカウンタの値が TC3DRB に取り込まれます。その後、立ち上がりエッジを検出すると、そのときのアップカウンタの値が TC3DRA に取り込まれ、INTTC3 割り込み要求が発生します。このときアップカウンタはクリアされます。通常は INTTC3 の割り込み処理で TC3DRB、TC3DRA を読み出します。アップカウンタのクリア後もカウントは継続し、続けて次のキャプチャが行われます。

なお、タイマスタート直後に立ち上がりエッジを検出した場合、TC3DRB のキャプチャは行われず TC3DRA のキャプチャのみで INTTC3 割り込み要求が発生します。このとき TC3DRB に対してリード命令を実行すると、前回のキャプチャ終了時の値 (リセット直後の場合 "FF") が読み込まれます。

最小入力パルス幅は、TC3CR<TC3S> によって選択されたソースクロックの 1 サイクル幅以上必要です。

キャプチャ動作中、エッジが検出される前にアップカウンタがオーバフロー (FFH) すると INTTC3 割り込み要求が発生します。オーバフローが発生すると TC3DRA は FFH にセットされアップカウンタはクリアされます。その後、アップカウンタはカウントを継続しますが、キャプチャおよびオーバフロー検出は TC3DRA を読み出すまで実行されません。キャプチャおよびオーバフロー検出は、TC3DRA を読み出すと再開しますので、通常は TC3DRB を先に読み出してください。

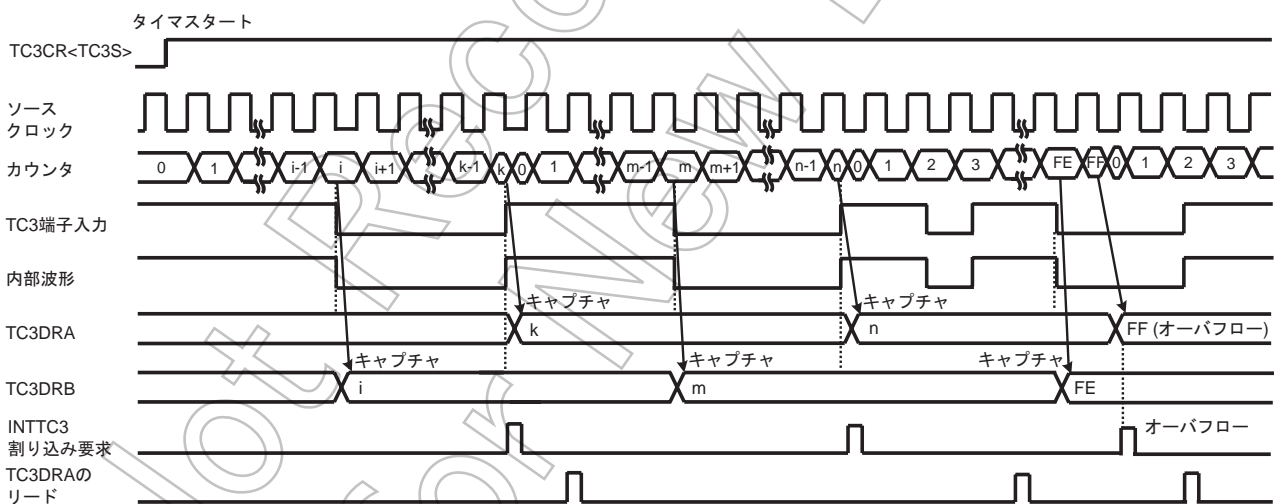
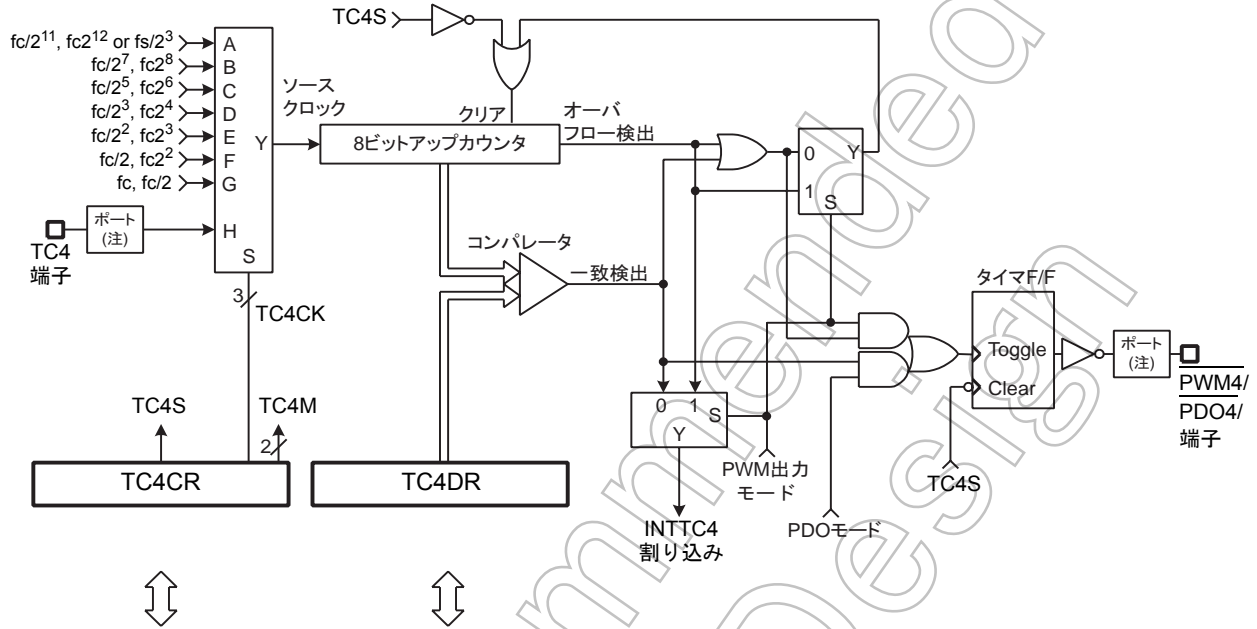


図 10-5 キャプチャモードタイミングチャート

第 11 章 8 ビットタイマカウンタ 4 (TC4)

11.1 構成



注) I/Oポートの設定によっては、制御入出力が機能しないことがあります。詳しくはI/Oポートの章を参照してください。

図 11-1 タイマカウンタ 4 (TC4)

11.2 制御

タイマカウンタ 4 は、タイマカウンタ 4 制御レジスタ (TC4CR) とタイマレジスタ 4 (TC4DR) で制御されます。

タイマカウンタ 4 のタイマレジスタと制御レジスタ

TC4DR (0018)	7	6	5	4	3	2	1	0	Read/Write (初期値: 1111 1111)

TC4CR (0014)	7	6	5	4	3	2	1	0	Read/Write (初期値: **00 0000)
			TC4S	TC4CK		TC4M			

TC4S	タイマカウンタ 4 のスタート制御	0: ストップ & カウンタクリア 1: スタート						R/W	
TC4CK	タイマカウンタ 4 のソースクロックの選択単位: [Hz]	NORMAL1/2, IDLE1/2 モード				デバイダ	SLOW1/2, SLEEP1/2 モード	R/W	
		DV7CK = 0		DV7CK = 1					
		DV1CK = 0	DV1CK = 1	DV1CK = 0	DV1CK = 1				
		000	$fc/2^{11}$	$fc/2^{12}$	$fs/2^3$	$fs/2^3$	DV9		$fs/2^3$
		001	$fc/2^7$	$fc/2^8$	$fc/2^7$	$fc/2^8$	DV5		-
		010	$fc/2^5$	$fc/2^6$	$fc/2^5$	$fc/2^6$	DV3		-
		011	$fc/2^3$	$fc/2^4$	$fc/2^3$	$fc/2^4$	DV1		-
		100	$fc/2^2$	$fc/2^3$	$fc/2^2$	$fc/2^3$	-		-
		101	$fc/2$	$fc/2^2$	$fc/2$	$fc/2^2$	-		-
		110	fc	$fc/2$	fc	$fc/2$	-		-
111	外部クロック (TC4 端子入力)								
TC4M	タイマカウンタ 4 の動作モードの選択	00: タイマ/イベントカウンタモード 01: Reserved 10: プログラマブルデバイダ出力 (PDO) モード 11: パルス幅変調 (PWM) 出力モード						R/W	

- 注 1) fc : 高周波クロック [Hz], fs : 低周波クロック [Hz], *: Don't care
- 注 2) タイマレジスタへの設定値は次の条件を満足する必要があります。
 $1 \leq TC4DR \leq 255$
- 注 3) タイマ動作開始時 (TC4S = "0" → "1") またはタイマの動作禁止時 (TC4S = "1" → "0") は、TC4CR < TC4M, TC4CK > を書き替えないでください。また、タイマ動作中 (TC4S = "1" → "1") も TC4CR < TC4M, TC4CK > を書き替えないでください。動作中に選択 / 変更を行うと正常にカウント動作が行われません。
- 注 4) イベントカウンタモード, PWM 出力モードは NORMAL1, 2 および IDLE1, 2 モードでのみ使用可能です。
- 注 5) STOP モードを起動すると TC4S は自動的に "0" にクリアされます。
- 注 6) TC4CR のビット 6, 7 はリードすると不定値が読み込まれます。
- 注 7) タイマモード、イベントカウンタモード、PDO モード時は、タイマ動作中に TC4DR を書き替えないでください。
- 注 8) 高周波クロック fc が 10 MHz を超える場合には、TC4CK = 110 のソースクロック選択を行わないでください。
- 注 9) NORMAL1, IDLE1 モード使用時 (低周波発振停止時) は、動作クロック fs は使用できません。
- 注 10) 動作モード別による使用可能ソースクロックは下記を参照してください。

		タイマモード	イベントカウンタモード	PDO モード	PWM モード
		000	○	—	○
TC4CK	001	○	—	○	—
	010	○	—	○	—
	011	○	—	—	○
	100	—	—	—	○
	101	—	—	—	○
	110	—	—	—	○
	111	—	○	—	—

Not Recommended
for New Design

11.3 機能

タイマカウンタ 4 には、タイマ、イベントカウンタモード、プログラマブル デバイダ出力 (PDO)、パルス幅変調 (PWM) 出力の 4 つの動作モードがあります。

11.3.1 タイマモード

タイマモードは、内部クロックでカウントアップするモードです。アップカウンタの値と TC4DR の設定値が一致すると INTTC4 割り込み要求が発生し、アップカウンタがクリアされます。アップカウンタはクリア後もカウントアップを継続します。

表 11-1 タイマカウンタ 4 の内部クロックソース (例 : $f_c = 16 \text{ MHz}$, $f_s = 32.768 \text{ kHz}$ 時)

TC4CK	NORMAL1/2, IDLE1/2 モード								SLOW1/2, SLEEP1/2 モード	
	DV7CK = 0				DV7CK = 1					
	DV1CK = 0		DV1CK = 1		DV1CK = 0		DV1CK = 1		分解能 [μs]	最大設定時間 [ms]
	分解能 [μs]	最大設定時間 [ms]	分解能 [μs]	最大設定時間 [ms]	分解能 [μs]	最大設定時間 [ms]	分解能 [μs]	最大設定時間 [ms]		
000	128.0	32.6	256.0	65.3	244.14	62.2	244.14	62.2	244.14	62.2
001	8.0	2.0	16.0	4.1	8.0	2.0	16.0	4.1	-	-
010	2.0	0.510	4.0	1.0	2.0	0.510	4.0	1.0	-	-
011	0.5	0.128	1.0	0.255	0.5	0.128	1.0	0.255	-	-

11.3.2 イベントカウンタモード

イベントカウンタモードは、TC4端子の入力パルスの立ち上がりエッジでカウントアップするモードです。

アップカウンタの値と TC4DR の設定値が一致すると INTTC4 割り込み要求が発生し、アップカウンタはクリアされます。アップカウンタのクリア後も TC4 端子の立ち上がりエッジごとにカウントアップを継続します。なお、一致検出は TC4 端子入力の立ち下がりエッジで行われますので、INTTC4 割り込み要求は、アップカウンタと TC4DR が同値になった後の立ち下がりエッジで発生します。

TC4 端子への最小入力パルス幅は、表 11-2 のとおりです。“H”、“L” レベルとも 2 マシンサイクル以上のパルス幅が必要です。

注) SLOW1/2, SLEEP1/2 モードは、外部クロック入力が行われませんのでイベントカウンタモードは使用できません。

表 11-2 タイマカウンタ 4 の外部クロックソース

	最小パルス幅
	NORMAL1/2, IDLE1/2 モード
“H” 幅	$2^3/f_c$
“L” 幅	$2^3/f_c$

11.3.3 プログラマブルデバイダ出力 (PDO) モード

プログラマブルデバイダ出力 (PDO) モードは内部クロックのカウンタによってデューティ約 50% のパルスを出力するモードです。

タイマスタート後、アップカウンタの値と TC4DR の設定値が一致すると PDO4 端子のレベルが反転し、INTTC4 割り込み要求が発生します。このときアップカウンタはクリアされ、カウントアップを続けます。その後、アップカウンタの値と TC4DR の設定値が一致すると PDO4 端子のレベルが反転し、INTTC4 割り込み要求が発生します。このときアップカウンタはクリアされ、カウント動作および PDO 出力を続けます。

タイマ停止時、PDO4 端子は H レベルになります。従って PDO4 端子が L レベルのときにタイマを停止すると、デューティパルスが設定値よりも短くなることがあります。

(プログラム例) 1024 Hz のパルス出力。(fc = 16.0 MHz 時)

```
LD      (TC4CR), 00000110B ; PDO モード設定 (TC4M = 10, TC4CK = 001)
LD      (TC4DR), 3DH      ; 1/1024 ÷ 27/fc ÷ 2 (半周期) = 3DH
LD      (TC4CR), 00100110B ; TC4 スタート
```

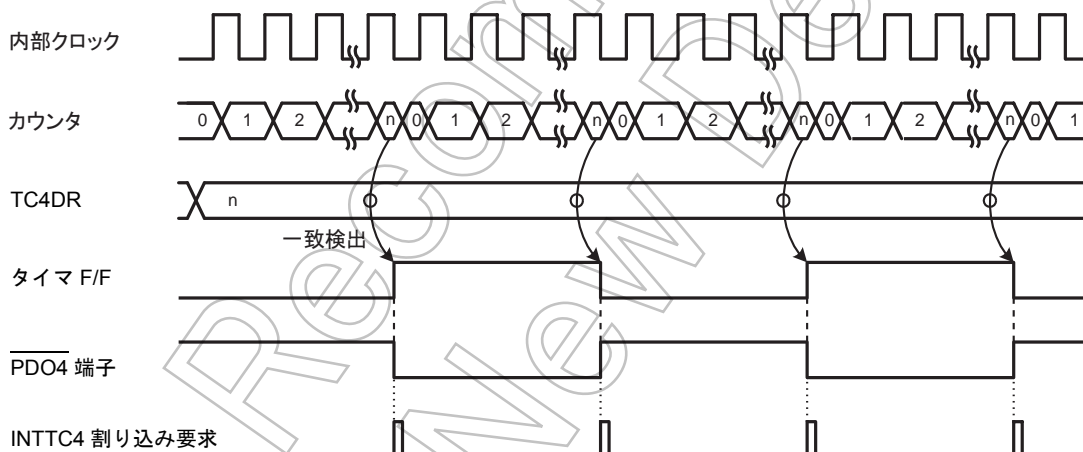


図 11-2 PDO モードタイミングチャート

11.3.4 パルス幅変調 (PWM) 出力モード

パルス幅変調 (PWM) モードは、内部クロックによって分解能 8 ビットの PWM パルスを出力するモードです。

タイマスタート後、アップカウンタの値と TC4DR の設定値が一致すると PWM4 端子のレベルが L レベルになります。アップカウンタはその後もカウントアップを継続し、アップカウンタがオーバーフローすると PWM4 端子は H レベルになり、INTTC4 割り込み要求が発生します。

タイマ停止時、PWM4 端子は H レベルになります。従って PWM4 端子が L レベルのときにタイマを停止すると、一周期が設定値よりも短くなる場合があります。

TC4DR はシフトレジスタ (2 段) 構成で、PWM 出力中に TC4DR を書き替えても一周期分の出力が終了するまで切り替わりませんので、連続的に出力を変更することができます。なお、初回は TC4DR にデータ設定後、TC4CR<TC4S> によりスタートした時点でシフトされます。

- 注 1) PWM 出力モードは NORMAL1, 2 および IDLE1, 2 モードでのみ使用可能です。
- 注 2) PWM 出力モード時、TC4DR への書き込みは、割り込み要求信号 INTTC4 割り込みが発生した直後 (通常は INTTC4 割り込みサービスルーチン内) に行ってください。TC4DR への書き込みと INTTC4 割り込みのタイミングが重なった場合、書き込み途中の値がシフト動作されるため、次の INTTC4 割り込みまでの間、設定値と異なるパルスが出力されることがあります。

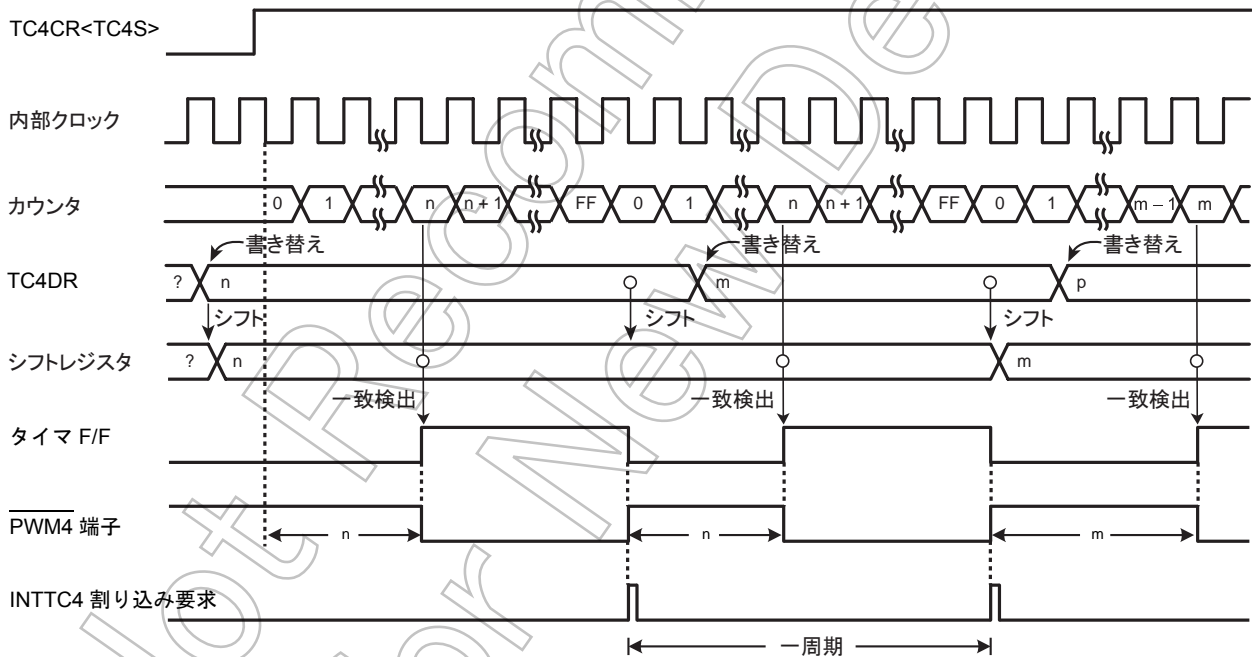


図 11-3 PWM 出力モードタイミングチャート (TC4 の例)

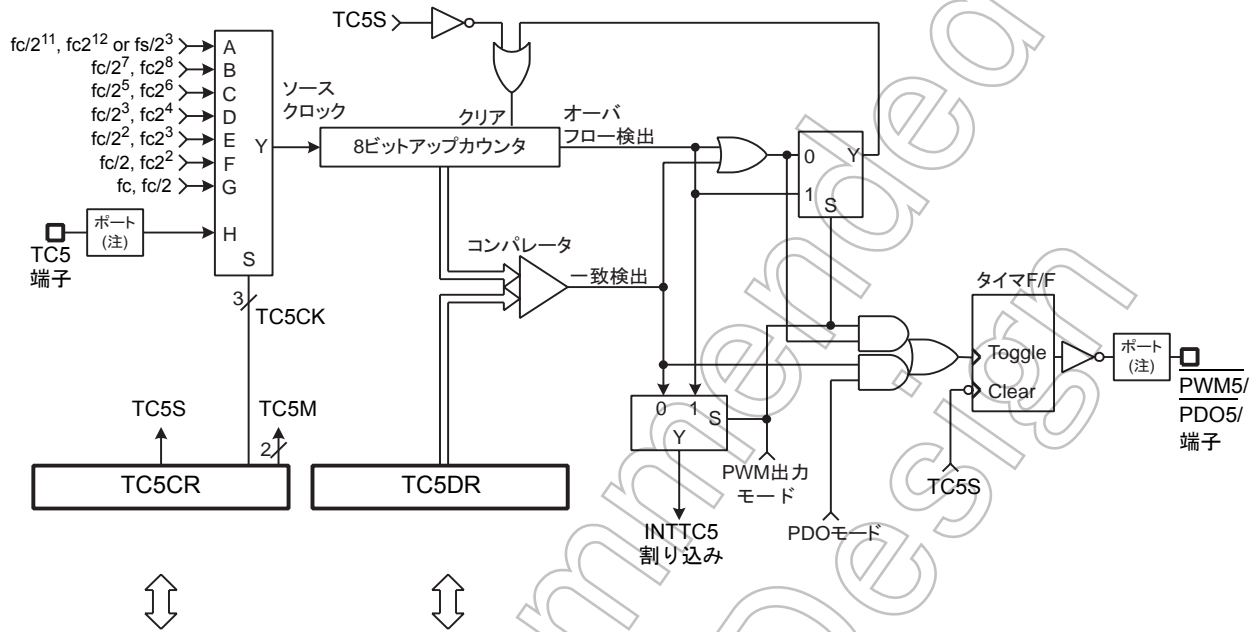
表 11-3 PWM モード (例 : $f_c = 16 \text{ MHz}$ 時)

TC4CK	NORMAL1/2, IDLE1/2 モード							
	DV7CK = 0				DV7CK = 1			
	DV1CK = 0		DV1CK = 1		DV1CK = 0		DV1CK = 1	
	分解能 [ns]	一周期 [μs]	分解能 [ns]	一周期 [μs]	分解能 [ns]	一周期 [μs]	分解能 [ns]	一周期 [μs]
000	-	-	-	-	-	-	-	-
001	-	-	-	-	-	-	-	-
010	-	-	-	-	-	-	-	-
011	500	128	1000	256	500	128	1000	256
100	250	64	500	128	250	64	500	128
101	125	32	250	64	125	32	250	64
110	-	-	-	-	-	-	-	-

Not Recommended for New Designs

第 12 章 8 ビットタイマカウンタ 5 (TC5)

12.1 構成



注) I/Oポートの設定によっては、制御入出力が機能しないことがあります。詳しくはI/Oポートの章を参照してください。

図 12-1 タイマカウンタ 5 (TC5)

12.2 制御

タイマカウンタ 5 は、タイマカウンタ 5 制御レジスタ (TC5CR) とタイマレジスタ 5 (TC5DR) で制御されます。

タイマカウンタ 5 のタイマレジスタと制御レジスタ

TC5DR (0019)	7	6	5	4	3	2	1	0	Read/Write (初期値: 1111 1111)

TC5CR (0015)	7	6	5	4	3	2	1	0	Read/Write (初期値: **00 0000)
			TC5S	TC5CK		TC5M			

TC5S	タイマカウンタ 5 のスタート制御	0: ストップ & カウンタクリア 1: スタート						R/W	
TC5CK	タイマカウンタ 5 のソースクロックの選択単位: [Hz]	NORMAL1/2, IDLE1/2 モード				デバイダ	SLOW1/2, SLEEP1/2 モード	R/W	
		DV7CK = 0		DV7CK = 1					
		DV1CK = 0	DV1CK = 1	DV1CK = 0	DV1CK = 1				
		000	$fc/2^{11}$	$fc/2^{12}$	$fs/2^3$	$fs/2^3$	DV9		$fs/2^3$
		001	$fc/2^7$	$fc/2^8$	$fc/2^7$	$fc/2^8$	DV5		-
		010	$fc/2^5$	$fc/2^6$	$fc/2^5$	$fc/2^6$	DV3		-
		011	$fc/2^3$	$fc/2^4$	$fc/2^3$	$fc/2^4$	DV1		-
		100	$fc/2^2$	$fc/2^3$	$fc/2^2$	$fc/2^3$	-		-
101	$fc/2$	$fc/2^2$	$fc/2$	$fc/2^2$	-	-			
110	fc	$fc/2$	fc	$fc/2$	-	-			
111	外部クロック (TC5 端子入力)								
TC5M	タイマカウンタ 5 の動作モードの選択	00: タイマ/イベントカウンタモード 01: Reserved 10: プログラマブルデバイダ出力 (PDO) モード 11: パルス幅変調 (PWM) 出力モード						R/W	

- 注 1) fc : 高周波クロック [Hz], fs : 低周波クロック [Hz], *: Don't care
- 注 2) タイマレジスタへの設定値は次の条件を満足する必要があります。
 $1 \leq TC5DR \leq 255$
- 注 3) タイマ動作開始時 (TC5S = "0" → "1") またはタイマの動作禁止時 (TC5S = "1" → "0") は、TC5CR < TC5M, TC5CK > を書き替えないでください。また、タイマ動作中 (TC5S = "1" → "1") も TC5CR < TC5M, TC5CK > を書き替えないでください。動作中に選択 / 変更を行うと正常にカウント動作が行われません。
- 注 4) イベントカウンタモード, PWM 出力モードは NORMAL1, 2 および IDLE1, 2 モードでのみ使用可能です。
- 注 5) STOP モードを起動すると TC5S は自動的に "0" にクリアされます。
- 注 6) TC5CR のビット 6, 7 はリードすると不定値が読み込まれます。
- 注 7) タイマモード、イベントカウンタモード、PDO モード時は、タイマ動作中に TC5DR を書き替えないでください。
- 注 8) 高周波クロック fc が 10 MHz を超える場合には、TC5CK = 110 のソースクロック選択を行わないでください。
- 注 9) NORMAL1, IDLE1 モード使用時 (低周波発振停止時) は、動作クロック fs は使用できません。
- 注 10) 動作モード別による使用可能ソースクロックは下記を参照してください。

		タイマモード	イベントカウンタモード	PDO モード	PWM モード
		000	○	—	○
TC5CK	001	○	—	○	—
	010	○	—	○	—
	011	○	—	—	○
	100	—	—	—	○
	101	—	—	—	○
	110	—	—	—	○
	111	—	○	—	—

Not Recommended
for New Design

12.3 機能

タイマカウンタ 5 には、タイマ、イベントカウンタモード、プログラマブル デバイダ出力 (PDO)、パルス幅変調 (PWM) 出力の 4 つの動作モードがあります。

12.3.1 タイマモード

タイマモードは、内部クロックでカウントアップするモードです。アップカウンタの値と TC5DR の設定値が一致すると INTTC5 割り込み要求が発生し、アップカウンタがクリアされます。アップカウンタはクリア後もカウントアップを続けます。

表 12-1 タイマカウンタ 5 の内部クロックソース (例 : $f_c = 16 \text{ MHz}$, $f_s = 32.768 \text{ kHz}$ 時)

TC5CK	NORMAL1/2, IDLE1/2 モード								SLOW1/2, SLEEP1/2 モード	
	DV7CK = 0				DV7CK = 1					
	DV1CK = 0		DV1CK = 1		DV1CK = 0		DV1CK = 1		分解能 [μs]	最大設定時間 [ms]
	分解能 [μs]	最大設定時間 [ms]	分解能 [μs]	最大設定時間 [ms]	分解能 [μs]	最大設定時間 [ms]	分解能 [μs]	最大設定時間 [ms]		
000	128.0	32.6	256.0	65.3	244.14	62.2	244.14	62.2	244.14	62.2
001	8.0	2.0	16.0	4.1	8.0	2.0	16.0	4.1	–	–
010	2.0	0.510	4.0	1.0	2.0	0.510	4.0	1.0	–	–
011	0.5	0.128	1.0	0.255	0.5	0.128	1.0	0.255	–	–

12.3.2 イベントカウンタモード

イベントカウンタモードは、TC5端子の入力パルスの立ち上がりエッジでカウントアップするモードです。

アップカウンタの値と TC5DR の設定値が一致すると INTTC5 割り込み要求が発生し、アップカウンタはクリアされます。アップカウンタのクリア後も TC5 端子の立ち上がりエッジごとにカウントアップを継続します。なお、一致検出は TC5 端子入力の立ち下がりエッジで行われますので、INTTC5 割り込み要求は、アップカウンタと TC5DR が同値になった後の立ち下がりエッジで発生します。

TC5 端子への最小入力パルス幅は、表 12-2 のとおりです。“H”、“L” レベルとも 2 マシンサイクル以上のパルス幅が必要です。

注) SLOW1/2, SLEEP1/2 モードは、外部クロック入力が行われませんのでイベントカウンタモードは使用できません。

表 12-2 タイマカウンタ 5 の外部クロックソース

	最小パルス幅
	NORMAL1/2, IDLE1/2 モード
“H” 幅	$2^3/f_c$
“L” 幅	$2^3/f_c$

12.3.3 プログラマブルデバイダ出力 (PDO) モード

プログラマブルデバイダ出力 (PDO) モードは内部クロックのカウンタによってデューティ約 50% のパルスを出力するモードです。

タイマスタート後、アップカウンタの値と TC5DR の設定値が一致すると PDO5 端子のレベルが反転し、INTTC5 割り込み要求が発生します。このときアップカウンタはクリアされ、カウントアップを続けます。その後、アップカウンタの値と TC5DR の設定値が一致すると PDO5 端子のレベルが反転し、INTTC5 割り込み要求が発生します。このときアップカウンタはクリアされ、カウント動作および PDO 出力を続けます。

タイマ停止時、PDO5 端子は H レベルになります。従って PDO5 端子が L レベルのときにタイマを停止すると、デューティパルスが設定値よりも短くなることがあります。

(プログラム例) 1024 Hz のパルス出力。(fc = 16.0 MHz 時)

```
LD      (TC5CR), 00000110B ; PDO モード設定 (TC5M = 10, TC5CK = 001)
LD      (TC5DR), 3DH       ; 1/1024 ÷ 27/fc ÷ 2 (半周期) = 3DH
LD      (TC5CR), 00100110B ; TC5 スタート
```

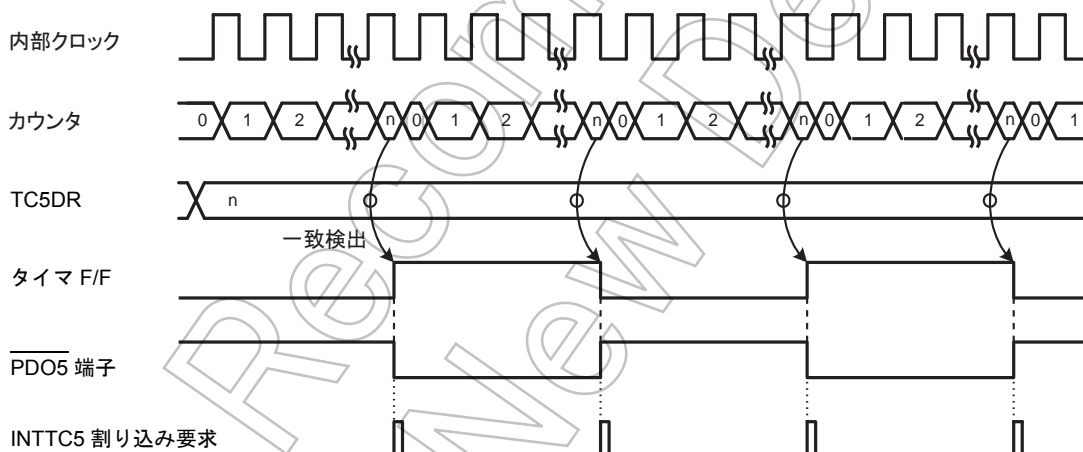


図 12-2 PDO モードタイミングチャート

12.3.4 パルス幅変調 (PWM) 出力モード

パルス幅変調 (PWM) モードは、内部クロックによって分解能 8 ビットの PWM パルスを出力するモードです。

タイマスタート後、アップカウンタの値と TC5DR の設定値が一致すると PWM5 端子のレベルが L レベルになります。アップカウンタはその後もカウントアップを継続し、アップカウンタがオーバーフローすると PWM5 端子は H レベルになり、INTTC5 割り込み要求が発生します。

タイマ停止時、PWM5 端子は H レベルになります。従って PWM5 端子が L レベルのときにタイマを停止すると、一周期が設定値よりも短くなる場合があります。

TC5DR はシフトレジスタ (2 段) 構成で、PWM 出力中に TC5DR を書き替えても一周期分の出力が終了するまで切り替わりませんので、連続的に出力を変更することができます。なお、初回は TC5DR にデータ設定後、TC5CR<TC5S> によりスタートした時点でシフトされます。

- 注 1) PWM 出力モードは NORMAL1, 2 および IDLE1, 2 モードでのみ使用可能です。
- 注 2) PWM 出力モード時、TC5DR への書き込みは、割り込み要求信号 INTTC5 割り込みが発生した直後 (通常は INTTC5 割り込みサービスルーチン内) に行ってください。TC5DR への書き込みと INTTC5 割り込みのタイミングが重なった場合、書き込み途中の値がシフト動作されるため、次の INTTC5 割り込みまでの間、設定値と異なるパルスが出力されることがあります。

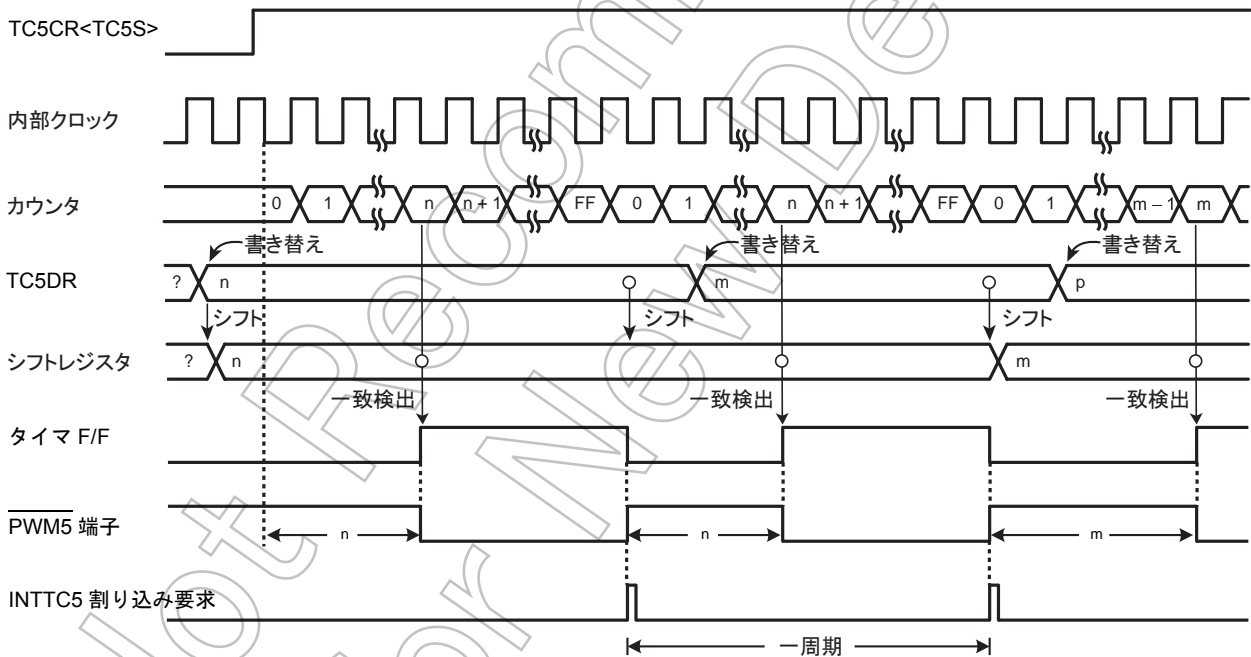


図 12-3 PWM 出力モードタイミングチャート (TC5 の例)

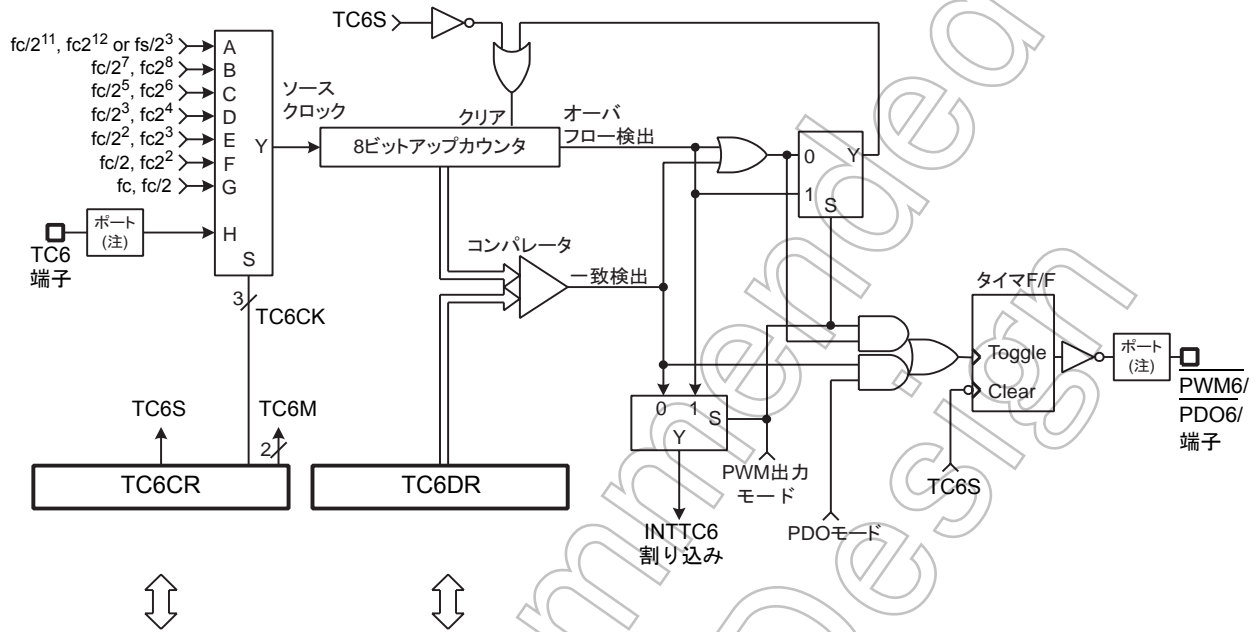
表 12-3 PWM モード (例 : $f_c = 16 \text{ MHz}$ 時)

TC5CK	NORMAL1/2, IDLE1/2 モード							
	DV7CK = 0				DV7CK = 1			
	DV1CK = 0		DV1CK = 1		DV1CK = 0		DV1CK = 1	
	分解能 [ns]	一周期 [μs]	分解能 [ns]	一周期 [μs]	分解能 [ns]	一周期 [μs]	分解能 [ns]	一周期 [μs]
000	-	-	-	-	-	-	-	-
001	-	-	-	-	-	-	-	-
010	-	-	-	-	-	-	-	-
011	500	128	1000	256	500	128	1000	256
100	250	64	500	128	250	64	500	128
101	125	32	250	64	125	32	250	64
110	-	-	-	-	-	-	-	-

Not Recommended for New Designs

第 13 章 8 ビットタイマカウンタ 6 (TC6)

13.1 構成



注) I/Oポートの設定によっては、制御入出力が機能しないことがあります。詳しくはI/Oポートの章を参照してください。

図 13-1 タイマカウンタ 6 (TC6)

13.2 制御

タイマカウンタ 6 は、タイマカウンタ 6 制御レジスタ (TC6CR) とタイマレジスタ 6 (TC6DR) で制御されます。

タイマカウンタ 6 のタイマレジスタと制御レジスタ

TC6DR (0017)	7	6	5	4	3	2	1	0	Read/Write (初期値: 1111 1111)

TC6CR (0016)	7	6	5	4	3	2	1	0	Read/Write (初期値: **00 0000)
			TC6S	TC6CK			TC6M		

TC6S	タイマカウンタ 6 のスタート制御	0: ストップ & カウンタクリア 1: スタート						R/W	
TC6CK	タイマカウンタ 6 のソースクロックの選択単位: [Hz]	NORMAL1/2, IDLE1/2 モード				デバイダ	SLOW1/2, SLEEP1/2 モード	R/W	
		DV7CK = 0		DV7CK = 1					
		DV1CK = 0	DV1CK = 1	DV1CK = 0	DV1CK = 1				
		000	fc/2 ¹¹	fc/2 ¹²	fs/2 ³	fs/2 ³	DV9		fs/2 ³
		001	fc/2 ⁷	fc/2 ⁸	fc/2 ⁷	fc/2 ⁸	DV5		-
		010	fc/2 ⁵	fc/2 ⁶	fc/2 ⁵	fc/2 ⁶	DV3		-
		011	fc/2 ³	fc/2 ⁴	fc/2 ³	fc/2 ⁴	DV1		-
		100	fc/2 ²	fc/2 ³	fc/2 ²	fc/2 ³	-		-
101	fc/2	fc/2 ²	fc/2	fc/2 ²	-	-			
110	fc	fc/2	fc	fc/2	-	-			
111	外部クロック (TC6 端子入力)								
TC6M	タイマカウンタ 6 の動作モードの選択	00: タイマ/イベントカウンタモード 01: Reserved 10: プログラマブルデバイダ出力 (PDO) モード 11: パルス幅変調 (PWM) 出力モード						R/W	

- 注 1) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz], *: Don't care
- 注 2) タイマレジスタへの設定値は次の条件を満足する必要があります。
1 ≤ TC6DR ≤ 255
- 注 3) タイマ動作開始時 (TC6S = "0" → "1") またはタイマの動作禁止時 (TC6S = "1" → "0") は、TC6CR < TC6M, TC6CK > を書き替えないでください。また、タイマ動作中 (TC6S = "1" → "1") も TC6CR < TC6M, TC6CK > を書き替えないでください。動作中に選択 / 変更を行うと正常にカウント動作が行われません。
- 注 4) イベントカウンタモード, PWM 出力モードは NORMAL1, 2 および IDLE1, 2 モードでのみ使用可能です。
- 注 5) STOP モードを起動すると TC6S は自動的に "0" にクリアされます。
- 注 6) TC6CR のビット 6, 7 はリードすると不定値が読み込まれます。
- 注 7) タイマモード、イベントカウンタモード、PDO モード時は、タイマ動作中に TC6DR を書き替えないでください。
- 注 8) 高周波クロック fc が 10 MHz を超える場合には、TC6CK = 110 のソースクロック選択を行わないでください。
- 注 9) NORMAL1, IDLE1 モード使用時 (低周波発振停止時) は、動作クロック fs は使用できません。
- 注 10) 動作モード別による使用可能ソースクロックは下記を参照してください。

		タイマモード	イベントカウンタモード	PDO モード	PWM モード
		000	○	—	○
TC6CK	001	○	—	○	—
	010	○	—	○	—
	011	○	—	—	○
	100	—	—	—	○
	101	—	—	—	○
	110	—	—	—	○
	111	—	○	—	—

Not Recommended
for New Design

13.3 機能

タイマカウンタ 6 には、タイマ、イベントカウンタモード、プログラマブル デバイダ出力 (PDO)、パルス幅変調 (PWM) 出力の 4 つの動作モードがあります。

13.3.1 タイマモード

タイマモードは、内部クロックでカウントアップするモードです。アップカウンタの値と TC6DR の設定値が一致すると INTTC6 割り込み要求が発生し、アップカウンタがクリアされます。アップカウンタはクリア後もカウントアップを続けます。

表 13-1 タイマカウンタ 6 の内部クロックソース (例 : $f_c = 16 \text{ MHz}$, $f_s = 32.768 \text{ kHz}$ 時)

TC6CK	NORMAL1/2, IDLE1/2 モード								SLOW1/2, SLEEP1/2 モード	
	DV7CK = 0				DV7CK = 1					
	DV1CK = 0		DV1CK = 1		DV1CK = 0		DV1CK = 1		分解能 [μs]	最大設定時間 [ms]
	分解能 [μs]	最大設定時間 [ms]	分解能 [μs]	最大設定時間 [ms]	分解能 [μs]	最大設定時間 [ms]	分解能 [μs]	最大設定時間 [ms]		
000	128.0	32.6	256.0	65.3	244.14	62.2	244.14	62.2	244.14	62.2
001	8.0	2.0	16.0	4.1	8.0	2.0	16.0	4.1	-	-
010	2.0	0.510	4.0	1.0	2.0	0.510	4.0	1.0	-	-
011	0.5	0.128	1.0	0.255	0.5	0.128	1.0	0.255	-	-

13.3.2 イベントカウンタモード

イベントカウンタモードは、TC6端子の入力パルスの立ち上がりエッジでカウントアップするモードです。

アップカウンタの値と TC6DR の設定値が一致すると INTTC6 割り込み要求が発生し、アップカウンタはクリアされます。アップカウンタのクリア後も TC6 端子の立ち上がりエッジごとにカウントアップを続けます。なお、一致検出は TC6 端子入力の立ち下がりエッジで行われますので、INTTC6 割り込み要求は、アップカウンタと TC6DR が同値になった後の立ち下がりエッジで発生します。

TC6 端子への最小入力パルス幅は、表 13-2 のとおりです。“H”、“L” レベルとも 2 マシンサイクル以上のパルス幅が必要です。

注) SLOW1/2, SLEEP1/2 モードは、外部クロック入力が行われませんのでイベントカウンタモードは使用できません。

表 13-2 タイマカウンタ 6 の外部クロックソース

	最小パルス幅
	NORMAL1/2, IDLE1/2 モード
“H” 幅	$2^3/f_c$
“L” 幅	$2^3/f_c$

13.3.3 プログラマブルデバイダ出力 (PDO) モード

プログラマブルデバイダ出力 (PDO) モードは内部クロックのカウンタによってデューティ約 50% のパルスを出力するモードです。

タイマスタート後、アップカウンタの値と TC6DR の設定値が一致すると PDO6 端子のレベルが反転し、INTTC6 割り込み要求が発生します。このときアップカウンタはクリアされ、カウントアップを続けます。その後、アップカウンタの値と TC6DR の設定値が一致すると PDO6 端子のレベルが反転し、INTTC6 割り込み要求が発生します。このときアップカウンタはクリアされ、カウント動作および PDO 出力を続けます。

タイマ停止時、PDO6 端子は H レベルになります。従って PDO6 端子が L レベルのときにタイマを停止すると、デューティパルスが設定値よりも短くなることがあります。

(プログラム例) 1024 Hz のパルス出力。(fc = 16.0 MHz 時)

```
LD      (TC6CR), 00000110B ; PDO モード設定 (TC6M = 10, TC6CK = 001)
LD      (TC6DR), 3DH       ; 1/1024 ÷ 27/fc ÷ 2 (半周期) = 3DH
LD      (TC6CR), 00100110B ; TC6 スタート
```

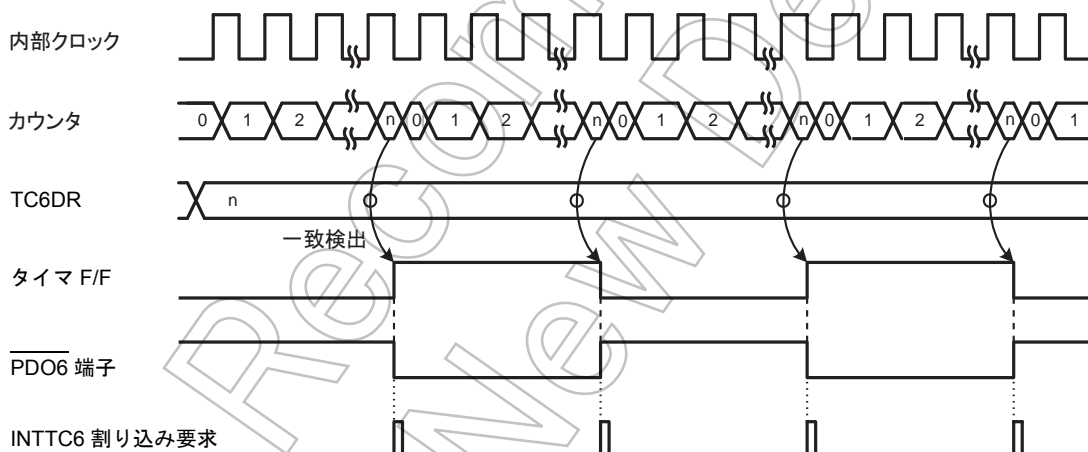


図 13-2 PDO モードタイミングチャート

13.3.4 パルス幅変調 (PWM) 出力モード

パルス幅変調 (PWM) モードは、内部クロックによって分解能 8 ビットの PWM パルスを出力するモードです。

タイマスタート後、アップカウンタの値と TC6DR の設定値が一致すると PWM6 端子のレベルが L レベルになります。アップカウンタはその後もカウントアップを継続し、アップカウンタがオーバーフローすると PWM6 端子は H レベルになり、INTTC6 割り込み要求が発生します。

タイマ停止時、PWM6 端子は H レベルになります。従って PWM6 端子が L レベルのときにタイマを停止すると、一周期が設定値よりも短くなる場合があります。

TC6DR はシフトレジスタ (2 段) 構成で、PWM 出力中に TC6DR を書き替えても一周期分の出力が終了するまで切り替わりませんので、連続的に出力を変更することができます。なお、初回は TC6DR にデータ設定後、TC6CR<TC6S> によりスタートした時点でシフトされます。

- 注 1) PWM 出力モードは NORMAL1, 2 および IDLE1, 2 モードでのみ使用可能です。
- 注 2) PWM 出力モード時、TC6DR への書き込みは、割り込み要求信号 INTTC6 割り込みが発生した直後 (通常は INTTC6 割り込みサービスルーチン内) に行ってください。TC6DR への書き込みと INTTC6 割り込みのタイミングが重なった場合、書き込み途中の値がシフト動作されるため、次の INTTC6 割り込みまでの間、設定値と異なるパルスが出力されることがあります。

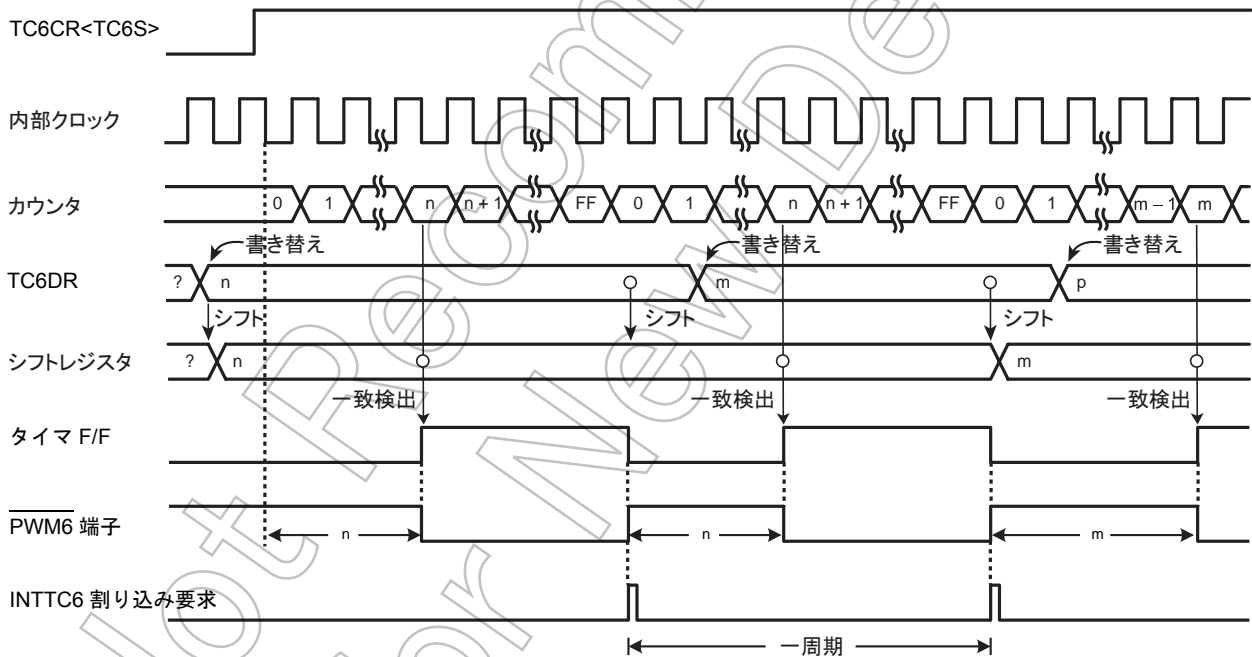


図 13-3 PWM 出力モードタイミングチャート (TC6 の例)

表 13-3 PWM モード (例 : $f_c = 16 \text{ MHz}$ 時)

TC6CK	NORMAL1/2, IDLE1/2 モード							
	DV7CK = 0				DV7CK = 1			
	DV1CK = 0		DV1CK = 1		DV1CK = 0		DV1CK = 1	
	分解能 [ns]	一周期 [μs]	分解能 [ns]	一周期 [μs]	分解能 [ns]	一周期 [μs]	分解能 [ns]	一周期 [μs]
000	-	-	-	-	-	-	-	-
001	-	-	-	-	-	-	-	-
010	-	-	-	-	-	-	-	-
011	500	128	1000	256	500	128	1000	256
100	250	64	500	128	250	64	500	128
101	125	32	250	64	125	32	250	64
110	-	-	-	-	-	-	-	-

Not Recommended for New Designs

第 14 章 非同期型シリアルインターフェース (UART)

14.1 構成

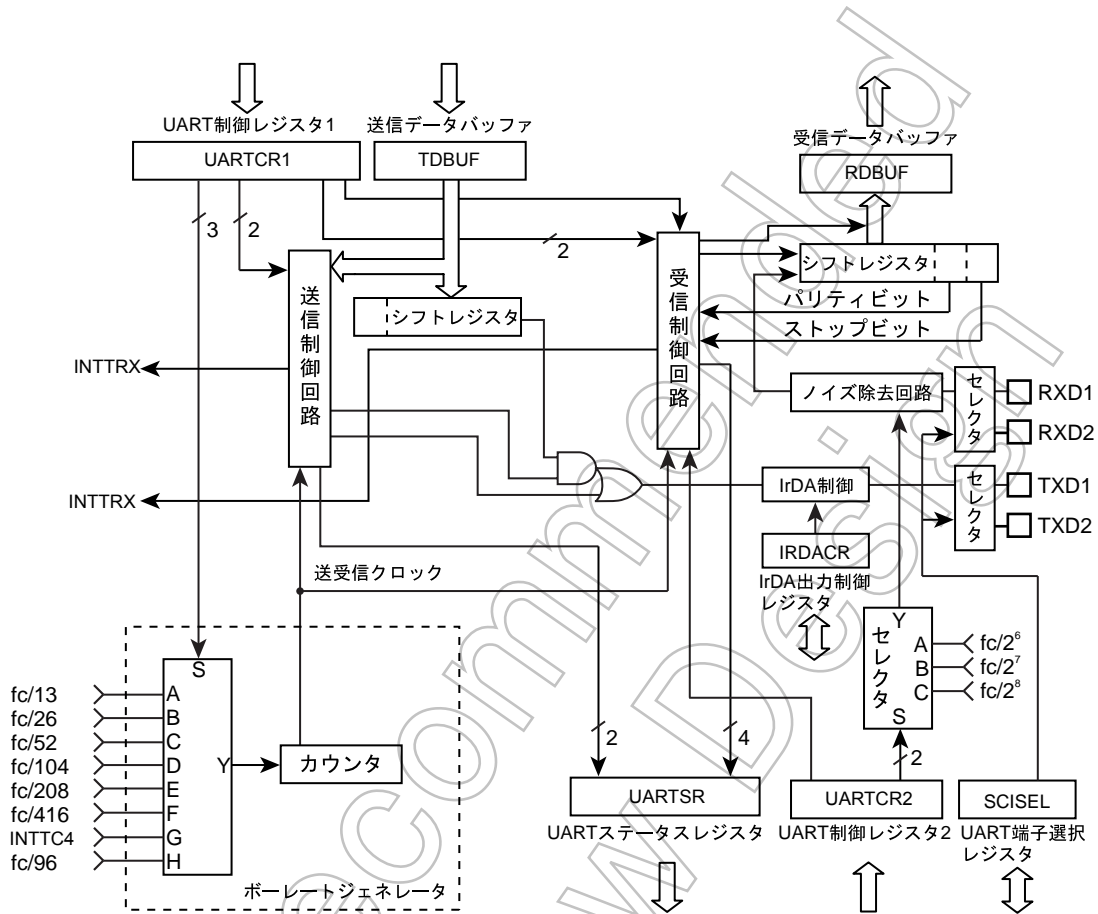


図 14-1 UART (非同期型シリアルインターフェース)

14.2 制御

UART は、UART 制御レジスタ 1, 2 (UARTCR1, UARTCR2) で制御されます。また UART ステータスレジスタ (UARTSR) により動作状態のモニタができます。

TXD1 端子、RXD1 端子は、UART 端子選択レジスタ (SCISEL) によってポートの割り当てを変更することができます。さらに TXD1 端子は、IrDA 出力制御レジスタ (IRDACR) を設定することにより、赤外線データフォーマット (IrDA) での出力が可能です。

UART 制御レジスタ 1

UARTCR1 (001BH)	7	6	5	4	3	2	1	0	
	TXE	RXE	STBT	EVEN	PE	BRG			(初期値: 0000 0000)

TXE	送信動作	0: ディセーブル 1: イネーブル	Write only
RXE	受信動作	0: ディセーブル 1: イネーブル	
STBT	送信ストップビット長	0: 1ビット 1: 2ビット	
EVEN	偶数パリティ	0: 奇数パリティ 1: 偶数パリティ	
PE	パリティ付加	0: パリティなし 1: パリティ付加	
BRG	転送クロック選択	000: fc/13 [Hz] 001: fc/26 010: fc/52 011: fc/104 100: fc/208 101: fc/416 110: TC4 使用 (INTTC4 を入力) 111: fc/96	

- 注 1) TXE, RXE ビットを "0" に設定して動作を禁止させる場合、送信もしくは受信動作が完了されたときに有効となります。送信データが送信データバッファに格納されている場合は、そのデータの送出は行わず、そのあと送信許可に設定されても新たにデータを書き込むまで送信動作は行われません。
- 注 2) 転送クロックとパリティは送受信共通です。
- 注 3) BRG の書き替えは、RXE = "0" かつ TXE = "0" のときに行ってください。

UART 制御レジスタ 2

UARTCR2 (001CH)	7	6	5	4	3	2	1	0	
						RXDNC	STOPBR		(初期値: **** *000)

RXDNC	RXD 入力のノイズ除去時間の選択	00: ノイズ除去なし (ヒステリシス入力) 01: 31/fc[s] 未満のパルスはノイズとして除去 10: 63/fc[s] 未満のパルスはノイズとして除去 11: 127/fc[s] 未満のパルスはノイズとして除去	Write only
STOPBR	受信ストップビット長	0: 1ビット 1: 2ビット	

- 注) RXDNC が "01" の場合 96/fc、"10" の場合 192/fc、"11" の場合 384/fc[s] 以上は確実に信号とみなされます。

UART ステータスレジスタ

UARTSR (001BH)	7	6	5	4	3	2	1	0	
	PERR	FERR	OERR	RBFL	TEND	TBEP			(初期値: 0000 11**)

PERR	パリティエラーフラグ	0: パリティエラーなし 1: パリティエラー発生	Read only
FERR	フレーミングエラーフラグ	0: フレーミングエラーなし 1: フレーミングエラー発生	
OERR	オーバランエラーフラグ	0: オーバランエラーなし 1: オーバランエラー発生	
RBFL	受信バッファフルフラグ	0: 受信バッファ空き 1: 受信バッファフル	
TEND	送信終了フラグ	0: 送信中 1: 送信終了	
TBEP	送信バッファ空きフラグ	0: 送信バッファフル(送信データ書き込み済み) 1: 送信バッファ空き	

注) TBEP は、送信割り込み発生後、自動的に "1" にセットされます

UART 受信データバッファ

RDBUF (001DH)	7	6	5	4	3	2	1	0	Read only
									(初期値: 0000 0000)

UART 送信データバッファ

TDBUF (001DH)	7	6	5	4	3	2	1	0	Write only
									(初期値: 0000 0000)

UART 端子選択レジスタ

SCISEL (002AH)	7	6	5	4	3	2	1	0	
						TXD SEL	RXD SEL		(初期値: **** *00*)

TXDSEL	TXD 接続端子選択	0: P41 1: P44	R/W
RXDSEL	RXD 接続端子選択	0: P42 1: P45	

注 1) UART の動作中は SCISEL を切り替えないでください。

注 2) SCISEL は、I/O ポートの端子設定よりも前に設定してください。

14.3 転送データフォーマット

UART で転送されるデータには、スタートビット 1 ビット (“L” レベル) とストップビット (“H” レベル、UARTCR1<STBT> でビット長の選択可)、パリティ UARTCR1<PE> でパリティ有無の選択可、UARTCR1<EVEN> で偶数 / 奇数パリティ選択可) が付加されます。以下に転送データフォーマットを示します。

PE	STBT	フレーム長									
		1	2	3	8	9	10	11	12		
0	0										
0	1										
1	0										
1	1										

図 14-2 転送データフォーマット

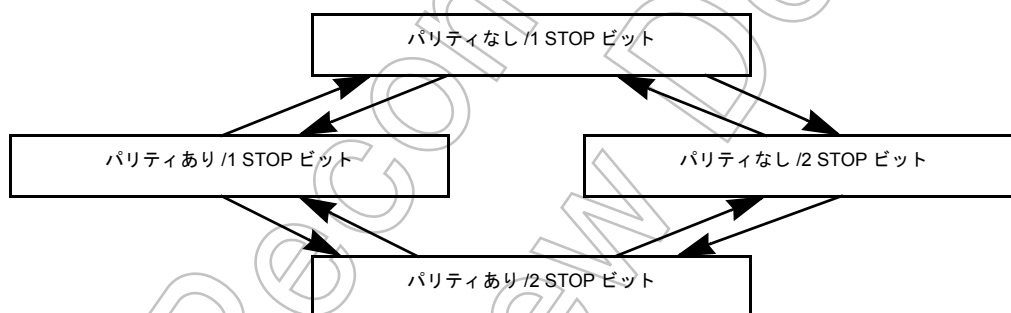


図 14-3 転送データフォーマット変更時の注意

注) 送信データフォーマットの切り替えは、初期設定時以外は図 14-3 の状態遷移にて送信動作を実施し、切り替えを行ってください。

14.4 赤外線データフォーマット転送モード

TXD1 端子は、IrDA 出力制御レジスタの設定により、赤外線データフォーマット (IrDA) での出力が可能です。

IrDA 出力制御レジスタ

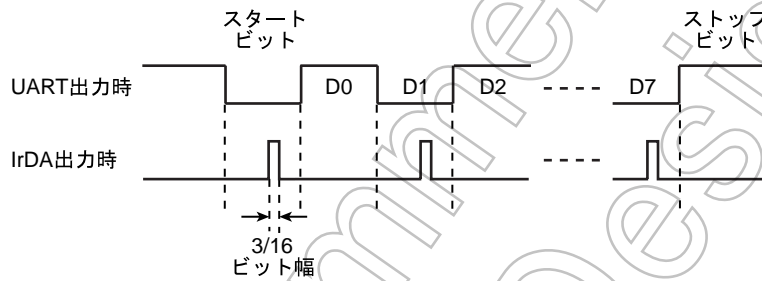
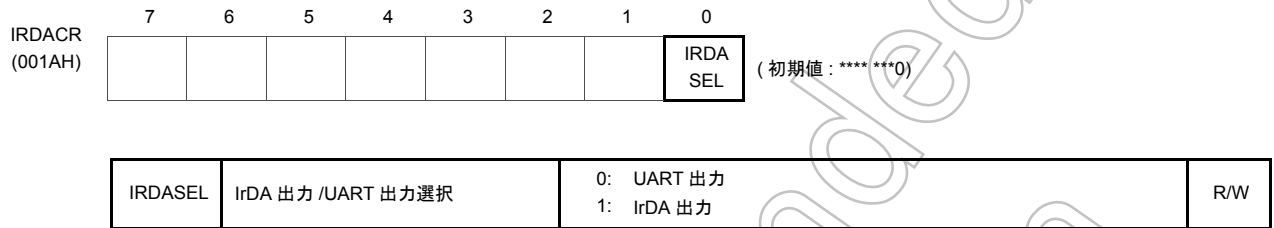


図 14-4 赤外線データフォーマット例 (通常出力時と IrDA 出力時の比較)

14.5 転送レート

UART の転送レート (ボーレート) は UARTCR1<BRG> により設定されます。以下に転送レートの例を示します。

表 14-1 転送レート (例)

BRG	ソースクロック		
	16 MHz	8 MHz	4 MHz
000	76800 [baud]	38400 [baud]	19200 [baud]
001	38400	19200	9600
010	19200	9600	4800
011	9600	4800	2400
100	4800	2400	1200
101	2400	1200	600

UART の転送レートとして TC4 使用を選択したとき (つまり UARTCR1<BRG> = “110” に設定したとき) 転送クロックおよび転送レートは

$$\text{転送クロック [Hz]} = \text{TC4 ソースクロック [Hz]} \div \text{TTREG4 設定値}$$

$$\text{転送レート [baud]} = \text{転送クロック [Hz]} \div 16$$

となります。

14.6 データのサンプリング方法

UART のレシーバは、RXD1 端子入力にスタートビットが見つかるまで UARTCR1<BRG> で選択したクロックで入力のサンプリングを行います。RT クロックの開始は、RXD1 端子の “L” レベルを検出し始まります。スタートビットが見つかったらスタートビット、データビット、ストップビット、パリティビットは、以下に示すように 1 レシーバクロック (RT1 クロック) の間隔 (RT0 はビットが始まると予想される位置) で RT7, RT8, RT9 の位置で 3 回サンプリングし、多数決判定 (3 回のサンプリングのうち 2 回または 3 回) で決定しビットのデータとします。

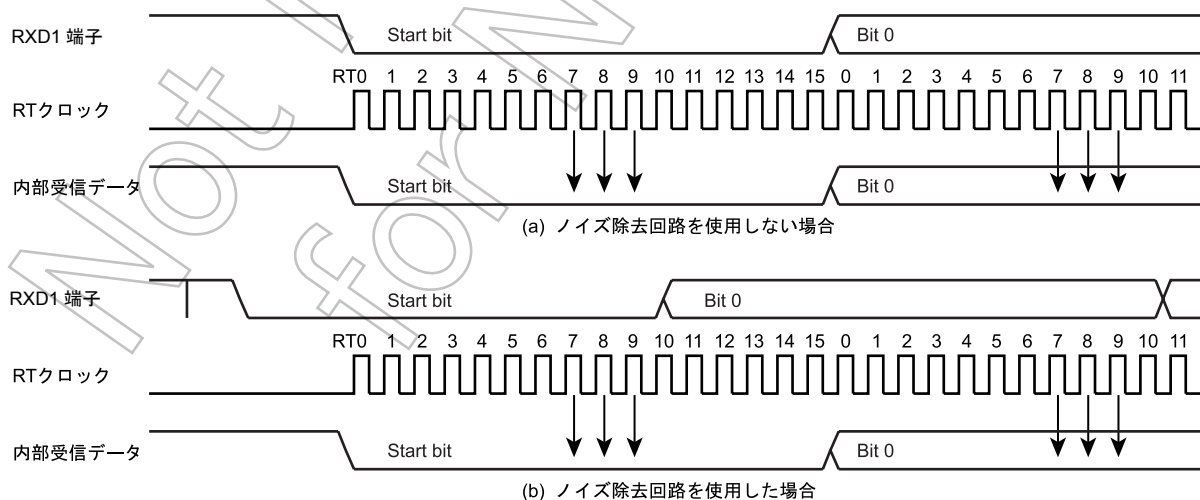


図 14-5 データのサンプリング方法

14.7 STOP ビット長

UARTCR1<STBT> で送信ストップビット長 (1 ビット / 2 ビット) の選択ができます。

14.8 パリティ

UARTCR1<PE> でパリティ付加の有無を、UARTCR1<EVEN> でパリティの種類 (奇数 / 偶数) を設定します。

14.9 送受信動作

14.9.1 データ送信動作

UARTCR1<TXE> を “1” にセットします。UARTSR を読み出し TBEP = “1” を確認後、TDBUF (送信データバッファ) にデータを書き込みます。書き込みを行うと UARTSR<TBEP> は “0” にクリアされデータが送信シフトレジスタに転送された後、TXD1 端子より順次出力されます。このとき出力されるデータにはスタートビット 1 ビットと UARTCR1<STBT> で指定した数のストップビットおよびパリティビット (パリティありの場合) が付加されます。データ転送ボーレートは UARTCR1<BRG> で選択します。データの送信が始まると送信バッファエンプティフラグ UARTSR<TBEP> は “1” にセットされ、INTTRX 割り込みが発生します。

UARTCR1<TXE> が “0” の間および UARTCR1<TXE> に “1” を書き込んでから TDBUF に送信データが書き込まれるまでの間、TXD1 端子は “H” レベルに固定されます。

送信を行う場合、UARTSR を読み出してから TDBUF にデータを書き込んでください。読み出さないと、UARTSR<TBEP> が “0” にクリアされず送信が開始されません。

14.9.2 データ受信動作

UARTCR1<RXE> を “1” にセットします。その後、RXD1 端子からデータを受信すると、RDBUF (受信データバッファ) に受信データが転送されます。このとき、送られてくるデータにはスタートビットとストップビットおよびパリティビット (パリティありの場合) が付加されています。ストップビットが受信されるとデータだけが取り出され RDBUF (受信データバッファ) に転送された後、受信バッファフルフラグ UARTSR<RBFL> がセットされ、INTTRX 割り込みが発生します。データ転送ボーレートは UARTCR1<BRG> で選択します。

データが受信されたときに、オーバランエラーが発生すると、RDBUF (受信データバッファ) へのデータ転送は行われず破棄されます。ただし、RDBUF 内のデータは影響を受けません。

注) UARTCR1<RXE> ビットを “0” に設定して受信動作を停止させる場合、受信動作が完了したときに有効となります。ただし、この受信データにおいてフレーミングエラーが発生した場合、受信動作停止が有効とならない場合がありますので、フレーミングエラー発生時は、必ず再受信を実施してください。

14.10 ステータスフラグ

14.10.1 パリティエラー

受信データのデータビットから計算したパリティが、受信されたパリティビットと異なっているときパリティエラーフラグ UARTSR<PERR> が“1”にセットされます。UARTSR を読み出した後、RDBUF を読み出すと UARTSR<PERR> は“0”にクリアされます。

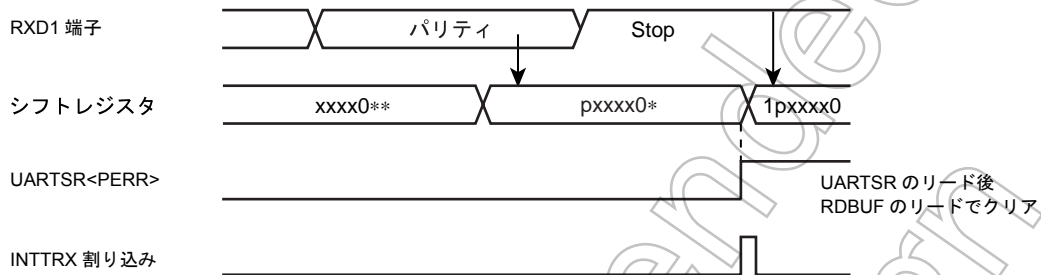


図 14-6 パリティエラーの発生

14.10.2 フレーミングエラー

受信データの STOP ビットとして“0”がサンプリングされたときフレーミングエラーフラグ UARTSR<FERR> が“1”にセットされます。UARTSR を読み出した後、RDBUF を読み出すと UARTSR<FERR> は“0”にクリアされます。

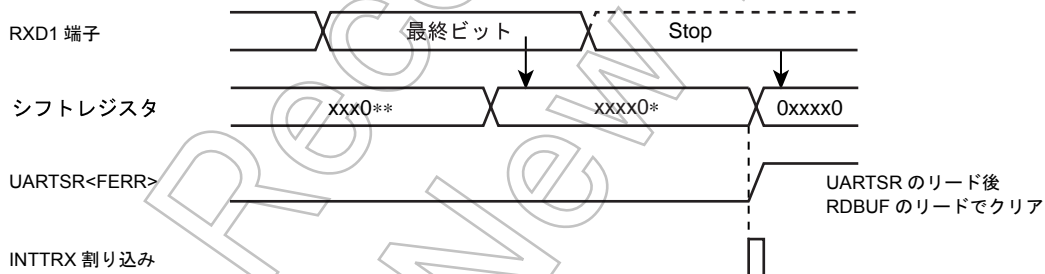


図 14-7 フレーミングエラーの発生

14.10.3 オーバランエラー

RDBUF に読み出していないデータが格納されている状態で、次のデータの受信が全ビット終了するとオーバランエラーフラグ UARTSR<OERR> が“1”にセットされます。この場合、受信データは破棄され受信データバッファ内のデータは影響を受けません。UARTSR を読み出した後、RDBUF を読み出すと UARTSR<OERR> は“0”にクリアされます。

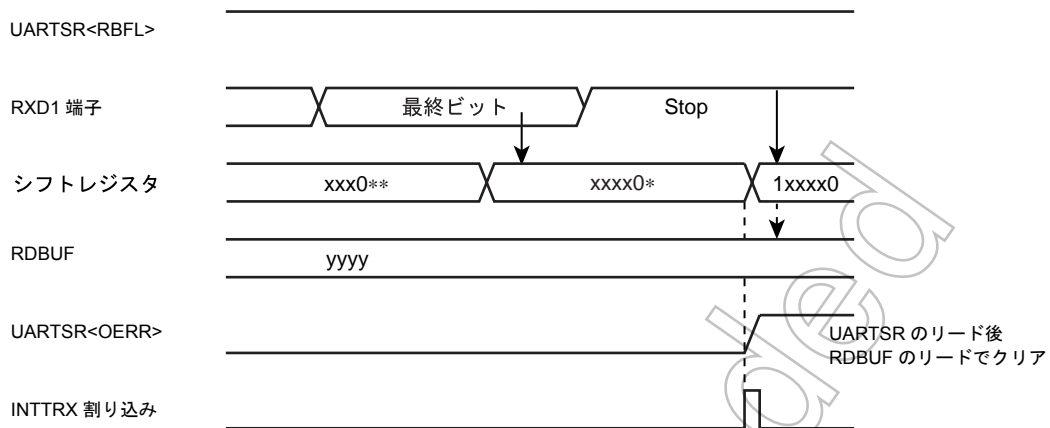


図 14-8 オーバランエラーの発生

注) オーバランエラーフラグ UARTSR<OERR> がクリアされるまで、受信動作は停止します。

14.10.4 受信バッファフル

受信データを RDBUF に取り込むと UARTSR<RBFL> が “1” にセットされます。UARTSR を読み出した後、RDBUF からデータを読み出すと UARTSR<RBFL> は “0” にクリアされます。

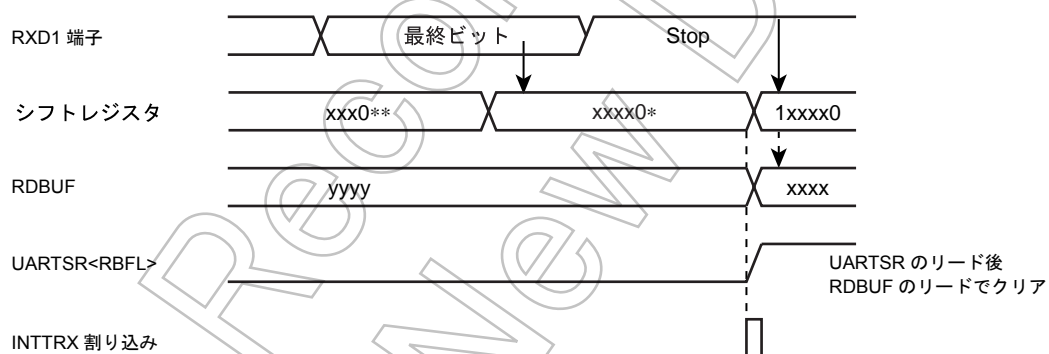


図 14-9 受信バッファフルの発生

注) 上記、UARTSR の読み出しから RDBUF を読み出す間にオーバランエラーフラグ UARTSR<OERR> がセットされた場合、RDBUF 読み出しだけではエラーフラグがクリアされません。再度 UARTSR を読み込み、エラーの確認を行ってください。

14.10.5 送信バッファエンpty

TDBUF にデータが存在しないとき、つまり TDBUF のデータが送信シフトレジスタに転送され送信が開始されるとき UARTSR<TBEP> が “1” にセットされます。UARTSR を読み出した後、TDBUF にデータを書き込むと UARTSR<TBEP> は “0” にクリアされます。

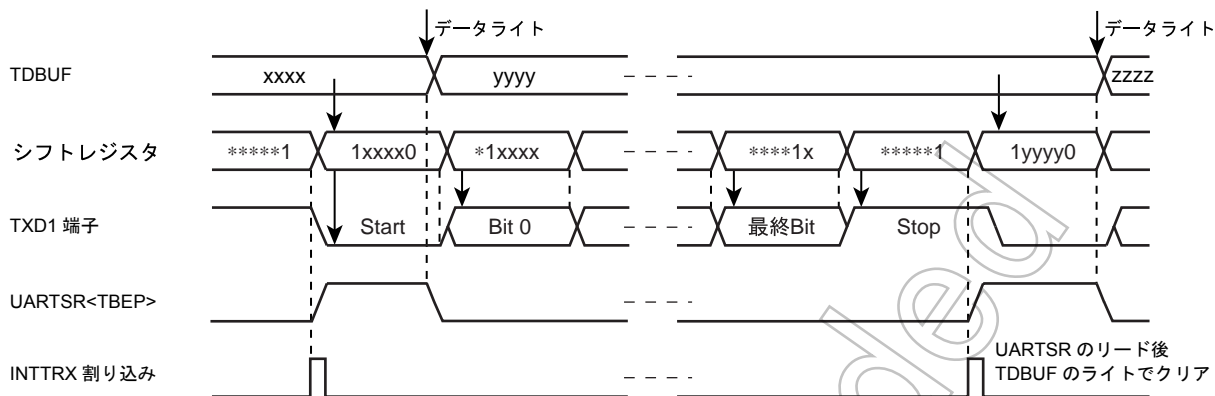


図 14-10 送信バッファエンपティの発生

14.10.6 送信終了フラグ

送信が終了し、TDBUF 内に待機中のデータがないとき (UARTSR<TBEP>="1" のとき) UARTSR<TEND> が "1" にセットされます。TDBUF にデータを書き込んだ後、送信が開始されると UARTSR<TEND> は "0" にクリアされます。

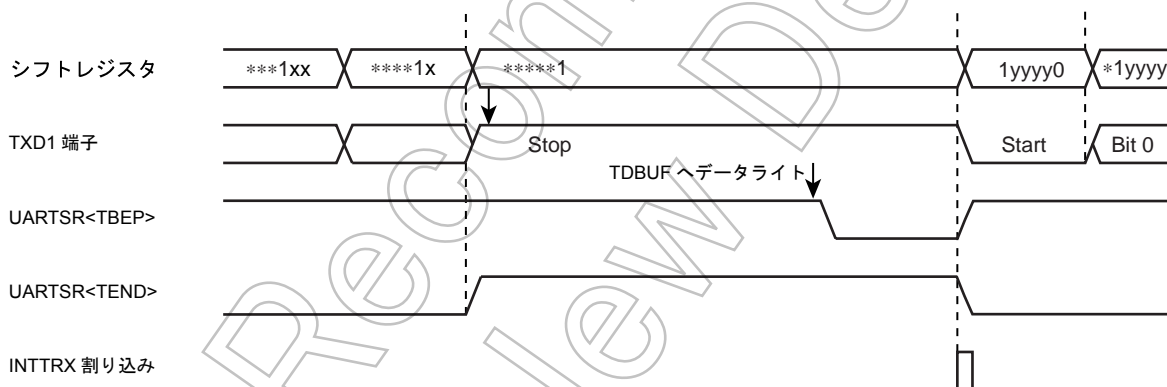


図 14-11 送信終了フラグと送信バッファエンプティの発生

第 15 章 同期型シリアルインタフェース (SIO1)

TMP86CS64AFG は、クロック同期方式の 8 ビットシリアルインタフェースを内蔵しています。シリアルインタフェースは、8 バイトの送受信データバッファを持っており、最大 64 ビットまでのデータを自動的に連続転送することができます。

シリアルインタフェースは、SO1, SI1, SCK1 端子を通して外部デバイスと接続されます。

15.1 構成

SIO制御レジスタ/ステータスレジスタ

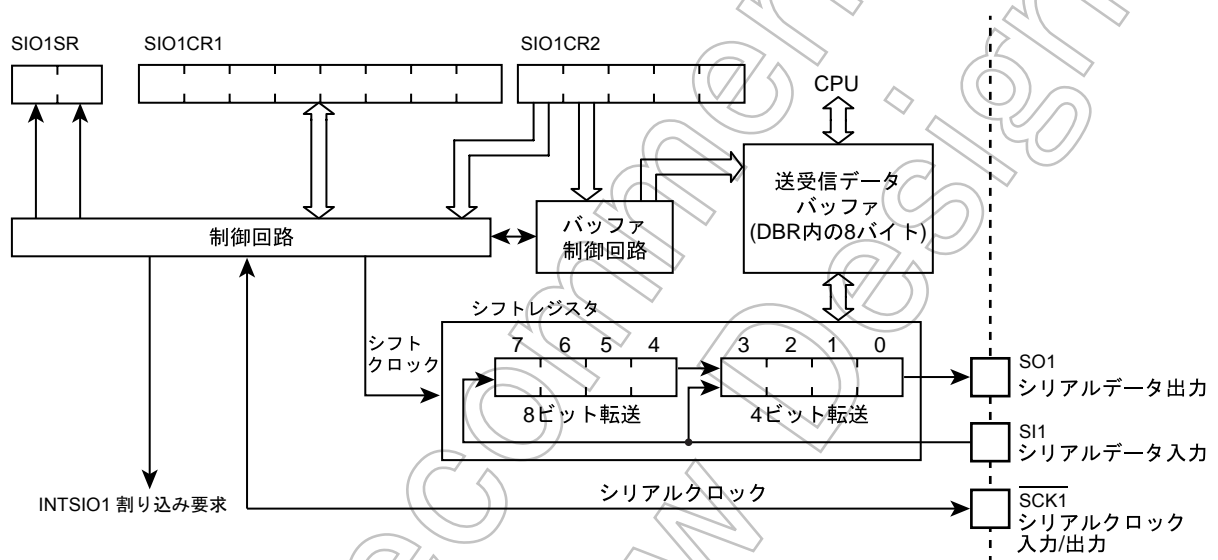


図 15-1 シリアルインタフェース

15.2 制御

SIO の制御は、シリアルインタフェース制御レジスタ (SIO1CR1/SIO1CR2) で行います。また、ステータスレジスタ (SIO1SR) をリードすることによりシリアルインタフェースの動作状態を確認することができます。

送受信データバッファの制御は、SIO1CR2<BUF> で行います。送受信データバッファは、DBR 領域の 0F90~0F97H 番地に割り当てられており、一度に最大 8 ワードまで連続転送できます。設定されたワード数の転送が終了するとバッファエンプティ (送信時) / バッファフル (受信時または送受信時) の割り込み要求 (INTSIO1) が発生します。

シリアルクロックに内部クロックを用いる場合、8 ビット送受信または 8 ビット受信モードのとき 1 ワード転送ごとにシリアルクロックに一定時間のウェイトをかけることができます。ウェイト時間は、SIO1CR2<WAIT> で 4 種類の中から選択することができます。

シリアルインタフェース制御レジスタ 1

SIO1CR1	7	6	5	4	3	2	1	0		
(0028H)	SIOS		SIOINH		SIOM			SCK		(初期値: 0000 0000)

SIOS	転送の開始 / 終了指示	0: 終了 1: 開始								
SIOINH	転送の強制停止	0: 転送継続 1: 強制停止 (停止後、自動的にクリア)								
SIOM	転送モードの選択	000: 8 ビット送信モード 010: 4 ビット送信モード 100: 8 ビット送受信モード 101: 8 ビット受信モード 110: 4 ビット受信モード 上記以外: Reserved								Write only
SCK	シリアルクロックの選択	NORMAL1/2, IDLE1/2 モード				SLOW1/2 SLEEP1/2 モード	Write only			
		DV7CK = 0		DV7CK = 1						
		DV1CK = 0	DV1CK = 1	DV1CK = 1	DV1CK = 1					
		000	fc/2 ¹³	fc/2 ¹⁴	fs/2 ⁵	fs/2 ⁵		fs/2 ⁵		
		001	fc/2 ⁸	fc/2 ⁹	fc/2 ⁸	fc/2 ⁹		—		
		010	fc/2 ⁷	fc/2 ⁸	fc/2 ⁷	fc/2 ⁸		—		
		011	fc/2 ⁶	fc/2 ⁷	fc/2 ⁶	fc/2 ⁷		—		
100	fc/2 ⁵	fc/2 ⁶	fc/2 ⁵	fc/2 ⁶	—					
101	fc/2 ⁴	fc/2 ⁵	fc/2 ⁴	fc/2 ⁵	—					
110	Reserved									
111	外部クロック (SCK1 端子から入力)									

注 1) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz]

注 2) 転送モード、シリアルクロックの設定時は、SIOS = "0"、SIOINH = "1" にしてください。

注 3) SIO1CR1 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令は使用できません。

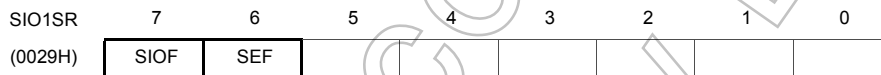
シリアルインタフェース制御レジスタ 2

SIO1CR2	7	6	5	4	3	2	1	0	
(0029H)				WAIT			BUF		(初期値: ***0 0000)

WAIT	ウェイト制御	8ビット送受信 / 受信モード以外は常に“00”にしてください。 00: $T_f = T_D$ (ノンウェイト) 01: $T_f = 2T_D$ (ウェイト) 10: $T_f = 4T_D$ (ウェイト) 11: $T_f = 8T_D$ (ウェイト)	Write only
BUF	転送ワード数の設定 (使用するバッファのアドレス)	000: 1ワード転送 0F90H 001: 2ワード転送 0F90H ~ 0F91H 010: 3ワード転送 0F90H ~ 0F92H 011: 4ワード転送 0F90H ~ 0F93H 100: 5ワード転送 0F90H ~ 0F94H 101: 6ワード転送 0F90H ~ 0F95H 110: 7ワード転送 0F90H ~ 0F96H 111: 8ワード転送 0F90H ~ 0F97H	

- 注 1) 4ビット転送のときは、各バッファの低位4ビットに格納します / されます。受信時上位4ビットには“0”が格納されません。
- 注 2) 送信データはバッファの若いアドレスの方から送信されます。また、受信データは若いアドレスの方から格納されます (最初に転送されるのは0F90H番地です)。
- 注 3) 転送終了後も BUF の設定値は保存されています。
- 注 4) SIO1CR2 の設定は、シリアルインタフェース停止状態 (SIOF = 0) で行ってください。
- 注 5) *: Don't care
- 注 6) SIO1CR2 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令は使用できません。

シリアルインタフェースステータスレジスタ



SIOF	シリアル転送動作状態モニタ	0: 転送終了 1: 転送中	Read only
SEF	シフト動作状態モニタ	0: シフト動作終了 1: シフト動作中	

- 注 1) T_f : フレーム時間 (1ワードのデータ転送時間), T_D : データ転送時間
- 注 2) SIOF は、SIOS を“0”にクリアした後、転送が終了した時点または SIOINH を“1”にセットした時点で“0”にクリアされます。



図 15-2 フレーム時間 (T_f) とデータ転送時間 (T_D)

15.3 シリアルクロック

15.3.1 クロックソース

クロックソースは SIO1CR1<SCK> により、内部クロックまたは外部クロックを選択することができます。

15.3.1.1 内部クロック

シリアルインタフェースは、内部クロックソースとして 6 種類の周波数が選択でき、シリアルクロックは SCK1 端子より外部に出力されます。なお、転送開始時 SCK1 端子出力は“H”レベルになります。

プログラムでデータの書き込み (送信時) またはデータの読み取り (受信時) がこのシリアルクロックレートに追従できないときには、自動的にシリアルクロックを停止し、それらの処理が終了するまで次のシフト動作を待機させる自動ウェイト機能を有しています。

表 15-1 シリアルクロックレート

SCK	NORMAL1/2, IDLE1/2 モード								SLOW1/2, SLEEP1/2 モード	
	DV7CK = 0				DV7CK = 1					
	DV1CK = 0		DV1CK = 1		DV1CK = 0		DV1CK = 1			
クロック	ボーレート	クロック	ボーレート	クロック	ボーレート	クロック	ボーレート	クロック	ボーレート	
000	$fc/2^{13}$	1.91 Kbps	$fc/2^{14}$	0.95 Kbps	$fs/2^5$	1024 bps	$fs/2^5$	1024 bps	$fs/2^5$	1024 bps
001	$fc/2^8$	61.04 Kbps	$fc/2^9$	30.52 Kbps	$fc/2^8$	61.04 Kbps	$fc/2^9$	30.52 Kbps	—	—
010	$fc/2^7$	122.07 Kbps	$fc/2^8$	61.04 Kbps	$fc/2^7$	122.07 Kbps	$fc/2^8$	61.04 Kbps	—	—
011	$fc/2^6$	244.14 Kbps	$fc/2^7$	122.07 Kbps	$fc/2^6$	244.14 Kbps	$fc/2^7$	122.07 Kbps	—	—
100	$fc/2^5$	488.28 Kbps	$fc/2^6$	244.14 Kbps	$fc/2^5$	488.28 Kbps	$fc/2^6$	244.14 Kbps	—	—
101	$fc/2^4$	976.56 Kbps	$fc/2^5$	488.28 Kbps	$fc/2^4$	976.56 Kbps	$fc/2^5$	488.28 Kbps	—	—
110	—	—	—	—	—	—	—	—	—	—
111	外部	外部	外部	外部	外部	外部	外部	外部	外部	外部

注) 1 Kbit = 1024 bit (fc = 16 MHz, fs = 32.768 kHz)

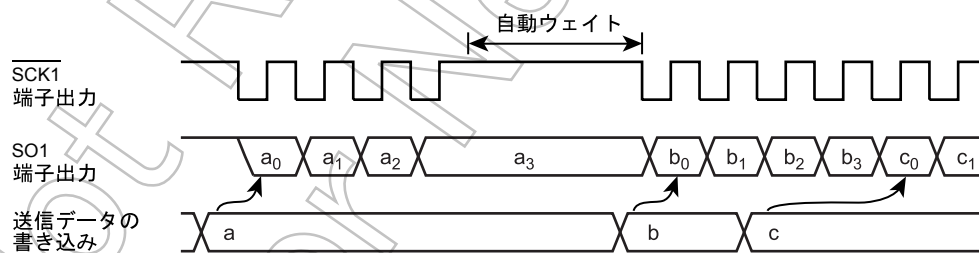


図 15-3 自動ウェイト機能 (4 ビット送信モードの場合)

15.3.1.2 外部クロック

外部から SCK1 端子に供給されるクロックをシリアルクロックとして用います。この場合、ポートの出力ラッチは“1”にセットしてください。なお、シフト動作が確実に実行されるためには、シリアルクロックの“H”レベル, “L”レベルともに 4 マシンサイクル以上のパルス幅が必要です。従って、最大転送速度は 488.3K bit/s (fc = 16 MHz 時) です。

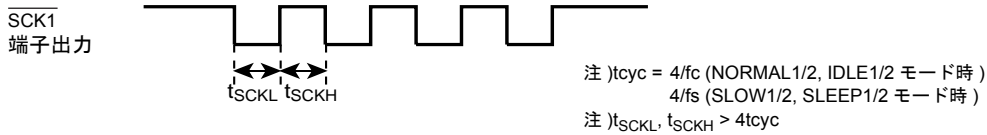


図 15-4 外部クロックのパルス幅

15.3.2 シフトエッジ

送信は前縁シフト, 受信は後縁シフトになります。

15.3.2.1 前縁シフト

シリアルクロックの前縁 (SCK1 端子入出力の立ち上がりエッジ) でデータをシフトします。

15.3.2.2 後縁シフト

シリアルクロックの後縁 (SCK1 端子入出力の立ち上がりエッジ) でデータをシフトします。

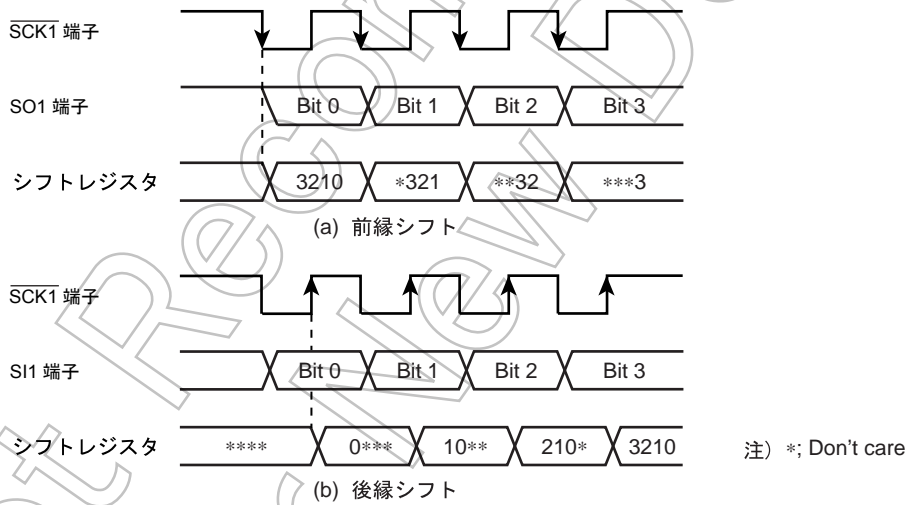


図 15-5 シフトエッジ

15.4 転送ビット数

4 ビットシリアル転送 または 8 ビットシリアル転送が選択できます。4 ビットシリアル転送の場合、送受信データバッファは下位 4 ビットのみ使用し、上位 4 ビットは受信時“0”になります。

なお、データは最下位ビット (LSB) から順次シリアル転送されます。

15.5 転送ワード数

4 ビットデータ (4 ビットシリアル転送時)/8 ビットデータ (8 ビットシリアル転送時) を 1 ワードとして最大 8 ワードまで連続して転送することができます。転送ワード数は、SIO1CR2<BUF> で設定します。

指定されたワード数の転送終了時点で、INTSIO1 割り込み要求が発生します。途中で転送ワード数を変更する場合は、シリアルインタフェースを停止してから行ってください。ただし、内部クロック動作の場合は自動ウェイト動作中に転送ワード数の変更ができますので、停止させる必要はありません。

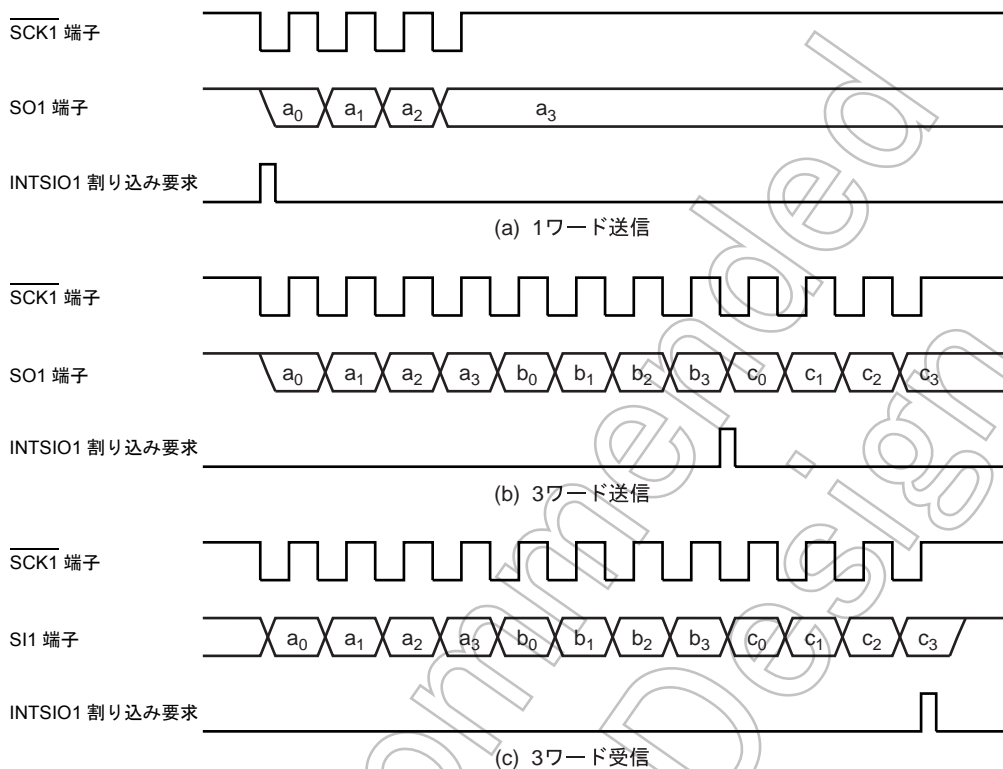


図 15-6 転送ワード数 (例: 1ワード = 4ビット)

15.6 転送モード

転送モードは SIO1CR1<SIOM> によって、送信/受信/送受信モードを選択することができます。

15.6.1 4ビット送信モード, 8ビット送信モード

制御レジスタに送信モードをセットした後、最初の転送ワード数分の送信データをデータバッファレジスタ (DBR) に書き込みます。

送信データの書き込み後、SIO1CR1<SIOS> を“1”にセットすることにより送信が開始されます。送信データは、シリアルクロックに同期して最下位ビット (LSB) 側から逐次 SO1 端子に出力されます。LSB のデータを出力した時点で、送信データは、1ワードずつバッファレジスタからシフトレジスタへ転送されます。最後の送信データが転送されると、バッファレジスタが空になりますので、次の送信データを要求する INTSIO1 (バッファエンプティ) 割り込み要求が発生します。

内部クロック動作の場合、SIO1CR2<BUF> で指定されたワード数のデータをすべて送信したあと、次のデータがセットされていないとシリアルクロックを停止して自動ウェイト動作を行います。ただし、次の送信データを1ワードでも書き込むと自動ウェイト動作は解除されますので、2ワード以上送信する場合は前の1ワードの送信が終わるまでに次のワードのデータを書き込んでください。

注) 送信データバッファに使用していない DBR への書き込みによっても自動ウェイト動作は解除されますので、不使用の DBR を他の用途に使用しないでください。例えば、3ワード送信の場合、余った5ワードの DBR は使用しないでください。

外部クロック動作の場合、次のデータのシフト動作に入る前に、バッファレジスタに送信データが書き込まれている必要があります。従って、転送速度は、割り込み要求の発生から割り込みサービスプログラムにて、バッファレジスタにデータを書き込むまでの最大遅れ時間により決まります。

送信を終了させるには、バッファエンプティ割り込みサービスプログラムで SIO1CR1<SIOS> を“0”にクリアするか SIO1CR1<SIOINH> を“1”にセットします。SIO1CR1<SIOS> がクリアされると、転送中のワードの全ビットが出力された時点で終了します。プログラムで送信の終了を確認するには、SIO1SR<SIOF> をセンスします。SIO1SR<SIOF> は送信の終了で“0”になります。SIO1CR1<SIOINH> をセットした場合は、直ちに送信を打ち切り、SIO1SR<SIOF> は“0”になります。

外部クロック動作では、次の送信データのシフト動作に入る前に SIO1CR1<SIOS> を“0”クリアする必要があります。もしシフトアウトする前に SIO1CR1<SIOS> がクリアされなかった場合は、ダミーのデータの送信後、停止します。転送ワード数を変更する必要がある場合は、SIO1CR1<SIOS> を“0”にクリアし、SIO1SR<SIOF> が“0”なったことを確認後 SIO1CR2<BUF> を書き替えてください。

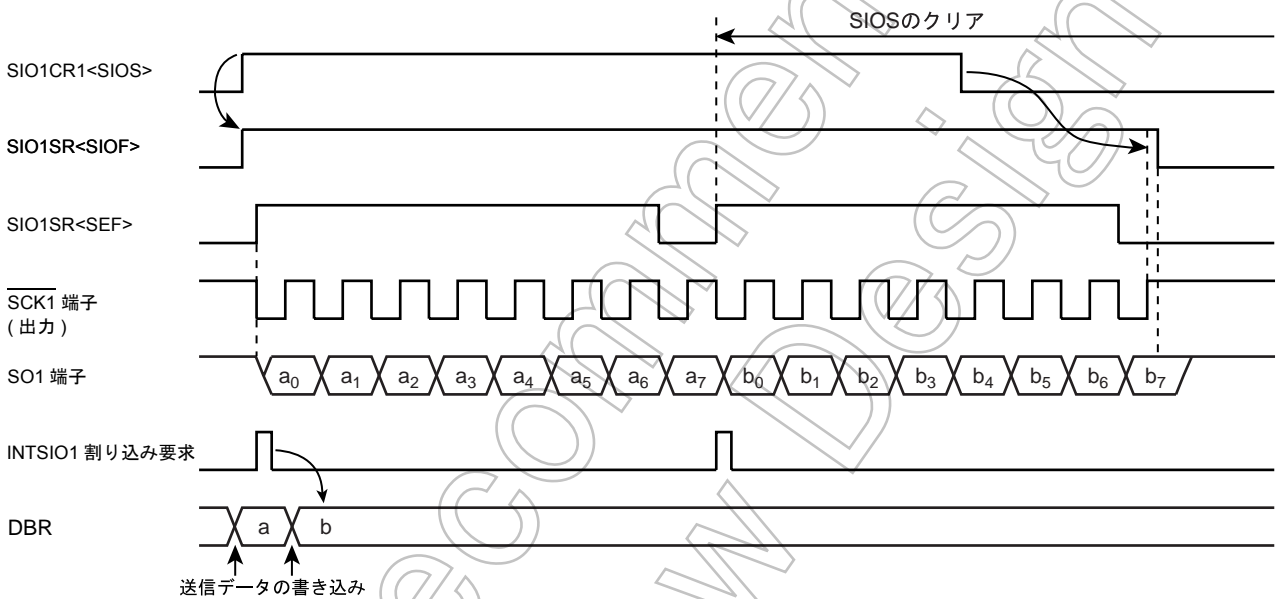


図 15-7 送信モード (例: 8ビット, 1ワード転送、内部クロック)

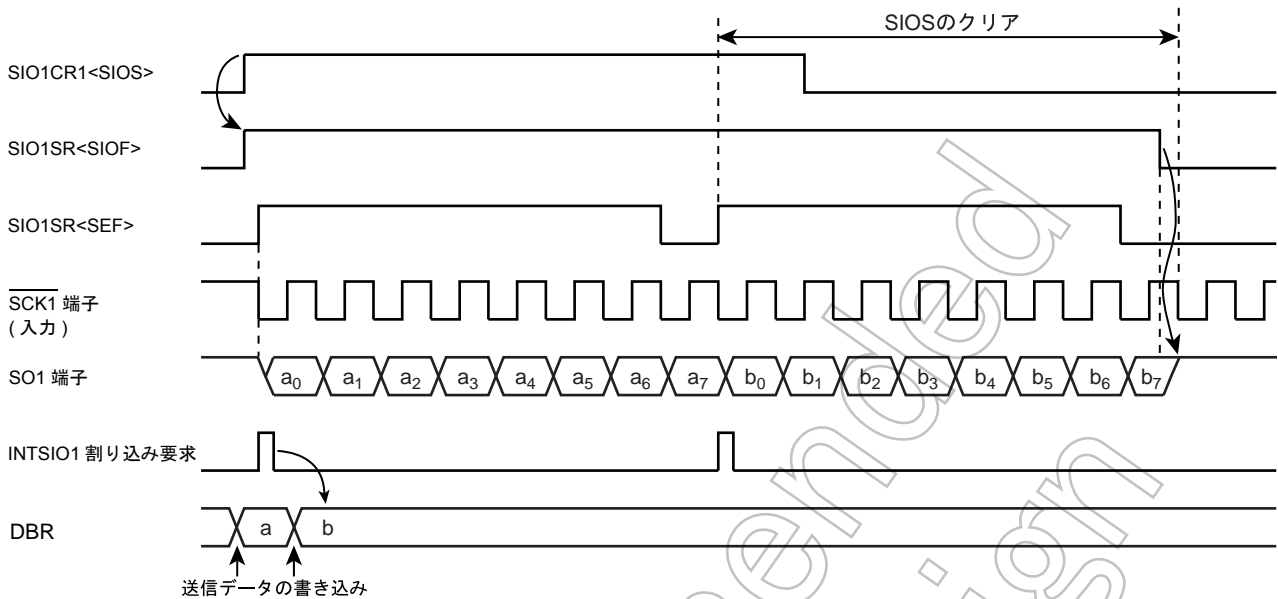


図 15-8 送信モード (例: 8 ビット, 1ワード転送、外部クロック)

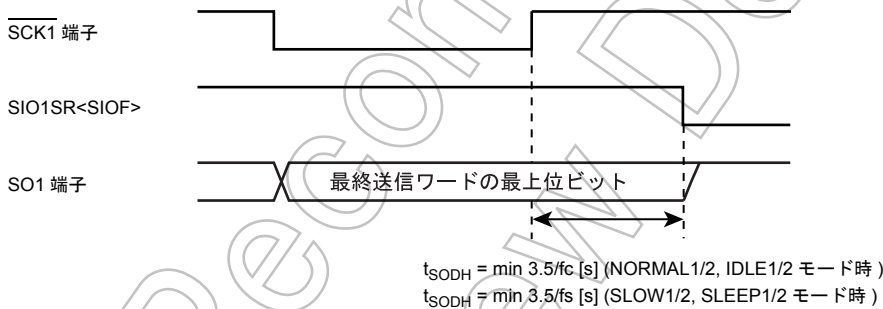


図 15-9 送信終了時の送信データ保持時間

15.6.2 4 ビット受信モード, 8 ビット受信モード

制御レジスタに受信モードをセットした後、SIO1CR1<SIOS> を“1”にセットすることにより受信可能となります。シリアルクロックに同期して、SI1 端子より最下位ビット側から順次シフトレジスタへデータを取り込みます。1ワードのデータが取り込まれるとシフトレジスタからデータバッファレジスタ (DBR) に受信データが書き込まれます。SIO1CR2<BUF> で指定されたワード数の受信が終了すると受信データの読み取りを要求する INTSIO1 (バッファフル) 割り込み要求が発生します。受信データは、割り込みサービスプログラムにてデータバッファレジスタから読み取ります。

内部クロック動作の場合、受信データがデータバッファレジスタから読み取られるまでシリアルクロックを停止する自動ウェイト動作を行います。1ワードでも読み取っている場合は自動ウェイト動作は行われません。

注) 受信データバッファに使用していない DBR の読み出しによっても自動ウェイト動作は解除されますので、SIO1 で不使用の DBR を他の用途に使用しないでください。

外部クロック動作の場合は、シフト動作が外部から供給されるクロックに同期しますので、次のシリアルクロックが入力される前に受信データを読み取ります。もし、受信データが読み取られない場合、それ以降に入力される受信データはキャンセルされます。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データの読み取りまでの最大遅れ時間により決まります。

受信を終了させるにはバッファフル割り込みサービスプログラムで SIO1CR1<SIOS> を“0”にクリアするか SIO1CR1<SIOINH> を“1”にセットします。SIO1CR1<SIOS> が“0”にクリアされると、転送中のワードの全ビットが揃いデータバッファレジスタへの書き込みが完了した時点で受信が終了します。プログラムで受信の終了を確認するには、SIO1SR<SIOF> をセンスします。SIO1SR<SIOF> は受信の終了で“0”になります。受信終了の確認のあと最終受信データを読み取ります。

SIO1CR1<SIOINH> をセットした場合は、直ちに受信を打ち切り、SIO1SR<SIOF> は“0”になります(受信データは無効になりますので、読み取る必要はありません)。転送ワード数を変更する必要がある場合、外部クロック動作のときは SIO1CR1<SIOS> を“0”にクリアし SIO1SR<SIOF> が“0”になったことを確認後 SIO1CR2<BUF> を書き替えてください。内部クロック動作のときは自動ウェイト動作に入りますので、受信データを読み取る前に SIO1CR2<BUF> を書き替えてください。

注) 転送モードを変更した場合、データバッファレジスタの内容は保持されません。従って転送モードの変更は、受信終了指示 (SIO1CR1<SIOS> を“0”にクリア) を行い、最終受信データを読み取った後で行ってください。

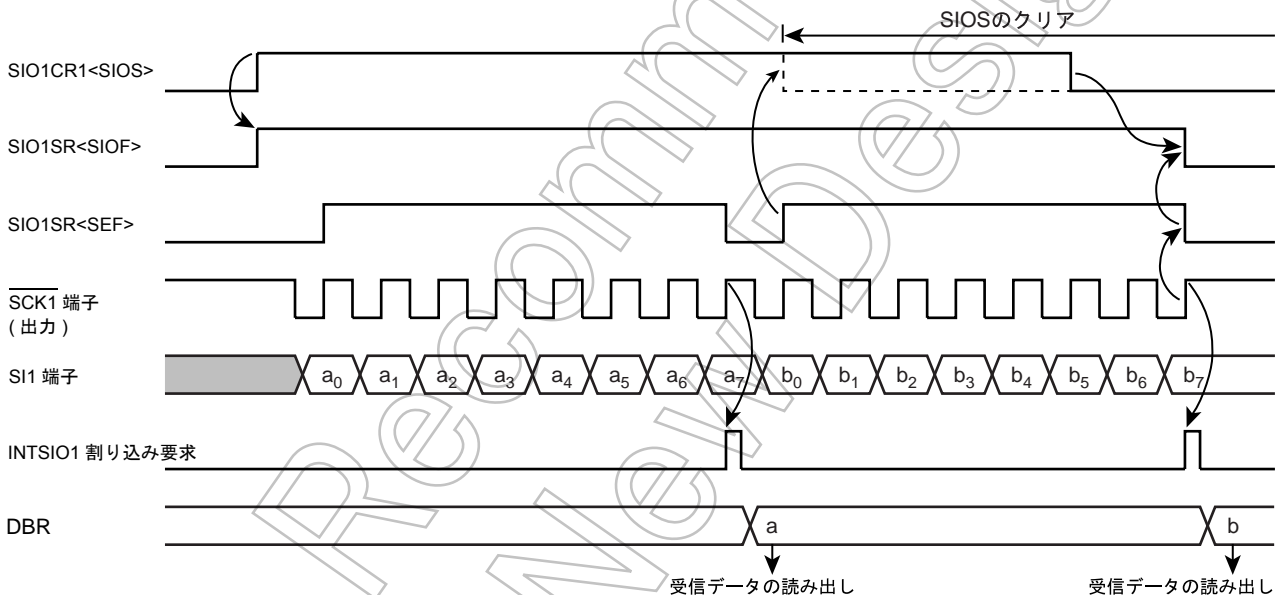


図 15-10 受信モード (例: 8 ビット, 1 ワード転送, 内部クロック)

15.6.3 8 ビット送受信モード

制御レジスタに送受信モードをセットした後、最初の転送ワード数分の送信データをデータバッファレジスタ (DBR) に書き込みます。その後、SIO1CR1<SIOS> に“1”をセットすることにより送受信可能となります。最下位ビットから順次、シリアルクロックの前縁で送信データは SO1 端子から出力され、後縁で受信データが SI1 端子から取り込まれます。8 ビットのデータが取り込まれると、シフトレジスタからデータバッファレジスタへ受信データが転送されます。SIO1CR2<BUF> で指定されたワード数の送受信が終了すると、INTSIO1 割り込み要求が発生します。割り込みサービスプログラムにて受信データをデータバッファレジスタから読み取り、そのあと送信データを書き込みます。データバッファレジスタは、送信、受信にて兼用していますので、送信データは、必ず全受信データを読み取ってから書き込むようにしてください。

内部クロック動作の場合、受信データを読み取り、次の送信データを書き込むまで自動ウェイト動作を行います。1 ワードでも送信データを書き込んでいる場合は自動ウェイト動作は行われません。

外部クロック動作の場合は、シフト動作が外部から供給されるシリアルクロックに同期しますので、次のシフト動作に入る前に受信データを読み取り、次の送信データを書き込む必要があります。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データを読み取り、送信データを書き込むまでの最大遅れ時間により決まります。

送受信を終了させるには、INTSIO1 割り込みサービスプログラムで SIO1CR1<SIOS> を“0”にクリアするか SIO1CR1<SIOINH> を“1”にセットします。SIO1CR1<SIOS> がクリアされると、転送中のワードの全ビットが揃い、データバッファレジスタへの転送が完了した時点で送受信が終了します。プログラムで送受信の終了を確認するには、SIO1SR<SIOF> をセンスします。SIO1SR<SIOF> は送受信の終了で“0”になります。SIO1CR1<SIOINH> をセットした場合は、直ちに送受信を打ち切り、SIOF は“0”になります。

転送ワード数を変更する場合、外部クロック動作のときは、SIO1CR1<SIOS> を“0”にクリアし SIO1SR<SIOF> が“0”になったことを確認後、SIO1CR2<BUF> を書き替えてください。内部クロック動作のときは、自動ウェイト動作に入りますので、送受信データのリード / ライトの前に書き替えてください。

注) 転送モードを変更した場合、データバッファレジスタの内容は保持されません。従って転送モードの変更は、受信終了指示 (SIOS を“0”にクリア) を行い、最終受信データを読み取った後で行ってください。

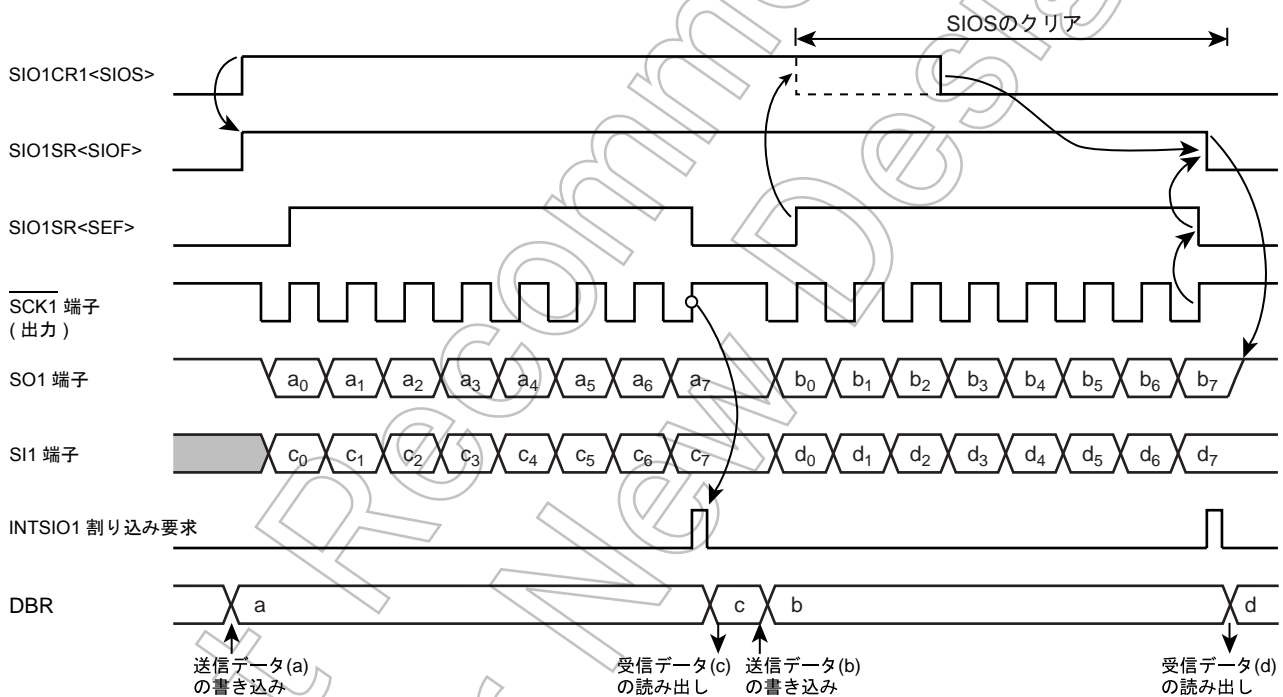


図 15-11 送受信モード (例: 8 ビット, 1 ワード, 内部クロック)

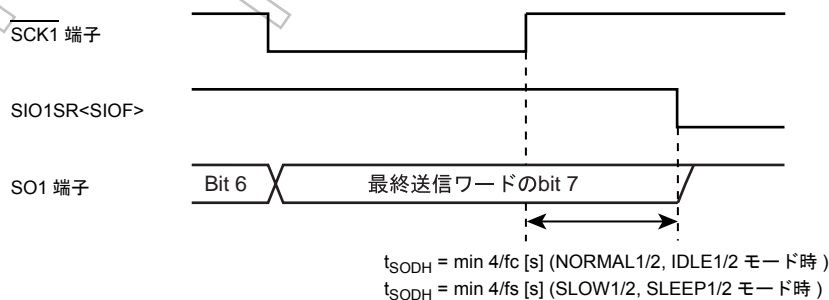


図 15-12 送受信終了時の送信データ保持時間

第 16 章 同期型シリアルインタフェース (SIO2)

TMP86CS64AFG は、クロック同期方式の 8 ビットシリアルインタフェースを内蔵しています。シリアルインタフェースは、8 バイトの送受信データバッファを持っており、最大 64 ビットまでのデータを自動的に連続転送することができます。

シリアルインタフェースは、SO2, SI2, SCK2 端子を通して外部デバイスと接続されます。

16.1 構成

SIO制御レジスタ/ステータスレジスタ

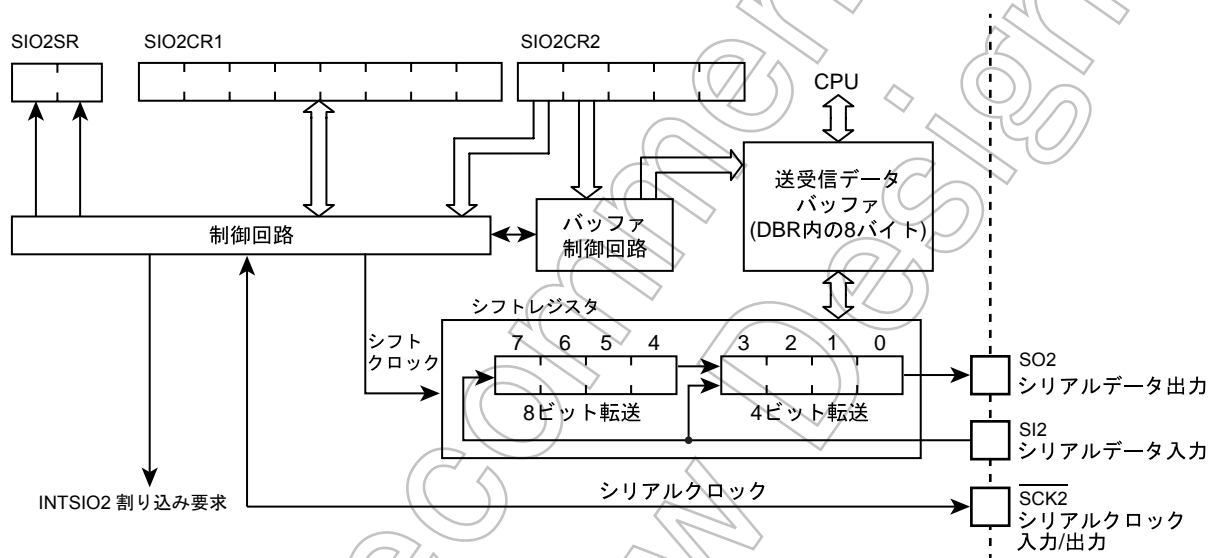


図 16-1 シリアルインタフェース

16.2 制御

SIO の制御は、シリアルインタフェース制御レジスタ (SIO2CR1/SIO2CR2) で行います。また、ステータスレジスタ (SIO2SR) をリードすることによりシリアルインタフェースの動作状態を確認することができます。

送受信データバッファの制御は、SIO2CR2<BUF> で行います。送受信データバッファは、DBR 領域の 0F98~0F9FH 番地に割り当てられており、一度に最大 8 ワードまで連続転送できます。設定されたワード数の転送が終了するとバッファエンプティ (送信時) / バッファフル (受信時または送受信時) の割り込み要求 (INTSIO2) が発生します。

シリアルクロックに内部クロックを用いる場合、8 ビット送受信または 8 ビット受信モードのとき 1 ワード転送ごとにシリアルクロックに一定時間のウェイトをかけることができます。ウェイト時間は、SIO2CR2<WAIT> で 4 種類の中から選択することができます。

シリアルインタフェース制御レジスタ 1

SIO2CR1 (0FB4H)	7	6	5	4	3	2	1	0		
	SIOS		SIOINH		SIOM			SCK		(初期値: 0000 0000)

SIOS	転送の開始 / 終了指示	0: 終了 1: 開始								
SIOINH	転送の強制停止	0: 転送継続 1: 強制停止 (停止後、自動的にクリア)								
SIOM	転送モードの選択	000: 8 ビット送信モード 010: 4 ビット送信モード 100: 8 ビット送受信モード 101: 8 ビット受信モード 110: 4 ビット受信モード 上記以外: Reserved								Write only
SCK	シリアルクロックの選択	NORMAL1/2, IDLE1/2 モード				SLOW1/2 SLEEP1/2 モード	Write only			
		DV7CK = 0		DV7CK = 1						
		DV1CK = 0	DV1CK = 1	DV1CK = 1	DV1CK = 1					
		000	fc/2 ¹⁵	fc/2 ¹⁶	fs/2 ⁷	fs/2 ⁷		fs/2 ⁷		
		001	fc/2 ⁸	fc/2 ⁹	fc/2 ⁸	fc/2 ⁹		—		
		010	fc/2 ⁷	fc/2 ⁸	fc/2 ⁷	fc/2 ⁸		—		
011	fc/2 ⁶	fc/2 ⁷	fc/2 ⁶	fc/2 ⁷	—					
100	fc/2 ⁵	fc/2 ⁶	fc/2 ⁵	fc/2 ⁶	—					
101	fc/2 ⁴	fc/2 ⁵	fc/2 ⁴	fc/2 ⁵	—					
110	Reserved									
111	外部クロック (SCK2 端子から入力)									

注 1) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz]

注 2) 転送モード、シリアルクロックの設定時は、SIOS = "0"、SIOINH = "1" にしてください。

注 3) SIO2CR1 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令は使用できません。

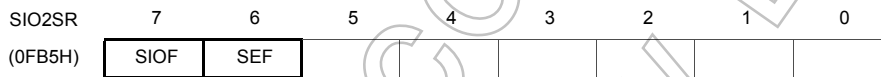
シリアルインタフェース制御レジスタ 2

SIO2CR2 (0FB5H)	7	6	5	4	3	2	1	0	
				WAIT			BUF		(初期値: ***0 0000)

WAIT	ウェイト制御	8ビット送受信 / 受信モード以外は常に“00”にしてください。 00: $T_f = T_D$ (ノンウェイト) 01: $T_f = 2T_D$ (ウェイト) 10: $T_f = 4T_D$ (ウェイト) 11: $T_f = 8T_D$ (ウェイト)	Write only
BUF	転送ワード数の設定 (使用するバッファのアドレス)	000: 1ワード転送 0F98H 001: 2ワード転送 0F98H ~ 0F99H 010: 3ワード転送 0F98H ~ 0F9AH 011: 4ワード転送 0F98H ~ 0F9BH 100: 5ワード転送 0F98H ~ 0F9CH 101: 6ワード転送 0F98H ~ 0F9DH 110: 7ワード転送 0F98H ~ 0F9EH 111: 8ワード転送 0F98H ~ 0F9FH	

- 注 1) 4ビット転送のときは、各バッファの下位4ビットに格納します / されます。受信時上位4ビットには“0”が格納されず。
- 注 2) 送信データはバッファの若いアドレスの方から送信されます。また、受信データは若いアドレスの方から格納されます (最初に転送されるのは0F98H番地です)。
- 注 3) 転送終了後も BUF の設定値は保存されています。
- 注 4) SIO2CR2 の設定は、シリアルインタフェース停止状態 (SIOF = 0)で行ってください。
- 注 5) *: Don't care
- 注 6) SIO2CR2 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令は使用できません。

シリアルインタフェースステータスレジスタ



SIOF	シリアル転送動作状態モニタ	0: 転送終了 1: 転送中	Read only
SEF	シフト動作状態モニタ	0: シフト動作終了 1: シフト動作中	

- 注 1) T_f : フレーム時間 (1ワードのデータ転送時間), T_D : データ転送時間
- 注 2) SIOF は、SIOS を“0”にクリアした後、転送が終了した時点または SIOINH を“1”にセットした時点で“0”にクリアされます。

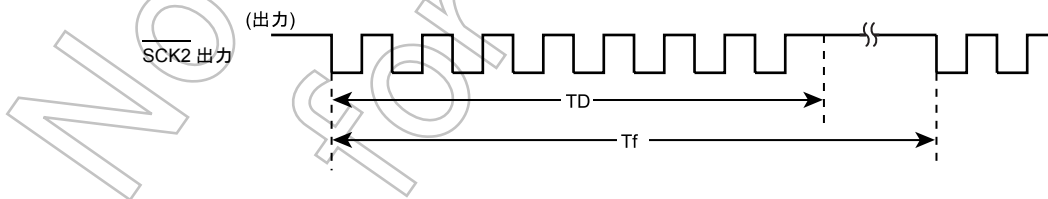


図 16-2 フレーム時間 (T_f) とデータ転送時間 (T_D)

16.3 シリアルクロック

16.3.1 クロックソース

クロックソースは SIO2CR1<SCK> により、内部クロックまたは外部クロックを選択することができます。

16.3.1.1 内部クロック

シリアルインタフェースは、内部クロックソースとして 6 種類の周波数が選択でき、シリアルクロックは SCK2 端子より外部に出力されます。なお、転送開始時 SCK2 端子出力は“H”レベルになります。

プログラムでデータの書き込み (送信時) またはデータの読み取り (受信時) がこのシリアルクロックレートに追従できないときには、自動的にシリアルクロックを停止し、それらの処理が終了するまで次のシフト動作を待機させる自動ウェイト機能を有しています。

表 16-1 シリアルクロックレート

SCK	NORMAL1/2, IDLE1/2 モード								SLOW1/2, SLEEP1/2 モード	
	DV7CK = 0				DV7CK = 1					
	DV1CK = 0		DV1CK = 1		DV1CK = 0		DV1CK = 1			
クロック	ボーレート	クロック	ボーレート	クロック	ボーレート	クロック	ボーレート	クロック	ボーレート	
000	$fc/2^{15}$	0.48 Kbps	$fc/2^{16}$	0.24 Kbps	$fs/2^7$	256 bps	$fs/2^7$	256 bps	$fs/2^7$	256 bps
001	$fc/2^8$	61.04 Kbps	$fc/2^9$	30.52 Kbps	$fc/2^8$	61.04 Kbps	$fc/2^9$	30.52 Kbps	—	—
010	$fc/2^7$	122.07 Kbps	$fc/2^8$	61.04 Kbps	$fc/2^7$	122.07 Kbps	$fc/2^8$	61.04 Kbps	—	—
011	$fc/2^6$	244.14 Kbps	$fc/2^7$	122.07 Kbps	$fc/2^6$	244.14 Kbps	$fc/2^7$	122.07 Kbps	—	—
100	$fc/2^5$	488.28 Kbps	$fc/2^6$	244.14 Kbps	$fc/2^5$	488.28 Kbps	$fc/2^6$	244.14 Kbps	—	—
101	$fc/2^4$	976.56 Kbps	$fc/2^5$	488.28 Kbps	$fc/2^4$	976.56 Kbps	$fc/2^5$	488.28 Kbps	—	—
110	—	—	—	—	—	—	—	—	—	—
111	外部	外部	外部	外部	外部	外部	外部	外部	外部	外部

注) 1 Kbit = 1024 bit (fc = 16 MHz, fs = 32.768 kHz)

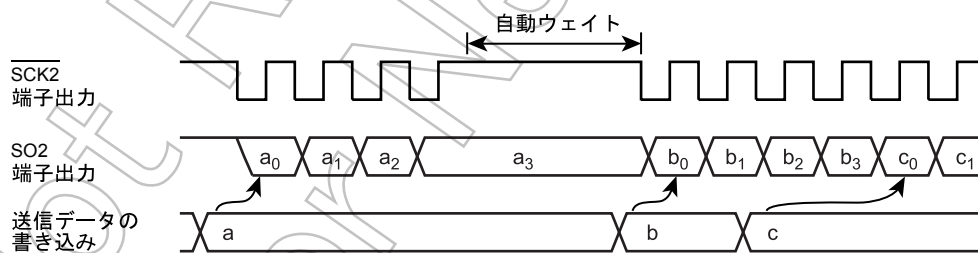


図 16-3 自動ウェイト機能 (4 ビット送信モードの場合)

16.3.1.2 外部クロック

外部から SCK2 端子に供給されるクロックをシリアルクロックとして用います。この場合、ポートの出力ラッチは“1”にセットしてください。なお、シフト動作が確実に実行されるためには、シリアルクロックの“H”レベル, “L”レベルともに 4 マシンサイクル以上のパルス幅が必要です。従って、最大転送速度は 488.3K bit/s (fc = 16 MHz 時) です。

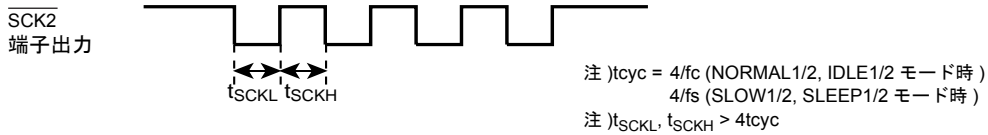


図 16-4 外部クロックのパルス幅

16.3.2 シフトエッジ

送信は前縁シフト, 受信は後縁シフトになります。

16.3.2.1 前縁シフト

シリアルクロックの前縁 (SCK2 端子入出力の立ち上がりエッジ) でデータをシフトします。

16.3.2.2 後縁シフト

シリアルクロックの後縁 (SCK2 端子入出力の立ち上がりエッジ) でデータをシフトします。

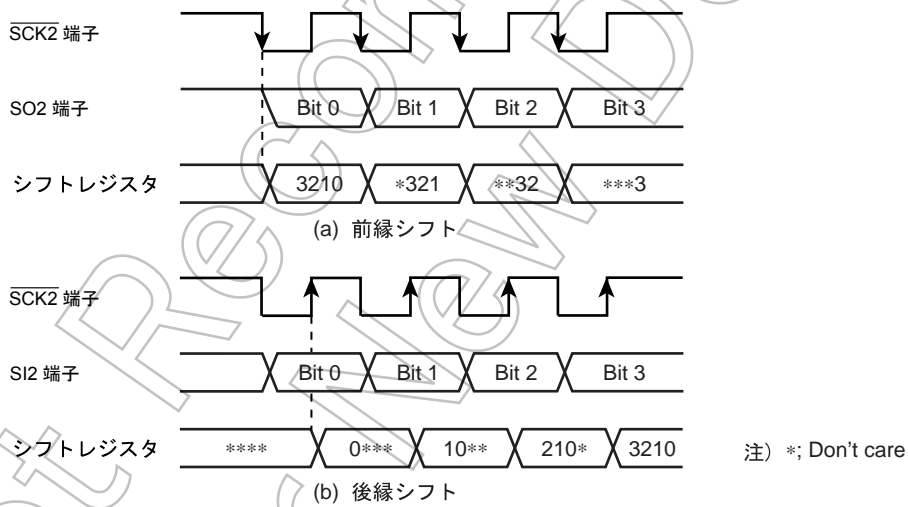


図 16-5 シフトエッジ

16.4 転送ビット数

4 ビットシリアル転送 または 8 ビットシリアル転送が選択できます。4 ビットシリアル転送の場合、送受信データバッファは下位 4 ビットのみ使用し、上位 4 ビットは受信時“0”になります。

なお、データは最下位ビット (LSB) から順次シリアル転送されます。

16.5 転送ワード数

4 ビットデータ (4 ビットシリアル転送時)/8 ビットデータ (8 ビットシリアル転送時) を 1 ワードとして最大 8 ワードまで連続して転送することができます。転送ワード数は、SIO2CR2<BUF> で設定します。

指定されたワード数の転送終了時点で、INTSIO2 割り込み要求が発生します。途中で転送ワード数を変更する場合は、シリアルインタフェースを停止してから行ってください。ただし、内部クロック動作の場合は自動ウェイト動作中に転送ワード数の変更ができますので、停止させる必要はありません。

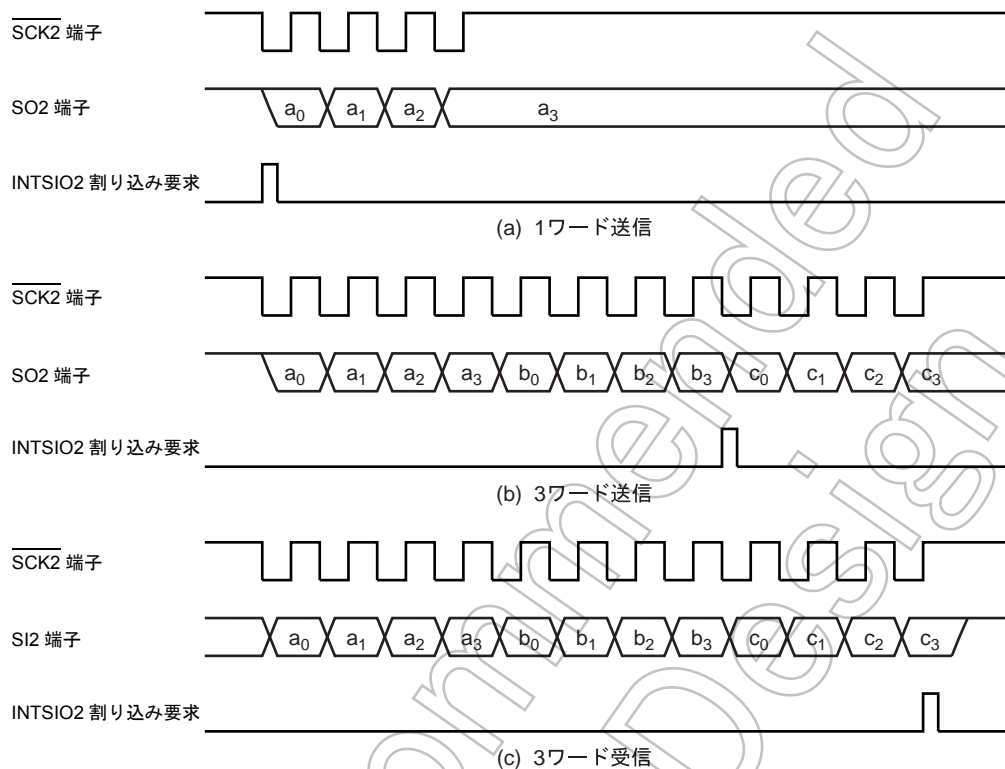


図 16-6 転送ワード数 (例: 1ワード = 4ビット)

16.6 転送モード

転送モードは SIO2CR1<SIOM> によって、送信/受信/送受信モードを選択することができます。

16.6.1 4ビット送信モード, 8ビット送信モード

制御レジスタに送信モードをセットした後、最初の転送ワード数分の送信データをデータバッファレジスタ (DBR) に書き込みます。

送信データの書き込み後、SIO2CR1<SIOS> を“1”にセットすることにより送信が開始されます。送信データは、シリアルクロックに同期して最下位ビット (LSB) 側から逐次 SO2 端子に出力されます。LSB のデータを出力した時点で、送信データは、1ワードずつバッファレジスタからシフトレジスタへ転送されます。最後の送信データが転送されると、バッファレジスタが空になりますので、次の送信データを要求する INTSIO2 (バッファエンプティ) 割り込み要求が発生します。

内部クロック動作の場合、SIO2CR2<BUF> で指定されたワード数のデータをすべて送信したあと、次のデータがセットされていないとシリアルクロックを停止して自動ウェイト動作を行います。ただし、次の送信データを1ワードでも書き込むと自動ウェイト動作は解除されますので、2ワード以上送信する場合は前の1ワードの送信が終わるまでに次のワードのデータを書き込んでください。

注) 送信データバッファに使用していない DBR への書き込みによっても自動ウェイト動作は解除されますので、不使用の DBR を他の用途に使用しないでください。例えば、3ワード送信の場合、余った5ワードの DBR は使用しないでください。

外部クロック動作の場合、次のデータのシフト動作に入る前に、バッファレジスタに送信データが書き込まれている必要があります。従って、転送速度は、割り込み要求の発生から割り込みサービスプログラムにて、バッファレジスタにデータを書き込むまでの最大遅れ時間により決まります。

送信を終了させるには、バッファエンプティ割り込みサービスプログラムで SIO2CR1<SIOS> を“0”にクリアするか SIO2CR1<SIOINH> を“1”にセットします。SIO2CR1<SIOS> がクリアされると、転送中のワードの全ビットが出力された時点で終了します。プログラムで送信の終了を確認するには、SIO2SR<SIOF> をセンスします。SIO2SR<SIOF> は送信の終了で“0”になります。SIO2CR1<SIOINH> をセットした場合は、直ちに送信を打ち切り、SIO2SR<SIOF> は“0”になります。

外部クロック動作では、次の送信データのシフト動作に入る前に SIO2CR1<SIOS> を“0”クリアする必要があります。もしシフトアウトする前に SIO2CR1<SIOS> がクリアされなかった場合は、ダミーのデータの送信後、停止します。転送ワード数を変更する必要がある場合は、SIO2CR1<SIOS> を“0”にクリアし、SIO2SR<SIOF> が“0”なったことを確認後 SIO2CR2<BUF> を書き替えてください。

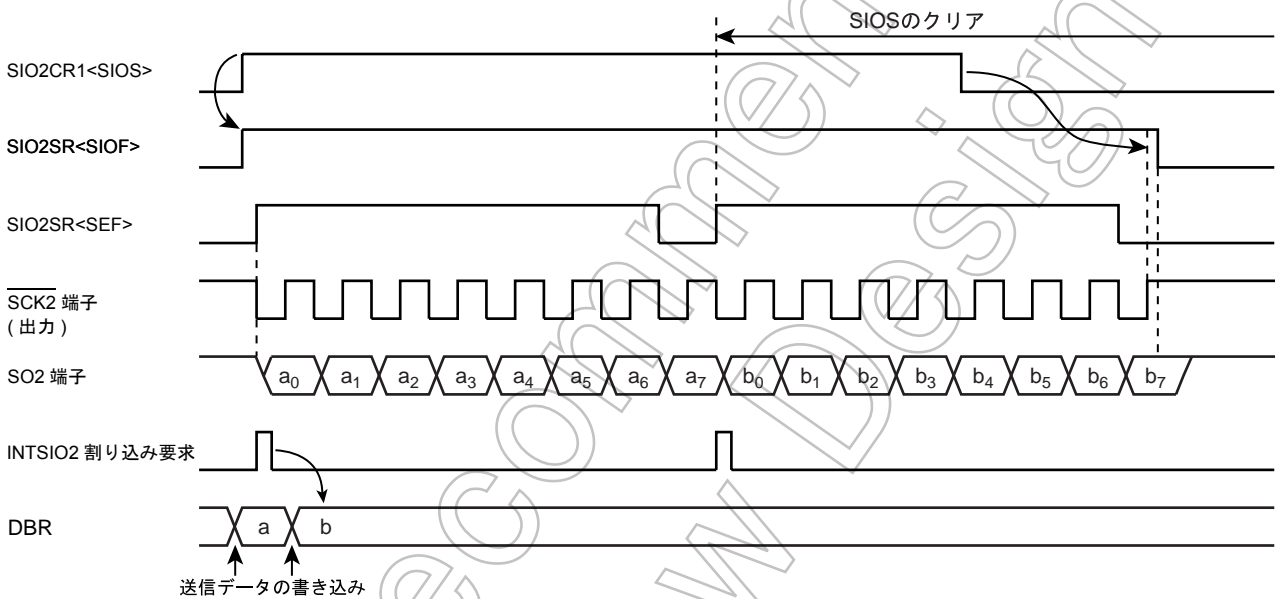


図 16-7 送信モード (例: 8ビット, 1ワード転送、内部クロック)

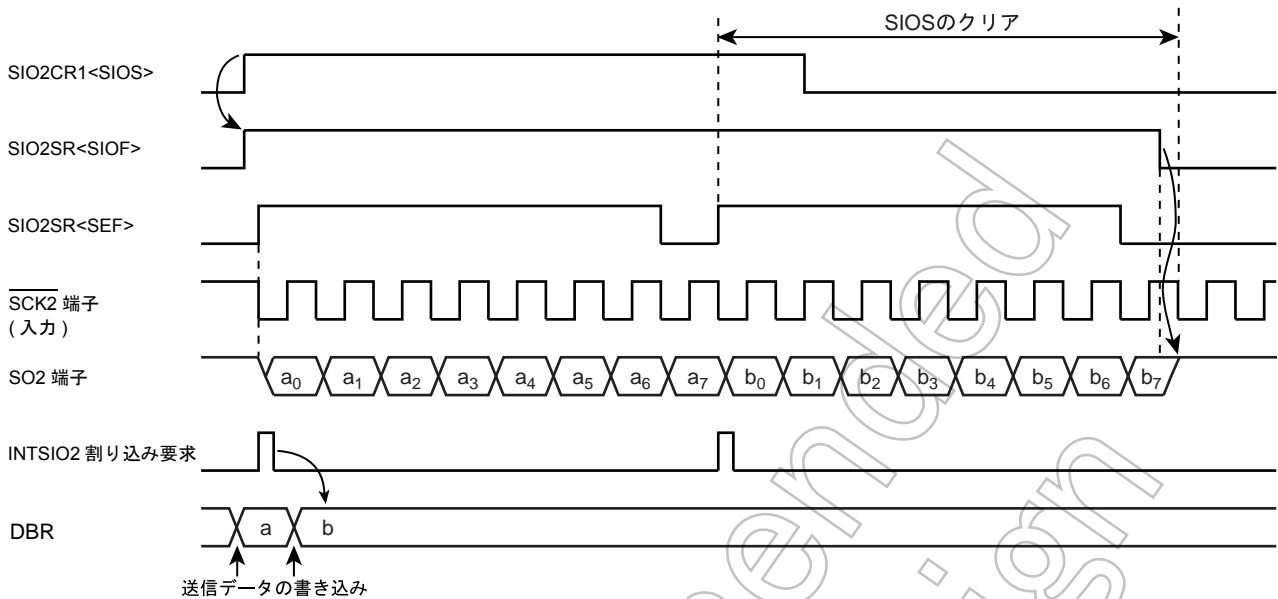


図 16-8 送信モード (例: 8 ビット, 1ワード転送、外部クロック)

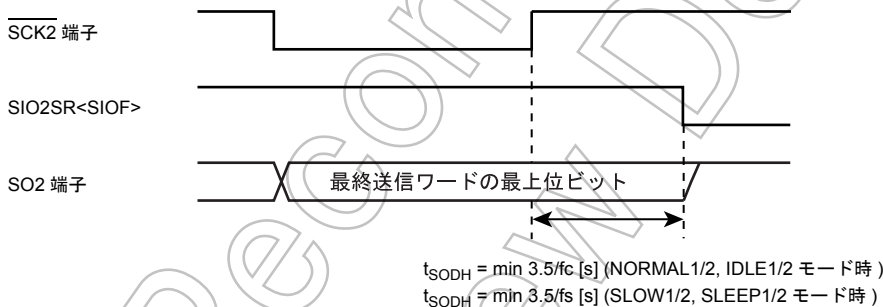


図 16-9 送信終了時の送信データ保持時間

16.6.2 4 ビット受信モード, 8 ビット受信モード

制御レジスタに受信モードをセットした後、SIO2CR1<SIOS> を“1”にセットすることにより受信可能となります。シリアルクロックに同期して、SI2 端子より最下位ビット側から順次シフトレジスタへデータを取り込みます。1ワードのデータが取り込まれるとシフトレジスタからデータバッファレジスタ (DBR) に受信データが書き込まれます。SIO2CR2<BUF> で指定されたワード数の受信が終了すると受信データの読み取りを要求する INTSIO2 (バッファフル) 割り込み要求が発生します。受信データは、割り込みサービスプログラムにてデータバッファレジスタから読み取ります。

内部クロック動作の場合、受信データがデータバッファレジスタから読み取られるまでシリアルクロックを停止する自動ウェイト動作を行います。1ワードでも読み取っている場合は自動ウェイト動作は行われません。

注) 受信データバッファに使用していない DBR の読み出しによっても自動ウェイト動作は解除されますので、SIO2 で不使用の DBR を他の用途に使用しないでください。

外部クロック動作の場合は、シフト動作が外部から供給されるクロックに同期しますので、次のシリアルクロックが入力される前に受信データを読み取ります。もし、受信データが読み取られない場合、それ以降に入力される受信データはキャンセルされます。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データの読み取りまでの最大遅れ時間により決まります。

受信を終了させるにはバッファフル割り込みサービスプログラムで SIO2CR1<SIOS> を“0”にクリアするか SIO2CR1<SIOINH> を“1”にセットします。SIO2CR1<SIOS>が“0”にクリアされると、転送中のワードの全ビットが揃いデータバッファレジスタへの書き込みが完了した時点で受信が終了します。プログラムで受信の終了を確認するには、SIO2SR<SIOF> をセンスします。SIO2SR<SIOF> は受信の終了で“0”になります。受信終了の確認のあと最終受信データを読み取ります。

SIO2CR1<SIOINH> をセットした場合は、直ちに受信を打ち切り、SIO2SR<SIOF> は“0”になります(受信データは無効になりますので、読み取る必要はありません)。転送ワード数を変更する必要がある場合、外部クロック動作のときは SIO2CR1<SIOS> を“0”にクリアし SIO2SR<SIOF> が“0”になったことを確認後 SIO2CR2<BUF> を書き替えてください。内部クロック動作のときは自動ウェイト動作に入りますので、受信データを読み取る前に SIO2CR2<BUF> を書き替えてください。

注) 転送モードを変更した場合、データバッファレジスタの内容は保持されません。従って転送モードの変更は、受信終了指示 (SIO2CR1<SIOS> を“0”にクリア) を行い、最終受信データを読み取った後で行ってください。

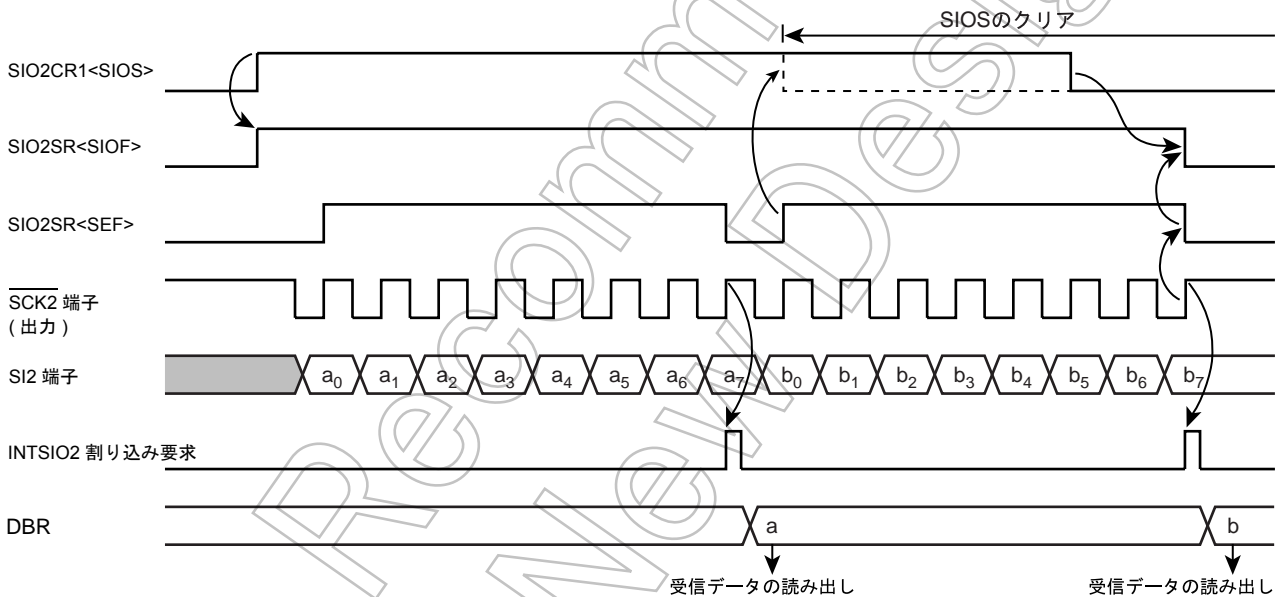


図 16-10 受信モード (例: 8 ビット, 1 ワード転送, 内部クロック)

16.6.3 8 ビット送受信モード

制御レジスタに送受信モードをセットした後、最初の転送ワード数分の送信データをデータバッファレジスタ (DBR) に書き込みます。その後、SIO2CR1<SIOS> に“1”をセットすることにより送受信可能となります。最下位ビットから順次、シリアルクロックの前縁で送信データは SO2 端子から出力され、後縁で受信データが SI2 端子から取り込まれます。8 ビットのデータが取り込まれると、シフトレジスタからデータバッファレジスタへ受信データが転送されます。SIO2CR2<BUF> で指定されたワード数の送受信が終了すると、INTSIO2 割り込み要求が発生します。割り込みサービスプログラムにて受信データをデータバッファレジスタから読み取り、そのあと送信データを書き込みます。データバッファレジスタは、送信、受信にて兼用していますので、送信データは、必ず全受信データを読み取ってから書き込むようにしてください。

内部クロック動作の場合、受信データを読み取り、次の送信データを書き込むまで自動ウェイト動作を行います。1 ワードでも送信データを書き込んでいる場合は自動ウェイト動作は行われません。

外部クロック動作の場合は、シフト動作が外部から供給されるシリアルクロックに同期しますので、次のシフト動作に入る前に受信データを読み取り、次の送信データを書き込む必要があります。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データを読み取り、送信データを書き込むまでの最大遅れ時間により決まります。

送受信を終了させるには、INTSIO2 割り込みサービスプログラムで SIO2CR1<SIOS> を“0”にクリアするか SIO2CR1<SIOINH> を“1”にセットします。SIO2CR1<SIOS> がクリアされると、転送中のワードの全ビットが揃い、データバッファレジスタへの転送が完了した時点で送受信が終了します。プログラムで送受信の終了を確認するには、SIO2SR<SIOF> をセンスします。SIO2SR<SIOF> は送受信の終了で“0”になります。SIO2CR1<SIOINH> をセットした場合は、直ちに送受信を打ち切り、SIOF は“0”になります。

転送ワード数を変更する場合、外部クロック動作のときは、SIO2CR1<SIOS> を“0”にクリアし SIO2SR<SIOF> が“0”になったことを確認後、SIO2CR2<BUF> を書き替えてください。内部クロック動作のときは、自動ウェイト動作に入りますので、送受信データのリード / ライトの前に書き替えてください。

注) 転送モードを変更した場合、データバッファレジスタの内容は保持されません。従って転送モードの変更は、受信終了指示 (SIOS を“0”にクリア) を行い、最終受信データを読み取った後で行ってください。

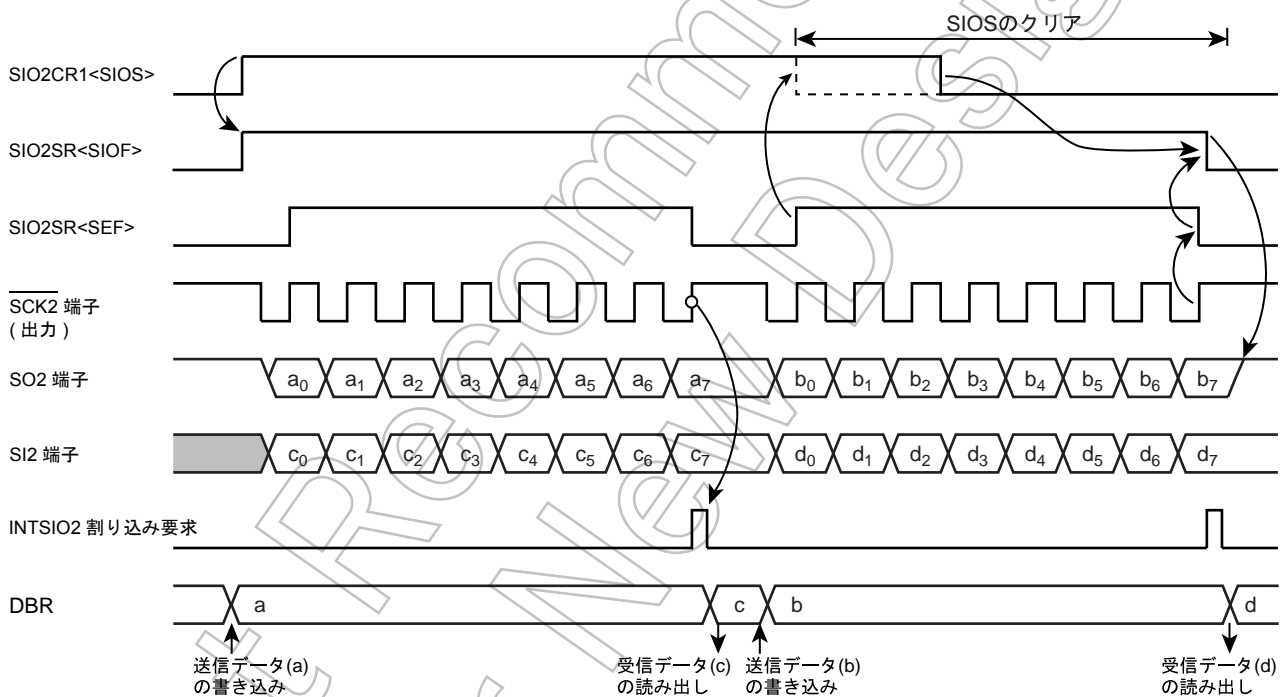


図 16-11 送受信モード (例: 8 ビット, 1 ワード, 内部クロック)

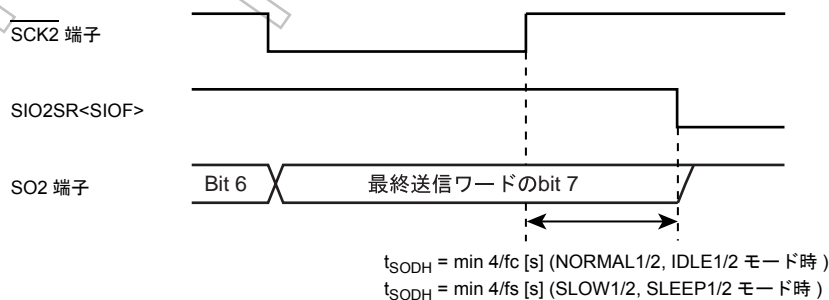


図 16-12 送受信終了時の送信データ保持時間

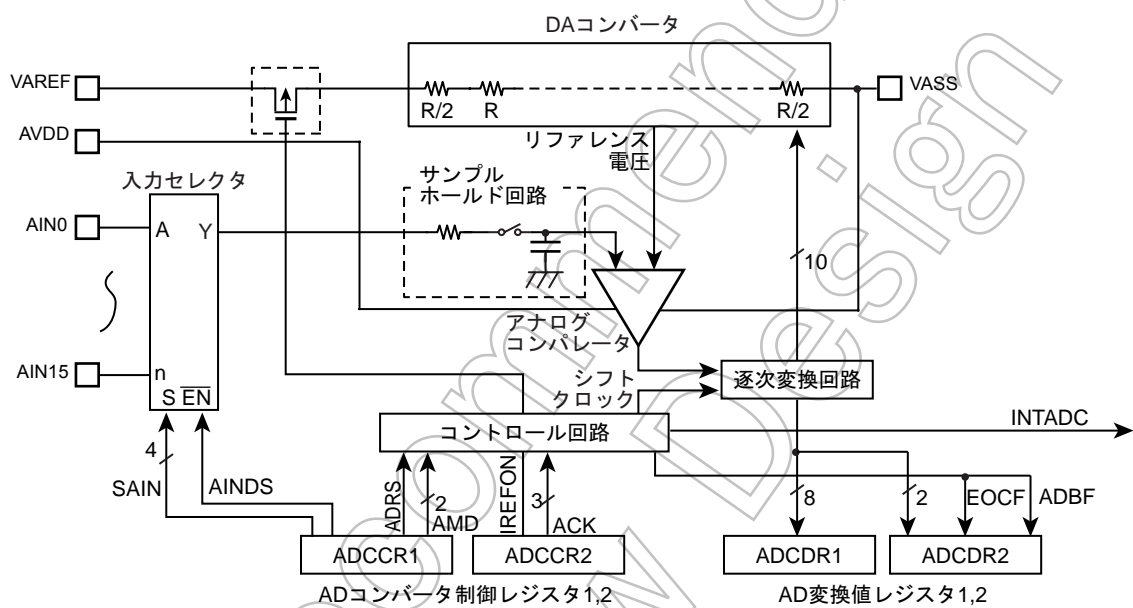
第 17 章 10 ビット AD コンバータ (ADC)

TMP86CS64AFG は、10 ビット分解能の逐次比較方式 AD コンバータを内蔵しています。

17.1 構成

10 ビット AD コンバータの回路構成を図 17-1 に示します。

制御レジスタ ADCCR1, ADCCR2, 変換値レジスタ ADCDR1, ADCDR2 と DA コンバータ、サンプルホールド回路、コンパレータ、逐次比較回路などで構成されています。



注) AD コンバータを使用する前に、アナログ入力と兼用の I/O ポートレジスタを適切な値に設定してください。詳しくは、I/O ポートの項を参照してください。

図 17-1 10 ビット AD コンバータ

17.2 制御

AD コンバータは、次の 4 つのレジスタで構成されています。

1. AD コンバータ制御レジスタ 1 (ADCCR1)

AD 変換を行うアナログチャネルの選択および動作モードの選択と AD コンバータの開始を制御するレジスタです。

2. AD コンバータ制御レジスタ 2 (ADCCR2)

AD 変換時間の選択と、DA コンバータ (ラダー抵抗) の接続を制御するレジスタです。

3. AD 変換値レジスタ 1 (ADCDR1)

AD コンバータによって変換されたデジタル値を格納するレジスタです。

4. AD 変換値レジスタ 2 (ADCDR2)

AD コンバータの動作状態をモニタするレジスタです。

AD コンバータ制御レジスタ 1

ADCCR1 (000EH)	7	6	5	4	3	2	1	0	
	ADRS	AMD		AINDS	SAIN				(初期値: 0001 0000)

ADRS	AD 変換開始	0: — 1: AD 変換開始	R/W
AMD	AD 動作モード	00: AD 動作ディセーブル 01: ソフトウェアスタートモード 10: Reserved 11: リピートモード	
AINDS	アナログ入力制御	0: アナログ入力ディセーブル 1: アナログ入力ディセーブル	
SAIN	アナログ入力チャネル選択	0000: AIN0 0001: AIN1 0010: AIN2 0011: AIN3 0100: AIN4 0101: AIN5 0110: AIN6 0111: AIN7 1000: AIN8 1001: AIN9 1010: AIN10 1011: AIN11 1100: AIN12 1101: AIN13 1110: AIN14 1111: AIN15	

- 注 1) アナログ入力チャネルの選択は AD 変換停止状態 (ADCDR2<ADBF> = "0")で行ってください。
- 注 2) アナログ入力チャネルをすべてディセーブルにする場合は、AINDS を "1" に設定してください。
- 注 3) アナログ入力はポートと兼用になっていますが、精度を保つ意味で AD 変換中はポート出力命令を実行しないでください。また、アナログ入力と近接するポートには AD 変換中、変化の激しい信号を入力しないようにしてください。
- 注 4) ADRS は、AD 変換開始後、自動的に "0" にクリアされます。
- 注 5) AD 変換中に ADRS の再設定は行わないでください。ADRS の再設定は、ADCDR2<EOCF>にて変換が終了したことを確認後、あるいは割り込み信号 (INTADC) 発生後 (割り込み処理ルーチンなど)に行ってください。
- 注 6) STOP または SLOW / SLEEP モードを起動すると、AD コンバータ制御レジスタ 1 (ADCCR1) はすべて初期化されるとともに書き込みができなくなります。再び AD コンバータを使用する場合は、NORMAL1 または NORMAL2 モードへ復帰後、ADCCR1 を再設定してください。

AD コンバータ制御レジスタ 2

ADCCR2 (000FH)	7	6	5	4	3	2	1	0	
			IREFON	"1"		ACK		"0"	(初期値:**0* 000*)

IREFON	DA コンバータ (ラダー抵抗) の接続時間	0: AD 変換中のみ接続 1: 常時接続	R/W
ACK	AD 変換時間選択 (変換時間例は下記表をご参照ください)	000: 39/fc 001: Reserved 010: 78/fc 011: 156/fc 100: 312/fc 101: 624/fc 110: 1248/fc 111: Reserved	

- 注 1) ADCCR2 のビット 4 には "1"、ビット 0 には "0" を必ず書き込んでください。
- 注 2) ADCCR2 に対しリード命令を実行すると、ビット 7,6 は不定値が読み込まれます。
- 注 3) STOP または SLOW/SLEEP モードを起動すると、AD コンバータ制御レジスタ 2 (ADCCR2) はすべて初期化されるとともに書き込みができなくなります。再び AD コンバータを使用する場合は、NORMAL1 または NORMAL2 モードへ復帰後、ADCCR2 を再設定してください。

表 17-1 ACK 設定と周波数別の変換時間 (CGCR<DV1CK>="0" のとき)

条件	変換時間	16MHz	8MHz	4 MHz	2 MHz	10 MHz	5 MHz	2.5 MHz
ACK 000	39/fc	—	—	—	19.5 μs	—	—	15.6 μs
001	Reserved							
010	78/fc	—	—	19.5 μs	39.0 μs	—	15.6 μs	31.2 μs
011	156/fc	—	19.5 μs	39.0 μs	78.0 μs	15.6 μs	31.2 μs	62.4 μs
100	312/fc	19.5 μs	39.0 μs	78.0 μs	156.0 μs	31.2 μs	62.4 μs	124.8 μs
101	624/fc	39.0 μs	78.0 μs	156.0 μs	—	62.4 μs	124.8 μs	—
110	1248/fc	78.0 μs	156.0 μs	—	—	124.8 μs	—	—
111	Reserved							

表 17-2 ACK 設定と周波数別の変換時間 (CGCR<DV1CK>="1" のとき)

条件	変換時間	16MHz	8MHz	4 MHz	2 MHz	10 MHz	5 MHz	2.5 MHz
ACK 000	39/fc	—	—	—	19.5 μs	—	—	15.6 μs
001	Reserved							
010	156/fc	—	19.5 μs	39.0 μs	78.0 μs	15.6 μs	31.2 μs	62.4 μs
011	312/fc	19.5 μs	39.0 μs	78.0 μs	156.0 μs	31.2 μs	62.4 μs	124.8 μs
100	624/fc	39.0 μs	78.0 μs	156.0 μs	—	62.4 μs	124.8 μs	—
101	1248/fc	78.0 μs	156.0 μs	—	—	124.8 μs	—	—
110	2096/fc	156.0 μs	—	—	—	—	—	—
111	Reserved							

- 注 1) 上記表内 "—" 部分の設定は行わないでください。fc: 高周波発振周波数
- 注 2) 変換時間は、アナログ基準電圧 (VAREF) によって以下の時間以上を確保するように設定してください。
 - VAREF = 4.5 ~ 5.5 V 時 15.6 μs 以上
 - VAREF = 2.7 ~ 5.5 V 時 31.2 μs 以上

AD 変換値レジスタ 1

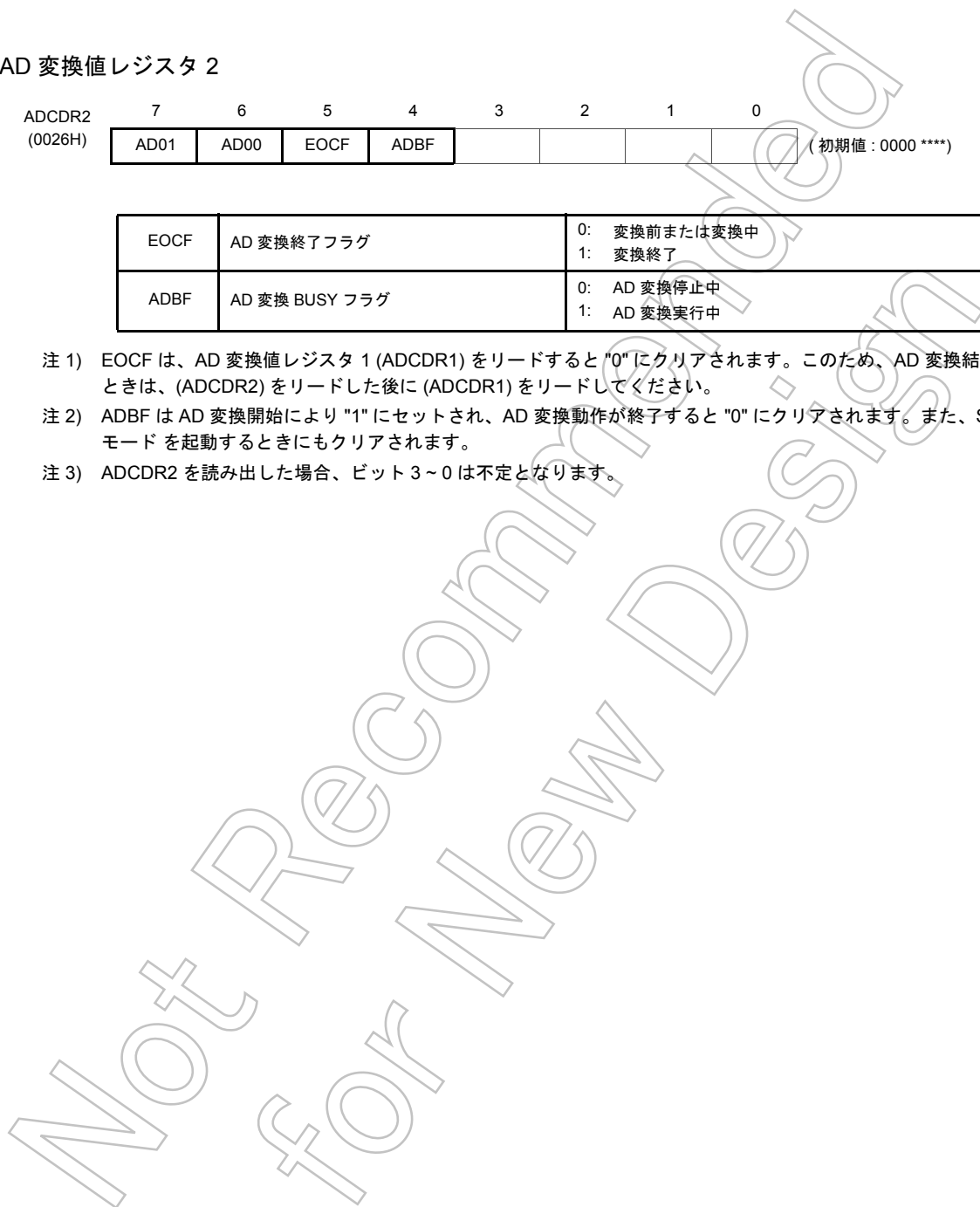
ADCDR1 (0027H)	7	6	5	4	3	2	1	0	
	AD09	AD08	AD07	AD06	AD05	AD04	AD03	AD02	(初期値 : 0000 0000)

AD 変換値レジスタ 2

ADCDR2 (0026H)	7	6	5	4	3	2	1	0	
	AD01	AD00	EOCF	ADBF					(初期値 : 0000 ****)

EOCF	AD 変換終了フラグ	0: 変換前または変換中 1: 変換終了	Read only
ADBF	AD 変換 BUSY フラグ	0: AD 変換停止中 1: AD 変換実行中	

- 注 1) EOCF は、AD 変換値レジスタ 1 (ADCDR1) をリードすると "0" にクリアされます。このため、AD 変換結果を読み出すときは、(ADCDR2) をリードした後に (ADCDR1) をリードしてください。
- 注 2) ADBF は AD 変換開始により "1" にセットされ、AD 変換動作が終了すると "0" にクリアされます。また、STOP, SLOW モードを起動するときにもクリアされます。
- 注 3) ADCDR2 を読み出した場合、ビット 3~0 は不定となります。



17.3 機能

17.3.1 ソフトウェアスタートモード

ADCCR1<AMD> を“01” (ソフトウェアスタートモード) に設定後、ADCCR1<ADRS> を“1” に設定することにより ADCCR1<SAIN> で指定されたアナログ入力端子の電圧の AD 変換を開始します。

AD 変換終了後、変換結果を AD 変換値レジスタ (ADCDR1,2) に格納し、ADCDR2<EOCF> に“1” をセットするとともに AD 変換終了割り込み (INTADC) を発生します。

ADCCR1<ADRS> は AD 変換を開始後、自動的にクリアされます。AD 変換中に ADCCR1<ADRS> の再設定 (再スタート) は行わないでください。ADCCR1<ADRS> の再設定は ADCDR2<EOCF> にて変換が終了したことを確認後、あるいは割り込み信号 (INTADC) の発生後 (割り込み処理ルーチンなど) に行ってください。

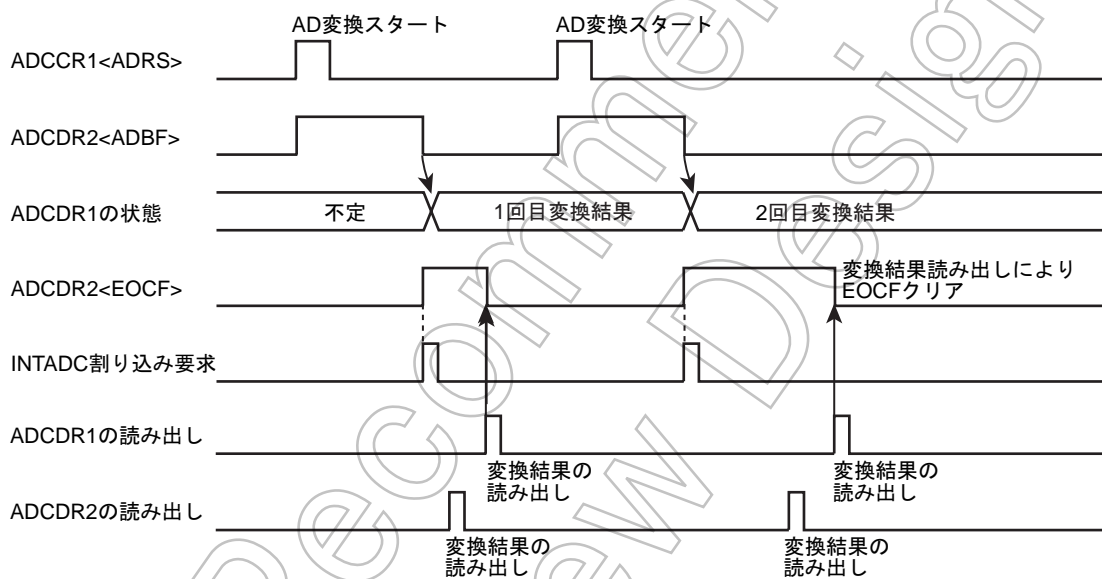


図 17-2 ソフトウェアスタートモード

17.3.2 リピートモード

ADCCR1<SAIN> で指定されたアナログ入力端子電圧の AD 変換を繰り返し行います。

ADCCR1<AMD> を“11” (リピートモード) に設定後、ADCCR1<ADRS> を“1” に設定することにより AD 変換を開始します。

AD 変換終了後、変換結果を AD 変換値レジスタ (ADCDR1,2) に格納し、ADCDR2<EOCF> に“1” をセットするとともに AD 変換終了割り込み (INTADC) を発生します。

リピートモードでは、1 回の AD 変換が終了すると直ちに次の AD 変換を開始します。AD 変換を停止するには、ADCCR1<AMD> に“00” (ディセーブルモード) を書き込んでください。AD 変換動作は即時に停止します。このときの変換値は、AD 変換値レジスタには格納されません。

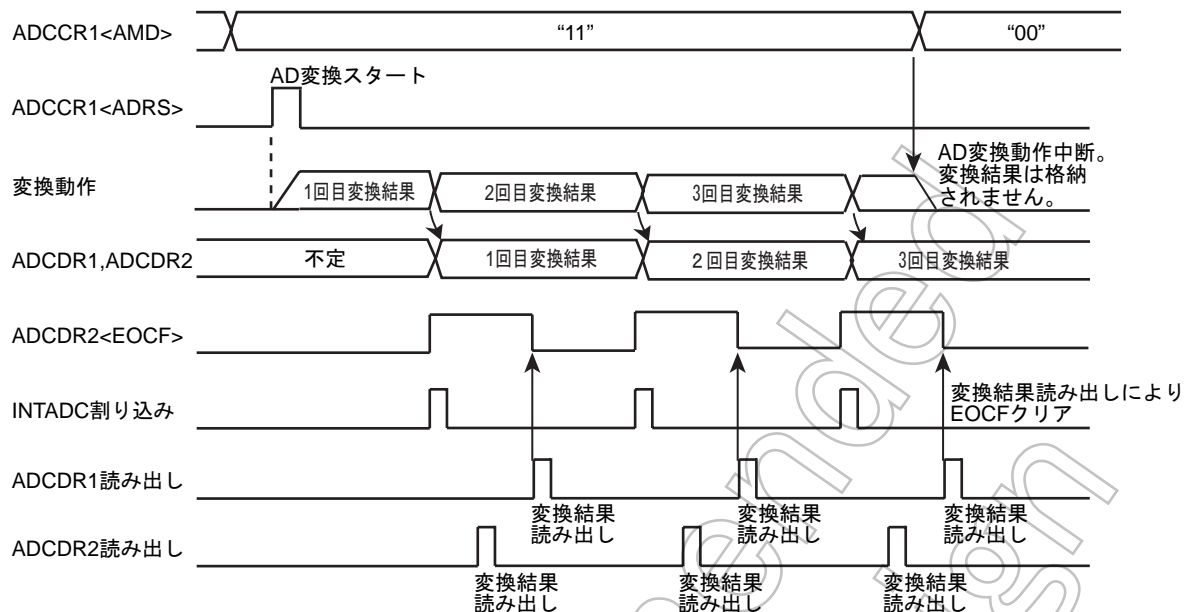


図 17-3 リピートモード

17.3.3 レジスタの設定

- AD コンバータ制御レジスタ 1 (ADCCR1) を以下のように設定してください。
 - AD 入力チャンネル選択 (SAIN) により AD 変換するチャンネルを選択してください。
 - アナログ入力制御 (AINDS) をアナログ入力イネーブルに指定してください。
 - AD コンバータ制御の動作モード (ソフトウェア、リピートモード) を (AMD) にて指定してください。
- AD コンバータ制御レジスタ 2 (ADCCR2) を以下のように設定してください。
 - AD 変換時間 (ACK) により AD 変換時間を設定してください。変換時間の設定については、AD コンバータ制御レジスタ 2 及び表 17-1、表 17-2 をご参照ください。
 - DA コンバータの制御 (IREFON) を選択してください。
- 上記 1. と 2. を設定後、AD コンバータ制御レジスタ 1 (ADCCR1) の AD 変換開始 (ADRS) に "1" を設定すると、ソフトウェアスタートの場合、直ちに AD 変換を開始します。
- AD 変換が完了すると、AD 変換値レジスタ 2 (ADCCR2) の AD 変換終了フラグ (EOCF) が "1" にセットされ、AD 変換結果が AD 変換値レジスタ 1 (ADCCR1)、AD 変換値レジスタ 2 (ADCCR2) に格納されます。また、このとき INTADC 割り込み要求が発生します。
- AD 変換値レジスタ 1 (ADCCR1) から変換結果を読み出すと EOCF は "0" にクリアされます。ただし、AD 変換値レジスタ 1 (ADCCR1) を読み出す前に再変換を行った場合は、EOCF は "0" にクリアされますが、変換結果は次の変換終了まで前回の結果を保持します。

(プログラム例) 変換時間 19.5 μ s @ 16 MHz およびアナログ入力チャネル AIN3 端子を選択後、AD 変換を 1 回行います。EOCF を確認して変換値を読み出し、RAM の 009FH 番地に上位 8 ビット、009EH 番地に下位 2 ビットのデータを格納します。動作モードは、ソフトウェアスタートモードです。

```

; (ポートの設定)
;
;
;
LD      (ADCCR1), 00100011B      ; AIN3 を選択
LD      (ADCCR2), 11011000B      ; 変換時間 (312/fc), 動作モードを選択

SLOOP: SET      (ADCCR1). 7        ; ADRS = 1 (AD 変換開始)
        TEST     (ADCCR2). 5        ; EOCF = 1 ?
        JRS      T, SLOOP

LD      A, (ADCCR2)              ; 変換結果の読み出し
LD      (9EH), A
LD      A, (ADCCR1)              ; 変換結果の読み出し
LD      (9FH), A

```

17.4 AD 変換時の STOP/SLOW モード

AD 変換中に強制的に STOP または SLOW モードを起動すると AD 変換は中断され、AD コンバータは初期化されます (ADCCR1, ADCCR2 は初期値に初期化されます)。また、変換結果は不定となります (前回までの変換結果もクリアされますので、変換結果は STOP または SLOW モードを起動する前に読み出してください)。また STOP または SLOW モードから復帰した際は、AD 変換は自動的に再開しませんので、必要に応じて再度 AD 変換を開始してください。なお、アナログ基準電源は自動的にカットされるため、アナログ基準電源への電流の流れ込みはありません。

17.5 入力電圧と変換結果

アナログ入力電圧と AD 変換された 10 ビットデジタル値とは図 17-4 のように対応します。

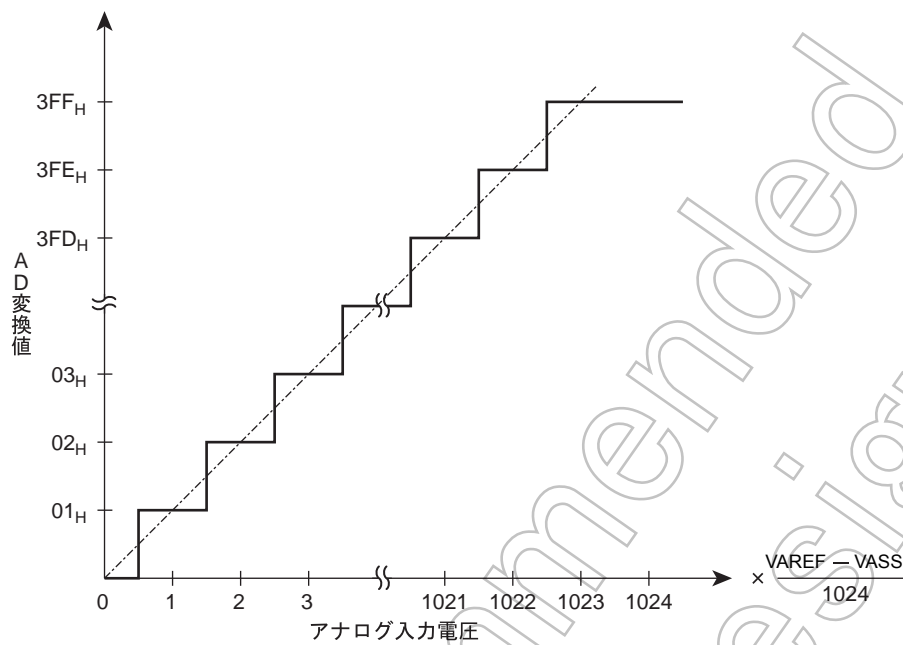


図 17-4 アナログ入力電圧と AD 変換値 (typ.) の関係

17.6 AD コンバータの注意事項

17.6.1 アナログ入力端子電圧範囲

アナログ入力端子 (AIN0 ~ AIN15) は、VAREF ~ VASS 間でご使用ください。この範囲外の電圧が入力されるとその入力端子の変換値が不定となります。また他のアナログ入力端子の変換値にも影響を与えます。

17.6.2 アナログ入力兼用端子

アナログ入力端子 (AIN0 ~ AIN15) は、入出力ポートと兼用になっています。アナログ入力のいずれかを使用して AD 変換を実行する場合、それ以外のポートの入出力命令は実行しないでください。AD 変換精度が低下する場合があります。またアナログ入力兼用端子以外でも、隣接する端子への入出力によるノイズにより影響を受ける場合がありますので、注意が必要です。

17.6.3 ノイズ対策

アナログ入力端子の内部等価回路は、図 17-5 のようになっています。アナログ入力源の出力インピーダンスが高いほどノイズなどの影響を受けやすくなりますので、信号源の出力インピーダンスは $5\text{ k}\Omega$ 以下になるように設計してください。また、コンデンサの外付けを推奨いたします。

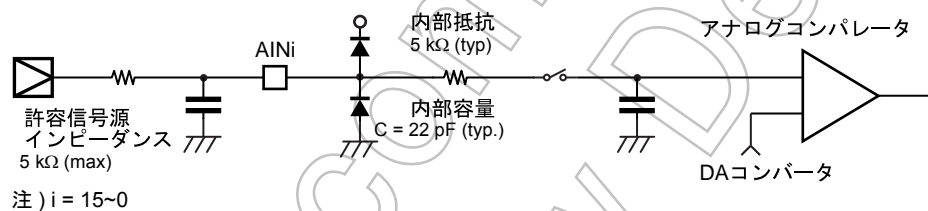


図 17-5 アナログ入力等価回路と入力端子処理例

Not Recommended
for New Design

第 18 章 キーオンウェイクアップ (KWU)

TMP86CS64AFG は、P20($\overline{\text{INT5}}/\overline{\text{STOP}}$) 端子以外に STOP2～STOP5 の 4 つの端子でも STOP モードの解除が可能です。

STOP2～STOP5 の入力で STOP モードを解除する場合、 $\overline{\text{STOP}}$ 端子の論理に注意が必要です。詳細については、後述の “18.2 制御” を参照してください。

18.1 構成

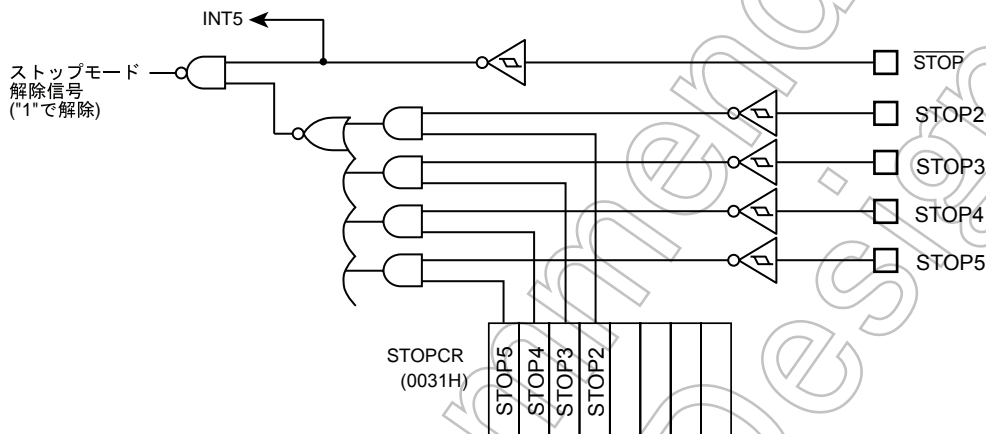
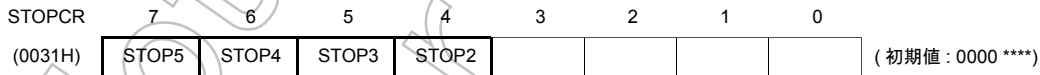


図 18-1 キーオンウェイクアップ回路

18.2 制御

STOP2～STOP5 端子は、キーオンウェイクアップ制御レジスタ (STOPCR) によって、端子ごとに STOP モードの解除端子を許可/禁止することができます。STOP モードの解除入力に使用する端子はあらかじめ I/O ポートのレジスタにより入力端子状態に設定してください。

キーオンウェイクアップ制御レジスタ



STOP5	STOP5 端子による STOP モード解除	0: 禁止 1: 許可	Write only
STOP4	STOP4 端子による STOP モード解除	0: 禁止 1: 許可	Write only
STOP3	STOP3 端子による STOP モード解除	0: 禁止 1: 許可	Write only
STOP2	STOP2 端子による STOP モード解除	0: 禁止 1: 許可	Write only

18.3 機能

STOP モードの起動はシステムレジスタ 1 (SYSCR1) にて行い、解除は STOP モード解除が許可されている STOP2～STOP5 端子のいずれかの端子を “L” レベルにすることにより解除できます (注 1)。

また、STOP2 ~ STOP5 端子の状態は、兼用する I/O ポートのレジスタを読み出すことにより確認できますので、STOP モードを起動する前に STOPCR によって許可された端子のレベルが“H”レベルになっていることを確認してください(注 2,3)。

- 注 1) STOP モードの解除をエッジ解除モード (SYSCR1<RELM>="0") で行う場合、キーオンウェイクアップ制御レジスタ (STOPCR) によって STOP2 ~ STOP5 入力をすべて禁止にするか、入力が許可されている STOP2 ~ STOP5 端子を STOP モード中 "H" レベルに固定してください。
- 注 2) レベル解除の場合、 $\overline{\text{STOP}}$ 端子および STOP2 ~ STOP5 端子のいずれかが解除のレベルであると STOP モードに入らず、直ちに解除シーケンスに移ります。
- 注 3) キーオンウェイクアップ入力とポート入力は入力回路が別系統となりますので、入力電圧のしきい値がそれぞれ異なります。従って STOP モード起動前にポート入力によって確認した値は、キーオンウェイクアップ入力の検出レベルと異なる場合があります。(図 18-2)
- 注 4) $\overline{\text{STOP}}$ 端子は、入力を禁止する機能がありませんので、STOP2 ~ STOP5 入力によって STOP モードを解除する場合も、 $\overline{\text{STOP}}$ 端子を STOP モード解除用の端子として機能します。
- 注 5) キーオンウェイクアップ制御レジスタ (STOPCR) によって入力が許可されているキーオンウェイクアップ端子は、貫通電流が流れますのでアナログ電圧を印加しないでください。
- 注 6) STOP2 ~ STOP5 入力によって STOP モードを解除する ("L" レベル) 場合は、STOP モード中 $\overline{\text{STOP}}$ 端子を必ず "L" レベルに固定してください。(図 18-3)

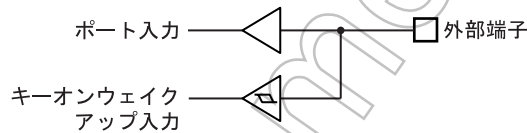


図 18-2 キーオンウェイクアップ入力とポート入力



図 18-3 STOP 端子と STOP2 ~ STOP5 端子の優先順位

表 18-1 STOP モードの解除レベル (エッジ)

端子名	解除レベル (エッジ)	
	SYSCR1<RELM>="1" (注 2)	SYSCR1<RELM>="0"
$\overline{\text{STOP}}$	"H" レベル	立ち上がりエッジ
STOP2	"L" レベル	使用禁止 (注 1)
STOP3	"L" レベル	使用禁止 (注 1)
STOP4	"L" レベル	使用禁止 (注 1)
STOP5	"L" レベル	使用禁止 (注 1)

第 19 章 端子の入出力回路

19.1 制御端子

TMP86CS64AFG の制御端子の入出力回路を示します。

制御端子	入出力	回路	備考
XIN XOUT	入力 出力		高周波発振子接続端子 $R_f = 1.2 \text{ M}\Omega$ (typ.) $R_o = 1.5 \text{ k}\Omega$ (typ.)
XTIN XTOUT	入力 出力		低周波発振子接続端子 $R_f = 6 \text{ M}\Omega$ (typ.) $R_o = 220 \text{ k}\Omega$ (typ.)
$\overline{\text{RESET}}$	入力		ヒステリシス入力 プルアップ抵抗内蔵 $R_{IN} = 220 \text{ k}\Omega$ (typ.) $R = 1 \text{ k}\Omega$ (typ.)
TEST	入力		プルダウン抵抗内蔵 $R_{IN} = 70 \text{ k}\Omega$ (typ.) $R = 1 \text{ k}\Omega$ (typ.)

19.2 入出力ポート

ポート	入出力	入出力回路およびコード	備考
P0	入出力	<p>初期値 "ハイインピーダンス"</p> <p>データ出力</p> <p>ディセーブル</p> <p>端子入力</p>	<p>トライステート入出力</p> <p>$R = 100 \Omega$ (typ.)</p>
P1 P3 P5 P8 P9	入出力	<p>初期値 "ハイインピーダンス"</p> <p>データ出力</p> <p>ディセーブル</p> <p>端子入力</p>	<p>トライステート入出力</p> <p>ヒステリシス入力</p> <p>Nch 大電流出力 (P5, P9 ポートのみ)</p> <p>$R = 100 \Omega$ (typ.)</p>
P6 P7	入出力	<p>初期値 "ハイインピーダンス"</p> <p>データ出力</p> <p>ディセーブル</p> <p>端子入力</p>	<p>トライステート入出力</p> <p>プログラマブルプルアップ</p> <p>$R_{IN} = 80 \text{ k}\Omega$ (typ.)</p> <p>$R = 100 \Omega$ (typ.)</p>
PA PB	入出力	<p>初期値 "ハイインピーダンス"</p> <p>データ出力</p> <p>ディセーブル</p> <p>端子入力</p>	<p>トライステート入出力</p> <p>ヒステリシス入力</p> <p>プログラマブルプルアップ</p> <p>$R_{IN} = 80 \text{ k}\Omega$ (typ.)</p> <p>$R = 100 \Omega$ (typ.)</p>
P2	入出力	<p>初期値 "ハイインピーダンス"</p> <p>データ出力</p> <p>端子入力</p>	<p>シンクオープンドレイン出力</p> <p>ヒステリシス入力</p> <p>$R = 100 \Omega$ (typ.)</p>
P4	入出力	<p>初期値 "ハイインピーダンス"</p> <p>P-ch コントロール</p> <p>データ出力</p> <p>データ入力</p> <p>ハイインピーダンス制御</p> <p>端子入力</p>	<p>シンクオープンドレイン出力</p> <p>または</p> <p>トライステート入出力</p> <p>ヒステリシス入力</p> <p>$R = 100 \Omega$ (typ.)</p>

第 20 章 電気的特性

20.1 絶対最大定格

絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

(VSS = 0 V)

項 目	記号	端 子	規 格	単 位
電源電圧	V_{DD}		-0.3 ~ 6.5	V
入力電圧	V_{IN}		-0.3 ~ $V_{DD} + 0.3$	V
出力電圧	V_{OUT}		-0.3 ~ $V_{DD} + 0.3$	V
出力電流 (1 端子当り)	I_{OUTH}	オーブンドレインを除く	-3.2	mA
	I_{OUT1}	P5, P9 ポートを除く	3.2	
	I_{OUT2}	P5, P9 ポート	30	
出力電流 (全端子総計)	ΣI_{OUT1}	P5, P9 ポートを除く	60	mA
	ΣI_{OUT2}	P5, P9 ポート	80	
消費電力 [Topr = 85 °C]	P_D		250	mW
はんだ付け温度 (時間)	T_{sld}		260 (10 s)	°C
保存温度	T_{stg}		-55 ~ 125	
動作温度	T_{opr}		-40 ~ 85	

20.2 推奨動作条件

推奨動作条件とは、製品が一定の品質を保って正常に動作するために推奨する使用条件です。推奨動作条件（電源電圧、動作温度範囲、AC/DC 規定値）から外れる動作条件で使用した場合、誤動作が生じる恐れがあります。従ってご使用の条件に対して、必ず推奨動作条件の範囲を超えないように、応用機器の設計を行ってください。

($V_{SS} = 0\text{ V}$, $T_{opr} = -40\sim 85^{\circ}\text{C}$)

項目	記号	端子	条件	Min	Max	単位
電源電圧	V_{DD}		$f_c = 16\text{ MHz}$ NORMAL1, 2 モード IDLE0, 1, 2 モード	4.5	5.5	V
			$f_c = 8\text{ MHz}$ NORMAL1, 2 モード IDLE0, 1, 2 モード	2.7		
			$f_c = 32.768\text{ kHz}$ SLOW1, 2 モード SLEEPO, 1, 2 モード			
			STOP モード	2.0		
高レベル入力電圧	V_{IH1}	ヒステリシス入力を除く	$V_{DD} \geq 4.5\text{ V}$	$V_{DD} \times 0.70$	V_{DD}	V
	V_{IH2}	ヒステリシス入力		$V_{DD} \times 0.75$		
	V_{IH3}			$V_{DD} < 4.5\text{ V}$ $V_{DD} \times 0.90$		
低レベル入力電圧	V_{IL1}	ヒステリシス入力を除く	$V_{DD} \geq 4.5\text{ V}$	0	$V_{DD} \times 0.30$	V
	V_{IL2}	ヒステリシス入力			$V_{DD} \times 0.25$	
	V_{IL3}				$V_{DD} < 4.5\text{ V}$ $V_{DD} \times 0.10$	
クロック周波数	f_c	XIN, XOUT	$V_{DD} = 2.7\sim 5.5\text{ V}$	1.0	8.0	MHz
			$V_{DD} = 4.5\sim 5.5\text{ V}$		16.0	
	f_s	XTIN, XTOUT		30.0	34.0	kHz

Not Recommended for New

20.3 DC 特性

(V_{SS} = 0 V, Topr = -40 ~ 85 °C)

項目	記号	端子	条件	Min	Typ.	Max	単位
ヒステリシス電圧	V _{HS}	ヒステリシス入力		—	0.9	—	V
入力電流	I _{IN1}	TEST	V _{DD} = 5.5 V, V _{IN} = 5.5 V/0 V	—	—	±2	μA
	I _{IN2}	シンクオープンドレイン, トライステートポート					
	I _{IN3}	RESET, STOP					
入力抵抗	R _{IN1}	TEST プルダウン	V _{DD} = 5.5 V, V _{IN} = 5.5 V	—	70	—	kΩ
	R _{IN2}	RESET プルアップ	V _{DD} = 5.5 V, V _{IN} = 0 V	100	220	450	
	R _{IN3}	プログラマブルプルアップ (P6, P7, PA, PB ポート)	V _{DD} = 5.5 V	40	80	200	
発振帰還抵抗	R _{fx}	XIN-XOUT		—	1.2	—	MΩ
	R _{fxT}	XTIN-XTOUT		—	6	—	
出力リーク電流	I _{LO1}	シンクオープンドレイン	V _{DD} = 5.5 V, V _{OUT} = 5.5 V	—	—	2	μA
	I _{LO2}	トライステートポート	V _{DD} = 5.5 V, V _{OUT} = 5.5 V/0 V	—	—	±2	
高レベル出力電圧	V _{OH}	トライステートポート	V _{DD} = 4.5 V, I _{OH} = -0.7 mA	4.1	—	—	V
低レベル出力電圧	V _{OL}	XOUT, P5, P9 ポートを除く	V _{DD} = 4.5 V, I _{OL} = 1.6 mA	—	—	0.4	
低レベル出力電流	I _{OL}	大電流 (P5, P9 ポート)	V _{DD} = 4.5 V, V _{OL} = 1.0 V	—	20	—	mA
NORMAL1, 2 モード時電源電流	I _{DD}		V _{DD} = 5.5 V V _{IN} = 5.3 V/0.2 V f _c = 16 MHz f _s = 32.768 kHz	—	7.0	8.0	mA
IDLE0,1, 2 モード時電源電流				—	4.0	5.0	
SLOW1 モード時 電源電流			V _{DD} = 3.0 V V _{IN} = 2.8 V/0.2 V f _s = 32.768 kHz	—	10	20	μA
SLEEP1 モード時 電源電流				—	6	12	
SLEEPO モード時 電源電流				—	6	12	
STOP モード時 電源電流				V _{DD} = 5.5 V V _{IN} = 5.3 V/0.2 V	—	0.5	

注 1) Typ. 値は、条件に指定なき場合 Topr = 25 °C, V_{DD} = 5.0 V 時の値を示します。

注 2) 入力電流 I_{IN1}, I_{IN3}: プルアップまたはプルダウン抵抗による電流を除きます。

注 3) I_{DD} は、I_{REF} を含みません。

注 4) SLOW2, SLEEP2 モードの各電源電流は、IDLE0, IDLE1, IDLE.2 モードと同等です。

20.4 AD 変換特性

($V_{SS} = 0.0 \text{ V}$, $4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $T_{opr} = -40 \sim 85 \text{ }^\circ\text{C}$)

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電源電圧	V_{AREF}		$A_{VDD} - 1.0$	—	A_{VDD}	V
アナログ制御回路電源電圧	A_{VDD}		V_{DD}			
	A_{VSS}		V_{SS}			
アナログ基準電源電圧範囲 (注 4)	ΔV_{AREF}		3.5	—	V_{DD}	
アナログ入力電圧範囲	V_{AIN}		V_{SS}	—	V_{AREF}	
アナログ基準電圧電源電流	I_{REF}	$V_{DD} = A_{VDD} = V_{AREF} = 5.5 \text{ V}$ $V_{SS} = A_{VSS} = 0.0 \text{ V}$	—	0.6	1.0	mA
非直線性誤差		$V_{DD} = A_{VDD} = 5.0 \text{ V}$, $V_{SS} = A_{VSS} = 0.0 \text{ V}$ $V_{AREF} = 5.0 \text{ V}$	—	—	± 2	LSB
ゼロ誤差			—	—	± 2	
フルスケール誤差			—	—	± 2	
総合誤差			—	—	± 4	

($V_{SS} = 0 \text{ V}$, $2.7 \text{ V} \leq V_{DD} < 4.5 \text{ V}$, $T_{opr} = -40 \sim 85 \text{ }^\circ\text{C}$)

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電源電圧	V_{AREF}		$A_{VDD} - 1.0$	—	A_{VDD}	V
アナログ制御回路電源電圧	A_{VDD}		V_{DD}			
	A_{VSS}		V_{SS}			
アナログ基準電源電圧範囲 (注 4)	ΔV_{AREF}		2.5	—	V_{DD}	
アナログ入力電圧範囲	V_{AIN}		V_{SS}	—	V_{AREF}	
アナログ基準電圧電源電流	I_{REF}	$V_{DD} = A_{VDD} = V_{AREF} = 4.5 \text{ V}$ $V_{SS} = A_{VSS} = 0.0 \text{ V}$	—	0.5	0.8	mA
非直線性誤差		$V_{DD} = A_{VDD} = 2.7 \text{ V}$ $V_{SS} = A_{VSS} = 0.0 \text{ V}$ $V_{AREF} = 2.7 \text{ V}$	—	—	± 2	LSB
ゼロ誤差			—	—	± 2	
フルスケール誤差			—	—	± 2	
総合誤差			—	—	± 4	

注 1) 総合誤差は量子化誤差を除いたすべての誤差を含み、理想変換直線に対する最大の隔たりとして定義します。

注 2) 変換時間は電源電圧範囲によって推奨値が異なります。

注 3) A_{IN} 入力端子への入力電圧は $V_{AREF} \sim V_{SS}$ 範囲内でご使用ください。範囲外の電圧が入力されると、変換値が不定となり、他のチャンネルの変換値にも影響を与えます。

注 4) アナログ基準電源電圧範囲: $\Delta V_{AREF} = V_{AREF} - V_{SS}$

注 5) AD コンバータを使用しない場合、 A_{VDD} 端子と V_{AREF} 端子は V_{DD} レベルに固定してください。

20.5 AC 特性

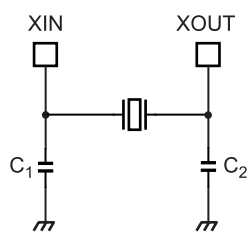
(V_{SS} = 0 V, V_{DD} = 4.5 V ~ 5.5 V, Topr = -40 ~ 85°C)

項目	記号	条件	Min	Typ.	Max	単位
マシンサイクルタイム	t _{cy}	NORMAL1, 2 モード時	0.25	—	4	μs
		IDLE0, 1, 2 モード時				
		SLOW1, 2 モード時	117.6	—	133.3	
		SLEEP0, 1, 2 モード時				
高レベルクロックパルス幅	t _{WCH}	外部クロック動作 (XIN 入力)	—	31.25	—	ns
低レベルクロックパルス幅	t _{WCL}	fc = 16 MHz 時				
高レベルクロックパルス幅	t _{WSH}	外部クロック動作 (XTIN 入力)	—	15.26	—	μs
低レベルクロックパルス幅	t _{WSL}	fs = 32.768 kHz 時				

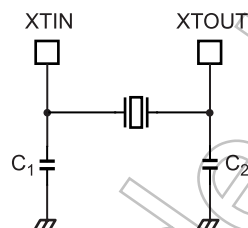
(V_{SS} = 0 V, V_{DD} = 2.7 V ~ 4.5 V, Topr = -40 ~ 85°C)

項目	記号	条件	Min	Typ.	Max	単位
マシンサイクルタイム	t _{cy}	NORMAL1, 2 モード時	0.5	—	4	μs
		IDLE0, 1, 2 モード時				
		SLOW1, 2 モード時	117.6	—	133.3	
		SLEEP0, 1, 2 モード時				
高レベルクロックパルス幅	t _{WCH}	外部クロック動作 (XIN 入力)	—	62.5	—	ns
低レベルクロックパルス幅	t _{WCL}	fc = 8 MHz 時				
高レベルクロックパルス幅	t _{WSH}	外部クロック動作 (XTIN 入力)	—	15.26	—	μs
低レベルクロックパルス幅	t _{WSL}	fs = 32.768 kHz 時				

20.6 推奨発振条件 - 1



(1) 高周波発振



(2) 低周波発振

- 注 1) 発振の安定には、発振子の位置、負荷容量等を適切にする必要があります。これらは、基板パターンにより大きな影響を受けます。よって安定した発振を得るために、ご使用される基板での評価をされるようお願いいたします。
- 注 2) ブラウン管などの高電界のかかるところで使用する場合は、正常動作を保つためにパッケージを電氣的にシールドすることを推奨します。
- 注 3) 村田製発振子は、型番・仕様の切り替えが随時行われております。
詳細につきましては、下記アドレスの同社ホームページをご参照ください。
http://www.murata.co.jp/search/index_j.html

20.7 取り扱い上のご注意

- 鉛フリー品 (G 付製品) へのはんだ濡れ性についての注意事項

試験項目

はんだ付け性

試験条件

230°C 5 秒間 1 回 R タイプフラックス使用 (鉛はんだ使用時)

245°C 5 秒間 1 回 R タイプフラックス使用 (鉛フリーはんだ使用時)

備考

フォーミングまでのはんだ付着率 95% を良品とする。

- ブラウン管などの高電界のかかる場所で使用する場合は、正常動作を保つためにパッケージを電氣的にシールドすることを推奨します。

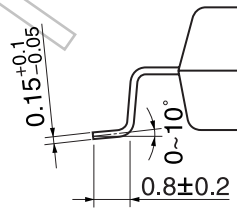
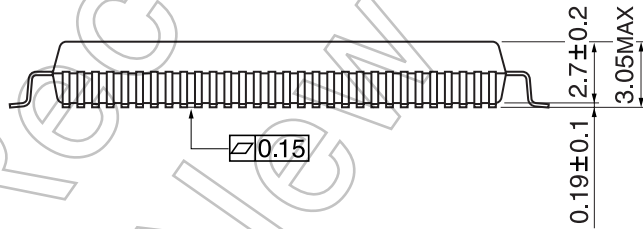
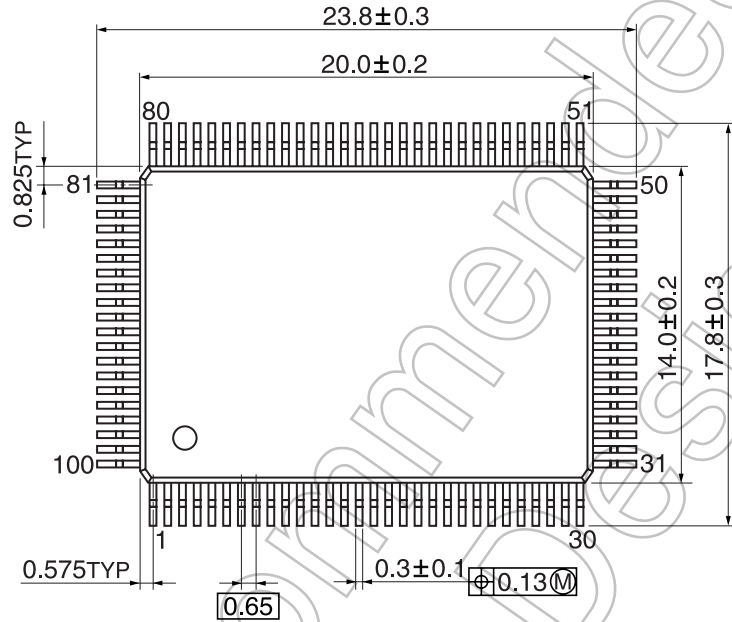
Not Recommended
for New Design

Not Recommended
for New Design

第 21 章 外形寸法

P-QFP100-1420-0.65A

Unit: mm



Not Recommended for New Design

Not Recommended
for New Design

あとがき

この資料は TMP86CS64AFG のハードウェア (LSI) を中心にした動作機能および電気的特性を説明した技術資料です。

当社ではソフトウェア開発をより効果的に行うため、多くの開発ツールおよび基本ソフトウェアを用意しております。

これらの開発ツールはマイコンハードウェア (LSI) の発展を見越した仕様になっており、長期に渡って使用することができます。またハードウェア/ソフトウェアともバージョンアップのためのアフターサービスも行っており安心してお使いいただけます。

また、昨今の CMOS LSI の製造技術の発展は目覚ましいものがありマイクロコンピュータシステム用 LSI も次々と改良が加えられております。本資料に掲載されている品種も時代とともに改良することがありますのでご使用に当たりましてはご確認の上ご採用いただきますようお願い申し上げます。

当社では優れた MOS 製造技術、特に実績のある CMOS 技術を生かし高速、高集積のパフォーマンスの高いマイクロコンピュータを開発してまいります。

また応用範囲の広がりとともに多様化しているパッケージへのご要望にも応えていく用意も行っております。

今後とも末永く東芝マイクロコンピュータをご利用いただきますようお願い申し上げます。

2006年8月30日

8ビットマイクロコントローラ

TMP86CS64AFG

発行年月日

2006年8月30日

発行

株式会社東芝セミコンダクター社

編集

東芝 LSI システムサポート株式会社
