

パワー半導体 面実装品 熱設計リーフレット

概要

本資料は、熱設計の補足資料として、アプリケーションノートよりも手軽に読める、かつできるだけ簡単に理解できるリーフレットです。モデルは簡素化し傾向を把握しやすくしました。

目次

概要	1
目次	2
0. はじめにー パワー半導体 面実装品 熱設計リーフレット作成についてー	3
0.1. パワー半導体 面実装品 熱設計リーフレット作成について.....	3
0.2. パワー半導体 面実装品 熱設計リーフレットサマリー.....	3
1. 基板サイズと熱抵抗.....	4
2. 基板層数と熱抵抗.....	5
3. 外層パターン厚と熱抵抗	6
4. 基板パターン残存率と熱抵抗 (1)	7
5. 基板パターン残存率と熱抵抗 (2)	8
6. E-pad 直下のビア数と熱抵抗.....	9
7. デバイス周辺のビア数と熱抵抗	10
8. デバイス周辺ビアの距離と熱抵抗.....	11
9. E-pad 直下ビア(内ビア)、デバイス周辺ビア(外ビア)と熱抵抗.....	12
10. デバイス間距離と熱抵抗	13
11. 熱干渉対策と熱抵抗	14
12. 放熱器(HeatSink)の有無と熱抵抗.....	15
13. 基板の向きと熱抵抗.....	16
14. モールド表面の温度分布 (1).....	17
15. モールド表面の温度分布 (2).....	18
16. 放熱器付きモデルの風速と熱抵抗.....	19
製品取り扱い上のお願い.....	20

0. はじめに – パワー半導体 面実装品 熱設計リーフレット作成について –

0.1. パワー半導体 面実装品 熱設計リーフレット作成について

車載や高出力の電子機器などで用いられるパワー半導体部品は、①小型化、②高密度実装化、③高性能化による消費電力の増加などにより温度が上昇しています。そのため、開発設計の早い段階で熱特性の振る舞いを見極めることが重要になっています。このような状況の中、熱設計に関する指標としてチップ温度低減のために、複数のアプリケーションノート ホームページに掲載しています。最近では自然対流モデル中心にシミュレーションした『ディスクリート半導体の熱設計の勘どころ 2』と実機に近い強制空冷モデルのシミュレーションデータをまとめた『ディスクリート半導体の熱設計の勘どころ 3』を掲載しました。閲覧者の方からは、熱設計の参考資料として『必要な情報だけ』、『すばやく』、『簡単に』確認できるものの要求が増えてきました。

そこで今回、熱設計資料の補足資料として、アプリケーションノートよりも手軽に読める、かつできるだけ簡単に理解できるリーフレットを作成いたしました。モデルは簡素化し、熱に対する特性の傾向のみを把握しやすくしました。デバイスモデルは先のアプリケーションノートで使用した簡易モデルを用い、基板は、パターン厚 35 μ m で厚さ 1.6mm の 4 層基板を標準モデルとしております。解析内容については、ディスクリート半導体の熱設計の勘どころ 2、3 を参考として Q&A 風にまとめました。

アプリケーションノート同様、このリーフレットも熱の挙動をつかむための参考資料になればと思います。

0.2. パワー半導体 面実装品 熱設計リーフレットサマリー

本シミュレーション結果のサマリーを下記表にまとめました。下記表により各条件における改善傾向が確認できます。

リーフレット内容	熱抵抗低減施策	熱抵抗改善度
1 基板サイズと熱抵抗	基板を大きくする	4 層 1 インチ角⇒4 層 2 インチ角 47%低減 2in 角まで効果大
2 基板層数と熱抵抗	基板層数を多くする	4 層⇒8 層 14%低減
3 外層パターン厚と熱抵抗	外層パターン厚を厚くする	35 μ m⇒105 μ m 13%低減
4 基板パターン残存率と熱抵抗(1)	パターン残存率を大きくする	20%⇒100% 45%低減
5 基板パターン残存率と熱抵抗(2)	発熱体付近のパターンを広くとる	パターン幅狭い⇒パターン幅広い 4%低減
6 E-pad 直下のビア数と熱抵抗	E-pad 直下サーマルビア数を多くする	0⇒9 個 26%低減
7 デバイス周辺のビア数と熱抵抗	デバイス周辺のサーマルビア数を多くする	0⇒10 個 15%低減
8 デバイス周辺ビアの距離と熱抵抗	デバイス周辺サーマルビアは近接配置にする	3.0mm⇒0.6mm 16%低減
9 E-pad 直下ビア(内ビア)、デバイス周辺ビア(外ビア)と熱抵抗	ビア配置は、E-pad 直下の方が熱抵抗の低減効果が大きい	外ビア 10 個⇒内ビア 9 個 9%低減
10 デバイス間距離と熱抵抗	デバイス間距離が離れているほど熱干渉が少ない	0.5mm⇒10mm 20%低減
11 熱干渉対策と熱抵抗	デバイス間にサーマルビアを配置する	デバイス間ビア無⇒有 10%低減
12 放熱器の有無と熱抵抗	放熱器は有効。サーマルビアとの組み合わせでさらに効果的	放熱器無⇒有 25%低減
13 基板の向きと熱抵抗	自然対流では、基板は立てる方が熱抵抗は下がる。	基板上向き⇒基板短辺縦向き 9%低減
14 モールド表面の温度分布(1)	(モールド表面には温度分布があるため、モニター位置には注意が必要)	—
15 モールド表面の温度分布(2)	(モールド表面に金属テープを貼ることで温度が安定)	—
16 放熱器付きモデルの風速と熱抵抗	放熱器に正しく風が当たれば、熱抵抗は大幅に低減する	風速 0 ⇒1m/s 34%低減

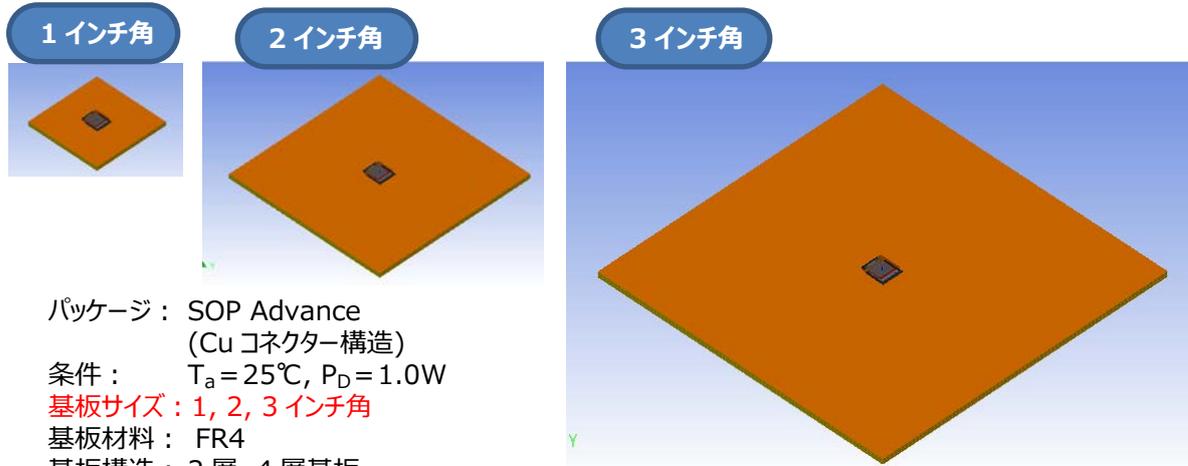
注記 1 残存率とは基板面積に占めるパターン面積の割合

注記 2 E-pad とは Exposed Pad の略でパッケージ底面の露出した金属パッド

1. 基板サイズと熱抵抗

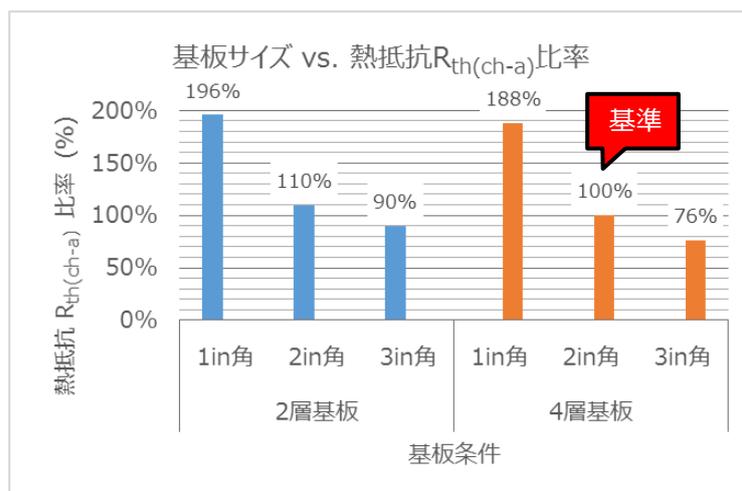
課題 基板サイズで熱抵抗はどの程度変わるのか？

条件



パッケージ： SOP Advance
(Cu コネクター構造)
条件： $T_a = 25^\circ\text{C}$, $P_D = 1.0\text{W}$
基板サイズ： 1, 2, 3 インチ角
基板材料： FR4
基板構造： 2 層, 4 層基板
厚み： 1.6mm
パターン： ベタ(35 μm) 全層

結果



構造 (層数)	サイズ (インチ角)	熱抵抗比率
2	1	196%
	2	110%
	3	90%
4	1	188%
	2	100%
	3	76%

注記 1 熱抵抗 $R_{th(ch-a)}$ 比率 = (各熱抵抗/基準モデル熱抵抗) \times 100 (%)

注記 2 2 インチ角 4 層モデルを基準モデルとした。

結果

基板面積が大きいほど熱抵抗は下がる。これは基板からの放熱の違いによる。1 インチ角 \Rightarrow 2 インチ角での熱抵抗低減効果は大きく、3 インチ角ではそれほど大きな効果はない。(4 層 1 インチ角 \Rightarrow 4 層 2 インチ角で熱抵抗低減) 基板面積での効果は 2 インチ角までが効果大。

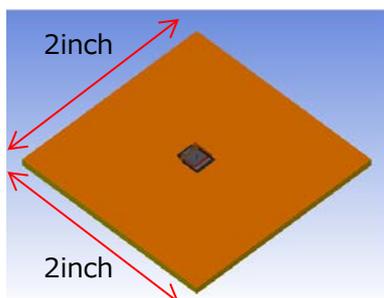
結論

熱抵抗低減には、基板は大きくするのが良く、2 インチ角まで効果大

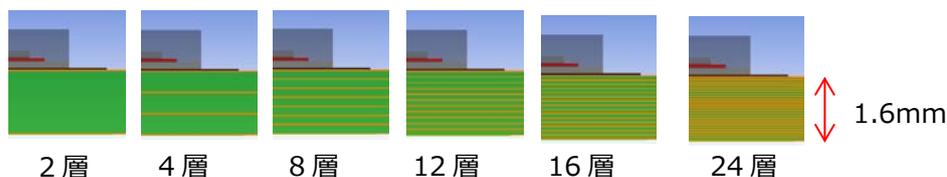
2. 基板層数と熱抵抗

課題 基板層数で熱抵抗はどの程度変わるのか？

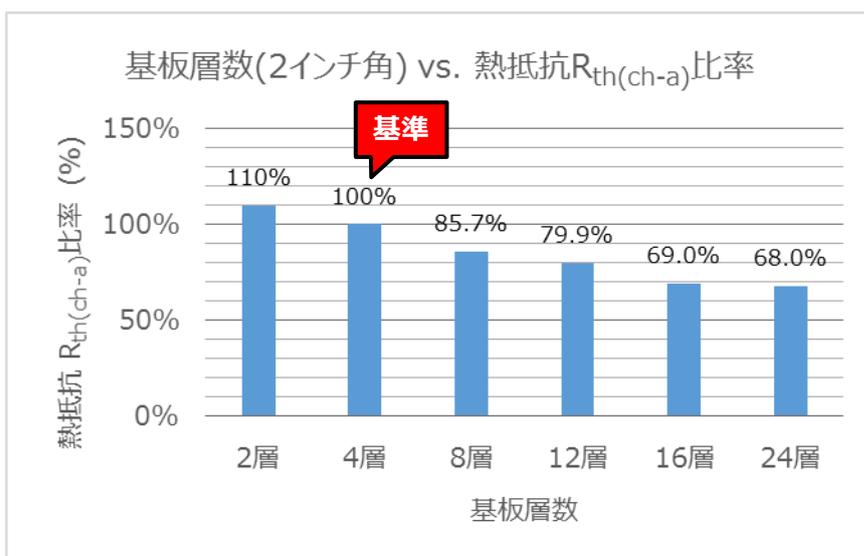
条件



パッケージ： SOP Advance
(Cu コネクター構造)
条件： $T_a = 25^\circ\text{C}$, $P_D = 1.0\text{W}$
基板材料： FR4
基板層数： 下図参照 2層～24層
基板サイズ： 2インチ角
厚み： 1.6mm
パターン： ベタ(35 μm) 全層



結果



基板層数	熱抵抗比率
2層	110%
4層	100%
8層	85.7%
12層	79.9%
16層	69.0%
24層	68.0%

注記 1 熱抵抗 $R_{th(ch-a)}$ 比率 = (各熱抵抗/基準モデル熱抵抗) $\times 100$ (%)

注記 2 2インチ角 4層モデルを基準モデルとした。

結果

基板の面積が同じである場合、基板の層数が増えるほど熱抵抗は下がる。(4層 \Rightarrow 8層 14.3%低減) これはパターン(銅)の割合が増え、基板への放熱量が増えるためである。

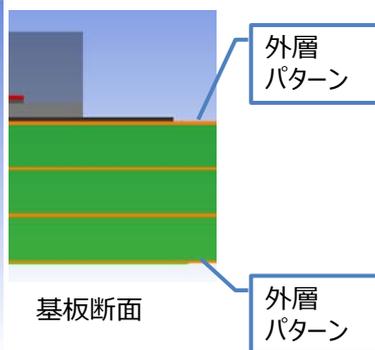
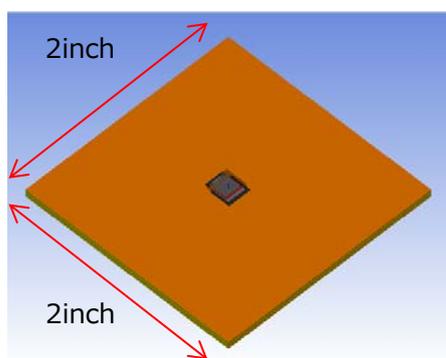
結論

基板層数が多いほど熱抵抗は低減される

3. 外層パターン厚と熱抵抗

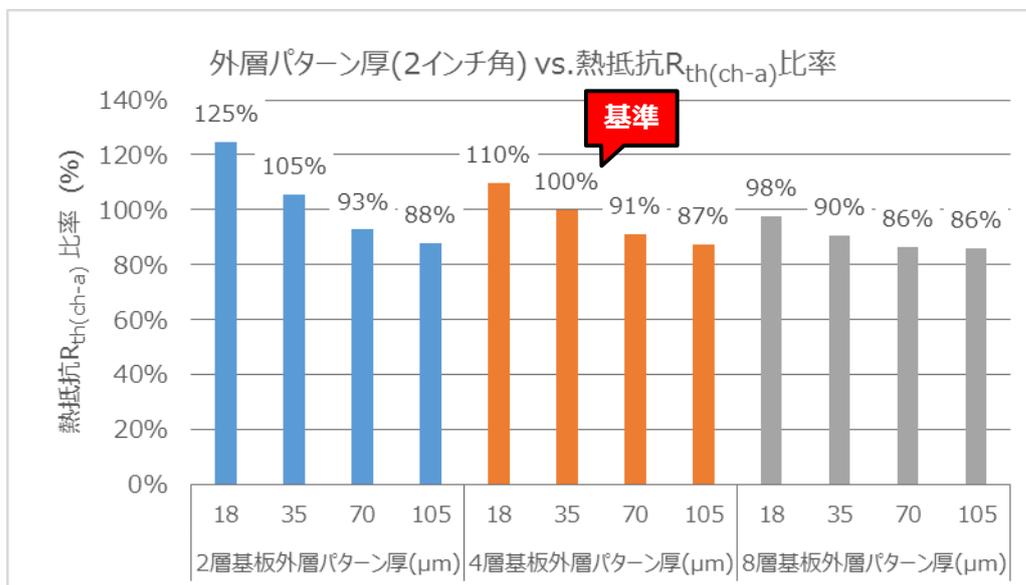
課題 外層パターン厚で熱抵抗はどの程度変わるのか？

条件



パッケージ：SOP Advance
(Cu コネクター構造)
条件： $T_a = 25^\circ\text{C}$
 $P_D = 1.0\text{W}$
基板サイズ：2 インチ角
基板層数：2, 4, 8 層基板
厚み：1.6mm
パターン：ベタ(全層)
外層厚：18~105 μm
内層厚：35 μm (内層全層)

結果



外層パターン厚	熱抵抗 $R_{th(ch-a)}$ 比率		
	2層基板	4層基板	8層基板
18 μm	125%	110%	98%
35 μm	105%	100%	90%
70 μm	93%	91%	86%
105 μm	88%	87%	86%

注記 1 熱抵抗 $R_{th(ch-a)}$ 比率 = (各熱抵抗/基準モデル熱抵抗) \times 100 (%)
注記 2 2 インチ角 4 層 35 μm モデルを基準モデルとした。

結果

基板外層パターン厚(基板表裏面)が厚いほど熱抵抗は下がる。
(35 μm \Rightarrow 105 μm 13%低減) また、内層数が増えると効果が低減する。
2層基板ではできるだけ外層パターンは厚くするのがよい。

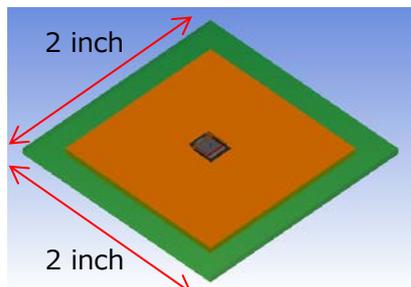
結論

外層パターン厚を厚くすれば熱抵抗は低減される
多層になるほど効果は小さくなる

4. 基板パターン残存率と熱抵抗 (1)

課題 パターン残存率で熱抵抗はどの程度変わるのか？

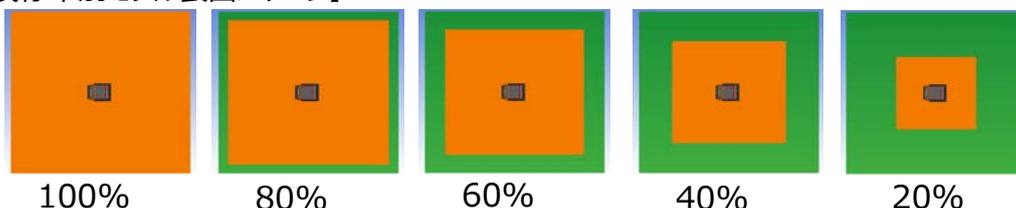
条件



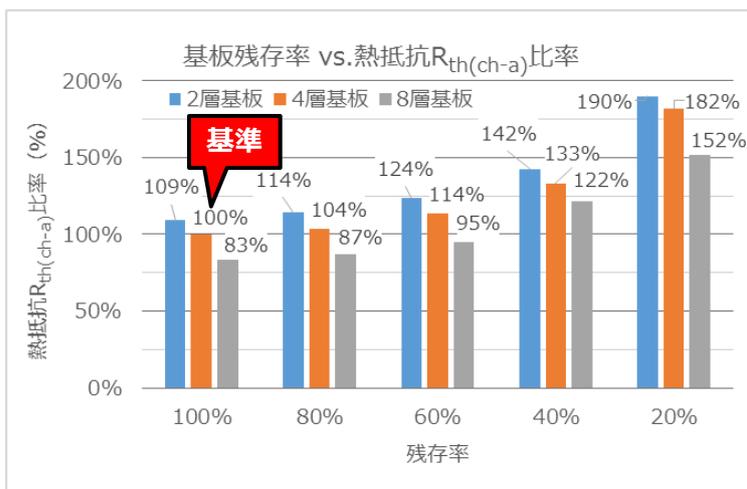
例：残存率 60%モデル

パッケージ： SOP Advance
(Cu コネクター構造)
条件： $T_a = 25^\circ\text{C}$, $P_D = 1.0\text{W}$
残存率： 下図参照 20%~100%
(全層共通)
基板構造： 2層、4層、8層
基板サイズ： 2インチ角
厚み： 1.6mm
パターン厚： 35 μm 全層

【残存率別モデル表面パターン】



結果



残存率	熱抵抗比率		
	2層基板	4層基板	8層基板
100%	109%	100%	83%
80%	114%	104%	87%
60%	124%	114%	95%
40%	142%	133%	122%
20%	190%	182%	152%

注記 1 熱抵抗 $R_{th(ch-a)}$ 比率 = (各熱抵抗/基準モデル熱抵抗) $\times 100$ (%)

注記 2 残存率 100%モデルを基準モデルとした。

結果

残存率が小さいほど、熱抵抗は上昇する。(残存率 100% \Rightarrow 20%で熱抵抗は182%に上昇。残存率 20% \Rightarrow 100%で熱抵抗は低減。) この傾向は基板層数によらない。残存率が大きく(パターンが広)なることによりデバイスから周囲へ熱を逃がす面積が広がり、熱抵抗が低減すると考えられる。

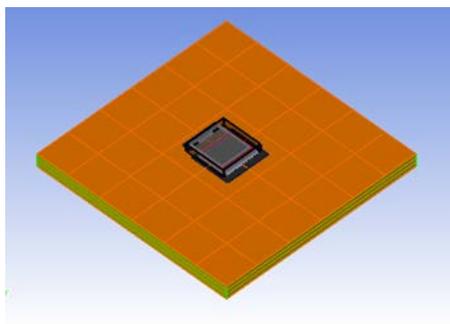
結論

パターン残存率が大いほど熱抵抗は低減する

5. 基板パターン残存率と熱抵抗 (2)

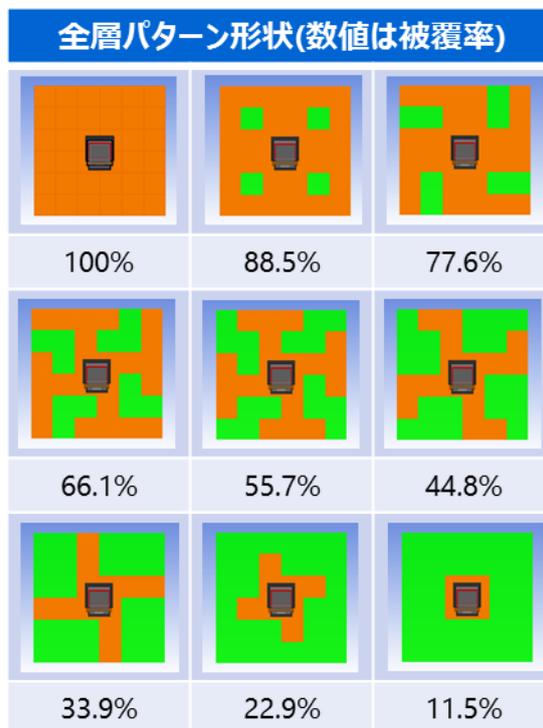
課題 パターン形状で熱抵抗はどの程度変わるのか？

条件

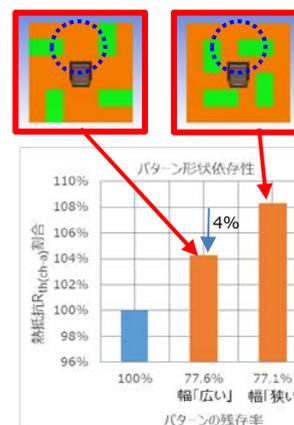
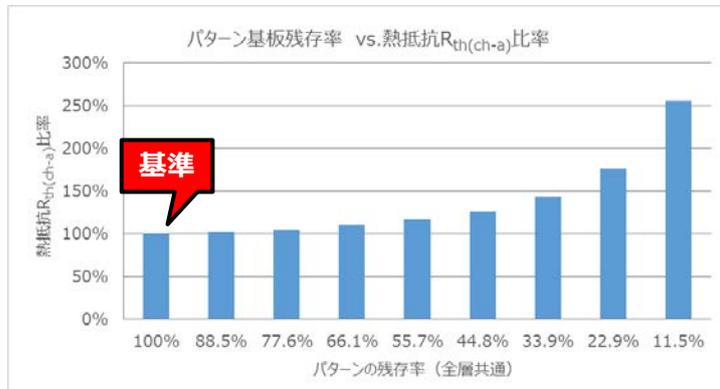


パッケージ： SOP Advance
(Cu コネクター構造)
条件： $T_a = 25^\circ\text{C}$, $P_D = 0.5\text{W}$
残存率： 右図参照 11.5%~100%
(全層共通)
基板構造： 4層基板
厚み： 1.6mm
外層厚： 70 μm
内層厚： 35 μm

【残存率別モデル表面パターン】



結果



同じ残存率でもパターンによって熱抵抗が変わる。丸部分の効果大きい。

注記 1 熱抵抗 $R_{th(ch-a)}$ 比率 = (各熱抵抗/基準モデル熱抵抗) \times 100 (%)
注記 2 残存率 100%モデルを基準モデルとした。

結果

パターン形状を変えた場合も正方形パターン形状同様に残存率が小さくなると熱抵抗は上昇していく傾向である。また、同じ残存率であってもパターン形状の影響により熱抵抗に差が出る場合がある(パターン幅が「狭い」に対して「広い」は4%低減)。特に発熱体付近のパターンは重要である。

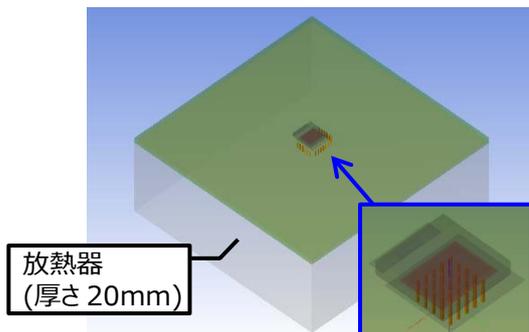
結論

パターン形状を変えた基板も残存率が高いほど熱抵抗は低減する
また発熱体付近のパターンを広くすると熱抵抗の低減に効果がある

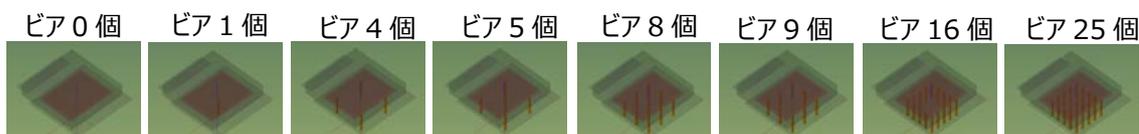
6. E-pad 直下のビア数と熱抵抗

課題 デバイス直下のビア数、サイズの効果は？

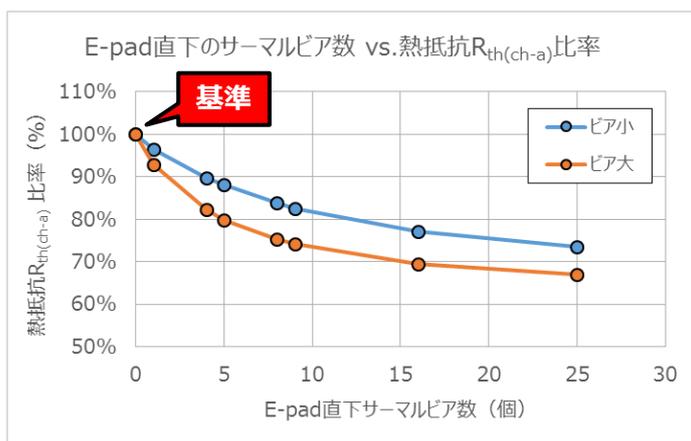
条件



パッケージ： SOP Advance
(Cu コネクター構造)
条件： $T_a = 25^\circ\text{C}$, $P_D = 1.0\text{W}$
ビア数： 下図参照 0~25 個
基板構造： 4層基板
基板サイズ： 2 インチ角
厚み： 1.6mm
パターン： ベタ(35 μm) 全層



結果



E-pad 直下 ビア数	熱抵抗 $R_{th(ch-a)}$ 比率	
	ビア小	ビア大
0	100%	100%
1	97%	93%
4	90%	82%
5	88%	80%
8	84%	75%
9	82%	74%
16	77%	69%
25	74%	67%

- 注記 1 熱抵抗 $R_{th(ch-a)}$ 比率 = (各熱抵抗/基準モデル熱抵抗) $\times 100$ (%)
 注記 2 ビア小： $\phi 300\mu\text{m}$ 、内部メッキ 25 μm
 注記 3 ビア大： $\phi 450\mu\text{m}$ 、内部メッキ 50 μm
 注記 4 ビア 0 個モデルを基準モデルとした。

結果

E-pad 直下のサーマルビア数は、多いほど基板裏面に放熱されやすくなるため、熱抵抗は低減する。(0 \Rightarrow ビア大 9 個 26%低減) またビアサイズも大きい方が効果は大きい。

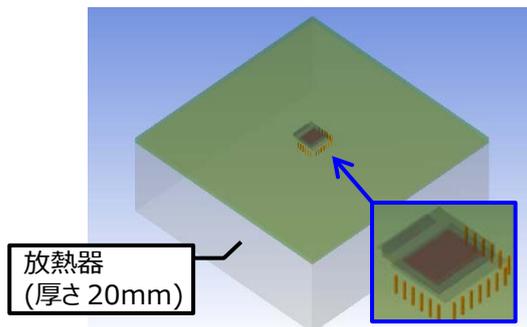
結論

E-pad 直下サーマルビアは数が多く、サイズは大きい方が熱抵抗は低減する

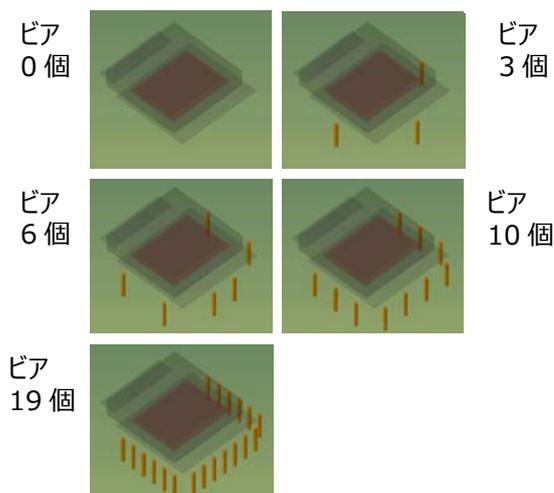
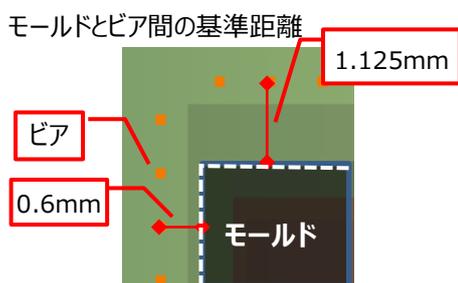
7. デバイス周辺のビア数と熱抵抗

課題 デバイス周辺のビア数、サイズの効果は？

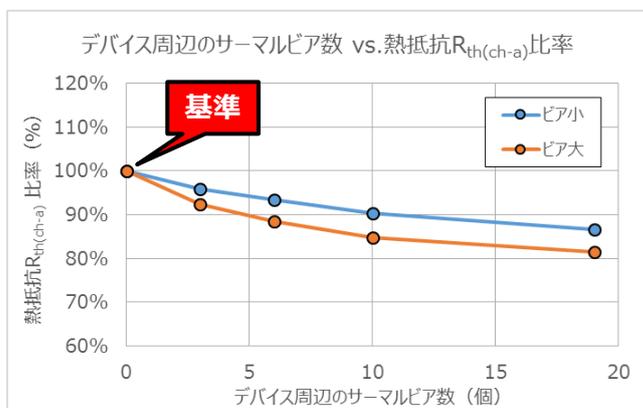
条件



パッケージ： SOP Advance
(Cu コネクター構造)
条件： $T_a = 25^\circ\text{C}$, $P_D = 1.0\text{W}$
ビア数： 下図参照 0~19 個
基板構造： 4層基板
基板サイズ： 2 インチ角
厚み： 1.6mm
パターン： ベタ(35 μm) 全層



結果



デバイス 周辺の ビア数	熱抵抗 $R_{th(ch-a)}$ 比率	
	ビア小	ビア大
0 個	100%	100%
3 個	96%	92%
6 個	93%	88%
10 個	90%	85%
19 個	87%	82%

- 注記 1 熱抵抗 $R_{th(ch-a)}$ 比率 = (各熱抵抗/基準モデル熱抵抗) $\times 100$ (%)
 注記 2 ビア小： $\phi 300\mu\text{m}$ 、内部メッキ 25 μm
 注記 3 ビア大： $\phi 450\mu\text{m}$ 、内部メッキ 50 μm
 注記 4 ビア 0 個モデルを基準モデルとした。

結果

デバイス周辺のサーマルビア数を増やせば熱抵抗は下がる。(0 \Rightarrow ビア大 10 個 15%低減) また、E-pad 直下ビア同様にサイズが大きい方が効果は大きい。

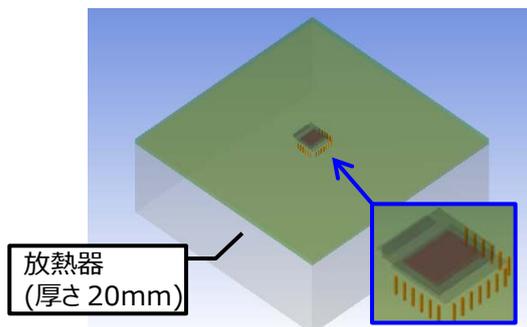
結論

デバイス周辺のサーマルビアは数が多く、サイズは大きい方が熱抵抗は低減される

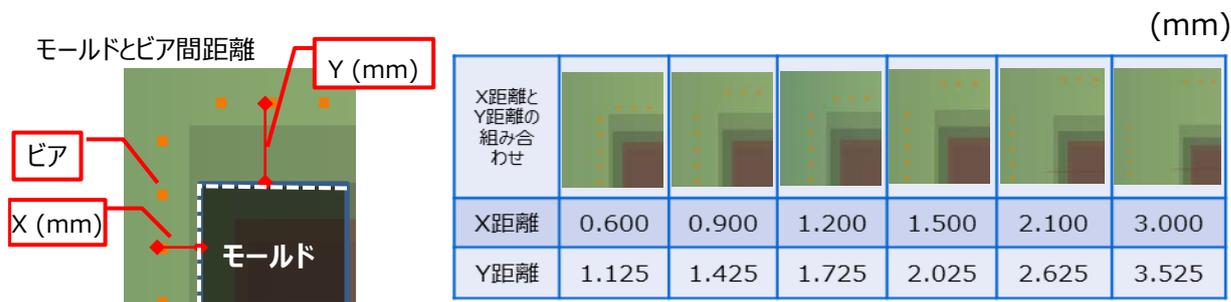
8. デバイス周辺ビアの距離と熱抵抗

課題 デバイス周辺ビアの距離の影響は？

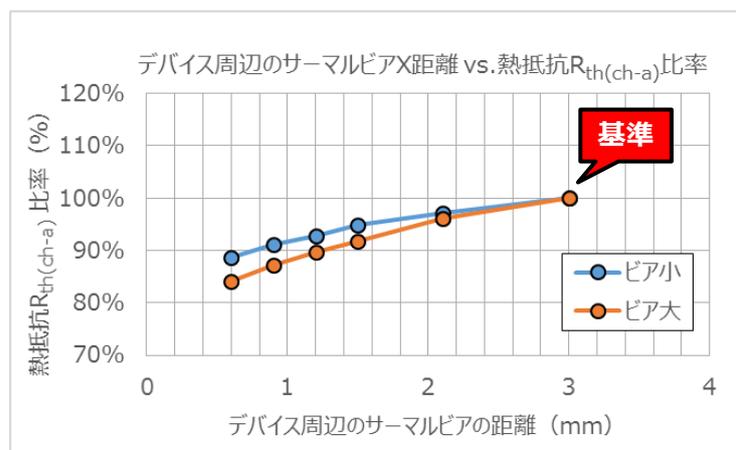
条件



パッケージ： SOP Advance
(Cu コネクター構造)
条件： $T_a = 25^\circ\text{C}$, $P_D = 1.0\text{W}$
ビアの距離： 下表参照
外周ビア数： 19 個
基板構造： 4 層基板
基板サイズ： 2 インチ角
厚み： 1.6mm
パターン： ベタ(35 μm) 全層



結果



周辺ビア X 距離 (mm)	熱抵抗 $R_{th(ch-a)}$ 比率	
	ビア小	ビア大
0.6	89%	84%
0.9	91%	87%
1.2	93%	90%
1.5	95%	92%
2.1	97%	96%
3.0	100%	100%

- 注記 1 熱抵抗 $R_{th(ch-a)}$ 比率 = (各熱抵抗/基準モデル熱抵抗) $\times 100$ (%)
 注記 2 ビア小： $\phi 300\mu\text{m}$ 、内部メッキ $25\mu\text{m}$
 注記 3 ビア大： $\phi 450\mu\text{m}$ 、内部メッキ $50\mu\text{m}$
 注記 4 ビアの X 距離は 3.0mm を基準モデルとした。

結果

デバイス周辺のサーマルビアは近くて大きいほど熱抵抗は、低減される。(ビア大 3.0mm \Rightarrow 0.6mm 16%低減) できるだけデバイスに近接して配置するのが望ましい。

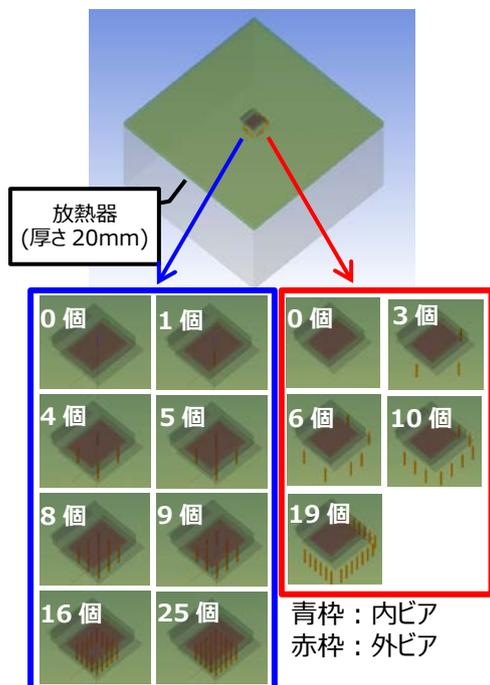
結論

デバイス周辺サーマルビアは近接配置の方が熱抵抗は低減される

9. E-pad 直下ビア(内ビア)、デバイス周辺ビア(外ビア)と熱抵抗

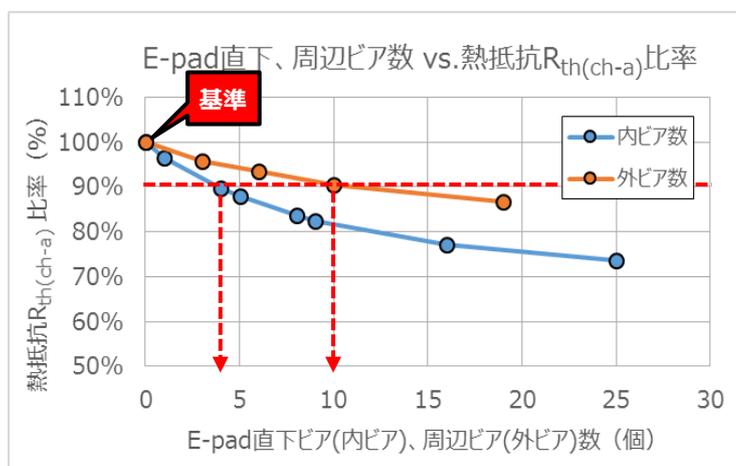
課題 デバイス直下のビアと周辺のビアの効果は？

条件



パッケージ： SOP Advance
(Cu コネクター構造)
条件： $T_a = 25^\circ\text{C}$, $P_D = 1.0\text{W}$
ビア数： 下図参照 内ビア 0~25 個
下図参照 外ビア 0~19 個
基板構造： 4層基板
基板サイズ： 2インチ角
厚み： 1.6mm
パターン： ヘタ(35 μm) 全層

結果



ビア数	熱抵抗 $R_{th(ch-a)}$ 比率	
無	0	100%
内ビア	1	97%
	3	96%
	4	90%
	5	88%
	8	84%
	9	82%
	16	77%
外ビア	6	93%
	10	90%
	19	87%

注記 1 熱抵抗 $R_{th(ch-a)}$ 比率 = (各熱抵抗/基準モデル熱抵抗) $\times 100$ (%)

注記 2 ビア小： $\phi 300\mu\text{m}$ 、内部メッキ $25\mu\text{m}$

注記 3 ビア無しモデルを基準モデルとした。

結果

ビアは E-pad 直下に置く方が熱抵抗の低減効果大きい。(外ビア 10 個に対して内ビア 9 個の熱抵抗は、90%⇒82%に低減) 同じ低減率ならば、内ビアは外ビアに比べ半分以下の個数で同等になる。

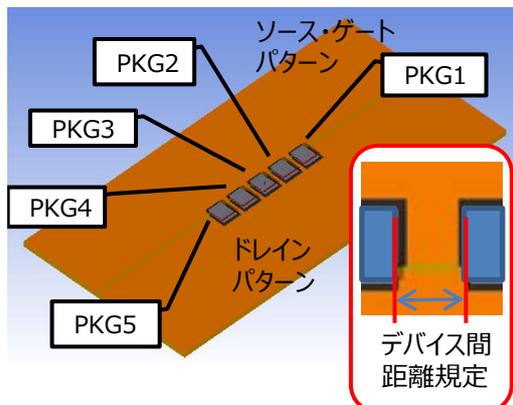
結論

ビア配置は、E-pad 直下の方が熱抵抗の低減効果大きい

10. デバイス間距離と熱抵抗

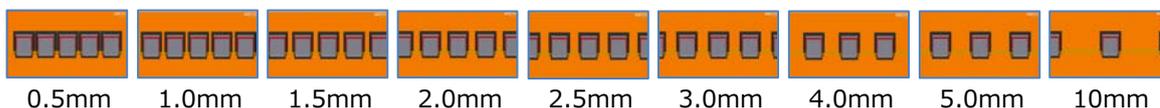
課題 デバイス間距離の影響は？

条件

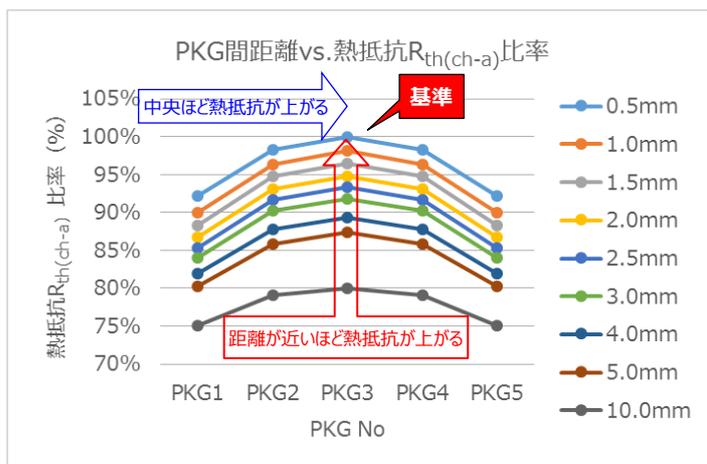


デバイス数： 5 個搭載
 パッケージ： SOP Advance
 (Cu コネクター構造)
 条件： $T_a = 25^\circ\text{C}$, $P_D = 1.0\text{W/個}$
 間隔： 下図参照 0.5~10mm
 基板構造： 4層基板
 基板サイズ： 4インチ×2インチ
 厚み： 1.6mm
 パターン： ベタ(35 μm) 全層

【デバイス間距離】



結果



距離 (mm)	熱抵抗 $R_{th(ch-a)}$ 比率				
	PKG1	PKG2	PKG3	PKG4	PKG5
0.5	92%	98%	100%	98%	92%
1.0	90%	96%	98%	96%	90%
1.5	88%	95%	96%	95%	88%
2.0	87%	93%	95%	93%	87%
2.5	85%	92%	93%	92%	85%
3.0	84%	90%	92%	90%	84%
4.0	82%	88%	89%	88%	82%
5.0	80%	86%	87%	86%	80%
10.0	75%	79%	80%	79%	75%

注記 1 熱抵抗 $R_{th(ch-a)}$ 比率 = (各熱抵抗/基準モデル熱抵抗) × 100 (%)
 注記 2 パッケージ間距離を 0.5mm、中央デバイス(PKG3)モデルを基準とした。

結果

基板に複数個のデバイスを一列に並べて搭載し、同損失で発熱させた場合、デバイス間距離が短いと熱抵抗が増加する。(すなわち、0.5mm⇒10mm 20%低減) 特にデバイスに挟まれたものは、その上昇が大きい。これは他のデバイスからの熱の流れ込みによる熱干渉の影響であると考えられる。

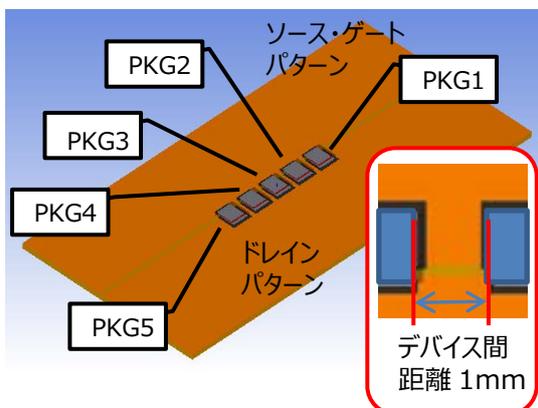
結論

デバイス間距離が近いほど熱干渉影響で熱抵抗が増加する

11. 熱干渉対策と熱抵抗

課題 デバイス間の熱干渉を低減するには？

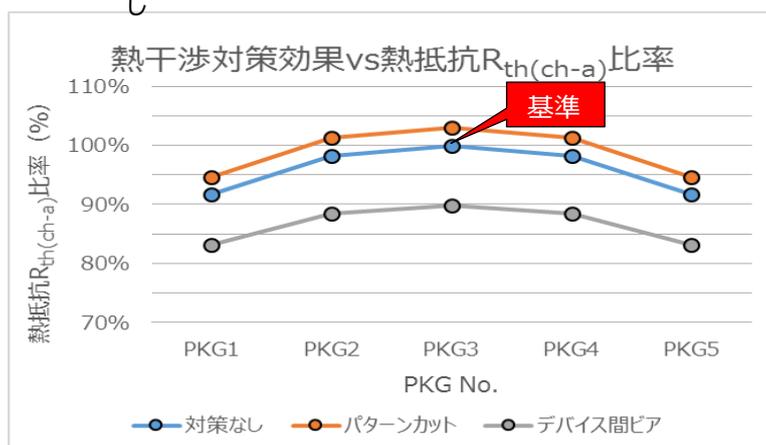
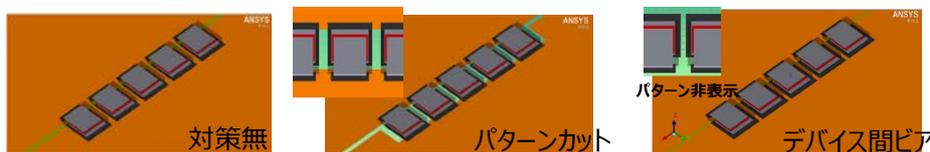
条件



デバイス数： 5 個搭載
 パッケージ： SOP Advance (Cu コネクター構造)
 条件： $T_a = 25^\circ\text{C}$, $P_D = 1.0\text{W/個}$
 基板構造： 4 層基板
 基板サイズ： 4 インチ×2 インチ
 厚み： 1.6mm
 パターン： ベタ(35 μm) 全層
 間隔： 1mm
 パターンカットはパッケージ間をカット
 デバイス間ビアは、ベタパターン使用

結果

【熱干渉対策(案)】



注記 1 熱抵抗 $R_{th(ch-a)}$ 比率 = (各熱抵抗/基準モデル熱抵抗) × 100 (%)
 注記 2 対策無し、中央デバイス(PKG3)モデルを基準とした。

熱干渉対策	熱抵抗 $R_{th(ch-a)}$ 比率				
	PKG1	PKG2	PKG3	PKG4	PKG5
対策無し	92%	98%	100%	98%	92%
パターンカット	95%	101%	103%	101%	95%
デバイス間ビア	83%	88%	90%	88%	83%

結果

熱干渉対策として二つの施策を比べた。デバイス間のパターンカットは、熱干渉の軽減よりもむしろデバイス自体の放熱効果を下げ、熱抵抗が上昇してしまう。発熱部品のパターンカットには注意が必要。一方、周辺ビアは、隣接するデバイスからの熱流入量を減らし、熱干渉を軽減するとともにパターンの放熱効果大きい。(デバイス間ビア無⇒有 10%低減)

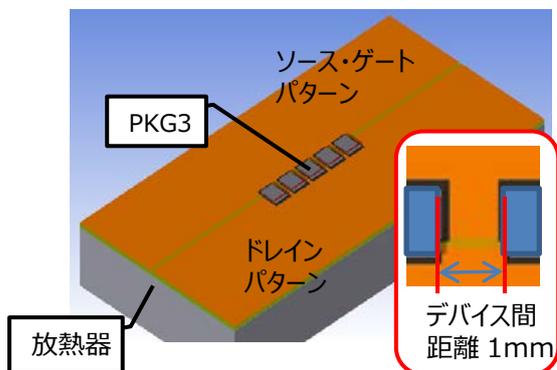
結論

熱干渉軽減にはデバイス間ビアが効果的である

12. 放熱器(HeatSink)の有無と熱抵抗

課題 放熱器(HeatSink)の効果と効果的な使い方は？

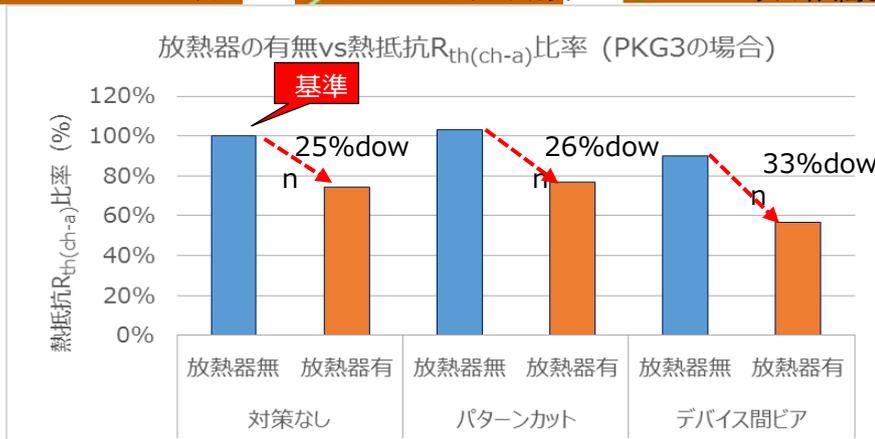
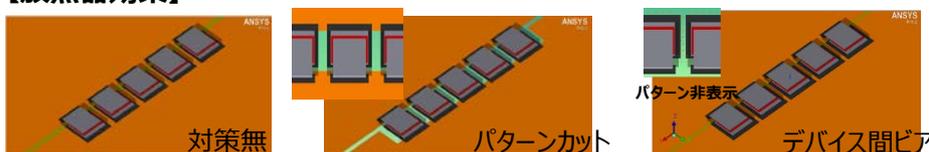
条件



デバイス数： 5 個搭載
 パッケージ： SOP Advance (Cu コネクター構造)
 条件： $T_a = 25^\circ\text{C}$, $P_D = 1.0\text{W}/\text{個}$
 基板構造： 4層基板
 基板サイズ： 4インチ×2インチ
 厚み： 1.6mm
 パターン： ベタ(35 μm) 全層
 間隔： 1mm
放熱器： 4インチ×2インチ, d=20mm
 パターンカットはパッケージ間をカット
 デバイス間ビアは、ベタパターン使用

検証

【放熱器効果】



熱干渉対策	PKG1		PKG2		PKG3		PKG4		PKG5	
	HS 無	HS 有								
対策無し	92%	68%	98%	73%	100%	75%	98%	73%	92%	68%
パターンカット	95%	70%	101%	76%	103%	77%	101%	76%	95%	70%
デバイス間ビア	83%	54%	88%	56%	90%	57%	88%	56%	83%	54%

注記 1 熱抵抗 $R_{th(ch-a)}$ 比率 = (各熱抵抗/基準モデル熱抵抗) × 100 (%)

注記 2 対策無し、放熱器(HS)無し、中央デバイス(PKG3)モデルを基準とした。

結果

熱干渉対策の施策の上、さらに裏面に放熱器を取り付けることで熱干渉の影響や熱抵抗を低減できる。特に裏面に熱が伝わりやすいビアでは、その効果が大きい。(放熱器無し⇒有り 25%低減、有り + デバイス間ビア有で 43%低減)

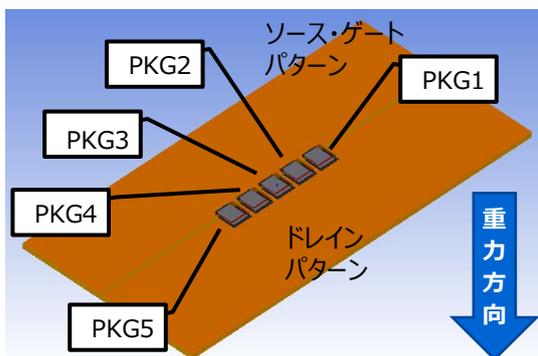
結論

放熱器効果は大きく、ビアとの組み合わせで熱干渉度合いや熱抵抗が低減する

13. 基板の向きと熱抵抗

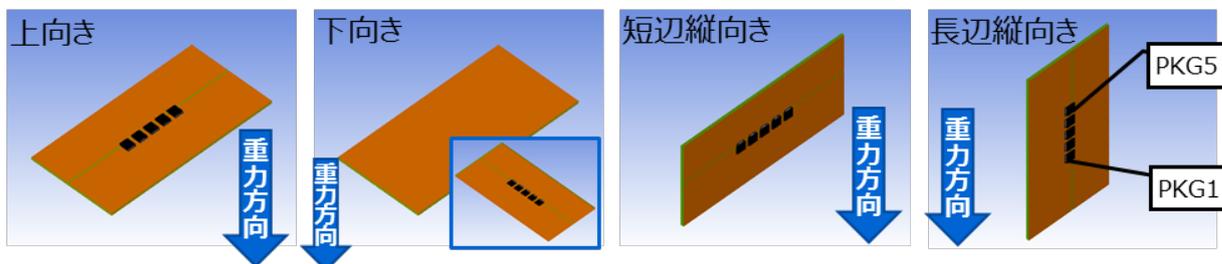
課題 基板の向きで熱抵抗はどの程度変わるのか？

条件

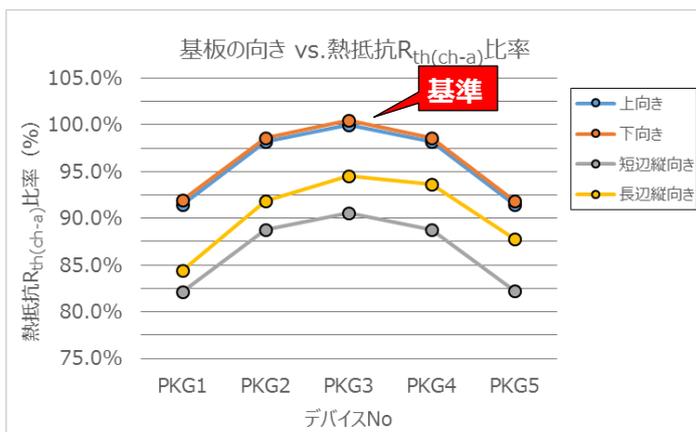


デバイス数： 5 個搭載
 パッケージ： SOP Advance
 (Cu コネクター構造)
 条件： $T_a = 25^\circ\text{C}$, $P_D = 1.0\text{W}/\text{個}$
 基板構造： 4 層基板
 基板サイズ： 4 インチ×2 インチ
 厚み： 1.6mm
 パターン： ベタ(35 μm) 全層
 間隔： 1mm
 基板の向き： 下図参照

【基板の向き】



結果



基板向き	各デバイスの熱抵抗 $R_{th(ch-a)}$ 割合 (%)				
	PKG1	PKG2	PKG3	PKG4	PKG5
上向き	91.4%	98.2%	100%	98.2%	91.4%
下向き	91.9%	98.6%	100.5%	98.6%	91.9%
短辺縦向き	82.2%	88.8%	90.6%	88.8%	82.2%
長辺縦向き	84.4%	91.9%	94.5%	93.6%	87.8%

注記 1 熱抵抗 $R_{th(ch-a)}$ 比率 = (各熱抵抗/基準モデル熱抵抗) × 100 (%)

注記 2 基板上向き、中央デバイス(PKG3)モデルを基準とした。

結果

自然対流では、パッケージを基板裏面(下向き)に付けたものが最も熱抵抗が高くなる。逆に短辺方向を縦向きに置いた場合は熱抵抗が最も低減される。(基板上向き ⇒ 基板短辺縦向き 9.4%低減) また、今モデルでは熱干渉も影響しており、中央の PKG の熱抵抗が高くなっている。

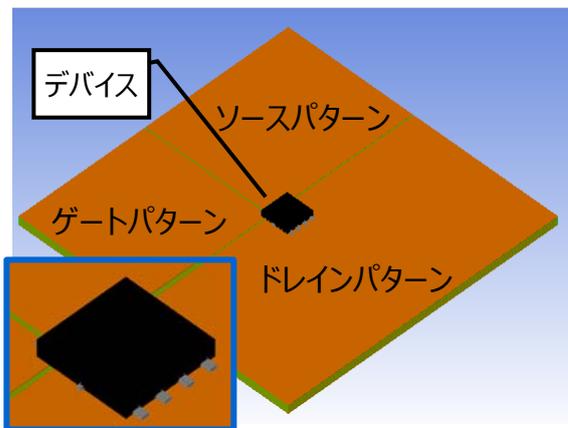
結論

自然対流では、基板は立てる方が熱抵抗は低減する
特に短辺縦向きが効果的

14. モールド表面の温度分布 (1)

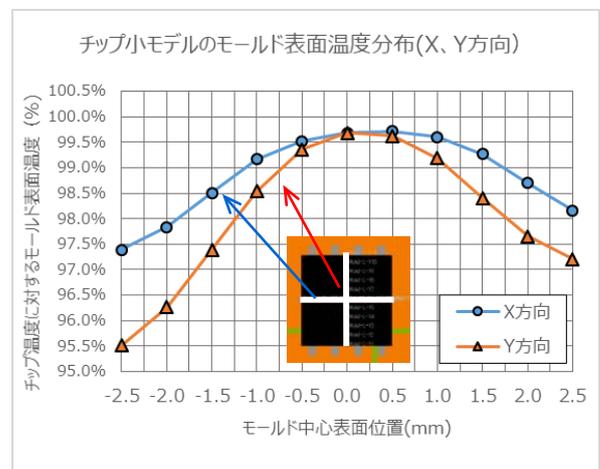
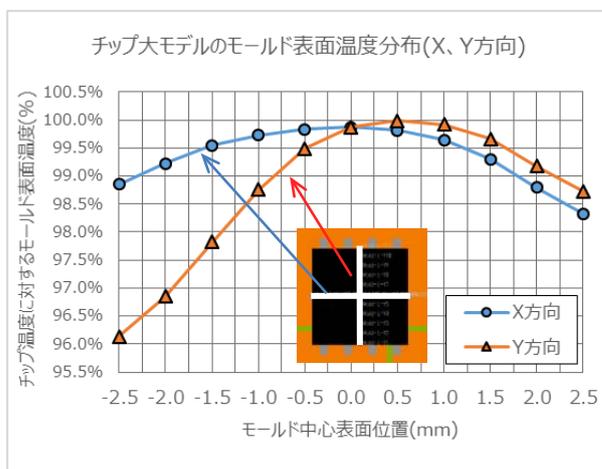
課題 モールド表面温度の測定ポイントは？

条件



パッケージ： SOP Advance
(Cu コネクター構造)
チップ大品
チップ小品
条件： $T_a = 25^\circ\text{C}$, $P_D = 1.0\text{W}$
基板構造： 4層基板(2インチ角)
厚み： 1.6mm
パターン： ベタ(35 μm) 全層

結果



構造	チップ大 位置:E-pad中央	チップ小 位置:E-pad端	温度モニタ部
温度分布 (モールド表面)			
モールド表面温度幅	2.03 $^\circ\text{C}$	2.24 $^\circ\text{C}$	—

結果

モールド中央と端では温度差が見られる。平面の温度分布では、必ずしも最高温度はモールド中心と一致しないことがある。熱電対等で測定する場合、どの位置が高温になるか注意する必要がある。

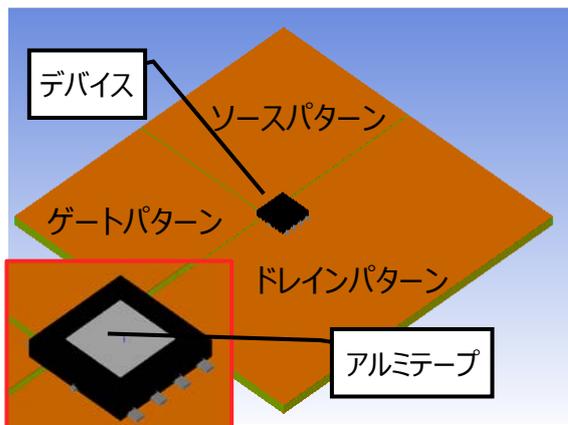
結論

モールド表面には温度分布があるため、モニター位置には注意が必要である

15. モールド表面の温度分布 (2)

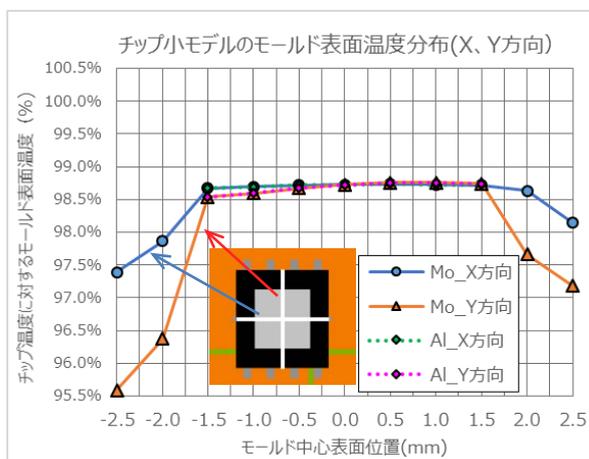
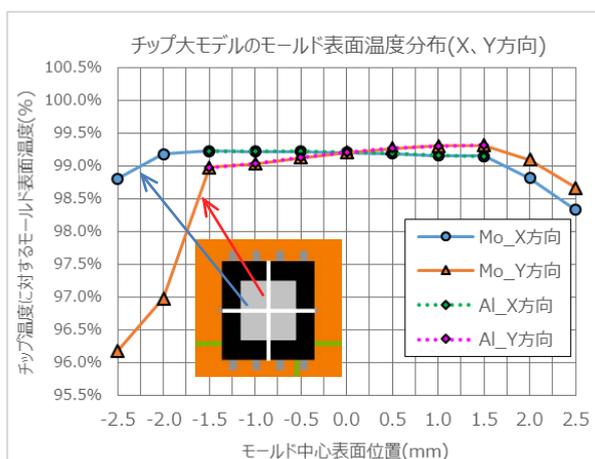
課題 金属テープ貼り付けによりモールド表面温度分布はどうか？

条件



パッケージ： SOP Advance
(Cu コネクター構造)
チップ大品
チップ小品
条件： $T_a = 25^\circ\text{C}$, $P_D = 1.0\text{W}$
基板構造： 4層基板(2インチ角)
厚み： 1.6mm
パターン： ベタ(35 μm) 全層
金属テープ： アルミテープ(50 μm)

結果



構造	チップ大 位置:E-pad中央	チップ小 位置:E-pad端	温度モニタ ポイント
温度分布 (モールド、 アルミテープ 表面)			
アルミテープ 表面温度幅	0.18 $^\circ\text{C}$	0.11 $^\circ\text{C}$	—

結果

モールド上面に金属テープを貼り付けることで、そのテープ幅の分、温度は均一化される。ただし、温度は低めになってしまうことがわかる。今モデル(チップ小)ではチップ温度に比べて1~1.5%の低減であった。ただし安定して測定できるメリットは、大きいものと思われる。(テープ表面温度幅はチップ大で0.18 $^\circ\text{C}$ と狭い。)

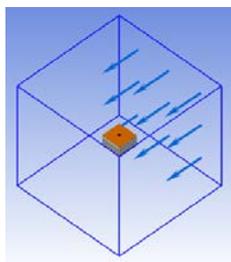
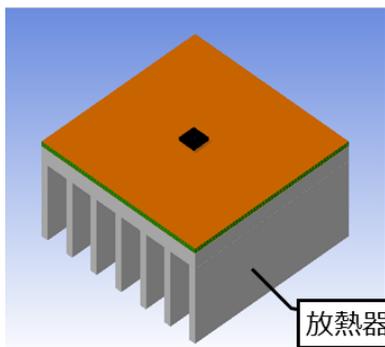
結論

モールド表面への金属テープ貼り付けにより安定した温度測定ができる。

16. 放熱器付きモデルの風速と熱抵抗

課題 フィン付き放熱器を使用する場合、風の効果は？

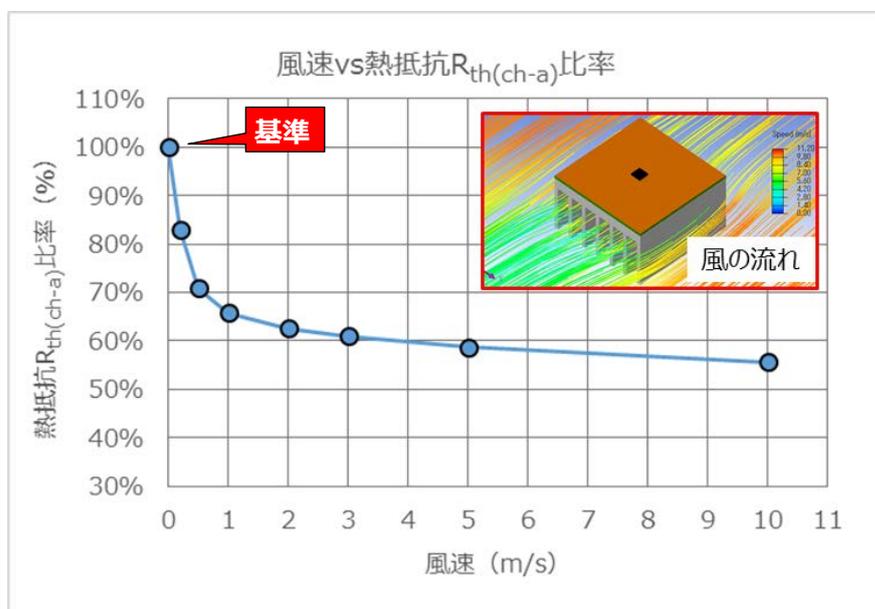
条件



矢印は風の入力方向

パッケージ： SOP Advance
(Cu コネクター構造)
条件： $T_a = 25^\circ\text{C}$, $P_D = 2.0\text{W}$
基板構造： 4層基板(2 インチ角)
厚み： 1.6mm
パターン： ベタ(35 μm) 全層
風速： 下表参照 0~10m/s

結果



風速 (m/s)	熱抵抗比率 $R_{th(ch-a)}$
0.0	100%
0.2	83.0%
0.5	70.9%
1.0	65.8%
2.0	62.5%
3.0	61.0%
5.0	58.7%
10	55.6%

注記1 熱抵抗 $R_{th(ch-a)}$ 比率 = (各熱抵抗/基準モデル熱抵抗) $\times 100$ (%)
注記2 風速 0 m/s の時を基準モデルとした。

結果

放熱器のフィン方向に平行に風を入れると 1m/s 程度までは風速に応じて熱抵抗は、低減していく。(風速 0 \Rightarrow 1m/s 34.2%低減) 1m/s 以上になると、その効果は小さくなり、飽和に向かう。フィン付き放熱器を使用する場合、風の有無が熱抵抗に大きく影響し、その低減につながる。

結論

放熱器に正しく風が当たれば、熱抵抗は大幅に低減する

製品取り扱い上のお願ひ

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。

東芝デバイス&ストレージ株式会社

<https://toshiba.semicon-storage.com/jp/>