

## 抵抗内蔵型トランジスタ（BRT）の電気的特性

### 概要

本アプリケーションノートは半導体スイッチとして使用される抵抗内蔵型トランジスタ（BRT、デジタルトランジスタ、あるいはデジトラとも呼ばれます）のデータシート記載の絶対最大定格、電気的特性、品番付与法などに関して説明しています。

## 目次

概要.....	1
目次.....	2
1. はじめに.....	4
2. 品番付与法.....	5
2.1. “RN” で始まる品名.....	5
2.2. “TDT” で始まる製品.....	7
3. 絶対最大定格.....	8
3.1. 最大定格の定義.....	8
3.2. コレクタ・ベース間電圧 $V_{CBO}$ .....	8
3.3. コレクタ・エミッタ間電圧 $V_{CEO}$ .....	8
3.4. エミッタ・ベース間電圧 $V_{EBO}$ .....	9
3.5. コレクタ電流 $I_C$ 、出力電流 $I_O$ .....	9
3.6. コレクタ損失 $P_C$ 、許容損失 $P_D$ .....	9
3.7. 接合温度 $T_j$ .....	10
3.8. 保存温度 $T_{stg}$ .....	10
4. BRT の電気的特性.....	11
4.1. コレクタしゃ断電流 $I_{CBO}$ $I_{CEO}$ .....	11
4.1.1. コレクタしゃ断電流 $I_{CBO}$ .....	11
4.1.2. コレクタしゃ断電流 $I_{CEO}$ .....	11
4.2. エミッタ遮断電流 $I_{EBO}$ .....	12
4.3. 直流電流増幅率 $h_{FE}$ .....	12
4.4. コレクタ・エミッタ間飽和電圧 $V_{CE(sat)}$ 、出力電圧 $V_{O(on)}$ .....	13
4.5. 入力オン電圧 $V_{I(ON)}$ 、 $V_{I(on)}$ .....	13
4.6. 入力オフ電圧 $V_{I(OFF)}$ 、 $V_{I(off)}$ .....	14
4.7. コレクタ出力容量 $C_{ob}$ .....	14
4.8. 内蔵抵抗.....	15
4.9. 入力抵抗 $R_1$ .....	15
4.10. 抵抗比率 $R_1 / R_2$ .....	15
4.11. トランジオン周波数 $f_T$ .....	16
5. 関連リンク.....	16
6. 製品取り扱い上のお願ひ.....	17

## 目次

図 1-1 スwitchのオン・オフ と BRT によるスitch回路 .....	4
図 2-1 BRT 内部接続によるタイプ .....	5
図 3-1 コレクタ・ベース間電圧 .....	8
図 3-2 コレクタ・エミッタ間電圧（NPN 極性） .....	8
図 3-3 エミッタ・ベース間電圧（NPN 極性） .....	9
図 3-4 コレクタ損失 $P_C$ （NPN 極性） .....	9
図 4-1 $I_{CBO}$ .....	11
図 4-2 $I_{CEO}$ .....	11
図 4-3 $I_{EBO}$ .....	12
図 4-4 $h_{FE}$ .....	12
図 4-5 $h_{FE}$ と $R_2$ の関係 .....	12
図 4-6 $V_{CE(sat)}$ .....	13
図 4-7 $V_{I(ON)}$ .....	13
図 4-8 $V_{I(OFF)}$ .....	14
図 4-9 トランジスタの容量 .....	14
図 4-10 コレクタ出力容量 $C_{ob}$ 測定回路 .....	14
図 4-11 内蔵抵抗温度特性例（25℃基準） .....	15
図 4-12 BRT 等価回路 .....	15
図 4-13 $h_{FE}$ 周波数特性 .....	16

### 1. はじめに

当社抵抗内蔵型トランジスタ（BRT）は、デジタルトランジスタ（デジトラ）とも呼ばれるデバイスです。このデバイスはオン・オフスイッチ用途で使用します。この用途に必要なベース直列抵抗やベース・エミッタ間バイアス抵抗を内蔵しており、実装部品の削減が可能で機器の小型化、組み立ての省力化が可能です。

多様な回路設計に適するように内蔵抵抗をラインアップでそろえていますので、各種デジタル回路を簡単に構成することができます。また、シングル品とデュアル品を豊富なパッケージでラインアップしています。

このアプリケーションノートでは、主にデータシート記載の最大定格・電気的特性について説明します。それぞれの規格はこのデバイスをオン・オフスイッチとして動作させるために規定されています。スイッチとしての規格には制御電圧、オフ時の端子間電圧（オフ耐圧）、オン時の端子間電圧（オン抵抗）などがあります。

BRT の特性との関係は以下になります。

制御電圧	⇒	入力オン電圧、入力オフ電圧
オフ時の端子間電圧	⇒	コレクタ・エミッタ間電圧
オン時の端子間電圧	⇒	コレクタ・エミッタ間飽和電圧

BRT では内蔵抵抗  $R_1$ ・ $R_2$  を変えることで、これらの特性も含め要求特性に合わせることが可能です。内蔵抵抗と各種特性との相関や選択方法などについては、アプリケーションノート「抵抗内蔵型トランジスタ（BRT）の基礎」を参照してください。

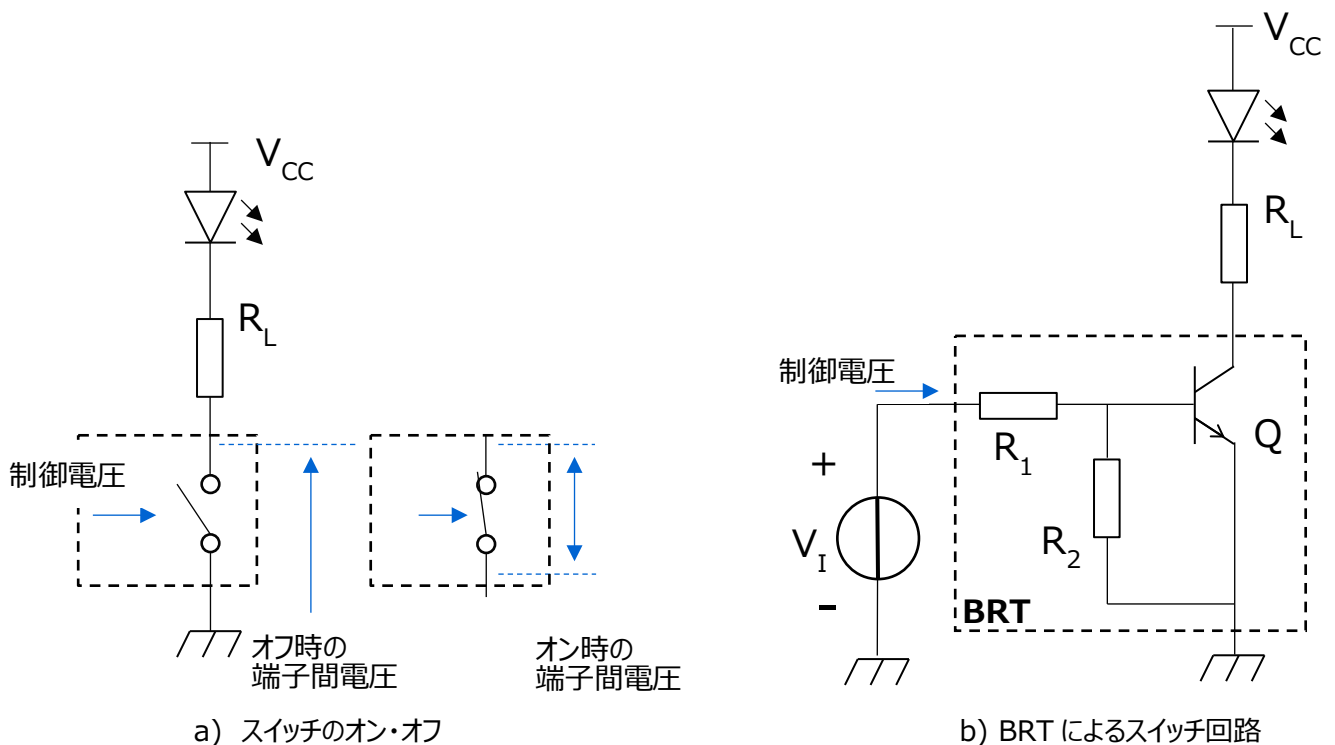


図 1-1 スイッチのオン・オフ と BRT によるスイッチ回路

### 2. 品番付与法

当社 BRT は下記ルールを基本として独自の品名を付与しています。  
BRT は図 2-1 に示す内部接続によりいくつかのタイプがあります。

#### 2.1. “RN” で始まる品名

例：RN 1 3 14 JE

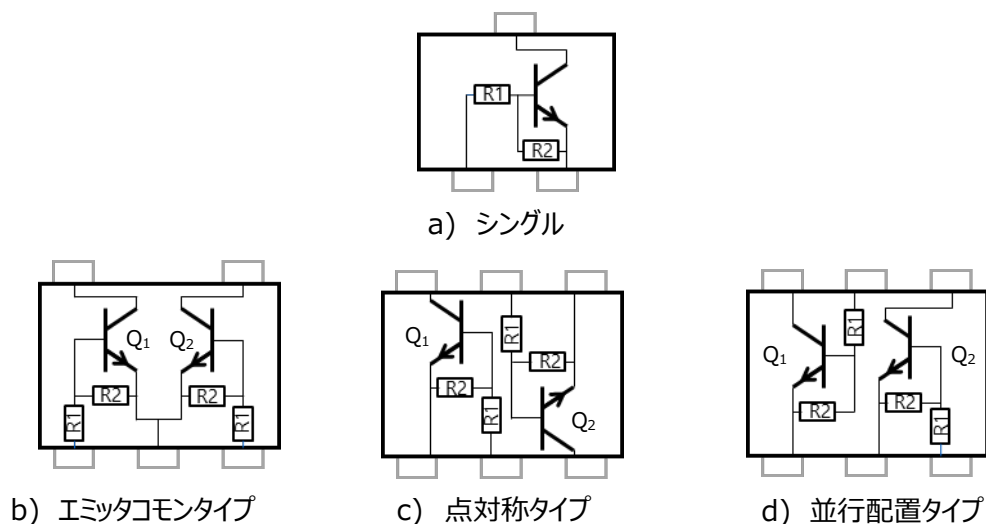
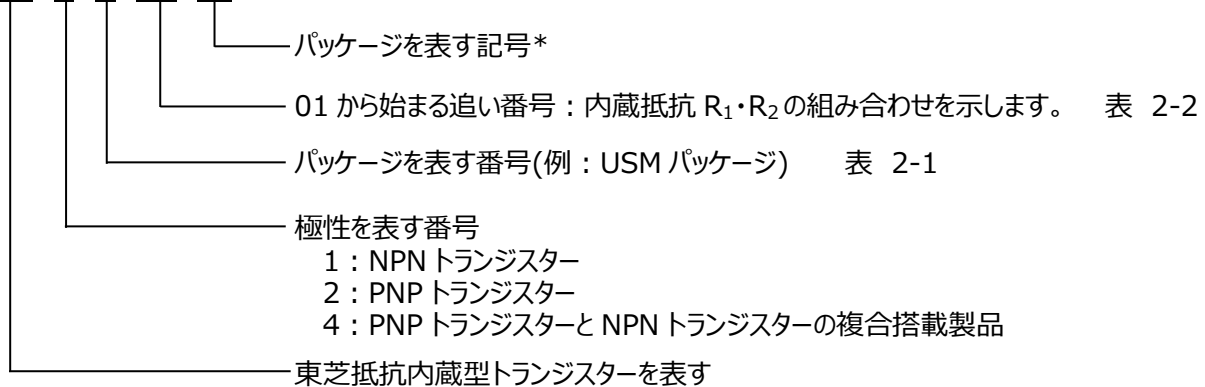


図 2-1 BRT 内部接続によるタイプ

表 2-1 パッケージと番号、記号例

パッケージ	パッケージ通称名	品名例	パッケージを表す番号*	パッケージを表す記号*	タイプ
VESM	SOT-723	RN1 <b>101</b> MFV	<b>1</b>	<b>MFV</b>	シングル
SSM	SOT-416	RN1 <b>101</b>	<b>1</b>	無し	
USM	SOT-323	RN1 <b>301</b>	<b>3</b>	無し	
S-Mini	SOT-346	RN1 <b>401</b>	<b>4</b>	無し	
ESV	SOT-553	RN1 <b>701</b> JE	<b>7</b>	<b>JE</b>	2 in 1 (エミッタコモン)
USV	SOT-353	RN1 <b>701</b>	<b>7</b>	無し	
SMV	SOT-25	RN1 <b>501</b>	<b>5</b>	無し	
ES6	SOT-563	RN1 <b>901</b> FE	<b>9</b>	<b>FE</b>	2 in 1 (点対称/平行)
US6	SOT-363	RN1 <b>901</b>	<b>9</b>	無し	
SM6	SOT-26	RN1 <b>601</b>	<b>6</b>	無し	

下表にシングルタイプ、2 in 1 タイプの抵抗の組み合わせを示します。但し、2 in 1 タイプについては、Q1・Q2 に付随するそれぞれの抵抗が等しい（ $R_1=R_1'$ 、 $R_2=R_2'$ ）製品についてのみ記載しています。これ以外に抵抗の異なる RN46A1/RN49A1/RN49A2 があります。こちらについては、データシートをご確認ください

**表 2-2 タイプ別 内蔵抵抗組合せ**

下表に示す RNxxxx シリーズの製品名称の追番号は内蔵抵抗の組合せを示しています。  
(例：RN111**01**MFV ⇒  $R_1=R_2=4.7k\Omega$ )

a) シングル

R <sub>1</sub> (kΩ) \ R <sub>2</sub> (kΩ)	I <sub>C</sub> =100mA						I <sub>C</sub> =800mA			
	4.7	10	22	47	100	∞	1	2.2	4.7	10
0.47										25
1		14				19	21			26
2.2		15		05				22		27
4.7	<b>01</b>	16		06		10			23	
10	17	02		07		11				24
22			03	08		12				
47		18	09	04		13				
100					30	31				
200						32				

b) 2 in 1 ( エミッタコモン )

R <sub>1</sub> (kΩ) \ R <sub>2</sub> (kΩ)	4.7	10	22	47	∞
1		14			
2.2				05	
4.7	01			06	10
10		02		07	11
22			03	08	12
47			09	04	13

c) 2 in 1 ( 点对称 NPN\*2、PNP\*2、PNP+NPN )

R <sub>1</sub> (kΩ) \ R <sub>2</sub> (kΩ)	4.7	10	22	47	∞
2.2				05	
4.7	01			06	10
10		02		07	11
22			03	08	12
47			09	04	

d) 2 in 1 ( 並行配置 )

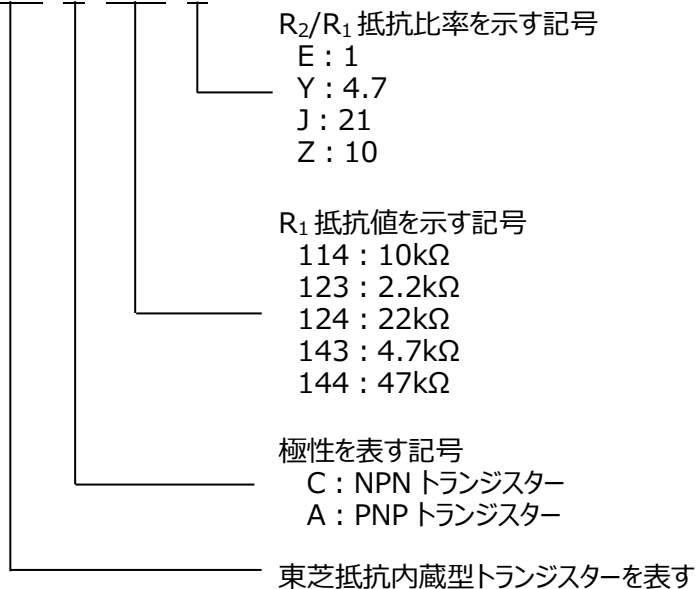
R <sub>1</sub> (kΩ) \ R <sub>2</sub> (kΩ)	4.7	10	22	47	∞
2.2				65	
4.7	61				70
10		62		67	71
22			63	68	
47			69	64	

e) 2 in 1 ( 点对称 NPN+PNP )

R <sub>1</sub> (kΩ) \ R <sub>2</sub> (kΩ)	4.7	10	22	47	∞
2.2				05	
4.7	01			06	10
10		02		07	11
22			03	08	12
47			09	04	

### 2.2. “TDT” で始まる製品

例：TDT C 114 E



### 3. 絶対最大定格

#### 3.1. 最大定格の定義

半導体素子にとって、印加電圧や電流、温度、電力損失などは、動作機能を制限する大きな要因となります。

最大定格は、半導体素子を有効に動作させ、十分な信頼性を確保するために超えてはならない最大許容値で、絶対最大定格として規定しています。

絶対最大定格とは、「絶対最大定格は複数の定格の、どの一つの値も瞬時たりとも超えてはならない規格です。複数の定格のいずれに対しても超えることができません。」と定められています。最大定格を超えて使用した場合、破壊や損傷および劣化の原因となり、破裂・燃焼による障害を負うことがあります。

各規格は特に記載のない場合、周囲温度  $T_a=25^{\circ}\text{C}$  で規定しています。

各端子の電圧・電流値の場合は、過電圧・過電流により半導体製品内部の劣化が起こります。著しい場合には、内部の発熱による配線の溶断や半導体チップの破壊に至ることもあります。また、保存温度および動作温度の場合は、半導体製品内部の劣化はもとより、半導体製品を構成する各種材料の熱膨張係数の差などによるボンディング部分のオープン、気密性の低下などを引き起こすことがあります。

絶対最大定格には製品により異なりますが、各端子の電圧・電流、許容損失または接合温度、保存温度などがあります。なお、データシートなどの個別技術資料などで、最大定格と記載している場合は、絶対最大定格という意味で用いています。

#### 3.2. コレクタ・ベース間電圧 $V_{CB0}$

エミッタ E をオープンにして、図 3-1 のようにベース b・コレクタ C 間の pn 接合に対し逆バイアスになるように B 端子・C 端子間に電圧を印加します。コレクタ C・ベース B 間に印加できる電圧の最大値が  $V_{CB0}$  になります。電圧 V が小さい時には pn 接合部分(ダイオード)はオフしていますので電流は流れません。電圧を大きくしていくと、一般的なダイオードと同様にリーク電流が流れ、最終的には劣化し破壊に至ります。

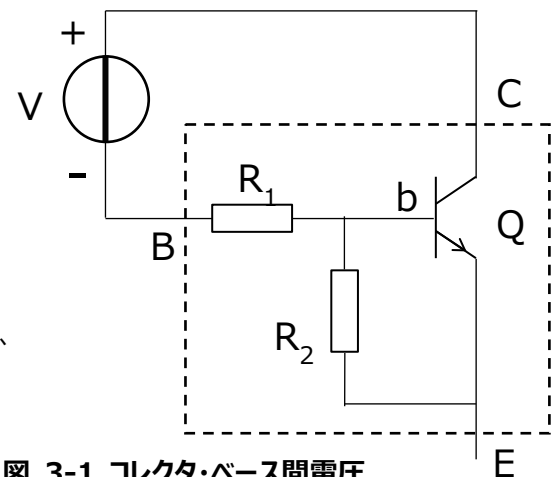


図 3-1 コレクタ・ベース間電圧

#### 3.3. コレクタ・エミッタ間電圧 $V_{CE0}$

ベース B をオープンにして、図 3-2 のようにコレクタ C・エミッタ E 間に電圧を印加します。印加できる電圧の最大値がコレクタ・エミッタ間電圧  $V_{CE0}$  になります。この電圧は BRT をスイッチとして使用した場合 スwitchのオフ時に印加できる最大電圧になります。

図のように電圧を印加すると、活性領域でトランジスタを使用するときと同様にベース b・コレクタ C 間の pn 接合は逆バイアスにベース b・エミッタ E 間の pn 接合は順方向に電圧が印加されます。活性領域と同じ電圧方向になっていますので、ベース電流が流れ込めばトランジスタとして動作しはじめます。

前項で説明したように、コレクタ・ベース間に大きな電圧が印加されればコレクタ遮断電流  $I_{CB0}$  がコレクタ・ベース間に流れ、これがベース電流として流れ込み電流増幅率倍されてコレクタ電流が流れることとなります。このため、 $V_{CE0}$  はコレクタ・ベース間電圧  $V_{CB0}$  に依存した数字になります。

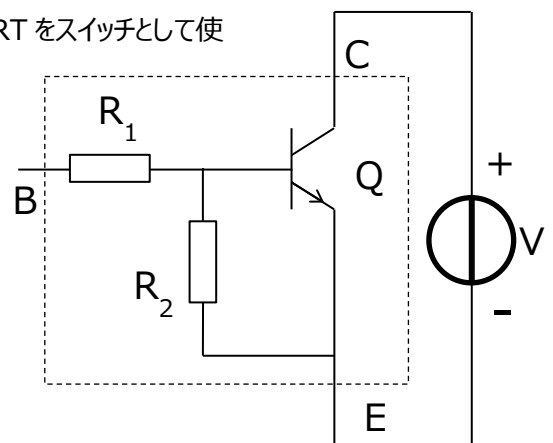


図 3-2 コレクタ・エミッタ間電圧（NPN 極性）



### 3.4. エミッタ・ベース間電圧 $V_{EBO}$

コレクタをオープンにして、図 3-3 のようにエミッタ・ベース間の pn 接合が逆バイアスになるように電圧を印加します。

逆バイアスなので電圧が低いときは内蔵トランジスタには電流は流れません。

電圧が高くなり pn 接合がブレイクダウンすると電流が流れます。

BRT の場合、内蔵抵抗  $R_1$  と  $R_2$  があるので、逆バイアス電圧が低いときは電流は内蔵抵抗に流れ、b・E 間にはこれらの抵抗による分圧が印加されます。

この分圧された電圧がブレイクダウン電圧を超えるとときの外部逆バイアス電圧  $V$  が BRT の  $V_{EBO}$  です。このため一般的にデータシート上で規定される抵抗比率 ( $R_1/R_2$ ) に依存し、抵抗比率が高いものほど電圧が高くなります。

一般的に、内蔵トランジスタの各層の不純物濃度はエミッタ > ベース > コレクタとなっており、耐圧は濃度に反比例することから  $V_{CBO}$  に比べ小さくなります。

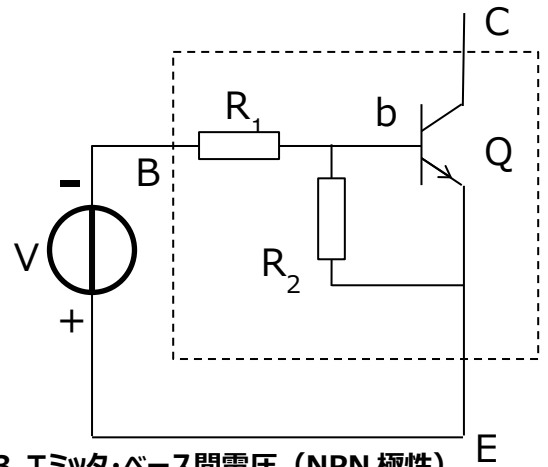


図 3-3 エミッタ・ベース間電圧 (NPN 極性)

### 3.5. コレクタ電流 $I_C$ 、出力電流 $I_O$

トランジスタが動作（動作点が活性領域・飽和領域）しているときにコレクタの pn 接合の逆方向に流すことのできる電流の最大値になります。この電流は主に活性領域で動作しているときのコレクタ電流の最大値ですので、動作状態によっては他の規格により制約されこの電流まで流せない場合があります。特に飽和を深く ( $h_{FE}$  を低く) した場合、 $R_1$  で消費される電力が  $1/8W$  以下 (4.8.内蔵抵抗 参照) になっていることをご確認ください。

### 3.6. コレクタ損失 $P_C$ 、許容損失 $P_D$

BRT の損失はコレクタ損失 ( $I_C \times V_{CE}$ ) だけでなく、内蔵抵抗で生じる損失、エミッタ損失も含めた素子全体の損失の最大値になります。

一般的なバイポーラトランジスタを活性領域で使用する場合、内蔵トランジスタのベース電流  $I_b$  とこの電流が流れる内蔵トランジスタのベース b・エミッタ E 間の電圧  $V_{bE}$  によるエミッタ損失は、 $I_b = I_C / h_{FE}$  であることから、コレクタ電流  $I_C$  とコレクタ C・エミッタ E 間電圧  $V_{CE}$  に対して無視できるほど小さいと考えられます。このため、コレクタ損失をトランジスタの消費電力としています。BRT はこの名残で素子全体で生じる損失全体をコレクタ損失と呼んでいます。

コレクタ損失の計算例については、アプリケーションノート「抵抗内蔵トランジスタ（BRT）の基礎」の「6. BRT の許容損失計算」を参照ください。

BRT での損失は以下の計算になります。

簡略化した計算では  $V_{bE} = 0.7V$ 、 $V_{CE} = 0.2V$  を用いることがあります。

$$P_C = V_{CE} \times I_C + V_{bE} \times (I_B - V_{bE} / R_2) + R_1 \times I_B^2 + V_{bE}^2 / R_2$$

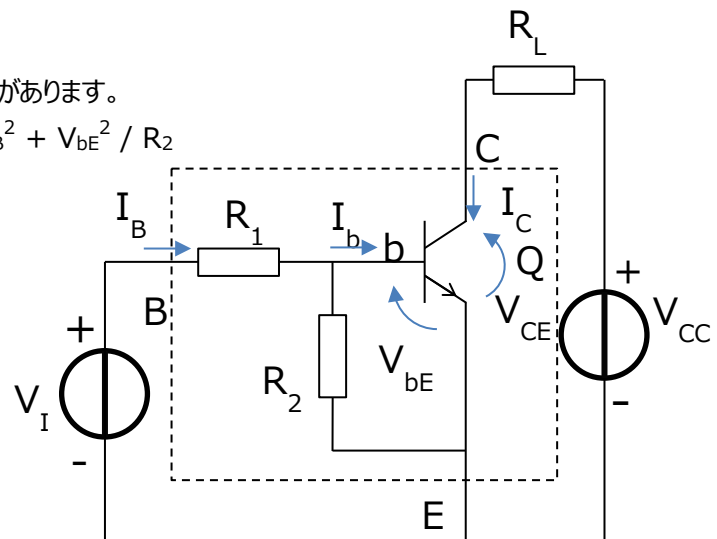


図 3-4 コレクタ損失  $P_C$  (NPN 極性)

### 3.7. 接合温度 $T_j$

内蔵のトランジスタの接合部（pn 接合）の最大温度になります。この温度を超えると、p 層・n 層に関係なく電子と正孔が多数発生することになり、P 型・N 型半導体の相違が小さくなり、pn 接合が機能しなくなります。このことにより異常電流が流れ素子が破壊することがあります。また半導体製品は温度により寿命が短くなることが知られています（アレニウスモデル：「半導体信頼性ブック」p120 を参照ください）。従って、使用時には温度特性を考慮するだけでなく、デレーティングも考慮してご使用ください。

### 3.8. 保存温度 $T_{stg}$

BRT を動作させない（電圧を印加しない状態）で保管する場合の温度範囲です。

### 4. BRT の電气的特性

BRT はスイッチとして使用されることがほとんどです。ここではスイッチで使用することを前提に説明します。考慮しなければならない項目は以下になります。

#### 4.1. コレクタしや断電流 $I_{CBO}$ $I_{CEO}$

コレクタしや断電流には  $I_{CBO}$  と  $I_{CEO}$  の 2 種類の定義があります。  $I_{CBO}$  は “3.2. コレクタ・ベース間電圧  $V_{CBO}$ ”、  $I_{CEO}$  は “3.3. コレクタ・エミッタ間電圧  $V_{CEO}$ ” と対をなす規格になります。

##### 4.1.1. コレクタしや断電流 $I_{CBO}$

エミッタ E をオープンにして、図 4-1 のようにコレクタ C・ベース B 端子間の pn 接合が逆バイアスになるように電圧を印加します。これにより、内蔵トランジスタのコレクタ C・ベース b 間の pn 接合ダイオードに逆バイアスが印加されます。この電圧を大きくしていくとリーク電流が流れ始めます。このリーク電流の最大値がコレクタしや断電流  $I_{CBO}$  になります。  $I_{CBO}$  は温度依存性が高く以下のように温度の関数として記述できます。

$$I_{CBO}(T_x) = I_{CBO}(T_0) * \exp(K * (T_x - T_0))$$

$T_0$  : 基準温度 (K)、

$T_x$  : 求める温度 (K)、

K : 温度係数 Si の場合、一般に 0.07~0.08/°C

既に 3.3. で説明しているように  $V_{CEO}$  は  $I_{CBO}$  と関連があり、また式を見てわかるように温度に対して正の相関があります。BRT を使用する場合、特にオフ時の C-E 間の電圧が最大定格  $V_{CEO}$  に近く周囲温度が高くなる場合、注意が必要です。

##### 4.1.2. コレクタしや断電流 $I_{CEO}$

ベース B をオープンにして、図 4-2 のようにコレクタ C・エミッタ E 間に電圧を印加します。コレクタ C・ベース b は逆バイアス、ベース b、エミッタ E は順バイアスです。“ 3.3. コレクタ・エミッタ間電圧  $V_{CEO}$  ” で説明したように、C・b 間のリーク電流が増幅されて、コレクタしや断電流  $I_{CEO}$  として流れます。

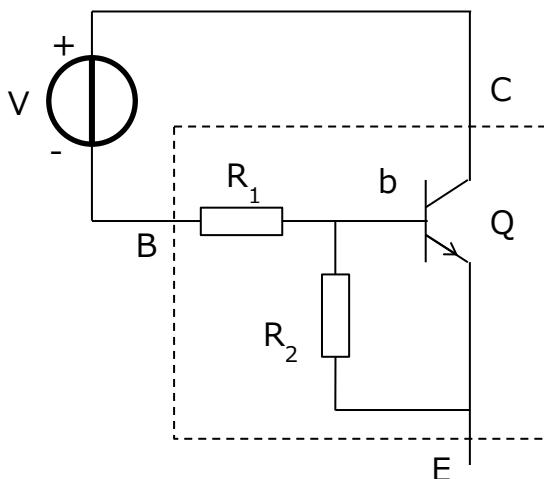


図 4-1  $I_{CBO}$

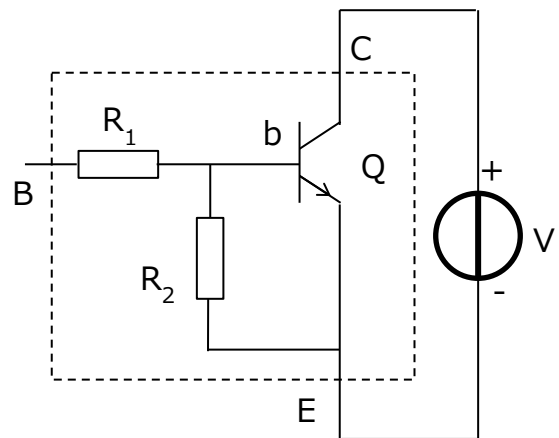


図 4-2  $I_{CEO}$

### 4.2. エミッタ遮断電流 $I_{EBO}$

エミッタ遮断電流はコレクタをオープンにして、b・E 間の pn ジャンクションに対し逆方向に印加したときのリーク電流になります。“3.4. エミッタ・ベース間電圧  $V_{EBO}$ ”で説明していますが、内蔵抵抗  $R_1$  と  $R_2$  がありますので、例えば npn タイプの場合、低電圧時はこの  $R_1$  と  $R_2$  の分圧 ( $R_1 / (R_1 + R_2)$ ) が E・b 間に印加されます。この電圧が b・E 間の pn 接合のブレイクダウン電圧に近づくとき、リーク電流が流れはじめます。抵抗比  $R_1/R_2$  の大きな製品ほど電流は大きくなります。また同時に抵抗  $R_2$  に電流  $I_{R2}$  が流れますので、同一抵抗比の場合、 $R_1$  の大きな製品ほど小さくなります。

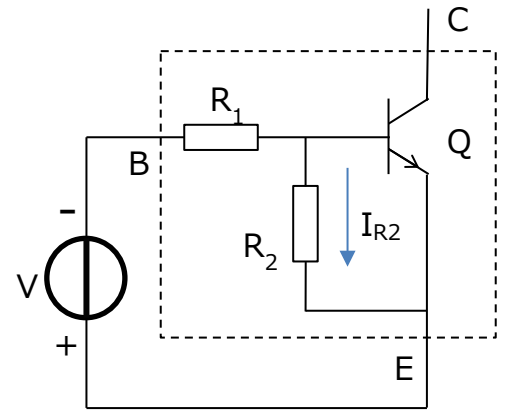


図 4-3  $I_{EBO}$

### 4.3. 直流電流増幅率 $h_{FE}$

BRT での直流増幅率の定義は以下になります。

$$h_{FE} = I_C / I_B = I_C / (I_b + I_{R2})$$

一般とバイポーラトランジスタと異なり、分母に内蔵抵抗  $R_2$  を流れる電流  $I_{R2}$  の項が入ります。したがって、 $R_2$  の無いタイプでは通常のバイポーラトランジスタと同じ  $h_{FE}$  になりますが、それ以外のタイプでは、 $I_{R2}$  に電流が流れるので、 $h_{FE}$  は低くなります。内蔵する抵抗の値により以下の傾向があります。

- ①  $R_2$  の大きい製品ほど  $h_{FE}$  が高くなる
- ②  $R_2$  の小さい製品は低電流での  $h_{FE}$  の減少が大きい

内蔵トランジスタがオンしているとき、 $V_{bE} = \text{Const.} (\approx 0.7V)$  なので、 $I_{R2} = \text{Const.}$  となります。従って  $I_{R2}$  の大きい ( $R_2$  の小さい) トランジスタでは、低電流で  $I_{R2}$  の影響を大きく受け下がることとなります。

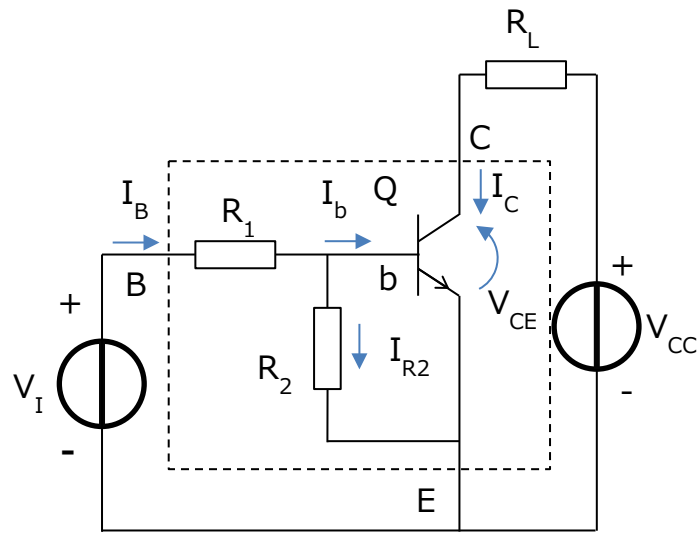


図 4-4  $h_{FE}$

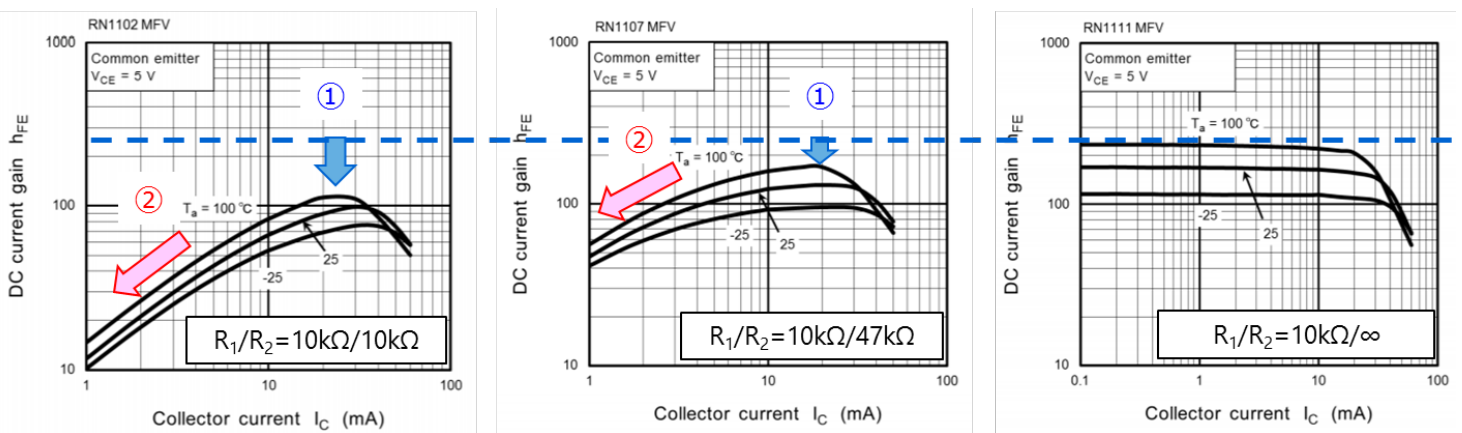


図 4-5  $h_{FE}$  と  $R_2$  の関係

### 4.4. コレクタ・エミッタ間飽和電圧 $V_{CE(sat)}$ 、出力電圧 $V_{O(on)}$

図 4-6 に示すように、ベース B から電流  $I_B$  を流し込み、同様にコレクタ C から電流  $I_C$  を流し込んだ時のコレクタ C・エミッタ E 間の電圧降下をコレクタ・エミッタ間飽和電圧としています。これは測定の均一化のために行っている方法ですが、例えば  $I_C = 20 \times I_B$  の条件であれば、 $h_{FE} = 20$  のときの飽和状態の C・E 間電圧に一致します。一部の製品では、データシート上で出力電圧  $V_{O(on)}$  と記載しています。この場合、 $I_B$  は  $I_I$ 、 $I_C$  は  $I_O$  と読み替えてください。

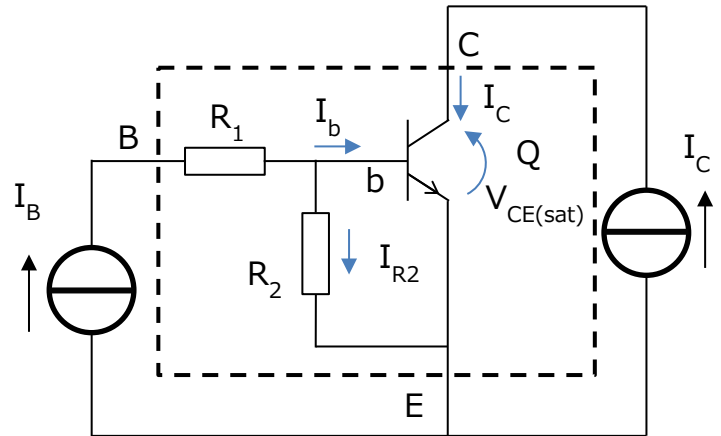


図 4-6  $V_{CE(sat)}$

### 4.5. 入力オン電圧 $V_{I(ON)}$ 、 $V_{I(on)}$

BRT の内蔵トランジスタを飽和領域でオンさせるときの条件です。（図 4-7 を参照してください）

- ・ $V_{I(ON)}$ ：RNxxx シリーズでは規定のコレクタ電流  $I_C$ 、コレクタ C・エミッタ E 間電圧  $V_{CE}$  となる時の入力電圧（ベース B・エミッタ E 間電圧）と定義しています。
- ・ $V_{I(on)}$ ：TDTCxxx/TDTAxxx シリーズでは規定の出力電流  $I_O$ 、コレクタ C・エミッタ E 間電圧  $V_O$  でオンするときの入力電圧（ベース B・エミッタ E 間電圧）と定義しています。

データシートの測定条件に記載の飽和状態で確実にオンさせるためには以下のように設定ください。

- ・前者( $V_{I(ON)}$ )の場合、最大電圧以上の電圧を印加してください。
- ・後者の場合、最小電圧以上の電圧を印加してください。

内蔵トランジスタが規定時の条件でオンしているとき、内蔵抵抗により製品ごとの規格は影響を受けます。規定条件下ではトランジスタに入力される電流、各端子の電圧は変わりません。製品ごとに変わるのは、 $I_{R2} = V_{bE} / R_2$ 。またこれにより、 $I_B = I_b + I_{R2}$  になります。

$$V_{I(ON)} = \underline{V_{bE}} + R_1 \times (I_b + I_{R2}) = V_{bE} + R_1 \times \underline{I_b} + R_1 \times \underline{V_{bE}} / R_2$$

下線の値は製品によらず一定です。したがって、入力オン電圧は  $R_1$  に比例し、 $R_2$  に反比例する値となります。この傾向は  $V_{I(on)}$  でも同じです。

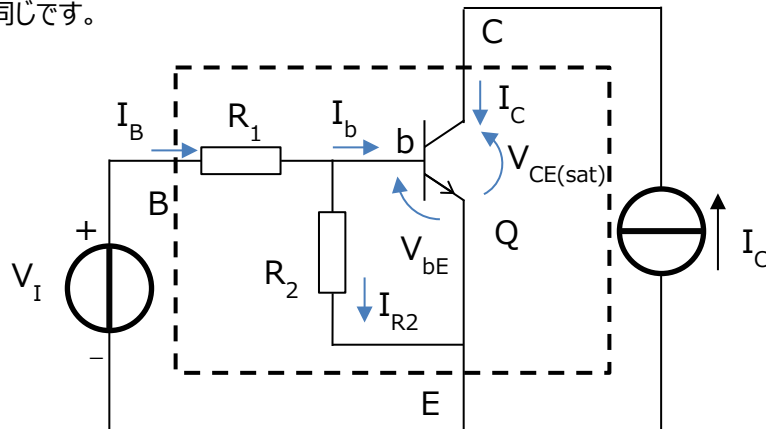


図 4-7  $V_{I(ON)}$

### 4.6. 入力オフ電圧 $V_{I(OFF)}$ 、 $V_{I(off)}$

BRT をオフさせるときの条件です。

- ・ $V_{I(OFF)}$ ：RNxxx シリーズでは規定のコレクタ電流  $I_C$ 、コレクタ C ・ エミッタ E 間電圧  $V_{CE}$  となるときの入力電圧（ベース B ・ エミッタ E 間電圧）と定義しています
- ・ $V_{I(off)}$ ：TDTCxxx/TDTAxxx シリーズでは規定の出力電流  $I_O$ 、コレクタ C ・ エミッタ E 間電圧  $V_O$  でオフするときの入力電圧（ベース B ・ エミッタ E 間電圧）と定義しています。

データシートの測定条件に記載の状態確実にオフさせるためには、以下のように設定ください。

- ・前者の場合、最小電圧以下の電圧を印加してください。
- ・後者の場合、最大電圧以下の電圧を印加してください。

各製品ごとの入力オフ電圧も内蔵抵抗の影響を受けます。

図 4-8 でトランジスタはオフしています。オフするときのベース b・エミッタ E 間電圧  $V_{bE}$  は抵抗によらず、内蔵するトランジスタの閾値で決まります。オフ状態のとき、内蔵トランジスタのベース電流  $I_b$  は流れません。したがって、オフ時の  $V_{I(OFF)}$  は下式で表されます。ここで  $V_{bE}$  は閾値以下の内蔵トランジスタの固有値ですので、 $V_{I(OFF)}$  は抵抗比率（ $R_1 / R_2$ ）に比例します。

$$V_{bE} = R_2 / (R_1 + R_2) \times V_{I(OFF)}$$

$$V_{I(OFF)} = (R_1 / R_2 + 1) \times V_{bE}$$

これらの関係は  $V_{I(off)}$  でも同様です。

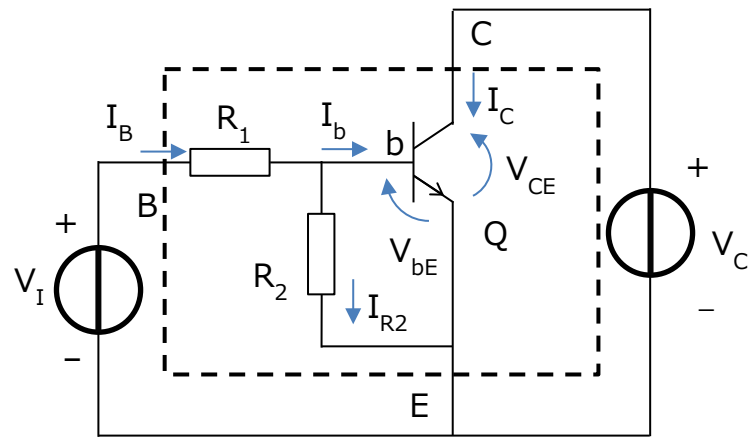


図 4-8  $V_{I(OFF)}$

### 4.7. コレクタ出力容量 $C_{ob}$

トランジスタは 2 つの pn 接合(ベース・エミッタ間  $C_{BE}$ 、コレクタ・ベース間  $C_{CB}$ )で構成されています。これらの接合部分には寄生容量（接合容量）が存在します。また、BRT などのディスクリート構造のトランジスタでは、内蔵チップの裏面がコレクタになっていますので、コレクタとエミッタ間にも容量  $C_{CE}$  が存在します。

$C_{ob}$  は図 4-10 に示す測定回路のようにエミッタをオープン状態で、C-B 間に電圧  $V_C$  を印加し測定します。

したがって、下式で表すことができます。

$$C_{ob} = C_{CB} + (C_{BE} \times C_{CE}) / (C_{BE} + C_{CE})$$

$C_{CE}$  は他の容量に比較して BRT では小さいので  $C_{CB}$  を表すと言えます。

通常のバイポーラトランジスタを活性領域で使用する場合、 $C_{CB}$  はミラー容量として働きゲインを阻害しますが、BRT は飽和領域で主にスイッチとして使用されますので、この影響はほとんどありません。

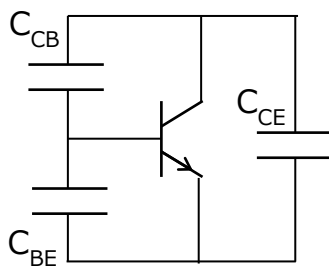


図 4-9 トランジスタの容量

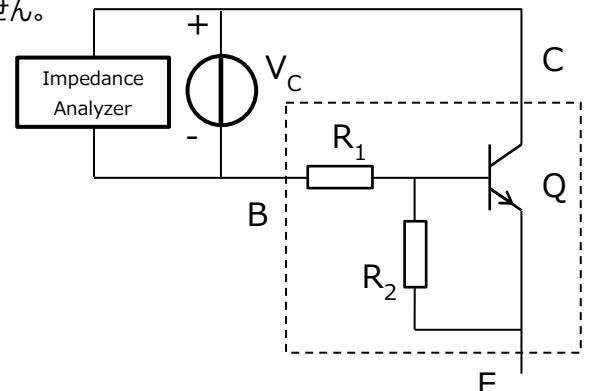


図 4-10 コレクタ出力容量  $C_{ob}$  測定回路

### 4.8. 内蔵抵抗

内蔵抵抗はポリシリコン抵抗で許容損失は 1/8 W と定義しています。ベース B・エミッタ E 間に印加する入力電圧  $V_I$  はほとんどの場合、コレクタ電流  $I_C$  やコレクタ損失  $P_C$  で規制されますが、飽和を深くして低  $h_{FE}$  で設計する場合、この抵抗の許容損失で  $V_I$  が規制されることもあります。

内蔵抵抗は温度特性を持っており、その参考特性を図 4-11 に示します。

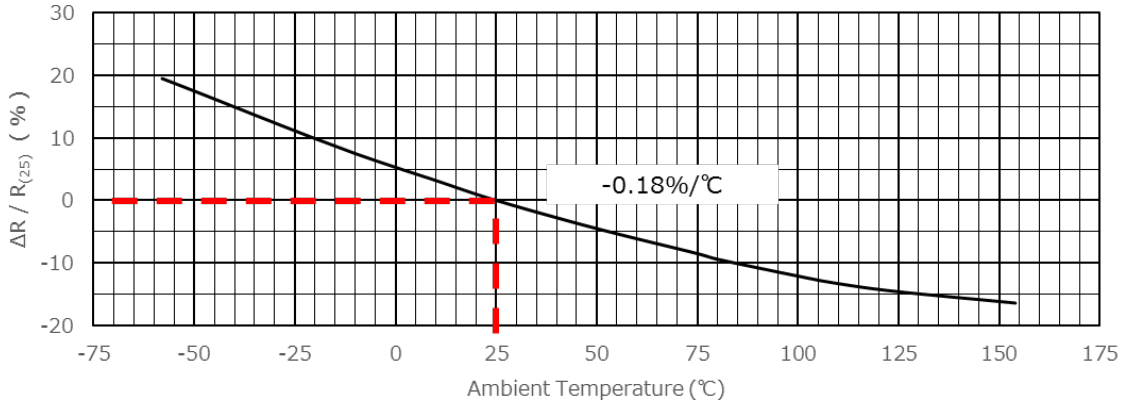


図 4-11 内蔵抵抗温度特性例（25°C基準）

### 4.9. 入力抵抗 $R_1$

BRT のベース端子 B と内蔵トランジスタのベース b 間の抵抗を入力抵抗  $R_1$  と定義しています。この抵抗はポリシリコン抵抗でできており、“4.8. 内蔵抵抗”で示したように負の温特があります。また、 $R_1$  はセンター値に対し規格幅は±30% になります。このバラツキは抵抗形成時の抵抗幅、ポリ抵抗を作るときの不純物濃度・温度などにより生じます。

$R_1$  は BRT の B 端子に入力された電圧を電流に変換する素子です。バイポーラトランジスタは電流駆動素子で、電圧で直接駆動しようとすると電圧に対するコレクタ電流の変化が大きく制御が難しくなります。この抵抗があることで比較的容易に制御することが可能になります。

BRT のオン時、入力電圧によりますが内蔵トランジスタは  $h_{FE} = I_C / I_b$  が 10~20 と飽和の状態で作動します。このため、 $R_1$  を通る電流  $I_B$  は数 mA 程度の比較的大きな電流が流れます。この抵抗の許容損失は 1/8 W です。抵抗値の高い  $R_1$  を内蔵した素子では、入力電圧  $V_I$  の最大電圧はこの抵抗 ( $R_1$ ) で決まります。

### 4.10. 抵抗比率 $R_1 / R_2$

BRT では  $R_2$  単体の規格は提示していません。この  $R_2$  に対する規格として抵抗比 ( $R_1/R_2$ ) で規格化しています。規格幅は±10%です。

$R_1/R_2$  に依存する項目として入力オン電圧  $V_{I(ON)}$  があります。トランジスタがオンする直前ではベース電流  $I_B$  は流れませんので、B 端子に入力された電圧  $V_I$  は  $R_1$  と  $R_2$  の分圧になります。内蔵トランジスタがオンする閾値電圧を  $V_{bE}$  とすると

$$V_{bE} = R_2 / (R_1 + R_2) * V_I(ON)$$

$V_{bE}$  は内蔵されるトランジスタが同じであれば、抵抗値が異なっても同じ値となります。

$$V_{I(ON)} = V_{bE} * (R_1 + R_2) / R_2 = V_{bE} * (1 + R_1 / R_2)$$

このように抵抗比  $R_1/R_2$  に依存することがわかります。

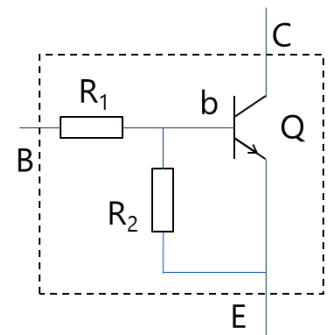


図 4-12 BRT 等価回路

### 4.1.1. トランジション周波数 $f_T$

内蔵トランジスタがエミッタ接地で電流増幅率  $h_{FE}$  が 1 になる周波数として定義しています。活性領域での電流増幅率  $h_{FE}$  の値は 6dB/Oct（周波数が 10 倍になると半分）の傾きで減少します。この特性から低い周波数（例えば 1MHz）で測定し 6dB/Oct の直線を引き、 $h_{FE}$  が 1 となる周波数を  $f_T$  としています。

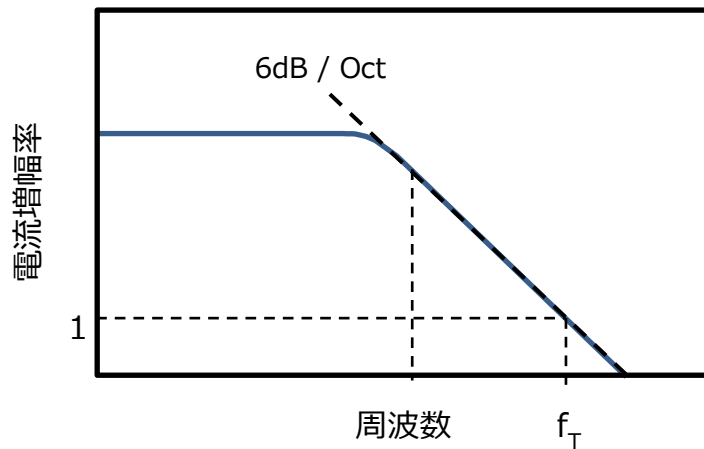


図 4-13  $h_{FE}$  周波数特性

## 5. 関連リンク

■ 製品のラインアップ（カタログ）

[Click](#)

■ 製品のラインアップ（パラメトリックサーチ）

[Click](#)

■ オンラインディストリビュータご購入、在庫検索

nnp

pnp

複合



TDT



■ 抵抗内蔵型トランジスタ（BRT）の FAQ

[Click](#)

■ アプリケーションノート

[Click](#)



## 6. 製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。  
本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則および命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。