

TOSHIBA

東芝 オリジナル CMOS 8ビット マイクロコントローラ

TLCS-870 シリーズ

TMP87C409BMG

TMP87C409BNG

TMP87C809BMG

TMP87C809BNG

Not Recommended
for New Design

株式会社 **東芝** セミコンダクター社

お知らせ

本マイコン製品の「はんだ無鉛化」に伴うデータシート変更は、変更内容のみを、旧データシートの先頭に付加した形での御提供をさせていただいております。御理解を頂けます様、よろしくお願い申し上げます。

下記に修正項目と内容の説明を明記いたします。

製品に応じて対象となる修正項目が異なりますので、御注意ください。

修正項目 1. 製品名称

例) TMPxxxxxxF TMPxxxxxxFG 等

本文中には、旧名称のまま記述されておりますが、
表紙及び付加ページ(ローマ数字の本文前のページを示す)
内記述の名称が正式な名称となります。

修正項目 2. パッケージ名称及び寸法

例) LQFP100-P-1414-0.50C LQFP100-P-1414-0.50F

本文中には、旧名称・旧寸法図のまま記述されておりますが、
付加ページの名称と寸法図が正式な名称及び寸法図となります。

修正項目 3. はんだ濡れ性の注意事項の追記

はんだ無鉛化に伴い、はんだ濡れ性に注意事項が追記されています。

修正項目 4. 「当社半導体製品取り扱い上のお願い」

旧製品には旧製品当時の文言が記述されている場合がありますが、
付加ページ内で最新の内容に更新しております。

修正項目 5. データシートの発行日付

付加ページ内のデータシート右下に記述されている発行日付が
本データシートの発行日付となります。

修正対象項目 1. 製品名称

修正対象項目 2. パッケージ名称及び寸法

本文中製品名称 (旧名称)	本文中パッケージ名称 (旧名称)	正式名称 (新名称)	正式パッケージ名称 (新名称)	OTP 製品名
TMP87C409BM	SOP28_P_450_1.27	TMP87C409BMG	SOP28-P-450-1.27B	TMP87P809MG
TMP87C4089BN	SDIP28_P_400_1.78	TMP87C409BNG	SDIP28-P-400-1.78	TMP87P809NG
TMP87C8089BM	SOP28_P_450_1.27	TMP87C809BMG	SOP28-P-450-1.27B	TMP87P809MG
TMP87C8089BN	SDIP28_P_400_1.78	TMP87C809BNG	SDIP28-P-400-1.78	TMP87P809NG

*: 正式パッケージでの実際の寸法図は別紙の「パッケージ外形寸法図」を参照してください。

修正項目 3. はんだ濡れ性の注意事項の追記

本製品では、はんだの濡れ性について以下の注意事項が追加されます。

鉛フリー品 (G 付製品) へのはんだ濡れ性についての注意事項

試験項目	試験条件	備考
はんだ付け性	230°C 5 秒間 1 回 R タイプフラックス使用 (鉛はんだ使用時) 245°C 5 秒間 1 回 R タイプフラックス使用 (鉛フリーはんだ使用時)	フォーミングまでの半田付着率 95%を良品とする

修正項目 4. 「当社半導体製品取り扱い上のお願ひ」

本製品では以下に示す、最新の「当社半導体製品取り扱い上のお願ひ」が適用されます。

当社半導体製品取り扱い上のお願ひ

20070701-JA

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いいたします。なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願ひ」、「半導体信頼性ハンドブック」などをご確認ください。
- 本資料に掲載されている製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。
- 本資料に掲載されている製品を、国内外の法令、規則及び命令により製造、使用、販売を禁止されている応用製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 本資料に掲載されている製品の RoHS 適合性など、詳細につきましては製品個別に必ず弊社営業窓口までお問合せください。本資料に掲載されている製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令などの法令を十分調査の上、かかる法令に適合するようご使用ください。お客様が適用される法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

修正項目 5. データシートの発行日付

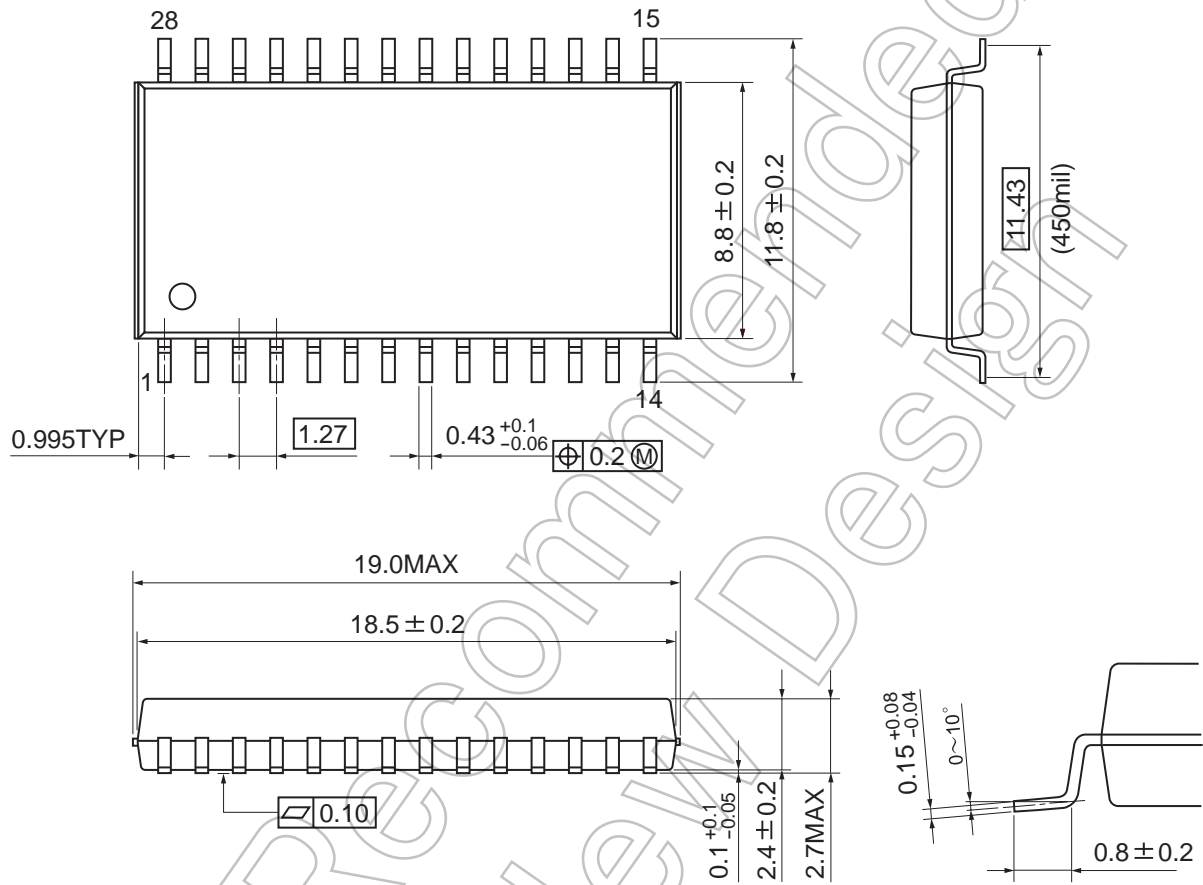
本製品の発行日は、付加ページ右下にも記入の「2008-03-06」です。

(別紙)

パッケージ外形寸法図

SOP28-P-450-1.27B

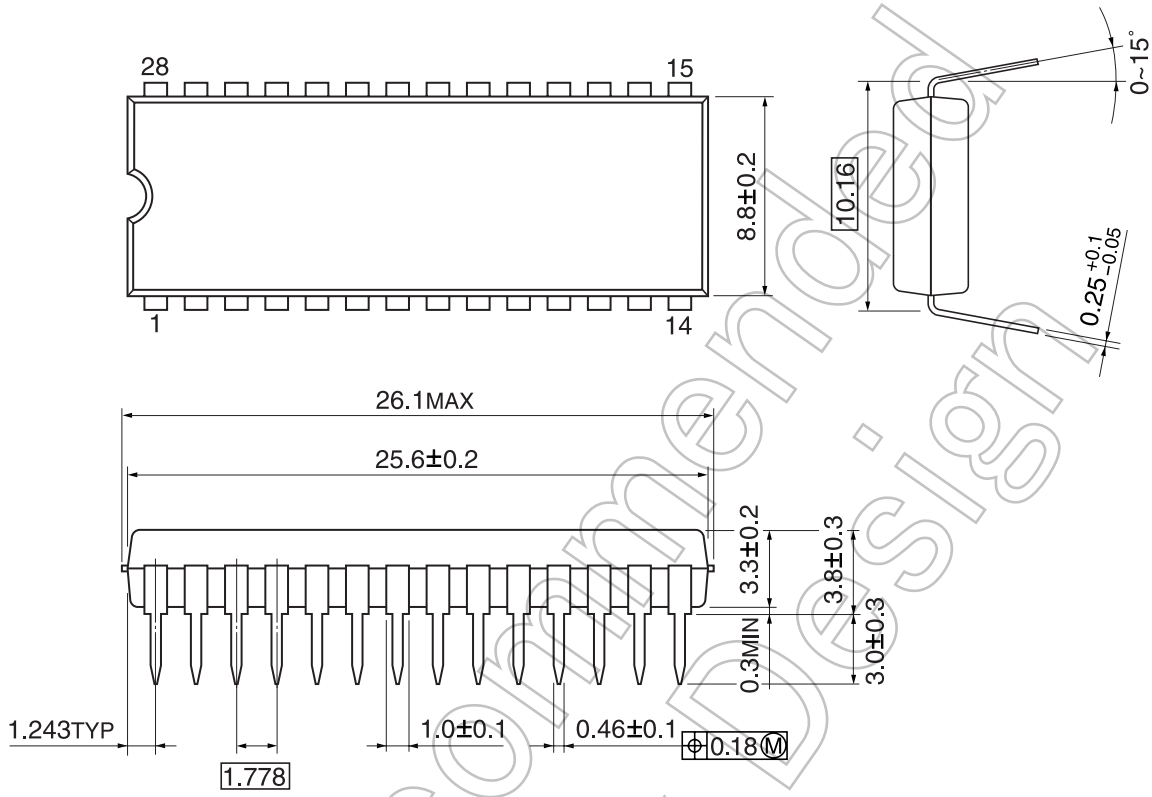
単位: mm



注: パラジウムめっき仕様

SDIP28-P-400-1.78

単位: mm



Not Recommended for New

CMOS 8ビット マイクロコントローラ

TMP87C409BNG, TMP87C409BMG, TMP87C809BNG, TMP87C809BMG

大容量ROM, RAM, 入出力ポート, 多機能タイマカウンタ, 10ビットADコンバータなどを内蔵し、低電圧、低消費動作が可能な高速、高性能8ビットシングルチップマイクロコンピュータです。

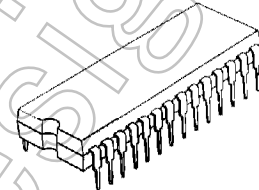
製品形名	ROM	RAM	パッケージ	OTP内蔵品
TMP87C409BNG	4Kバイト	256バイト	SDIP28-P-400-1.78	TMP87P809NG
TMP87C409BMG			SOP28-P-450-1.27B	TMP87P809MG
TMP87C809BNG	8Kバイト		SDIP28-P-400-1.78	TMP87P809NG
TMP87C809BMG			SOP28-P-450-1.27B	TMP87P809MG

特長

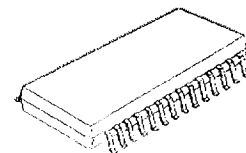
- ◆ 8ビットシングルチップマイクロコンピュータ
TLCS-870シリーズ
- ◆ 最小命令実行時間: 0.5 μ s (8 MHz 動作時)
- ◆ 基本機械命令: 129種類 412命令
 - 乗除算 (8 bit \times 8 bit, 16 bit \div 8 bit)
: 実行時間3.5 μ s (8 MHz 動作時)
 - ビット操作
(Set / Clear / Complement / Load / Store / Test / Exclusive or)
 - 16ビット演算/転送
 - 1バイト長のジャンプ/サブルーチンコール
(Short relative jump / Vector call)
- ◆ 割り込み11要因(外部:4, 内部:7)
 - 全要因独立ラッチ付き, 多重割り込み制御
 - エッジ選択, ノイズ除去機能付き外部割り込み端子あり
 - レジスタバンク切り替えによる高速タスクスイッチング
- ◆ 入出力ポート (22端子)
 - 大電流出力: 6端子 (Typ. 20 mA)
- ◆ 16ビットタイマカウンタ: 1チャンネル
 - タイマ, イベントカウンタモード
- ◆ 8ビットタイマカウンタ: 2チャンネル
 - タイマ, イベントカウンタ, キャプチャ,
PWM出力, PDOモード

パッケージ外観図

SDIP28-P-400-1.78

TMP87C409BNG
TMP87C809BNG

SOP28-P-450-1.27B

TMP87C409BMG
TMP87C809BMG

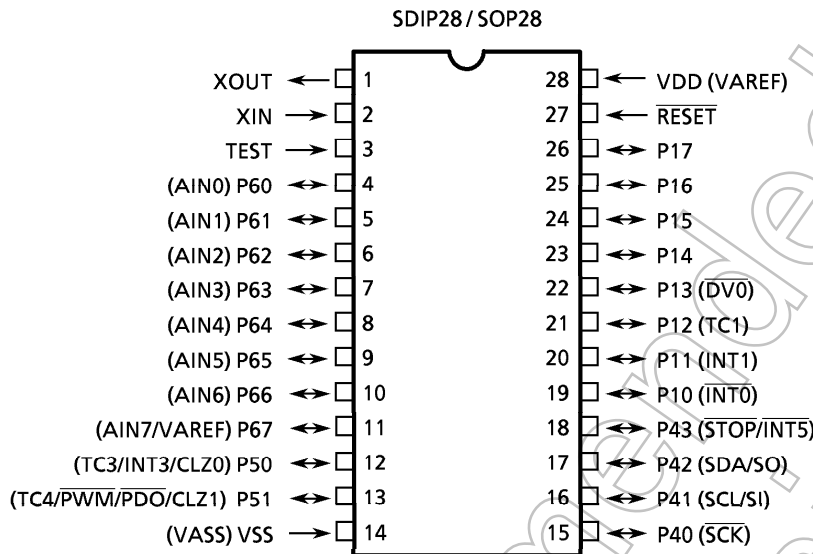
060116TBP

- ・当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などをご確認ください。 021023_A
- ・本資料に掲載されている製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。 021023_B
- ・本資料に掲載されている製品を、国内外の法令、規則および命令により製造、販売を禁止されている応用製品に使用することはできません。 060106_Q
- ・本資料に掲載されている技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。 021023_C
- ・本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。 021023_E
- ・本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。 021023_D
- ・マイコン製品の信頼性予測については、「品質保証と信頼性/取り扱い上のご注意とお願い」の1.3項に記載されておりますので必ずお読みください。 030519_S

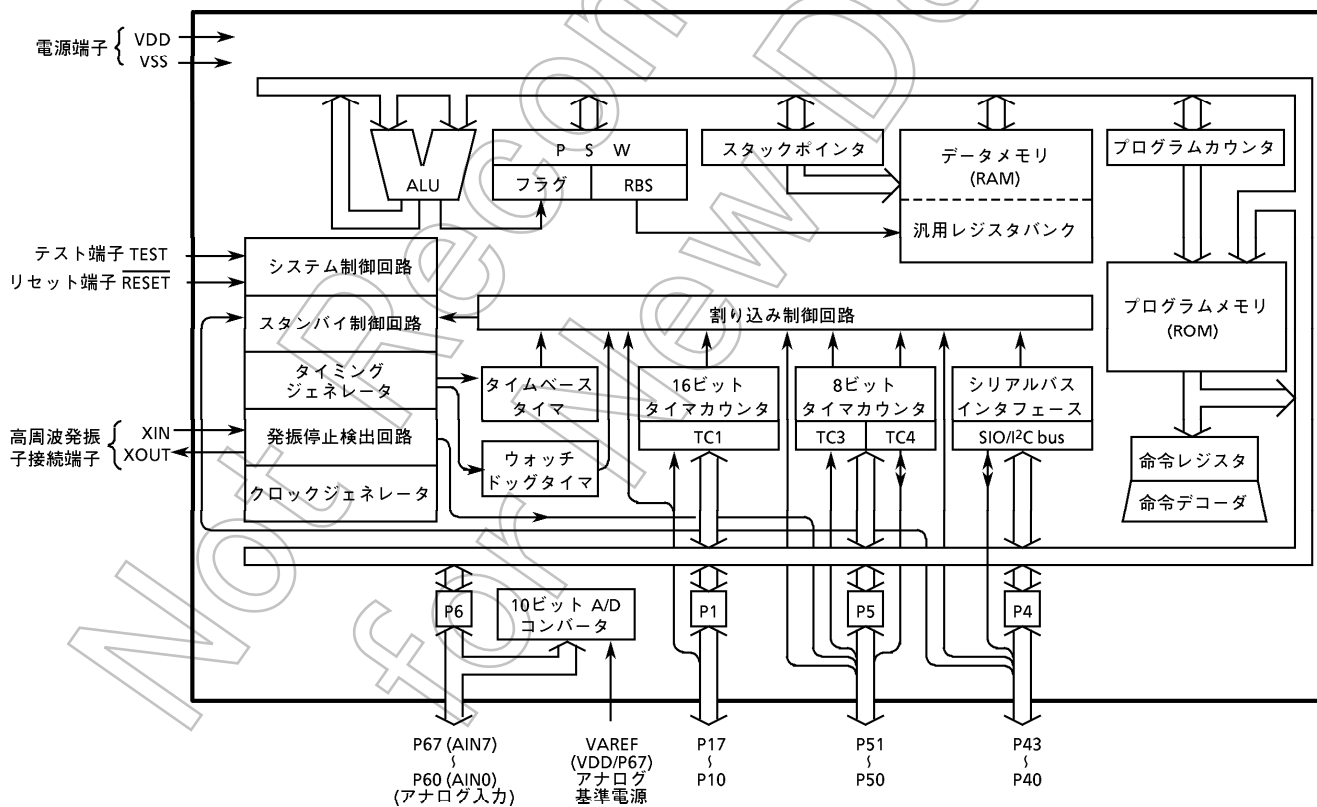
- ◆ タイムベースタイマ
 - 割り込み周波数： 8種類 (1~16384 Hz)
- ◆ デバイダ出力機能 (周波数： 4種類)
- ◆ ウォッチドッグタイマ
- ◆ シリアルバスインタフェース： 1チャンネル
 - 8ビットSIO/I²Cバスモード
- ◆ 10ビット逐次比較方式 ADコンバータ
 - アナログ入力： 8チャンネル
- ◆ 発振停止検出ハイインピーダンス出力：2チャンネル
- ◆ 低消費電力動作 (2モード)
 - STOPモード： 発振停止(バッテリー/コンデンサバックアップ)。ポート出力の保持/ハイインピーダンスの選択。
 - IDLEモード： CPU停止。周辺ハードウェアのみ動作継続し、割り込みで解除 (CPU再起動)。
- ◆ 動作電圧 2.2~5.5 V (4.2 MHz) / 4.5~5.5 V (8 MHz時)
- ◆ エミュレーションポッド： BM87C809N0A

Not Recommended for New Design

ピン配置図 (上面図)



ブロック図



端子機能

端子名	入出力	機	能
P17~P14	入出力	8ビットのプログラマブル入出力ポート (トライステート)。	
P13 (DVO)	入出力(出力)	1ビット単位で入力/出力の指定ができません。外部割り込み入力, タイマカウンタ	デバイダ出力
P12 (TC1)		入力として用いる場合は、入力モードに	タイマカウンタ1の入力
P11 (INT1)	入出力(入力)	します。デバイダ出力として用いる場合は、出力ラッチを“1”にセットして、出	外部割り込み入力1
P10 (INT0)		力モードにします。	外部割り込み入力0
P43 (STOP / INT5)	入出力(入力/入力)	4ビットの入出力ポート(大電流出力)。	STOPモード解除入力/外部割り込み5入力
P42 (SDA / SO)	入出力(入出力/出力)	入力ポート、シリアルバスインタフェー	I ² Cバスのデータ入出力/SIOのデータ出力
P41 (SCL / SI)	入出力(入出力/入力)	ス入出力、外部割り込み入力として用い	I ² Cバスのクロック入出力/SIOのデータ入力
P40 (SCK)	入出力(入出力)	る場合は出力ラッチを“1”にセットしま	SIOのクロック入出力
P51 (TC4 / PWM / PD0 / CLZ1)	入出力(入力/出力) /出力/出力)	2ビットのプログラマブル入出力ポート (トライステート、大電流出力)。 入力ポート、タイマカウンタ入力、外部	タイマカウンタ4入力/PWM出力/PDO出
P50 (TC3 / INT3 / CLZ0)	入出力(入力/入力) /出力)	割り込みとして用いる場合は入力モード に、PWM/PDO出力として用いる場合は	力/発振停止検出出力1
		出力ラッチを“1”にセットし出力モード に、発振停止検出出力として用いる場合	タイマカウンタ3入力/外部割り込み入力3
		は出力モードにします。	/発振停止検出出力0
P67 (AIN7 / VAREF)	入出力(入力/入力)	8ビットのプログラマブル入出力ポート (トライステート)。	ADコンバータアナログ入力/アナログ
P66 (AIN6) ~P60 (AIN0)	入出力(入力)	1ビット単位で入力/出力の指定ができません。アナログ入力またはアナログ基準電	基準電源
		源として用いる場合は、入力モードにし	ADコンバータアナログ入力
		ます。	
XIN, XOUT	入力, 出力	高周波発振子接続端子。 外部クロック入力の場合XINへ入力し、XOUTは開放します。	
RESET	入力	リセット信号入力。	
TEST	入力	出荷試験用端子。低レベルに固定します。	
VDD (VAREF)	電源	+5 V	AD変換用アナログ基準電源
VSS (VASS)	電源	0 V (GND)	AD変換用アナログ基準GND

動作説明

1. CPUコア機能

CPUコアは、CPU、システムクロック制御回路、割り込み制御回路およびウォッチドッグタイマから構成されています。

本章では、CPUコア、プログラムメモリ、データメモリおよびリセット回路について説明します。

1.1 メモリアドレスマップ

TMP87C409B/809Bのメモリは、ROM、RAM、SFR(スペシャルファンクションレジスタ)の3つのブロックで構成され、それらは1つの64Kバイトアドレス空間上にマッピングされています。図1-1にTMP87C409B/809Bのメモリアドレスマップを示します。また、汎用レジスタは16バンクあり、RAMアドレス空間上にマッピングされています。

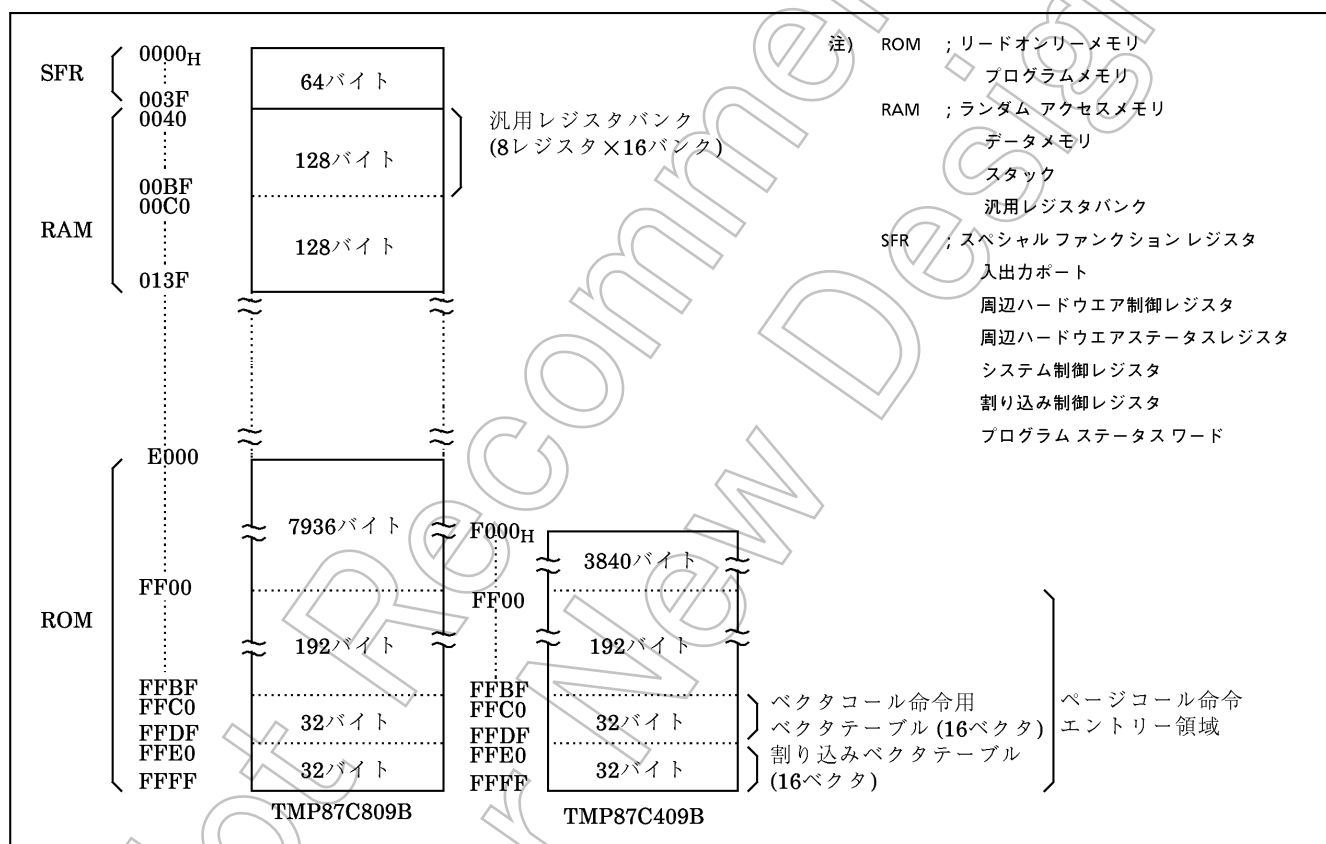


図1-1. メモリアドレスマップ

1.2 プログラムメモリ(ROM)

TMP87C409Bは4Kバイト(アドレスF000~FFFF_H番地), TMP87C809Bは8Kバイト(アドレスE000~FFFF_H番地)のプログラムメモリ(マスクROM)を内蔵しています。図1-2にプログラムメモリマップを示します。

プログラムメモリのFF00~FFFF_H番地は、特定の用途にも使用できます。

(1) 割り込みベクタテーブル (FFE0~FFFF_H番地)

リセットおよび割り込みのベクタ(2バイト/ベクタ)を格納するテーブルで、16ベクタあります。ベクタには、リセット解除からのスタートアドレス、割り込みサービスルーチンのエントリーアドレスを格納します。

(2) ベクタコール命令用ベクタテーブル (FFC0~FFDF_H番地)

ベクタコール命令[CALLV a]用のベクタ(サブルーチンエントリーアドレス, 2バイト/ベクタ)を格納するテーブルで、16ベクタあります。ベクタコール命令は1バイト長の命令で、使用頻度の高い(3ヶ所以上から呼び出される)サブルーチンコールに使うことによりメモリ効率を上げることができます。

(3) ページコール命令用エントリーエリア (FF00~FFFF_H番地)

ページコール命令[CALLP a]用のサブルーチンエントリーアドレスエリアです。FFC0~FFFF_H番地はベクタテーブルにもなっていますので、通常FF00~FFBF_H番地の範囲を使用します。ページコール命令は、2バイト長の命令です。

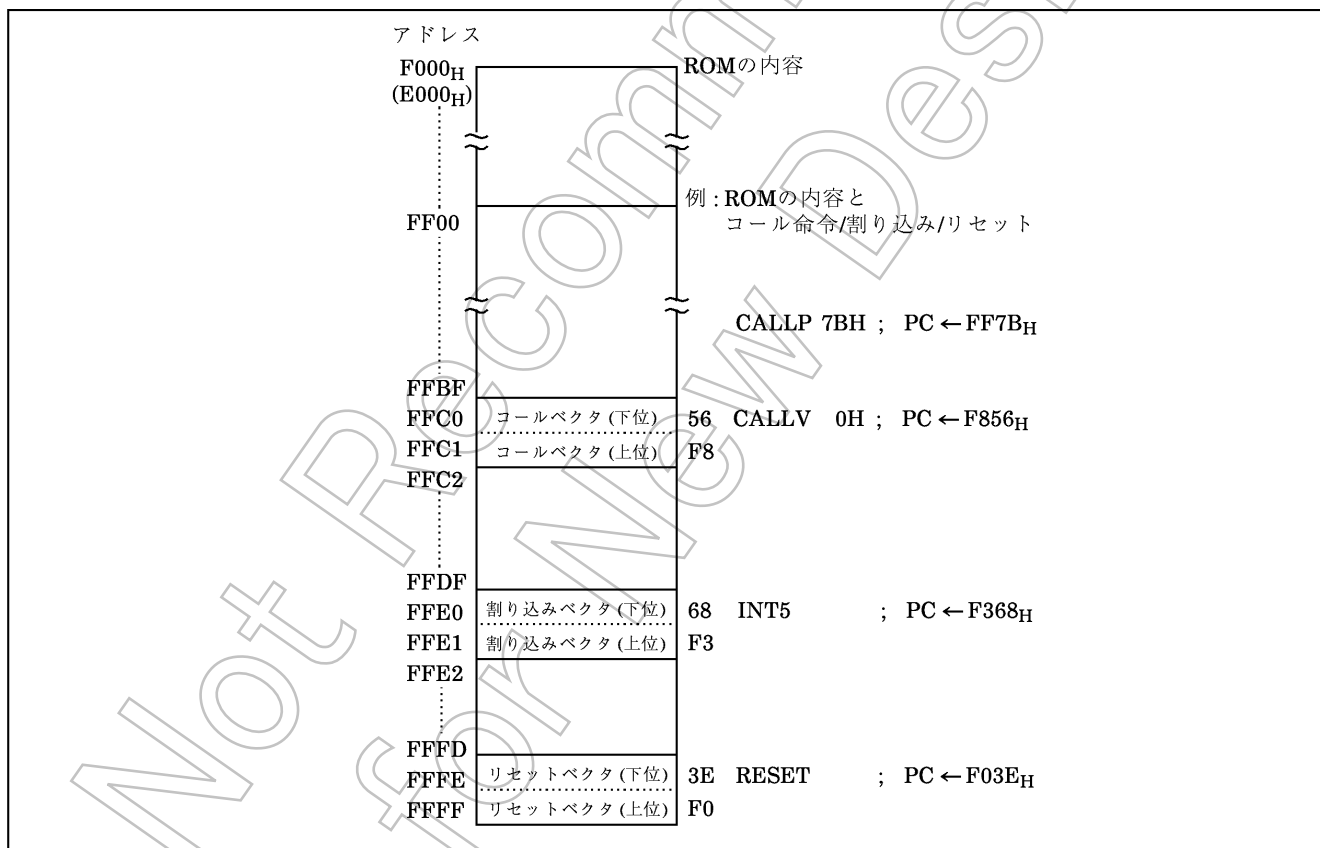


図1-2. プログラムメモリマップ

プログラムメモリには、プログラムおよび固定データが格納されます。次に実行すべき命令は、プログラムカウンタの内容が示すアドレスから読み出されます。ジャンプ命令は相対ジャンプまたは絶対ジャンプ命令で、ジャンプ命令に関してプログラムメモリにはページ、バンクといった境界概念はありません。

例： ジャンプ命令とプログラムカウンタの関係

① 5ビット相対ジャンプ命令[JRS cc, \$+2+d]

F8C4H: JRS T, \$+2+08H の場合

JF=1のとき、プログラムカウンタの内容に08Hを加算したF8CEHにジャンプします(プログラムカウンタの内容は実行命令の置かれたアドレス+2になっています。従って、この場合プログラムカウンタの値はF8C4H+2=F8C6Hとなります)。

② 8ビット相対ジャンプ命令[JR cc, \$+2+d]

F8C4H: JR Z, \$+2+80H の場合

ZF=1のとき、プログラムカウンタの内容にFF80H(-128)を加算したF846Hにジャンプします。

③ 16ビット絶対ジャンプ命令[JP a]

F8C4H: JP 0F235H の場合

無条件にF235H番地にジャンプします。絶対ジャンプ命令は64Kバイトの全空間内の任意のアドレスにジャンプできます。

TLCS-870シリーズは、プログラムメモリに格納された固定データの読み出しに、データメモリをアクセスする命令と同じ命令を使用します。さらに、レジスタオフセット相対アドレッシングモード(PC+A)の命令も使用でき、コード変換、テーブルルックアップ、多方向分岐処理などが容易にプログラミングできます。

例1： HLレジスタペアで指定されるアドレスのROM内容をアキュムレータに読み出す処理(TMP87C809Bの場合HL≧E000H)。

```
LD A, (HL) ; A ← ROM(HL)
```

例2： BCD→7セグメントコード(アノードコモン)変換出力処理

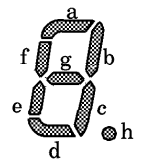
(A=05Hのとき下記プログラムの実行で、P1ポートに92Hが出力されます)。

```
ADD A, TABLE-$-4 ; P1 ← ROM(TABLE+A)
LD (P1), (PC+A)
JRS T, SNEXT ; Jump to SNEXT
```

TABLE: DB 0C0H, 0F9H, 0A4H, 0B0H, 99H, 92H, 82H, 0D8H, 80H, 98H

SNEXT:

注) \$はADD命令の先頭アドレス。DBはバイトデータの定義命令。



例3： アキュムレータの内容(0≦A≦3)による多方向分岐処理

```
SHLC A ; if A=00H then PC←F234H
JP (PC+A) ; if A=01H then PC←F378H
; if A=02H then PC←FA37H
; if A=03H then PC←F1B0H
DW 0F234H, 0F378H, 0FA37H, 0F1B0H
```

注) DWはワードデータの定義命令。ワード=2バイト。

SHLC A
JP (PC+A)
34
F2
78
F3
37
FA
B0
F1

1.3 プログラムカウンタ(PC)

プログラムカウンタは、次に実行すべき命令の格納されているプログラムメモリのアドレスを指す16ビットのレジスタです。リセット解除時、ベクタテーブル (**FFFF**, **FFFE_H**番地)に格納されているリセットベクタがプログラムカウンタにロードされますので、任意のアドレスからプログラムの実行を開始することができます。例えば、**FFFF**, **FFFE_H**番地にそれぞれ、**F0**, **3E_H**が格納されている場合、リセット解除後**F03E_H**番地から実行開始します。

TLCS-870シリーズは、パイプライン処理(命令先行フェッチ)を行っていますので、プログラムカウンタは、常に2アドレス先を指します。例えば、**F123_H**番地に格納されている1バイト命令の実行中、プログラムカウンタの内容は、**F125_H**です。

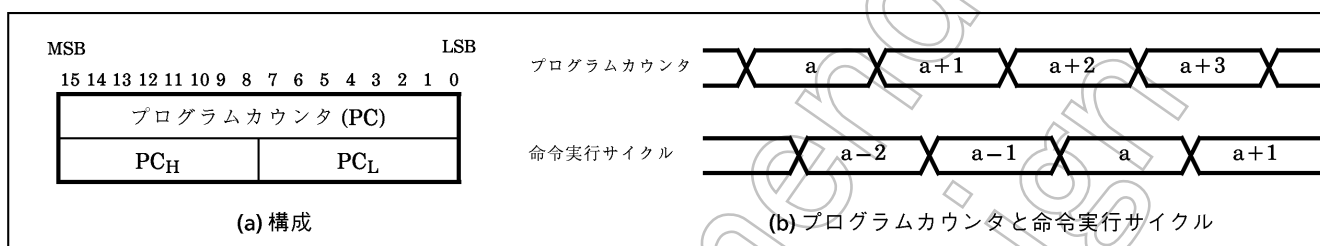


図1-3. プログラムカウンタ

1.4 データメモリ (RAM)

TMP87C409B/809Bは256バイト(アドレス**0040**~**013F_H**番地)のデータメモリ(スタティックRAM)を内蔵しています。図1-4にデータメモリマップを示します。

0000~**00FF_H**番地は、ダイレクトアドレッシング領域になっており、このアドレッシングモードを用いる命令が強化されていますので、**0040**~**00FF_H**番地のデータメモリは、ユーザーフラグやユーザーカウンタとしても使用できます。

例1：データメモリの**00C0_H**番地のビット2が“1”なら**00E3_H**番地に**00_H**を書き込み、“0”なら**FF_H**を書き込む処理。

```

TEST   (00C0H).2      ; if (00C0H)2 = 0 then jump
JRS    T,SZERO
CLR    (00E3H)         ; (00E3H) ← 00H
JRS    T,SNEXT
SZERO: LD   (00E3H),0FFH ; (00E3H) ← FFH
SNEXT:

```

例2：データメモリの**00F5_H**番地の内容をインクリメントし、**10_H**以上になると**00_H**にクリアする処理。

```

INC    (00F5H)
AND    (00F5H),0FH

```

0040~**00BF_H**番地の128バイトには、汎用レジスタバンク(8レジスタ×16バンク)が割り付けられています。レジスタとして使用中でも、データメモリとしてアクセスできます。例えば、**0040_H**番地を読み出すとバンク0のアクキュレータの内容が読み出されます。

また、データメモリ上の任意の領域にスタックを設定できます。スタックについては、『1.7 スタック,スタックポインタ』を参照してください。

なお、TLCS-870シリーズは、データメモリ上に置かれたプログラムを実行することはできません。プログラムカウンタがデータメモリ(アドレス**0040**~**013F_H**番地)を指した場合、バスエラーによりアドレストラップリセットがかかります(内部リセットがかかります)。

データメモリの内容は、電源投入時不定になりますので、イニシャライズルーチンで初期設定を行ってください。

例1：TMP87C409BのRAMクリア (バンク0以外のRAMをすべてゼロクリア)

```

LD      HL, 0048H      ; スタートアドレス(HL)の設定
LD      A, H          ; 初期化データ(A)の設定
LD      BC, 00F7H     ; バイト数-1(BC)の設定
SRAMCLR: LD      (HL+), A
DEC     BC
JRS    F, SRAMCLR
    
```

注) 汎用レジスタはRAM上に存在しますので、カレントバンクのアドレスに対してRAMクリアしないでください。そのため、上記の例でバンク0を除いてRAMクリアしています。

アドレス	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0040H	レジスタバンク0					レジスタバンク1										
0050	レジスタバンク2					レジスタバンク3										
0060	レジスタバンク4					レジスタバンク5										
0070	レジスタバンク6					レジスタバンク7										
0080	レジスタバンク8					レジスタバンク9										
0090	レジスタバンク10					レジスタバンク11										
00A0	レジスタバンク12					レジスタバンク13										
00B0	レジスタバンク14					レジスタバンク15										
00C0	} ダイレクトアドレッシング領域															
00D0																
00E0																
00F0																
0100																
0110																
0120																
0130																

図1-4. データメモリマップ

1.5 汎用レジスタバンク

汎用レジスタは、データメモリの0040~00BF_H番地にマッピングされており、W, A, B, C, D, E, H, Lの8ビットレジスタ8本を1バンクとして16バンク内蔵しています。図1-5.に汎用レジスタバンクの構成を示します。なお、使用しないレジスタバンクは、データメモリとして使用できます。

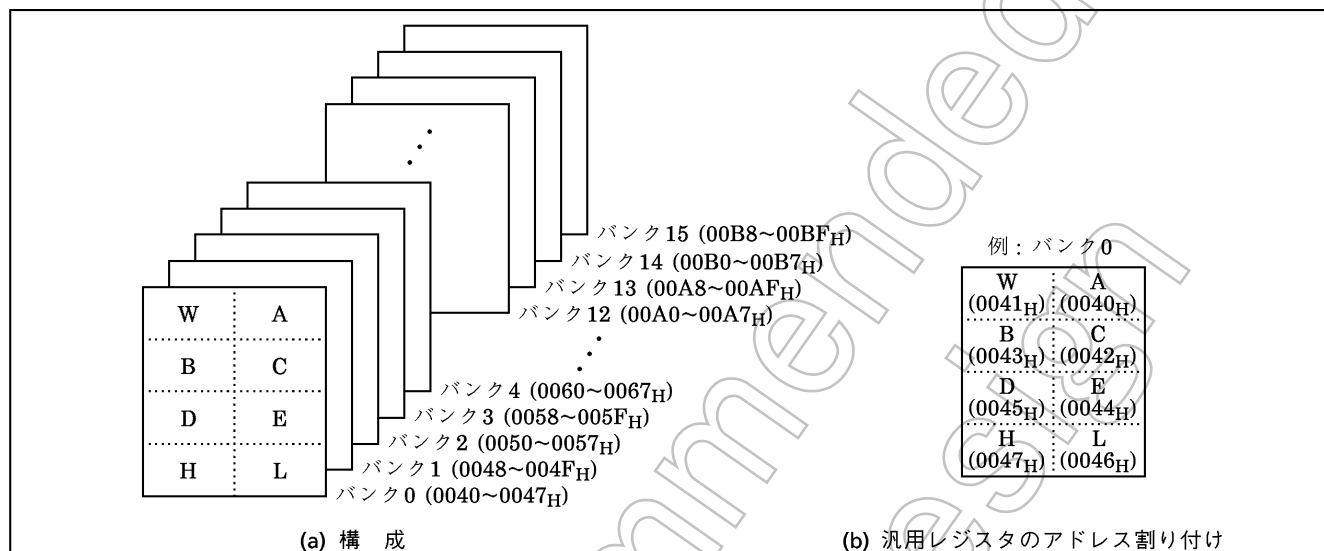


図1-5. 汎用レジスタバンクの構成

各レジスタは、8ビット単位のアクセスのほか、WA, BC, DE, HLのレジスタペアとして16ビット単位のアクセスを行うことができます。また、汎用レジスタとしての機能のほかに、次の機能を有しています。

(1) A, WA

Aは8ビット長のアキュムレータとして、WAは16ビット長のアキュムレータ(Wが上位、Aが下位)としての機能を有しています。なお、8ビット演算についてはA以外のレジスタもアキュムレータ的な使い方ができます。

- 例：
- ① ADD A, B ; Aの内容にBの内容を足して、結果をAに入れます。
 - ② SUB WA, 1234H ; WAの内容から即値1234_Hを引き、結果をWAに入れます。
 - ③ SUB E, A ; Eの内容からAの内容を引き、結果をEに入れます。

(2) HL, DE

HLはデータポインタ/インデックスレジスタ/ベースレジスタとして、DEはデータポインタとしての機能を有しており、メモリのアドレス指定に使われます。

また、HLにはオートポストインクリメント/プリデクリメント機能があり、多桁のデータ処理やソフトウェアLIFO(ラストインファーストアウト)処理が容易にできます。

- 例1：
- ① LD A, (HL) ; HLで指定されるアドレスのメモリ内容をAにロードします。
 - ② LD A, (HL+52H) ; HLに即値52_Hを符号拡張加算した値で指定されるアドレスのメモリ内容をAにロードします。
 - ③ LD A, (HL+C) ; HLにCレジスタの内容を符号拡張加算した値で指定されるアドレスのメモリ内容をAにロードします。

- ④ LD A, (HL+) ; HLで指定されるアドレスのメモリ内容をAにロード後、HLの内容をインクリメントします。
- ⑤ LD A, (-HL) ; HLの内容をデクリメントし、その値で指定されるアドレスのメモリ内容をAにロードします。

TLCS-870シリーズは、メモリからメモリにデータを直接転送したり、メモリとメモリとの間で直接演算することができ、ブロック処理などを容易にプログラミングできます。

例2: ブロック転送

```
LD B, m ; m=n-1 (n: 転送バイト数)
LD HL, DSTA ; 転送先アドレス
LD DE, SRCA ; 転送元アドレス
SLOOP: LD (HL), (DE) ; (HL) ← (DE)
INC HL ; HL ← HL+1
INC DE ; DE ← DE+1
DEC B ; B ← B-1
JRS F, SLOOP ; if B ≥ 0 then loop
```

(3) B, C, BC

B, Cは8ビットの、BCは16ビットのバッファ、カウンタなどに使用できます。Cは、レジスタインデックスアドレッシング(HL+C)におけるオフセットレジスタとして(前記の例1③)、また除算命令における除数レジスタとしての機能を有しています。

例1: リピート処理

```
LD B, n ; リピート回数の設定(n+1回処理が行われます)
SREPEAT: 処 理
DEC B
JRS F, SREPEAT
```

例2: 除算(16ビット÷8ビット)

```
DIV WA, C ; WA÷Cの演算を行い、商をAに、余りをWに入れます。
```

汎用レジスタのバンク選択は、4ビット長のレジスタバンクセレクタ(RBS)により行います。リセット時RBSは“0”に初期化されますので、バンク0に初期設定されます。RBSで選択されているバンクをカレントバンクと呼びます。

RBSは、フラグとともにプログラムステータスワード(PSW)として、SFR内の003FH番地に割り付けられており、メモリアクセス命令で操作します。なお、即値設定およびプッシュ/ポップのみ専用命令[LD RBS, n], [PUSH PSW], [POP PSW]が用意されています。

例1: RBSのインクリメント

```
INC (003FH) ; RBS ← RBS + 1
```

例2: RBSのリード

```
LD A, (003FH) ; A ← RBS(この命令ではフラグも同時に読み出されますので、A ← PSWとなります)
```


割り込み処理におけるレジスタの退避、サブルーチン処理におけるパラメータの受け渡しにバンク切り替えを使うことにより、効率のよいプログラムを組むことができ、また、高速にタスクスイッチングができます。割り込み受け付け時、RBSは自動的にスタックに退避されます。なお、割り込みリターン命令 [RETI], [RETN] の実行により、自動的に割り込み受け付け前のバンクに復帰しますので、RBSの退避/復帰のソフトウェア処理は必要ありません。

TLCS-870シリーズは最大15要因の割り込みをサポートしており、各要因に1バンクを割り当て、さらにメインタスクに1バンクのレジスタを割り当てることができます。また、メモリの使用効率を上げる場合、多重化しない割り込み要因には共通のバンクを割り当てて使用します。

例： バンク切り替えによる割り込みタスクにおける汎用レジスタの退避/復帰

```
PINT1:  LD  RBS, n      ; RBS ← n(バンクnに切り替え)
        [割り込み処理]
        RETI          ; マスカブル割り込みリターン(バンクは自動的に復帰)
```

1.6 プログラムステータスワード (PSW)

プログラムステータスワードは、レジスタバンクセレクタ(RBS)とフラグから構成され、SFR内の003FH番地に割り付けられています。

RBSは、メモリアクセス命令で読み出し/書き込みができ、フラグは読み出しのみできます。PSWに対して書き込みを行った場合、フラグにはデータは書き込まれず、その命令で定まった変化をします。例えば、[LD (003FH), 05H]命令を実行すると、RBSには“5”が書き込まれ、JFは“1”にセットされ、そのほかのフラグは変化しません。

割り込み受け付け時、PSWはプログラムカウンタとともにスタックに退避されます。また、PSWは割り込みリターン命令[RETI], [RETN]の実行によりスタックからリストアされ、割り込み受け付け直前の状態に戻ります。

PSWをアクセスする専用命令としてプッシュ[PUSH PSW]/ポップ[POP PSW]があります。

1.6.1 レジスタバンクセレクタ (RBS)

汎用レジスタのバンクを選択する4ビットのレジスタです。例えば、RBS=2のとき、バンク2が現在選択されていることとなります。

リセット時、RBSは“0”に初期化されます。

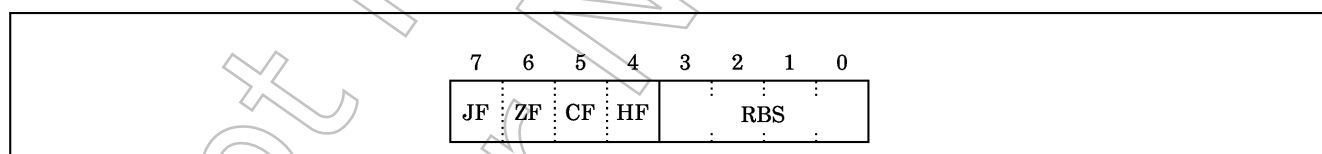


図1-6. PSW (フラグ, RBS) の構成

1.6.2 フラグ (FLAG)

ゼロフラグ、キャリーフラグ、ハーフキャリーフラグおよびジャンプステータスフラグの4ビットで構成され、命令で指定される条件に従いセット/クリアされます。ゼロフラグ、キャリーフラグおよびジャンプステータスフラグは、条件付きジャンプ命令[JRC cc, \$+2+d], [JRS cc, \$+2+d]のジャンプ条件ccとなります。

リセット解除時ジャンプステータスフラグは、“1”に初期化されます(そのほかのフラグは初期化されません)。

(1) ゼロフラグ (ZF)

ゼロフラグは、演算結果または転送データが00H (8ビット演算/転送時)/0000H (16ビット演算時)のとき“1”にセットされ、そのほかのときは“0”にクリアされます。ビット操作命令では、指定ビットの内容が“0”のときZFは“1”にセットされ、指定ビットの内容が“1”のときZFは“0”にクリアされます (ビットテスト)。乗算命令の場合積の上位8ビットが00Hのとき、除算命令の場合剰余が00Hのとき、ZFは“1”にセットされ、そのほかのときは“0”にクリアされます。

(2) キャリーフラグ (CF)

演算時のキャリーまたはボローがセットされます。除算命令の場合、除数が00Hのとき (Divided by zero Error)、または、商が100H以上のとき (Quotient - Overflow Error)、“1”にセットされます。

シフト/ローテート命令では、レジスタからシフトアウトされるデータがセットされます。

ビット操作命令では、1ビット長のレジスタ (ブリアンアキュムレータ)として機能します。また、キャリーフラグ操作命令によりセット/クリア/反転ができます。

例： ビット操作 (07H番地のビット5の内容と9AH番地のビット0の内容とで排他的論理和をとり、結果を01H番地のビット2に書き込みます)。

```
LD    CF, (0007H).5 ; (0001H)2 ← (0007H)5 ⊕ (009AH)0
XOR   CF, (009AH).0
LD    (0001H).2, CF
```

(3) ハーフキャリーフラグ (HF)

8ビット演算時、4ビット目へのキャリーまたは4ビット目からのボローがセットされます。HFは、BCDデータの加減算の際の十進補正用のフラグです ([DAA r], [DAS r]命令による十進補正)。

例： BCD演算 (A=19H, B=28Hのとき、次の命令を実行すると、Aは47Hになります)。

```
ADD   A, B ; A ← 41H, HF ← 1, CF = 0
DAA   A ; A ← 41H + 06H = 47H (十進補正)
```

(4) ジャンプステータスフラグ (JF)

通常、“1”にセットされるフラグで、命令に従いゼロまたはキャリー情報がセットされ、条件付きジャンプ命令

[JR T/F, \$+2+d], [JRS T/F, \$+2+d] (T, Fは条件コードです)のジャンプ条件となります。

例： ジャンプステータスフラグと条件付きジャンプ命令

```
INC   A
JRS   T, SLABLE1 ; 直前の演算命令で桁上げが発生した場合
      ⋮           ; ジャンプします。
LD    A, (HL)
JRS   T, SLABLE2 ; 直前の命令でJFは“1”にセットされるので、無条件ジャンプ命令と見なされます。
      ⋮
```

例：WAレジスタペア, HLレジスタペア, データメモリの00C5_H番地, キャリーフラグ, ハーフキャリーフラグの内容がそれぞれ“219A_H”, “00C5_H”, “D7_H”, “1”, “0”のとき、下記命令を実行するとアキュムレータおよび各フラグは次のようになります。

命 令	実行後の アキュムレータ	実行後のフラグ			
		JF	ZF	CF	HF
ADDC A, (HL)	72	1	0	1	1
SUBB A, (HL)	C2	1	0	1	0
CMP A, (HL)	9A	0	0	1	0
AND A, (HL)	92	0	0	1	0
LD A, (HL)	D7	1	0	1	0
ADD A, 66H	00	1	1	1	1

命 令	実行後の アキュムレータ	実行後のフラグ			
		JF	ZF	CF	HF
INC A	9B	0	0	1	0
ROL A	35	1	0	1	0
ROR A	CD	0	0	0	0
ADD WA, 0F508H	16A2	1	0	1	0
MUL W, A	13DA	0	0	1	0
SET A.5	BA	1	1	1	0

1.7 スタック, スタックポインタ

1.7.1 スタック

スタックは、サブルーチンコール命令実行時または割り込み受け付け時にその処理ルーチンへジャンプするに先立ってプログラムカウンタの内容(戻り番地)やプログラムステータスワードの内容などをセーブするエリアです。

サブルーチンコール命令[CALL a], [CALLP a], [CALLV n]実行時、戻り番地(上位バイト, 下位バイトの順に)がスタックに退避(プッシュダウン)されます。ソフトウェア割り込み命令[SWI]実行時または割り込み受け付け時は、まずプログラムステータスワードの内容がスタックに退避され、次に戻り番地が退避されます。

処理ルーチンから復帰する場合、サブルーチンリターン命令[RET]を実行することによりスタックからプログラムカウンタへ、割り込みリターン命令[RETI], [RETN]を実行することによりスタックからプログラムカウンタおよびプログラムステータスワードへ、それぞれの内容がリストア(ポップアップ)されます。

スタックは、データメモリ内の任意のエリアに設定できます。

1.7.2 スタックポインタ (SP)



図1-7. スタックポインタ

スタックポインタは、スタックの先頭番地を指す16ビットのレジスタです。スタックポインタは、サブルーチンコール、プッシュ命令実行時および割り込み受け付け時にポストデクリメントされ、リターン、ポップ命令実行時にプリインクリメントされます。従って、スタックはアドレスの若い方に向かって深くなります。スタックのアクセスとスタックポインタの変化を図1-8.に示します。

スタックポインタは、ハードウェア的には初期化されませんので、イニシャライズルーチンで初期化(スタックの最高位アドレスをセット)する必要があります。スタックポインタを操作する命令には、[LD SP, mn], [LD SP, gg]および[LD gg, SP](mnは16ビット即値、ggはレジスタペア)があります。

例1：スタックポインタのイニシャライズ

```
LD SP, 013FH ; SP ← 013FH
```

例2：スタックポインタのリード

```
LD HL, SP ; HL ← SP
```

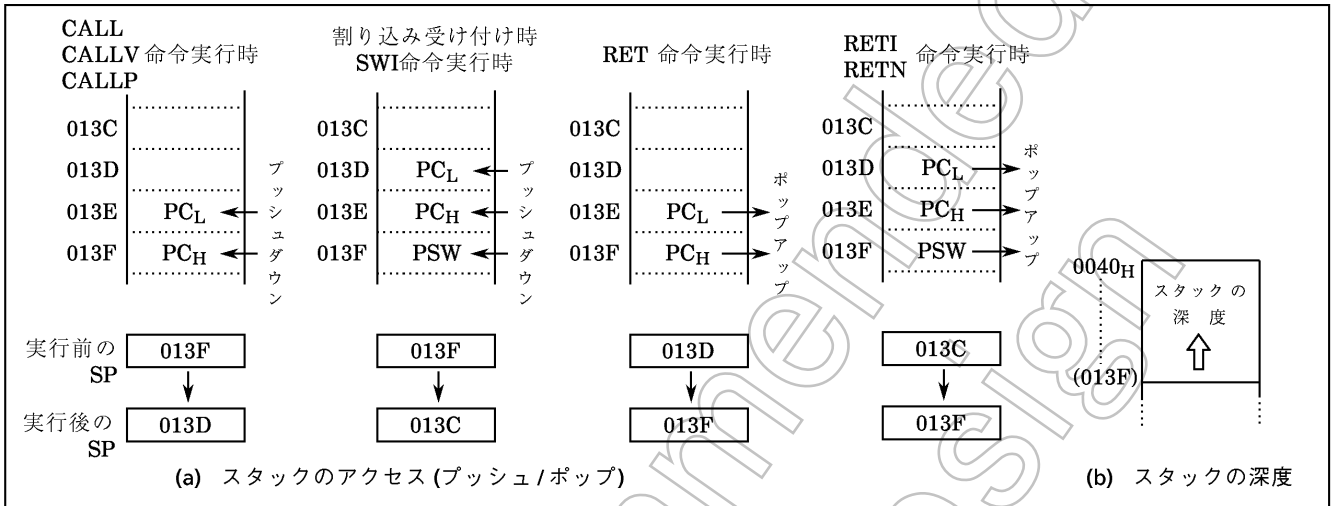


図1-8. スタック

1.8 システムクロック制御回路

システムクロック制御回路は、クロックジェネレータ、タイミングジェネレータおよびスタンバイ制御回路から構成されています。

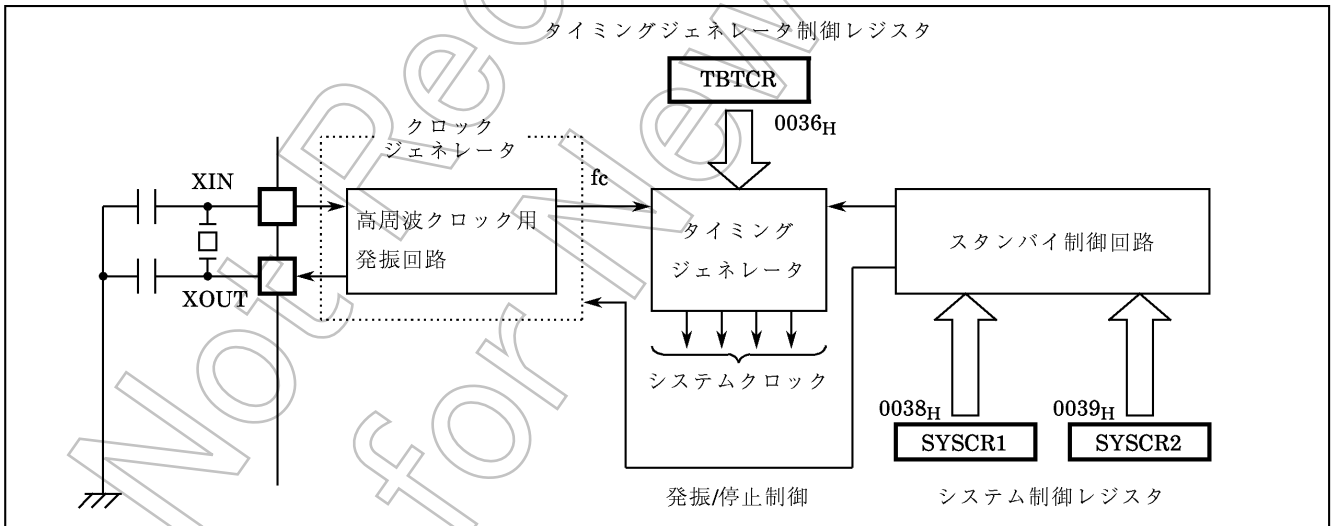


図1-9. システムクロック制御回路

1.8.1 クロックジェネレータ

クロックジェネレータは、CPUコアおよび周辺ハードウェアに供給されるシステムクロックの基準となる基本クロックを発生する回路です。

クロック(周波数 f_c)は、XIN、XOUT端子に発振子を接続することにより容易に得られます。また、外部発振器からのクロックを入力することもできます。

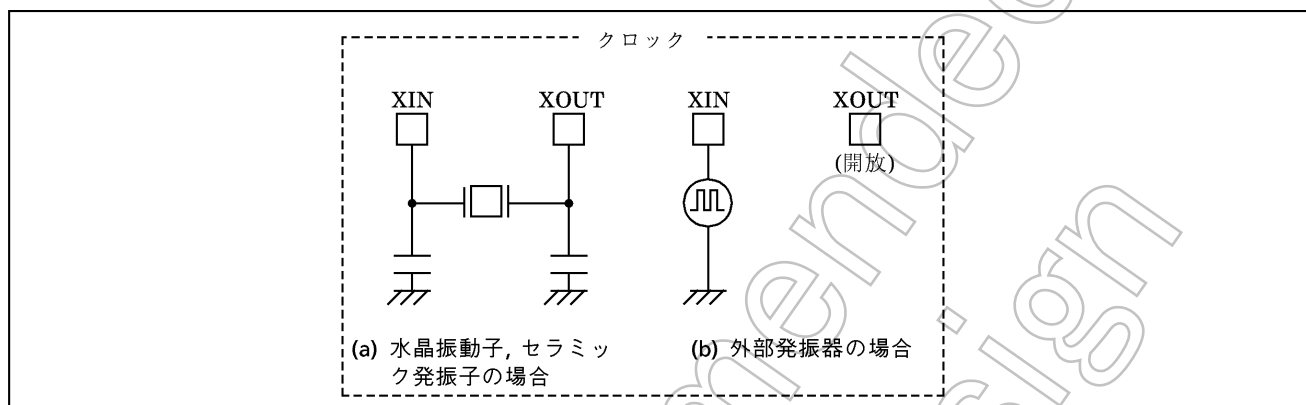


図1-10. 発振子の接続例

注) 発振周波数の調整

基本クロックを外部にて直接モニタする機能はハードウェア的には用意されていませんが、割り込み禁止状態、ウォッチドッグタイマのディセーブル状態でプログラムによってポートに一定周波数のパルスを出力させ、これをモニタすることにより調節を行うことができます。発振周波数の調整が必要なシステムでは、あらかじめ調整用プログラムを作成しておく必要があります。

1.8.2 タイミングジェネレータ

タイミングジェネレータは、基本クロック (f_c) からCPUコアおよび周辺ハードウェアに供給する各種システムクロックを発生する回路です。タイミングジェネレータの機能は、次のとおりです。

- ① メインシステムクロック生成
- ② デバイダ出力 (DVO) パルス生成
- ③ タイマベースタイマのソースクロック生成
- ④ ウォッチドッグタイマのソースクロック生成
- ⑤ タイマカウンタの内部ソースクロック生成
- ⑥ シリアルインタフェースの内部シリアルクロック生成
- ⑦ STOPモード解除時のウォーミングアップクロック生成

(1) タイミングジェネレータの構成

タイミングジェネレータは、2段のプリスケラ、21段のデバイダおよびマシンサイクルカウンタから構成されています。

なお、リセット時およびSTOPモード起動/解除時デバイダは“0”にクリアされます(ただし、プリスケラはクリアされません)。

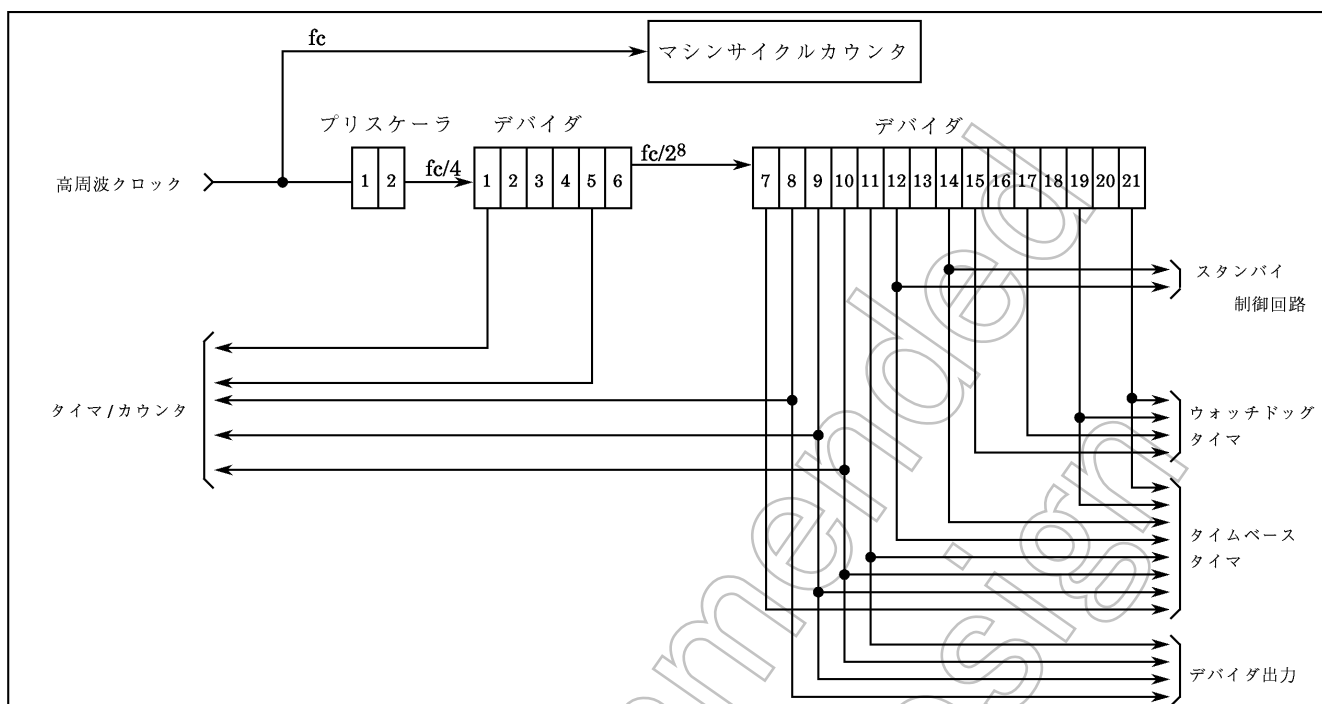


図1-11. タイミング ジェネレータの構成

(2) マシンサイクル

命令の実行および内蔵ハードウェアの動作は、システムクロックに同期して行われます。

命令実行の最小単位を、『マシンサイクル』と呼びます。TLCS-870シリーズの命令には、1マシンサイクルで実行される1サイクル命令から最長10マシンサイクルを要する10サイクル命令までの10種類があります。

マシンサイクルは、4ステート (S0~S3) で構成され、各ステートは1メインシステムクロックで構成されます。

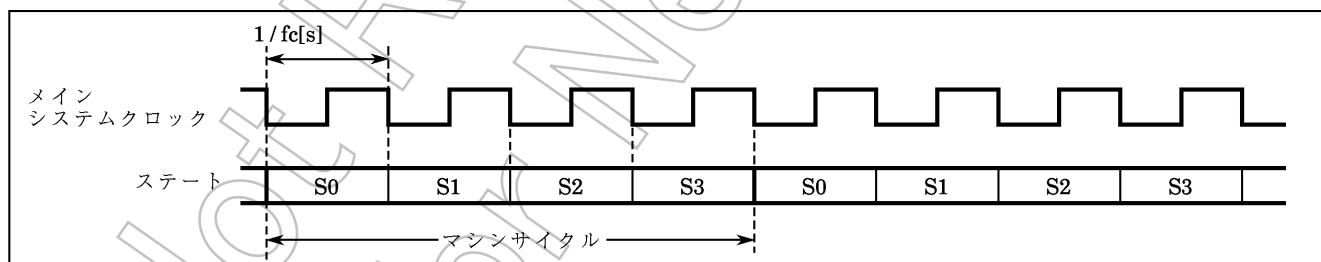


図1-12. マシンサイクル

1.8.3 スタンバイ制御回路

スタンバイ制御回路は、発振回路の発振/停止を行います。動作モードの制御はシステム制御レジスタ (SYSCR1, SYSCR2) で行います。図1-13に動作モード遷移図を、図1-14に制御レジスタを示します。

(1) 動作モード

① NORMALモード

CPUコアおよび周辺ハードウェアを動作させるモードです。リセット解除後このNORMALモードになります。

② IDLEモード

CPUおよびウォッチドッグタイマを停止し、周辺ハードウェアのみ動作させるモードです。IDLEモードの起動は、システム制御レジスタ2で行います。周辺ハードウェアからの割り込みまたは外部割り込みにより解除され、NORMALモードに復帰します。IMF (割り込みマスタ許可フラグ) が“1” (割り込み許可状態) のときは、割り込み処理が行われたあと、通常の動作に戻ります。IMFが“0” (割り込み禁止状態) のときは、IDLEモードを起動した命令の次の命令から実行再開します。

③ STOPモード

発振回路を含めシステムの動作をすべて停止し、停止直前の内部状態を低消費電力で保持するモードです。また、入出力ポートの出力状態は、プログラムで全ポート一括して出力保持/ハイインピーダンスの選択ができます。

STOPモードの起動は、システム制御レジスタ1で行います。解除は、STOP端子入力 (レベル/エッジの選択可能) で行い、ウォーミングアップ時間経過後、STOPモードを起動した命令の次の命令から実行再開します。

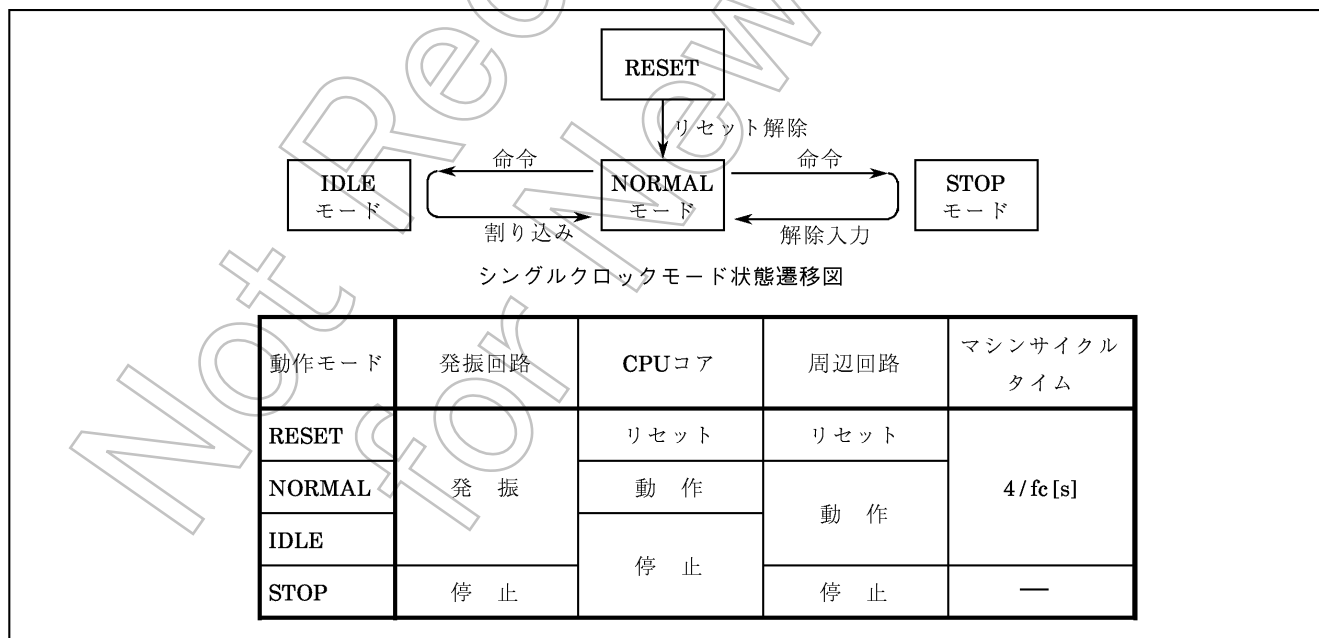


図1-13. 動作モード状態遷移図

システム制御レジスタ1

SYSCR1 (0038H) 7 6 5 4 3 2 1 0 (初期値 0000 00**)

STOP	RELM	0	OUTEN	WUT			
------	------	---	-------	-----	--	--	--

STOP	STOPモードの起動	0: CPUコア, 周辺ハードウェア 動作 1: CPUコア, 周辺ハードウェア 停止 (STOPモード起動)	R/W
RELM	STOPモードの解除方法の選択	0: STOP端子入力の立ち上がりエッジで解除 1: STOP端子入力の“H”レベルで解除	
OUTEN	STOPモード時のポート出力状態の選択	0: ハイインピーダンス 1: 出力保持	
WUT	STOPモード解除時のウォーミングアップ時間	00: $3 \times 2^{19}/fc$ 01: $2^{19}/fc$ 10: $3 \times 2^{12}/fc$ 11: $2^{12}/fc$	

- 注1) ビット5は必ず“0”に設定してください。
- 注2) SYSCR1のビット1,0は、リードすると不定値が読み出されます。
- 注3) fc ; 高周波クロック [Hz]
* ; Don't care
- 注4) OUTEN = “0”の設定でSTOP動作に入ると、内部入力は“0”に固定されますので、立ち下がりエッジの割り込みがセットされる恐れがあります。

システム制御レジスタ2

SYSCR2 (0039H) 7 6 5 4 3 2 1 0 (初期値 1000 ****)

XEN	0	0	IDLE				
-----	---	---	------	--	--	--	--

XEN	発振器の制御	0: 発振停止 1: 発振継続または発振開始	R/W
IDLE	IDLEモードの起動	0: CPU, WDT動作 1: CPU, WDT停止 (IDLEモード起動)	

- 注1) XENを“0”にクリアした場合リセットがかかります (内部リセットがかかります)。
- 注2) ビット6,5は必ず“0”に設定してください。
- 注3) WDT; ウォッチドッグタイマ, *; Don't care
- 注4) SYSCR2のビット3~0は、リードすると“1”が読み出されます。

図1-14. システム制御レジスタ1, 2

1.8.4 動作モードの制御

(1) STOPモード (STOP)

STOPモードは、システム制御レジスタ1とSTOP端子入力によって制御されます。STOP端子は、P43ポートならびにINT5(外部割り込み入力5)端子と兼用です。STOPモードは、STOP(SYSCR1のビット7)を“1”にセットすることにより起動され、STOPモード中、次の状態を保持しています。

- ① 発振を停止し、内部の動作をすべて停止します。
- ② データメモリ、レジスタ (DBRを除く)、プログラムステータスワード、ポートの出力ラッチなどはSTOPモードに入る直前の状態を保持します。なお、ポート出力はOUTEN(SYSCR1のビット4)の設定により、出力保持/ハイインピーダンスの選択ができます。
- ③ タイミングジェネレータのデバイダを“0”にクリアします。
- ④ プログラムカウンタは、STOPモードを起動する命令(例えば、[SET (SYSCR1).7])の2つ先の命令のアドレスを保持します。

STOPモードには、レベル解除モードとエッジ解除モードがあり、システム制御レジスタ1のRELM(SYSCR1のビット6)で選択します。

a. レベル解除モード (RELM=“1”のとき)

STOP端子への“H”レベル入力によりSTOP動作を解除するモードで、メイン電源遮断時のコンデンサバックアップや長時間のバッテリーバックアップなどに使用します。

STOP端子入力が“H”レベルの状態ではSTOP動作の起動を指示する命令を実行しても、STOP動作に入らず、ただちに解除シーケンス(ウォーミングアップ)に移ります。従って、レベル解除モードでSTOP動作で起動する場合、STOP端子入力が“L”レベルになっていることをプログラム上で認識する必要があります。この認識を行うには、次の方法があります。

INT5割り込みによる方法 (INT5端子入力の立ち上がりエッジで割り込みを発生します)

例： INT5割り込みにより、STOPモードを起動

```

PINT5:  TEST (P4).3           ; ノイズ除去のため P43ポート入力が“H”レベルならSTOPモードを起動しない。
        JRS  F, SINT5         ; レベル解除モードにセットアップ
                                           ; STOPモードを起動
        LD   (SYSCR1), 01000000B ; IL11, 5, 3 ← 0
        SET (SYSCR1).7         ; (割り込みラッチのクリア)
        LDW (IL), 1000011101010111B
SINT5:  RETI
    
```

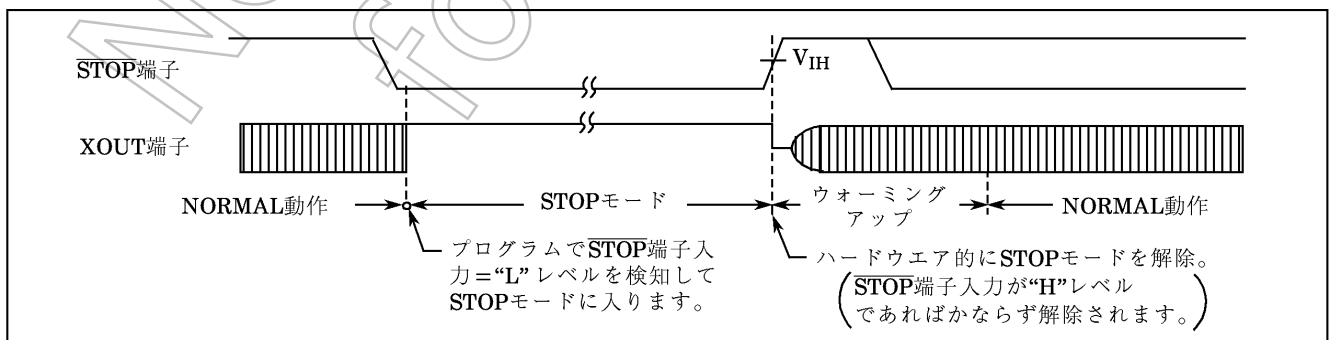


図1-15. レベル解除モード

- 注1) ウォーミングアップ開始後、再びSTOP端子入力が“L”レベルになってもSTOPモードには戻りません。
 注2) エッジ解除モードにセットアップ後、レベル解除モードに戻した場合は、STOP端子入力の立ち上がりエッジが検出されるまではモードは切り替わりません。

b. エッジ解除モード (RELM="0" のとき)

STOP端子入力の立ち上がりエッジでSTOP動作を解除するモードです。比較的短時間のプログラム処理を一定周期で繰り返す応用などに使用し、この一定周期の信号(例えば、低消費電力の発振源からのクロック)をSTOP端子に入力します。エッジ解除モードの場合、STOP端子入力が“H”レベルにあってもSTOP動作に入ります。

例： エッジ解除モードのSTOP動作を起動

```
LD (SYSCR1), 00000000B ; OUTEN ← 0 (ハイインピーダンス指定)
DI ; IMF ← 0
SET (SYSCR1). STOP ; STOP ← 1 (STOPモード起動)
LDW (IL), 10000111010111B ; IL11, 5, 3 ← 0 (割り込みラッチのクリア)
EI ; IMF ← 1
```

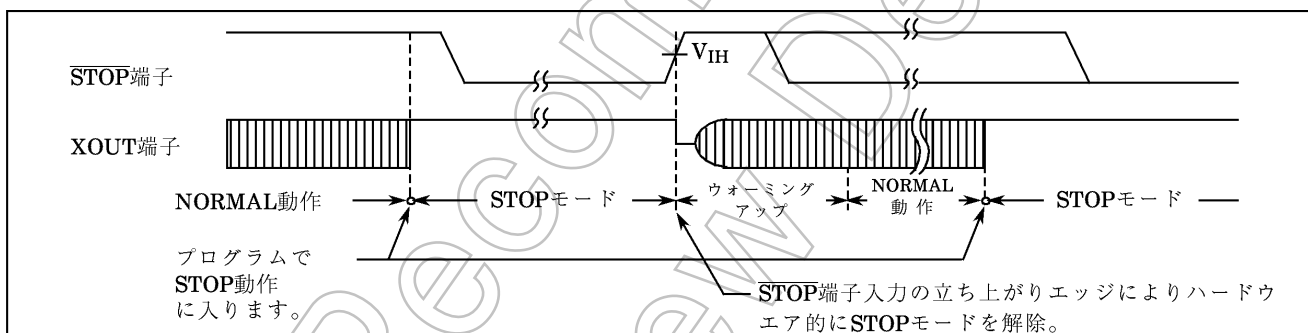


図1-16. エッジ解除モード

STOPモードの解除は、次のシーケンスで行われます。

- ① 発振が開始されます。
- ② 発振が安定するのに必要な時間の確保のため、ウォーミングアップを行います。ウォーミングアップ中、内部動作は停止したままです。ウォーミングアップ時間は、発振器の特性に合わせてWUT(SYSCR1のビット3, 2)で4種類選択できます。
- ③ ウォーミングアップ時間経過後、STOPモードを起動する命令の次の命令から通常の動作が再開されます。このとき、タイミングジェネレータのデバイダは“0”にクリアされた状態から始まります。

表1-1. ウォーミングアップ時間 (例)

ウォーミングアップ時間		
WUT	fc=4.194304 MHz時	fc=8 MHz時
00	375 ms	196.6 ms
01	125 ms	65.5 ms
10	2.93 ms	1.54 ms
11	976.6 μs	512 μs

注) ウォーミングアップ時間は、基本クロックをデバイダにて分周して得ていますので、STOPモードの解除時に発振周波数にゆらぎがある場合は、ウォーミングアップ時間は誤差を含むことになります。従って、ウォーミングアップ時間は、概略値としてとらえる必要があります。

なお、STOPモードは、 $\overline{\text{RESET}}$ 端子を“L”レベルにすることによっても解除され、ただちに通常のリセット動作を行います。

注) 低い保持電圧でSTOPモードの解除を行う場合には、次の注意が必要です。
STOPモードの解除に先立ち、電源電圧を動作電圧に上げる必要があります。その際、 $\overline{\text{RESET}}$ 端子も“H”レベルにあり、電源電圧とともに上昇します。この場合、 $\overline{\text{RESET}}$ 端子入力の電圧上昇は電源電圧の上昇よりも立ち上がりが遅くなります。このとき、 $\overline{\text{RESET}}$ 端子の入力電圧レベルが、 $\overline{\text{RESET}}$ 端子入力(ヒステリシス入力)の非反転高レベル入力電圧を切るとリセット動作を行う恐れがあります。

Not Recommended for New Design

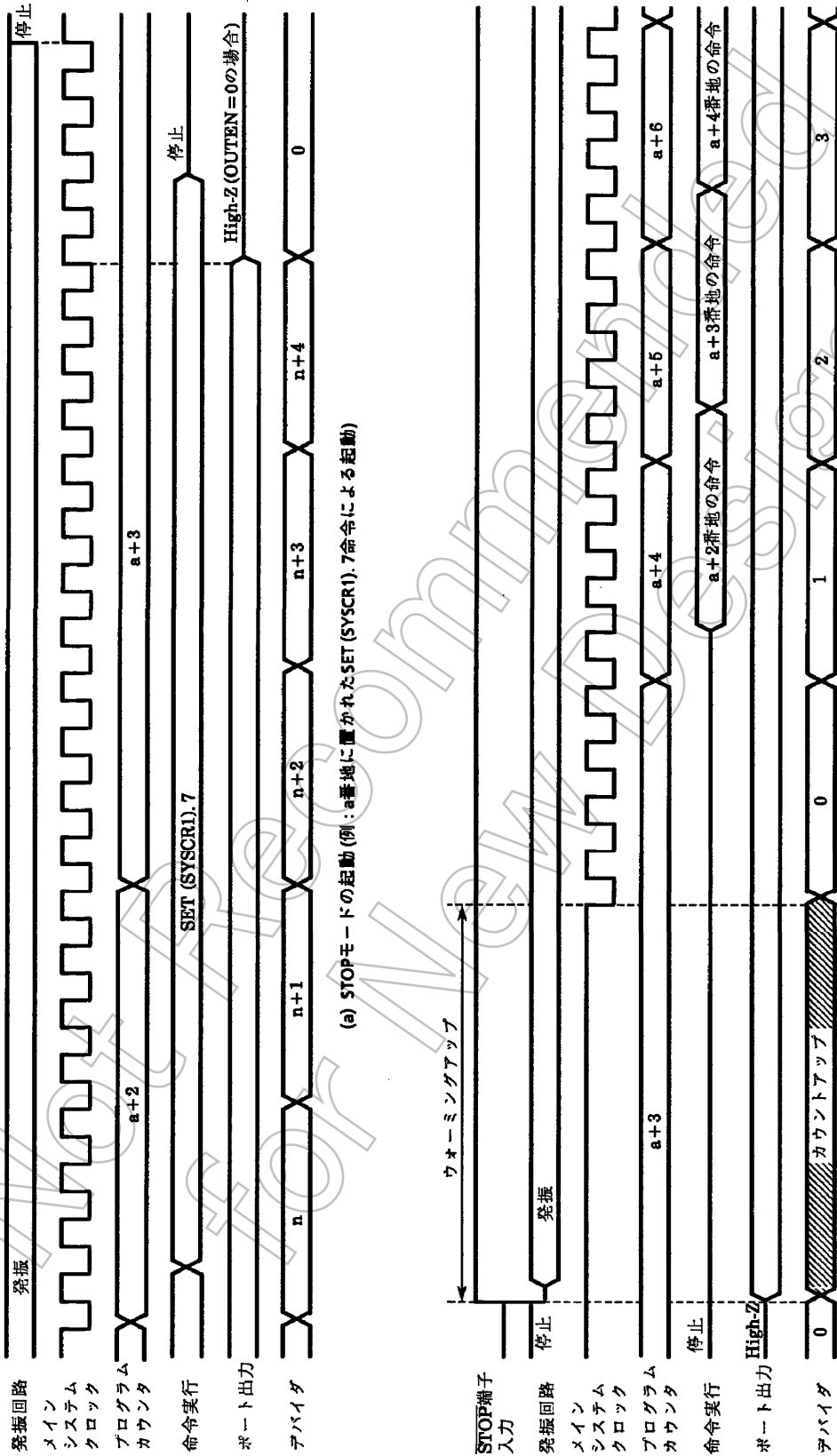


図1-17. STOPモードの起動/解除

(2) IDLEモード (IDLE)

IDLEモードは、システム制御レジスタ2 (SYSCR2) とマスカブル割り込みによって制御されます。IDLEモード中、次の状態を保持しています。

- ① CPUおよびウォッチドッグタイマは動作を停止します。周辺ハードウェアは動作を継続します。
- ② データメモリ、レジスタ、プログラムステータスワード、ポートの出力ラッチなどは、IDLEモードに入る直前の状態を保持します。
- ③ プログラムカウンタは、IDLEモードを起動する命令の2つ先の命令のアドレスを保持します。

例： IDLEモードの起動

SET (SYSCR2).4

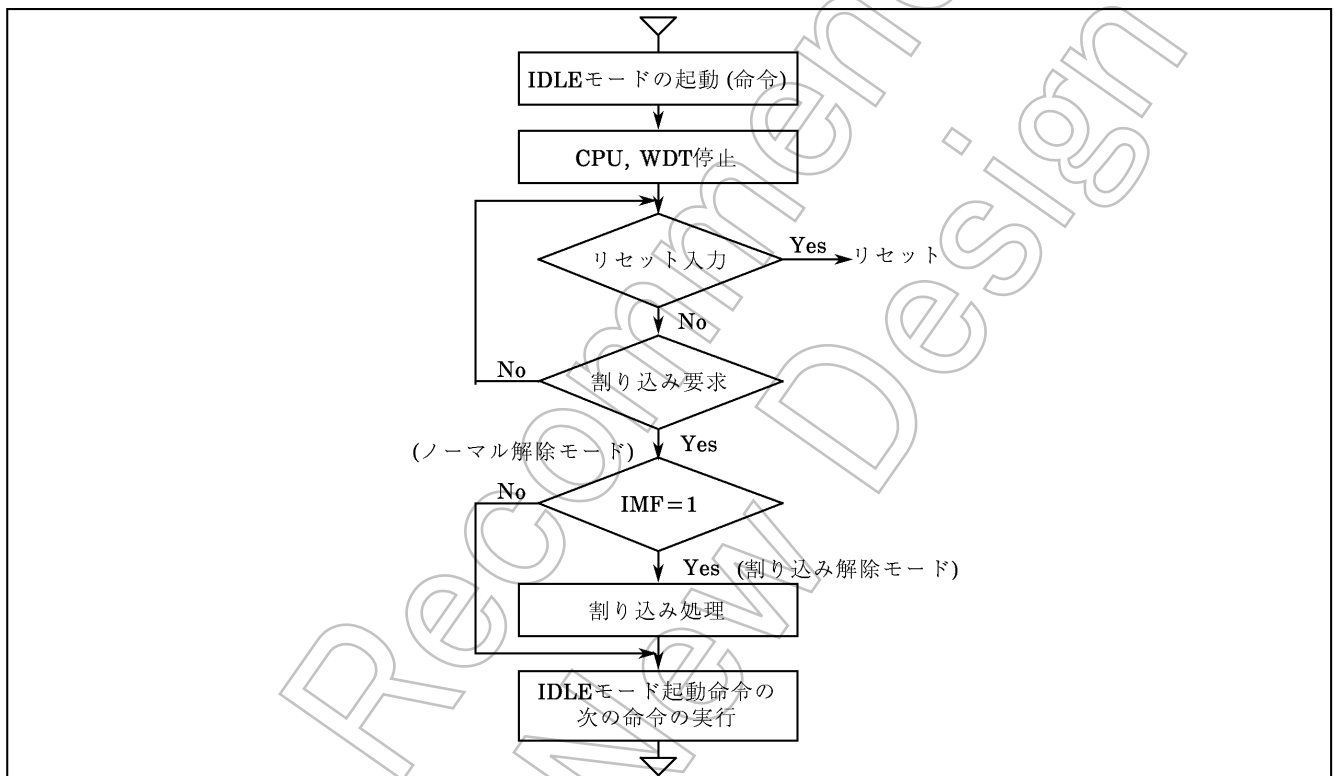


図1-18. IDLEモード

IDLEモードには、ノーマル解除モードと割り込み解除モードがあり、割り込みマスタ許可フラグ (IMF) で選択します。IDLEモード解除後、NORMALモードに戻ります。

a. ノーマル解除モード (IMF="0" のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因または外部割り込み0 (INT0) の割り込み要求により、IDLEモードが解除され、IDLEモードを起動した命令の次の命令から実行を再開します。通常、解除に使用した割り込み要因の割り込みラッチ (IL) はロード命令で“0”にクリアする必要があります。

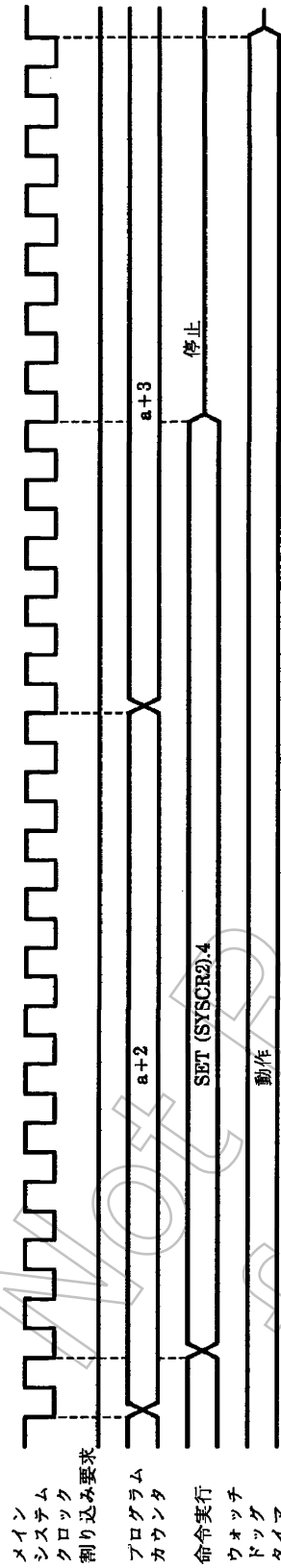
b. 割り込み解除モード (IMF="1" のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因または外部割り込み0 ($\overline{\text{INT0}}$) の割り込み要求により IDLEモードが解除され、割り込み処理に入ります。割り込み処理後、IDLEモードを起動した命令の次の命令に戻ります。

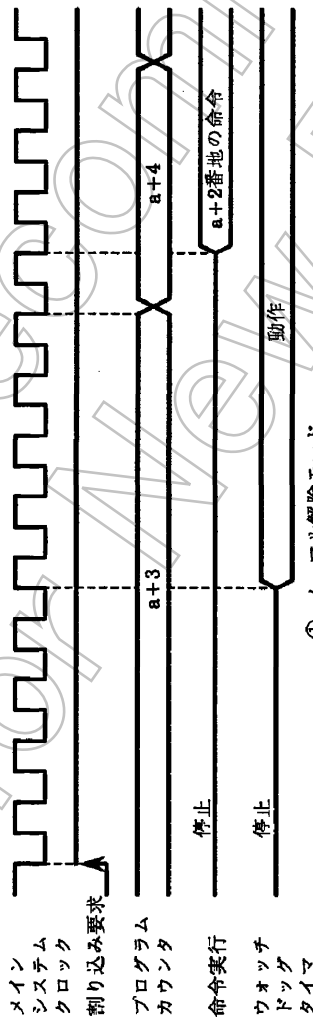
なお、IDLEモードは、 $\overline{\text{RESET}}$ 端子を“L”レベルにすることによっても解除され、ただちに通常のリセット動作を行います。

注) IDLEモード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLEモードは起動されずウォッチドッグタイマ割り込み処理が行われます。

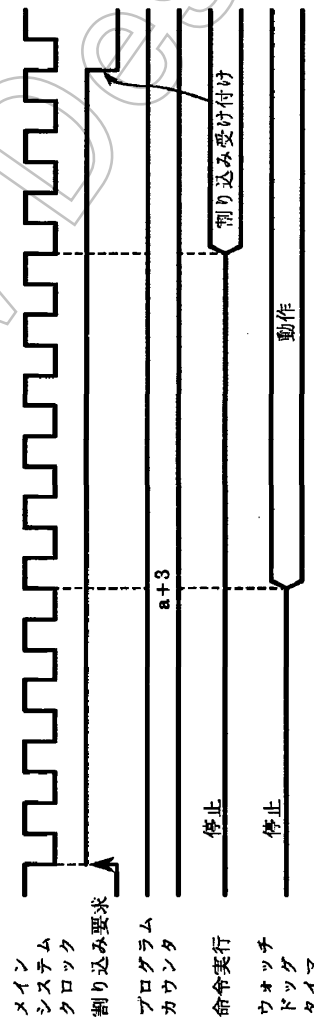
Not Recommended
for New Design



(a) IDLEモードの起動(例: a番地に置かれたSET命令による起動)



① ノーマル解除モード



② 割り込み解除モード

(b) IDLEモードの解除

図1-19. IDLEモードの起動/解除

1.9 割り込み制御回路

TMP87C409B/809Bには、外部4種、内部7種の合計11種類の割り込み要因があり、優先順位付きの多重割り込みが可能です。内部要因のうち2種は擬似ノンマスクابل割り込みで、そのほかはすべてマスクابل割り込みです。

割り込み要因には、それぞれ割り込み要求を保持する割り込みラッチ (IL) が用意され、また、独立したベクタになっています。割り込みラッチは、割り込み要求の発生により“1”にセットされ、CPUに割り込みの受け付けを要求します。割り込みの受け付けは、割り込みマスタ許可フラグ (IMF) と各割り込み要因の個別許可フラグ (EF) によって、プログラムで選択的に許可/禁止できます。なお、複数の割り込みが同時に発生した場合は、ハードウェアで定められた優先順位の高いものから受け付けられます。

図1-20に割り込み制御回路を示します。

表1-2. 割り込み要因

割り込み要因		許可条件	割り込みラッチ	ベクタアドレス	優先順位
内部/外部	(リセット)	ノンマスクابل	—	FFFE _H	高位 0
内部	INTSWI (ソフトウェア割り込み)	擬似ノンマスクابل	—	FFFC _H	1
内部	INTWDT (ウォッチドッグタイマ割り込み)		IL2	FFFA _H	2
外部	INT0 (外部割り込み0)	IMF = 1, INTOEN = 1	IL3	FFF8 _H	3
内部	INTTC1 (16-bit タイマ/カウンタ1割り込み)	IMF · EF4 = 1	IL4	FFF6 _H	4
外部	INT1 (外部割り込み1)	IMF · EF5 = 1	IL5	FFF4 _H	5
内部	INTTBT (タイムベースタイマ割り込み)	IMF · EF6 = 1	IL6	FFF2 _H	6
Reserved		IMF · EF7 = 1	IL7	FFF0 _H	7
内部	INTTC3 (8-bit タイマ/カウンタ3割り込み)	IMF · EF8 = 1	IL8	FFEE _H	8
内部	INTSBI (シリアルバスインタフェース割り込み)	IMF · EF9 = 1	IL9	FFEC _H	9
内部	INTTC4 (8-bit タイマ/カウンタ4割り込み)	IMF · EF10 = 1	IL10	FFEA _H	10
外部	INT3 (外部割り込み3)	IMF · EF11 = 1	IL11	FFE8 _H	11
Reserved		IMF · EF12 = 1	IL12	FFE6 _H	12
Reserved		IMF · EF13 = 1	IL13	FFE4 _H	13
Reserved		IMF · EF14 = 1	IL14	FFE2 _H	14
外部	INT5 (外部割り込み5)	IMF · EF15 = 1	IL15	FFE0 _H	低位 15

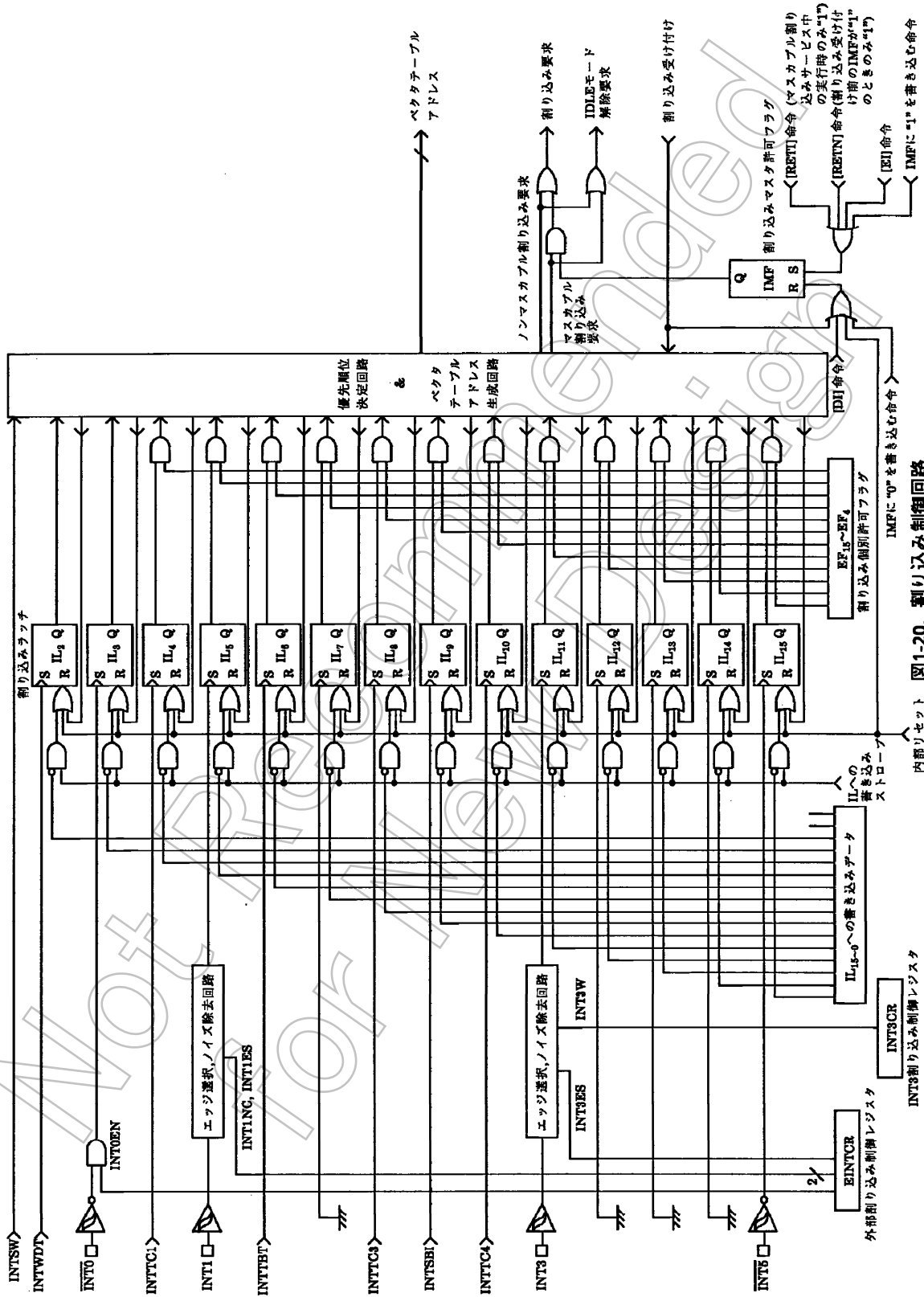


図1-20. 割り込み制御回路

(1) 割り込みラッチ (IL₁₅ ~ IL₂)

割り込みラッチは、ソフトウェア割り込みを除いて各要因ごとに設けられており、割り込み要求の発生により“1”にセットされます。割り込み受け付けが許可されていると、CPUに割り込みの受け付けを要求します。割り込みが受け付けられた直後に割り込みラッチは“0”にクリアされます。リセット時、割り込みラッチはすべて“0”に初期化されます。

割り込みラッチは、SFR内の003C, 003D_H番地に割り付けられており、命令で個別にクリアすることができます(ただし、ビット操作命令や演算命令などのリードモディファイライト命令は使用できません)、プログラムで割り込み要求の取り消し/初期化ができます。ただし、IL₂は命令でクリアしないでください。なお、割り込みラッチを命令で直接セットすることはできません。また、割り込みラッチの内容を読み出すことができますので、割り込み要求のソフトウェアによるテストも可能です。

例1: 割り込みラッチのクリア

```
LDW    (IL), 1000110000111111B    ;IL9, IL8, IL6 ← 0
```

例2: 割り込みラッチの読み出し

```
LD     WA, (IL)                    ;W ← ILH, A ← ILL
```

例3: 割り込みラッチのテスト

```
TEST   (IL).6                      ;IL6=1ならジャンプ  
JR     F, SSET
```

(2) 割り込み許可レジスタ (EIR)

擬似ノンマスクابل割り込み(ソフトウェア割り込みとウォッチドッグタイマ割り込み)を除く割り込み要因に対して受け付けの許可/禁止を行うレジスタです。擬似ノンマスクابل割り込みは、割り込み許可レジスタの内容にかかわらず受け付けられます。ただし、擬似ノンマスクابل割り込み同士の多重化はできません。

割り込み許可レジスタは、割り込みマスタ許可フラグ(IMF)と割り込み個別許可フラグ(EF)で構成されています。割り込み許可レジスタは、SFR内の003A_H、003B_H番地に割り付けられており、命令でリード/ライト(ビット操作命令などのリードモディファイライトも含む)できます。

① 割り込みマスタ許可フラグ (IMF)

すべてのマスクابل割り込みに対して受け付けの許可/禁止の制御を行うフラグです。“0”にクリアされていると、すべてのマスクابل割り込みの受け付けは禁止状態であり、“1”にセットされていると、割り込み受け付け許可状態です。

割り込みが受け付けられると割り込みマスタ許可フラグは“0”にクリアされ、そのあとのマスクابل割り込みの受け付けを一時的に禁止します。割り込みサービスプログラムを実行後、マスクابل割り込みリターン命令[RETI]により“1”にセットされ、再び受け付け許可状態となります。すなわち、すでに割り込み要求が来ている場合、[RETI]命令の実行直後から割り込み処理に入ります。

擬似ノンマスクابل割り込みの場合は、ノンマスクابل割り込みリターン命令[RETN]によりリターンします。この場合、割り込み受け付けの許可状態(IMF=1)で擬似ノンマスクابل割り込み処理に入ったときのみ、割り込みマスタ許可フラグは“1”にセットされます。ただし、割り込みサービスプログラム中で、割り込みマスタ許可フラグを“0”にクリアした場合は“0”のままです。

割り込みマスタ許可フラグは、EIR_L(SFR内の003A_H番地)のビット0に割り付けられており、命令で読み出し/書き込みができます。通常、割り込みマスタ許可フラグのセット/クリアは、[EI]/[DI]命令で行います。なお、リセット時、割り込みマスタ許可フラグは“0”に初期化されます。

② 割り込み個別許可フラグ (EF₁₅~EF₄)

外部割り込み0を除く各マスクابل割り込み要因に対し、個々に割り込み受け付けの許可/禁止の指定を行うフラグです。割り込み個別許可フラグの該当ビットが“1”なら割り込み受け付けを許可し、“0”なら禁止します。

例1：割り込みの個別許可とIMFのセット

```
DI ; IMF ← 0
LDW (EIRL), 1110100010100000B ; EF15~13, EF11, EF7, EF5 ← 1
: ; 注) IMFはセットしない。
:
EI ; IMF ← 1
```

例2：Cコンパイラの記述例

```
unsigned int _io(3AH) EIRL ; /* 3AHはEIRLのアドレス */
_DI();
EIRL=0A0H;
:
:
_EI();
```



図1-21. 割り込みラッチ (IL), 割り込み許可レジスタ (EIR)

1.9.1 割り込み処理

割り込み要求は、割り込みが受け付けられるか、リセット動作または命令によって、割り込みラッチが“0”にクリアされるまで保持されます。割り込み受け付け処理は、実行中の命令が終了したあと、8マシンサイクルを要して実行されます。割り込みサービスタスクは、割り込みリターン命令 [RETI] (マスカブル割り込みの場合)/[RETN] (擬似ノンマスカブル割り込みの場合)を実行して終了します。図1-22.に割り込み受け付け処理タイミングを示します。

(1) 割り込み受け付け処理

割り込み受け付け処理は、次の動作を自動的に行います。

- ① 割り込みマスタ許可フラグ(IMF)を“0”にクリアし、そのあとのマスカブル割り込みの受け付けを一時的に禁止します。ノンマスカブル割り込み受け付けの場合は、そのあとのノンマスカブル割り込みの受け付けも一時的に禁止します。
- ② 受け付けた割り込み要因の割り込みラッチを“0”にクリアします。
- ③ プログラムカウンタ(PC)およびプログラムステータスワード(PSW)の内容をスタックに退避します(PSW, PC_H, PC_Lの順にプッシュダウンされます)。スタックポインタ(SP)は3回デクリメントされます。
- ④ 割り込み要因に応じたベクタテーブルアドレスから割り込みサービスプログラムのエントリーアドレス(割り込みベクタ)を読み出し、プログラムカウンタにセットします。
- ⑤ 割り込みサービスプログラムのエントリーアドレスに格納されている命令の実行に移ります。

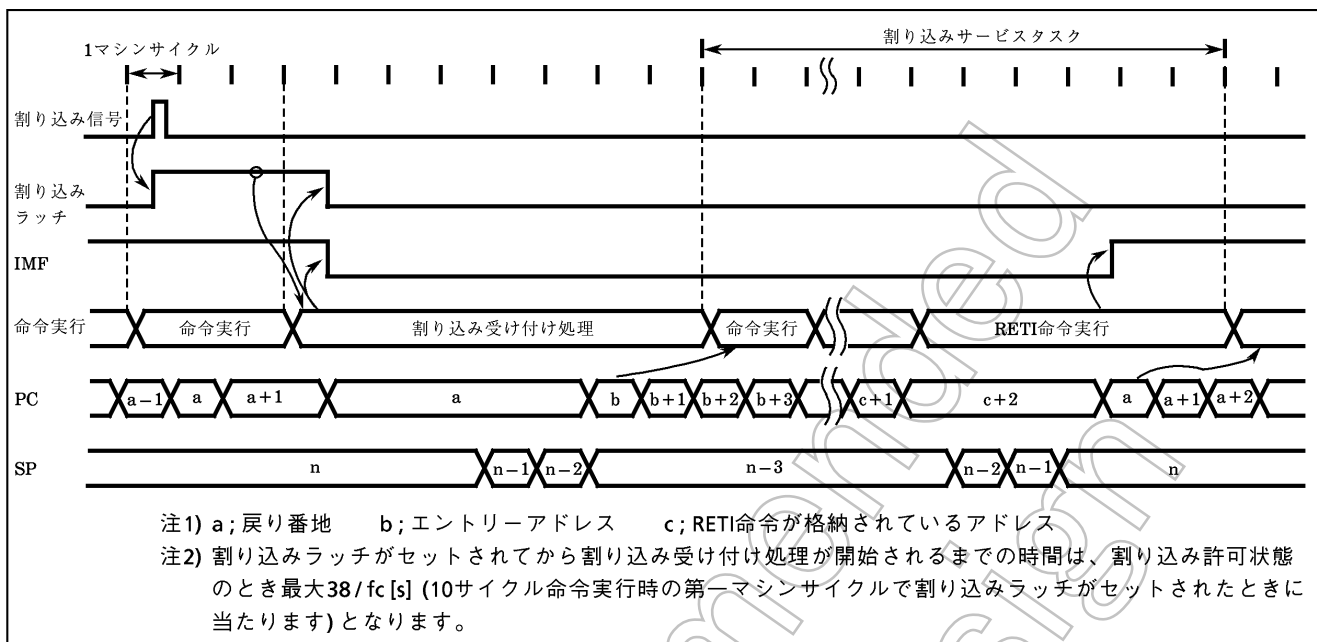
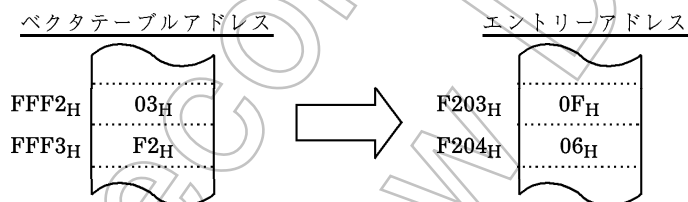


図1-22. 割り込み受け付け処理/割り込みリターン命令タイミングチャート

例： INTTBTの受け付け処理におけるベクタテーブルアドレスと割り込みサービスプログラムのエントリーアドレスの対応



割り込みサービス中に、その割り込み要因よりレベルの高いマスクブル割り込みが発生しても、割り込みマスタ許可フラグが“1”にセットさせるまで受け付けられません。従って、多重割り込みを行う場合は、割り込みサービスプログラムの中で、割り込みマスタ許可フラグを“1”にセットします。その際、割り込み個別許可フラグにより、受け付けてよい割り込み要因を選択的に許可します。ただし、外部割り込み0は、割り込み個別許可フラグにより割り込み受け付け禁止ができませんので、必要なら外部割り込み制御レジスタ (INTOEN) により外部割り込み機能を禁止する (INTOEN=0の期間、割り込みラッチIL3はセットされませんので、INTO端子入力の立ち下がりエッジは検出できません) か、または、次のようにプログラム上でソフトウェア的に割り込み処理を禁止することもできます。

例1： 外部割り込み制御レジスタによる外部割り込み0の禁止

```
CLR    (EINTCR).INT0EN ; INT0EN←0
```

例2： ソフトウェアによる外部割り込み0の割り込み処理禁止(割り込み処理禁止スイッチを00F0_H番地のビット0とします)。

```
PINT0: TEST    (00F0H).0          ; (00F0H)0=1なら割り込み処理行わずにリ
                                     ターン
      JRS     T, SINT0
      RETI
SINT0: 割り込み処理
      RETI
      ⋮
VINT0: DW     PINT0
```

(2) 汎用レジスタ退避/復帰処理

割り込み受け付け処理で、プログラムカウンタとプログラムステータスワードは自動的にスタックに退避されますが、アキュムレータやその他のレジスタは自動的に退避されません。これらのレジスタ類の退避処理が必要な場合は、プログラムで行います。また、多重割り込みを行う場合、退避用のデータメモリ領域が重ならないようにする必要があります。

汎用レジスタの退避には、次の3つの方法があります。

① レジスタバンク切り替えによる汎用レジスタの退避/復帰

使用していないレジスタバンクへ切り替えることで、高速に汎用レジスタを退避することができます。通常、バンク0はメインタスク用に、バンク1~15を各割り込みサービスタスクに割り当てます。データメモリの使用効率を上げるには、多重化されない割り込み要因に共通のバンクを割り当てます。

切り替えられたバンクは、割り込みリターン命令[RETI]/[RETN]の実行で自動的に復帰します。従って、RBSをプログラムで退避する必要はありません。

例： レジスタバンク切り替え

```
PINTxx: LD     RBS, n          ; バンクnに切り替え (1 μs @ 8 MHz)
      割り込み処理
      RETI                    ; バンクの復帰とリターン
```

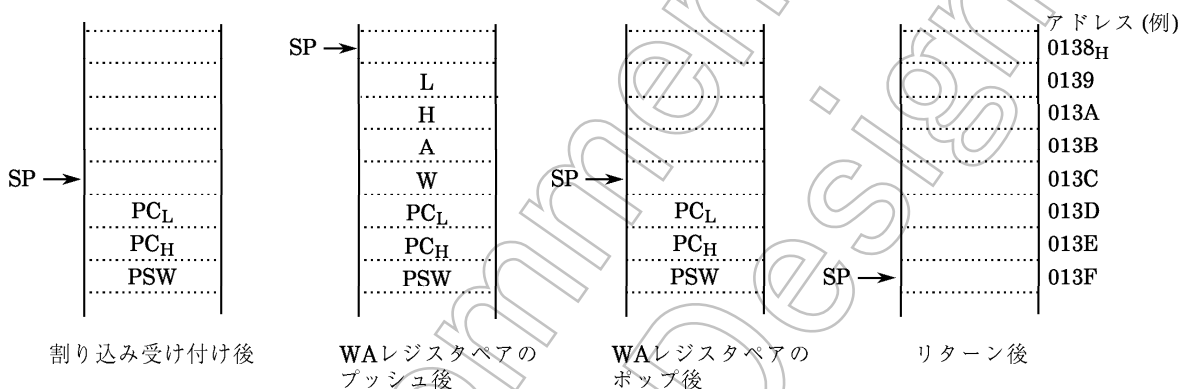
② プッシュ/ポップ命令による汎用レジスタの退避/復帰

特定のレジスタのみ退避する場合や同一の割り込み要因の多重化の場合には、プッシュ/ポップ命令により汎用レジスタの退避/復帰を行います。

例： プッシュ/ポップによるレジスタの退避/復帰

```

PINTxx:  PUSH  WA           ; WAレジスタペアをスタックに退避
         PUSH  HL           ; HLレジスタペアをスタックに退避
         [割り込み処理]
         POP   HL           ; HLレジスタペアをスタックから復帰
         POP   WA           ; WAレジスタペアをスタックから復帰
         RETI              ; リターン
    
```



③ 転送命令による汎用レジスタの退避/復帰

多重割り込みを行わない割り込み処理において、特定のレジスタのみ退避する場合は、データメモリとの転送命令により汎用レジスタの退避/復帰を行います。

例： データメモリとの転送命令によるレジスタの退避/復帰

```

PINTxx:  LD    (GSAVA), A   ; Aレジスタの退避
         [割り込み処理]
         LD    A, (GSAVA)  ; Aレジスタの復帰
         RETI              ; リターン
    
```

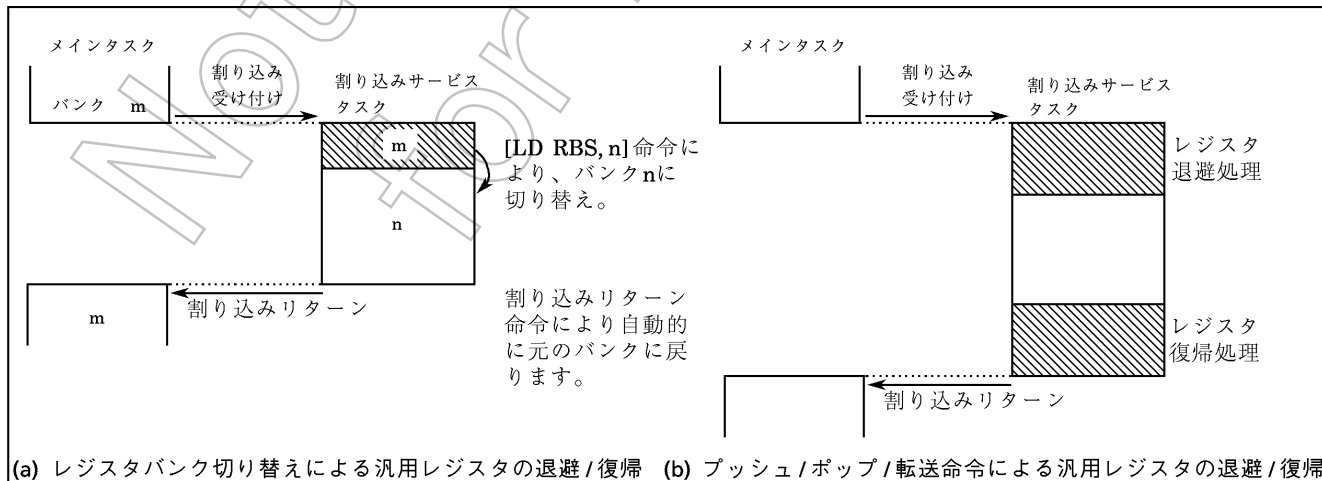


図1-23. 割り込み処理における汎用レジスタの退避/復帰処理

(3) 割り込みリターン

割り込みリターン命令は、次の動作を行います。

[RETI] マスカブル割り込みリターン	[RETN] ノンマスカブル割り込みリターン
① プログラムカウンタ およびプログラムステータスワードの内容をスタックからそれぞれリストアします。 ② スタックポインタを3回インクリメントします。 ③ 割り込みマスタ許可フラグを“1”にセットします。	① プログラムカウンタ およびプログラムステータスワードの内容をスタックからそれぞれリストアします。 ② スタックポインタを3回インクリメントします。 ③ 割り込み許可状態でノンマスカブル割り込みを受け付けた場合のみ割り込みマスタ許可フラグを“1”にセットします。ただし、割り込みサービスプログラム中で、割り込みマスタ許可フラグを“0”にクリアした場合は、“0”のままです。

割り込み要求は、実行中の命令の最終サイクルでサンプリングされます。従って、割り込みリターン命令の実行直後から次の割り込み処理を行うことができます。

注) 割り込み処理時間が、割り込み要求の発生時間よりも長いと、割り込みサービスタスクの実行のみ行われ、メインタスクの実行が行われなくなります。

1.9.2 ソフトウェア割り込み (INTSW)

SWI命令を実行することにより、ソフトウェア割り込みが発生しただちに割り込み処理に入ります(最優先割り込み)。ただし、すでにノンマスカブル割り込み処理に入っているときは、SWI命令を実行してもソフトウェア割り込みは発生せず、NOP命令と同一の動作を行います。

注) 開発ツールでは、SWI命令をソフトウェアブレークに使用できるように、ノンマスカブル割り込み処理中でも必ずソフトウェア割り込みが発生します。

SWI命令は、次に示すアドレスエラー検出またはデバッグ以外には使用しないでください。

① アドレスエラー検出

CPUが何らかの原因(ノイズなど)により、メモリの存在しないアドレスから命令フェッチを行った場合、FF_Hが読み込まれます。コードFF_Hは、SWI命令ですのでソフトウェア割り込みが発生し、これによりアドレスエラーの検出ができます。また、プログラムメモリの不使用領域をすべてFF_Hで埋めておくことで、アドレスエラー検出範囲がよりいっそう広がります。なお、RAM領域(0040~013F_H番地)およびSFR領域(0000~003F_H番地)に対する命令フェッチのときは、アドレストラップリセットがかかります。

注) TMP87C409B/809BおよびTMP87P809のBF80~BFFF_H番地には、出荷テスト用ROMが内蔵されていますので、この領域からの命令フェッチの場合はFF_Hとなりません。

② デバッグ

SWI命令をソフトウェアブレークポイント設定アドレスに置くことによって、デバッグ効率を高めることができます。

1.9.3 外部割り込み

TMP87C409B/809Bは、4本の外部割り込み入力があり、うち2本はデジタルノイズ除去回路付き(一定時間未満のパルス入力を、ノイズとして除去します)となっています。また、INT1, INT3はエッジ選択可能です。なお、INT0/P10端子は、外部割り込み入力端子として使用するか入出力ポートとして使用するかの選択ができます。リセット時は入力ポートとなります。

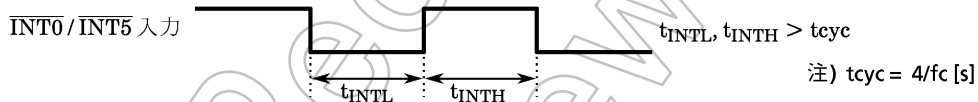
エッジの選択、ノイズ除去の制御およびINT0/P10端子の機能選択は、外部割り込み制御レジスタで行います。

INT3の両エッジ検出機能の選択はINT3割り込み制御レジスタ(INT3CR)にて行います。

表1-3. 外部割り込み

要因	端子名	兼用端子	許可条件	エッジ			デジタルノイズ除去回路
				立ち上がり	立ち下がり	両エッジ	
INT0	INT0	P10	IMF=1 INT0EN=1	-	○	-	なし(ヒステリシス入力)
INT1	INT1	P11	IMF·EF5=1	INT1ES=0	INT1ES=1	-	15/fcまたは63/fc[s]未満のパルスはノイズとして除去します。 48/fcまたは192/fc[s]以上のパルスは確実に信号とみなします。
INT3	INT3	P50 (TC3/CLZ0)	INF·EF11=1 INT3W=0	INT3ES=0	INT3ES=1	-	立ち下がりエッジまたは立ち上がりエッジの場合、7/fc[s]未満のパルスはノイズとして除去します。 24/fc[s]以上のパルスは確実に信号とみなします。
			INF·EF11=1 INT3W=1	-	-	INT3W=1	
INT5	INT5	P43/STOP	IMF·EF15=1	-	○	-	なし(ヒステリシス入力)

- 注1) ノイズ除去回路は、タイマ/カウンタ入力(TC1, TC3端子)のエッジ検出に対しても働きます。
- 注2) INT0およびINT5端子への入力パルス幅は、“H”、“L”レベルとも1マシサイクル以上です。



- 注3) NORMALモードまたはIDLEモード時、ノイズのない信号が外部割り込み端子に入力された場合、入力信号のエッジから割り込みラッチがセットされるまでの最大時間は次のとおりです。
INT1 端子 49/fc [s] (INT1NC=1のとき)、193/fc [s] (INT1NC=0のとき)
INT3 端子 25/fc [s]

- 注4) INT0EN=0のとき、INT0端子入力の立ち下がりエッジが検出されても割り込みラッチIL3はセットされません。

- 注5) STOPモードでポート出力をハイインピーダンスに指定(OUTEN=0)したとき、ポート入力は内部で強制的に“L”レベルに固定されるため、ポートと兼用の外部割り込み入力(P43(STOP/INT5)を除く)の割り込みラッチがセットされることがあります。STOPモードでポート出力をハイインピーダンスに指定する場合割り込み受け付けを一時禁止(IMF=0)にしてからSTOPモードを起動し、STOPモード解除後に割り込みラッチをロード命令でクリアしてください。

```

例： STOPモードの起動
LD (SYSCR1), 01000000B ; OUTEN ← 0 (ハイインピーダンス指定)
DI ; IMF ← 0
SET (SYSCR1), STOP ; STOP ← 1 (STOPモード起動)
LDW (IL), 1000111101010111B ; IL11, 5, 3 ← 0 (割り込みラッチのクリア)
EI ; IMF ← 1
    
```

- 注6) INT3W=1のとき、どちらのエッジによる割り込みであるかは、割り込みの処理ルーチン内でINT3CRを読み出すことで検出できます。INT3Rは立ち上がりエッジ検出で、INT3Fは立ち下がりエッジでそれぞれ“1”にセットされ、リード後クリアされます。

外部割り込み制御レジスタ 初期値 (00** 000*)

	7	6	5	4	3	2	1	0
EINTCR (0037 _H)	INT1 NC	INT0 EN			INT3ES	TC1ES	INT1 ES	

INT1NC	INT1のノイズ除去時間の選択	0: 63 / fc [s] 未満のパルスはノイズとして除去 1: 15 / fc	R/W
INT0EN	P10/ $\overline{INT0}$ の機能選択	0: P10 入出力ポート 1: $\overline{INT0}$ 端子 (P10ポートは入力モードにしてください)	
INT1 ES TC1ES INT3ES	INT1, TC1, INT3のエッジ選択	0: 立ち上がりエッジで割り込み発生 1: 立ち下がりエッジ	

注1) fc; 高周波クロック [Hz] *; Don't care

INT3割り込み制御レジスタ 初期値 (000* ****)

	7	6	5	4	3	2	1	0
INT3CR (0025 _H)	INT3W	INT3R	INT3F					

INT3W	INT3のエッジ選択	0: INT3ESに準じる 1: 両エッジ検出	Write only
INT3R	INT3の立ち上がりエッジ検出	0: 立ち上がりエッジ非検出 1: 立ち上がりエッジ検出	Read only
INT3F	INT3の立ち下がりエッジ検出	0: 立ち下がりエッジ非検出 1: 立ち下がりエッジ検出	

注) INT3R, INT3FはINT3W = 1のときのみ有効です。また、INT3R, INT3Fはリード後自動的に“0”にクリアされます。

図1-24. 外部割り込み制御レジスタとINT3割り込み制御レジスタ

1.10.2 ウォッチドッグタイマの制御

ウォッチドッグタイマの制御レジスタを図1-26に示します。リセット解除後、ウォッチドッグタイマはイネーブルになります。

ウォッチドッグタイマ制御レジスタ1

WDTCR1 (0034 _H)	7	6	5	4	3	2	1	0	(初期値 **** 1001)
					WDT EN	WDTT		WDT OUT	

WDTEN	ウォッチドッグタイマの許可/禁止	0: 禁止 (WDTCR2にディセーブルコードを書き込む必要あり) 1: 許可	Write only
WDTT	ウォッチドッグタイマ検出時間の設定	00: 2 ²⁵ /fc [s] 01: 2 ²³ /fc 10: 2 ²¹ /fc 11: 2 ¹⁹ /fc	
WDTOUT	ウォッチドッグタイマ出力の選択	0: 割り込み要求 1: 内部リセット	

注1) WDTOUTを“0”にクリア後は、プログラムで“1”に再セットできません。
 注2) fc; 高周波クロック[Hz] *; Don't care
 注3) WDTCR1は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。
 注4) STOPモード起動時は、STOPモードに入る直前にウォッチドッグタイマを禁止するか、カウンタをクリアしてください。
 また、カウンタをクリアした場合、STOPモード解除直後に再度カウンタをクリアしてください。
 注5) 内部リセットの場合、リセット時間は12/fc[s]となります。

ウォッチドッグタイマ制御レジスタ2

WDTCR2 (0035 _H)	7	6	5	4	3	2	1	0	(初期値 **** *)

WDTCR2	ウォッチドッグタイマの制御コード書き込み	4E _H : ウォッチドッグタイマの2進カウンタのクリア (クリアコード) B1 _H : ウォッチドッグタイマのディセーブル (ディセーブルコード) その他: 無効	Write only
--------	----------------------	--	------------

注1) ディセーブルコードは、WDTEN=0のとき以外は書き込み無効です。
 注2) *; Don't care
 注3) WDTCR2は書き込み専用レジスタですので、リードモディファイ命令 (SET, CLRなどのビット操作命令やAND, ORなどの演算命令など) による操作はできません。
 注4) 2進カウンタのクリアは、ソースクロックに対し非同期で行われます。従って2進カウンタのクリアは検出時間の3/4以内に行ってください。

図1-26. ウォッチドッグタイマ制御レジスタ1,2

(1) ウォッチドッグタイマによる暴走検出の方法

CPUの暴走検出を行うには、次のようにします。

- ① 検出時間の設定、出力の選択および2進カウンタのクリア
- ② 設定した検出時間3/4以内ごとに2進カウンタのクリアを繰り返し行います。

注) 2進カウンタのクリアは、ソースクロックに対し非同期で行われます。従ってクリアタイミングによっては、検出時間が設定時間の3/4となる場合があります。

もし、何らかの原因で暴走またはデッドロック状態に陥り、2進カウンタのクリアが行われないと2進カウンタのオーバフローでウォッチドッグタイマ出力がアクティブになります。このときWDTOUT=“1”なら内蔵ハードウェアをリセットします。また、WDTOUT=“0”なら、ウォッチドッグタイマ割り込み(INTWDT)を発生します。

なお、STOPモード(ウォーミングアップ中を含む)またはIDLEモード中ウォッチドッグタイマは、一時的にカウントアップ停止し、STOP/IDLEモード解除後、自動的に再起動(カウントアップ継続)します。

例： ウォッチドッグタイマ検出時間を $2^{21}/f_c$ [s] に設定し、暴走検出リセットを行う。

	LD(WDTCR2), 4EH	; 2進カウンタのクリア	
	LD(WDTCR1), 00001101B	; WDTT←10, WDTOUT←1	
WDT検出 時間3/4以内	┌	LD(WDTCR2), 4EH	; 2進カウンタのクリア (WDTT変更直前直後はかならずクリアします)
		└	
WDT検出 時間3/4以内	┌	LD(WDTCR2), 4EH	; 2進カウンタのクリア
		└	LD(WDTCR2), 4EH ; 2進カウンタのクリア

(2) ウォッチドッグタイマのイネーブル

WDTEN (WDTCR1のビット3)を“1”にセットするとイネーブルになります。リセット時、WDTENは“1”に初期化されますので、リセット解除後ウォッチドッグタイマはただちに動作します。

(3) ウォッチドッグタイマのディセーブル

WDTEN (WDTCR1のビット3)を“0”にクリア後、WDTCR2にディセーブルコード(B1H)を書き込むことによりディセーブルになります。なお、逆にWDTCR2にディセーブルコードを書き込んだ後、WDTENを“0”にクリアしてもディセーブルになりません。ディセーブル中は、ウォッチドッグタイマの2進カウンタはクリアされています。

例： ウォッチドッグタイマのディセーブル

LDW (WDTCR1), 0B101H ; WDTEN ← 0, WDTCR2 ← ディセーブルコード

表1-4. ウォッチドッグタイマ検出時間

検出時間 [s]	
WDTT	$f_c = 8 \text{ MHz}$
00	4.194
01	1.048
10	262.1 m
11	65.5 m

1.10.3 ウォッチドッグタイマ割り込み (INTWDT)

擬似ノンマスクブル割り込みで、割り込み許可レジスタの内容にかかわらず割り込みを受け付けます。ただし、すでにウォッチドッグタイマ割り込み中もしくはソフトウェア割り込み中であれば、それらの処理が終了 (RETN命令の実行終了) するまで受け付けは待たされます。

なお、ウォッチドッグタイマ出力をWDTOUTにより割り込み要因とする前にスタックポインタを設定してください。

例：ウォッチドッグタイマ割り込みの設定例

```
LD SP, 013FH          ; SPの設定
LD (WDTCR1), 00001000B ; WDTOUT ← 0
```

1.10.4 ウォッチドッグタイマリセット

内部リセットにより内蔵ハードウェアをリセットします。リセット時間は、 $12/f_c$ [s] ($1.5 \mu\text{s}$ @ 8MHz) です。

なお、内部リセットがかかっている場合でも、RESET端子は“H”レベルのままです。

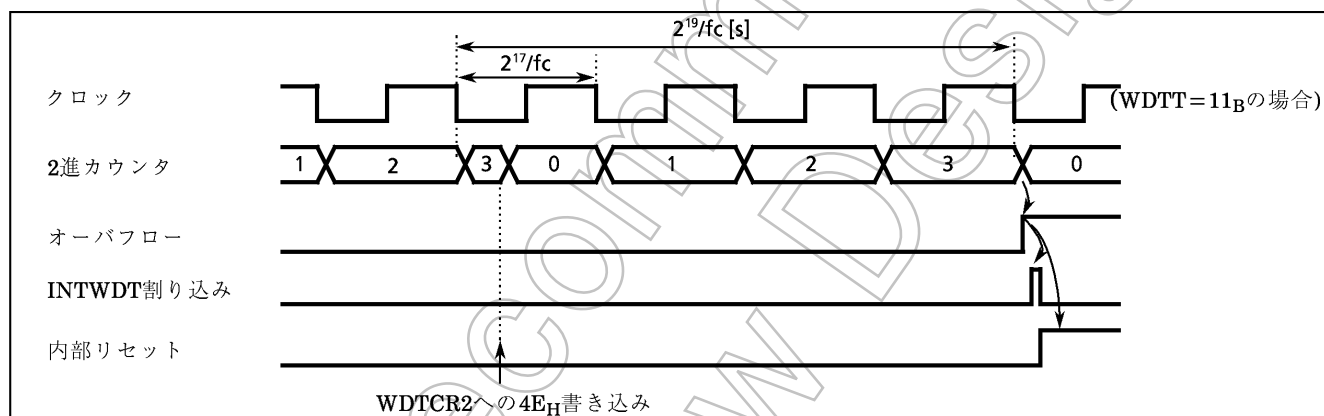


図1-27. ウォッチドッグタイマ割り込み/リセット

1.11 リセット回路

TMP87C409B/809Bには外部リセット入力、アドレストラップリセット、ウォッチドッグタイマリセット、システムクロックリセットの4種類のリセット発生手段があります。

図1-28にリセット回路を示し、表1-5にリセット動作による内蔵ハードウェアの初期化を示します。

表1-5. リセット動作による内蔵ハードウェアの初期化

内蔵ハードウェア	初期値	内蔵ハードウェア	初期値
プログラムカウンタ (PC)	(FFFF _H)・(FFFE _H)	タイミングジェネレータのプリスケアラおよびデバイダ	0
レジスタバンクセクタ (RBS)	0	ウォッチドッグタイマ	イネーブル
ジャンプステータスフラグ (JF)	1	入出力ポートの出力ラッチ	各入出力ポートの説明箇所を参照
割り込みマスタ許可フラグ (IMF)	0	制御レジスタ	各制御レジスタの説明箇所を参照
割り込み個別許可フラグ (EF)	0		
割り込みラッチ (IL)	0		

1.11.1 外部リセット入力

RESET端子はプルアップ抵抗付きのヒステリシス入力となっており、電源電圧が動作電圧範囲内にあり、発振が安定している条件のもとで最小3マシンサイクル (12/fc [s]) 以上の間RESET端子を“L”レベルに保つと、リセットがかかり内部状態が初期化されます。

RESET端子入力が“H”レベルに立ち上がるとリセット動作は解除され、FFFE, FFFF_H番地に格納されたベクタアドレスからプログラムの実行を開始します。

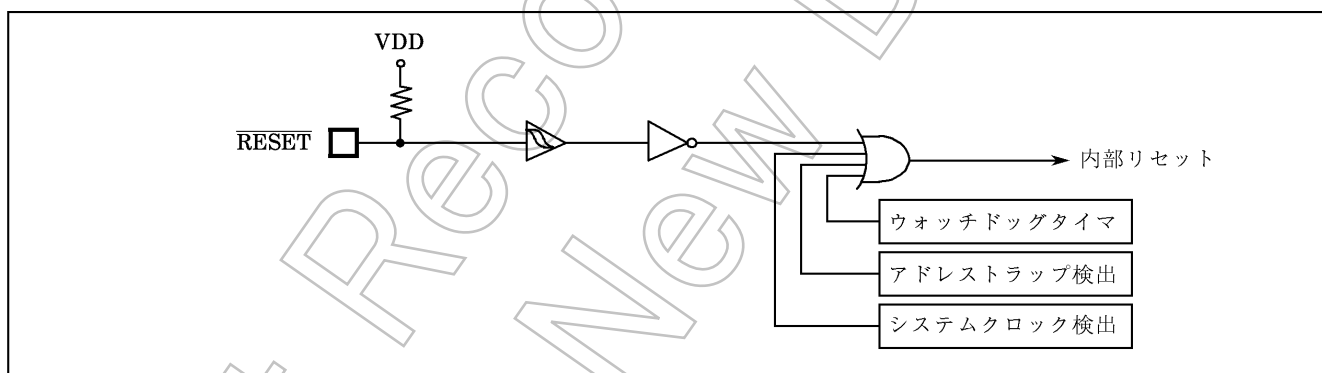


図1-28. リセット回路

1.11.2 アドレストラップリセット

CPUがノイズなどの原因により暴走して内蔵RAMまたはSFR領域から命令をフェッチしようとする
と内部リセットが発生します。リセット時間は、 $12/f_c$ [s] ($1.5 \mu\text{s}$ @ 8MHz) です。

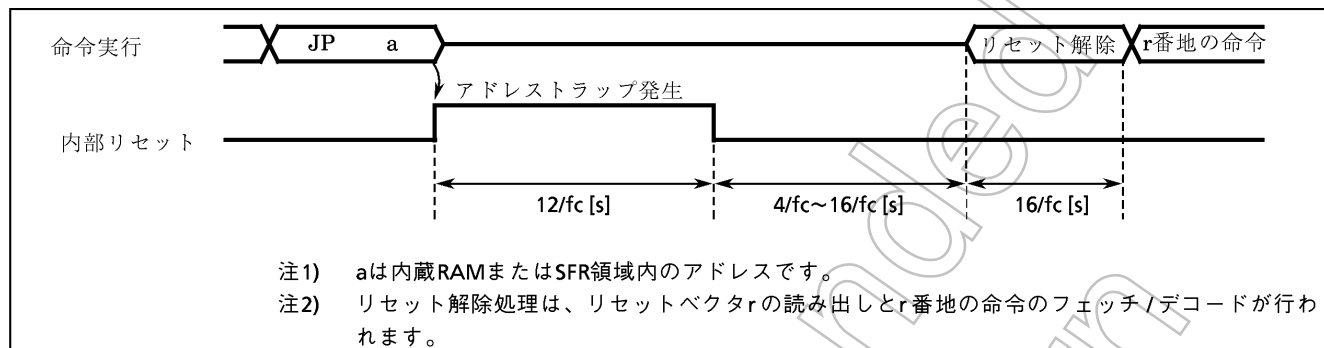


図1-29. アドレストラップリセット

1.11.3 ウォッチドッグタイマリセット

『1.10 ウォッチドッグタイマ』をご参照ください。

1.11.4 システムクロックリセット

XENを“0”にクリアした場合、システムクロックが停止し、CPUがデッドロック状態に陥ります。
これを防ぐため、 $XEN=0, XEN=SYSCK=0$ を検出すると自動的に内部リセットを発生し発振を継続
させます。リセット時間は、 $12/f_c$ [s] ($1.5 \mu\text{s}$ @ 8MHz) です。

2. 周辺ハードウェア機能

2.1 スペシャルファンクションレジスタ (SFR)

TLCS-870シリーズは、メモリマップI/O方式で、周辺ハードウェアの制御/データ転送はすべてスペシャルファンクションレジスタ (SFR) を通して行われます。

SFRは0000~003FH番地に、マッピングされています。図2-1にTMP87C409B/809BのSFRの一覧を示します。

アドレス	リード	ライト	アドレス	リード	ライト
0000H		reserved	0020H	-	SBICR1 (SBI制御レジスタ1)
01		P1ポート	21	-	SBIDBR (SBIデータバッファ)
02		reserved	22	-	I2CAR (I ² Cバスアドレス)
03		reserved	23	SBISR (SBIステータス)	SBICR2 (SBI制御レジスタ2)
04		P4ポート	24		reserved
05		P5ポート	25		INT3CR (外部割り込み3制御)
06		P6ポート	26	-	P5CR (P5ポート入出力制御)
07		reserved	27		reserved
08		reserved	28	-	CLZCR (発振停止検出制御)
09		reserved	29	ADCRL (AD変換値レジスタ)	-
0A		reserved	2A	ADCDRL (AD変換値レジスタ)	-
0B	-	P1CR (P1ポート入出力制御)	2B		reserved
0C	-	P6CR (P6ポート入出力制御)	2C		reserved
0D		reserved	2D		reserved
0E		ADCCR (ADコンバータ制御)	2E		reserved
0F		reserved	2F	-	SELREF (VAREF切り替え)
10	-	TREG1 _L (タイマレジスタ1)	30		reserved
11	-	TREG1 _H	31		reserved
12		reserved	32		reserved
13		reserved	33		reserved
14	-	TC1CR (タイマカウンタ1制御)	34	-	WDTCR1 (ウォッチドッグタイマ制御)
15		reserved	35	-	WDTCR2
16		reserved	36	-	TBTCR (TBT/TG/DVO制御)
17		reserved	37		EINTCR (外部割り込み制御)
18		TREG3A (タイマレジスタ3A)	38		SYSCR1 (システム制御)
19		TREG3B (タイマレジスタ3B)	39		SYSCR2
1A	-	TC3CR (タイマカウンタ3制御)	3A		EIR _L (割り込み許可レジスタ)
1B	-	TREG4 (タイマレジスタ4)	3B		EIR _H
1C	-	TC4CR (タイマカウンタ4制御)	3C		IL _L (割り込みラッチ)
1D		reserved	3D		IL _H
1E		reserved	3E		reserved
1F		reserved	3F	PSW	RBS (レジスタバンクセレクタ)

スペシャルファンクションレジスタ

注1) reservedの番地はプログラムでアクセスしないでください。

注2) - ; アクセスできません。

注3) 003FH番地をシンボルで定義する場合、GPSW/GRBSとしてください。

注4) 書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令 (SET, CLRなどのビット操作命令やAND, ORなどの演算命令など) による操作はできません。

注5) PSW ; プログラムステータスワード

図2-1. SFR

2.2 入出力ポート

TMP87C409B/809Bは、4ポート22端子の入出力ポートを内蔵しています。

- ① P1ポート； 8ビット入出力ポート (外部割り込み入力, タイマカウンタ入出力, デバイダ出力と兼用)
- ② P4ポート； 4ビット入出力ポート (シリアルバスインタフェース入出力, 外部割り込み入力と兼用)
- ③ P5ポート； 2ビット入出力ポート (タイマ/カウンタ入出力, 外部割り込み入力, 発振停止検出出力と兼用)
- ④ P6ポート； 8ビット入出力ポート (アナログ入力, アナログリファレンス電源と兼用)

すべての出力ポートは、ラッチを内蔵していますので、出力データはラッチにより保持されます。すべての入力ポートにはラッチがありませんので、外部から入力データを読み取るまでは外部でデータを保持しておくか、複数回読み取ってから処理することが望まれます。図2-2に入出力タイミングを示します。

入出力ポートから外部データを読み込むタイミングは、命令実行におけるリードサイクルのS1ステートです。外部からはこのタイミングを認識できませんので、チャタリングなどの過渡的な入力データはプログラムで対処する必要があります。入出力ポートへデータを出力するタイミングは、命令実行におけるライトサイクルのS2ステートです。

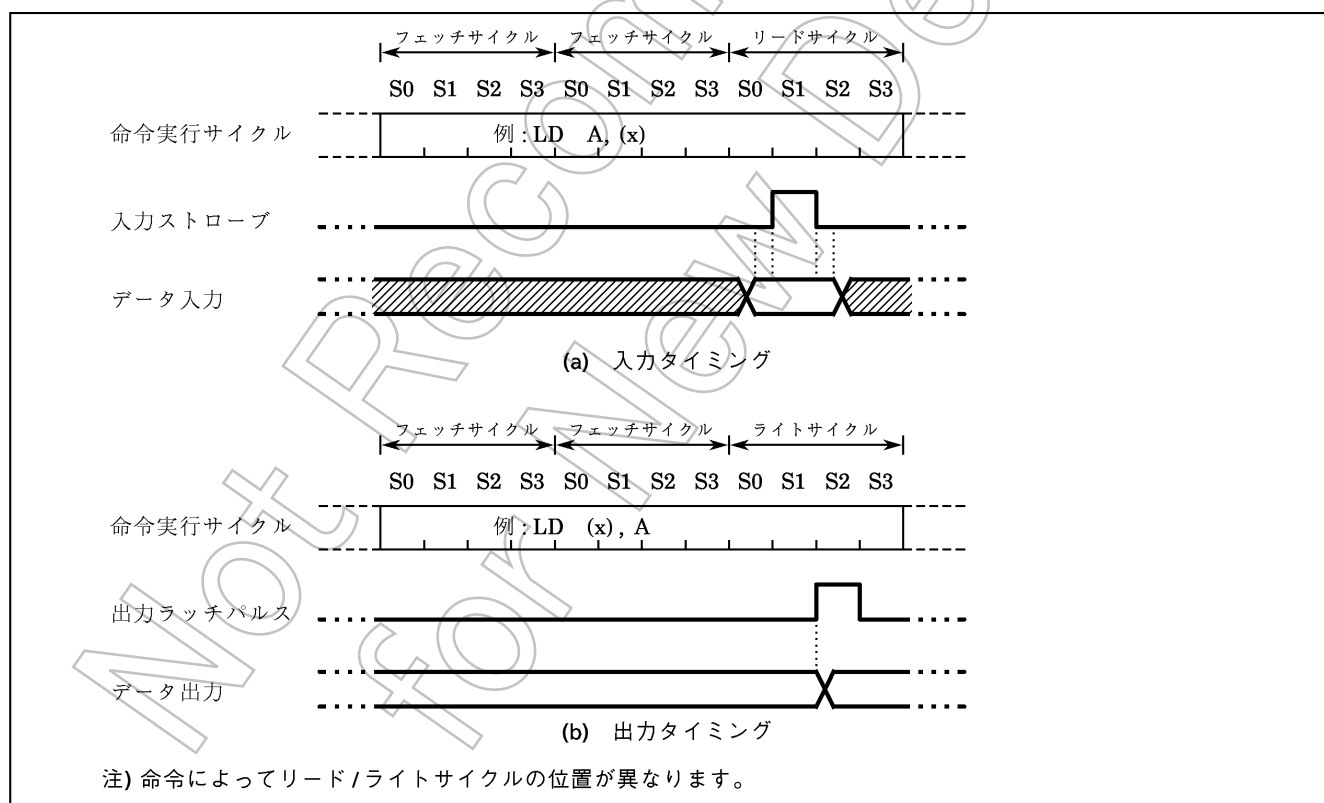


図2-2. 入出力タイミング (例)

プログラマブル入出力ポートを除く入出力ポートに対して、ポートからのリードを行った場合、端子入力値を読み込むか出力ラッチの内容を読み込むかは、下記のとおり命令によって異なります。

(1) 出力ラッチの内容を読み込む命令

- ① XCH r, (src)
- ② SET/CLR/CPL (src).b
- ③ SET/CLR/CPL (pp).g
- ④ LD (src).b, CF
- ⑤ LD (pp).b, CF
- ⑥ ADD/ADDC/SUB/SUBB/AND/OR/XOR (src), n
- ⑦ ADD/ADDC/SUB/SUBB/AND/OR/XOR (src), (HL) 命令の (src) 側

(2) 端子入力値を読み込む命令

上記以外の命令およびADD/ADDC/SUB/SUBB/AND/OR/XOR (src), (HL) 命令の (HL) 側

2.2.1 P1 (P17~P10) ポート

P1ポートは、1ビット単位で入出力の指定ができる8ビット入出力ポートです。入出力の指定は、P1ポート入出力制御レジスタ (P1CR) によって行います。リセット時、P1CRは“0”に初期化され、P1ポートは入力モードとなります。また、P1ポート出力ラッチは“0”に初期化されます。

P1ポートは、外部割り込み入力、タイマカウンタ入出力、デバイダ出力と兼用になっています。これらの機能ピンとして使用する場合、入力ピンは入力モードに設定します。出力ピンはあらかじめ出力ラッチを“1”にセットし、出力モードに設定します。なお、P11, P12端子は、外部割り込み入力、タイマカウンタ入力または入力ポートとして使用されることを推奨します (出力ポートとして使用すると立ち上がりまたは立ち下がりエッジで割り込みラッチがセットされます)。P10端子は、外部割り込み制御レジスタ (INT0EN)により入出力ポートとして使用するか外部割り込み入力として使用するかの選択ができます。リセット時、P10端子は入力ポートとなります。

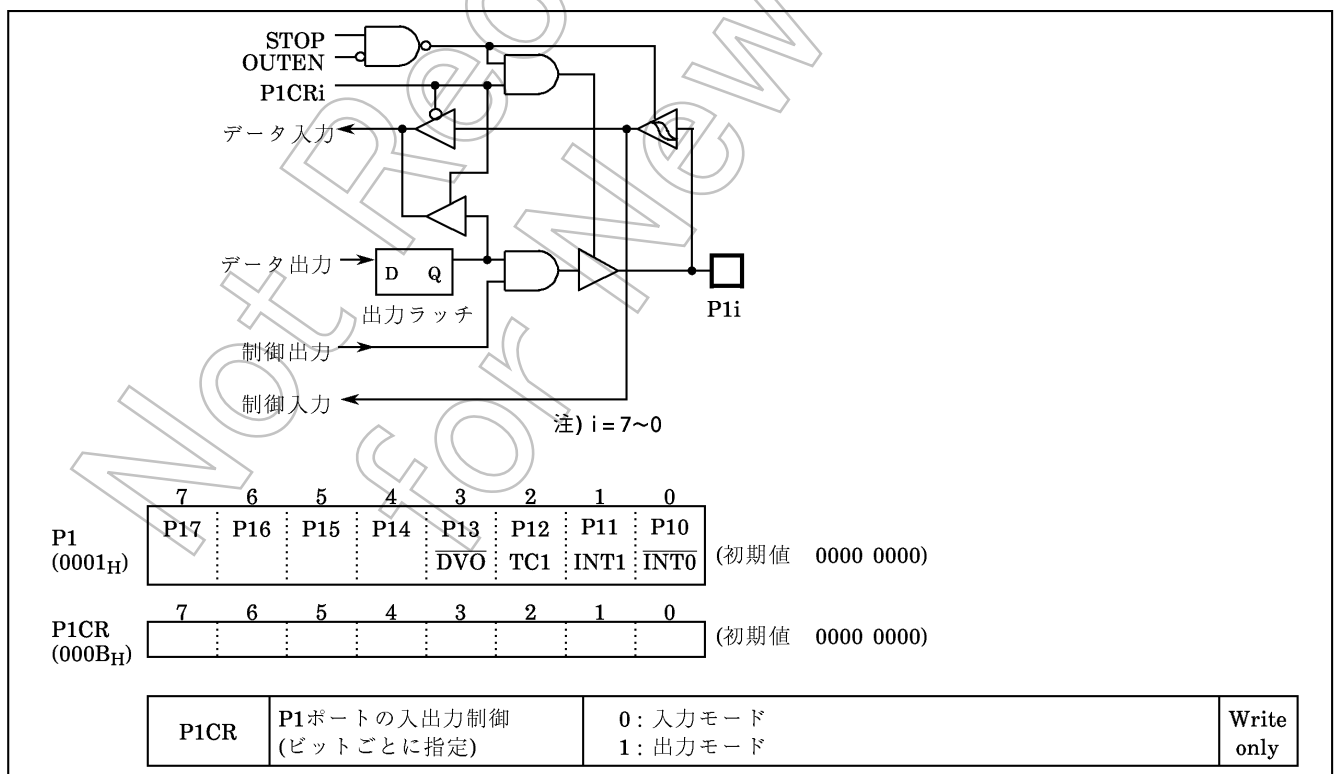


図2-3. P1ポートとP1ポート入出力制御レジスタ

例： P17, P16, P14を出力ポートに、P13, P11を入力ポートに、そのほかを機能ピンに設定し、P17ピン, P14ピンは“1”に、P16ピンは“0”を出力します。

```
LD (EINTCR), 01000000B ; INTOEN ← 1
LD (P1), 10111111B ; P17 ← 1, P14 ← 1, P16 ← 0
LD (P1CR), 11010000B
```

注1) 入力モードに設定されているポートは、端子入力の状態を読み込みますので、入力/出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。
 注2) P1CRは書き込み専用レジスタですので、リードモディファイ命令 (SET, CLR などの機械命令、AND, OR などの算術命令など) によって制御できません。

2.2.2 P4 (P43~P40) ポート

P4ポートは、4ビットの入出力ポートでシリアルバスインタフェース入出力、外部割り込み入力、STOPモード解除信号入力と兼用です。これらの機能端子としてまたは入力ポートとして用いる場合は、出力ラッチを“1”にセットします。リセット時、出力ラッチは“1”に初期化されます。

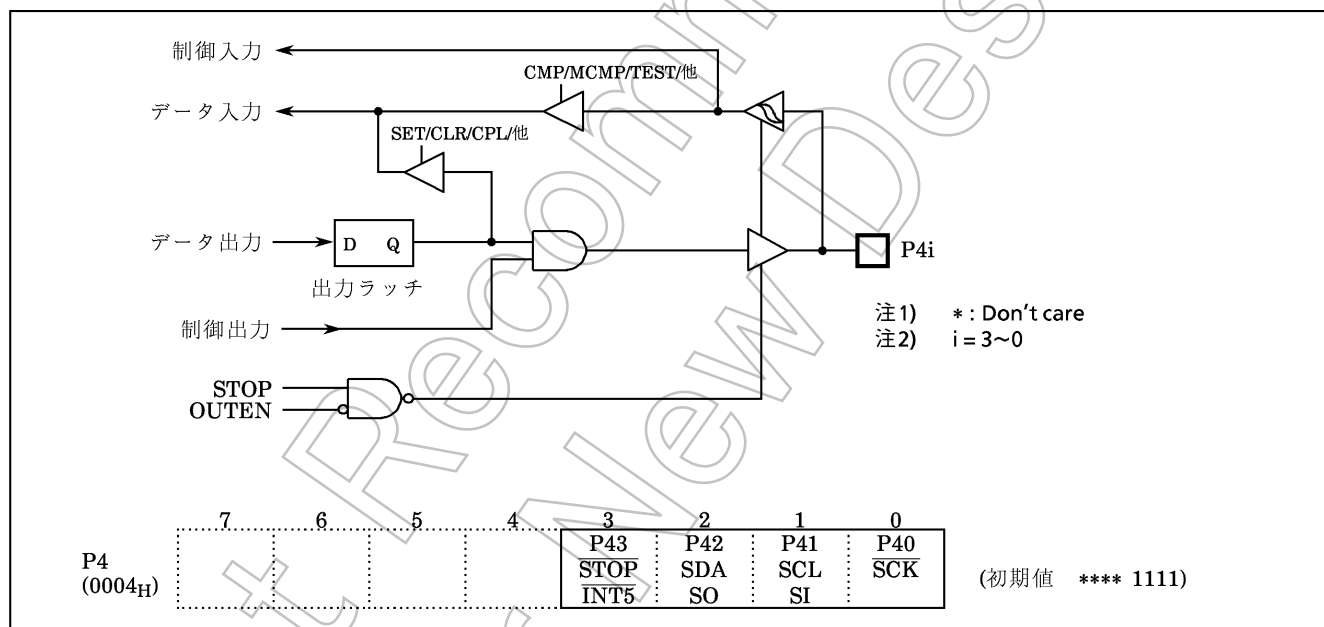


図2-4. P4ポート

2.2.3 P5 (P51~P50) ポート

P5ポートは、1ビット単位で入出力の指定ができる2ビットの汎用入出力ポートです。入出力の指定は、P5ポート入出力制御レジスタ (P5CR) によって行います。リセット時、P5CRは“0”にクリアされ、P5ポートは入力モードとなります。また、P5ポートの出力ラッチは“0”に初期化されます。

P5ポートはタイマ/カウンタ入出力、外部割り込み入力、発振停止検出出力と兼用になっています。これらの機能ピンとして使用する場合、入力ピンは入力モードに設定します。出力ピンは出力モードに設定し、タイマ/カウンタ出力として使用する場合は、あらかじめ出力ラッチを“1”にセットしておきます。

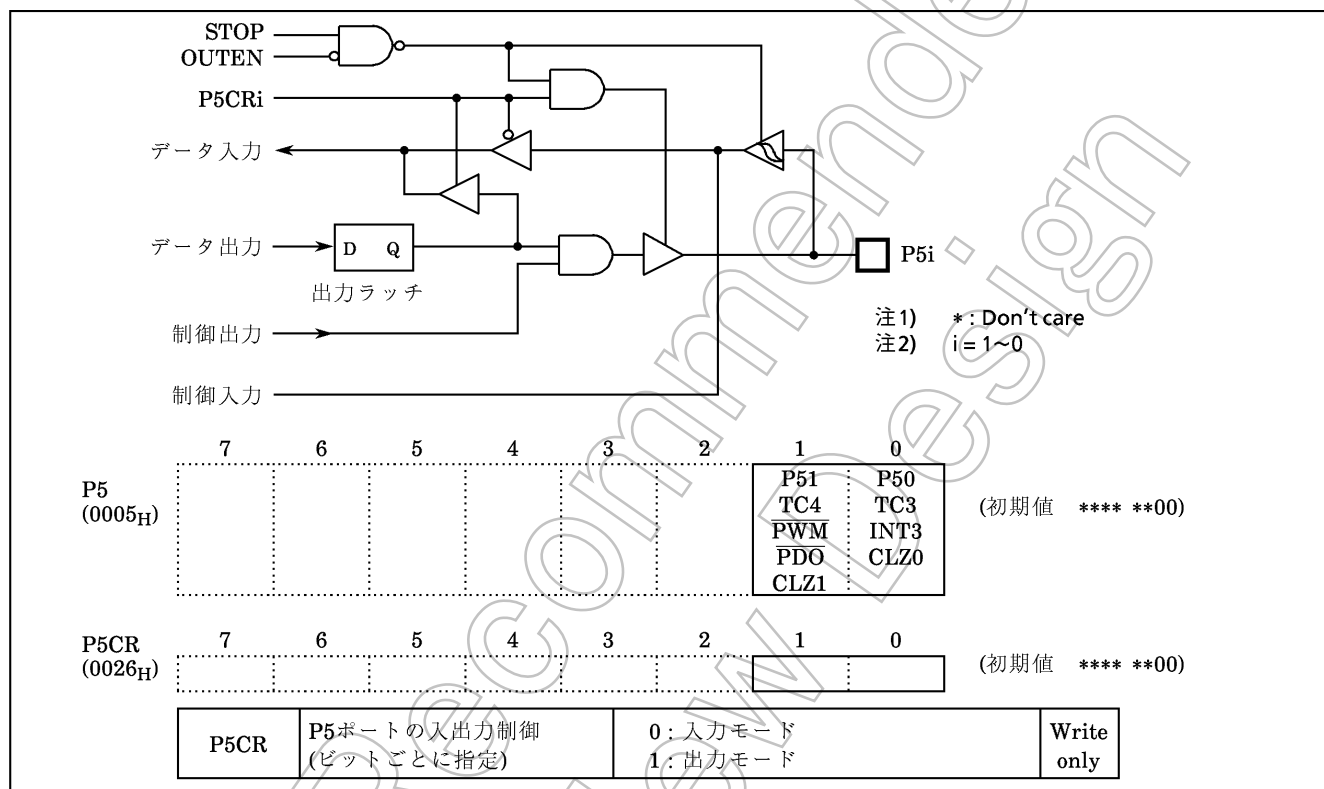


図2-5. P5ポートとP5ポート入出力制御レジスタ

- 注1) 入力モードに設定されているポートは、端子入力の状態を読み込みますので、入力/出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。
- 注2) P5CRは書き込み専用レジスタですので、リードモディファイ命令 (SET, CLRなどの機械命令、AND, ORなどの算術命令など) によって制御できません。

2.2.4 P6 (P67~P60) ポート

P6ポートは、1ビット単位で入出力の指定ができる8ビットの汎用入出力ポートで、アナログ入力と兼用です。またP67はアナログ基準電源 (VAREF) と兼用でVAREF選択レジスタ (SELREF) にて切り替え可能です。入出力の指定は、P6ポート入出力制御レジスタ (P6CR) とAINDS (ADCCRのビット4) によって行います。リセット時、P6CRは“0”にセットされ、AINDSは“1”にセットされますので、P6ポートは入力モードとなります。また、P6ポートの出力ラッチはリセット時に“0”に初期化されます。なお、P6CRは書き込み専用レジスタです。アナログ入力として使用しないP6ポートは、入出力ポートとして使用できますが、AD変換中は、精度を保つ意味で出力命令は行わないようにしてください。ADコンバータを使用している時P6ポートに対して、入力命令を実行するとアナログ入力を選択している端子は“0”が読み込まれ、アナログ入力を選択していない端子は、端子の入力レベルにより、“1”または、“0”が読み込まれます。

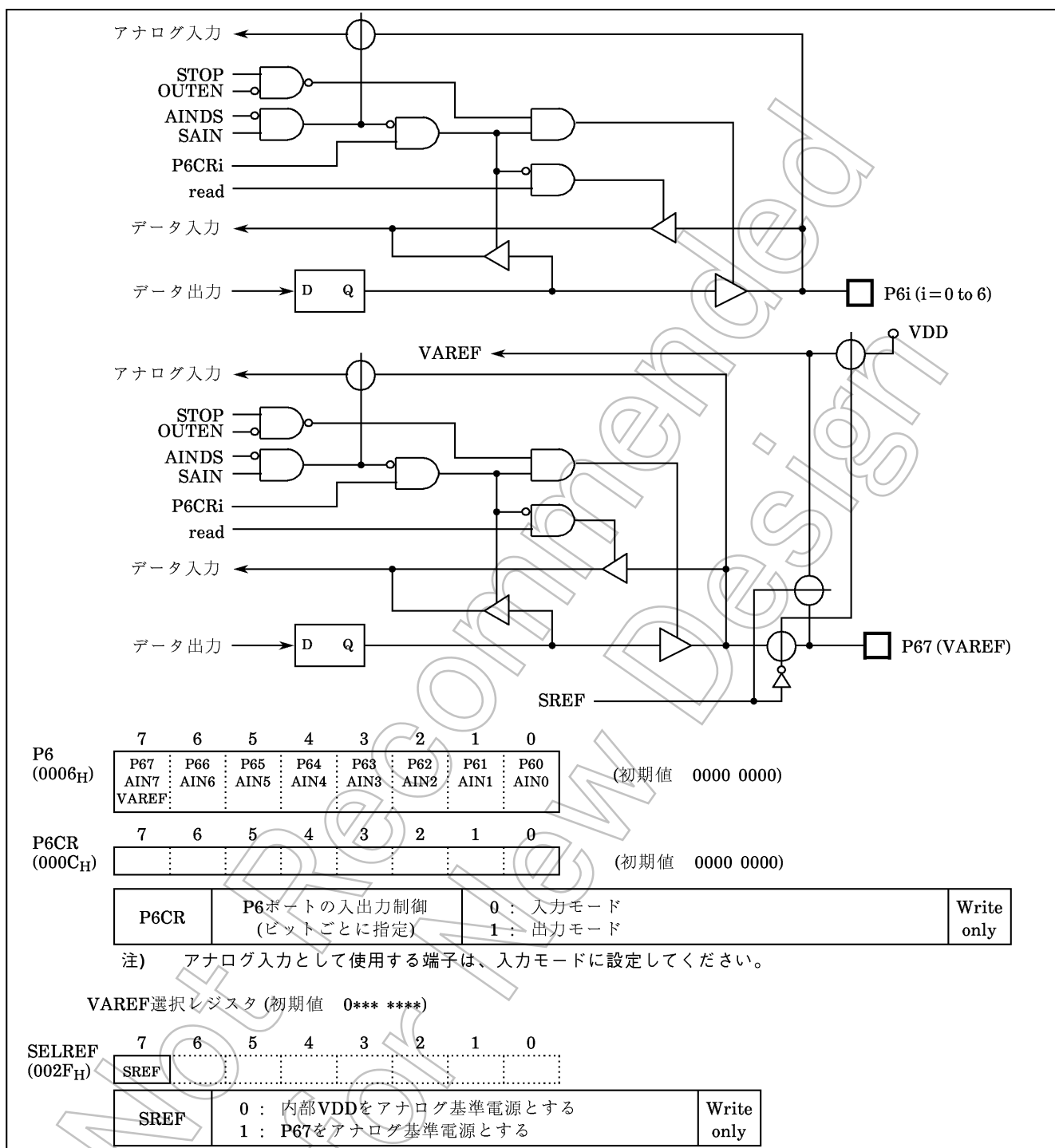


図2-6. P6ポート、P6ポート入出力制御レジスタおよびVAREF選択レジスタ

- 注1) 入力モードに設定されているポートは、端子入力の状態をリードしますので、入力/出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。
- 注2) P1CRは書き込み専用レジスタですので、リードモディファイ命令 (SET, CLR などの機械命令、AND, OR などの算術命令など) によって制御できません。

例 : P6ポートの下位4ビットを出力ポートに、そのほかを入力ポートに設定します。

```
LD (P6CR), 0FH ; P6CR←00001111
```

2.3 タイムベースタイマ (TBT)

タイムベースタイマは、キースキャンやダイナミック表示処理などの基準時間生成用タイマで一定期ごとにタイムベースタイマ割り込み (INTTBT) を発生します。

タイムベースタイマ割り込みは、タイムベースタイマをイネーブルにした後、ソースクロック (タイミングジェネレータのデバイダ出力を **TBTCK** で選択) の最初の立ち下がりから発生します。なお、デバイダはプログラムでクリアされませんので、最初の割り込みに限り設定した割り込み周期よりも早く割り込みが発生することがあります (図2-7 (b) 参照)。

割り込み周波数の選択は、タイムベースタイマがディセーブルの状態で行ってください (イネーブル状態からディセーブルにする際も割り込み周波数の設定を変更しないでください)。なお、周波数の選択とイネーブルを同時にすることはできません。

例： タイムベースタイマ割り込み周波数を $fc/2^{16}$ [Hz] にセットし、割り込みを許可します。

```
LD (TBTCCR), 00001010B
SET (EIRL). 6
```

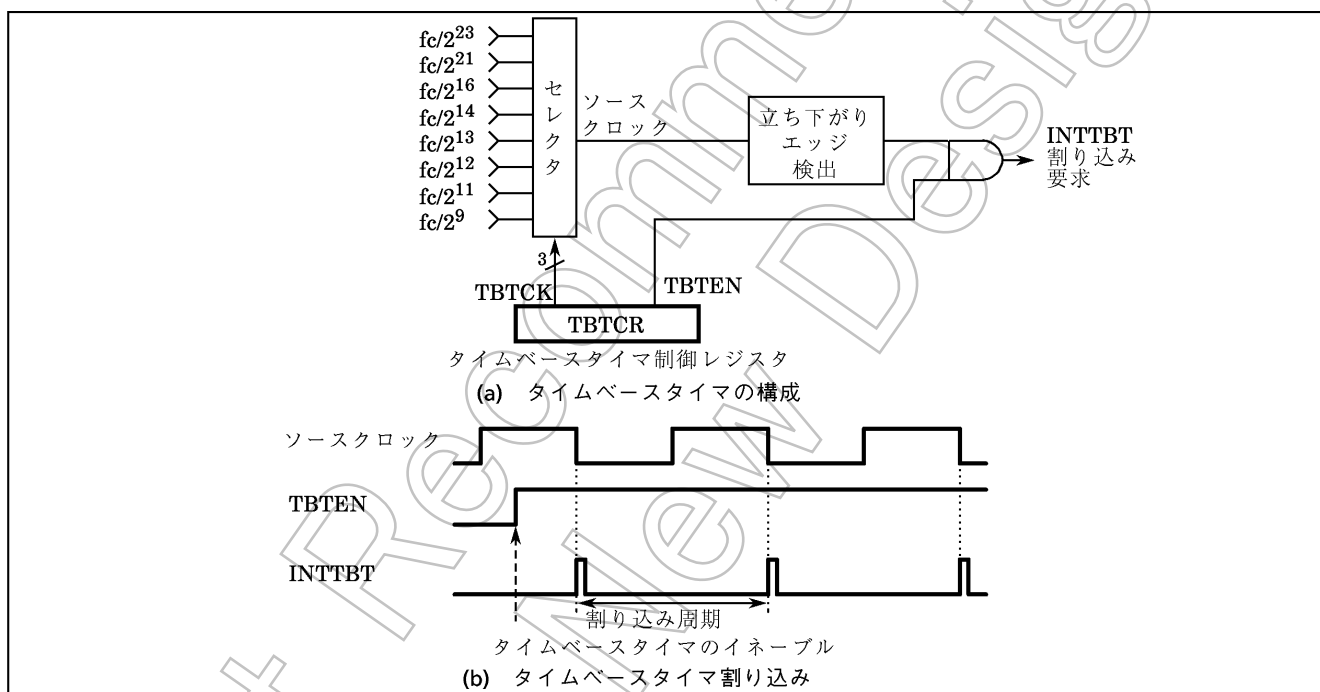


図2-7. タイムベースタイマ

		7	6	5	4	3	2	1	0		
TBTCR (0036 _H)		(DVOEN)	(DVQCK)	0	TBTEN	TBTCK				(初期値 0**0 0***)	
TBTEN	タイムベースタイマの許可 /禁止					0: ディセーブル 1: イネーブル					
TBTCK	タイムベースタイマ割り込み 周波数の選択					000: $fc/2^{23}$ [Hz] 001: $fc/2^{21}$ 010: $fc/2^{16}$ 011: $fc/2^{14}$ 100: $fc/2^{13}$ 101: $fc/2^{12}$ 110: $fc/2^{11}$ 111: $fc/2^9$				Write only	

注1) fc ; 高周波クロック [Hz] *; Don't care
 注2) TBTCRの第4 bitは必ず "0" にしてください。
 注3) TBTCRは書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

図2-8. タイムベースタイマ制御レジスタ

表2-1. タイムベースタイマ割り込み周波数 (例: $fc=8$ MHz時) [Hz]

TBTCK	NORMAL, IDLEモード
000	0.95
001	3.81
010	122.07
011	488.28
100	976.56
101	1953.12
110	3906.25
111	15625

2.4 デバイダ出力 (DVO)

タイミングジェネレータのデバイダによってデューティ50%のパルスを出力することができ、プザーなどの駆動に利用できます。デバイダ出力は、P13 (DVO) 端子から出力されます。なお、P13ポートは出力ラッチを“1”にセットしたあと出力モードに設定します。

TBTCR (0036H)	7	6	5	4	3	2	1	0	(初期値 0**0 0***)
	DVOEN	DVOCK	0	(TBTEN)	(TBTCK)				
DVOEN	デバイダ出力の許可/禁止		0 : デイセーブル 1 : イネーブル						Write only
DVOCK	デバイダ出力 (DVO端子) の周波数選択		00 : $fc/2^{13}$ [Hz] 01 : $fc/2^{12}$ 10 : $fc/2^{11}$ 11 : $fc/2^{10}$						

注1) fc ; 高周波クロック [Hz] *; Don't care
 注2) TBTCRは書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

図2-9. デバイダ出力制御レジスタ

例 : 1kHzのパルスを出力 ($fc=8$ MHz時)。

SET (P1).3 ; P13出力ラッチ ← 1
 LD (P1CR), 00001000B ; P13を出力モードに設定
 LD (TBTCR), 10000000B ; DVOEN ← 1, DVOCK ← 00

表2-2. デバイダ出力の周波数 [kHz]

DVOCK	$fc=4.194304$ MHz時	$fc=8$ MHz時
00	0.512	0.976
01	1.024	1.953
10	2.048	3.906
11	4.096	7.812

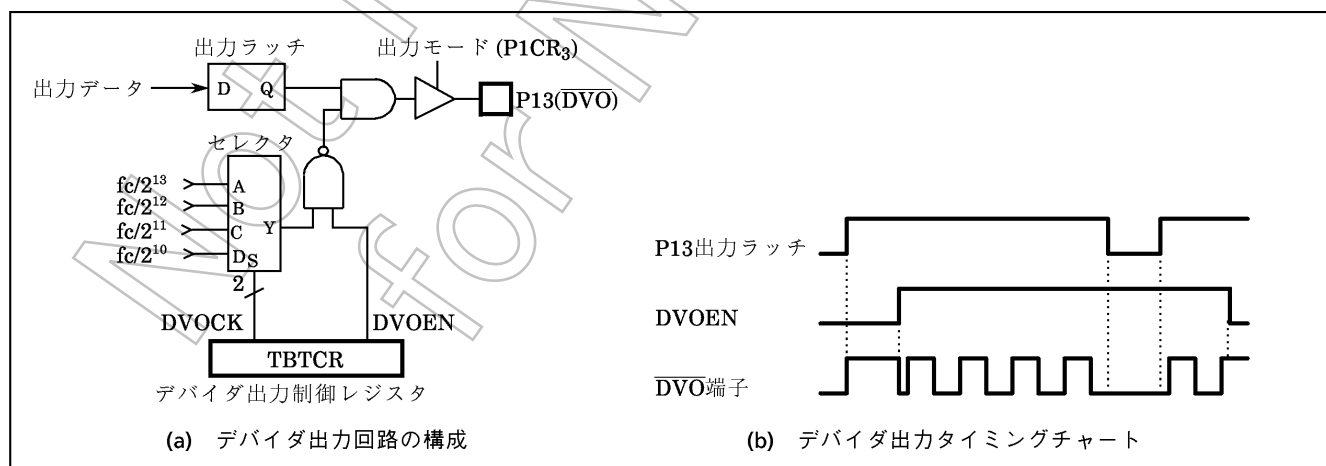


図2-10. デバイダ出力

2.5 16ビットタイマカウンタ1 (TC1)

2.5.1 構成

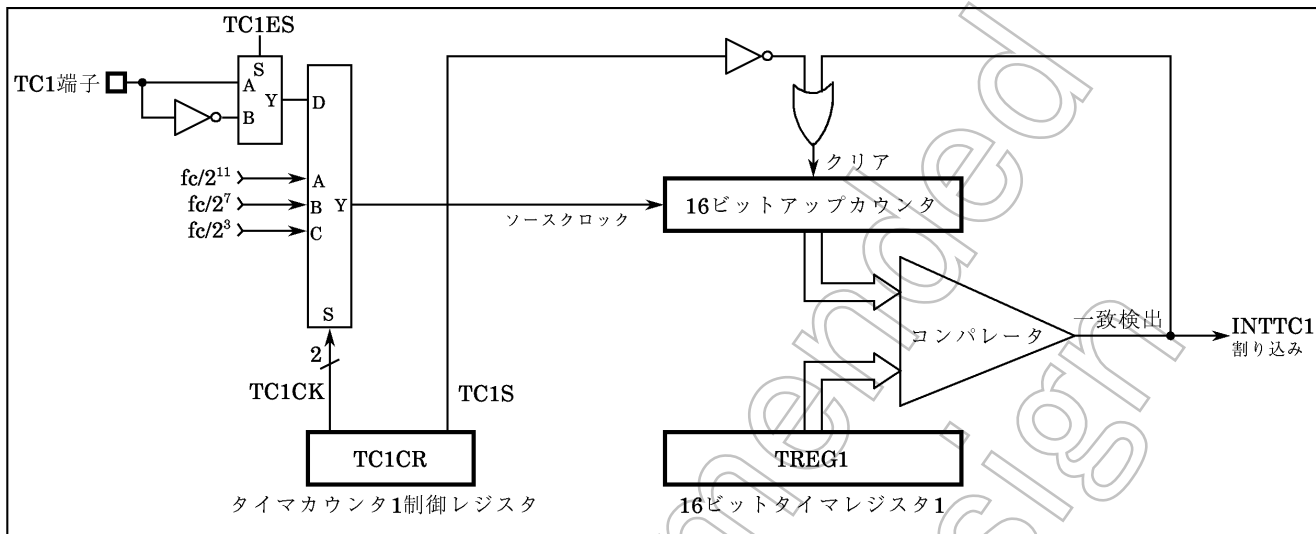


図2-11. タイマカウンタ1 (TC1)

2.5.2 制御

タイマカウンタ1は、タイマカウンタ1制御レジスタ (TC1CR) と16ビットタイマレジスタ (TREG1) で制御されます。

タイマレジスタ	
TREG1 (0010, 0011 _H)	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 TREG1 _H (0011 _H) TREG1 _L (0010 _H) Write only
タイマカウンタ1制御レジスタ	
TC1CR (0014 _H)	7 6 5 4 3 2 1 0 "0" "0" "0" TC1S TC1CK "0" "0" (初期値 ***0 0000)
TC1CK	タイマカウンタ1のソースクロックの選択 00: 内部クロック $fc/2^{11}$ [Hz] 01: " " $fc/2^7$ 10: " " $fc/2^8$ 11: 外部クロック (TC1端子入力) Write only
TC1S	タイマカウンタ1のスタート制御 0: ストップ&カウンタクリア 1: コマンドスタート

注1) fc ; 高周波クロック [Hz], *, Don't care
 注2) TC1CRのビット0, 1, 5, 6, 7には常に"0"を書き込んでください。
 注3) タイマレジスタの下位側 (TREG1_L) に書き込むと上位側 (TREG1_H) への書き込みが終わるまで、一致検出を停止します。また、上位側への書き込み後1マシンサイクル以内 (すなわち命令実行中) の一致検出は無視されます。
 注4) ソースクロック, エッジ (TC1ES) は、タイマカウンタ停止 (TC1S=0) 状態で設定してください。
 注5) タイマレジスタへの設定値は、次の条件を満足する必要があります。
 $TREG1 > 0$
 注6) TC1CRは書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

図2-12. タイマカウンタ1のタイマレジスタと制御レジスタ

2.5.3 機能

タイマカウンタ1には、タイマ、イベントカウンタの2つの動作モードがあります。

(1) タイマモード

内部クロックでカウントアップするモードです。カウンタ値とタイマレジスタ1 (TREG1) 設定値との一致でINTTC1割り込みが発生し、カウンタがクリアされます。カウンタクリア後もカウントアップを継続します。

表2-3. タイマカウンタ1のソースクロック (内部クロック)

ソースクロック	分解能	最大設定時間
NORMAL, IDLE モード	$f_c = 8 \text{ MHz}$ 時	$f_c = 8 \text{ MHz}$ 時
$f_c/2^{11}$ [Hz]	256 μs	16.7 s
$f_c/2^7$	16 μs	1.0 s
$f_c/2^3$	1 μs	65.5 ms

例： ソースクロック $f_c/2^{11}$ [Hz] でタイマモードにセットし、1s後に割り込みを発生させる ($f_c = 8\text{MHz}$ 時)。

- LD (TC1CR), 00000000B ; TC1のモードおよびソースクロックの設定
- LDW (TREG1), 0F42H ; タイマレジスタの設定 ($1 \text{ s} \div 2^{11}/f_c = \text{F42H}$)
- SET (EIRL). EF4 ; INTTC1割り込みを許可。
- EI
- LD (TC1CR), 00010000B ; TC1スタート

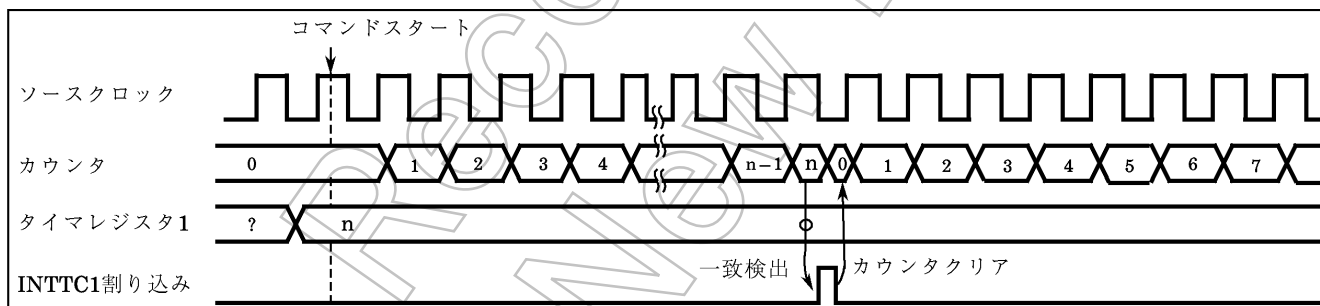


図2-13. タイマモード タイミングチャート

(2) イベントカウンタモード

TC1端子入力のエッジ(立ち上がり/立ち下がりエッジを選択可能。エッジ選択は、EINTCRのTC1ESにて行います)でカウントアップするモードです。カウンタ値とTREG1設定値との一致でINTTC1割り込み発生し、カウンタはクリアされます。カウンタクリア後もTC1端子入力のエッジごとにカウントアップします。最大印加周波数は、 $f_c/2^4$ [Hz] (NORMALまたはIDLEモード時)です。“H”、“L”レベルとも2マシンサイクル以上のパルス幅が必要です。

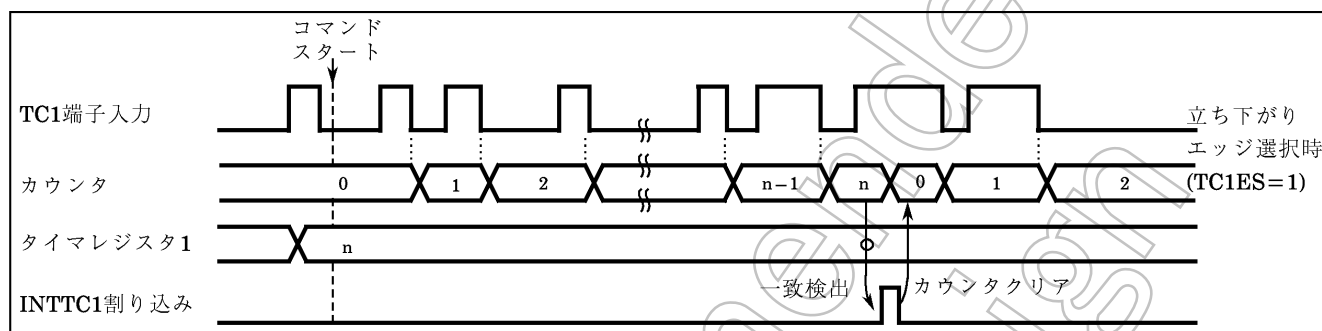


図2-14. イベントカウンタモードタイミングチャート

2.6 8ビットタイマカウンタ3 (TC3)

2.6.1 構成

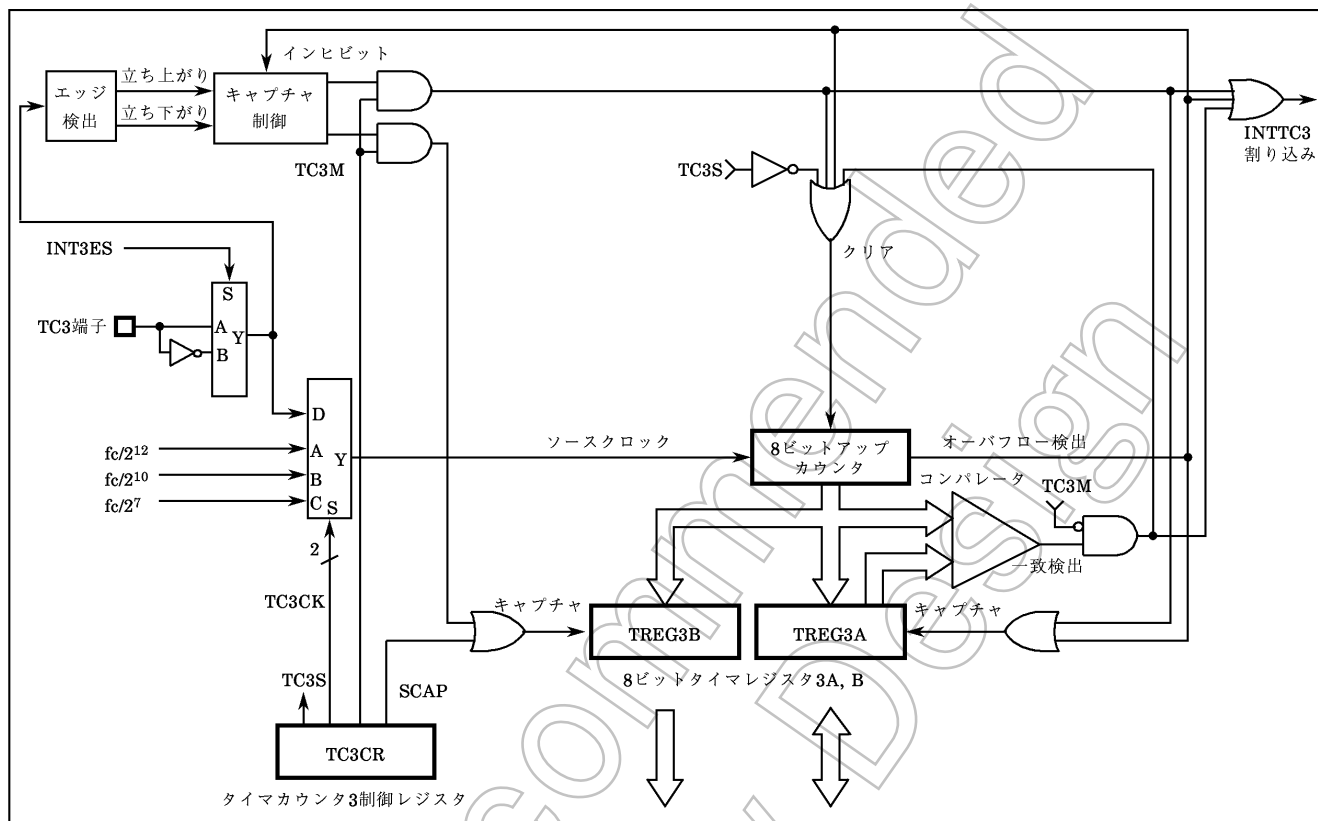


図2-15. タイマカウンタ3 (TC3)

2.6.2 制御

タイマカウンタ3は、タイマカウンタ3制御レジスタ (TC3CR) と2本の8ビットタイマレジスタ (TREG3A, TREG3B) で制御されます。

TREG3A (0018 _H)	7 6 5 4 3 2 1 0		
TREG3B (0019 _H)	7 6 5 4 3 2 1 0		
TC3CR (001A _H)	7 6 5 4 3 2 1 0	"0" SCAP "0" TC3S TC3CK "0" TC3M	(初期値 *0*0 00*0)

TC3M	タイマカウンタ3の動作モードの選択	0: タイマ/イベントカウンタモード 1: キャプチャモード	
TC3CK	タイマカウンタ3のソースクロックの選択	00: 内部クロック $fc/2^{12}$ [Hz] 01: " $fc/2^{10}$ 10: " $fc/2^7$ 11: 外部クロック (TC3端子入力)	Write only
TC3S	タイマカウンタ3のスタート制御	0: ストップ&カウンタクリア 1: スタート	
SCAP	ソフトキャプチャ制御	0: - 1: ソフトキャプチャ	

注1) fc ; 高周波クロック [Hz] *; Don't care
 注2) モード, ソースクロック, エッジ (INT3ES) は、タイマカウンタ停止 (TC3S = 0) 状態で設定してください。
 注3) タイマレジスタ3Aへの設定値は、次の条件を満足する必要があります。
 TREG3A > 0 (タイマ/イベントカウンタモード時)
 注4) ソフトキャプチャはタイマ/イベントカウンタモード時のみ使用可能です。
 注5) TC3CRは書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

図2-16. タイマカウンタ3のタイマレジスタと制御レジスタ

2.6.3 機能

タイマカウンタ3には、タイマ、イベントカウンタ、キャプチャの3つの動作モードがあります。

(1) タイマモード

内部クロックでカウントアップするモードで、カウンタ値とタイマレジスタ3A (TREG3A) 設定値との一致でINTTC3割り込みが発生し、カウンタはクリアされます。SCAP (TC3CRのビット6) を“1”にセットすることにより、そのときのアップカウンタの内容をタイマレジスタ3B (TREG3B) に取り込むことができます (ソフトキャプチャ機能)。SCAPは、キャプチャ後自動的に“0”にクリアされず。

表2-4. タイマカウンタ3のソースクロック (内部クロック)

ソースクロック	分解能	最大設定時間
NORMAL, IDLE モード	$fc = 8 \text{ MHz}$ 時	$fc = 8 \text{ MHz}$ 時
$fc/2^{12}$	512 μs	131.1 ms
$fc/2^{10}$	128 μs	32.6 ms
$fc/2^7$	16 μs	4.1 ms

(2) イベントカウンタモード

TC3端子入力(立ち上がり/立ち下がりエッジの選択可能。エッジ選択は、INT3ESと共通。ただし、両エッジは使えません)パルスでカウントアップするモードです。カウンタ値とTREG3A設定値との一致でINTTC3割り込みが発生し、カウンタはクリアされます。

最大印加周波数は、 $f_c/2^4$ [Hz] (NORMALまたはIDLEモード時)です。“H”、“L”レベルとも2マシンスイクル以上のパルス幅が必要です。

SCAP (TC3CRのビット6)を“1”にセットすることにより、そのときのアップカウンタの内容をTREG3Bに取り込むことができます(ソフトキャプチャ機能)。SCAPはキャプチャ後自動的に“0”にクリアされます。

例： TC端子に50Hzのパルスを入力し、0.5 sごとに割り込みを発生させる

LD	(TC3CR), 00001100B	;	TC3のモード, ソースクロック設定
LD	(TREG3A), 19H	;	$0.5 \text{ s} \div 1/50 = 25 = 19\text{H}$
LD	(TC3CR), 00011100B	;	TC3スタート

(3) キャプチャモード

TC3端子入力のパルス幅, 周期, デューティなどを測定するモードで、リモコン信号のデコードやAC50/60 Hz識別などに利用できます。カウンタを内部クロックでフリーランニングし、TC3端子入力(立ち上がり/立ち下がりエッジの選択可能。エッジ選択は、INT3ESと共通。ただし、両エッジは使えません)の立ち上がり(立ち下がり)エッジでカウンタ値をTREG3Aに取り込みカウンタをクリアするとともにINTTC3割り込みが発生します。また、TC3端子入力の立ち下がり(立ち上がり)エッジではカウンタ値をTREG3Bに取り込みます。この場合はカウント継続し、次の立ち上がり(立ち下がり)エッジでカウンタ値をTREG3Aに取り込み、カウンタをクリアするとともに割り込みが発生します。エッジが検出される前にカウンタがオーバフロー(FF_H)するとTREG3AにFF_HをセットしてカウンタをクリアするとともにINTTC3割り込みが発生します。割り込み処理でTREG3Aを読み出してFF_Hであるか否かでオーバフロー発生の有無を判断することができます。なお、割り込み(TREG3Aへのキャプチャまたはオーバフロー検出)の発生後、TREG3Aを読み出すまではキャプチャおよびオーバフロー検出は停止します。ただし、カウントは継続します。TREG3Aを読み出すとキャプチャ/オーバフロー検出が再開されますので、通常TREG3Bから先に読み出します。

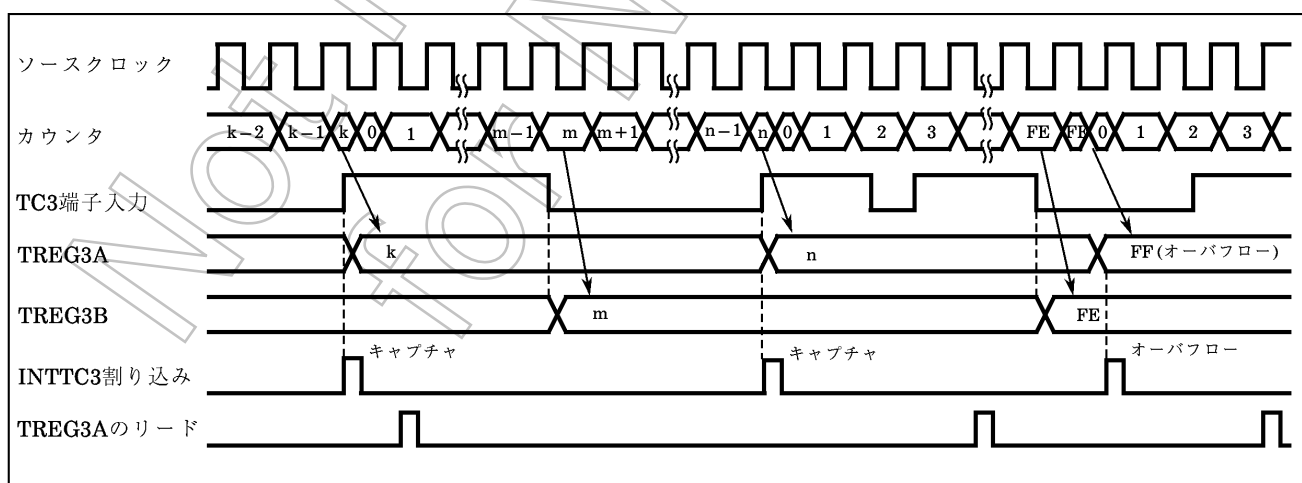


図2-17. キャプチャモードタイミングチャート (INT3ES = 0の場合)

2.7 8ビットタイマカウンタ4 (TC4)

2.7.1 構成

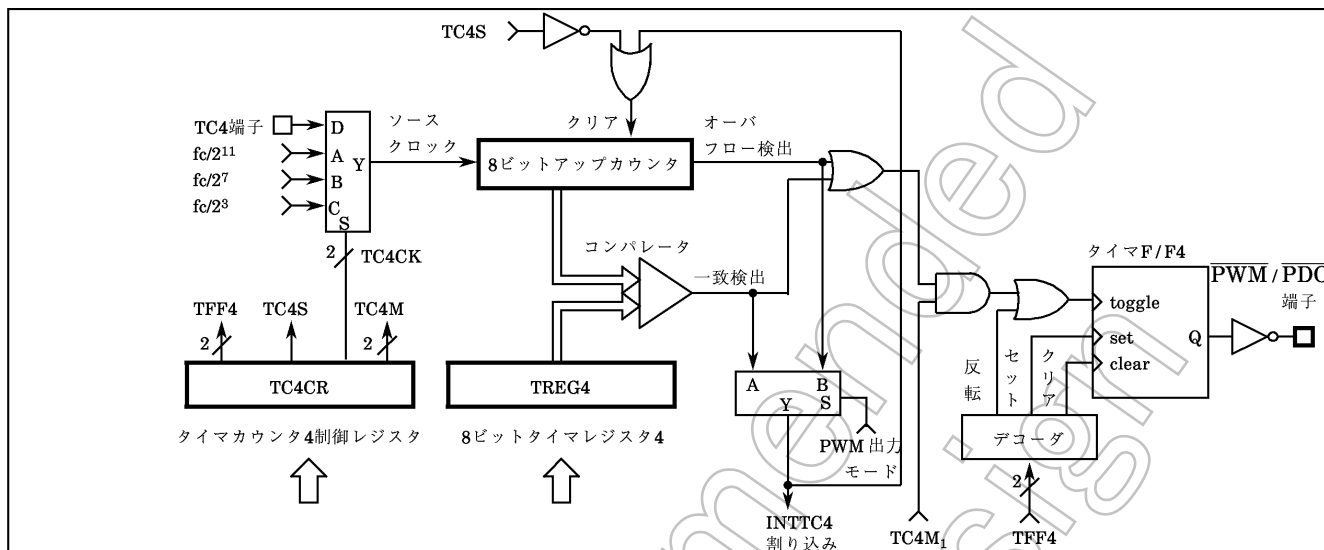


図2-18. タイマカウンタ4 (TC4)

2.7.2 制御

タイマカウンタ4は、タイマカウンタ4制御レジスタ (TC4CR) とタイマレジスタ4 (TREG4) で制御されます。

TREG4 (001BH)	7	6	5	4	3	2	1	0	Write only
TC4CR (001CH)	7	6	5	4	3	2	1	0	(初期値 00*0 0000)
	TFF4	“0”	TC4S	TC4CK	TC4M				
TC4M	タイマカウンタ4の動作モードの選択		00: タイマモード 01: reserved 10: プログラマブル デバイダ出力 (PDO) モード 11: パルス幅変調 (PWM) 出力モード						Write only
TC4CK	タイマカウンタ4のソースクロックの選択		00: 内部クロック $fc/2^{11}$ [Hz] 01: $fc/2^7$ 10: $fc/2^3$ 11: 外部クロック (TC4端子入力)						
TC4S	タイマカウンタ4のスタート制御		0: ストップ&カウンタクリア 1: スタート						
TFF4	タイマF/F4の制御		00: クリア 01: 反転 10: セット 11: - (注3)						
注1) fc ; 高周波クロック [Hz], *; Don't care 注2) 動作モード, ソースクロックおよびタイマF/F4の制御を行うときは、TC4S = 0にしてください。 注3) TFF4はタイマモード時は“11”にしてください。 注4) タイマレジスタへの設定値は次の条件を満足する必要があります。 TREG4 > 0 注5) TC4CRは書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。									

図2-19. タイマカウンタ4のタイマレジスタ/制御レジスタ

2.7.3 機能

タイマカウンタ4には、タイマ、イベントカウンタ、プログラマブル デバイダ出力、パルス幅変調出力の4つの動作モードがあります。

(1) タイマモード

内部クロックでカウントアップするモードです。カウンタ値とタイマレジスタ4 (TREG4) 設定値との一致でINTTC4割り込みが発生し、カウンタはクリアされます。カウンタクリア後もカウントアップは継続されます。

表2-5. タイマカウンタ4のソースクロック (内部クロック)

ソースクロック	分解能	最大設定時間
NORMAL, IDLE モード	$f_c = 8 \text{ MHz}$ 時	$f_c = 8 \text{ MHz}$ 時
$f_c/2^{11}$ [Hz]	256 μs	65.3 ms
$f_c/2^7$	16 μs	4.1 ms
$f_c/2^3$	1 μs	255 μs

(2) イベントカウンタモード

TC4端子入力 (外部クロック) パルスでカウントアップするモードです。

カウンタ値とTREG4設定値との一致で、INTTC4割り込みが発生し、カウンタはクリアされます。カウンタクリア後もカウントアップは継続されます。最大印加周波数は、 $f_c/2^4$ [Hz] (NORMALまたはIDLEモード時)で、“H”、“L”レベルともに2マシサイクル以上のパルス幅が必要です。

(3) プログラマブル デバイダ出力 (PDO) モード

内部クロックでカウントアップし、TREG4との一致ごとにタイマF/F 4出力を反転し、カウンタをクリアします。タイマF/F 4出力は、反転されてP51 (PDO) 端子に出力されます。プログラマブル デバイダ出力を行う場合は、P51出力ラッチを“1”にセットし、出力モードに設定します。このモードはデューティ50%のパルス出力に利用できます。なお、タイマF/F 4はプログラムで初期設定することができます。リセット時、タイマF/F 4は“0”に初期化されます。PDO出力反転ごとにINTTC4割り込みが発生します。

例： 1024 Hzのパルス出力 ($f_c = 4.194304 \text{ MHz}$ 時)。

```

SET (P5), 1 ; P51出力ラッチ ← 1
LD (P5CR), 00000010 ; P51を出力モードに設定
LD (TREG4), 10H ;  $1/2048 \div 2^7/f_c = 10\text{H}$ 
LD (TC4CR), 00010010B ; TC4スタート
    
```

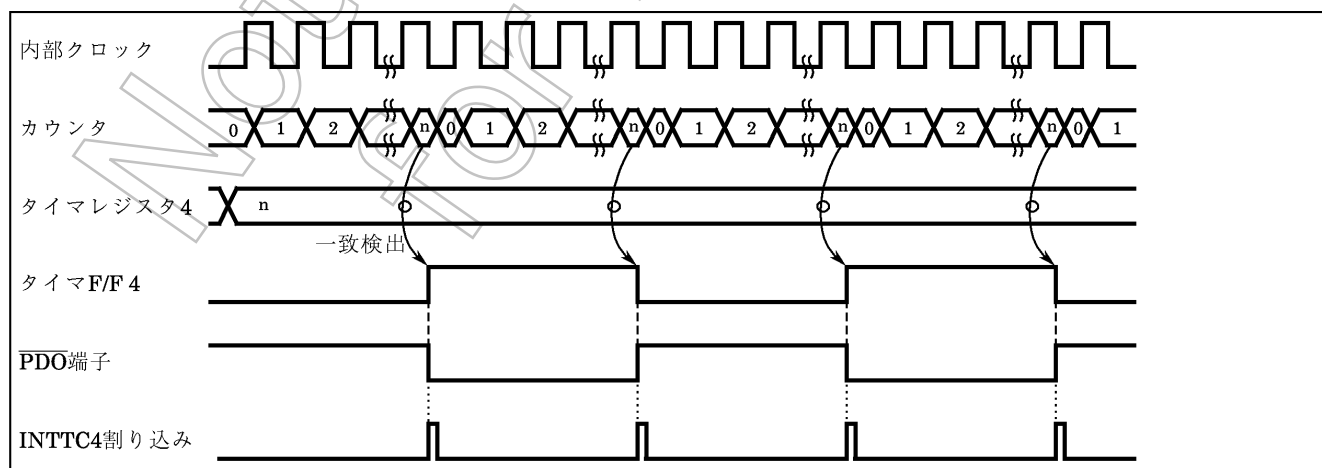


図2-20. PDOモード タイミングチャート

(4) パルス幅変調 (PWM) 出力モード

分解能8ビットのPWM出力ができます。内部クロックでカウントアップし、カウンタ値とTREG4設定値との一致でタイマF/F 4出力を反転します。カウンタはさらにカウントアップし、オーバフローでタイマF/F 4出力を再び反転し、カウンタをクリアします。タイマF/F 4出力は反転されて、P51 (PWM) 端子に出力されます。PWM出力を行う場合は、P51出力ラッチを“1”にセットし、出力モードに設定します。なお、オーバフロー時INTTC4割り込みが発生します。

TREG4は、シフトレジスタ (2段) 構成で、PWM出力中にTREG4を書き替えても一周期分の出力が終了するまで切り替わりませんので、連続的に出力を変更することができます。なお、初回はTREG4にデータ設定後、TC4CRによりスタートした時点でシフトされます。

注) INTTC4割り込み発生サイクル時のみTREG4を書き替えないでください。通常は、INTTC4割り込みサービスルーチンでTREG4を書き替えます。

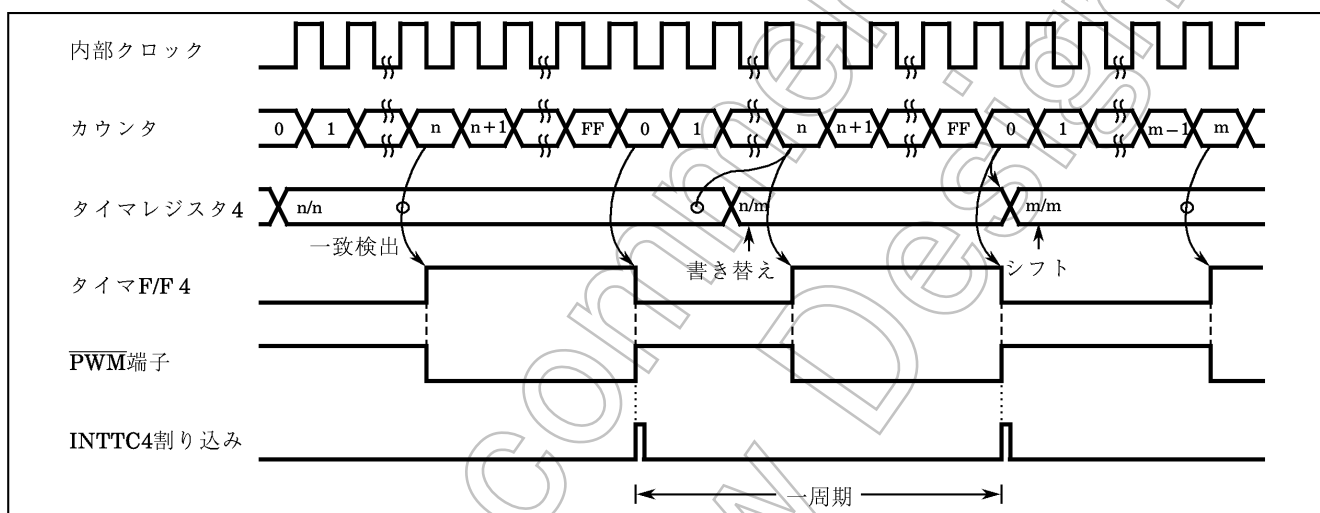


図2-21. PWM出力モードタイミングチャート

表2-6. PWM出力モード

ソースクロック	分解能	繰り返し周期
NORMAL, IDLE モード	fc=8 MHz時	fc=8 MHz
fc/2 ¹¹ [Hz]	256 μs	65.5 ms
fc/2 ⁷	16 μs	4.1 ms
fc/2 ³	1 μs	256 μs

2.8 シリアルバスインタフェース (SBI-ver. B)

87C409A/809Aは、I²Cバス (Philips社の提唱するバス方式)/クロック同期式8ビットSIOの2つの動作モードを持つシリアルバスインタフェースを1チャンネル内蔵しています。

シリアルバスインタフェースはI²Cバスモードのとき、P42 (SDA), P41 (SCL) を通して、クロック同期式8ビットSIOモードのとき、P40 (SCK), P42 (SO), P41 (SI) を通して外部デバイスと接続されます。

シリアルバスインタフェース端子は、P4ポートと兼用で、シリアルバスインタフェース端子として使用する場合、対応するP4ポートの出力ラッチを“1”にセットします。シリアルバスインタフェース端子として使用しない端子は、通常の入出力として使用できます。

2.8.1 構成

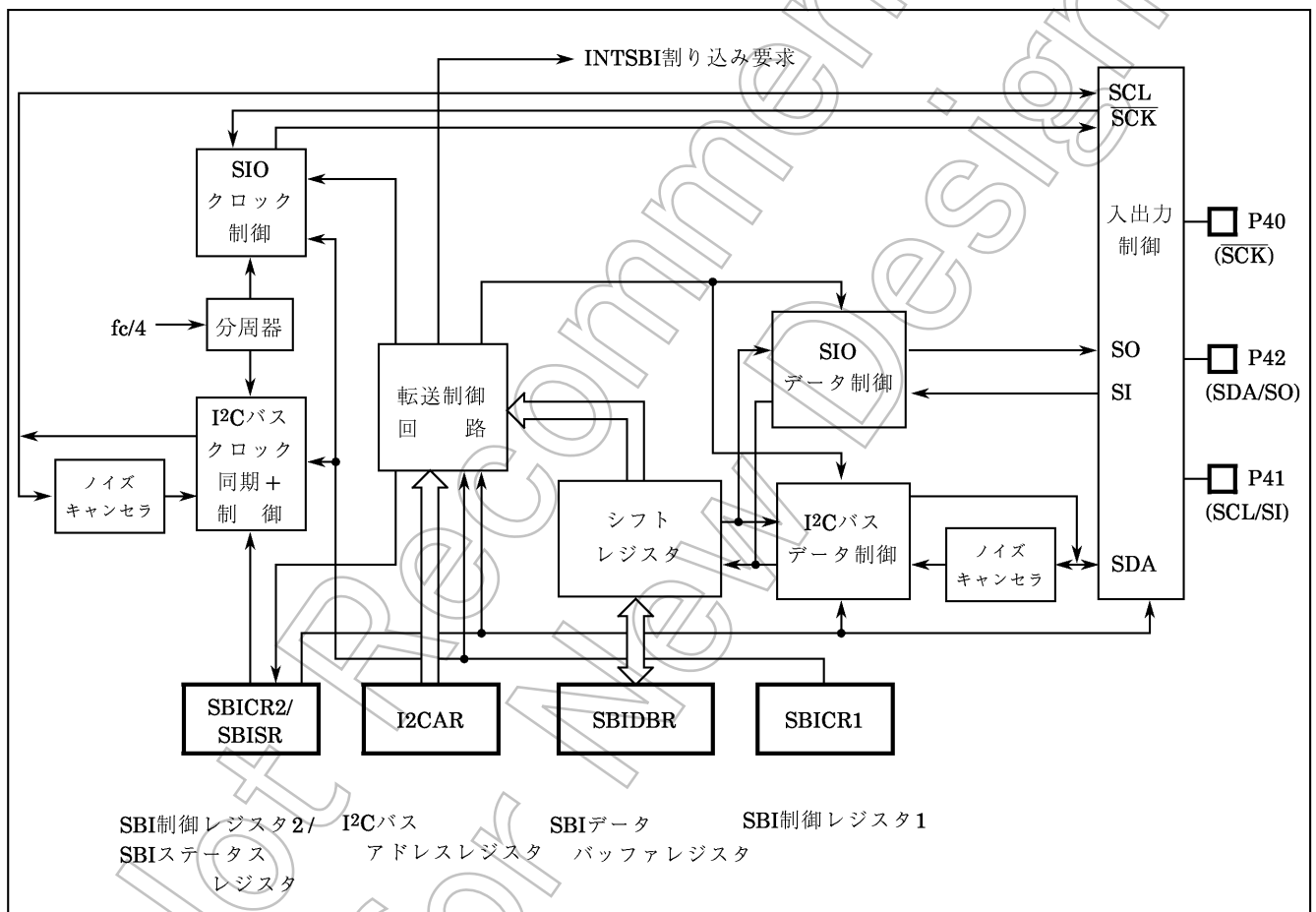


図2-22. シリアルバスインタフェース (SBI-ver. B)

2.8.2 制御

シリアルバスインタフェースの制御および動作状態のモニタは、以下のレジスタで行います。

- シリアルバスインタフェース制御レジスタ1 (SBICR1)
- シリアルバスインタフェース制御レジスタ2 (SBICR2)
- シリアルバスインタフェースデータバッファレジスタ (SBIDBR)
- I²Cバスアドレスレジスタ (I2CAR)
- シリアルバスインタフェースステータスレジスタ (SBISR)

上記レジスタは使用するモードによって、機能が異なります。詳細は『2.8.4 I²Cバスモード時の制御』および『2.8.6 クロック同期式8ビットSIOモード時の制御』をご参照ください。

2.8.3 I²Cバスモード時のデータフォーマット

I²Cバスモード時のデータフォーマットを図2-23に示します。

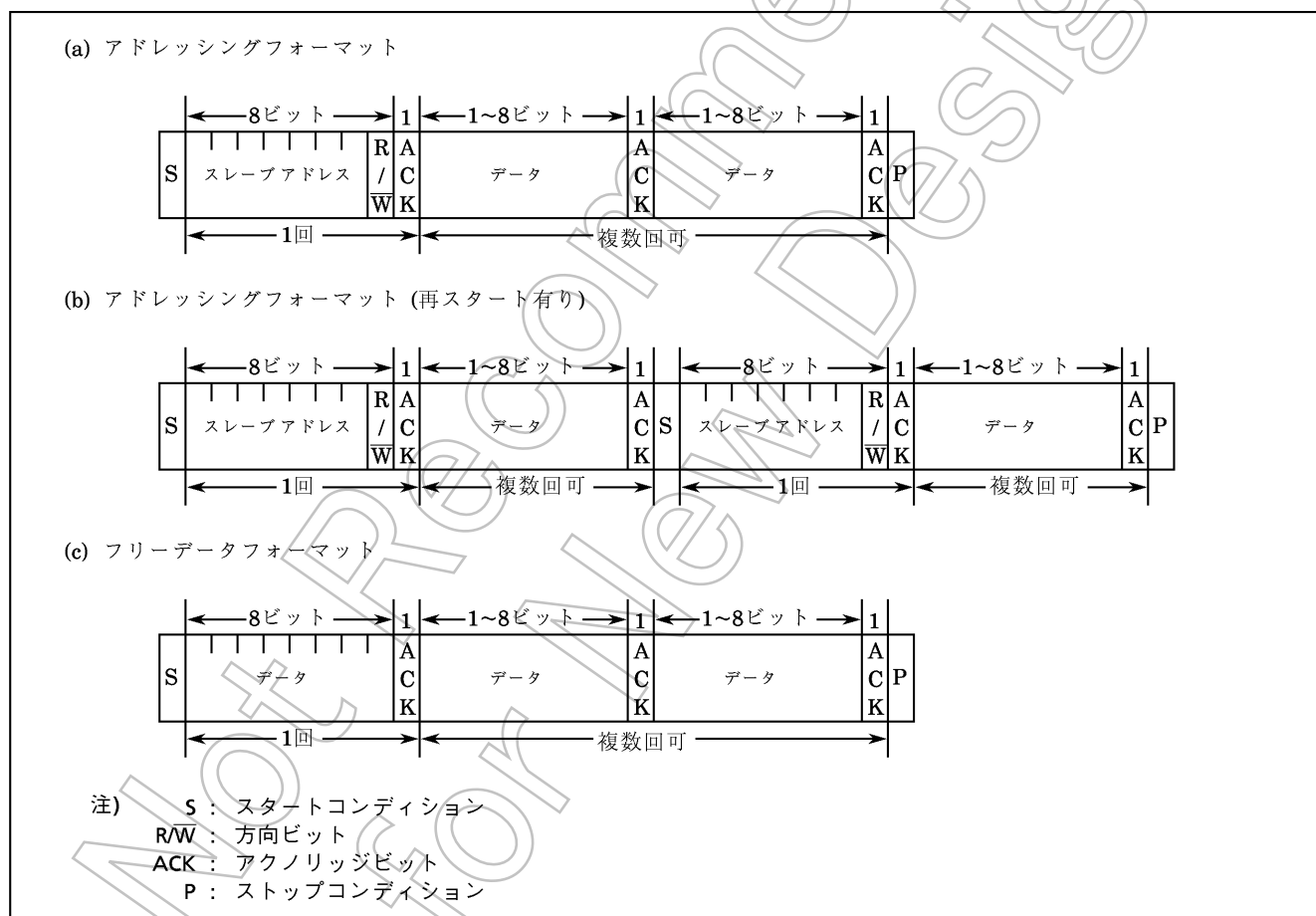


図2-23. I²Cバスモード時のデータフォーマット

2.8.4 I²Cバスモード時の制御

シリアルバスインタフェース (SBI-ver. B) をI²Cバスモードで使用するときの制御および動作状態のモニタは、以下のレジスタで行います。

シリアルバスインタフェース制御レジスタ1

SBICR1 (0020_H)

		7	6	5	4	3	2	1	0	
		BC		ACK	SWRST	SCK				(初期値 0000 *000)
BC	転送ビット数の選択	BC		ACK=0のとき		ACK=1のとき				Write only
				クロック数	データ長	クロック数	データ長			
		000	8	8	9	8				
		001	1	1	2	1				
		010	2	2	3	2				
		011	3	3	4	3				
		100	4	4	5	4				
		101	5	5	6	5				
		111	6	6	7	6				
ACK	ACKノリッジのためのクロック発生の選択	0: ACKノリッジのためのクロックを発生しない。 1: ACKノリッジのためのクロックを発生する。								R/W
SWRST	SBIの内部を初期化する	0: - 1: 初期化を行う(初期化後、0にクリア)								Read/Write
SCK	シリアルクロック周波数の選択	000 : Reserved (注5) 001 : Reserved (注5) 010 : 58.8 kHz 011 : 30.3 kHz 100 : 15.4 kHz 101 : 7.75 kHz 110 : 3.89 kHz 111 : Reserved								Write only

注1) fc; 高周波クロック [Hz]
 注2) クロック同期式8ビットSIOモードに切り替える前にBCを“000”にクリアしてください。
 注3) SBICR1は書き込み専用レジスタを含むので、ビット操作などのリードモディファイライト命令ではアクセスできません。
 注4) *; Don't care
 注5) 本I²Cバス回路は、高速モードに対応していません。標準モードのみの対応となります。100 kbpsを超える設定が可能な場合がありますがI²C規格の規格外となります。

シリアルバスインタフェースデータバッファレジスタ

SBIDBR (0021_H)

		7	6	5	4	3	2	1	0	(初期値 0000 0000)	R/W
--	--	---	---	---	---	---	---	---	---	-----------------	-----

注1) 送信データを書き込むときには、データをMSB (ビット7) 側につめて書き込んでください。
 注2) SBIDBRは書き込み用のバッファと読み出し用のバッファを個別に持っているため、書き込んだデータを読み出すことはできません。従って、ビット操作などのリードモディファイライト命令ではアクセスできません。
 注3) SBIDBRに書き込んだ値は、INTSBI割り込み要求信号により“0”にクリアされます。

I²Cバスアドレスレジスタ

I²CAR (0022_H)

		7	6	5	4	3	2	1	0		
		スレーブアドレス								ALS	(初期値 0000 0000)
SA6	SA5	SA4	SA3	SA2	SA1	SA0					
SA	スレーブアドレスの設定										
ALS	アドレス認識モードの指定		0: スレーブアドレスを認識する (アドレッシングフォーマット) 1: スレーブアドレスを認識しない (フリーデータフォーマット)								Write only

注) I²CARは書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

図2-24. I²Cバスモード時の制御レジスタ1, データバッファレジスタとI²Cバスアドレスレジスタ

シリアルバスインタフェース制御レジスタ2

SBICR2 (0023_H)

	7	6	5	4	3	2	1	0	
	MST	TRX	BB	PIN	SBIM		"0"	"0"	(初期値 0001 00**)

MST	マスタ/スレーブの選択	0: スレーブ 1: マスタ	Write only
TRX	トランスミッタ/レシーバの選択	0: レシーバ 1: トランスミッタ	
BB	スタートコンディション/ストップコンディションの発生	0: ストップコンディション発生 1: スタートコンディション発生	
PIN	割り込みサービス要求の解除	0: - ("0"にクリアすることはできません) 1: 割り込みサービス要求の解除	
SBIM	シリアルバスインタフェースの動作モード選択	00: ポートモード(シリアルバスインタフェースの出力禁止) 01: クロック同期式8ビットSIOモード 10: I ² Cバスモード 11: reserved	

注1) *; Don't care
 注2) ポートモードへの切り替えはバスフリーを確認してから行ってください。
 注3) ポートモードからI²Cバスモード、クロック同期式SIOモードへの切り替えは、ポートの状態が"H"になっていることを確認後、行ってください。
 注4) SBICR2は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。
 注5) SBICR2のビット1,0は"0"にクリアして下さい。

シリアルバスインタフェースステータスレジスタ

SBISR (0023_H)

	7	6	5	4	3	2	1	0	
	MST	TRX	BB	PIN	AL	AAS	AD0	LRB	(初期値 0001 0000)

MST	マスタ/スレーブ選択状態モニタ	0: スレーブ 1: マスタ	Read only
TRX	トランスミッタ/レシーバ選択状態モニタ	0: レシーバ 1: トランスミッタ	
BB	バス状態モニタ	0: バスフリー 1: バスビジー	
PIN	割り込みサービス要求状態モニタ	0: 割り込みサービス要求中 1: 割り込みサービス要求解除中	
AL	アービトラクションロスト検出モニタ	0: アービトラクションロスト未検出 1: アービトラクションロスト検出	
AAS	スレーブアドレス一致検出モニタ	0: スレーブアドレス不一致 またはゼネラルコール未検出 1: スレーブアドレス一致またはゼネラルコール検出	
AD0	ゼネラルコール検出モニタ	0: ゼネラルコール未検出 1: ゼネラルコール検出	
LRB	最終受信ビットモニタ	0: 最終受信ビット"0" 1: 最終受信ビット"1"	

図2-25. I²Cバスモード時の制御レジスタ2/ステータスレジスタ

(1) アクノリッジメントモードの指定

ACK (SBICR1のビット4)を“1”にセットしておくでアクノリッジメントモードとして動作します。

シリアルバスインタフェース回路がマスタモードのときには、アクノリッジ信号のためのクロックを1クロック付加します。トランスミッタモードのときには、このクロックの期間中、SDA端子を開放し、レシーバからのアクノリッジ信号を受信できる状態にします。レシーバモードのときにはこのクロック期間中、SDA端子を“L”レベルに引きアクノリッジ信号を発生します。

ACKを“0”にクリアしておくで非アクノリッジメントモードとして動作し、シリアルバスインタフェース回路がマスタモードのときにアクノリッジ信号のためのクロックを発生しません。

同様にアクノリッジメントモードのとき、シリアルバスインタフェース回路がスレーブモードのときには、アクノリッジ信号のためのクロックをカウントします。アクノリッジのためのクロックの期間中、受信したスレーブアドレスとI2CARに設定されたスレーブアドレスが一致したとき、またはゼネラルコールを受信したときには、SDA端子を“L”レベルに引きアクノリッジ信号を発生します。また、スレーブアドレス一致、ゼネラルコール受信後のデータ転送でのアクノリッジのためのクロックの期間中、トランスミッタモードのときには、SDA端子を開放し、レシーバからのアクノリッジ信号を受信できる状態にします。レシーバモードのときには、SDA端子を“L”レベルに引きアクノリッジ信号を発生します。

非アクノリッジメントモードのとき、シリアルバスインタフェース回路がスレーブモードのときには、アクノリッジ信号のためのクロックをカウントしません。

(2) 転送ビット数の選択

BC (SBICR1のビット7~5)により、次に送受信するデータのビット数を選択します。

BCはスタートコンディションにより“000”にクリアされるため、スレーブアドレス、方向ビットの転送はかならず8ビットで行われます。それ以外のときはBCは一度設定された値を保持します。

(3) シリアルクロック

a. クロックソース

SCK (SBICR1のビット2~0)で、マスタモード時にSCL端子から出力するシリアルクロックの最大転送周波数を選択します。通信ボーレートを設定する場合、本紙記載の下記計算式に合わせて t_{LOW} の最小幅など、I²Cバス規定を満たす通信ボーレートを選択してください。

またマスタモード/スレーブモードとも外部から入力されるクロックの“H”レベル、“L”レベルは4マシンサイクル以上のパルス幅が必要です。

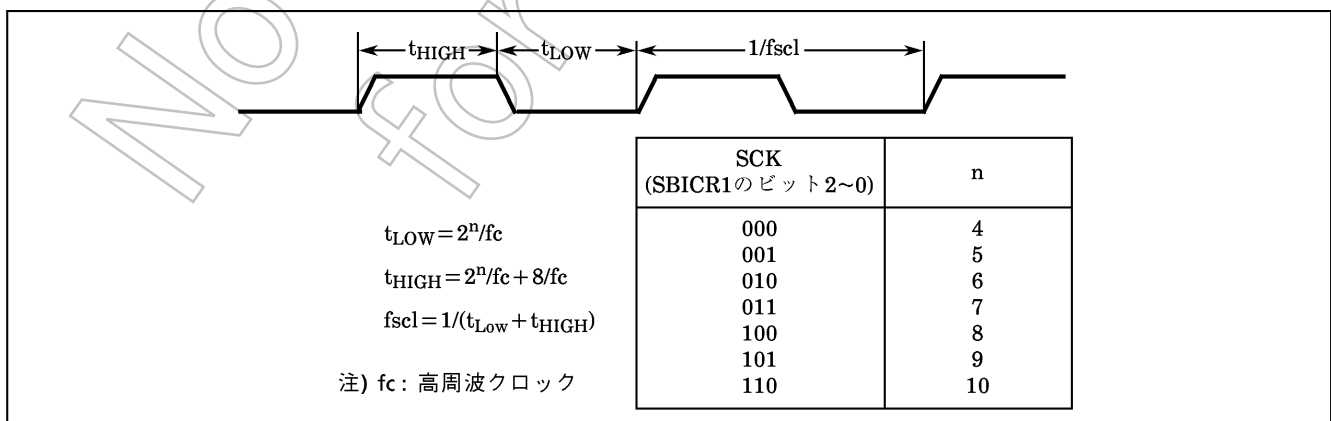


図2-26. クロックソース

b. クロック同期化

I²Cバスでは端子の構造上、バスをワイヤードアンドで駆動させるためクロックラインを最初に“L”レベルに引いたマスタが“H”レベルを出力しているマスタのクロックを無効にします。このため、“H”レベルを出力しているマスタは、これを検出し対応する必要があります。

シリアルバスインタフェース回路はクロック同期化機能を持っており、バス上に複数のマスタが存在する場合でも、正常に転送が行われます。

クロック同期の手順を、バス上に2つのマスタが同時に存在した場合を例にあげて以下に示します。

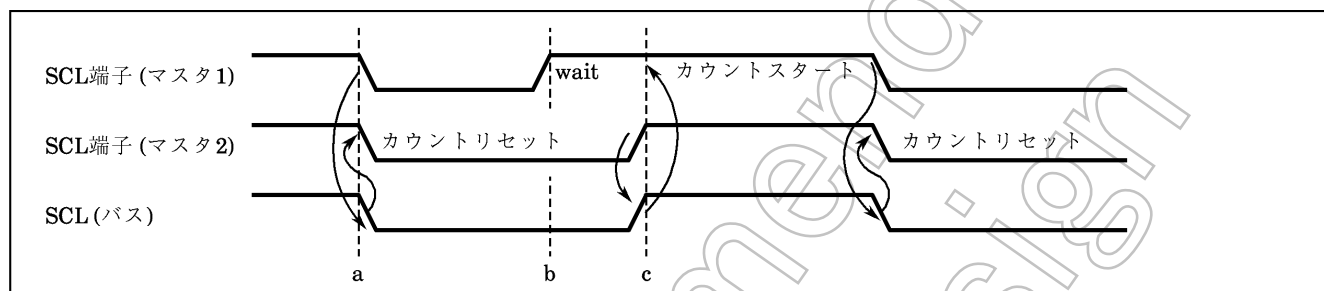


図2-27. クロック同期化の例

a点でマスタ1がSCL端子を“L”レベルに引くことで、バスのSCLラインは“L”レベルになります。マスタ2はこれを検出し、マスタ2の“H”レベル期間のカウントリセットし、SCL端子を“L”レベルに引きます。

b点でマスタ1は“L”レベル期間のカウンタを終わり、SCL端子を“H”レベルにします。しかしマスタ2がバスのSCLラインを“L”レベルに保持し続けているのでマスタ1は“H”レベル期間のカウンタを止めます。マスタ1は、c点でマスタ2がSCL端子を“H”レベルにし、バスのSCLラインが“H”レベルになったことを検出後、“H”レベル期間のカウンタを始めます。

以上のようにバス上のクロックは、バスに接続されているマスタの中で最も短い“H”レベル期間を持つマスタと最も長い“L”レベル期間を持つマスタによって決定されます。

(4) スレーブアドレスとスレーブアドレス認識モードの設定

シリアルバスインタフェース回路をスレーブアドレスを認識するアドレッシングフォーマットで使用する時には、ALS (I²CARのビット0) を“0”にクリアし、SA (I²CARのビット7~1) にスレーブアドレスを設定します。

スレーブアドレスを認識しないフリーデータフォーマットで使用する時には、ALSを“1”にセットします。なお、シリアルバスインタフェース回路をフリーデータフォーマットで使った場合、スレーブアドレス、方向ビットの認識は行われず、スタートコンディション直後からデータとして扱われます。

(5) マスタ/スレーブの選択

MST (SBICR2のビット7) を“1”にセットするとシリアルバスインタフェース回路はマスタデバイスとして動作します。

MSTを“0”にクリアするとスレーブデバイスとして動作します。MSTはバス上のストップコンディションを検出したとき、または、アービトラションロストが検出されると、ハードウェアにより“0”にクリアされます。

(6) トランスマッタ/レシーバの選択

TRX (SBICR2のビット6)を“1”にセットするとシリアルバスインタフェース回路はトランスマッタとして動作し、TRXを“0”にクリアするとレシーバとして動作します。スレーブモードでアドレッシングフォーマットのデータ転送を行うとき、ハードウェアによりマスタデバイスから送られてくる方向ビット (R/ \bar{W})が“1”のとき、TRXは“1”にセットされ、“0”のとき、TRXは“0”にクリアされます。マスタモード時は、スレーブデバイスからアクノリッジが返ってくると、ハードウェアにより送信した方向ビットが“1”のとき、TRXは“0”にクリアされ、“0”のとき、TRXは“1”に変化します。アクノリッジが返ってこないときは、以前の状態を保ちます。

TRXはバス上のストップコンディションを検出したとき、または、アービトレーションロストが検出されると、ハードウェアにより“0”にクリアされます。

下記に各モードでのTRXの変化条件と変化後のTRXの値を示します。

モード	方向ビット	変化条件	変化後のTRX
スレーブモード	“0”	受信したスレーブアドレスがI2CARに設定された値と同じとき	“0”
	“1”		“1”
マスタモード	“0”	ACK信号が返ってきたとき	“1”
	“1”		“0”

シリアルバスインタフェース回路をフリーデータフォーマットで使用している場合、スレーブアドレス、方向ビットの認識は行われず、スタートコンディション直後からデータとして扱われるために、TRXはハードウェアによって変化することはありません。

(7) スタートコンディション/ストップコンディションの発生

BB (SBICR2のビット5)が“0”のときに、MST, TRX, BB, PINに“1”を書き込むとバス上にスタートコンディションと8ビットのデータが出力されます。あらかじめ、データバッファレジスタ (SBIDBR)に送信データを、ACKに“1”をセットしておいてください。

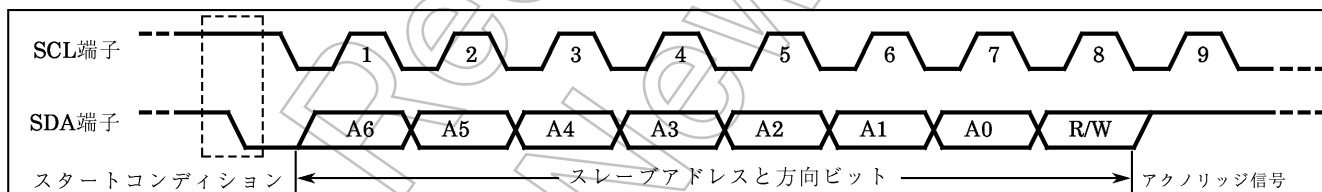


図2-28. スタートコンディションの発生とスレーブアドレスの発生

BB = “1”のときに、MST, TRX, PINに“1”、BBに“0”を書き込むと、バス上にストップコンディションを出力するシーケンスが開始されます。なお、バス上にストップコンディションが発生するまで、MST, TRX, BB, PINの内容を切り替えしないでください。

またストップコンディション発生時にバスのSCLラインが他のデバイスにより“L”レベルに引かれていた場合、ストップコンディションが正常に発生されないことがあります。他のデバイスがバスのSLCラインを開放した後に、MST, TRX, PINに“1”、BBに“0”を書き込み、ストップコンディションを発生させてください。

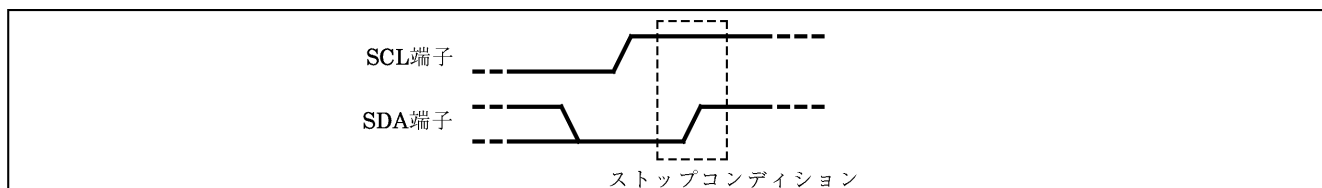


図2-29. ストップコンディションの発生

注) ストップコンディション発生時のSCLライン立ち上がり時間が、 $tr = 2^n/fc - 3.5 \times 4/fc$ (s) (nはSCKによって決まる値)を越えないようにしてください。SCLラインの立ち上がり時間がこの値を越えると、ストップコンディションが正常に発生されないことがあります。

SCK	n	tr (Max, fc=8 MHz)	tr (Max, fc=4 MHz)
000	4	0.25 μ s	0.50 μ s
001	5	2.25 μ s	4.50 μ s
010	6	6.25 μ s	12.5 μ s
011	7	14.2 μ s	28.5 μ s
100	8	30.2 μ s	60.5 μ s
101	9	62.5 μ s	124.5 μ s
110	10	126.25 μ s	252.5 μ s

fc; 高周波クロック [Hz]

また、**BB** (SBISRのビット5)を読み出すことで、バスの状態を知ることができます。**BB**は、バス上のスタートコンディションを検出すると“1”にセットされ(バスビジー状態)、ストップコンディションを検出すると“0”にクリアされます(バスフリー状態)。

(8) 割り込みサービス要求と解除

シリアルバスインタフェース回路がマスタモードのとき、**BC**と**ACK**によって設定されたクロック数の転送が終了するとシリアルバスインタフェース割り込み要求(**INTSBI**)が発生します。

シリアルバスインタフェース回路がスレーブモードのとき、受信したスレーブアドレスが**I2CAR**に設定されたスレーブアドレスと一致したとき、ゼネラルコールを受信したときのアクノリッジ信号出力後、または、前記スレーブアドレスの一致、ゼネラルコール受信をしたあとのデータ転送の終了時に、**INTSBI**割り込み要求が発生します。

シリアルバスインタフェース割り込み要求が発生すると**PIN** (SBISRのビット4)が“0”にクリアされます。**PIN**が“0”の間、**SCL**端子が“L”レベルに引かれます。

SBIDBRにデータを書き込むか、**SBIDBR**からデータを読み出すと“1”にセットされます。

PINが“1”にセットされてから、**SCL**端子が開放されるまで、**t_{LOW}**の時間がかかります。

プログラムで**PIN** (SBICR2のビット4)に“1”を書き込むと“1”にセットされますが、“0”を書き込んでも“0”にクリアされません。

(9) シリアルバスインタフェースの動作モード

SBIM (SBICR2のビット3~2)でシリアルバスインタフェースの動作モードを設定します。

I²Cバスモードで使用するときは、シリアルバスインタフェース端子の状態が“H”になっていることを確認後、**SBIM**を“10”にしてください。また、ポートモードへの切り替えはバスフリーを確認してから行ってください。

(10) アービトレーションロスト検出モニタ

I²Cバスではマルチマスタ(1つのバス上で同時に2つ以上のマスタが存在する)が可能のため、転送されるデータの内容を保証するためにバスのアービトレーション手段が必要となります。

I²CバスではバスのアービトレーションにSDAラインのデータを使用します。

アービトレーションの手順を、バス上に2つのマスタが同時に存在した場合を例にあげて以下に示します。a点のビットまでマスタ1、マスタ2とも同じデータを出力し、a点でマスタ1がデータ“1”を出力、マスタ2がデータ“0”を出力すると、バスのSDAラインはワイヤードアンドで駆動されるために、SDAラインはマスタ2によって“L”レベルに引かれます。b点でバスのSCLラインが立ち上がると、スレーブデバイスはSDAラインデータ、すなわちマスタ2のデータを取り込みます。このときマスタ1の出力したデータは無効になります。マスタ1のこの状態を“アービトレーションロスト”と呼び、アービトレーションを失ったマスタは、SDA端子、SCL端子を開放し、アービトレーションを失っていない他のマスタの出力するデータに影響を及ぼさないようにします。また、複数のマスタが1ワード目でまったく等しいデータを送信した場合、アービトレーションの手段は2ワード目以降も継続されます。

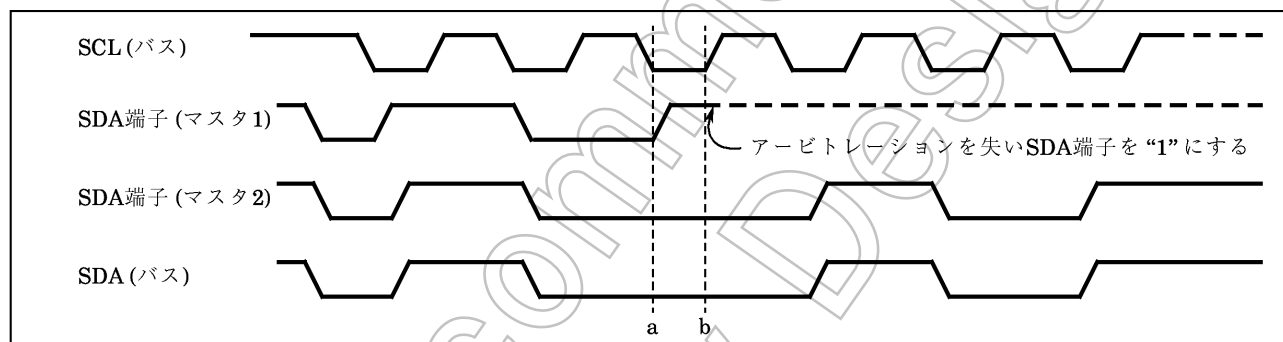


図2-30. アービトレーションロスト

シリアルバスインタフェース回路ではバスのSDAラインのレベルとシリアルバスインタフェース回路のSDA端子のレベルの比較をSCLラインの立ち上がりで行います。このとき、不一致を検出するとアービトレーションを失い、AL (SBISRのビット3)が“1”にセットされます。

ALが“1”にセットされるとMST, TRXは“0”にリセットされ、スレーブレシーバモードになります。

ALは、SBIDBRにデータを書き込むか、SBIDBRからデータを読み込む、またはSBICR2にデータを書き込むと“0”にリセットされます。

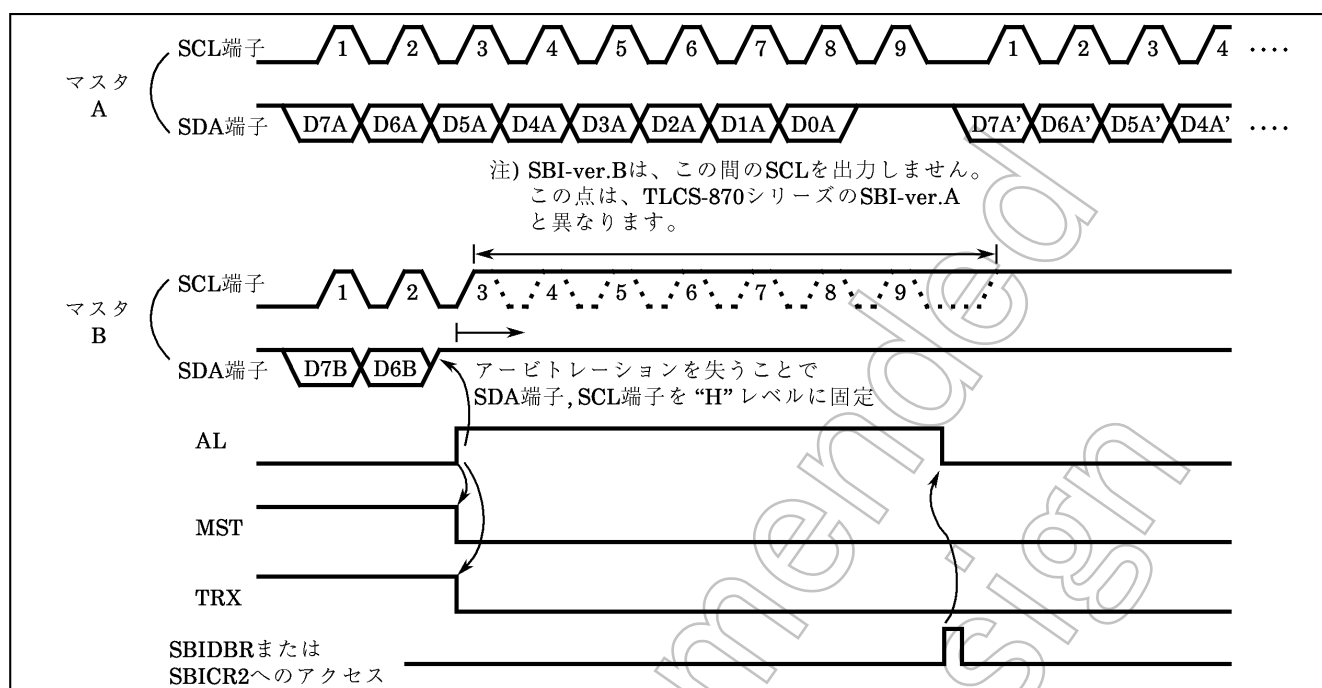


図2-31. シリアルバスインタフェース回路がマスタBの場合アービトレーションロストの例

(11) スレーブアドレス一致検出モニタ

AAS (SBISRのビット2)は、スレーブモードで、かつアドレッシングフォーマット (ALS=“0”) のとき、ゼネラルコールまたはI2CARにセットした値と同じスレーブアドレスを受信すると“1”にセットされます。フリーデータフォーマット (ALS=“1”) のときは、最初の1ワードが受信されると“1”にセットされます。AASはSBIDBRにデータを書き込むか、SBIDBRからデータを読み出すと“0”にクリアされます。

(12) ゼネラルコール検出モニタ

AD0 (SBISRのビット1)は、スレーブモード時、ゼネラルコール (スタートコンディション直後に受信した8ビットのデータがすべて“0”) のとき、“1”にセットされます。AD0はバス上のスタートコンディションまたはストップコンディションが検出されると“0”にクリアされます。

(13) 最終受信ビットモニタ

LRB (SBISRのビット0)には、バス上のSCLラインの立ち上がりで取り込まれたバス上のSDAラインの値がセットされます。

アクノリッジメントモードのとき、INTSBI割り込み要求発生直後にLRBを読み出すと、アクノリッジ信号が読み出されます。

(14) ソフトウェアリセット

シリアルバスインタフェース回路が、外部からのノイズなどによりロックした場合、ソフトウェアリセット機能を使い、シリアルバスインタフェース回路を初期化することができます。

SWRST (SBICR1のビット3)を“1”にすると、シリアルバスインタフェース回路にリセット信号が入力され、回路が初期化されます。

このとき、すべてのコントロールレジスタとステータスフラグはリセット直後の値となります。また、SWRSTは、シリアルバスインタフェースを初期化すると、自動的に“0”にクリアされます。

2.8.5 I²Cバスモード時のデータ転送手順

(1) デバイスの初期化

最初にSBICR1のACKに“1”を、BCに“000”を設定し、アクノリッジのためのクロックをカウントするように、またデータ長を8ビットにします。また、SCKに転送周波数を設定します。

次にI2CARのSAにスレーブアドレスを設定します。また、ALSを“0”にクリアしてアドレッシングフォーマットに設定します。

その後、シリアルバスインタフェース端子の状態が“H”レベルになっていることを確認し、SBICR2のMST, TRX, BBに“0”、PINに“1”、SBIMに“10”、ビット1~0に“0”を設定し、初期状態をスレーブシーバモードにします。

注) シリアルバスインタフェース回路の初期化は、バスに接続されているすべてのデバイスが初期化された後、どのデバイスも一定期間スタートコンディションを発生しない期間を設け、その期間内に終了するようにしてください。この制約が守られない場合、シリアルバスインタフェース回路の初期化が終了する前に他のデバイスが転送を開始することがあり、正常にデータを受信することができません。

(2) スタートコンディション、スレーブアドレスの発生

バスフリー (BB=“0”)状態を確認します。

ACKを“1”にセットし、SBIDBRに送信するスレーブアドレスと方向ビットのデータを書き込みます。

MST, TRX, BB, PINに“1”を書き込むと、バス上にスタートコンディションとSBIDBRに設定したスレーブアドレスと方向ビットが出力されます。この後、SCLの9クロック目の立ち下がりINTSBI割り込み要求が発生し、PINが“0”にクリアされます。PINが“0”の間、SCL端子を“L”レベルに引きます。スレーブデバイスからアクノリッジ信号が返ってきたときのみハードウェアにより、INTSBI割り込み要求タイミングでTRXが方向ビットに合わせて変化します。

注1) SBIDBRへの、出力するスレーブアドレスの書き込みは、ソフトウェアによりバスフリーを検出してから行ってください。この制約が守られない場合、現在出力中のデータが破壊されることがあります。

注2) 出力するスレーブアドレスの書き込みから98.0 μ s (I²Cバス規格による最短の転送時間) 以内に再度ソフトウェアによるバスフリーの確認を行い、バスフリーが確認できたときのみ、SBICR2のMST, TRX, BB, PINに“1”を書き込みスタートコンディションを発生させてください。この制約が守られない場合、SBIDBRへ出力するスレーブアドレスを書き込んでからSBICR2のMST, TRX, BB, PINに“1”を書き込みスタートコンディションを発生させるまでの間に、他のマスタによる転送が行われ、SBIDBRに書き込んだスレーブアドレスが破壊されることがあります。

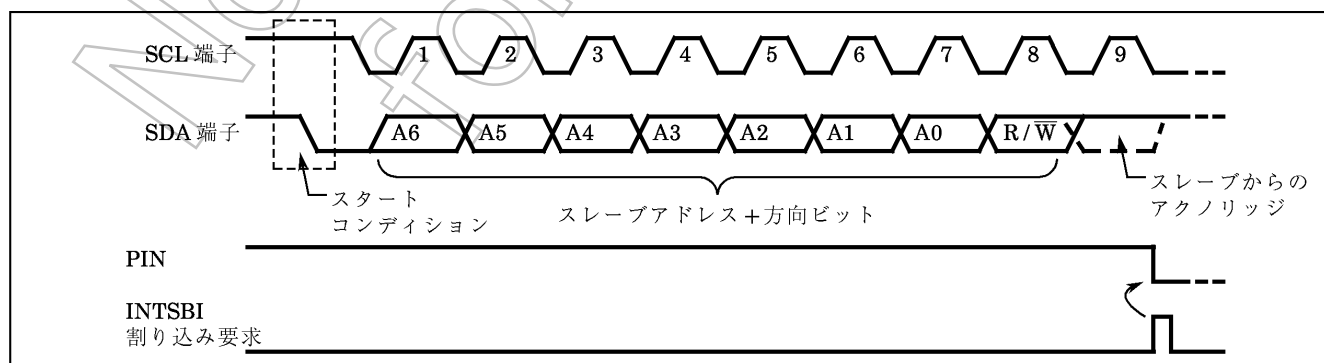


図2-32. スタートコンディションとスレーブアドレスの発生

(3) 1ワードのデータ転送

1ワード転送終了のINTSBI割り込みの処理でMSTをテストし、マスタモード/スレーブモードの判断をします。

a. MSTが“1”のとき(マスターモード)

TRXをテストし、トランスマッタ/レシーバの判断をします。

① TRXが“1”のとき(トランスマッタモード)

LRBをテストします。LRBが“1”のとき、レシーバはデータを要求していないのでストップコンディションを発生する処理(後記2.8.5(4)参照)を行ってデータ転送を終了します。

LRBが“0”のとき、レシーバが次のデータを要求しているので、次に転送するデータのビット数が8ビット以外のときはBCを再設定し、ACKを“1”にセットした後、送信データをSBIDBRに書き込みます。データを書き込むとPINが“1”になりSCL端子から次の1ワードのデータ転送用のシリアルクロックが発生され、1ワードのデータが送信されます。送信終了後、INTSBI割り込み要求が発生し、PINが“0”になりSCL端子を“L”レベルに引きます。複数ワードの転送が必要な場合は上記LRBのテストから繰り返します。

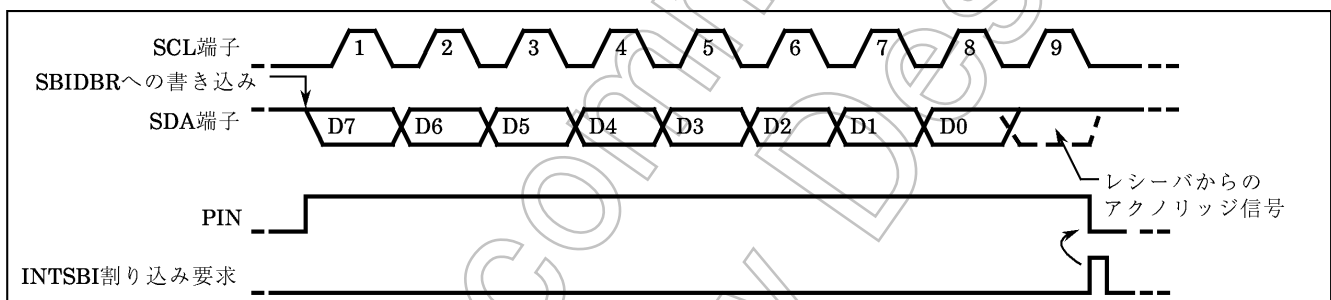


図2-33. BC = “000”, ACK = “1”のときの例

② TRXが“0”のとき(レシーバモード)

次に転送するデータのビット数が8ビット以外のときはBCを再設定し、ACKに“1”をセットした後、SBIDBRから受信データを読み出します(スレーブアドレス送信直後のリードデータは不定です)。データを読み出すとPINは“1”になり、次の1ワードのデータ転送用のシリアルクロックをSCLに出力し、アックノリッジのタイミングで“0”をSDA端子に出力します。

その後、INTSBI割り込み要求が発生し、PINが“0”になります。SBIDBRから受信データを読み出すたびに1ワードの転送クロックとアックノリッジを出力します。

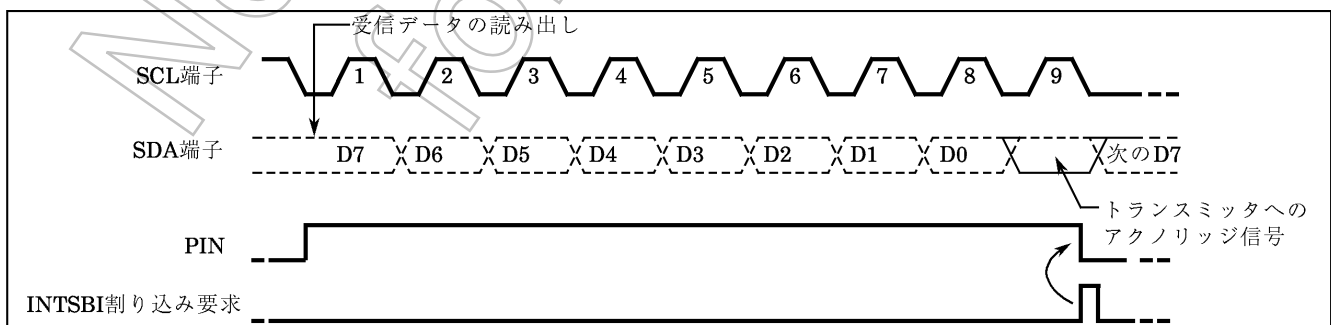


図2-34. BC = “000”, ACK = “1”のときの例

トランスミッタに対してデータの送信を終了させるときは、最後に受信したいデータの1ワード手前のデータを読み出す前にACKを“0”にクリアします。これにより最終データのアクノリッジのためのクロックは発生されなくなります。転送終了の割り込み要求発生後の処理で、BC=“001”に設定し、データを読み出すとPINが“1”にセットされ、1ビット転送のためのクロックを発生します。このときマスタはレシーバなのでバスのSDAラインは“H”レベルを保ちます。トランスミッタはアクノリッジ信号としてこの“H”レベルを受信するので、レシーバはトランスミッタ送信終了を知らせることができます。

この1ビット転送の受信終了割り込み要求後の処理で、ストップコンディションを発生させ、データ転送を終了させます。

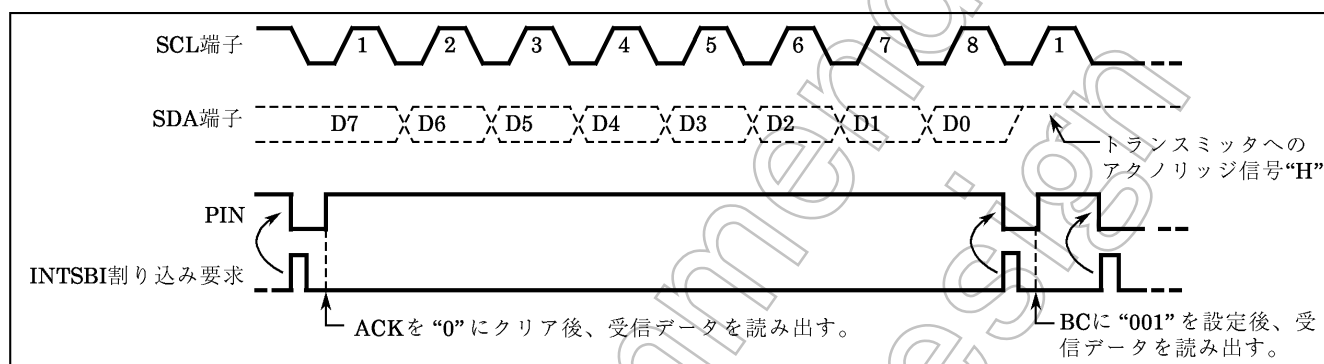


図2-35. マスタレシーバモード時、データの送信を終了させるときの処理

b. MSTが“0”のとき (スレーブモード)

スレーブモード時は、通常のスレーブモードとしての処理または、シリアルバスインタフェース回路がアービトレーションを失いスレーブモードになったときの処理を行います。

スレーブモードのとき、マスタが送ったシリアルバスインタフェース回路のスレーブアドレスを受信したとき、またはゼネラルコールを受信したとき、または、受信したスレーブアドレスが一致した後、ゼネラルコールを受信した後のデータ転送終了時にINTSBI割り込み要求が発生します。また、シリアルバスインタフェース回路がマスタモードのとき、アービトレーションを失うとスレーブモードとして動作し、アービトレーションを失ったワード転送の終了時にINTSBI割り込み要求が発生します。INTSBI割り込み要求が発生するとPIN (SBICR2のビット4) が“0”にリセットされ、SCL端子を“L”レベルに引きます。SBIDBRにデータを書き込む、SBIDBRからデータを読み出す、またはPINを“1”にセットするとSCL端子が t_{LOW} 後に開放されます。

AL (SBISRのビット3)、TRX (SBISRのビット6)、AAS (SBISRのビット2)、AD0 (SBISRのビット1) をテストし、場合分けを行います。表2-7にスレーブモード時の状態と必要な処理を示します。

表2-7. スレーブモード時の処理

TRX	AL	AAS	ADO	状 態	処 理
1	1	1	0	シリアルバスインタフェース回路がスレーブアドレス送信中にアービトレーションを失い、他のマスタが送った方向ビットが“1”のシリアルバスインタフェース回路のスレーブアドレスを受信	1ワードのビット数をBCにセットし、送信するデータをSBIDBRに書き込みます。
	0	1	1	スレーブレシーバモード時、マスタが送った方向ビットが“1”のシリアルバスインタフェース回路のスレーブアドレスを受信	
		0	0	スレーブトランスミッタモード時、1ワードのデータの送信が終了	LRBをテストし、“1”にセットされていた場合、レシーバが次のデータを要求していないのでPINに“1”をセット、TRXを“0”にリセットしバスを開放します。LRBが“0”にリセットされていた場合、レシーバが次のデータを要求しているため1ワードのビット数をBCにセットし、送信するデータをSBIDBRに書き込みます。
0	1	0	1/0	シリアルバスインタフェース回路がスレーブアドレス送信中にアービトレーションを失い、他のマスタが送った方向ビットが“0”のシリアルバスインタフェース回路のスレーブアドレス、またはゼネラルコールを受信	PINを“1”にセットするためにSBIDBRを読み出します。(ダミー読み出し) またはPINに“1”を書き込みます。
		0	0	シリアルバスインタフェース回路がスレーブアドレスを送信中またはデータ送信中にアービトレーションを失い、そのワードの転送が終了	
	0	1	1/0	スレーブレシーバモード時、マスタの送った方向ビットが“0”のシリアルバスインタフェース回路のスレーブアドレス、またはゼネラルコールを受信	
		0	1/0	スレーブレシーバモード時、1ワードのデータ受信が終了	1ワードのビット数をBCにセットし、受信データをSBIDBRから読み出します。

(4) ストップコンディションの発生

BB=“1”のときに、MST, TRX, PINに“1”、BBに“0”を書き込むとバス上にストップコンディションを出力するシーケンスが開始されます。なお、バス上にストップコンディションが発生するまで、MST, TRX, BB, PINの内容を書き替えないでください。

また、ストップコンディション発生時にバスのSCLラインが他のデバイスにより“L”レベルに引かれていた場合、ストップコンディションが正常に発生されないことがあります。他のデバイスがバスのSCLラインを開放した後に、MST, TRX, PINに“1”、BBに“0”を書き込み、ストップコンディションを発生させてください。

注) ストップコンディション発生時のSCLラインの立ち上がり時間が、 $tr = 2^n / fc - 3.5 \times 4 / fc$ (s) (nはSCKによって決まる値) を越えないようにしてください。SCLラインの立ち上がり時間がこの値を越えると、ストップコンディションが正常に発生されないことがあります。

SCK	n	tr (Max. , fc=8 MHz)	tr (Max. , fc=4 MHz)
000	4	0.25 μ s	0.50 μ s
001	5	2.25 μ s	4.50 μ s
010	6	6.25 μ s	12.5 μ s
011	7	14.2 μ s	28.5 μ s
100	8	30.2 μ s	60.5 μ s
101	9	62.5 μ s	124.5 μ s
110	10	126.25 μ s	252.5 μ s

fc; 高周波クロック [Hz]

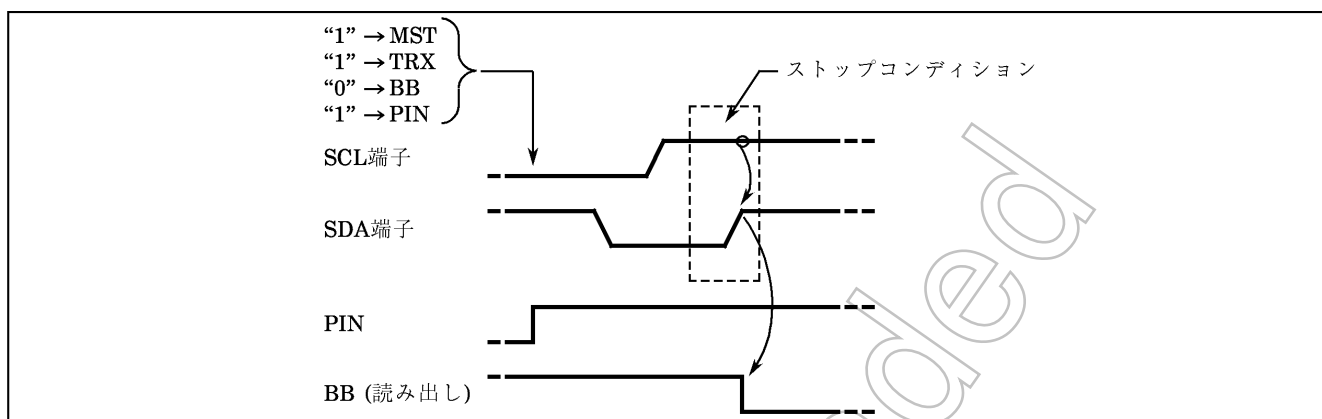


図2-36. ストップコンディションの発生

(5) 再スタートの手順

再スタートはマスタデバイスがスレーブデバイスに対して、データ転送を終了させずに転送の方向を変化させるときに使用します。再スタートが発生する場合の手順を以下に示します。

まず、MST, TRX, BBに“0”、PINに“1”を書き込むと、SDA端子は“H”レベルを保ち、SCL端子が開放されます。このときバス上にストップコンディションは発生されないため、他のデバイスから見るとバスはビジー状態のままです。このあと、BBをテストして“0”になるまで待ち、シリアルバスインタフェース回路のSCL端子が開放されたことを確認します。次にLRBをテストして“1”になるまで待ち、他のデバイスがバスのSCLラインを“L”レベルに引いていないことを確認します。以上の手順によってバスがフリー状態になっていることを確認した後に前記(2)の手順で、スタートコンディションの発生を行います。

なお、再スタート時のセットアップタイムを満たすために、バスフリーの確認からスタートの発生まで最低4.7 μ sのソフトウェアによる待ち時間が必要です。

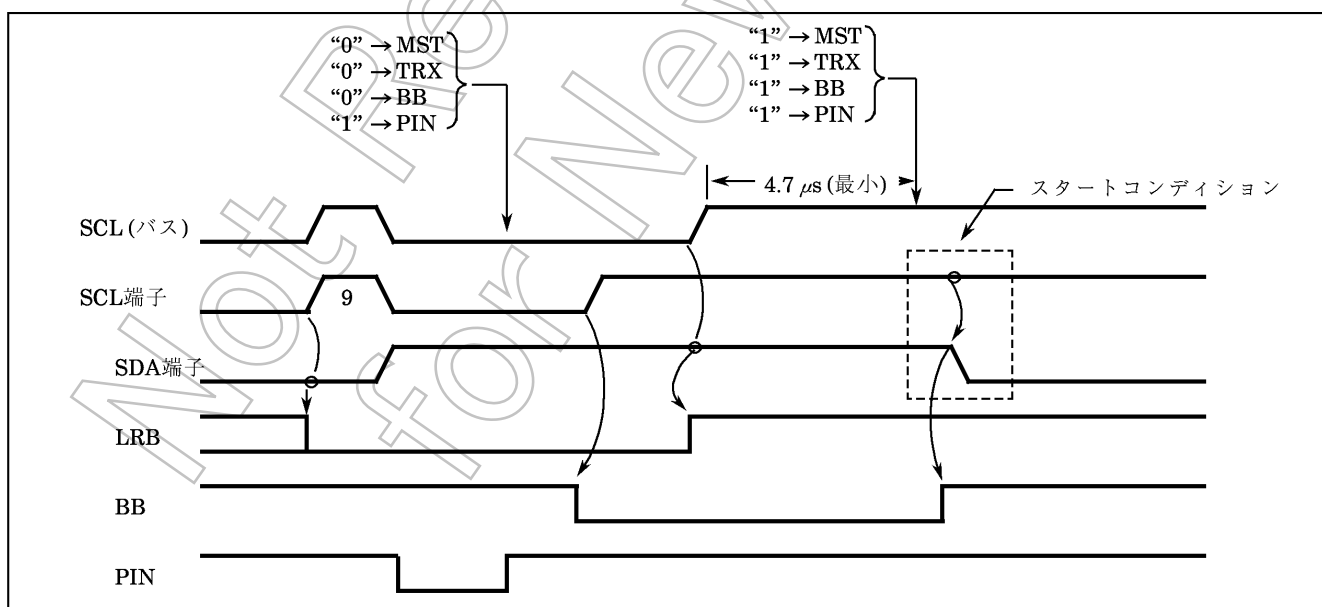


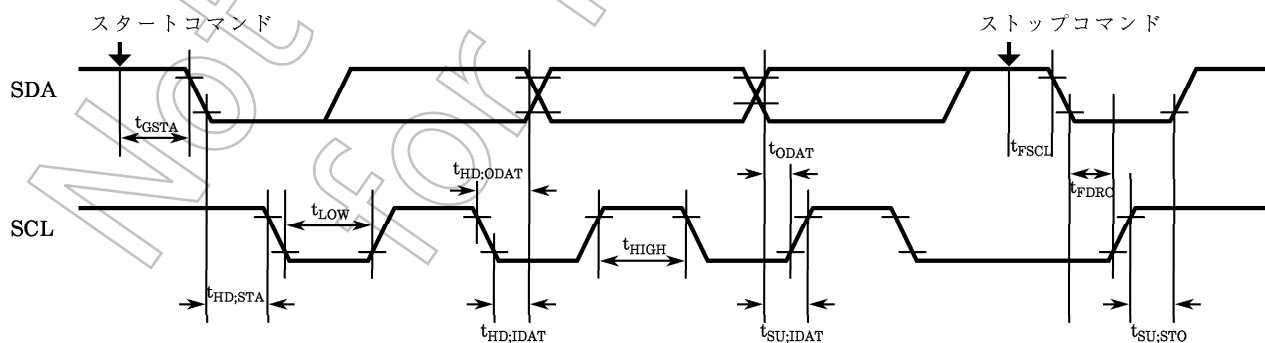
図2-37. 再スタートが発生する場合のタイミングチャート

SBI-Ver. B (I2C-BUS) のSDAとSCLのACタイミング

項目	記号	Min.	Typ.	Max	単位
スタート状態のホールド時間 (この期間の後第一クロックパルスが発生する)	$t_{HD;STA}$	$2^n/fc$	-	-	s
SCLクロック“H”レベルパルス幅	t_{HIGH}	$2^n/fc + 8/fc$	-	-	s
SCLクロック“L”レベルパルス幅	t_{LOW}	$2^n/fc$	-	-	s
データホールド時間(入力)	$t_{HD;IDAT}$	0	-	-	ns
データセットアップ時間(入力)	$t_{SU;IDAT}$	250	-	-	ns
データホールド時間(出力)	$t_{HD;ODAT}$	$3/fc$	-	$7/fc$	s
SCLクロック立ち上がり前データ出力時間	t_{ODAT}	-	$2^n/fc - t_{HD;ODAT}$	-	s
ストップ状態セットアップ時間	$t_{SU;STO}$	$2^n/fc + 4/fc$	-	-	s
スタートコマンド書き込み中のスタート状態生成期間	t_{GSTA}	$3/fc$	-	-	s
ストップコマンド書き込み中のSCLクロック立ち下がり期間	t_{FSCL}	$3/fc$	-	-	s
ストップ状態生成中のSDA立ち下がりエッジからSCL立ち上がりエッジまでの期間	t_{FDRC}	$2^n/fc$	-	-	s

注) 上記表中のnのとりえる値は4~10で、それに対応するSCK (SBICR1のビット2~0) の設定値は次のとおりです。

SCK (bit 2 to 0 in the SBICR1)	n
000	4
001	5
010	6
011	7
100	8
101	9
110	10



2.8.6 クロック同期式8ビットSIOモード時の制御

シリアルバスインタフェースをクロック同期式8ビットSIOモードで使用するときの制御および動作状態のモニタは、以下のレジスタで行います。

シリアルバスインタフェース制御レジスタ1								
SBICR1 (0020H)	7	6	5	4	3	2	1 0	
	SIOS	SIOINH	SIOM	"0"		SCK		
(初期値 0000 *000)								
SIOS	転送の開始/終了					0: 終了 1: 開始		Write only
SIOINH	転送の強制停止					0: 転送継続 1: 強制停止 (停止後、自動的にクリア)		
SIOM	転送モードの選択					00: 8ビット送信モード 01: reserved 10: 8ビット送受信モード 11: 8ビット受信モード		
SCK	シリアルクロック周波数の選択					000 : $fc/2^5$ (250 kHz) 001 : $fc/2^6$ (125 kHz) 010 : $fc/2^7$ (62.5 kHz) 011 : $fc/2^8$ (31.25 kHz) 100 : $fc/2^9$ (15.62 kHz) 101 : $fc/2^{10}$ (7.81 kHz) 110 : $fc/2^{11}$ (3.90 kHz) 111 : 外部クロック (SCK端子から入力)		
注1) *; Don't care 注2) 転送モード、シリアルクロックの設定時は、SIOS = 0 にしてください。 注3) SBICR1は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。								
シリアルバスインタフェースデータバッファレジスタ								
SBIDBR (0021H)	7	6	5	4	3	2	1 0	
							R/W	
注) SBIDBRは書き込み用のバッファと読み出し用のバッファを個別にもっているため書き込んだデータを読み出すことはできません。従って、ビット操作などのリードモディファイライト命令ではアクセスできません。								
シリアルバスインタフェース制御レジスタ2								
SBICR2 (0023H)	7	6	5	4	3	2	1 0	
	"0"	"0"	"0"	"1"	SBIM	"0"	"0"	
(初期値 **** 00**)								
SBIM	シリアルバスインタフェースの動作モード選択					00: ポートモード (シリアルバスインタフェースの出力禁止) 01: クロック同期式8bit SIOモード 10: I2Cバスモード 11: reserved		Write only
注1) *; Don't care 注2) ポートモードへの切り替えは転送終了を確認してから行ってください。 注3) ポートモードからI2Cバスモード、クロック同期式8 bit SIOモードへの切り替えはポートの状態が "H" になっていることを確認後、行ってください。 注4) SBICR2は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。								
シリアルバスインタフェースステータスレジスタ								
SBISR (0023H)	7	6	5	4	3	2	1 0	
	"1"	"1"	"1"	"1"	SIOF	SEF	"1" "1"	
SIOF	シリアル転送動作状態モニタ					0: 転送終了 1: 転送中		Read only
SEF	シフト動作状態モニタ					0: シフト動作終了 1: シフト転送中		

図2-38. SIOモード時の制御レジスタ1,2/データバッファレジスタ/ステータスレジスタ

(1) シリアルクロック

a. クロックソース

SCK (SBICR1 のビット2~0) により、次の選択ができます。

① 内部クロック

内部クロックモードでは7種類の周波数が選択できます。シリアルクロックはSCK端子より外部に出力されます。なお、転送開始時SCK端子出力は“H”レベルになります。

プログラムでデータの書き込み(送信時)またはデータの読み出し(受信時)がこのシリアルクロックレートに追従できないときには、自動的にシリアルクロックを停止し、それらの処理が終了するまで次のシフト動作を待機させる自動ウェイト機能を有しています。

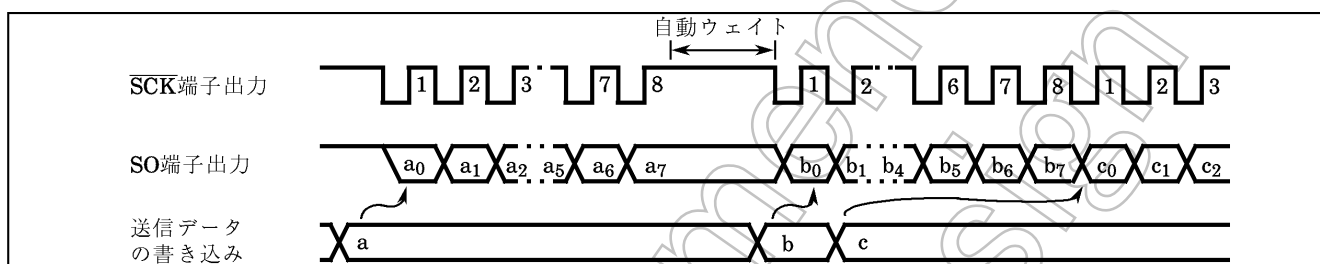


図2-39. 自動ウェイト機能

② 外部クロック (SCK="111")

外部からSCK端子に供給されるクロックをシリアルクロックとして用います。なお、シフト動作を確実にを行うためには、シリアルクロックの“H”レベル、“L”レベルとともに4マシンサイクル以上のパルス幅が必要です。従って、最大転送周波数は250 kHz ($f_c = 8 \text{ MHz}$ 時)です。

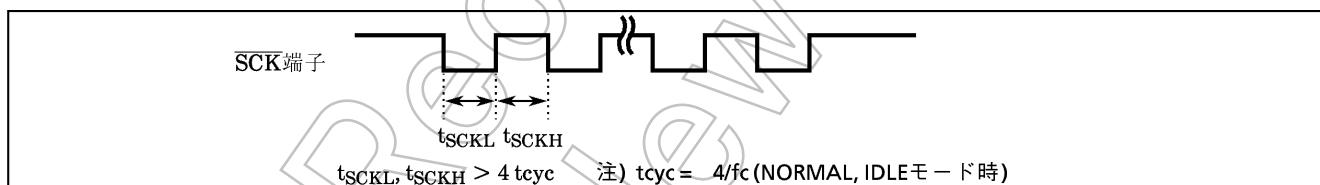


図2-40. 外部クロック入力時の最大転送周波数

b. シフトエッジ

送信は前縁シフト, 受信は後縁シフトになります。

① 前縁シフト

シリアルクロックの前縁(SCK端子入出力の立ち下がりエッジ)でデータをシフトします。

② 後縁シフト

シリアルクロックの後縁(SCK端子入出力の立ち上がりエッジ)でデータをシフトします。

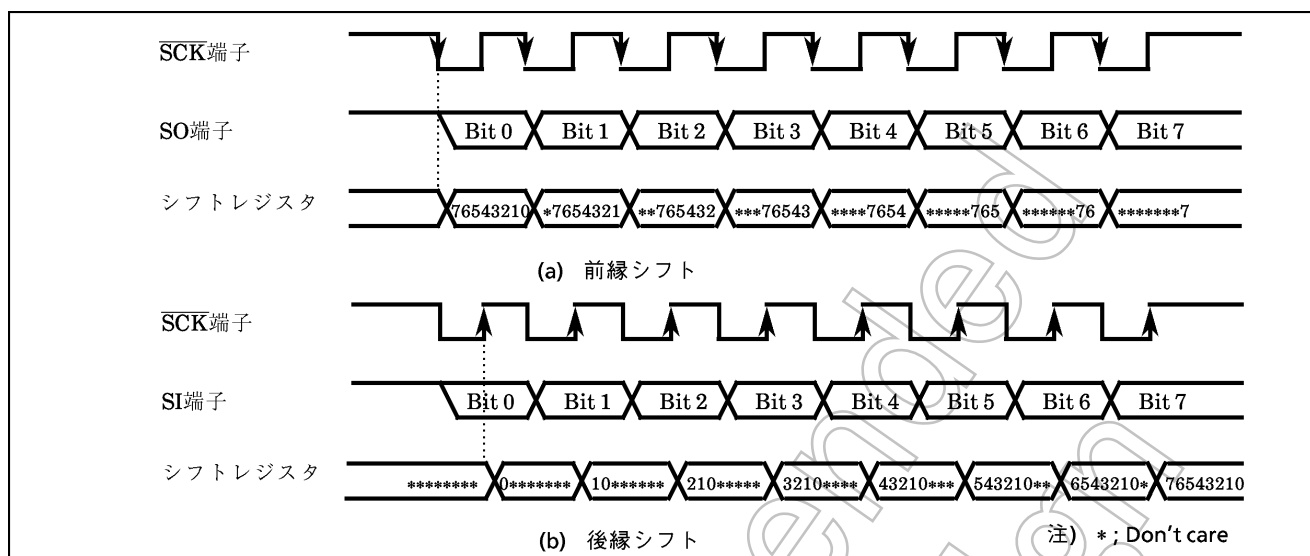


図2-41. シフトエッジ

(2) 転送モード

SIOM (SBICR1のビット5, 4) で、送信/受信/送受信モードを選択します。

a. 8ビット送信モード

制御レジスタに送信モードをセットした後、送信データをSBIDBRに書き込みます。

送信データの書き込み後、SIOSを“1”にセットすることにより送信が開始されます。送信データは、SBIDBRからシフトレジスタに移され、シリアルクロックに同期して最下位ビット (LSB) 側からSO端子に出力されます。送信データがシフトレジスタに移されると、SBIDBRが空になりますので、次の送信データを要求するINTSBI (バッファエンプティ) 割り込み要求が発生します。

内部クロック動作の場合、8ビットのデータをすべて送信したあと、次のデータがセットされていないとシリアルクロックを停止して自動ウェイト動作を行います。次の送信データを書き込むと自動ウェイト動作は解除されます。

外部クロック動作の場合、次のデータのシフト動作に入る前に、SBIDBRにデータが書き込まれている必要があります。従って、転送速度は、割り込み要求の発生から割り込みサービスプログラムにて、SBIDBRにデータを書き込むまでの最大遅れ時間により決まります。

送信開始時、SIOFが“1”となつてから、SCKの立ち下がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送信を終了させるには、バッファエンプティ割り込みサービスプログラムでSIOSを“0”にクリアするかSIOINHを“1”にセットします。SIOSがクリアされると、データがすべて出力された時点で送信終了します。プログラムで送信の終了を確認するにはSIOF (SBISRのビット3) をセンスします。SIOFは送信の終了で“0”になります。SIOINHをセットした場合はただちに送信を打ち切り、SIOFは“0”になります。

外部クロック動作では、次の送信データのシフト動作に入る前にSIOSを“0”にクリアする必要があります。もしシフトアウトする前にSIOSがクリアされなかった場合は、ダミーのデータの送信後、停止します。

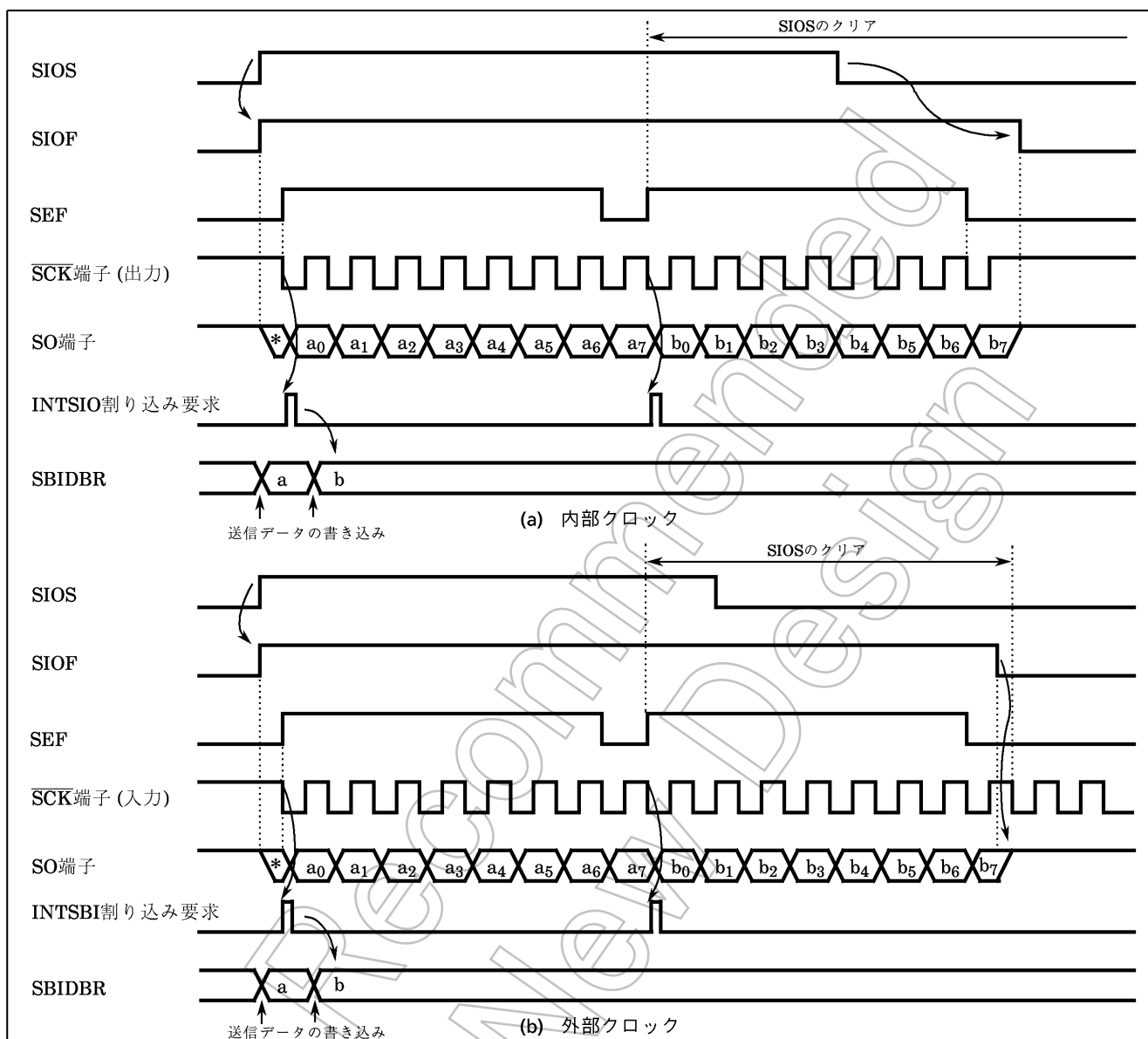


図2-42. 送信モード

例： SIOの送信終了指示 (外部クロックの場合)。

```

STEST1 :   TEST   (SBISR).SEF           ; If SEF=1 then loop
           JRS    F,STEST1
STEST2 :   TEST   (P4).0                ; If SCK=0 then loop
           JRS    T,STEST2
           LD     (SBICR1),00000111B    ; SIOS ← 0
    
```

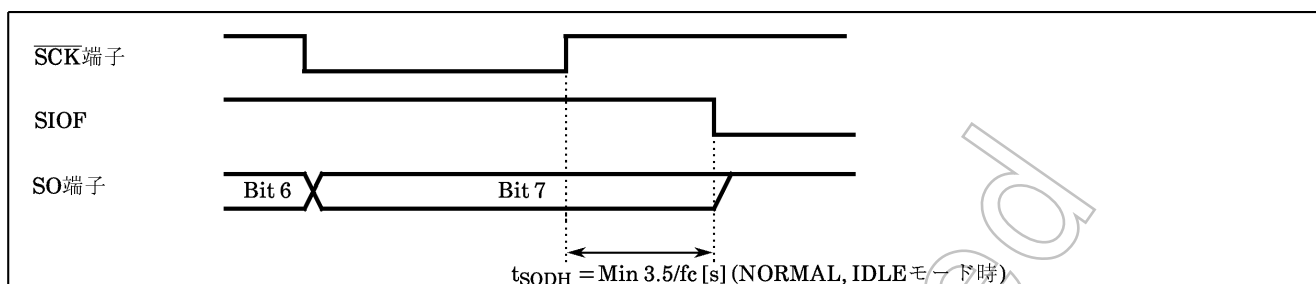


図2-43. 送信終了時の送信データ保持時間

b. 8ビット受信モード

制御レジスタに受信モードをセットした後、SIOSを“1”にセットすることにより受信可能となります。シリアルクロックに同期して、SI端子より最下位ビット側からシフトレジスタへデータを取り込みます。8ビットのデータが取り込まれるとシフトレジスタからSBIDBRに受信データが書き込まれ、受信データの読み出し要求するINTSBI(バッファフル)割り込み要求が発生します。受信データは、割り込みサービスプログラムにてSBIDBRから読み出します。

内部クロック動作の場合、受信データがSBIDBRから読み出されるまでシリアルクロックを停止する自動ウェイト動作を行います。

外部クロック動作の場合、シフト動作が外部から供給されるクロックに同期しますので、次のシリアルクロックが入力される前に受信データを読み出します。もし、受信データが読み出されない場合、それ以降に入力される受信データはキャンセルされます。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データの読み出しまでの最大遅れ時間により決まります。

受信を終了させるにはバッファフル割り込みサービスプログラムでSIOSを“0”にクリアするかSIOINHを“1”にセットします。SIOSがクリアされると、受信データが全ビット揃いSBIDBRへの書き込みが完了した時点で受信が終了します。プログラムで受信の終了を確認するには、SIOF(SBIDBRのビット3)をセンスします。SIOFは受信の終了で“0”になります。受信終了の確認のあと最終受信データを読み出します。SIOINHをセットした場合は、ただちに受信を打ち切り、SIOFは“0”になります(受信データは無効になりますので読み出す必要はありません)。

注) 転送モードを切り替えますとSBIDBRの内容は保持されません。もし、転送モードの切り替えが必要な場合は、受信終了指示(SIOSを“0”にクリア)を行い、最終受信データを読み出したあとで切り替えてください。

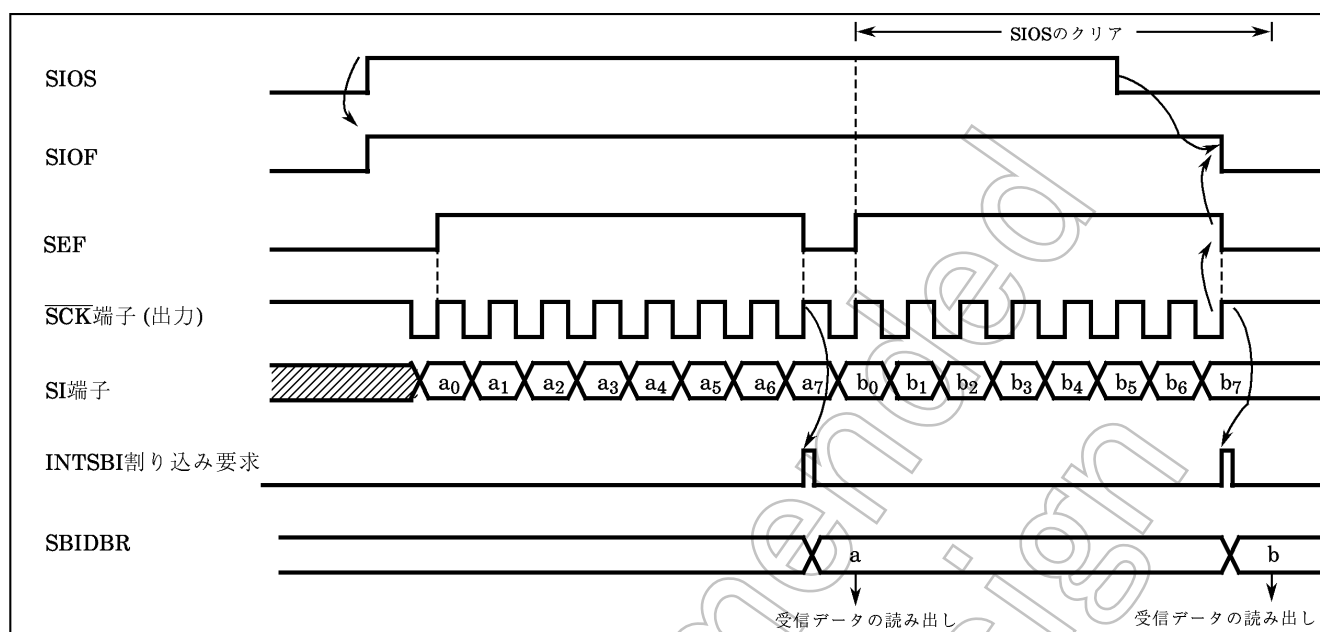


図2-44. 受信モード (例: 内部クロック)

c. 8ビット送受信モード

制御レジスタに送受信モードをセットした後、送信データをSBIDBRに書き込みます。その後、SIOSに“1”をセットすることにより送受信可能となります。最下位ビットから、シリアルクロックの前縁で送信データがSO端子から出力され、後縁で受信データがSI端子から取り込まれます。8ビットのデータが取り込まれると、シフトレジスタからSBIDBRへ受信データが転送され、INTSBI割り込み要求が発生します。割り込みサービスプログラムにて受信データをデータバッファレジスタから読み出し、そのあと送信データを書き込みます。SBIDBRは、送信、受信にて兼用していますので、送信データは、かならず受信データを読み出してから書き込むようにしてください。

内部クロック動作の場合、受信データを読み出し、次の送信データを書き込むまで自動ウェイト動作を行います。

外部クロック動作の場合は、シフト動作が外部から供給されるシリアルクロックに同期しますので、次のシフト動作に入る前に受信データを読み出し、次の送信データを書き込む必要があります。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データを読み出し、送信データを書き込むまでの最大遅れ時間により決まります。

送信開始時、SIOFが“1”となってから、SCKの立ち下がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送受信を終了させるには、INTSBI割り込みサービスプログラムでSIOSを“0”にクリアするかSIOINHを“1”にセットします。SIOSがクリアされると、受信データが揃い、SBIDBRへの転送が完了した時点で送受信が終了します。プログラムで送受信の終了を確認するには、SIOF (SBIDBRのビット3)をセンスします。SIOFは送受信の終了で“0”になります。SIOINHをセットした場合は、ただちに送受信を打ち切り、SIOFは“0”になります。

注) 転送モードを切り替えますとSBIDBRの内容は保持されません。もし、転送モードの切り替えが必要な場合は、送受信終了指示 (SIOSを“0”にクリア) を行い、最終受信データを読み出しあとで切り替えてください。

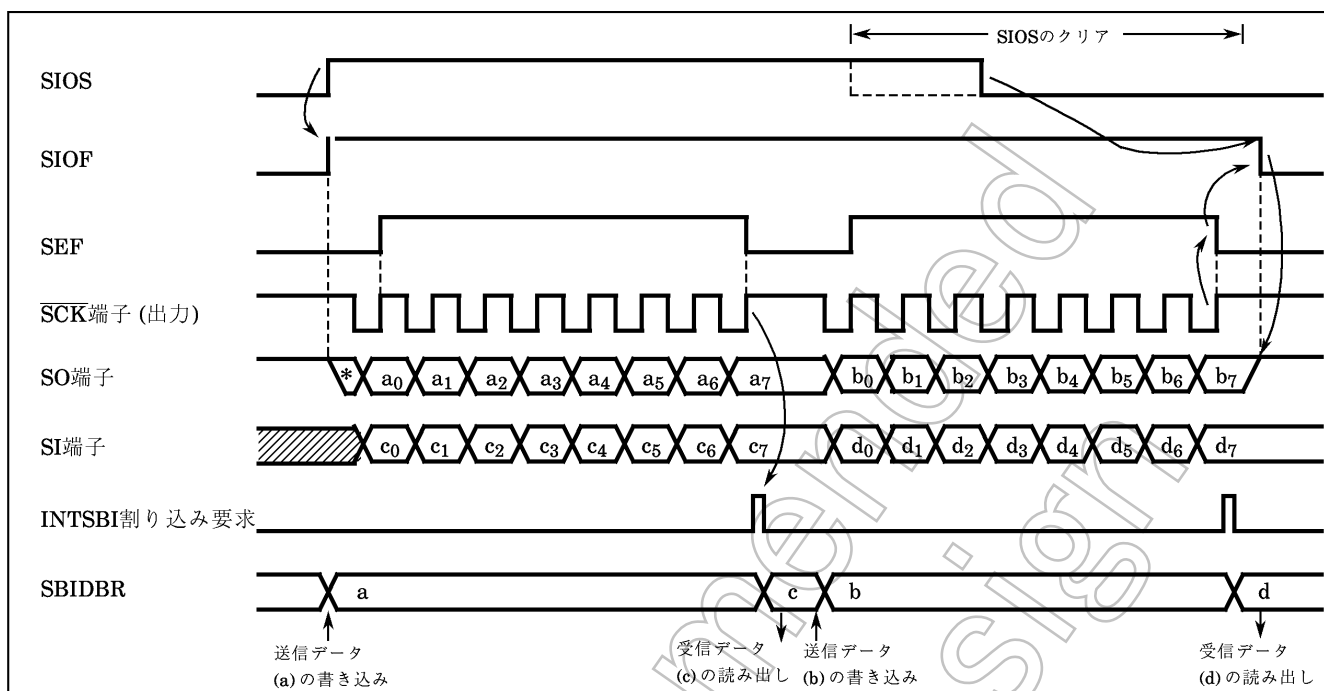


図2-45. 送受信モード (例: 内部クロック)

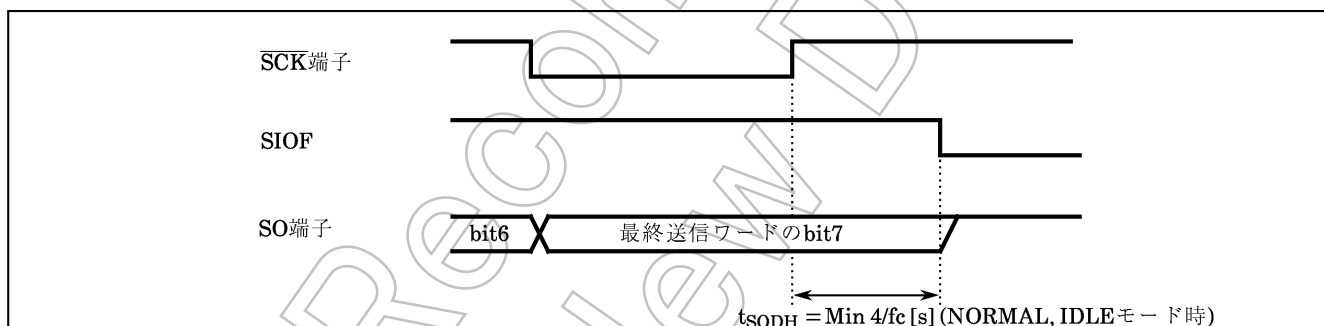


図2-46. 送受信終了時の送信データ保持時間 (送受信モード時)

2.9 発振停止検出回路

TMP87C409B/809Bは発振停止検出回路を内蔵しています。

発振停止検出回路は、発振器がノイズなどの影響により停止した場合、P50およびP51端子をHi-zにする機能です。

注) 開発ツール使用時、発振停止検出回路がイネーブルの場合、ブレイクおよびシングルステップ実行によりP50またはP51がハイインピーダンスとなる場合があります。なお、この場合、ブレイクおよびシングルステップ解除によりポート出力はハイインピーダンスとなる前の状態に復帰します。

2.9.1 構成

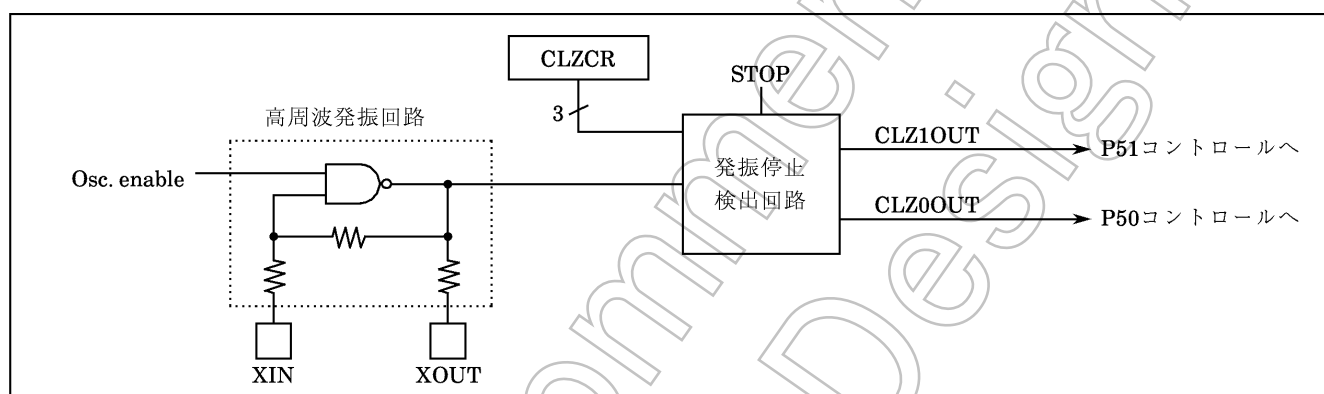


図2-47. 発振停止検出回路

2.9.2 制御

発振停止検出回路の制御は、発振停止検出回路制御レジスタで制御されます。

発振停止検出回路制御レジスタ

CLZCR (0028H)	7	6	5	4	3	2	1	0	
						STOPCR	P51CR	P50CR	(初期値 **** *000)
						STOPCR	P51CR	P50CR	Write only
						STOPモード時検出出力コントロール	0: STOPモード時検出出力イネーブル 1: STOPモード時検出出力ディセーブル		
						P51CR	P51検出出力コントロール 0: P51検出出力イネーブル 1: P51検出出力ディセーブル		
						P50CR	P50検出出力コントロール 0: P50検出出力イネーブル 1: P50検出出力ディセーブル		

注1) * ; Don't care
 注2) CLZCRは書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。

図2-48. 発振停止検出回路制御レジスタ

2.9.3 発振停止検出回路の動作

発振停止検出回路は、高周波発振器の X_{OUT} 信号の状態を検知し、高周波発振器がなんらかの影響で停止した場合に、P51, P50端子をHigh-Z状態にする機能です。P51, P50は、入出力コントロール回路付きの端子であり、初期状態は入力状態 (High-Z) のため、この回路を使用する際には、あらかじめ出力状態にしておく必要があります。

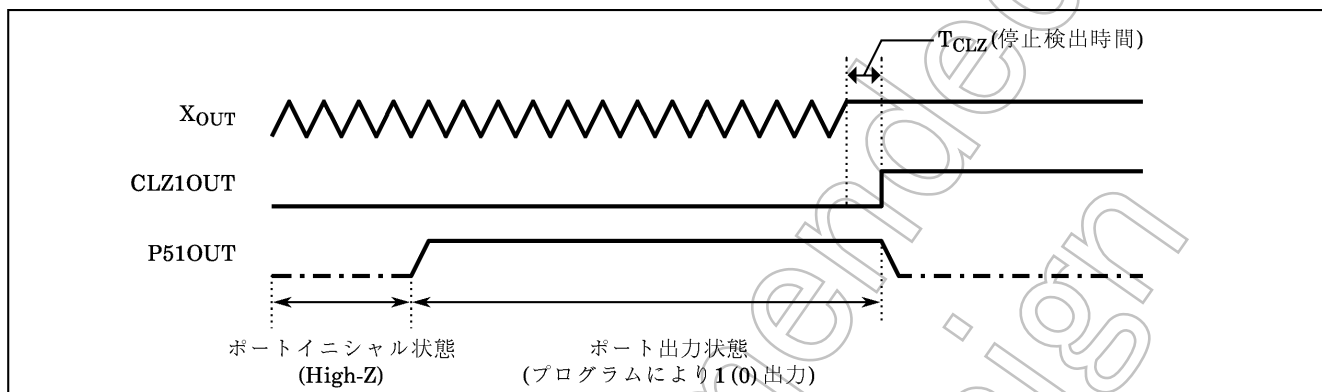


図2-49. 発振停止検出動作

2.10 10ビットADコンバータ (ADC)

TMP87C409B/809Bは、10ビット分解能の逐次比較方式ADコンバータを内蔵しています。

2.10.1 構成

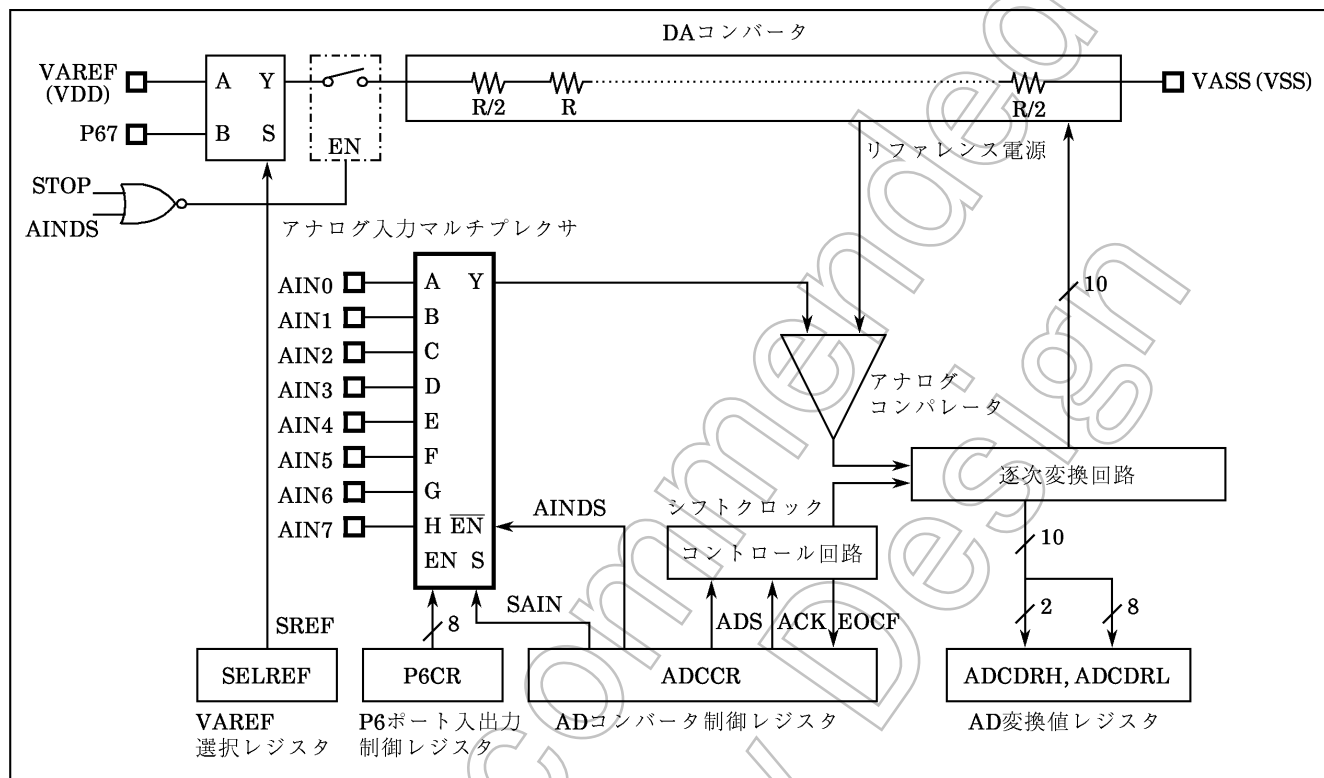


図2-50. ADコンバータ (ADC)

2.10.2 制御

ADコンバータの制御は、ADコンバータ制御レジスタ (ADCCR) およびVAREF選択レジスタ (SELREF) にて行います。また、(ADCCR) のEOCFを読むことでADコンバータの動作状態を、AD変換値レジスタ (ADCDRH)、(ADCDRL) を読むことでAD変換値を知ることができます。

ADコンバータ制御レジスタ (初期値0000 1000)								
ADCCR (000EH)	7	6	5	4	3	2	1	0
	EOCF	ADS	ACK		AINDS	SAIN		
EOCF	AD変換終了フラグビット	AD変換終了時、“1”にセットされます。その後、EOCFのリードに連続してADCDRHをリードするとクリアされます。 0: AD変換中またはAD変換前 1: AD変換終了		Read only				
ADS	AD変換開始	AD変換開始後、自動的に“0”にクリアされます。AD変換中にADSを“1”にセットすると初期化され、はじめから変換をやり直します。 0: - 1: AD変換スタート		R/W				
ACK	AD変換時間	00: 216/fc : (8 MHz時 27 μs) 01: 384/fc : (8 MHz時 48 μs) 10: 728/fc : (8 MHz時 91 μs) 11: reserved						
AINDS	アナログ入力制御	0: アナログ入力イネーブル 1: アナログ入力ディセーブル		R/W				
SAIN	アナログ入力チャンネル選択	000: AIN0選択 001: AIN1選択 010: AIN2選択 011: AIN3選択 100: AIN4選択 101: AIN5選択 110: AIN6選択 111: AIN7選択						

注1) アナログ入力チャンネルの選択はAD変換停止状態で設定してください。
 注2) ADSは、AD変換開始後自動的に“0”にクリアされます。
 注3) EOCFは、AD変換値レジスタ (ADCDRH)、(ADCDRL) をリードすると“0”にクリアされます。
 注4) EOCFは、リード専用で、書き込んだデータは無視されます。

図2-51. ADコンバータ制御レジスタ

AD変換値レジスタ (初期値0000 0000)									
ADCDRL (0029 _H)	7	6	5	4	3	2	1	0	Read only
	AD09	AD08	AD07	AD06	AD05	AD04	AD03	AD02	
ADCDRH (002A _H)	7	6	5	4	3	2	1	0	Read only
	AD01	AD00							
VAREF選択レジスタ (初期値0*** ***)									
SELREF (002F _H)	7	6	5	4	3	2	1	0	Write only
	SREF								
SREF	0: 内部VDDをアナログ基準電源とする 1: P67をアナログ基準電源とする								

注1) *: Don't care
注2) P67端子をアナログ基準電源とする場合は、P67は入力モードに設定してください。

図2-52. 変換値レジスタ, VAREF選択レジスタ

2.10.3 ADコンバータの動作

アナログ基準電圧のHigh側をVAREF端子に、Low側をVASS端子に印加します。VAREF-VASS間の基準電圧をラダー抵抗によりビットに対応した電圧に分割し、アナログ入力電圧と比較判定を行うことにより、AD変換が実行されます。

注1) VASSはVSSと共通になっています。また、VAREFはVDDもしくはP67の選択が可能です。
注2) TMP87C409B/809BではADコンバータ用のアナログ電源(VAREF, VASS)がデジタル電源(VDD, VSS)と共用となっております。ADコンバータとして高精度が要求される応用の場合には電源ラインの低インピーダンス化、ノイズフィルタ用コンデンサの挿入など電源ラインのノイズ対策が必要です。

(1) AD変換の起動

AD変換に先立ち、SAIN (ADCCRのビット3~0)によりアナログ入力チャンネル(AIN7~AIN0)のうち1端子を選択します。AINDS (ADCCRのビット4)を“0”にクリアし、P6入力制御(P6CR)でアナログ入力に使用するチャンネルを“0”にクリアします。

注) アナログ入力として使用しない端子は、通常の入出力端子として使用できますが、変換中はいずれの端子に対しても精度を保つ意味で出力命令は行わないでください。

ACK (ADCCRのビット5, 4)により変換時間の設定を行います。

AD変換動作は、ADS (ADCCRのビット6)を“1”にセットすることにより開始されます。

AD変換時間は、AD変換開始後、ADCDRに変換結果がセットされるまでで、ACK=00のとき、 $216/fc$ [s] (54マシンサイクル) が必要です。例えば $fc=8$ MHzで $27 \mu s$ かかります。AD変換が終了すると、変換終了を示すEOCF (ADCCRのビット7)が“1”にセットされます。

AD変換中にADSを“1”にセットすると初期化されて、初めから変換をやり直します。

なお、アナログ入力電圧のサンプリングは、AD変換の開始指示後4マシンサイクルで行われます。

(2) AD変換値の読み出し

AD変換値レジスタ (ADCDR) にストアされた変換値は、変換終了 (EOCF=1) を確認後に読み出しを行ってください。変換値を読み出すと、EOCFは自動的に“0”にクリアされます。なお、AD変換中に読み出しを行うと、不定値が読み出されます。

(3) AD変換中のSTOPモード

AD変換中にSTOPモードに入るとAD変換は中止され、AD変換値は不定となります。従って、STOPモードより復帰後はEOCFは“0”にクリアされたままとなります。ただし、AD変換終了後(EOCFが“1”にセットされた後)STOPモードに入ると、AD変換値、EOCFの状態は保持されます。

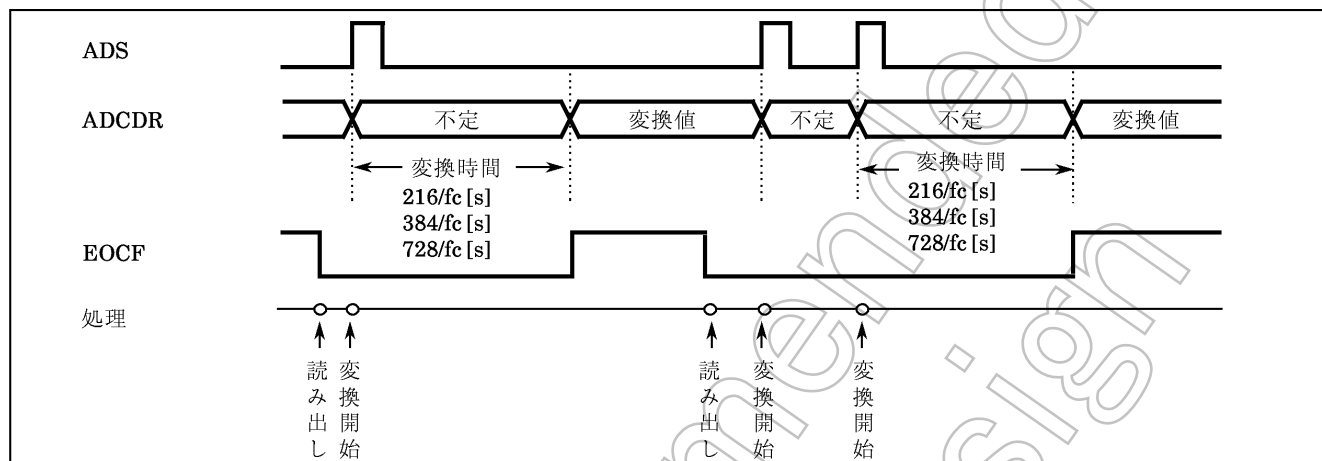


図2-53. AD変換動作

例1: 変換時間を728/fc [s]としアナログ入力チャネルとしてAIN4端子を選択後、AD変換を行います。EOCFを確認して変換値を読み出し、RAMの009EH番地に下位2ビット、009F番地に上位8ビットのデータを格納します。

```

; AIN SELECT
LD      (ADCCR), 00100100B    ; 変換時間およびAIN4を選択
; AD CONVERT START
SET     (ADCCR). 6            ; ADS=1
SLOOP: TEST (ADCCR). 7        ; EOCF=1?
JRS     T, SLOOP
; RESULT DATA READ
LD      (9EH), (ADCDRH)
LD      (9FH), (ADCURL)

```

アナログ入力電圧とAD変換された10ビットデジタル値とは図2-54のように対応します。

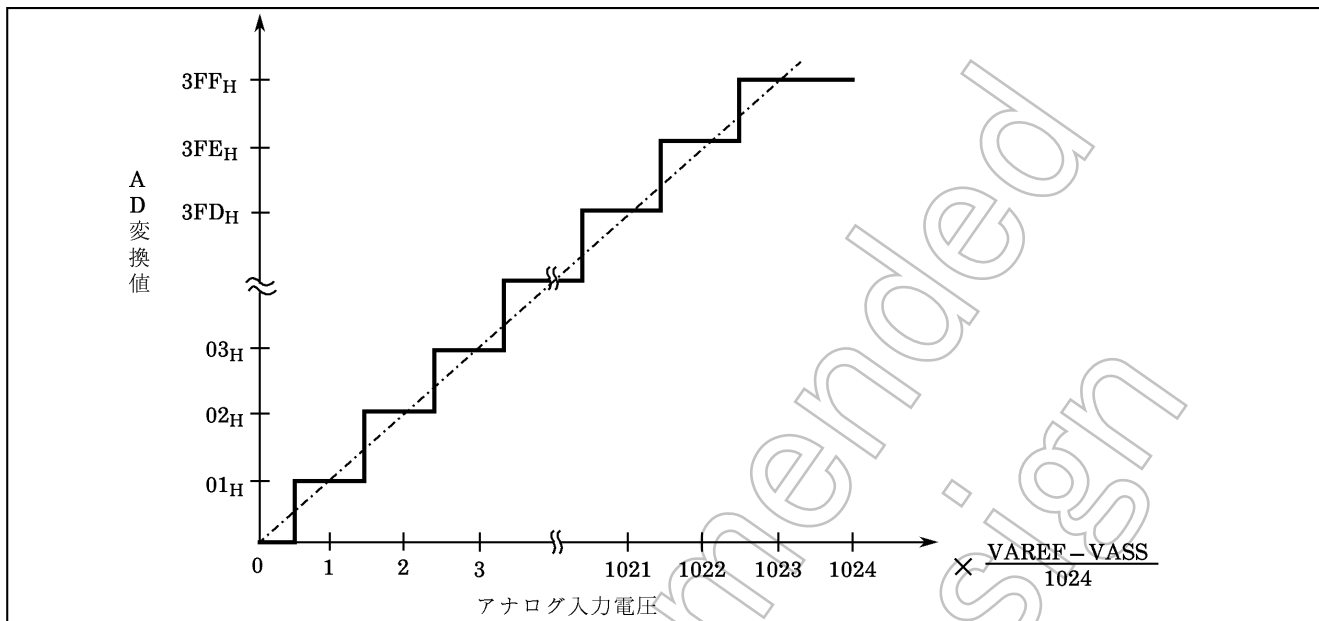


図2-54. アナログ入力電圧とAD変換値 (typ.) の関係

Not Recommended for New Design

端子の入出力回路

ES 発注の際、マイクロコントローラエンジニアリングサンプル (ES) 作製依頼書にてマスクオプションの指定を、必ず行ってください。記入の仕方については付録の“TLCS-870 シリーズにおけるマスクオプション指定方法”を参照してください。

(1) 制御端子

TMP87C409B/809Bの制御端子の入出力回路を示します。

制御端子	入出力	回路	備考
XIN XOUT	入力 出力		高周波発振子接続端子 $R_f = 1.2 \text{ M}\Omega$ (typ.) $R_o = 1.5 \text{ k}\Omega$ (typ.)
RESET	入力		ヒステリシス入力 プルアップ抵抗内蔵 $R_{IN} = 220 \text{ k}\Omega$ (typ.) $R = 1 \text{ k}\Omega$ (typ.)
INT5/STOP (P43)		<p>イニシャル“High-Z”</p>	ヒステリシス入力 $R = 1 \text{ k}\Omega$ (typ.)
TEST			プルダウン抵抗内蔵 $R_{IN} = 70 \text{ k}\Omega$ $R = 1 \text{ k}\Omega$

注1) TMP87P809のTEST端子には、プルダウン抵抗は内蔵されていません。

(2) 入出力ポート

TMP87C409B/809Bの入出力ポートの入出力回路を示します。
 なお、マスクオプションとしてコードAを指定してください。

制御端子	入出力	回路 (コードA)	備考
P1	入出力	イニシャル“High-Z” 	トライステート入出力 ヒステリシス入力 R=1 kΩ (typ.)
P4	入出力	イニシャル“High-Z” 	シンクオープンドレイン出力 ヒステリシス入力 大電流出力 R=1 kΩ (typ.)
P5	入出力	イニシャル“High-Z” 	トライステート入出力 ヒステリシス入力 大電流出力 R=1 kΩ (typ.)
P6	入出力	イニシャル“High-Z” 	トライステート入出力 R=1 kΩ (typ.)

電気的特性

絶対最大定格

(V_{SS}=0 V)

項目	記号	端子	規格	単位	
電源電圧	V _{DD}		-0.3~6.5	V	
入力電圧	V _{IN}		-0.3~V _{DD} +0.3	V	
出力電圧	V _{OUT1}	P1, P5, P6ポートおよびXOUT, RESET	-0.3~V _{DD} +0.3	V	
	V _{OUT2}	P4	-0.3~5.5		
出力電流 (1端子当り)	I _O L	I _{OUT1}	P1, P6	3.2	mA
		I _{OUT2}	P4, 5 (大電流ポート)	30	
	I _O H	I _{OUT3}	P1, P5, P6	-1.8	
出力電流 (全端子総計)	I _O L	Σ I _{OUT1}	P1, P6	30	mA
		Σ I _{OUT2}	P4, 5 (大電流ポート)	80	
	I _O H	Σ I _{OUT3}	P1, P5, P6	30	
消費電力 [T _{opr} =70°C]	PD	SDIP	300	mW	
		SOP	180		
はんだ付け温度 (時間)	T _{sld}		260 (10 s)	°C	
保存温度	T _{stg}		-55~125	°C	
動作温度	T _{opr}		-30~70	°C	

注) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、かならず絶対最大定格を超えないように、応用機器の設計を行ってください。

推奨動作条件

(V_{SS}=0 V, T_{opr}=-30~70°C)

項目	記号	端子	条件	Min	Max	単位
電源電圧	V _{DD}		f _c =8 MHz	NORMAL モード時	4.5	V
				IDLE モード時		
			f _c =4.2 MHz	NORMAL モード時	2.2	
				IDLE モード時		
		STOP モード時	2.0			
高レベル 入力電圧	V _{IH1}	ヒステリシス入力を除く	V _{DD} ≥ 4.5 V	V _{DD} × 0.70	V _{DD}	V
	V _{IH2}	ヒステリシス入力		V _{DD} × 0.75		
	V _{IH3}			V _{DD} < 4.5 V		
低レベル 入力電圧	V _{IL1}	ヒステリシス入力を除く	V _{DD} ≥ 4.5 V	0	V _{DD} × 0.30	V
	V _{IL2}	ヒステリシス入力			V _{DD} × 0.25	
	V _{IL3}				V _{DD} < 4.5 V	
クロック周波数	f _c	XIN, XOUT	V _{DD} =4.5~5.5 V	1.0	8.0	MHz
			V _{DD} =2.2~5.5 V		4.2	

注1) 推奨動作条件とは、製品が一定の品質を保って正常に動作するために推奨する使用条件です。推奨動作条件 (電源電圧、動作温度範囲、AC/DC規定値) から外れる動作条件で使用した場合、誤動作が生じる恐れがあります。従ってご使用の条件に対して、かならず推奨動作条件の範囲を超えないように、応用機器の設計を行ってください。

注2) クロック周波数 f_c: 条件の電源電圧範囲は、NORMAL モード時およびIDLE モード時の値を示す。

DC 特性

(V_{SS}=0 V, Topr = -30~70°C)

項目	記号	端子	条件	Min	Typ.	Max	単位					
ヒステリシス電圧	V _{HS}	ヒステリシス入力		-	0.9	-	V					
入力電流	I _{IN1}	TEST	V _{DD} =5.5 V V _{IN} =5.5 V/0 V	-	-	±2	μA					
	I _{IN2}	トライステートポート										
	I _{IN3}	RESET, STOP										
入力抵抗	R _{IN2}	RESET		100	220	450	kΩ					
出力リーク電流	I _{LO}	トライステートポート	V _{DD} =5.5 V, V _{OUT} =5.5 V/0 V	-2	-	2	μA					
高レベル出力電圧	V _{OH2}	トライステートポート	V _{DD} =4.5 V, I _{OH} =-0.7 mA	4.1	-	-	V					
低レベル出力電圧	V _{OL1}	XOUT, P4, P5ポートを除く	V _{DD} =4.5 V, I _{OL} =1.6 mA	-	-	0.4	V					
低レベル出力電流	I _{OL3}	P4, P5ポート	V _{DD} =4.5 V, V _{OL} =1.0 V	-	20	-	mA					
NORMAL モード時 電源電流	I _{DD}		V _{DD} =5.5 V f _c =8 MHz V _{IN} =5.3 V/0.2V		8	14	mA					
IDLE モード時 電源電流								4	6			
NORMAL モード時 電源電流								2.5	3.5	mA		
IDLE モード時 電源電流											1.5	2.0
STOP モード時 電源電流												

注1) Typ.値は、条件に指定なき場合Topr = 25°C, V_{DD}=5 V時の値を示す。注2) 入力電流 I_{IN1}, I_{IN3} : プルアップまたはプルダウン抵抗による電流を除く。

AD 変換 特性

(V_{SS}=0 V, V_{DD}=2.2~5.5 V, Topr = -30~70°C)

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電源電圧	V _{AREF}		2.2	-	V _{DD}	V
	V _{ASS}					
アナログ入力電圧範囲	V _{AIN}		V _{ASS}	-	V _{AREF}	V
アナログ基準電源電流	I _{REF}			0.5	1.0	mA
非直線性誤差		V _{DD} =5.0 V, V _{AREF} =5.000 V			±2	LSB
ゼロ誤差		V _{ASS} (V _{SS})=0.000 V または			±2	
フルスケール誤差		V _{DD} =2.2 V, V _{AREF} =2.200 V			±2	
総合誤差		V _{ASS} (V _{SS})=0.000 V			±4	

注) 総合誤差は量子化誤差を除いたすべての誤差を総合した誤差を言います。

発振停止検出回路 AC特性

(VSS=0V, Topr = -30~70°C)

項目	記号	条件	Min	Typ.	Max	単位
発振停止検出時間	T _{CLZ}	VDD=2.2V~5.5V (fc=2 MHz~4.2 MHz) VDD=4.5V~5.5V (fc=8 MHz)	2	20	400	μs

AC 特性

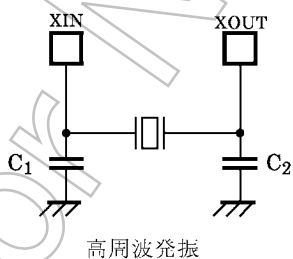
(VSS=0V, VDD=4.5~5.5V, Topr = -30~70°C)

項目	記号	条件	Min	Typ.	Max	単位
マシンサイクルタイム	tcy	NORMALモード時 IDLEモード時	0.5	-	4	μs
高レベルクロックパルス幅	twCH	外部クロック動作 (XIN入力)	50	-	-	ns
低レベルクロックパルス幅	twCL	fc=8 MHz時				

推奨発振条件

(VSS=0V, VDD=4.5~5.5V, Topr = -30~70°C)

項目	発振子	発振周波数	推奨発振子
高周波発振	セラミック発振子	8 MHz (4.5V ~ 5.5V)	村田製作所 CSTCC8M00G53-R0
			村田製作所 CSTLS8M00G53-B0
		4 MHz (2.2V ~ 5.5V)	村田製作所 CSTCR4M00G53-R0
			村田製作所 CSTLS4M00G53-B0



注1) 高電界のかかるところで使用する場合は、正常動作を保つためにパッケージを電氣的にシールドすることを推奨します。

注2) 村田製発振子は、型番・仕様の切り替えが随時行われております。詳細につきましては、下記アドレスの同社ホームページをご参照ください。

http://www.murata.co.jp/search/index_j.html

鉛フリー品 (G 付製品) へのはんだ濡れ性についての注意事項

試験項目	試験条件	備考
はんだ付け性	230 5 秒間 1 回 R タイプフラックス使用 (鉛はんだ使用時)	フォーミングまでの半田付着率 95%を良品とする
	245 5 秒間 1 回 R タイプフラックス使用 (鉛フリーはんだ使用時)	

Not Recommended
for New Design