32 ビット RISC マイクロコントローラー
TXZ+ファミリー
TMPM4K グループ(2)
リファレンスマニュアル
入出力ポート
(PORT-M4K(2))

Revision 1.4

2025-06

東芝デバイス&ストレージ株式会社

© 2020-2025
Toshiba Electronic Devices & Storage Corporation

目次

序章 4
関連するドキュメント 4
表記規約 5
用語・略語 7
1. 概要 8
2. 動作説明 8
2.1. クロック供給 8
3. 信号接続一覧 9
4. レジスター説明 18
4.1. レジスター一覧 19
4.2. ポート機能とレジスター設定 21
4.2.1. 機能端子を使用する際の設定について 21
4.2.2. PORT A 22
4.2.3. PORT B 23
4.2.4. PORT C 24
4.2.5. PORT D 26
4.2.6. PORT E 27
4.2.7. PORT F 28
4.2.8. PORT G 30
4.2.9. PORT H 31
4.2.10. PORT J 31
4.2.11. PORT K 32
4.2.12. PORT L 33
4.2.13. PORT M 34
4.2.14. PORT N 34
4.2.15. PORT U 35
4.2.16. PORT V 36
5. ポート回路図 37
5.1. タイプ FTU1a 37
5.2. タイプ FTU2a 38
5.3. タイプ FTU2c 39
5.4. タイプ FTU3a 40
5.5. タイプ FTU4a 41
5.6. タイプ FTU5a 42
5.7. タイプ FTU11a 43
5.8. タイプ FTU16a 44
6. 使用上のご注意およびお願い事項 45
6.1. リセット期間中の端子状態について 45
6.2. 未使用端子の処理について 45

6.3. デバッグインターフェース端子を汎用ポートとして使用する際の注意 45
7. 改訂履歴 46
製品取り扱い上のお願い 47

図目次

図 5.1 ポートタイプ FTU1a 37
図 5.2 ポートタイプ FTU2a 38
図 5.3 ポートタイプ FTU2c 39
図 5.4 ポートタイプ FTU3a 40
図 5.5 ポートタイプ FTU4a 41
図 5.6 ポートタイプ FTU5a 42
図 5.7 ポートタイプ FTU11a 43
図 5.8 ポートタイプ FTU16a 44

表目次

表 3.1 信号接続一覧: UART ch0,1,2 9
表 3.2 信号接続一覧: UART ch3/I2C/EI2C/TSPI 10
表 3.3 信号接続一覧: T32A ch0,1 11
表 3.4 信号接続一覧: T32A ch2,3 12
表 3.5 信号接続一覧: T32A ch4,5 13
表 3.6 信号接続一覧: ADC 14
表 3.7 信号接続一覧: INT 15
表 3.8 信号接続一覧: A-PMD/A-ENC32 16
表 3.9 信号接続一覧: TRGSEL/JTAG/SW/TRACE/NBDIF/制御端子 17
表 4.1 ポートベースアドレス 19
表 4.2 レジスター一覧 20
表 4.3 ポート A レジスター設定 22
表 4.4 ポート B レジスター設定 23
表 4.5 ポート C レジスター設定 24
表 4.6 ポート D レジスター設定 26
表 4.7 ポート E レジスター設定 27
表 4.8 ポート F レジスター設定 28
表 4.9 ポート G レジスター設定 30
表 4.10 ポート H レジスター設定 31
表 4.11 ポート J レジスター設定 31
表 4.12 ポート K レジスター設定 32
表 4.13 ポート L レジスター設定 33
表 4.14 ポート M レジスター設定 34
表 4.15 ポート N レジスター設定 34
表 4.16 ポート U レジスター設定 35
表 4.17 ポート V レジスター設定 36
表 7.1 改訂履歴 46

序章

関連するドキュメント

文書名
製品個別情報
クロック制御と動作モード
例外
フラッシュメモリー
I^2C インターフェース
I^2C インターフェース バージョン A
シリアルペリフェラルインターフェース
12 ビットアナログデジタルコンバーター
32 ビットタイマーイベントカウンター
非同期シリアル通信回路
アドバンストプログラマブルモーター制御回路
アドバンストエンコーダー入力回路(32bit)
デバッグインターフェース
ノンブレークデバッグインターフェース

表記規約

- 数値表記は以下の規則に従います。
  16 進数表記:　　0xABC
  10 進数表記:　　123 または 0d123(10 進表記であることを示す必要のある場合だけ使用)
  2 進数表記:　　0b111(ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート(assert)」アクティブでないレベルに移ることを「デアサート(deassert)」と呼びます。
- 複数の信号名は[m:n]とまとめて表記する場合があります。
  例: S[3: 0]は S3、S2、S1、S0 の 4 つの信号名をまとめて表記しています。
- 本文中***[ ]***で囲まれたものはレジスターを定義しています。
  例: ***[ABCD]***
- 同種で複数のレジスター、フィールド、ビット名は「n」で一括表記する場合があります。
  例: ***[XYZ1]***、***[XYZ2]***、***[XYZ3]*** → ***[XYZn]***
- 「レジスター一覧」中のレジスター名でユニットまたはチャネルは「x」で一括表記しています。
  ユニットの場合、「x」は A、B、C、...を表します。
  例: ***[ADACR0]***、***[ADBCR0]***、***[ADCCR0]*** → ***[ADxCR0]***
  チャネルの場合、「x」は 0、1、2、...を表します。
  例: ***[T32A0RUNA]***、***[T32A1RUNA]***、***[T32A2RUNA]*** → ***[T32AxRUNA]***
- レジスターのビット範囲は[m:n]と表記します。
  例: [3: 0]はビット 3 から 0 の範囲を表します。
- レジスターの設定値は 16 進数または 2 進数のどちらかで表記されています。
  例: ***[ABCD]***<EFG> = 0x01 (16 進数)、***[XYZn]***<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
  バイト:　　8 ビット
  ハーフワード:　　16 ビット
  ワード:　　32 ビット
  ダブルワード:　　64 ビット
- レジスター内の各ビットの属性は以下の表記を使用しています。
  R:　　リードオンリー
  W:　　ライトオンリー
  R/W:　　リード/ライト
- 断りのない限り、レジスターアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスターは書き換えを行わないでください。
  また、読み出した値を使用しないでください。
- Default 値が「-」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスターに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
  Default 値が「-」となっている場合は、個々のレジスターの定義に従ってください。
- ライトオンリーのレジスターの Reserved ビットフィールドには Default 値を書き込んでください。
  Default 値が「-」となっている場合は、個々のレジスターの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスターへのリードモディファイライト処理は行わないでください。

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

I^2C	Inter-Integrated Circuit
JTAG	Joint Test Action Group
NBDIF	Non Break Debug Interface
SW	Serial Wire

1. 概要

ポート関連のレジスターとその設定について説明します。以下に機能の一覧を示します。

機能分類	機能	説明
ポート	-	内蔵プログラマブルプルアップ/プルダウンの選択、オープンドレイン出力選択が可能
周辺機能端子	クロック出力	システムクロックの出力が可能
	外部割り込み	ノイズフィルター(フィルター幅 Typ. 30ns)付き割り込み入力端子
	32 ビットタイマーイベントカウンター	インプットキャプチャー入力端子、タイマー出力端子
	シリアルペリフェラルインターフェース	チップセレクト入力 1 端子、チップセレクト出力 2 端子、データ入力端子、データ出力端子、クロック入出力端子
	非同期シリアル通信回路	データ入力端子、データ出力端子、ハンドシェーク機能端子
	I^2C インターフェース	データ入出力端子、クロック入出力端子
	I^2C インターフェース バージョン A	データ入出力端子、クロック入出力端子
	アナログデジタルコンバーター	アナログ入力端子
	アドバンストプログラマブルモーター制御回路	X/Y/Z 相出力端子、U/V/W 相出力端子、異常検出入力端子、過電圧検出入力端子
	アドバンストエンコーダー入力回路 (32-bit)	エンコーダー入力端子
	トリガー入力	外部トリガー入力端子
デバッグ端子	JTAG	テストモード選択入力端子、シリアルクロック入力端子、シリアルデータ出力端子、シリアルデータ入力端子、テストリセット入力端子
	SW	シリアルワイヤデータ入出力端子、シリアルワイヤクロック入力端子、シリアルワイヤビューワ出力端子
	トレース	トレースクロック出力端子、トレースデータ出力 4 端子
	NBDIF	NBD 同期入力端子、NBD クロック入力端子、NBD データ出力 4 端子
制御端子	クロック制御	高速発振子接続端子、外部高速クロック入力
	BOOT モード制御	BOOT モード制御用端子

2. 動作説明

2.1. クロック供給

ポートを使用する場合は、fsys 供給停止レジスターA(***[CGFSYSENA]***、***[CGFSYSMENA]***)、fsys 供給停止レジスターB(***[CGFSYSENB]***、***[CGFSYSMENB]***)、fsys 供給停止レジスターC(***[CGFSYSMENC]***)、fc 供給停止レジスター(***[CGFCEN]***)で該当するクロックイネーブルビットを"1"(クロック供給)に設定してください。

該当レジスター、ビット位置は製品によって異なります。そのため、製品によってレジスターが存在しない場合があります。詳細はリファレンスマニュアルの「クロック制御と動作モード」を参照してください。

3. 信号接続一覧

各リファレンスマニュアルのブロック図(信号一覧表)に記載された信号名を機能端子順に変換した表です。周辺機能のレジスター設定はポート順に説明していますので、ポート名の逆引きにご使用ください。

数値は端子番号を表します。

表 3.1 信号接続一覧: UART ch0,1,2

参照リファレンスマニュアル	兼用機能端子名	ポート名	M4KN (QFP100)	M4KN (LQFP100)	M4KM (LQFP80)	M4KL (LQFP64)
非同期シリアル通信回路	UT0RXD	PC0	49	46	39	31
		PC1	50	47	40	32
		PN0	12	9	9	-
		PN1	13	10	10	-
	UT0TXDA	PC1	50	47	40	32
		PC0	49	46	39	31
		PN1	13	10	10	-
		PN0	12	9	9	-
	UT0CTS_N	PD2	69	66	-	-
		PN2	14	11	11	-
	UT0RTS_N	PD3	70	67	-	-
		PV1	16	13	-	-
	UT1RXD	PC4	53	50	43	-
		PC5	54	51	44	-
		PU5	9	6	7	7
		PU6	10	7	8	8
	UT1TXDA	PC5	54	51	44	-
		PC4	53	50	43	-
		PU6	10	7	8	8
		PU5	9	6	7	7
	UT1CTS_N	PU4	8	5	6	6
	UT1RTS_N	PU3	7	4	5	5
	UT2RXD	PF0	3	100	1	1
		PF1	2	99	80	64
		PU0	4	1	2	2
		PU1	5	2	3	3
	UT2TXDA	PF1	2	99	80	64
		PF0	3	100	1	1
		PU1	5	2	3	3
		PU0	4	1	2	2

表 3.2 信号接続一覧: UART ch3/I2C/EI2C/TSPI

参照リファレンスマニュアル	兼用機能端子名	ポート名	M4KN (QFP100)	M4KN (LQFP100)	M4KM (LQFP80)	M4KL (LQFP64)
非同期シリアル通信回路	UT3RXD	PF3	100	97	79	-
		PF4	99	96	78	-
		PF6	97	94	77	-
		PF7	96	93	76	-
	UT3TXDA	PF4	99	96	78	-
		PF3	100	97	79	-
		PF7	96	93	76	-
		PF6	97	94	77	-
I²C インターフェース	I2C0SDA	PC0	49	46	39	31
	I2C0SCL	PC1	50	47	40	32
	I2C1SDA	PD3	70	67	-	-
		PU0	4	1	2	2
	I2C1SCL	PD4	71	68	-	-
		PU1	5	2	3	3
I²C インターフェース バージョン A	EI2C0SDA	PC0	49	46	39	31
	EI2C0SCL	PC1	50	47	40	32
	EI2C1SDA	PD3	70	67	-	-
		PU0	4	1	2	2
	EI2C1SCL	PD4	71	68	-	-
		PU1	5	2	3	3
シリアルペリフェラルインターフェース	TSPI0RXD	PA2	20	17	15	10
		PC3	52	49	42	34
	TSPI0TXD	PA3	21	18	16	11
		PC4	53	50	43	-
	TSPI0SCK	PA4	22	19	17	12
		PC5	54	51	44	-
	TSPI0CSIN	PA0	18	15	13	-
		PC7	56	53	-	-
	TSPI0CS0	PC2	51	48	41	33
	TSPI0CS1	PA1	19	16	14	-
		PC6	55	52	-	-
	TSPI1RXD	PG4	77	74	58	46
		PV1	16	13	-	-
	TSPI1TXD	PG5	78	75	59	47
	TSPI1SCK	PG6	79	76	60	48
	TSPI1CSIN	PG3	76	73	57	45
		PV0	15	12	-	-
	TSPI1CS0	PG2	75	72	56	44
	TSPI1CS1	PG1	74	71	55	-

表 3.3　信号接続一覧: T32A ch0,1

参照リファレンスマニュアル	兼用機能端子名	ポート名	M4KN (QFP100)	M4KN (LQFP100)	M4KM (LQFP80)	M4KL (LQFP64)
32 ビットタイマーイベントカウンター	T32A00INA0	PA2	20	17	15	10
	T32A00OUTA	PA3	21	18	16	11
	T32A00INB0	PA0	18	15	13	-
	T32A00INB1	PA1	19	16	14	-
	T32A00OUTB	PA4	22	19	17	12
	T32A00INC0	PA2	20	17	15	10
	T32A00OUTC	PA3	21	18	16	11
	T32A01INA0	PF3	100	97	79	-
	T32A01INA1	PF5	98	95	-	-
	T32A01OUTA	PF4	99	96	78	-
	T32A01INB0	PF6	97	94	77	-
	T32A01INB1	PF7	96	93	76	-
	T32A01OUTB	PV0	15	12	-	-
	T32A01INC0	PF3	100	97	79	-
	T32A01INC1	PF5	98	95	-	-
	T32A01OUTC	PF4	99	96	78	-

表 3.4 信号接続一覧: T32A ch2,3

参照リファレンスマニュアル	兼用機能端子名	ポート名	M4KN (QFP100)	M4KN (LQFP100)	M4KM (LQFP80)	M4KL (LQFP64)
32 ビットタイマーイベントカウンター	T32A02INA0	PC0	49	46	39	31
		PU1	5	2	3	3
	T32A02INA1	PC6	55	52	-	-
		PU5	9	6	7	7
	T32A02OUTA	PC1	50	47	40	32
		PU2	6	3	4	4
	T32A02INB0	PC7	56	53	-	-
		PU3	7	4	5	5
	T32A02INB1	PD0	67	64	-	-
		PU0	4	1	2	2
	T32A02OUTB	PD1	68	65	-	-
		PU4	8	5	6	6
	T32A02INC0	PC0	49	46	39	31
		PU1	5	2	3	3
	T32A02INC1	PC6	55	52	-	-
		PU4	8	5	6	6
	T32A02OUTC	PC1	50	47	40	32
		PU2	6	3	4	4
	T32A03INA0	PD2	69	66	-	-
		PE1	81	78	62	50
	T32A03INA1	PD3	70	67	-	-
		PE3	83	80	64	52
	T32A03OUTA	PC2	51	48	41	33
		PE2	82	79	63	51
	T32A03INB0	PD4	71	68	-	-
		PE4	84	81	65	53
	T32A03INB1	PD5	72	69	-	-
		PE5	85	82	66	54
	T32A03OUTB	PC3	52	49	42	34
		PE6	86	83	67	55
	T32A03INC0	PD2	69	66	-	-
		PE1	81	78	62	50
	T32A03INC1	PD3	70	67	-	-
		PE3	83	80	64	52
	T32A03OUTC	PC2	51	48	41	33
		PE2	82	79	63	51

表 3.5　信号接続一覧: T32A ch4,5

参照リファレンスマニュアル	兼用機能端子名	ポート名	M4KN (QFP100)	M4KN (LQFP100)	M4KM (LQFP80)	M4KL (LQFP64)
32 ビットタイマーイベントカウンター	T32A04INA0	PG0	73	70	54	-
	T32A04INA1	PG1	74	71	55	-
	T32A04OUTA	PG2	75	72	56	44
	T32A04INB0	PG4	77	74	58	46
	T32A04INB1	PG5	78	75	59	47
	T32A04OUTB	PG3	76	73	57	45
	T32A04INC0	PG0	73	70	54	-
	T32A04INC1	PG1	74	71	55	-
	T32A04OUTC	PG2	75	72	56	44
	T32A05INA0	PF0	3	100	1	1
		PN0	12	9	9	-
	T32A05INA1	PF2	1	98	-	-
		PN2	14	11	11	-
	T32A05OUTA	PF1	2	99	80	64
		PN1	13	10	10	-
	T32A05INC0	PF0	3	100	1	1
		PN0	12	9	9	-
	T32A05INC1	PF2	1	98	-	-
		PN2	14	11	11	-
	T32A05OUTC	PF1	2	99	80	64
		PN1	13	10	10	-

表 3.6　信号接続一覧: ADC

参照リファレンスマニュアル	兼用機能端子名	ポート名	M4KN (QFP100)	M4KN (LQFP100)	M4KM (LQFP80)	M4KL (LQFP64)
12 ビットアナログデジタルコンバーター	AINA05	PM2	33	30	-	-
	AINA06	PM1	32	29	-	-
	AINA07	PM0	31	28	-	-
	AINA08	PL7	30	27	25	20
	AINA09	PL6	29	26	24	19
	AINA13	PL5	28	25	23	18
	AINA14	PL3	26	23	21	16
	AINA15	PL1	24	21	19	14
	AINA16	PL0	23	20	18	13
	AINA17	PL2	25	22	20	15
	AINA18	PL4	27	24	22	17
	AINB00	PK0	42	39	34	27
	AINB01	PK1	41	38	33	26
	AINB02	PK2	40	37	32	25
	AINB03	PK3	39	36	31	-
	AINB04	PK4	38	35	30	-
	AINC00	PJ0	48	45	38	30
	AINC01	PJ1	47	44	37	29
	AINC02	PJ2	46	43	36	28
	AINC03	PJ3	45	42	35	-
	AINC04	PJ4	44	41	-	-
	AINC05	PJ5	43	40	-	-

表 3.7　信号接続一覧: INT

参照リファレンスマニュアル	兼用機能端子名	ポート名	M4KN (QFP100)	M4KN (LQFP100)	M4KM (LQFP80)	M4KL (LQFP64)
例外	INT00	PA2	20	17	15	10
	INT01b	PA3	21	18	16	11
	INT01a	PA4	22	19	17	12
	INT02a	PC1	50	47	40	32
	INT02b	PC6	55	52	-	-
	INT03a	PC3	52	49	42	34
	INT03b	PD2	69	66	-	-
	INT04b	PE1	81	78	62	50
	INT04a	PE3	83	80	64	52
	INT05a	PE5	85	82	66	54
	INT05b	PE6	86	83	67	55
	INT06a	PF1	2	99	80	64
	INT06b	PF2	1	98	-	-
	INT07a	PU1	5	2	3	3
	INT07b	PU2	6	3	4	4
	INT08a	PU3	7	4	5	5
	INT08b	PU4	8	5	6	6
	INT09	PU6	10	7	8	8
	INT10	PC2	51	48	41	33
	INT11a	PE4	84	81	65	53
	INT11b	PE5	85	82	66	54
	INT12	PU0	4	1	2	2
	INT13	PU5	9	6	7	7
	INT14a	PF4	99	96	78	-
	INT14b	PF5	98	95	-	-
	INT15	PA1	19	16	14	-
	INT16a	PN1	13	10	10	-
	INT16b	PN2	14	11	11	-
	INT17b	PD0	67	64	-	-
	INT17a	PD1	68	65	-	-
	INT18b	PD4	71	68	-	-
	INT18a	PD5	72	69	-	-
	INT21	PG3	76	73	57	45

表 3.8　信号接続一覧: A-PMD/A-ENC32

参照リファレンスマニュアル	兼用機能端子名	ポート名	M4KN (QFP100)	M4KN (LQFP100)	M4KM (LQFP80)	M4KL (LQFP64)
アドバンストプログラマブルモーター制御回路	EMG0	PB6	63	60	51	41
	OVV0	PB7	64	61	-	-
	UO0	PB0	57	54	45	35
	VO0	PB2	59	56	47	37
	WO0	PB4	61	58	49	39
	XO0	PB1	58	55	46	36
	YO0	PB3	60	57	48	38
	ZO0	PB5	62	59	50	40
	PMD0DBG	PB7	64	61	-	-
		PC2	51	48	41	33
	EMG1	PE6	86	83	67	55
	OVV1	PE7	87	84	-	-
	UO1	PE0	80	77	61	49
	VO1	PE2	82	79	63	51
	WO1	PE4	84	81	65	53
	XO1	PE1	81	78	62	50
	YO1	PE3	83	80	64	52
	ZO1	PE5	85	82	66	54
	PMD1DBG	PC3	52	49	42	34
		PE7	87	84	-	-
	EMG2	PU6	10	7	8	8
	OVV2	PU7	11	8	-	-
	UO2	PU0	4	1	2	2
	VO2	PU2	6	3	4	4
	WO2	PU4	8	5	6	6
	XO2	PU1	5	2	3	3
	YO2	PU3	7	4	5	5
	ZO2	PU5	9	6	7	7
	PMD2DBG	PA2	20	17	15	10
		PU7	11	8	-	-
アドバンストエンコーダー入力回路(32-bit)	ENC0A	PN0	12	9	9	-
	ENC0B	PN1	13	10	10	-
	ENC0Z	PN2	14	11	11	-
	ENC1A	PF3	100	97	79	-
	ENC1B	PF4	99	96	78	-
	ENC1Z	PF5	98	95	-	-
	ENC2A	PD3	70	67	-	-
		PU3	7	4	5	5
	ENC2B	PD4	71	68	-	-
		PU5	9	6	7	7
	ENC2Z	PD5	72	69	-	-
		PU6	10	7	8	8

表 3.9 信号接続一覧: TRGSEL/JTAG/SW/TRACE/NBDIF/制御端子

参照リファレンスマニュアル	兼用機能端子名	ポート名	M4KN (QFP100)	M4KN (LQFP100)	M4KM (LQFP80)	M4KL (LQFP64)
製品個別情報 (トリガーセレクター)	TRGIN0	PA2	20	17	15	10
	TRGIN1	PA3	21	18	16	11
	TRGIN2	PA4	22	19	17	12
デバッグインターフェース	TMS	PF0	3	100	-	-
	TCK	PF1	2	99	-	-
	TDO	PF2	1	98	-	-
	TDI	PF3	100	97	-	-
	TRST_N	PF4	99	96	-	-
	SWDIO	PF0	3	100	1	1
	SWCLK	PF1	2	99	80	64
	SWV	PF2	1	98	-	-
デバッグインターフェース (トレース)	TRACECLK	PF5	98	95	-	-
	TRACEDATA0	PF6	97	94	-	-
	TRACEDATA1	PF7	96	93	-	-
	TRACEDATA2	PN0	12	9	-	-
	TRACEDATA3	PN1	13	10	-	-
ノンブレークデバッグ インターフェース	NBDSYNC	PF4	99	96	-	-
	NBDCLK	PF5	98	95	-	-
	NBDDATA0	PF6	97	94	-	-
	NBDDATA1	PF7	96	93	-	-
	NBDDATA2	PN0	12	9	-	-
	NBDDATA3	PN1	13	10	-	-
クロック制御と動作モード	X1	PH0	93	90	73	61
	EHCLKIN	PH0	93	90	73	61
	X2	PH1	94	91	74	62
フラッシュメモリー	BOOT_N	PG2	75	72	56	44

4. レジスター説明

ポートを使用する際には以下のレジスターを設定する必要があります。
レジスターは全て 32 ビットですが、ポートのビット数、機能の割り当てにより構成が異なります。
以下の説明では"x"はポート名、"n"はファンクション番号を示します。

レジスター名		Type	設定値	説明
[PxDATA]	データレジスター	R/W	0 または 1	ポートのデータ読み込み、データ書き込みを行います。
[PxCR]	出力コントロールレジスター	R/W	0: 出力禁止 1: 出力許可	出力の制御を行います。
[PxFRn]	ファンクションレジスター n	R/W	0: PORT 1: 機能	機能設定を行ないます。 "1" をセットすることにより割り当てられている機能を使用できるようになります。ファンクションレジスターはポートに割り当てられている機能ごとに存在します。複数の機能が割り当てられている場合、1 つの機能のみ有効になるように設定してください。
[PxOD]	オープンドレインコントロールレジスター	R/W	0: CMOS 1: オープンドレイン	プログラマブルオープンドレインの制御を行います。 プログラマブルオープンドレインは、***[PxOD]***=1 の設定で、出力データが"1" の場合に出力バッファーをディセーブルにし、擬似的にオープンドレインを実現する機能です。
[PxPUP]	プルアップコントロールレジスター	R/W	0: プルアップ禁止 1: プルアップ許可	プログラマブルプルアップを制御します。
[PxPDN]	プルダウンコントロールレジスター	R/W	0: プルダウン禁止 1: プルダウン許可	プログラマブルプルダウンを制御します。
[PxIE]	入力コントロールレジスター	R/W	0: 入力禁止 1: 入力許可	入力の制御を行ないます。 ***[PxIE]*** をイネーブルにしてから外部データが ***[PxDATA]*** に反映されるまで 100ns(最大)の時間が必要です。

4.1. レジスター一覧

機能の存在しないビットをリードすると "0" が読めます。ライトは意味を持ちません。

表 4.1 ポートベースアドレス

周辺機能		チャネル/ ユニット	ベースアドレス
入出力ポート	PA	-	0x400E0000
	PB	-	0x400E0100
	PC	-	0x400E0200
	PD	-	0x400E0300
	PE	-	0x400E0400
	PF	-	0x400E0500
	PG	-	0x400E0600
	PH	-	0x400E0700
	PJ	-	0x400E0800
	PK	-	0x400E0900
	PL	-	0x400E0A00
	PM	-	0x400E0B00
	PN	-	0x400E0C00
	PU	-	0x400E1000
	PV	-	0x400E1100

表 4.2　レジスター一覧

レジスター名	アドレス (Base+)	ポート A	ポート B	ポート C	ポート D	ポート E	ポート F
データレジスター	0x0000	*[PADATA]*	*[PBDATA]*	*[PCDATA]*	*[PDDATA]*	*[PEDATA]*	*[PFDATA]*
出力コントロールレジスター	0x0004	*[PACR]*	*[PBCR]*	*[PCCR]*	*[PDCR]*	*[PECR]*	*[PFCR]*
ファンクションレジスター 1	0x0008	*[PAFR1]*	-	*[PCFR1]*	*[PDFR1]*	-	*[PFFR1]*
ファンクションレジスター 2	0x000C	-	-	*[PCFR2]*	*[PDFR2]*	-	*[PFFR2]*
ファンクションレジスター 3	0x0010	-	-	*[PCFR3]*	*[PDFR3]*	-	*[PFFR3]*
ファンクションレジスター 4	0x0014	*[PAFR4]*	*[PBFR4]*	*[PCFR4]*	*[PDFR4]*	*[PEFR4]*	*[PFFR4]*
ファンクションレジスター 5	0x0018	*[PAFR5]*	*[PBFR5]*	*[PCFR5]*	*[PDFR5]*	*[PEFR5]*	*[PFFR5]*
ファンクションレジスター 6	0x001C	*[PAFR6]*	-	*[PCFR6]*	*[PDFR6]*	*[PEFR6]*	*[PFFR6]*
ファンクションレジスター 7	0x0020	*[PAFR7]*	-	*[PCFR7]*	-	*[PEFR7]*	*[PFFR7]*
オープンドレインコントロールレジスター	0x0028	*[PAOD]*	*[PBOD]*	*[PCOD]*	*[PDOD]*	*[PEOD]*	*[PFOD]*
プルアップコントロールレジスター	0x002C	*[PAPUP]*	*[PBPUP]*	*[PCPUP]*	*[PDPUP]*	*[PEPUP]*	*[PFPUP]*
プルダウンコントロールレジスター	0x0030	*[PAPDN]*	*[PBPDN]*	*[PCPDN]*	*[PDPDN]*	*[PEPDN]*	*[PFPDN]*
入力コントロールレジスター	0x0038	*[PAIE]*	*[PBIE]*	*[PCIE]*	*[PDIE]*	*[PEIE]*	*[PFIE]*

レジスター名	アドレス (Base+)	ポート G	ポート H	ポート J	ポート K	ポート L	ポート M
データレジスター	0x0000	*[PGDATA]*	*[PHDATA]*	*[PJDATA]*	*[PKDATA]*	*[PLDATA]*	*[PMDATA]*
出力コントロールレジスター	0x0004	*[PGCR]*	-	*[PJCR]*	*[PKCR]*	*[PLCR]*	*[PMCR]*
ファンクションレジスター 1	0x0008	*[PGFR1]*	-	-	-	-	-
ファンクションレジスター 2	0x000C	-	-	-	-	-	-
ファンクションレジスター 3	0x0010	-	-	-	-	-	-
ファンクションレジスター 4	0x0014	*[PGFR4]*	-	-	-	-	-
ファンクションレジスター 5	0x0018	*[PGFR5]*	-	-	-	-	-
ファンクションレジスター 6	0x001C	-	-	-	-	-	-
ファンクションレジスター 7	0x0020	-	-	-	-	-	-
オープンドレインコントロールレジスター	0x0028	*[PGOD]*	-	*[PJOD]*	*[PKOD]*	*[PLOD]*	*[PMOD]*
プルアップコントロールレジスター	0x002C	*[PGPUP]*	-	*[PJPUP]*	*[PKPUP]*	*[PLPUP]*	*[PMPUP]*
プルダウンコントロールレジスター	0x0030	*[PGPDN]*	*[PHPDN]*	*[PJPDN]*	*[PKPDN]*	*[PLPDN]*	*[PMPDN]*
入力コントロールレジスター	0x0038	*[PGIE]*	*[PHIE]*	*[PJIE]*	*[PKIE]*	*[PLIE]*	*[PMIE]*

レジスター名	アドレス (Base+)	ポート N	ポート U	ポート V
データレジスター	0x0000	*[PNDATA]*	*[PUDATA]*	*[PVDATA]*
出力コントロールレジスター	0x0004	*[PNCR]*	*[PUCR]*	*[PVCR]*
ファンクションレジスター 1	0x0008	*[PNFR1]*	*[PUFR1]*	*[PVFR1]*
ファンクションレジスター 2	0x000C	*[PNFR2]*	*[PUFR2]*	*[PVFR2]*
ファンクションレジスター 3	0x0010	*[PNFR3]*	*[PUFR3]*	-
ファンクションレジスター 4	0x0014	*[PNFR4]*	*[PUFR4]*	*[PVFR4]*
ファンクションレジスター 5	0x0018	*[PNFR5]*	*[PUFR5]*	-
ファンクションレジスター 6	0x001C	*[PNFR6]*	*[PUFR6]*	-
ファンクションレジスター 7	0x0020	*[PNFR7]*	*[PUFR7]*	-
オープンドレインコントロールレジスター	0x0028	*[PNOD]*	*[PUOD]*	*[PVOD]*
プルアップコントロールレジスター	0x002C	*[PNPUP]*	*[PUPUP]*	*[PVPUP]*
プルダウンコントロールレジスター	0x0030	*[PNPDN]*	*[PUPDN]*	*[PVPDN]*
入力コントロールレジスター	0x0038	*[PNIE]*	*[PUIE]*	*[PVIE]*

注)　"-" 表記のアドレスにはアクセスしないでください。

4.2. ポート機能とレジスター設定

ポート機能レジスター設定一覧の表の見方を説明します。

[PxFRn]の欄は、設定の必要なファンクションレジスターを示します。このレジスターを "1" に設定するとその機能が有効となります。(x はポート名、n はファンクション番号)

表中の"N/A"のビットはリードすると "0" が読め、ライトは意味を持ちません。

表中の "0"、"1" は設定値を示し、"0/1" は任意に設定可能であることを示します。

PORT	リセット状態 機能	Input/Output	PORT Type	制御レジスター [PADATA]	[PACR]	[PAFRn]	[PAOD]	[PAPUP]	[PAPDN]	[PAIE]
PA0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TSPI0CSIN	Input	FTU1a	0/1	0	***[PAFR1]***	0/1	0/1	0/1	1
	T32A00INB0	Input	FTU1a	0/1	0	***[PAFR4]***	0/1	0/1	0/1	1
PA4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT01a	Input	FTU4a	0/1	0	0	0/1	0/1	0/1	1
	TSPI0SCK	Input	FTU1a	0/1	0	***[PAFR1]***	0/1	0/1	0/1	1
		Output	FTU1a	0/1	1		0/1	0/1	0/1	0
	T32A00OUTB	Output	FTU1a	0/1	1	***[PAFR4]***	0/1	0/1	0/1	0
	TRGIN2	Input	FTU1a	0/1	0	***[PAFR7]***	0/1	0/1	0/1	1

[PxFRn]	端子 TSPI0CSIN	T32A00INB0	TSPI0SCK	T32A00OUTB	TRGIN2	Input Port Output Port
[PAFR1]<bit0>	1	0	0	0	0	0
[PAFR4]<bit0>	0	1	0	0	0	0
[PAFR1]<bit4>	0	0	1	0	0	0
[PAFR4]<bit4>	0	0	0	1	0	0
[PAFR7]<bit4>	0	0	0	0	1	0

4.2.1. 機能端子を使用する際の設定について

機能端子を周辺機能の出力端子として使用する際には、ファンクションレジスターを使用する周辺機能(***[PxFRn]***<bit m>=1)に設定し、出力コントロールレジスターを出力許可(***[PxCR]***<bit m>=1)に設定した後、周辺機能の設定をしてください。ファンクションレジスターの設定よりも先に出力許可すると、ファンクションレジスターが設定されるまで、ポートのデータレジスター値が出力されます。

機能端子を周辺機能の入力端子として使用する際には、ポートの入力コントロールレジスターを入力(***[PxIE]***<bit m>=1)に設定し、ファンクションレジスターを使用する周辺機能(***[PxFRn]***<bit m>=1)に設定した後、周辺機能の設定をしてください。

また、I^2C など入出力端子となる周辺機能を使用する場合は、ポートの入力コントロールレジスターを入力(***[PxIE]***<bit m>=1)に設定し、ファンクションレジスターを使用する周辺機能(***[PxFRn]***<bit m>=1)に設定し、出力コントロールレジスターを出力許可(***[PxCR]***<bit m>=1)に設定した後、周辺機能の設定をしてください。

・複数の機能が割り当てられているポートは、使用する機能を一つだけ選択してください。

・同一機能が複数ポートに割り当てられている端子は、排他的に使用してください。

4.2.2. PORT A

表 4.3　ポートA レジスター設定

PORT	リセット状態 機能	Input/output	PORT type	制御レジスター						
				[PADATA]	*[PACR]*	*[PAFRn]*	*[PAOD]*	*[PAPUP]*	*[PAPDN]*	*[PAIE]*
PA0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TSPI0CSIN	Input	FTU1a	0/1	0	***[PAFR1]***	0/1	0/1	0/1	1
	T32A00INB0	Input	FTU1a	0/1	0	***[PAFR4]***	0/1	0/1	0/1	1
PA1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT15	Input	FTU4a	0/1	0	0	0/1	0/1	0/1	1
	TSPI0CS1	Output	FTU1a	0/1	1	***[PAFR1]***	0/1	0/1	0/1	0
	T32A00INB1	Input	FTU1a	0/1	0	***[PAFR4]***	0/1	0/1	0/1	1
PA2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT00	Input	FTU4a	0/1	0	0	0/1	0/1	0/1	1
	TSPI0RXD	Input	FTU1a	0/1	0	***[PAFR1]***	0/1	0/1	0/1	1
	T32A00INA0	Input	FTU1a	0/1	0	***[PAFR4]***	0/1	0/1	0/1	1
	T32A00INC0	Input	FTU1a	0/1	0	***[PAFR5]***	0/1	0/1	0/1	1
	PMD2DBG	Output	FTU1a	0/1	1	***[PAFR6]***	0/1	0/1	0/1	0
	TRGIN0	Input	FTU1a	0/1	0	***[PAFR7]***	0/1	0/1	0/1	1
PA3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT01b	Input	FTU4a	0/1	0	0	0/1	0/1	0/1	1
	TSPI0TXD	Output	FTU2a	0/1	1	***[PAFR1]***	0/1	0/1	0/1	0
	T32A00OUTA	Output	FTU1a	0/1	1	***[PAFR4]***	0/1	0/1	0/1	0
	T32A00OUTC	Output	FTU1a	0/1	1	***[PAFR5]***	0/1	0/1	0/1	0
	TRGIN1	Input	FTU1a	0/1	0	***[PAFR7]***	0/1	0/1	0/1	1
PA4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT01a	Input	FTU4a	0/1	0	0	0/1	0/1	0/1	1
	TSPI0SCK	Input	FTU1a	0/1	0	***[PAFR1]***	0/1	0/1	0/1	1
		Output	FTU1a	0/1	1		0/1	0/1	0/1	0
	T32A00OUTB	Output	FTU1a	0/1	1	***[PAFR4]***	0/1	0/1	0/1	0
	TRGIN2	Input	FTU1a	0/1	0	***[PAFR7]***	0/1	0/1	0/1	1

4.2.3. PORT B

表 4.4　ポートB レジスター設定

PORT	リセット状態 機能	Input/output	PORT type	制御レジスター						
				[PBDATA]	*[PBCR]*	*[PBFRn]*	*[PBOD]*	*[PBPUP]*	*[PBPDN]*	*[PBIE]*
PB0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UO0	Output	FTU2a	0/1	1	***[PBFR4]***	0/1	0/1	0/1	0
PB1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	XO0	Output	FTU2a	0/1	1	***[PBFR4]***	0/1	0/1	0/1	0
PB2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	VO0	Output	FTU2a	0/1	1	***[PBFR4]***	0/1	0/1	0/1	0
PB3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	YO0	Output	FTU2a	0/1	1	***[PBFR4]***	0/1	0/1	0/1	0
PB4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	WO0	Output	FTU2a	0/1	1	***[PBFR4]***	0/1	0/1	0/1	0
PB5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	ZO0	Output	FTU2a	0/1	1	***[PBFR4]***	0/1	0/1	0/1	0
PB6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	EMG0	Input	FTU1a	0/1	0	***[PBFR4]***	0/1	0/1	0/1	1
PB7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	OVV0	Input	FTU1a	0/1	0	***[PBFR4]***	0/1	0/1	0/1	1
	PMD0DBG	Output	FTU1a	0/1	1	***[PBFR5]***	0/1	0/1	0/1	0

4.2.4. PORT C

表 4.5　ポートC レジスター設定

PORT	リセット状態 機能	Input/output	PORT type	制御レジスター						
				[PCDATA]	*[PCCR]*	*[PCFRn]*	*[PCOD]*	*[PCPUP]*	*[PCPDN]*	*[PCIE]*
PC0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT0TXDA	Output	FTU1a	0/1	1	***[PCFR1]***	0/1	0/1	0/1	0
	UT0RXD	Input	FTU1a	0/1	0	***[PCFR2]***	0/1	0/1	0/1	1
	EI2C0SDA	Input/Output	FTU1a	0/1	1	***[PCFR3]***	1	0/1	0/1	1
	I2C0SDA	Input/Output	FTU1a	0/1	1	***[PCFR4]***	1	0/1	0/1	1
	T32A02INA0	Input	FTU1a	0/1	0	***[PCFR5]***	0/1	0/1	0/1	1
	T32A02INC0	Input	FTU1a	0/1	0	***[PCFR6]***	0/1	0/1	0/1	1
PC1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT02a	Input	FTU4a	0/1	0	0	0/1	0/1	0/1	1
	UT0RXD	Input	FTU1a	0/1	0	***[PCFR1]***	0/1	0/1	0/1	1
	UT0TXDA	Output	FTU1a	0/1	1	***[PCFR2]***	0/1	0/1	0/1	0
	EI2C0SCL	Input/Output	FTU1a	0/1	1	***[PCFR3]***	1	0/1	0/1	1
	I2C0SCL	Input/Output	FTU1a	0/1	1	***[PCFR4]***	1	0/1	0/1	1
	T32A02OUTA	Output	FTU1a	0/1	1	***[PCFR5]***	0/1	0/1	0/1	0
	T32A02OUTC	Output	FTU1a	0/1	1	***[PCFR6]***	0/1	0/1	0/1	0
PC2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT10	Input	FTU4a	0/1	0	0	0/1	0/1	0/1	1
	TSPI0CS0	Output	FTU1a	0/1	1	***[PCFR3]***	0/1	0/1	0/1	0
	T32A03OUTA	Output	FTU1a	0/1	1	***[PCFR5]***	0/1	0/1	0/1	0
	T32A03OUTC	Output	FTU1a	0/1	1	***[PCFR6]***	0/1	0/1	0/1	0
	PMD0DBG	Output	FTU1a	0/1	1	***[PCFR7]***	0/1	0/1	0/1	0
PC3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT03a	Input	FTU4a	0/1	0	0	0/1	0/1	0/1	1
	TSPI0RXD	Input	FTU1a	0/1	0	***[PCFR3]***	0/1	0/1	0/1	1
	T32A03OUTB	Output	FTU1a	0/1	1	***[PCFR5]***	0/1	0/1	0/1	0
	PMD1DBG	Output	FTU1a	0/1	1	***[PCFR7]***	0/1	0/1	0/1	0
PC4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT1TXDA	Output	FTU1a	0/1	1	***[PCFR1]***	0/1	0/1	0/1	0
	UT1RXD	Input	FTU1a	0/1	0	***[PCFR2]***	0/1	0/1	0/1	1
	TSPI0TXD	Output	FTU2a	0/1	1	***[PCFR3]***	0/1	0/1	0/1	0
PC5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT1RXD	Input	FTU1a	0/1	0	***[PCFR1]***	0/1	0/1	0/1	1
	UT1TXDA	Output	FTU1a	0/1	1	***[PCFR2]***	0/1	0/1	0/1	0
	TSPI0SCK	Output	FTU1a	0/1	1	***[PCFR3]***	0/1	0/1	0/1	0
		Input	FTU1a	0/1	0		0/1	0/1	0/1	1
PC6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT02b	Input	FTU4a	0/1	0	0	0/1	0/1	0/1	1
	TSPI0CS1	Output	FTU1a	0/1	1	***[PCFR3]***	0/1	0/1	0/1	0
	T32A02INA1	Input	FTU1a	0/1	0	***[PCFR5]***	0/1	0/1	0/1	1
	T32A02INC1	Input	FTU1a	0/1	0	***[PCFR6]***	0/1	0/1	0/1	1

PORT	リセット状態 機能	Input/output	PORT type	制御レジスター						
				[PCDATA]	*[PCCR]*	*[PCFRn]*	*[PCOD]*	*[PCPUP]*	*[PCPDN]*	*[PCIE]*
PC7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TSPI0CSIN	Input	FTU1a	0/1	0	***[PCFR3]***	0/1	0/1	0/1	1
	T32A02INB0	Input	FTU1a	0/1	0	***[PCFR5]***	0/1	0/1	0/1	1

4.2.5. PORT D

表 4.6　ポートD レジスター設定

PORT	リセット状態 機能	Input/output	PORT type	制御レジスター						
				[PDDATA]	*[PDCR]*	*[PDFRn]*	*[PDOD]*	*[PDPUP]*	*[PDPDN]*	*[PDIE]*
PD0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT17b	Input	FTU4a	0/1	0	0	0/1	0/1	0/1	1
	T32A02INB1	Input	FTU1a	0/1	0	***[PDFR4]***	0/1	0/1	0/1	1
PD1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT17a	Input	FTU4a	0/1	0	0	0/1	0/1	0/1	1
	T32A02OUTB	Output	FTU1a	0/1	1	***[PDFR4]***	0/1	0/1	0/1	0
PD2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT03b	Input	FTU4a	0/1	0	0	0/1	0/1	0/1	1
	UT0CTS_N	Input	FTU1a	0/1	0	***[PDFR1]***	0/1	0/1	0/1	1
	T32A03INA0	Input	FTU1a	0/1	0	***[PDFR4]***	0/1	0/1	0/1	1
	T32A03INC0	Input	FTU1a	0/1	0	***[PDFR5]***	0/1	0/1	0/1	1
PD3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT0RTS_N	Output	FTU1a	0/1	1	***[PDFR1]***	0/1	0/1	0/1	0
	I2C1SDA	Input/Output	FTU1a	0/1	1	***[PDFR2]***	1	0/1	0/1	1
	EI2C1SDA	Input/Output	FTU1a	0/1	1	***[PDFR3]***	1	0/1	0/1	1
	T32A03INA1	Input	FTU1a	0/1	0	***[PDFR4]***	0/1	0/1	0/1	1
	T32A03INC1	Input	FTU1a	0/1	0	***[PDFR5]***	0/1	0/1	0/1	1
	ENC2A	Input	FTU1a	0/1	0	***[PDFR6]***	0/1	0/1	0/1	1
PD4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT18b	Input	FTU4a	0/1	0	0	0/1	0/1	0/1	1
	I2C1SCL	Input/Output	FTU1a	0/1	1	***[PDFR2]***	1	0/1	0/1	1
	EI2C1SCL	Input/Output	FTU1a	0/1	1	***[PDFR3]***	1	0/1	0/1	1
	T32A03INB0	Input	FTU1a	0/1	0	***[PDFR4]***	0/1	0/1	0/1	1
	ENC2B	Input	FTU1a	0/1	0	***[PDFR6]***	0/1	0/1	0/1	1
PD5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT18a	Input	FTU4a	0/1	0	0	0/1	0/1	0/1	1
	T32A03INB1	Input	FTU1a	0/1	0	***[PDFR4]***	0/1	0/1	0/1	1
	ENC2Z	Input	FTU1a	0/1	0	***[PDFR6]***	0/1	0/1	0/1	1

4.2.6. PORT E

表 4.7　ポートE レジスター設定

PORT	リセット状態 機能	Input/output	PORT type	制御レジスター						
				[PEDATA]	*[PECR]*	*[PEFRn]*	*[PEOD]*	*[PEPUP]*	*[PEPDN]*	*[PEIE]*
PE0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UO1	Output	FTU2a	0/1	1	***[PEFR6]***	0/1	0/1	0/1	0
PE1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT04b	Input	FTU4a	0/1	0	0	0/1	0/1	0/1	1
	T32A03INA0	Input	FTU1a	0/1	0	***[PEFR4]***	0/1	0/1	0/1	1
	T32A03INC0	Input	FTU1a	0/1	0	***[PEFR5]***	0/1	0/1	0/1	1
	XO1	Output	FTU2a	0/1	1	***[PEFR6]***	0/1	0/1	0/1	0
PE2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A03OUTA	Output	FTU1a	0/1	1	***[PEFR4]***	0/1	0/1	0/1	0
	T32A03OUTC	Output	FTU1a	0/1	1	***[PEFR5]***	0/1	0/1	0/1	0
	VO1	Output	FTU2a	0/1	1	***[PEFR6]***	0/1	0/1	0/1	0
PE3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT04a	Input	FTU4a	0/1	0	0	0/1	0/1	0/1	1
	T32A03INA1	Input	FTU1a	0/1	0	***[PEFR4]***	0/1	0/1	0/1	1
	T32A03INC1	Input	FTU1a	0/1	0	***[PEFR5]***	0/1	0/1	0/1	1
	YO1	Output	FTU2a	0/1	1	***[PEFR6]***	0/1	0/1	0/1	0
PE4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT11a	Input	FTU4a	0/1	0	0	0/1	0/1	0/1	1
	T32A03INB0	Input	FTU1a	0/1	0	***[PEFR4]***	0/1	0/1	0/1	1
	WO1	Output	FTU2a	0/1	1	***[PEFR6]***	0/1	0/1	0/1	0
PE5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT05a	Input	FTU4a	0/1	0	0	0/1	0/1	0/1	1
	INT11b	Input	FTU4a	0/1	0	0	0/1	0/1	0/1	1
	T32A03INB1	Input	FTU1a	0/1	0	***[PEFR4]***	0/1	0/1	0/1	1
	ZO1	Output	FTU2a	0/1	1	***[PEFR6]***	0/1	0/1	0/1	0
PE6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT05b	Input	FTU4a	0/1	0	0	0/1	0/1	0/1	1
	T32A03OUTB	Output	FTU1a	0/1	1	***[PEFR4]***	0/1	0/1	0/1	0
	EMG1	Input	FTU1a	0/1	0	***[PEFR6]***	0/1	0/1	0/1	1
PE7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	OVV1	Input	FTU1a	0/1	0	***[PEFR6]***	0/1	0/1	0/1	1
	PMD1DBG	Output	FTU1a	0/1	1	***[PEFR7]***	0/1	0/1	0/1	0

4.2.7. PORT F

表 4.8　ポートF レジスター設定

PORT	リセット状態 機能	Input/output	PORT type	制御レジスター						
				[PFDATA]	*[PFCR]*	*[PFFRn]*	*[PFOD]*	*[PFPUP]*	*[PFPDN]*	*[PFIE]*
PF0	リセット後 (TMS/SWDIO)		FTU2a	0	1(注)	***[PFFR7]***	0	1	0	1
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT2TXDA	Output	FTU1a	0/1	1	***[PFFR1]***	0/1	0/1	0/1	0
	UT2RXD	Input	FTU1a	0/1	0	***[PFFR2]***	0/1	0/1	0/1	1
	T32A05INA0	Input	FTU1a	0/1	0	***[PFFR4]***	0/1	0/1	0/1	1
	T32A05INC0	Input	FTU1a	0/1	0	***[PFFR5]***	0/1	0/1	0/1	1
PF1	リセット後 (TCK/SWCLK)		FTU2a	0	0	***[PFFR7]***	0	0	1	1
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT06a	Input	FTU4a	0/1	0	0	0/1	0/1	0/1	1
	UT2RXD	Input	FTU1a	0/1	0	***[PFFR1]***	0/1	0/1	0/1	1
	UT2TXDA	Output	FTU1a	0/1	1	***[PFFR2]***	0/1	0/1	0/1	0
	T32A05OUTA	Output	FTU1a	0/1	1	***[PFFR4***	0/1	0/1	0/1	0
	T32A05OUTC	Output	FTU1a	0/1	1	***[PFFR5]***	0/1	0/1	0/1	0
PF2	リセット後 (TDO/SWV)		FTU2a	0	1(注)	***[PFFR7]***	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT06b	Input	FTU4a	0/1	0	0	0/1	0/1	0/1	1
	T32A05INA1	Input	FTU1a	0/1	0	***[PFFR4]***	0/1	0/1	0/1	1
	T32A05INC1	Input	FTU1a	0/1	0	***[PFFR5]***	0/1	0/1	0/1	1
PF3	リセット後 (TDI)		FTU2a	0	0	***[PFFR7]***	0	1	0	1
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT3TXDA	Output	FTU1a	0/1	1	***[PFFR1]***	0/1	0/1	0/1	0
	UT3RXD	Input	FTU1a	0/1	0	***[PFFR2]***	0/1	0/1	0/1	1
	T32A01INA0	Input	FTU1a	0/1	0	***[PFFR4]***	0/1	0/1	0/1	1
	T32A01INC0	Input	FTU1a	0/1	0	***[PFFR5]***	0/1	0/1	0/1	1
	ENC1A	Input	FTU1a	0/1	0	***[PFFR6]***	0/1	0/1	0/1	1
PF4	リセット後 (TRST_N)		FTU3a	0	0	***[PFFR7]***	0	1	0	1
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT14a	Input	FTU4a	0/1	0	0	0/1	0/1	0/1	1
	UT3RXD	Input	FTU1a	0/1	0	***[PFFR1]***	0/1	0/1	0/1	1
	UT3TXDA	Output	FTU1a	0/1	1	***[PFFR2]***	0/1	0/1	0/1	0
	NBDSYNC	Input	FTU2c	0/1	0	***[PFFR3]***	0/1	0/1	0/1	1
	T32A01OUTA	Output	FTU1a	0/1	1	***[PFFR4]***	0/1	0/1	0/1	0
	T32A01OUTC	Output	FTU1a	0/1	1	***[PFFR5]***	0/1	0/1	0/1	0
	ENC1B	Input	FTU1a	0/1	0	***[PFFR6]***	0/1	0/1	0/1	1
PF5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT14b	Input	FTU4a	0/1	0	0	0/1	0/1	0/1	1
	NBDCLK	Input	FTU2c	0/1	0	***[PFFR3]***	0/1	0/1	0/1	1
	T32A01INA1	Input	FTU1a	0/1	0	***[PFFR4]***	0/1	0/1	0/1	1
	T32A01INC1	Input	FTU1a	0/1	0	***[PFFR5]***	0/1	0/1	0/1	1
	ENC1Z	Input	FTU1a	0/1	0	***[PFFR6]***	0/1	0/1	0/1	1
	TRACECLK	Output	FTU1a	0/1	1	***[PFFR7]***	0/1	0/1	0/1	0

PORT	リセット状態 機能	Input/output	PORT type	制御レジスター						
				[PFDATA]	*[PFCR]*	*[PFFRn]*	*[PFOD]*	*[PFPUP]*	*[PFPDN]*	*[PFIE]*
PF6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT3TXDA	Output	FTU1a	0/1	1	***[PFFR1]***	0/1	0/1	0/1	0
	UT3RXD	Input	FTU1a	0/1	0	***[PFFR2]***	0/1	0/1	0/1	1
	NBDDATA0	Input/Output	FTU2c	0/1	1	***[PFFR3]***	0/1	0/1	0/1	1
	T32A01INB0	Input	FTU1a	0/1	0	***[PFFR4]***	0/1	0/1	0/1	1
	TRACEDATA0	Output	FTU1a	0/1	1	***[PFFR7]***	0/1	0/1	0/1	0
PF7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT3RXD	Input	FTU1a	0/1	0	***[PFFR1]***	0/1	0/1	0/1	1
	UT3TXDA	Output	FTU1a	0/1	1	***[PFFR2]***	0/1	0/1	0/1	0
	NBDDATA1	Input/Output	FTU2c	0/1	1	***[PFFR3]***	0/1	0/1	0/1	1
	T32A01INB1	Input	FTU1a	0/1	0	***[PFFR4]***	0/1	0/1	0/1	1
	TRACEDATA1	Output	FTU1a	0/1	1	***[PFFR7]***	0/1	0/1	0/1	0

注) ツールからのコマンドを受け付けるまでは出力にはなりません。

4.2.8. PORT G

表 4.9　ポートG レジスター設定

PORT	リセット状態 機能	Input/output	PORT type	制御レジスター						
				[PGDATA]	*[PGCR]*	*[PGFRn]*	*[PGOD]*	*[PGPUP]*	*[PGPDN]*	*[PGIE]*
PG0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	T32A04INA0	Input	FTU1a	0/1	0	***[PGFR4]***	0/1	0/1	0/1	1
	T32A04INC0	Input	FTU1a	0/1	0	***[PGFR5]***	0/1	0/1	0/1	1
PG1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TSPI1CS1	Output	FTU1a	0/1	1	***[PGFR1]***	0/1	0/1	0/1	0
	T32A04INA1	Input	FTU1a	0/1	0	***[PGFR4]***	0/1	0/1	0/1	1
	T32A04INC1	Input	FTU1a	0/1	0	***[PGFR5]***	0/1	0/1	0/1	1
PG2	リセット中 （BOOT_N）	Input	FTU16a	0	0	0	0	0(注)	0	N/A(注)
	リセット後			0	0	0	0	0	0	N/A
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	N/A
	TSPI1CS0	Output	FTU1a	0/1	1	***[PGFR1]***	0/1	0/1	0/1	N/A
	T32A04OUTA	Output	FTU1a	0/1	1	***[PGFR4]***	0/1	0/1	0/1	N/A
	T32A04OUTC	Output	FTU1a	0/1	1	***[PGFR5]***	0/1	0/1	0/1	N/A
PG3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT21	Input	FTU4a	0/1	0	0	0/1	0/1	0/1	1
	TSPI1CSIN	Input	FTU1a	0/1	0	***[PGFR1]***	0/1	0/1	0/1	1
	T32A04OUTB	Output	FTU1a	0/1	1	***[PGFR4]***	0/1	0/1	0/1	0
PG4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TSPI1RXD	Input	FTU1a	0/1	0	***[PGFR1]***	0/1	0/1	0/1	1
	T32A04INB0	Input	FTU1a	0/1	0	***[PGFR4]***	0/1	0/1	0/1	1
PG5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TSPI1TXD	Output	FTU2a	0/1	1	***[PGFR1]***	0/1	0/1	0/1	0
	T32A04INB1	Input	FTU1a	0/1	0	***[PGFR4]***	0/1	0/1	0/1	1
PG6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TSPI1SCK	Input	FTU1a	0/1	0	***[PGFR1]***	0/1	0/1	0/1	1
		Output	FTU1a	0/1	1		0/1	0/1	0/1	0

注)　PG2 は、リセット端子(RESET_N)によるリセット期間中は、プルアップ許可、入力可能で、BOOT_N 端子の状態を入力できます。

4.2.9. PORT H

表 4.10　ポートH レジスター設定

PORT	リセット状態 機能	Input/output	PORT type	制御レジスター						
				[PHDATA]	*[PHCR]*	*[PHFRn]*	*[PHOD]*	*[PHPUP]*	*[PHPDN]*	*[PHIE]*
PH0	リセット後			0	N/A	N/A	N/A	N/A	0	0
	Input Port	Input		0/1	N/A	N/A	N/A	N/A	0/1	1
	X1	Input	FTU11a	0/1	N/A	N/A	N/A	N/A	0	0
	EHCLKIN	input	FTU11a	0/1	N/A	N/A	N/A	N/A	0	0/1
PH1	リセット後			0	N/A	N/A	N/A	N/A	0	0
	Input Port	Input		0/1	N/A	N/A	N/A	N/A	0/1	1
	X2	Output	FTU11a	0/1	N/A	N/A	N/A	N/A	0	0

4.2.10. PORT J

表 4.11　ポートJ レジスター設定

PORT	リセット状態 機能	Input/output	PORT type	制御レジスター						
				[PJDATA]	*[PJCR]*	*[PJFRn]*	*[PJOD]*	*[PJPUP]*	*[PJPDN]*	*[PJIE]*
PJ0	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINC00	Input	FTU5a	0/1	0	N/A	0/1	0	0	0
PJ1	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINC01	Input	FTU5a	0/1	0	N/A	0/1	0	0	0
PJ2	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINC02	Input	FTU5a	0/1	0	N/A	0/1	0	0	0
PJ3	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINC03	Input	FTU5a	0/1	0	N/A	0/1	0	0	0
PJ4	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINC04	Input	FTU5a	0/1	0	N/A	0/1	0	0	0
PJ5	リセット後	Input		0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINC05	Input	FTU5a	0/1	0	N/A	0/1	0	0	0

注)　アナログ入力(AINCx)として使用する場合、***[PJCR]***は出力禁止"0"、***[PJIE]***は入力禁止"0"、***[PJPUP]***はプルアップ禁止"0"、***[PJPDN]***はプルダウン禁止"0"にしてください。

4.2.11. PORT K

表 4.12　ポートK レジスター設定

PORT	リセット状態 機能	Input/output	PORT type	制御レジスター						
				[PKDATA]	*[PKCR]*	*[PKFRn]*	*[PKOD]*	*[PKPUP]*	*[PKPDN]*	*[PKIE]*
PK0	リセット後	Input		0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINB00	Input	FTU5a	0/1	0	N/A	0/1	0	0	0
PK1	リセット後	Input		0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINB01	Input	FTU5a	0/1	0	N/A	0/1	0	0	0
PK2	リセット後	Input		0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINB02	Input	FTU5a	0/1	0	N/A	0/1	0	0	0
PK3	リセット後	Input		0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINB03	Input	FTU5a	0/1	0	N/A	0/1	0	0	0
PK4	リセット後	Input		0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINB04	Input	FTU5a	0/1	0	N/A	0/1	0	0	0

注)　アナログ入力(AINBx)として使用する場合、***[PKCR]***は出力禁止"0"、***[PKIE]***は入力禁止"0"、***[PKPUP]***はプルアップ禁止"0"、***[PKPDN]***はプルダウン禁止"0"にしてください。

4.2.12. PORT L

表 4.13　ポートL レジスター設定

PORT	リセット状態 機能	Input/output	PORT type	制御レジスター						
				[PLDATA]	*[PLCR]*	*[PLFRn]*	*[PLOD]*	*[PLPUP]*	*[PLPDN]*	*[PLIE]*
PL0	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA16	Input	FTU5a	0/1	0	N/A	0/1	0	0	0
PL1	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA15	Input	FTU5a	0/1	0	N/A	0/1	0	0	0
PL2	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA17	Input	FTU5a	0/1	0	N/A	0/1	0	0	0
PL3	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA14	Input	FTU5a	0/1	0	N/A	0/1	0	0	0
PL4	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA18	Input	FTU5a	0/1	0	N/A	0/1	0	0	0
PL5	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA13	Input	FTU5a	0/1	0	N/A	0/1	0	0	0
PL6	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA09	Input	FTU5a	0/1	0	N/A	0/1	0	0	0
PL7	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA08	Input	FTU5a	0/1	0	N/A	0/1	0	0	0

注)　アナログ入力(AINAx)として使用する場合、***[PLCR]***は出力禁止"0"、***[PLIE]***は入力禁止"0"、***[PLPUP]***はプルアップ禁止"0"、***[PLPDN]***はプルダウン禁止"0"にしてください。

4.2.13. PORT M

表 4.14 ポートM レジスター設定

PORT	リセット状態 機能	Input/output	PORT type	制御レジスター						
				[PMDATA]	*[PMCR]*	*[PMFRn]*	*[PMOD]*	*[PMPUP]*	*[PMPDN]*	*[PMIE]*
PM0	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA07	Input	FTU5a	0/1	0	N/A	0/1	0	0	0
PM1	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA06	Input	FTU5a	0/1	0	N/A	0/1	0	0	0
PM2	リセット後			0	0	N/A	0	0	0	0
	Input Port	Input		0/1	0	N/A	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	N/A	0/1	0/1	0/1	0
	AINA05	Input	FTU5a	0/1	0	N/A	0/1	0	0	0

注) アナログ入力(AINAx)として使用する場合、***[PMCR]***は出力禁止"0"、***[PMIE]***は入力禁止"0"、***[PMPUP]***はプルアップ禁止"0"、***[PMPDN]***はプルダウン禁止"0"にしてください。

4.2.14. PORT N

表 4.15 ポートN レジスター設定

PORT	リセット状態 機能	Input/output	PORT type	制御レジスター						
				[PNDATA]	*[PNCR]*	*[PNFRn]*	*[PNOD]*	*[PNPUP]*	*[PNPDN]*	*[PNIE]*
PN0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT0TXDA	Output	FTU1a	0/1	1	***[PNFR1]***	0/1	0/1	0/1	0
	UT0RXD	Input	FTU1a	0/1	0	***[PNFR2]***	0/1	0/1	0/1	1
	NBDDATA2	Input/Output	FTU2c	0/1	1	***[PNFR3]***	0/1	0/1	0/1	1
	T32A05INA0	Input	FTU1a	0/1	0	***[PNFR4]***	0/1	0/1	0/1	1
	T32A05INC0	Input	FTU1a	0/1	0	***[PNFR5]***	0/1	0/1	0/1	1
	ENC0A	Input	FTU1a	0/1	0	***[PNFR6]***	0/1	0/1	0/1	1
	TRACEDATA2	Output	FTU1a	0/1	1	***[PNFR7]***	0/1	0/1	0/1	0
PN1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT16a	Input	FTU4a	0/1	0	0	0/1	0/1	0/1	1
	UT0RXD	Input	FTU1a	0/1	0	***[PNFR1]***	0/1	0/1	0/1	1
	UT0TXDA	Output	FTU1a	0/1	1	***[PNFR2]***	0/1	0/1	0/1	0
	NBDDATA3	Input/Output	FTU2c	0/1	1	***[PNFR3]***	0/1	0/1	0/1	1
	T32A05OUTA	Output	FTU1a	0/1	1	***[PNFR4]***	0/1	0/1	0/1	0
	T32A05OUTC	Output	FTU1a	0/1	1	***[PNFR5]***	0/1	0/1	0/1	0
	ENC0B	Input	FTU1a	0/1	0	***[PNFR6]***	0/1	0/1	0/1	1
	TRACEDATA3	Output	FTU1a	0/1	1	***[PNFR7]***	0/1	0/1	0/1	0
PN2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT16b	Input	FTU4a	0/1	0	0	0/1	0/1	0/1	1
	UT0CTS_N	Input	FTU1a	0/1	0	***[PNFR1]***	0/1	0/1	0/1	1
	T32A05INA1	Input	FTU1a	0/1	0	***[PNFR4]***	0/1	0/1	0/1	1
	T32A05INC1	Input	FTU1a	0/1	0	***[PNFR5]***	0/1	0/1	0/1	1
	ENC0Z	Input	FTU1a	0/1	0	***[PNFR6]***	0/1	0/1	0/1	1

4.2.15. PORT U

表 4.16　ポートU レジスター設定

PORT	リセット状態 機能	Input/output	PORT type	制御レジスター						
				[PUDATA]	*[PUCR]*	*[PUFRn]*	*[PUOD]*	*[PUPUP]*	*[PUPDN]*	*[PUIE]*
PU0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT12	Input	FTU4a	0/1	0	0	0/1	0/1	0/1	1
	UT2TXDA	Output	FTU1a	0/1	1	***[PUFR1]***	0/1	0/1	0/1	0
	UT2RXD	Input	FTU1a	0/1	0	***[PUFR2]***	0/1	0/1	0/1	1
	I2C1SDA	Input/ Output	FTU1a	0/1	1	***[PUFR3]***	1	0/1	0/1	1
	T32A02INB1	Input	FTU1a	0/1	0	***[PUFR4]***	0/1	0/1	0/1	1
	UO2	Output	FTU2a	0/1	1	***[PUFR6]***	0/1	0/1	0/1	0
	EI2C1SDA	Input/ Output	FTU1a	0/1	1	***[PUFR7]***	1	0/1	0/1	1
PU1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT07a	Input	FTU4a	0/1	0	0	0/1	0/1	0/1	1
	UT2RXD	Input	FTU1a	0/1	0	***[PUFR1]***	0/1	0/1	0/1	1
	UT2TXDA	Output	FTU1a	0/1	1	***[PUFR2]***	0/1	0/1	0/1	0
	I2C1SCL	Input/ Output	FTU1a	0/1	1	***[PUFR3]***	1	0/1	0/1	1
	T32A02INA0	Input	FTU1a	0/1	0	***[PUFR4]***	0/1	0/1	0/1	1
	T32A02INC0	Input	FTU1a	0/1	0	***[PUFR5]***	0/1	0/1	0/1	1
	XO2	Output	FTU2a	0/1	1	***[PUFR6]***	0/1	0/1	0/1	0
	EI2C1SCL	Input/ Output	FTU1a	0/1	1	***[PUFR7]***	1	0/1	0/1	1
PU2	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT07b	Input	FTU4a	0/1	0	0	0/1	0/1	0/1	1
	T32A02OUTA	Output	FTU1a	0/1	1	***[PUFR4]***	0/1	0/1	0/1	0
	T32A02OUTC	Output	FTU1a	0/1	1	***[PUFR5]***	0/1	0/1	0/1	0
	VO2	Output	FTU2a	0/1	1	***[PUFR6]***	0/1	0/1	0/1	0
PU3	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT08a	Input	FTU4a	0/1	0	0	0/1	0/1	0/1	1
	UT1RTS_N	Output	FTU1a	0/1	1	***[PUFR1]***	0/1	0/1	0/1	0
	T32A02INB0	Input	FTU1a	0/1	0	***[PUFR4]***	0/1	0/1	0/1	1
	ENC2A	Input	FTU1a	0/1	0	***[PUFR5]***	0/1	0/1	0/1	1
	YO2	Output	FTU2a	0/1	1	***[PUFR6]***	0/1	0/1	0/1	0
PU4	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT08b	Input	FTU4a	0/1	0	0	0/1	0/1	0/1	1
	UT1CTS_N	Input	FTU1a	0/1	0	***[PUFR1]***	0/1	0/1	0/1	1
	T32A02OUTB	Output	FTU1a	0/1	1	***[PUFR4]***	0/1	0/1	0/1	0
	T32A02INC1	Input	FTU1a	0/1	0	***[PUFR5]***	0/1	0/1	0/1	1
	WO2	Output	FTU2a	0/1	1	***[PUFR6]***	0/1	0/1	0/1	0

PORT	リセット状態 機能	Input/output	PORT type	制御レジスター						
				[PUDATA]	*[PUCR]*	*[PUFRn]*	*[PUOD]*	*[PUPUP]*	*[PUPDN]*	*[PUIE]*
PU5	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT13	Input	FTU4a	0/1	0	0	0/1	0/1	0/1	1
	UT1TXDA	Output	FTU1a	0/1	1	***[PUFR1]***	0/1	0/1	0/1	0
	UT1RXD	Input	FTU1a	0/1	0	***[PUFR2]***	0/1	0/1	0/1	1
	T32A02INA1	Input	FTU1a	0/1	0	***[PUFR4]***	0/1	0/1	0/1	1
	ENC2B	Input	FTU1a	0/1	0	***[PUFR5]***	0/1	0/1	0/1	1
	ZO2	Output	FTU2a	0/1	1	***[PUFR6]***	0/1	0/1	0/1	0
PU6	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	INT09	Input	FTU4a	0/1	0	0	0/1	0/1	0/1	1
	UT1RXD	Input	FTU1a	0/1	0	***[PUFR1]***	0/1	0/1	0/1	1
	UT1TXDA	Output	FTU1a	0/1	1	***[PUFR2]***	0/1	0/1	0/1	0
	ENC2Z	Input	FTU1a	0/1	0	***[PUFR5]***	0/1	0/1	0/1	1
	EMG2	Input	FTU1a	0/1	0	***[PUFR6]***	0/1	0/1	0/1	1
PU7	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	OVV2	Input	FTU1a	0/1	0	***[PUFR6]***	0/1	0/1	0/1	1
	PMD2DBG	Output	FTU1a	0/1	1	***[PUFR7]***	0/1	0/1	0/1	0

4.2.16. PORT V

表 4.17　ポートV レジスター設定

PORT	リセット状態 機能	Input/output	PORT type	制御レジスター						
				[PVDATA]	*[PVCR]*	*[PVFRn]*	*[PVOD]*	*[PVPUP]*	*[PVPDN]*	*[PVIE]*
PV0	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	TSPI1CSIN	Input	FTU1a	0/1	0	***[PVFR2]***	0/1	0/1	0/1	1
	T32A01OUTB	Output	FTU1a	0/1	1	***[PVFR4]***	0/1	0/1	0/1	0
PV1	リセット後			0	0	0	0	0	0	0
	Input Port	Input		0/1	0	0	0/1	0/1	0/1	1
	Output Port	Output		0/1	1	0	0/1	0/1	0/1	0
	UT0RTS_N	Output	FTU1a	0/1	1	***[PVFR1]***	0/1	0/1	0/1	0
	TSPI1RXD	Input	FTU1a	0/1	0	***[PVFR2]***	0/1	0/1	0/1	1

5. ポート回路図

ポートには、FTU1a～FTU5a、FTU11a、FTU16a のタイプがあります。それぞれの回路図を次ページから示します。図中の点線は、データシートの「等価回路図」で記されている等価回路の範囲を示します。

回路図内の"I/O リセット"は、パワーオンリセット(POR)または端子リセット(RESET_N)を示します。ただし、デバッグ用端子(TMS/SWDIO.TDI,TDO/SWV,TCK/SWCLK,TRST_N)の I/O リセットは、パワーオンリセット(POR)のみとなります。

5.1. タイプ FTU1a

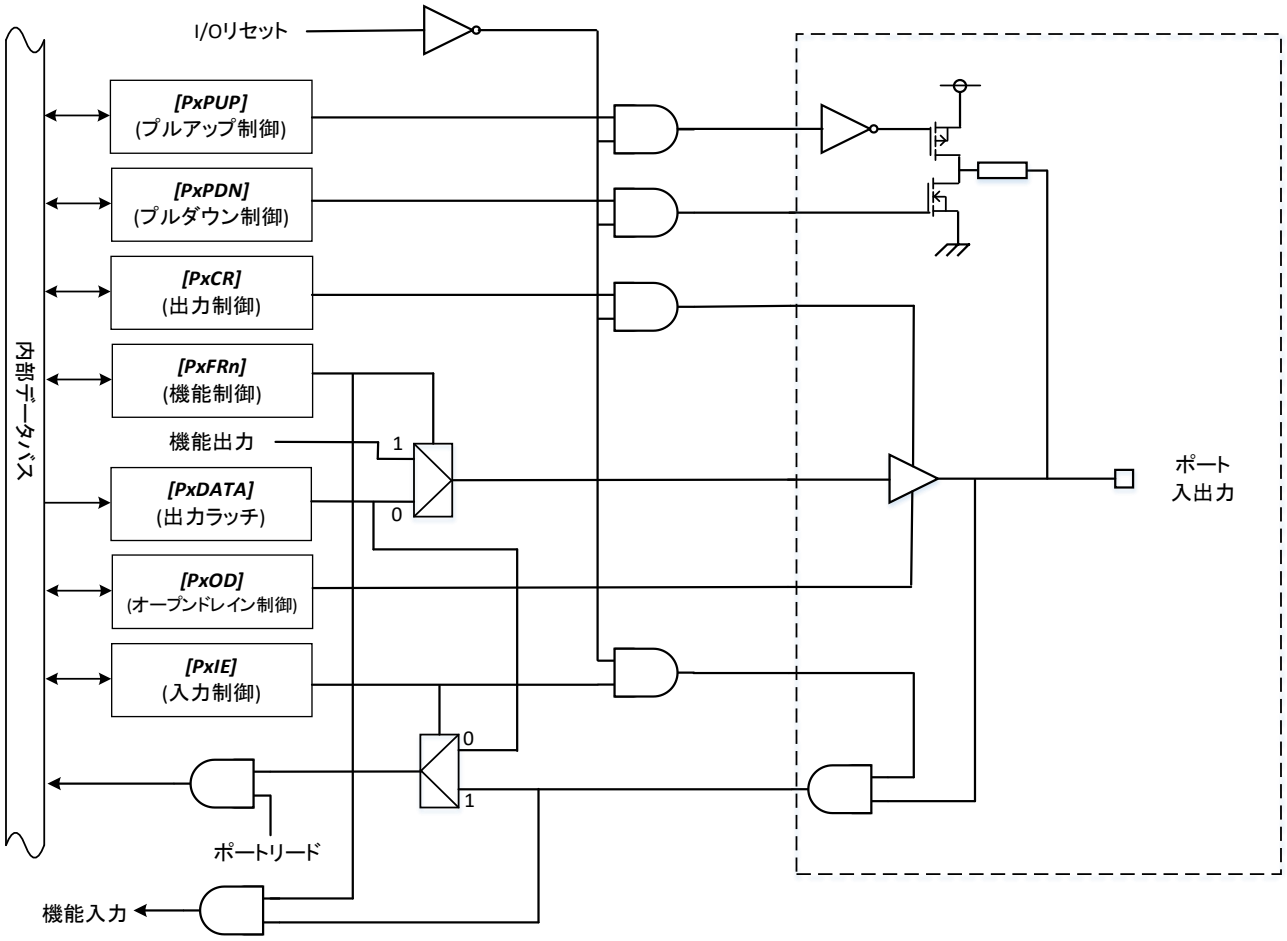


図 5.1　ポートタイプFTU1a

5.2. タイプ FTU2a

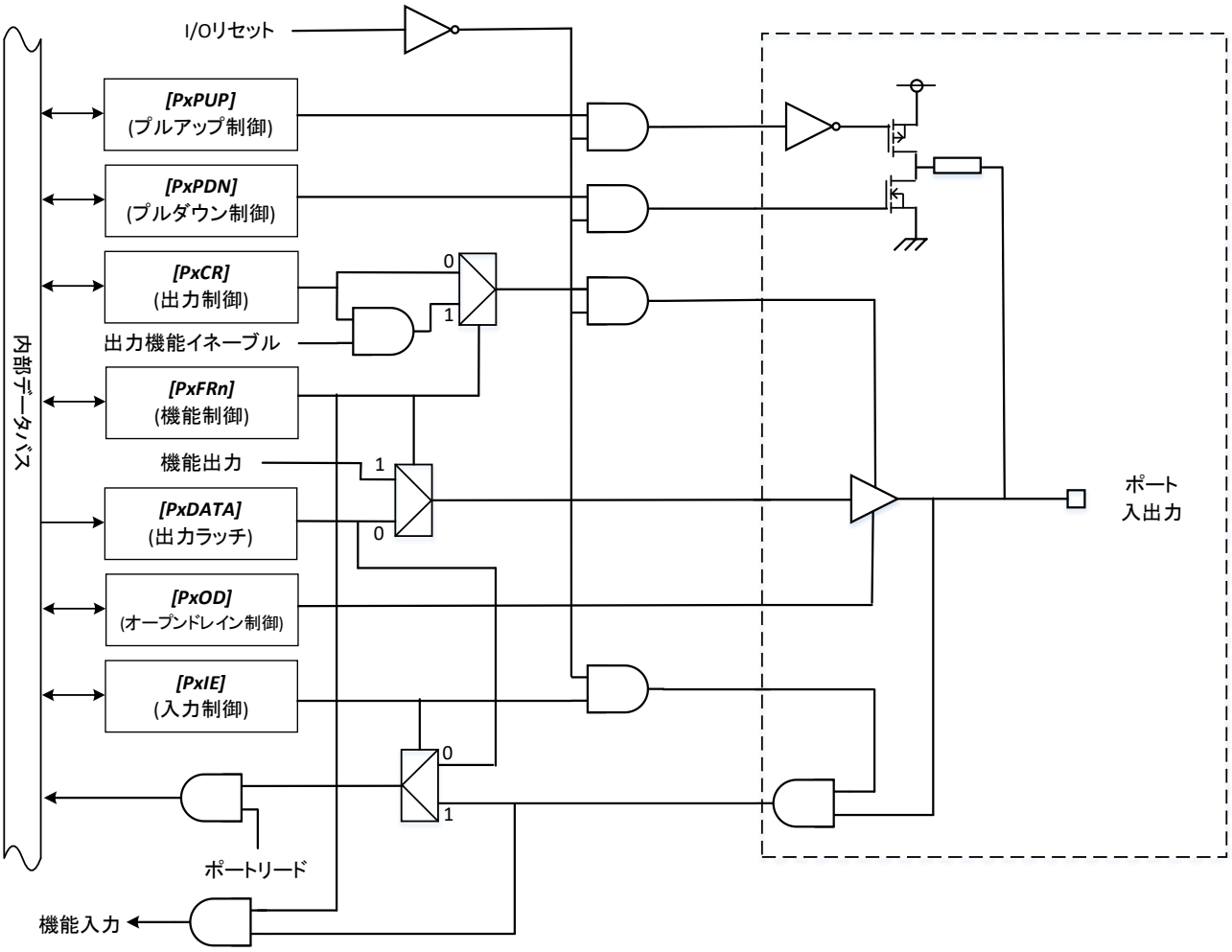


図 5.2　ポートタイプFTU2a

5.3. タイプ FTU2c

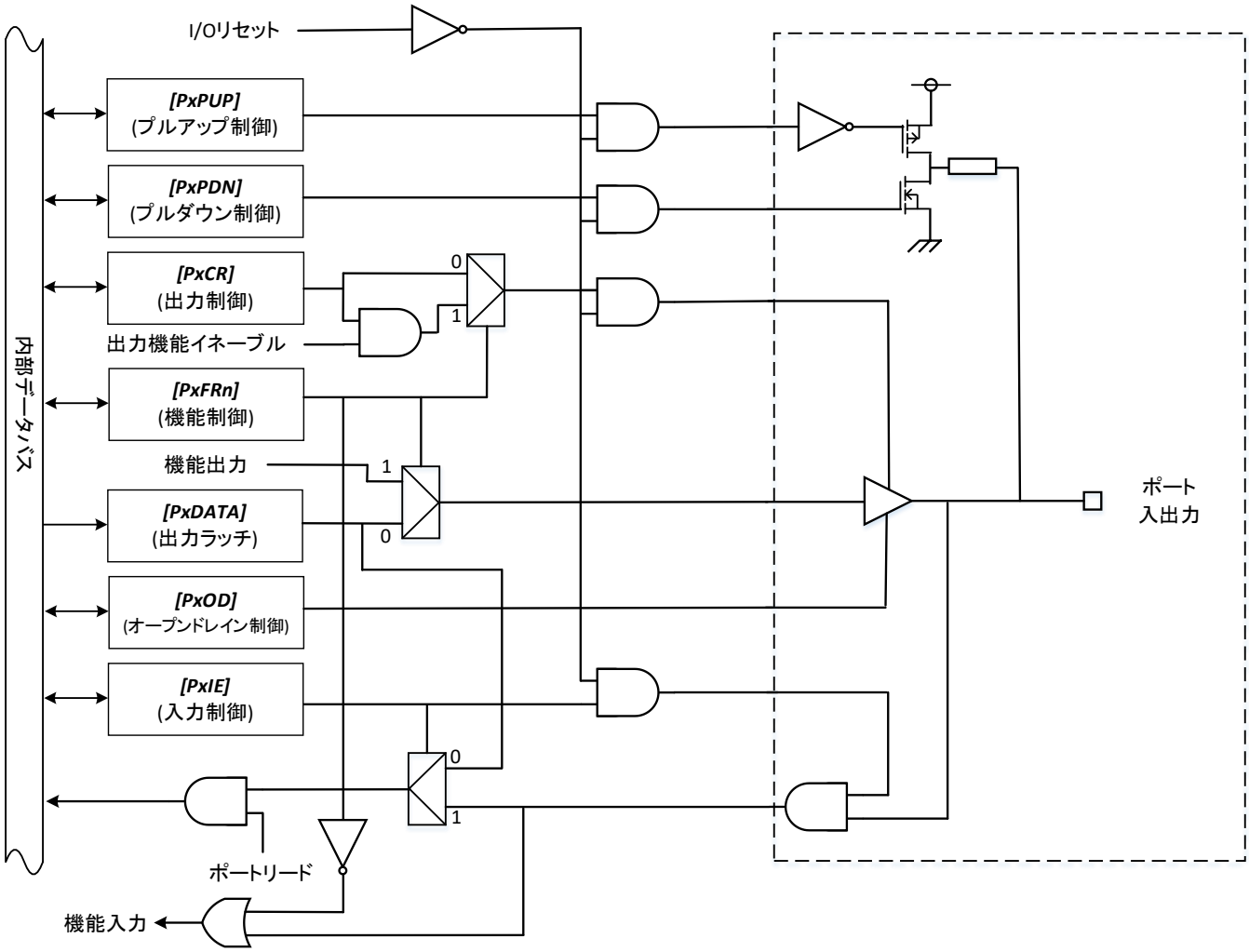


図 5.3　ポートタイプFTU2c

5.4. タイプ FTU3a

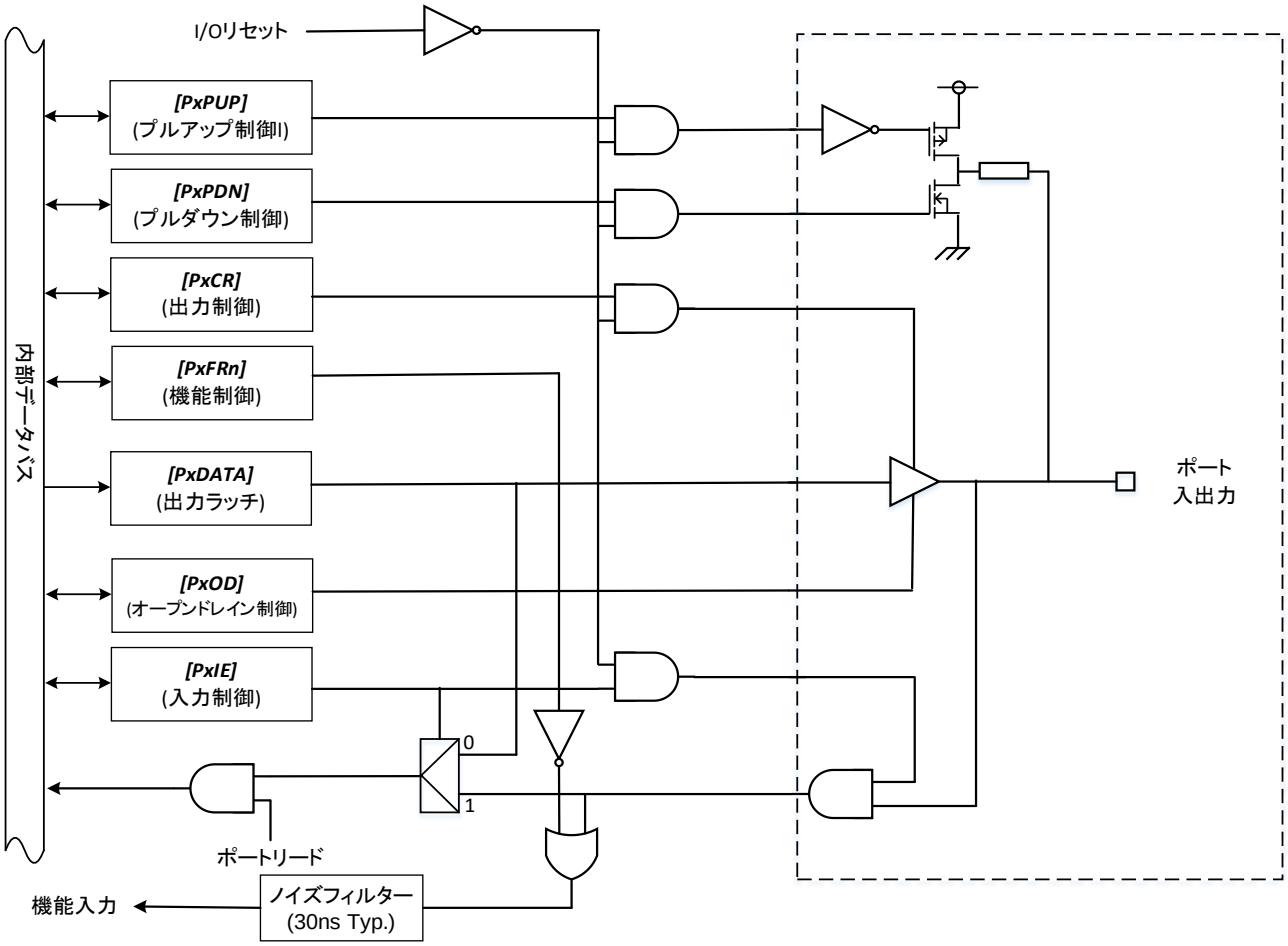


図 5.4　ポートタイプFTU3a

5.5. タイプ FTU4a

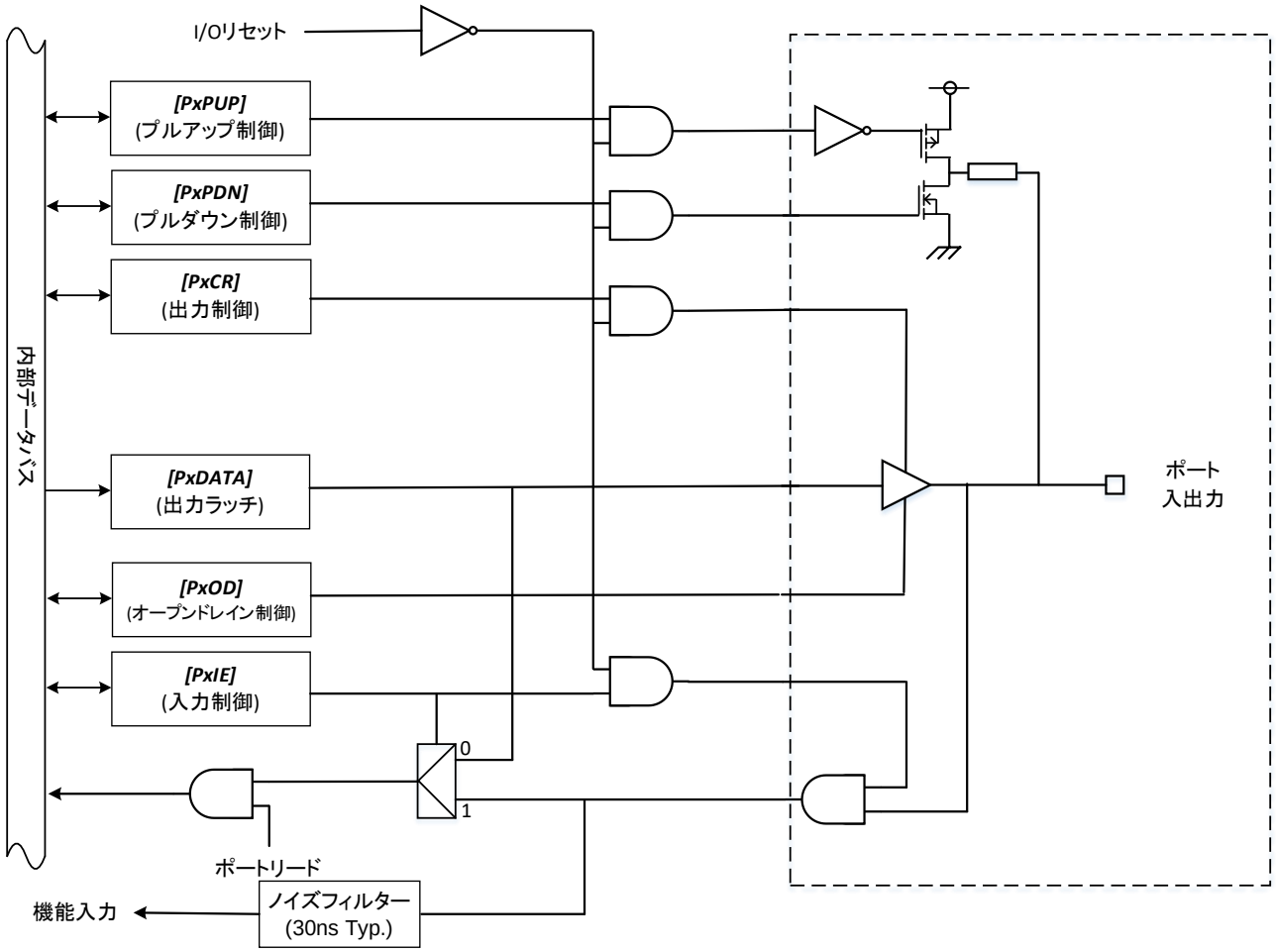


図 5.5　ポートタイプFTU4a

5.6. タイプ FTU5a

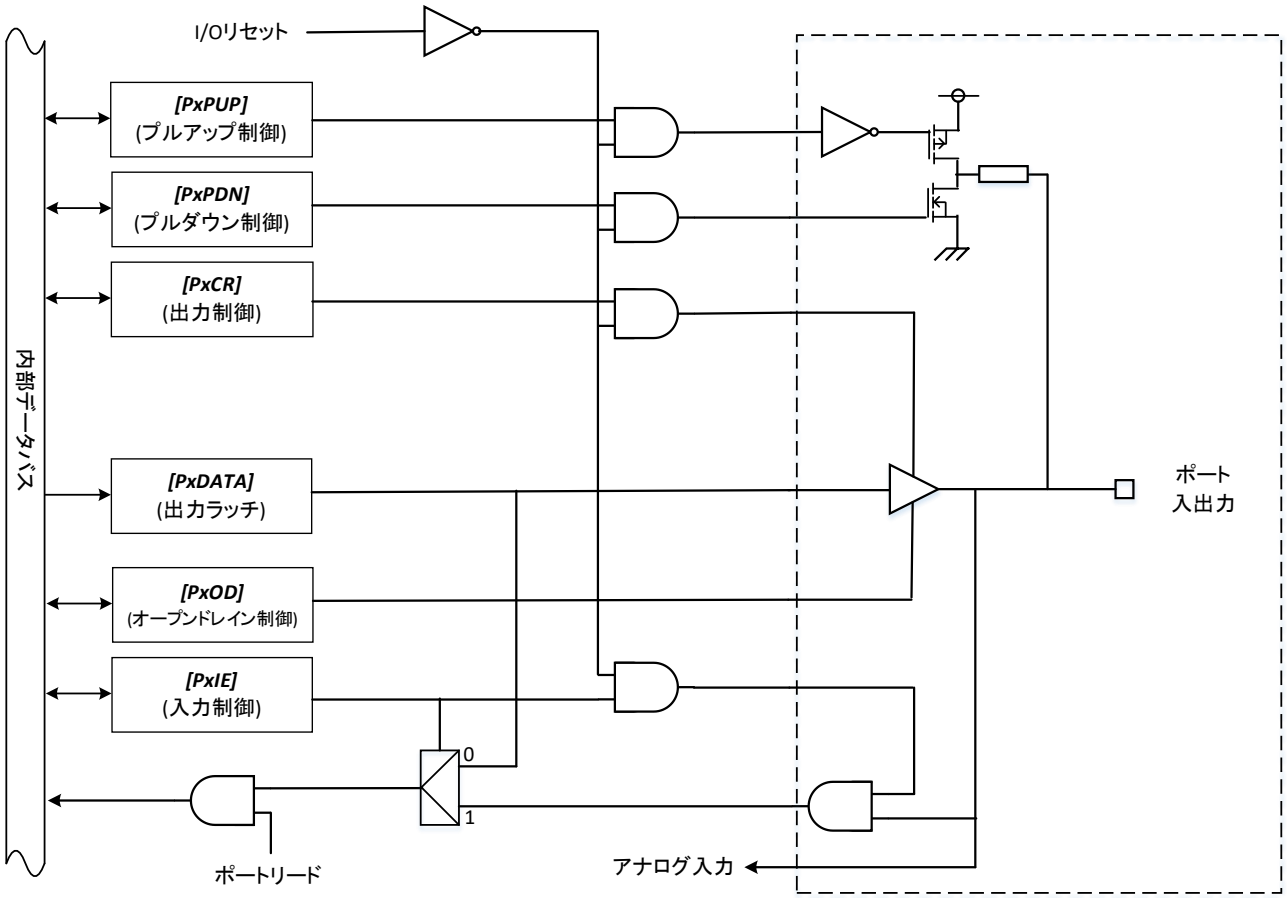


図 5.6　ポートタイプFTU5a

5.7. タイプ FTU11a

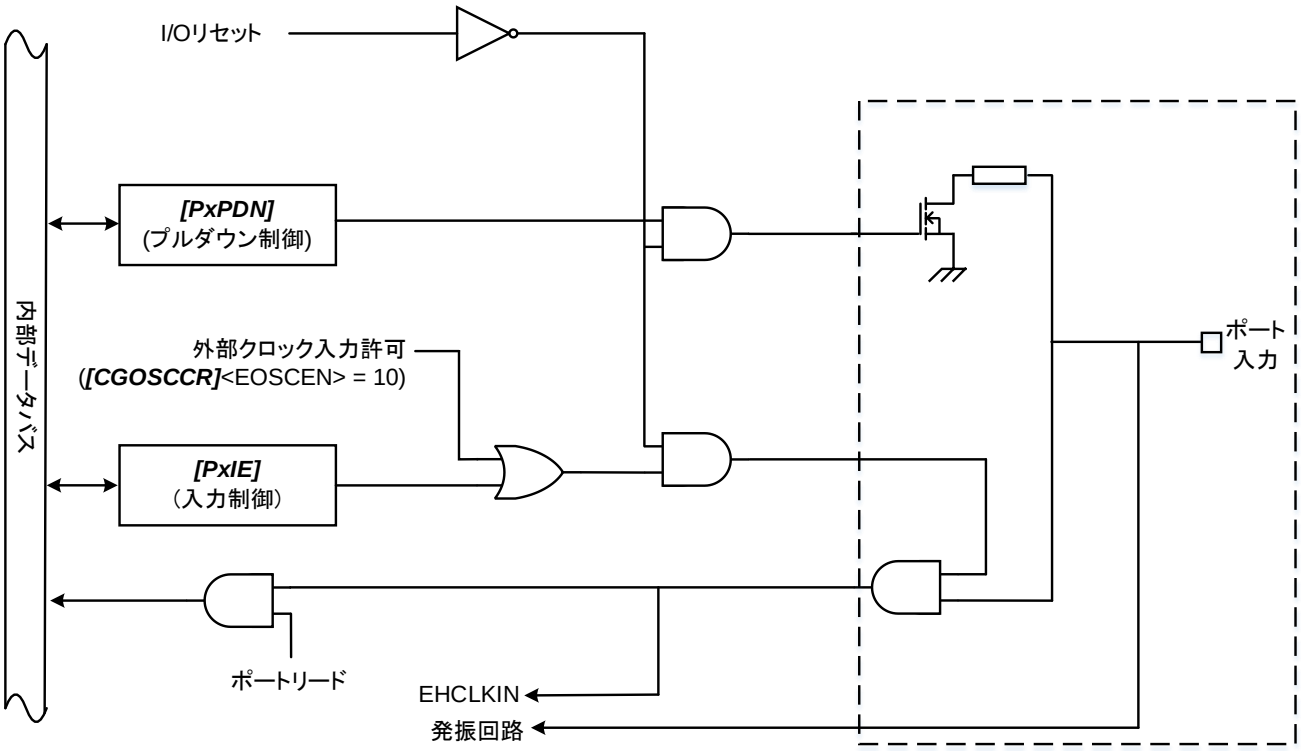


図 5.7　ポートタイプFTU11a

5.8. タイプ FTU16a

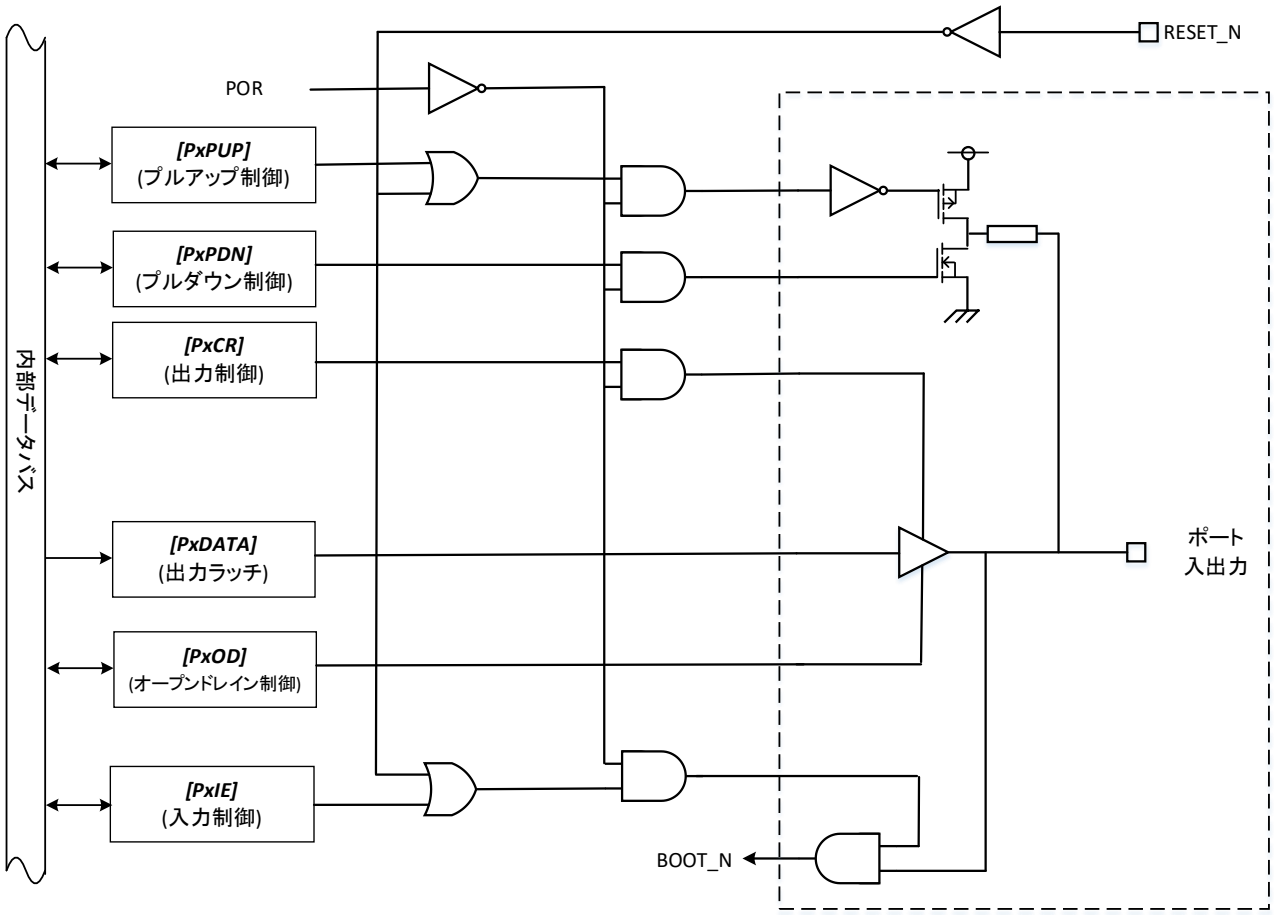


図 5.8　ポートタイプFTU16a

6. 使用上のご注意およびお願い事項

6.1. リセット期間中の端子状態について

リセット期間中、下記以外の端子はハイインピーダンス入力状態となり、プルアップ・プルダウンも無効状態となります。

- デバックインターフェース兼用端子(PF0～PF4)はデバック端子状態となります。
- 端子リセット期間中、PG2 (BOOT_N)は入力およびプルアップが許可となっており、リセット信号の立ち上がりで、PG2 が"High"の場合、シングルチップモードとなり内蔵 Flash メモリーから起動し、PG2 が"Low"の場合、シングルブートモードとなり内蔵 BOOT プログラムから起動します。

6.2. 未使用端子の処理について

未使用端子は、1 本ずつ抵抗を通して電源端子または 1 本ずつ抵抗を通して GND 端子に固定することを推奨します。

一般にハイインピーダンスの端子を開放状態にし、製品を動作させると、外部からのノイズを受け誘起電圧が発生して LSI 内部で静電破壊やラッチアップが発生することがあります。

6.3. デバッグインターフェース端子を汎用ポートとして使用する際の注意

リセット解除後ユーザープログラムでデバッグインターフェース端子を汎用ポートに設定すると、それ以降はデバッグツールからの接続ができなくなり制御ができなくなります。

デバッグツールによるデバッグができなくなった場合、シングルブートモードに設定し外部から UART 接続でフラッシュ消去することで、再度デバックツールと接続することができます。詳細はリファレンスマニュアルの「フラッシュメモリー」を参照してください。

7. 改訂履歴

表 7.1　改訂履歴

Revision	Date	Description
1.0	2020-12-14	新規
1.1	2022-06-24	・表 4.5 ポート C レジスター設定 表見直し(PC5)
1.2	2023-04-14	TMPM4KHFYAUG/TMPM4KHFWAUG を削除
1.3	2023-12-08	・表 4.10 を変更 ・図 5.7 を変更
1.4	2025-06-20	・4.2.8. PORT G 表 4.9 を変更、注)を変更 ・4.2.9. PORT H 表 4.10 を変更

製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。
本資料に掲載されているハードウエア、ソフトウエアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウエア・ソフトウエア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。