

32 ビット RISC マイクロコントローラー

**TXZ+ファミリー  
TMPM4K グループ(2)**

リファレンスマニュアル  
製品個別情報  
(PINFO-M4K(2))

Revision 3.0

---

2023-12

東芝デバイス&ストレージ株式会社

## 目次

序章 .....	9
関連するドキュメント .....	9
表記規約 .....	10
用語・略語 .....	12
1. 概要 .....	13
2. 各周辺機能の情報 .....	13
2.1. レジスターベースアドレス .....	13
2.2. トリガーセクター(TRGSEL) .....	15
2.2.1. トリガーセクターと製品対応 .....	16
2.2.2. 使用方法と設定 .....	22
2.2.3. レジスター一覧 .....	23
2.2.4. レジスター詳細 .....	24
2.2.4.1. [TSELxCR0](コントロールレジスター0) .....	24
2.2.4.2. [TSELxCR1](コントロールレジスター1) .....	26
2.2.4.3. [TSELxCR2](コントロールレジスター2) .....	28
2.2.4.4. [TSELxCR3](コントロールレジスター3) .....	30
2.2.4.5. [TSELxCR4](コントロールレジスター4) .....	32
2.2.4.6. [TSELxCR5](コントロールレジスター5) .....	34
2.2.4.7. [TSELxCR6](コントロールレジスター6) .....	36
2.2.4.8. [TSELxCR7](コントロールレジスター7) .....	38
2.2.4.9. [TSELxCR8](コントロールレジスター8) .....	40
2.2.4.10. [TSELxCR9](コントロールレジスター9) .....	42
2.2.4.11. [TSELxCR10](コントロールレジスター10) .....	44
2.3. クロック選択式ウオッチドッグタイマー(SIWDT) .....	46
2.3.1. 搭載チャンネル .....	46
2.3.2. カウントクロック .....	46
2.3.3. 発振クロックプロテクト機能 .....	46
2.4. 周波数検知回路(OFD) .....	47
2.4.1. 搭載一覧 .....	47
2.4.2. 基準クロック .....	47
2.4.3. 検知対象クロック .....	47
2.5. デバッグインターフェース .....	48
2.5.1. 製品別デバッグインターフェース一覧 .....	48
2.5.2. トレースクロックの分周比 .....	48
2.6. ノンブレイクデバッグインターフェース(NBDIF) .....	49
2.6.1. 搭載一覧 .....	49
2.6.2. NBDIF 端子一覧 .....	49
2.7. フラッシュメモリ(FLASH) .....	50
2.7.1. 書き込み, 消去操作クロック .....	50

2.7.2. 製品別コードフラッシュブロック構成.....	50
2.7.3. 製品別データフラッシュブロック構成.....	51
2.7.4. アクセスコントロールレジスタ[FCACCR]<FCLC[2:0]>の設定.....	52
2.7.5. ID-Read 時のマクロコード値.....	52
2.7.6. シングルブート使用リソース.....	53
2.8. DMA コントローラー(DMAC).....	54
2.8.1. 搭載ユニット.....	54
2.8.2. DMA 転送要求一覧.....	54
2.9. アドバンストプログラマブルモーター制御回路(A-PMD).....	58
2.9.1. 搭載チャンネル.....	58
2.9.2. システムクロック.....	58
2.9.3. 機能端子とポート.....	59
2.9.4. DMA 要求.....	60
2.9.5. 内部信号接続仕様.....	61
2.9.5.1. その他接続.....	61
2.9.5.2. チャンネル間同期制御接続仕様.....	63
2.10. アドバンストエンコーダー入力回路(32-bit) (A-ENC32).....	64
2.10.1. 搭載チャンネル.....	64
2.10.2. 機能端子とポート.....	64
2.10.3. 内部信号接続仕様.....	65
2.10.3.1. T32A/A-PMD 接続.....	65
2.11. アドバンストベクトルエンジンプラス(A-VE+).....	66
2.11.1. 搭載チャンネル.....	66
2.11.2. 内部信号接続仕様.....	66
2.11.2.1. その他の接続.....	66
2.12. 12 ビットアナログデジタルコンバーター(ADC).....	68
2.12.1. 搭載ユニット.....	68
2.12.2. 対応レジスタ.....	68
2.12.3. 機能端子とポート.....	69
2.12.4. アナログ基準端子.....	71
2.12.5. ADC 用変換クロック.....	71
2.12.6. 使用条件とレジスタ設定.....	71
2.12.7. DMA 要求.....	72
2.12.8. 内部信号接続仕様.....	73
2.12.8.1. 起動トリガー接続仕様.....	73
2.12.8.2. その他接続.....	75
2.13. オペアンプ(OPAMP).....	76
2.13.1. 搭載ユニット.....	76
2.13.2. 機能端子とポート.....	76
2.13.3. ADC 接続.....	76
2.14. 32 ビットタイマーイベントカウンタ(T32A).....	77

2.14.1. 搭載チャンネル .....	77
2.14.2. 機能端子とポート .....	77
2.14.3. プリスケーラー用クロック .....	79
2.14.4. 内部信号接続仕様 .....	79
2.14.4.1. キャプチャトリガー信号接続仕様 .....	79
2.14.4.2. その他接続 .....	83
2.14.4.3. 同期制御接続仕様 .....	86
2.14.5. 製品別パルスカウンタ対応一覧 .....	87
2.14.6. DMA 要求 .....	88
2.14.7. 非対応割り込み .....	89
2.15. 非同期シリアル通信回路(UART) .....	90
2.15.1. 搭載チャンネル .....	90
2.15.2. 機能端子とポート .....	90
2.15.3. ハーフクロックモード対応 .....	92
2.15.4. プリスケーラー用クロック .....	92
2.15.5. DMA 要求 .....	92
2.15.6. 内部信号接続仕様 .....	93
2.15.6.1. トリガー転送信号接続仕様 .....	93
2.15.6.2. T32A 接続 .....	94
2.16. I <sup>2</sup> C インターフェース(I2C) .....	95
2.16.1. 搭載チャンネル .....	95
2.16.2. 機能端子とポート .....	95
2.16.3. プリスケーラー用クロック .....	95
2.16.4. ウェイクアップ機能 .....	96
2.16.5. DMA 要求 .....	96
2.17. I <sup>2</sup> C インターフェース バージョン A (EI2C) .....	97
2.17.1. 搭載チャンネル .....	97
2.17.2. 機能端子とポート .....	97
2.17.3. プリスケーラー用クロック .....	97
2.17.4. ウェイクアップ機能 .....	98
2.17.5. DMA 要求 .....	98
2.18. シリアルペリフェラルインターフェース(TSPI) .....	99
2.18.1. 搭載チャンネル .....	99
2.18.2. 機能端子とポート .....	99
2.18.3. 製品別転送モード対応一覧 .....	100
2.18.4. [TSP]x[CR2]<RXDLY[2:0]>の設定値 .....	100
2.18.5. プリスケーラー用クロック .....	100
2.18.6. DMA 要求 .....	101
2.18.7. 内部信号接続仕様 .....	102
2.18.7.1. トリガー転送信号接続仕様 .....	102
2.18.7.2. T32A 接続 .....	102

---

2.19. デジタルノイズフィルター回路(DNF).....	103
2.19.1. 搭載ユニット .....	103
2.19.2. 製品別外部割り込みと DNF の対応 .....	104
2.19.3. サンプリングソースクロック .....	104
2.20. 電圧検知回路(LVD) .....	105
2.20.1. 搭載一覧 .....	105
2.20.2. 検知対象電源 .....	105
2.21. CRC 計算回路(CRC).....	105
2.21.1. 搭載一覧 .....	105
2.22. RAM パリティ(RAMP) .....	106
2.22.1. 搭載チャンネル .....	106
2.22.2. エラー判定ブロックエリア .....	106
2.23. トリミング回路(TRM).....	107
2.23.1. 搭載一覧 .....	107
2.23.2. 対象発振器.....	107
3. 改訂履歴.....	108
製品取り扱い上のお願い.....	109

## 図目次

図 2.1 トリガーセレクター接続例 .....	15
--------------------------	----

## 表目次

表 2.1 レジスターベースアドレスタイプ (1/2) .....	13
表 2.2 レジスターベースアドレスタイプ (2/2) .....	14
表 2.3 製品別トリガーセレクター対応一覧 (1/6).....	16
表 2.4 製品別トリガーセレクター対応一覧 (2/6).....	17
表 2.5 製品別トリガーセレクター対応一覧 (3/6).....	18
表 2.6 製品別トリガーセレクター対応一覧 (4/6).....	19
表 2.7 製品別トリガーセレクター対応一覧 (5/6).....	20
表 2.8 製品別トリガーセレクター対応一覧 (6/6).....	21
表 2.9 SIWDT 搭載チャンネル.....	46
表 2.10 SIWDT カウントクロック .....	46
表 2.11 SIWDT 発振クロックプロテクト機能 .....	46
表 2.12 OFD 搭載一覧.....	47
表 2.13 OFD 基準クロック .....	47
表 2.14 OFD 検知対象クロック.....	47
表 2.15 デバッグインターフェース搭載一覧.....	48
表 2.16 TRACECLK の分周比 .....	48
表 2.17 NBDIF 搭載一覧.....	49
表 2.18 NBDIF 端子一覧.....	49
表 2.19 FLASH 書き込み, 消去操作クロック .....	50
表 2.20 製品別コードフラッシュブロック構成 .....	50
表 2.21 製品別データフラッシュブロック構成 .....	51
表 2.22 アクセスコントロールレジスター[FCACCR]<FCLC[2:0]>の設定 .....	52
表 2.23 ID-Read 時のマクロコード値 .....	52
表 2.24 シングルブート使用リソース.....	53
表 2.25 RAM 転送可能アドレス .....	53
表 2.26 DMAC 搭載ユニット.....	54
表 2.27 DMA 転送要求一覧 (1/4).....	54
表 2.28 DMA 転送要求一覧 (2/4).....	55
表 2.29 DMA 転送要求一覧 (3/4).....	56
表 2.30 DMA 転送要求一覧 (4/4).....	57
表 2.31 A-PMD 搭載チャンネル.....	58
表 2.32 A-PMD システムクロック .....	58
表 2.33 A-PMD 機能端子 .....	59
表 2.34 A-PMD DMA 要求 .....	60
表 2.35 A-PMD 内部接続仕様:入力 .....	61
表 2.36 A-PMD 内部接続仕様:出力 .....	62
表 2.37 PMD チャンネル間同期制御接続仕様.....	63
表 2.38 A-ENC32 搭載チャンネル .....	64
表 2.39 A-ENC32 機能端子 .....	64
表 2.40 A-ENC32 内部接続仕様:入力.....	65
表 2.41 A-ENC32 内部接続仕様:出力.....	65
表 2.42 A-VE+ 搭載チャンネル.....	66
表 2.43 A-VE+ 内部接続仕様:入力.....	66
表 2.44 A-VE+ 内部接続仕様:出力.....	67
表 2.45 ADC 搭載ユニット.....	68
表 2.46 ADC ユニット別の対応レジスター .....	68

表 2.47	ADC 機能端子とポート.....	69
表 2.48	アナログ基準端子割り付け.....	71
表 2.49	ADC 用変換クロック.....	71
表 2.50	ADC 使用条件とレジスター設定(1).....	71
表 2.51	ADC 使用条件とレジスター設定(2).....	72
表 2.52	ADC DMA 要求.....	72
表 2.53	ADC 起動トリガー接続仕様: 入力.....	73
表 2.54	ADC 内部接続仕様:出力.....	75
表 2.55	OPAMP 搭載ユニット.....	76
表 2.56	OPAMP 機能端子とポート.....	76
表 2.57	OPAMP 出力接続.....	76
表 2.58	T32A 搭載チャンネル.....	77
表 2.59	T32A 機能端子とポート (1/3).....	77
表 2.60	T32A 機能信号とポート (2/3).....	78
表 2.61	T32A 機能信号とポート (3/3).....	79
表 2.62	T32A プリスケラー用クロック.....	79
表 2.63	T32A キャプチャトリガー信号接続仕様 (1/3).....	80
表 2.64	T32A キャプチャトリガー信号接続仕様 (2/3).....	81
表 2.65	T32A キャプチャトリガー信号接続仕様 (3/3).....	82
表 2.66	T32A トリガー出力接続仕様(1/3).....	83
表 2.67	T32A トリガー出力接続仕様(2/3).....	84
表 2.68	T32A トリガー出力接続仕様(3/3).....	85
表 2.69	T32A 同期制御接続仕様.....	86
表 2.70	T32A 製品別パルスカウンター対応一覧.....	87
表 2.71	T32A DMA 要求 (1/2).....	88
表 2.72	T32A DMA 要求 (2/2).....	89
表 2.73	UART 搭載チャンネル.....	90
表 2.74	UART 端子信号とポート.....	91
表 2.75	UART プリスケラー用クロック.....	92
表 2.76	UART DMA 要求.....	92
表 2.77	UART トリガー転送信号接続仕様:入力.....	93
表 2.78	UART 内部接続仕様:出力.....	94
表 2.79	I2C 搭載チャンネル.....	95
表 2.80	I2C 機能端子とポート.....	95
表 2.81	I2C プリスケラー用クロック.....	95
表 2.82	I2C DMA 要求.....	96
表 2.83	EI2C 搭載チャンネル.....	97
表 2.84	EI2C 機能端子とポート.....	97
表 2.85	EI2C プリスケラー用クロック.....	97
表 2.86	EI2C DMA 要求.....	98
表 2.87	TSPI 搭載チャンネル.....	99
表 2.88	TSPI 機能端子とポート.....	99
表 2.89	TSPI モード対応一覧.....	100
表 2.90	[TSPIxCR2]<RXDLY[2:0]>の設定.....	100
表 2.91	TSPI プリスケラー用クロック.....	100
表 2.92	TSPI DMA 要求.....	101
表 2.93	TSPI トリガー転送仕様: 入力.....	102
表 2.94	TSPI 内部接続仕様: 出力.....	102
表 2.95	DNF 搭載ユニット.....	103
表 2.96	外部割り込みと DNF 対応.....	104
表 2.97	DNF サンプリングソースクロック.....	104
表 2.98	LVD 搭載一覧.....	105
表 2.99	LVD 検知対象電源.....	105

---

表 2.100	CRC 搭載一覧.....	105
表 2.101	RAMP 搭載チャンネル.....	106
表 2.102	M4KxF10A,M4KxFDA の RAMP の RAM エリアとアドレス.....	106
表 2.103	M4KxFYA,M4KxFWA の RAMP の RAM エリアとアドレス.....	106
表 2.104	TRM 搭載一覧.....	107
表 2.105	TRM トリミング対象発振器.....	107
表 3.1	改訂履歴.....	108



## 序章

## 関連するドキュメント

文書名	IP 記号
入出力ポート	PORT-M4K(2)
例外	EXCEPT-M4K(2)
クロック制御と動作モード	CG-M4K(2)-E
DMA コントローラ	DMAC-B
32 ビットタイマーイベントカウンター	T32A-C
非同期シリアル通信回路	UART-C
シリアルペリフェラルインターフェース	TSPI-E
I <sup>2</sup> C インターフェース	I2C-B
I <sup>2</sup> C インターフェース バージョン A	EI2C-A
12 ビットアナログデジタルコンバーター	ADC-I
オペアンプ	OPAMP-B
アドバンストプログラマブルモーター制御回路	A-PMD-A
アドバンストエンコーダー入力回路(32bit)	A-ENC32-A
アドバンストベクトルエンジンプラス	A-VE+-B
クロック選択式ウォッチドッグタイマー	SIWDT-A
周波数検知回路	OFD-A
デバッグインターフェース	DEBUG-A
ノンブレイクデバッグインターフェース	NBDIF-A
デジタルノイズフィルター回路	DNF-A
トリミング回路	TRM-B
電圧検知回路	LVD-D
CRC 計算回路	CRC-A
RAM パリティ	RAMP-B
フラッシュメモリー	FLASH10MUD32-A

## 表記規約

- 数値表記は以下の規則に従います。
  - 16 進数表記: 0xABC
  - 10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
  - 2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「\_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は [m:n]とまとめて表記する場合があります。  
例: S[3:0] は S3,S2,S1,S0 の 4 つの信号名をまとめて表記しています。
- 本文中 [ ] で囲まれたものはレジスターを定義しています。  
例: [ABCD]
- 同種で複数のレジスター、フィールド、ビット名は「n」で一括表記する場合があります。  
例: [XYZ1],[XYZ2],[XYZ3] → [XYZn]
- 「レジスター一覧」中のレジスター名でユニットまたはチャンネルは「x」で一括表記しています。  
ユニットの場合、「x」は A,B,C, ... を表します。  
例: [ADACR0],[ADBCR0],[ADCCR0] → [ADxCR0]  
チャンネルの場合、「x」は 0,1,2, ... を表します。  
例: [T32A0RUNA],[T32A1RUNA],[T32A2RUNA] → [T32AxRUNA]
- レジスターのビット範囲は [m:n] と表記します。  
例: [3:0] はビット 3 から 0 の範囲を表します。
- レジスターの設定値は 16 進数または 2 進数のどちらかで表記されています。  
例: [ABCD]<EFG> = 0x01 (16 進数)、 [XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
  - バイト: 8 ビット
  - ハーフワード: 16 ビット
  - ワード: 32 ビット
  - ダブルワード: 64 ビット
- レジスター内の各ビットの属性は以下の表記を使用しています。
  - R: リードオンリー
  - W: ライトオンリー
  - R/W: リード / ライト
- 断りのない限り、レジスターアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスターは書き換えを行わないでください。  
また、読み出した値を使用しないでください。
- Default 値が「—」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスターに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。  
Default 値が「—」となっている場合は、個々のレジスターの定義に従ってください。
- ライトオンリーのレジスターの Reserved ビットフィールドには Default 値を書き込んでください。  
Default 値が「—」となっている場合は、個々のレジスターの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスターへのリードモディファイライト処理は行わないでください。

\*\*\*\*\*  
**Arm, Cortex および Thumb は Arm Limited(またはその子会社)の US またはその他の国における登録商標です。 All rights reserved.**  
\*\*\*\*\*



本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

## 用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

ADC	Analog to Digital Converter
A-ENC32	Advanced Encoder Input Circuit(32-bit)
A-PMD	Advanced Programmable Motor Control Circuit
A-VE+	Advanced Vector Engine Plus
CRC	Cyclic Redundancy Check
DMAC	Direct Memory Access Controller
DNF	Digital Noise Filter
EHOSC	External High-Speed Oscillator
EI2C	I <sup>2</sup> C Interface Version A
IHOSC	Internal High-Speed Oscillator
INT	Interrupt
I2C	Inter-Integrated Circuit
LVD	Voltage Detection Circuit
NBDIF	Non Break Debug Interface
NMI	Non-Maskable Interrupt
OFD	Oscillation Frequency Detector
OPAMP	Operational Amplifier
RAMP	RAM Parity
SIWDT	Clock Selective Watchdog Timer
TRGSEL	Trigger Selection Circuit
TRM	Trimming Circuit
TSPI	Serial Peripheral Interface
T32A	32-bit Timer Event Counter
UART	Asynchronous Serial Communication Circuit

## 1. 概要

この章では、周辺機能に関し、チャンネルまたはユニット数、端子情報、その他の製品固有機能の情報について纏めています。各周辺機能のリファレンスマニュアルと合わせてご使用ください。

## 2. 各周辺機能の情報

### 2.1. レジスターベースアドレス

TMPM4K グループ(2)のレジスターベースアドレスタイプを下記に示します。

表 2.1 レジスターベースアドレスタイプ (1/2)

周辺機能			ベースアドレスタイプ (○: 該当、-: 非該当)			Base Address
			TYPE1	TYPE2	TYPE3	
電圧検出回路	LVD	-	○	-	-	0x4003EC00
RAM パリティ	RAMP	ch0	-	-	○	0x40043000
		ch1	-	○	-	0x400A3000
CRC 計算回路	CRC	-	-	-	○	0x40043100
デジタルノイズフィルター回路	DNF	unit A	-	-	-	0x400A0200
		unit B	-	○	-	0x400A0300
		unit C	-	-	-	0x400A0800
クロック選択式ウォッチドックタイマー	SIWDT	ch0	-	○	-	0x400A0600
ノンブレークデバッグインターフェース	NBDIF	-	-	○	-	0x400A2000
DMA コントローラー	DMAC	unit A	-	○	-	0x400A4000
12ビットアナログデジタルコンバーター	ADC	unit A	-	-	-	0x400BA000
		unit B	-	○	-	0x400BA400
		unit C	-	-	-	0x400BA800
オペアンプ	OPAMP	-	-	○	-	0x400BD000
32ビットタイマーイベントカウンター	T32A	ch0	-	-	-	0x400C1000
		ch1	-	-	-	0x400C1400
		ch2	-	○	-	0x400C1800
		ch3	-	-	-	0x400C1C00
		ch4	-	-	-	0x400C2000
		ch5	-	-	-	0x400C2400
シリアルペリフェラルインターフェース	TSPI	ch0	-	○	-	0x400CA000
		ch1	-	-	-	0x400CA400
非同期シリアル通信回路	UART	ch0	-	-	-	0x400CE000
		ch1	-	○	-	0x400CE400
		ch2	-	-	-	0x400CE800
		ch3	-	-	-	0x400CEC00
I <sup>2</sup> C インターフェース	I2C	ch0	-	○	-	0x400D1000
		ch1	-	-	-	0x400D2000

表 2.2 レジスタベースアドレスタイプ (2/2)

周辺機能			ベースアドレスタイプ (○: 該当、-: 非該当)			Base Address
			TYPE1	TYPE2	TYPE3	
I <sup>2</sup> C インターフェース バージョン A	EI2C	ch0		○		0x400D8000
		ch1				0x400D9000
トリミング回路	TRM	-	-	○	-	0x400E3100
周波数検知回路	OFD	-	-	○	-	0x400E4000
アドバンスプログラムブルモーター制御回路	A-PMD	ch0		○		0x400E9000
		ch1	-	○	-	0x400E9400
		ch2				0x400E9800
アドバンスエンコーダー入力回路 (32-bit)	A-ENC32	ch0		○		0x400EA000
		ch1	-	○	-	0x400EA400
		ch2				0x400EA800
アドバンスベクトルエンジンプラス	A-VE+	ch0	-	○	-	0x400EB000
フラッシュメモリー	Flash	-	○	-	-	0x5DFF0000

上記のベースアドレスタイプを参照し、各周辺機能の開発を行ってください。

## 2.2. トリガーセクター(TRGSEL)

トリガーセクターは、周辺機能、ポートなどから入力された複数のトリガーから、1つのトリガーを選択し周辺機能にトリガー信号を出力する回路です。

8本のトリガーから[TSELOCRn]<INSELm>で選択されたトリガーを、接続先の周辺機能に出力します。

「図 2.1 トリガーセクター接続例」は、ポート端子(PA2,PA3,PA4)及び 32 ビットタイマーイベントカウンタ(ch5)から出力されるタイマーレジスター一致トリガー(A1,B1,C1)が、トリガーセクター経由で UART(ch3)に接続されている例です。[TSELOCR6]で入力トリガー選択、エッジ検出の許可/禁止とエッジ検出条件の設定およびトリガー出力制御を行います。

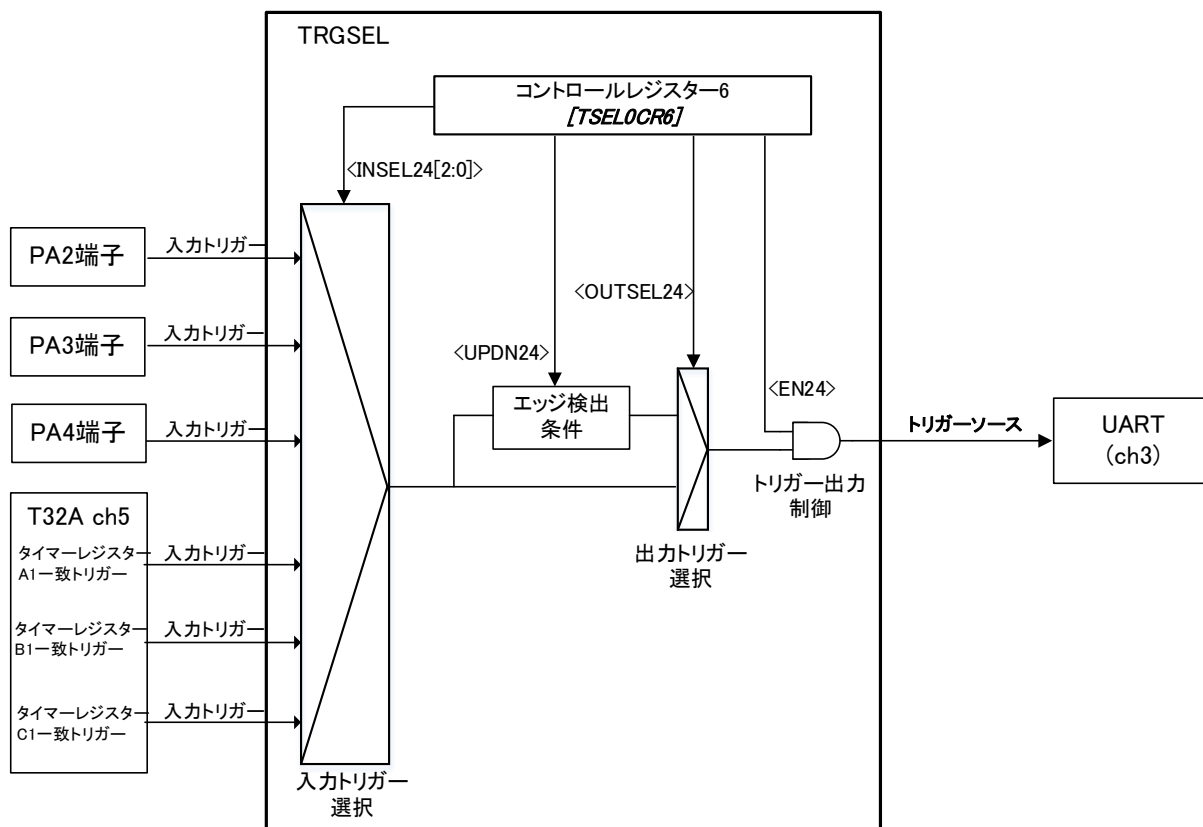


図 2.1 トリガーセクター接続例

## 2.2.1. トリガーセクターと製品対応

TMPM4K グループ(2)のトリガーセクターは、11本の制御レジスター(*[TSEL0CR0~10]*)で構成されており43本のトリガーを制御できます。

下記の表にコントロールレジスターと接続先および対応製品を示します。

表 2.3 製品別トリガーセクター対応一覧 (1/6)

レジスター	Bit Symbol	接続先	選択先トリガースource	製品対応 (○: 対応、-: 非対応)		
				M4KN	M4KM	M4KL
<i>[TSEL0CR0]</i>	INSEL0	DMA ch16	ADC unit A 汎用トリガーDMA 要求 ADC unit A 単独変換 DMA 要求 ADC unit A 連続変換 DMA 要求	○	○	○
	INSEL1	DMA ch17	ADC unit B 汎用トリガーDMA 要求 ADC unit B 単独変換 DMA 要求 ADC unit B 連続変換 DMA 要求	○	○	○
	INSEL2	DMA ch18	ADC unit C 汎用トリガーDMA 要求 ADC unit C 単独変換 DMA 要求 ADC unit C 連続変換 DMA 要求	○	○	○
	INSEL3	DMA ch19	T32A ch0 DMA 要求レジスターA1 一致 T32A ch0 DMA 要求レジスターC1 一致 T32A ch1 DMA 要求レジスターA1 一致 T32A ch1 DMA 要求レジスターC1 一致 A-PMD ch0 PWM 割り込み	○	○	○
<i>[TSEL0CR1]</i>	INSEL4	DMA ch20	T32A ch2 DMA 要求レジスターA1 一致 T32A ch2 DMA 要求レジスターC1 一致 T32A ch3 DMA 要求レジスターA1 一致 T32A ch3 DMA 要求レジスターC1 一致 A-PMD ch1 PWM 割り込み	○	○	○
	INSEL5	DMA ch21	T32A ch4 DMA 要求レジスターA1 一致 T32A ch4 DMA 要求レジスターC1 一致 T32A ch5 DMA 要求レジスターA1 一致 T32A ch5 DMA 要求レジスターC1 一致 A-PMD ch2 PWM 割り込み	○	○	○
	INSEL6	DMA ch22	T32A ch0 DMA 要求レジスターB1 一致 T32A ch1 DMA 要求レジスターB1 一致 T32A ch2 DMA 要求レジスターB1 一致 T32A ch3 DMA 要求レジスターB1 一致 T32A ch4 DMA 要求レジスターB1 一致 T32A ch5 DMA 要求レジスターB1 一致	○	○	○
	INSEL7	DMA ch23	T32A ch0 DMA 要求キャプチャーA0 T32A ch0 DMA 要求キャプチャーA1 T32A ch1 DMA 要求キャプチャーA0 T32A ch1 DMA 要求キャプチャーA1 T32A ch0 DMA 要求キャプチャーC0 T32A ch0 DMA 要求キャプチャーC1 T32A ch1 DMA 要求キャプチャーC0 T32A ch1 DMA 要求キャプチャーC1	○	○	○



表 2.4 製品別トリガーセレクト対応一覧 (2/6)

レジスター	Bit Symbol	接続先	選択先トリガースource	製品対応 (○: 対応、-: 非対応)		
				M4KN	M4KM	M4KL
[TSEL0CR2]	INSEL8	DMA ch24	T32A ch2 DMA 要求キャプチャーA0 T32A ch2 DMA 要求キャプチャーA1 T32A ch3 DMA 要求キャプチャーA0 T32A ch3 DMA 要求キャプチャーA1 T32A ch2 DMA 要求キャプチャーC0 T32A ch2 DMA 要求キャプチャーC1 T32A ch3 DMA 要求キャプチャーC0 T32A ch3 DMA 要求キャプチャーC1	○	○	○
	INSEL9	DMA ch25	T32A ch4 DMA 要求キャプチャーA0 T32A ch4 DMA 要求キャプチャーA1 T32A ch5 DMA 要求キャプチャーA0 T32A ch5 DMA 要求キャプチャーA1 T32A ch4 DMA 要求キャプチャーC0 T32A ch4 DMA 要求キャプチャーC1 T32A ch5 DMA 要求キャプチャーC0 T32A ch5 DMA 要求キャプチャーC1	○	○	○
	INSEL10	DMA ch26	T32A ch0 DMA 要求キャプチャーB0 T32A ch0 DMA 要求キャプチャーB1 T32A ch1 DMA 要求キャプチャーB0 T32A ch1 DMA 要求キャプチャーB1 T32A ch2 DMA 要求キャプチャーB0 T32A ch2 DMA 要求キャプチャーB1	○	○	○
	INSEL11	DMA ch27	T32A ch3 DMA 要求キャプチャーB0 T32A ch3 DMA 要求キャプチャーB1 T32A ch4 DMA 要求キャプチャーB0 T32A ch4 DMA 要求キャプチャーB1 T32A ch5 DMA 要求キャプチャーB0 T32A ch5 DMA 要求キャプチャーB1	○	○	○
[TSEL0CR3]	INSEL12	DMA ch28	DMAC ch0 転送終了 DMAC ch1 転送終了 DMAC ch8 転送終了 DMAC ch9 転送終了 DMAC ch16 転送終了 DMAC ch17 転送終了 DMAC ch22 転送終了	○	○	○
	INSEL13	DMA ch29	DMAC ch2 転送終了 DMAC ch3 転送終了 DMAC ch10 転送終了 DMAC ch11 転送終了 DMAC ch18 転送終了 DMAC ch19 転送終了 DMAC ch23 転送終了	○	○	○
	INSEL14	DMA ch30	端子 PA2 (TRGIN0)	○	○	○
			DMAC ch4 転送終了 DMAC ch5 転送終了 DMAC ch12 転送終了 DMAC ch13 転送終了 DMAC ch20 転送終了 DMAC ch24 転送終了 DMAC ch26 転送終了	○	○	○
	INSEL15	DMA ch31	端子 PA3 (TRGIN1)	○	○	○
			DMAC ch6 転送終了 DMAC ch7 転送終了 DMAC ch14 転送終了 DMAC ch15 転送終了 DMAC ch21 転送終了 DMAC ch25 転送終了 DMAC ch27 転送終了	○	○	○
				端子 PA4 (TRGIN2)	○	○

表 2.5 製品別トリガーセレクト対応一覧 (3/6)

レジスター	Bit Symbol	接続先	選択先トリガースource	製品対応 (○: 対応、-: 非対応)		
				M4KN	M4KM	M4KL
[TSEL0CR4]	INSEL16	ADC unit A	PA2 端子(TRGIN0)	○	○	○
			PA3 端子(TRGIN1)	○	○	○
			PA4 端子(TRGIN2)	○	○	○
			T32A ch1 タイマーレジスターA1 一致トリガー			
			T32A ch1 タイマーレジスターB1 一致トリガー	○	○	○
			T32A ch1 タイマーレジスターC1 一致トリガー			
	INSEL17	ADC unit B	PA2 端子(TRGIN0)	○	○	○
			PA3 端子(TRGIN1)	○	○	○
			PA4 端子(TRGIN2)	○	○	○
			T32A ch3 タイマーレジスターA1 一致トリガー			
			T32A ch3 タイマーレジスターB1 一致トリガー	○	○	○
			T32A ch3 タイマーレジスターC1 一致トリガー			
	INSEL18	ADC unit C	PA2 端子(TRGIN0)	○	○	○
			PA3 端子(TRGIN1)	○	○	○
			PA4 端子(TRGIN2)	○	○	○
T32A ch5 タイマーレジスターA1 一致トリガー						
T32A ch5 タイマーレジスターB1 一致トリガー			○	○	○	
T32A ch5 タイマーレジスターC1 一致トリガー						
INSEL19	TSPI ch0	PA2 端子(TRGIN0)	○	○	○	
		PA3 端子(TRGIN1)	○	○	○	
		PA4 端子(TRGIN2)	○	○	○	
		T32A ch5 タイマーレジスターA1 一致トリガー				
		T32A ch5 タイマーレジスターB1 一致トリガー	○	○	○	
		T32A ch5 タイマーレジスターC1 一致トリガー				
[TSEL0CR5]	INSEL20	TSPI ch1	PA2 端子(TRGIN0)	○	○	○
			PA3 端子(TRGIN1)	○	○	○
			PA4 端子(TRGIN2)	○	○	○
			T32A ch5 タイマーレジスターA1 一致トリガー			
			T32A ch5 タイマーレジスターB1 一致トリガー	○	○	○
			T32A ch5 タイマーレジスターC1 一致トリガー			
	INSEL21	UART ch0	PA2 端子(TRGIN0)	○	○	○
			PA3 端子(TRGIN1)	○	○	○
			PA4 端子(TRGIN2)	○	○	○
			T32A ch5 タイマーレジスターA1 一致トリガー			
			T32A ch5 タイマーレジスターB1 一致トリガー	○	○	○
			T32A ch5 タイマーレジスターC1 一致トリガー			
	INSEL22	UART ch1	PA2 端子(TRGIN0)	○	○	○
			PA3 端子(TRGIN1)	○	○	○
			PA4 端子(TRGIN2)	○	○	○
T32A ch5 タイマーレジスターA1 一致トリガー						
T32A ch5 タイマーレジスターB1 一致トリガー			○	○	○	
T32A ch5 タイマーレジスターC1 一致トリガー						
INSEL23	UART ch2	PA2 端子(TRGIN0)	○	○	○	
		PA3 端子(TRGIN1)	○	○	○	
		PA4 端子(TRGIN2)	○	○	○	
		T32A ch5 タイマーレジスターA1 一致トリガー				
		T32A ch5 タイマーレジスターB1 一致トリガー	○	○	○	
		T32A ch5 タイマーレジスターC1 一致トリガー				

表 2.6 製品別トリガーセレクト対応一覧 (4/6)

レジスター	Bit Symbol	接続先	選択先トリガースource	製品対応 (○: 対応、-: 非対応)			
				M4KN	M4KM	M4KL	
[TSEL0CR6]	INSEL24	UART ch3	PA2 端子(TRGIN0)	○	○	-	
			PA3 端子(TRGIN1)	○	○	-	
			PA4 端子(TRGIN2)	○	○	-	
			T32A ch5 タイマーレジスターA1 一致トリガー T32A ch5 タイマーレジスターB1 一致トリガー T32A ch5 タイマーレジスターC1 一致トリガー	○	○	-	
	INSEL25	T32A ch0 タイマーA	PA2 端子(TRGIN0)	○	○	○	
			PA3 端子(TRGIN1)	○	○	○	
			PA4 端子(TRGIN2)	○	○	○	
			UART ch0 送信完了トリガー UART ch0 受信完了トリガー TSPi ch0 送信完了トリガー TSPi ch0 受信完了トリガー	○	○	○	
			I2C ch0 割り込み EI2C ch0 ステータス割り込み	○	○	○	
	INSEL26	T32A ch0 タイマーB	T32A ch0 タイマーレジスターA0 一致トリガー T32A ch0 タイマーレジスターA1 一致トリガー	○	○	○	
			T32A ch0 タイマーA オーバーフロートリガー T32A ch0 タイマーA アンダーフロートリガー	○	○	○	
	INSEL27	T32A ch0 タイマーC	T32A ch5 タイマーレジスターC0 一致トリガー T32A ch5 タイマーレジスターC1 一致トリガー	○	○	○	
			T32A ch5 タイマーC オーバーフロートリガー T32A ch5 タイマーC アンダーフロートリガー	○	○	○	
	[TSEL0CR7]	INSEL28	T32A ch1 タイマーA	PA2 端子(TRGIN0)	○	○	○
				PA3 端子(TRGIN1)	○	○	○
				PA4 端子(TRGIN2)	○	○	○
UART ch1 送信完了トリガー UART ch1 受信完了トリガー TSPi ch1 送信完了トリガー TSPi ch1 受信完了トリガー				○	○	○	
A-ENC32 ch0 分周パルス(TIMPLS)				○	○	-	
T32A ch1 タイマーレジスターA0 一致トリガー T32A ch1 タイマーレジスターA1 一致トリガー				○	○	○	
INSEL29		T32A ch1 タイマーB	T32A ch1 タイマーA オーバーフロートリガー T32A ch1 タイマーA アンダーフロートリガー	○	○	○	
			T32A ch0 タイマーレジスターC0 一致トリガー T32A ch0 タイマーレジスターC1 一致トリガー	○	○	○	
INSEL30		T32A ch1 タイマーC	T32A ch0 タイマーC オーバーフロートリガー T32A ch0 タイマーC アンダーフロートリガー	○	○	○	
			PA2 端子(TRGIN0)	○	○	○	
INSEL31		T32A ch2 タイマーA	PA3 端子(TRGIN1)	○	○	○	
			PA4 端子(TRGIN2)	○	○	○	
			UART ch2 送信完了トリガー UART ch2 受信完了トリガー	○	○	○	
			A-ENC32 ch1 分周パルス(TIMPLS)	○	○	-	
			I2C ch1 割り込み EI2C ch1 ステータス割り込み	○	○	○	

表 2.7 製品別トリガーセレクト-対応一覽 (5/6)

レジスタ- Bit Symbol	接続先	選択先トリガ-ソース	製品対応 (O: 対応、-: 非対応)			
			M4KN	M4KM	M4KL	
[TSEL0CR8]	INSEL32	T32A ch2 タイマ-B	T32A ch2 タイマ-レジスタ-A0 一致トリガ- T32A ch2 タイマ-レジスタ-A1 一致トリガ- T32A ch2 タイマ-A オバ-フロ-トリガ- T32A ch2 タイマ-A アンダ-フロ-トリガ-	○	○	○
	INSEL33	T32A ch2 タイマ-C	T32A ch1 タイマ-レジスタ-C0 一致トリガ- T32A ch1 タイマ-レジスタ-C1 一致トリガ- T32A ch1 タイマ-C オバ-フロ-トリガ- T32A ch1 タイマ-C アンダ-フロ-トリガ-	○	○	○
	INSEL34	T32A ch3 タイマ-A	PA2 端子(TRGIN0)	○	○	○
			PA3 端子(TRGIN1)	○	○	○
			PA4 端子(TRGIN2)	○	○	○
			UART ch3 送信完了トリガ- UART ch3 受信完了トリガ- ADC unit C 汎用トリガ-割り込み ADC unit C 単独変換割り込み ADC unit C 連続変換割り込み	○	○	-
INSEL35	T32A ch3 タイマ-B	T32A ch3 タイマ-レジスタ-A0 一致トリガ- T32A ch3 タイマ-レジスタ-A1 一致トリガ- T32A ch3 タイマ-A オバ-フロ-トリガ- T32A ch3 タイマ-A アンダ-フロ-トリガ-	○	○	○	
[TSEL0CR9]	INSEL36	T32A ch3 タイマ-C	T32A ch2 タイマ-レジスタ-C0 一致トリガ- T32A ch2 タイマ-レジスタ-C1 一致トリガ- T32A ch2 タイマ-C オバ-フロ-トリガ- T32A ch2 タイマ-C アンダ-フロ-トリガ-	○	○	○
	INSEL37	T32A ch4 タイマ-A	PA2 端子(TRGIN0)	○	○	○
			PA3 端子(TRGIN1)	○	○	○
			PA4 端子(TRGIN2)	○	○	○
			ADC unit A 汎用トリガ-割り込み ADC unit A 単独変換割り込み ADC unit A 連続変換割り込み ADC unit A 監視機能 0 割り込み	○	○	○
			A-ENC32 ch2 分周パルス(TIMPLS)	○	○	○
INSEL38	T32A ch4 タイマ-B	T32A ch4 タイマ-レジスタ-A0 一致トリガ- T32A ch4 タイマ-レジスタ-A1 一致トリガ- T32A ch4 タイマ-A オバ-フロ-トリガ- T32A ch4 タイマ-A アンダ-フロ-トリガ-	○	○	○	
INSEL39	T32A ch4 タイマ-C	T32A ch3 タイマ-レジスタ-C0 一致トリガ- T32A ch3 タイマ-レジスタ-C1 一致トリガ- T32A ch3 タイマ-C オバ-フロ-トリガ- T32A ch3 タイマ-C アンダ-フロ-トリガ-	○	○	○	

表 2.8 製品別トリガーセクター対応一覧 (6/6)

レジスター	Bit Symbol	接続先	選択先トリガースource	製品対応 (○: 対応、-: 非対応)		
				M4KN	M4KM	M4KL
[TSEL0CR10 J	INSEL40	T32A ch5 タイマーA	PA2 端子(TRGIN0)	○	○	○
			PA3 端子(TRGIN1)	○	○	○
			PA4 端子(TRGIN2)	○	○	○
			ADC unit B 汎用トリガー割り込み	○	○	○
			ADC unit B 単独変換割り込み			
			ADC unit B 連続変換割り込み			
	ADC unit B 監視機能 0 割り込み					
	INSEL41	T32A ch5 タイマーB	ADC unit B 監視機能 1 割り込み	○	○	○
			T32A ch5 タイマーレジスターA0 一致トリガー			
			T32A ch5 タイマーレジスターA1 一致トリガー			
	INSEL42	T32A ch5 タイマーC	T32A ch5 タイマーA オーバーフロートリガー	○	○	○
			T32A ch5 タイマーA アンダーフロートリガー			
T32A ch4 タイマーレジスターC0 一致トリガー						
T32A ch4 タイマーレジスターC1 一致トリガー						
			T32A ch4 タイマーC オーバーフロートリガー			
			T32A ch4 タイマーC アンダーフロートリガー			

## 2.2.2. 使用方法と設定

TRGSEL を使用する場合は、fsys 供給停止レジスターA ( $[CGFSYSENA]$ 、 $[CGFSYSMENA]$ )、fsys 供給停止レジスターB ( $[CGFSYSENB]$ 、 $[CGFSYSMENB]$ )、fsys 供給停止レジスターC ( $[CGFSYSMENC]$ )、fc 供給停止レジスター ( $[CGFCEN]$ ) で該当するクロックイネーブルビットを"1" (クロック供給) に設定してください。

該当レジスター、ビット位置は製品によって異なります。そのため、製品によってレジスターが存在しない場合があります。詳細はリファレンスマニュアル「クロック制御と動作モード」を参照してください。

トリガーセクターの設定は以下の順序で行ってください。

### (1) 入力トリガーの選択( $[TSEL0CRn]$ <INSELm>)

トリガーセクターの接続先に対し、入力トリガーの選択を行います。

入力トリガーの選択はコントロールレジスターの入力トリガー選択ビット ( $[TSEL0CRn]$ <INSELm>) で設定してください。(n: レジスター番号、m: トリガー番号)

### (2) エッジ検出条件の選択( $[TSEL0CRn]$ <UPDNm>)

エッジ検出が必要な入力トリガー信号に対して、立ち上がりエッジまたは立ち下がりエッジ検出の選択を行います。

エッジ検出条件の選択はコントロールレジスターのエッジ検出条件の選択ビット ( $[TSEL0CRn]$ <UPDNm>) で設定してください。

エッジ検出が必要なトリガー信号は以下となります。

- ・外部トリガー入力 (TRGIN0, TRGIN1, TRGIN2)

### (3) トリガー出力の選択( $[TSEL0CRn]$ <OUTSELm>)

出力するトリガー信号に対し、エッジ検出なし出力またはエッジ検出あり出力の選択を行います。

トリガー出力の選択はコントロールレジスターのトリガー出力の選択ビット ( $[TSEL0CRn]$ <OUTSELm>) で設定してください。

### (4) 出力の許可( $[TSEL0CRn]$ <ENm>)

選択したトリガー信号の出力許可または禁止を選択します。

出力許可または禁止の選択はコントロールレジスターのトリガー出力制御の設定ビット ( $[TSEL0CRn]$ <ENm>) を設定してください。 $[TSEL0CRn]$ <ENm>を"1"に設定するとトリガー出力が許可になります。

### 2.2.3. レジスタ一覧

制御レジスタとアドレスは以下のとおりです。

周辺機能		チャンネル/ユニット	ベースアドレス
トリガーセクター	TRGSEL	ch0	0x400A0400

レジスタ名		アドレス(Base+)
コントロールレジスタ0	[TSELxCR0]	0x0000
コントロールレジスタ1	[TSELxCR1]	0x0004
コントロールレジスタ2	[TSELxCR2]	0x0008
コントロールレジスタ3	[TSELxCR3]	0x000C
コントロールレジスタ4	[TSELxCR4]	0x0010
コントロールレジスタ5	[TSELxCR5]	0x0014
コントロールレジスタ6	[TSELxCR6]	0x0018
コントロールレジスタ7	[TSELxCR7]	0x001C
コントロールレジスタ8	[TSELxCR8]	0x0020
コントロールレジスタ9	[TSELxCR9]	0x0024
コントロールレジスタ10	[TSELxCR10]	0x0028

## 2.2.4. レジスター詳細

以下のセクションでレジスターの詳細を示します。  
 各表の機能欄カッコ内の記号は各機能信号名を表しています。

### 2.2.4.1. [TSELxCR0](コントロールレジスター0)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL3[2:0]	000	R/W	入カトリガーの選択(DMA ch19) 000: T32A ch0 DMA 要求レジスターA1 一致 (T32A00DMAREQMPA1) 001: T32A ch0 DMA 要求レジスターC1 一致 (T32A00DMAREQMPC1) 010: T32A ch1 DMA 要求レジスターA1 一致 (T32A01DMAREQMPA1) 011: T32A ch1 DMA 要求レジスターC1 一致 (T32A01DMAREQMPC1) 100: A-PMD ch0 PWM 割り込み (INTPWM0) 101: Reserved 110: Reserved 111: Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN3	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL3	0	R/W	出カトリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN3	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL2[2:0]	000	R/W	入カトリガーの選択(DMA ch18) 000: ADC unit C 汎用トリガーDMA 要求 (ADCTRG_DMAREQ) 001: ADC unit C 単独変換 DMA 要求 (ADCSGL_DMAREQ) 010: ADC unit C 連続変換 DMA 要求 (ADCCNT_DMAREQ) 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN2	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL2	0	R/W	出カトリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN2	0	R/W	トリガー出力制御 0: 禁止 1: 許可



Bit	Bit Symbol	リセット後	Type	機能
15	-	0	R	リードすると"0"が読めます。
14:12	INSEL1[2:0]	000	R/W	入力トリガーの選択(DMA ch17) 000: ADC unit B 汎用トリガーDMA 要求 (ADBTRG_DMAREQ) 001: ADC unit B 単独変換 DMA 要求 (ADBSGL_DMAREQ) 010: ADC unit B 連続変換 DMA 要求 (ADBCNT_DMAREQ) 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN1	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL1	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN1	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL0[2:0]	000	R/W	入力トリガーの選択(DMA ch16) 000: ADC unit A 汎用トリガーDMA 要求 (ADATRG_DMAREQ) 001: ADC unit A 単独変換 DMA 要求 (ADASGL_DMAREQ) 010: ADC unit A 連続変換 DMA 要求 (ADACNT_DMAREQ) 011: Reserved 100: Reserved 101: Reserved 110: Reserved 111: Reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN0	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL0	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN0	0	R/W	トリガー出力制御 0: 禁止 1: 許可

## 2.2.4.2. [TSELxCR1](コントロールレジスター1)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL7[2:0]	000	R/W	入力トリガーの選択(DMA ch23) 000: T32A ch0 DMA 要求キャプチャーA0 (T32A00DMAREQCAPA0) 001: T32A ch0 DMA 要求キャプチャーA1 (T32A00DMAREQCAPA1) 010: T32A ch1 DMA 要求キャプチャーA0 (T32A01DMAREQCAPA0) 011: T32A ch1 DMA 要求キャプチャーA1 (T32A01DMAREQCAPA1) 100: T32A ch0 DMA 要求キャプチャーC0 (T32A00DMAREQCAPC0) 101: T32A ch0 DMA 要求キャプチャーC1 (T32A00DMAREQCAPC1) 110: T32A ch1 DMA 要求キャプチャーC0 (T32A01DMAREQCAPC0) 111: T32A ch1 DMA 要求キャプチャーC1 (T32A01DMAREQCAPC1)
27	-	0	R	リードすると"0"が読めます。
26	UPDN7	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL7	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN7	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL6[2:0]	000	R/W	入力トリガーの選択(DMA ch22) 000: T32A ch0 DMA 要求レジスターB1 一致 (T32A00DMAREQCMPB1) 001: T32A ch1 DMA 要求レジスターB1 一致 (T32A01DMAREQCMPB1) 010: T32A ch2 DMA 要求レジスターB1 一致 (T32A02DMAREQCMPB1) 011: T32A ch3 DMA 要求レジスターB1 一致 (T32A03DMAREQCMPB1) 100: T32A ch4 DMA 要求レジスターB1 一致 (T32A04DMAREQCMPB1) 101: T32A ch5 DMA 要求レジスターB1 一致 (T32A05DMAREQCMPB1) 110: Reserved 111: Reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN6	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL6	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN6	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL5[2:0]	000	R/W	入力トリガーの選択(DMA ch21) 000: T32A ch4 DMA 要求レジスターA1 一致 (T32A04DMAREQCMPC1) 001: T32A ch4 DMA 要求レジスターC1 一致 (T32A04DMAREQCMPC1) 010: T32A ch5 DMA 要求レジスターA1 一致 (T32A05DMAREQCMPC1) 011: T32A ch5 DMA 要求レジスターC1 一致 (T32A05DMAREQCMPC1) 100: A-PMD ch2 PWM 割り込み (INTPWM2) 101: Reserved 110: Reserved 111: Reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN5	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL5	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN5	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL4[2:0]	000	R/W	入力トリガーの選択(DMA ch20) 000: T32A ch2 DMA 要求レジスターA1 一致 (T32A02DMAREQCMPC1) 001: T32A ch2 DMA 要求レジスターC1 一致 (T32A02DMAREQCMPC1) 010: T32A ch3 DMA 要求レジスターA1 一致 (T32A03DMAREQCMPC1) 011: T32A ch3 DMA 要求レジスターC1 一致 (T32A03DMAREQCMPC1) 100: A-PMD ch1 PWM 割り込み (INTPWM1) 101: Reserved 110: Reserved 111: Reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN4	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL4	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN4	0	R/W	トリガー出力制御 0: 禁止 1: 許可

### 2.2.4.3. [TSELxCR2](コントロールレジスター2)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL11[2:0]	000	R/W	入力トリガーの選択(DMA ch27) 000: T32A ch3 DMA 要求キャプチャー-B0 (T32A03DMAREQCAPB0) 001: T32A ch3 DMA 要求キャプチャー-B1 (T32A03DMAREQCAPB1) 010: T32A ch4 DMA 要求キャプチャー-B0 (T32A04DMAREQCAPB0) 011: T32A ch4 DMA 要求キャプチャー-B1 (T32A04DMAREQCAPB1) 100: T32A ch5 DMA 要求キャプチャー-B0 (T32A05DMAREQCAPB0) 101: T32A ch5 DMA 要求キャプチャー-B1 (T32A05DMAREQCAPB1) 110: Reserved 111: Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN11	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL11	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN11	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL10[2:0]	000	R/W	入力トリガーの選択(DMA ch26) 000: T32A ch0 DMA 要求キャプチャー-B0 (T32A00DMAREQCAPB0) 001: T32A ch0 DMA 要求キャプチャー-B1 (T32A00DMAREQCAPB1) 010: T32A ch1 DMA 要求キャプチャー-B0 (T32A01DMAREQCAPB0) 011: T32A ch1 DMA 要求キャプチャー-B1 (T32A01DMAREQCAPB1) 100: T32A ch2 DMA 要求キャプチャー-B0 (T32A02DMAREQCAPB0) 101: T32A ch2 DMA 要求キャプチャー-B1 (T32A02DMAREQCAPB1) 110: Reserved 111: Reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN10	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL10	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN10	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL9[2:0]	000	R/W	入力トリガーの選択(DMA ch25) 000: T32A ch4 DMA 要求キャプチャーA0 (T32A04DMAREQCAPA0) 001: T32A ch4 DMA 要求キャプチャーA1 (T32A04DMAREQCAPA1) 010: T32A ch5 DMA 要求キャプチャーA0 (T32A05DMAREQCAPA0) 011: T32A ch5 DMA 要求キャプチャーA1 (T32A05DMAREQCAPA1) 100: T32A ch4 DMA 要求キャプチャーC0 (T32A04DMAREQCAPC0) 101: T32A ch4 DMA 要求キャプチャーC1 (T32A04DMAREQCAPC1) 110: T32A ch5 DMA 要求キャプチャーC0 (T32A05DMAREQCAPC0) 111: T32A ch5 DMA 要求キャプチャーC1 (T32A05DMAREQCAPC1)
11	-	0	R	リードすると"0"が読めます。
10	UPDN9	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL9	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN9	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL8[2:0]	000	R/W	入力トリガーの選択(DMA ch24) 000: T32A ch2 DMA 要求キャプチャーA0 (T32A02DMAREQCAPA0) 001: T32A ch2 DMA 要求キャプチャーA1 (T32A02DMAREQCAPA1) 010: T32A ch3 DMA 要求キャプチャーA0 (T32A03DMAREQCAPA0) 011: T32A ch3 DMA 要求キャプチャーA1 (T32A03DMAREQCAPA1) 100: T32A ch2 DMA 要求キャプチャーC0 (T32A02DMAREQCAPC0) 101: T32A ch2 DMA 要求キャプチャーC1 (T32A02DMAREQCAPC1) 110: T32A ch3 DMA 要求キャプチャーC0 (T32A03DMAREQCAPC0) 111: T32A ch3 DMA 要求キャプチャーC1 (T32A03DMAREQCAPC1)
3	-	0	R	リードすると"0"が読めます。
2	UPDN8	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL8	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN8	0	R/W	トリガー出力制御 0: 禁止 1: 許可

## 2.2.4.4. [TSELxCR3](コントロールレジスター3)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL15[2:0]	000	R/W	入力トリガーの選択(DMA ch31) 000: DMAC ch6 転送終了 (INTDMAATC6) 001: DMAC ch7 転送終了 (INTDMAATC7) 010: DMAC ch14 転送終了 (INTDMAATC14) 011: DMAC ch15 転送終了 (INTDMAATC15) 100: DMAC ch21 転送終了 (INTDMAATC21) 101: DMAC ch25 転送終了 (INTDMAATC25) 110: DMAC ch27 転送終了 (INTDMAATC27) 111: PA4 端子(TRGIN2)
27	-	0	R	リードすると"0"が読めます。
26	UPDN15	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL15	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN15	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL14[2:0]	000	R/W	入力トリガーの選択(DMA ch30) 000: DMAC ch4 転送終了 (INTDMAATC4) 001: DMAC ch5 転送終了 (INTDMAATC5) 010: DMAC ch12 転送終了 (INTDMAATC12) 011: DMAC ch13 転送終了 (INTDMAATC13) 100: DMAC ch20 転送終了 (INTDMAATC20) 101: DMAC ch24 転送終了 (INTDMAATC24) 110: DMAC ch26 転送終了 (INTDMAATC26) 111: PA3 端子(TRGIN1)
19	-	0	R	リードすると"0"が読めます。
18	UPDN14	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL14	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN14	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL13[2:0]	000	R/W	入力トリガーの選択(DMA ch29) 000: DMAC ch2 転送終了 (INTDMAATC2) 001: DMAC ch3 転送終了 (INTDMAATC3) 010: DMAC ch10 転送終了 (INTDMAATC10) 011: DMAC ch11 転送終了 (INTDMAATC11) 100: DMAC ch18 転送終了 (INTDMAATC18) 101: DMAC ch19 転送終了 (INTDMAATC19) 110: DMAC ch23 転送終了 (INTDMAATC23) 111: PA2 端子 (TRGIN0)
11	-	0	R	リードすると"0"が読めます。
10	UPDN13	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL13	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN13	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL12[2:0]	000	R/W	入力トリガーの選択(DMA ch28) 000: DMAC ch0 転送終了 (INTDMAATC0) 001: DMAC ch1 転送終了 (INTDMAATC1) 010: DMAC ch8 転送終了 (INTDMAATC8) 011: DMAC ch9 転送終了 (INTDMAATC9) 100: DMAC ch16 転送終了 (INTDMAATC16) 101: DMAC ch17 転送終了 (INTDMAATC17) 110: DMAC ch22 転送終了 (INTDMAATC22) 111: Reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN12	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL12	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN12	0	R/W	トリガー出力制御 0: 禁止 1: 許可

## 2.2.4.5. [TSELxCR4](コントロールレジスター4)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL19[2:0]	000	R/W	入カトリガーの選択(TSPI ch0 トリガー入力) 000: PA2 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PA4 端子 (TRGIN2) 011: T32A ch5 タイマーレジスターA1 一致トリガー(T32A05TRGOUTCMPA1) 100: T32A ch5 タイマーレジスターB1 一致トリガー(T32A05TRGOUTCMPB1) 101: T32A ch5 タイマーレジスターC1 一致トリガー(T32A05TRGOUTCMPC1) 110: Reserved 111: Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN19	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL19	0	R/W	出カトリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN19	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL18[2:0]	000	R/W	入カトリガーの選択(ADC unit C 汎用トリガー) 000: PA2 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PA4 端子 (TRGIN2) 011: T32A ch5 タイマーレジスターA1 一致トリガー(T32A05TRGOUTCMPA1) 100: T32A ch5 タイマーレジスターB1 一致トリガー(T32A05TRGOUTCMPB1) 101: T32A ch5 タイマーレジスターC1 一致トリガー(T32A05TRGOUTCMPC1) 110: Reserved 111: Reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN18	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL18	0	R/W	出カトリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN18	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。



Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL17[2:0]	000	R/W	入力トリガーの選択(ADC unit B 汎用トリガー) 000: PA2 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PA4 端子 (TRGIN2) 011: T32A ch3 タイマーレジスターA1 一致トリガー(T32A03TRGOUTCMPA1) 100: T32A ch3 タイマーレジスターB1 一致トリガー(T32A03TRGOUTCMPB1) 101: T32A ch3 タイマーレジスターC1 一致トリガー(T32A03TRGOUTCMPA1) 110: Reserved 111: Reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN17	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL17	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN17	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL16[2:0]	000	R/W	入力トリガーの選択(ADC unit A 汎用トリガー) 000: PA2 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PA4 端子 (TRGIN2) 011: T32A ch1 タイマーレジスターA1 一致トリガー(T32A01TRGOUTCMPA1) 100: T32A ch1 タイマーレジスターB1 一致トリガー(T32A01TRGOUTCMPB1) 101: T32A ch1 タイマーレジスターC1 一致トリガー(T32A01TRGOUTCMPA1) 110: Reserved 111: Reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN16	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL16	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN16	0	R/W	トリガー出力制御 0: 禁止 1: 許可

## 2.2.4.6. [TSELxCR5](コントロールレジスター5)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL23[2:0]	000	R/W	入力トリガーの選択(UART ch2 トリガー入力) 000: PA2 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PA4 端子 (TRGIN2) 011: T32A ch5 タイマーレジスターA1 一致トリガー(T32A05TRGOUTCMPA1) 100: T32A ch5 タイマーレジスターB1 一致トリガー(T32A05TRGOUTCMPB1) 101: T32A ch5 タイマーレジスターC1 一致トリガー(T32A05TRGOUTCMPC1) 110: Reserved 111: Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN23	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL23	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN23	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL22[2:0]	000	R/W	入力トリガーの選択(UART ch1 トリガー入力) 000: PA2 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PA4 端子 (TRGIN2) 011: T32A ch5 タイマーレジスターA1 一致トリガー(T32A05TRGOUTCMPA1) 100: T32A ch5 タイマーレジスターB1 一致トリガー(T32A05TRGOUTCMPB1) 101: T32A ch5 タイマーレジスターC1 一致トリガー(T32A05TRGOUTCMPC1) 110: Reserved 111: Reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN22	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL22	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN22	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL21[2:0]	000	R/W	入力トリガーの選択(UART ch0 トリガー入力) 000: PA2 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PA4 端子 (TRGIN2) 011: T32A ch5 タイマーレジスターA1 一致トリガー(T32A05TRGOUTCMPA1) 100: T32A ch5 タイマーレジスターB1 一致トリガー(T32A05TRGOUTCMPB1) 101: T32A ch5 タイマーレジスターC1 一致トリガー(T32A05TRGOUTCMPC1) 110: Reserved 111: Reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN21	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL21	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN21	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL20[2:0]	000	R/W	入力トリガーの選択(TSPI ch1 トリガー入力) 000: PA2 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PA4 端子 (TRGIN2) 011: T32A ch5 タイマーレジスターA1 一致トリガー(T32A05TRGOUTCMPA1) 100: T32A ch5 タイマーレジスターB1 一致トリガー(T32A05TRGOUTCMPB1) 101: T32A ch5 タイマーレジスターC1 一致トリガー(T32A05TRGOUTCMPC1) 110: Reserved 111: Reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN20	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL20	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN20	0	R/W	トリガー出力制御 0: 禁止 1: 許可

## 2.2.4.7. [TSELxCR6](コントロールレジスター6)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL27[2:0]	000	R/W	入力トリガーの選択(T32A ch0 タイマーC 内部トリガー入力) 000: T32A ch5 タイマーレジスターC0 一致トリガー(T32A05TRGOUTCMPC0) 001: T32A ch5 タイマーレジスターC1 一致トリガー(T32A05TRGOUTCMPC1) 010: T32A ch5 タイマーC オーバーフロートリガー (T32A05TRGOUTOFC) 011: T32A ch5 タイマーC アンダーフロートリガー (T32A05TRGOUTUFC) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN27	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL27	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN27	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL26[2:0]	000	R/W	入力トリガーの選択(T32A ch0 タイマーB 内部トリガー入力) 000: T32A ch0 タイマーレジスターA0 一致トリガー(T32A00TRGOUTCMPA0) 001: T32A ch0 タイマーレジスターA1 一致トリガー(T32A00TRGOUTCMPA1) 010: T32A ch0 タイマーA オーバーフロートリガー (T32A00TRGOUTOFA) 011: T32A ch0 タイマーA アンダーフロートリガー (T32A00TRGOUTUFA) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN26	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL26	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN26	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL25[2:0]	000	R/W	入力トリガーの選択(T32A ch0 タイマーA 内部トリガー入力) 000: PA2 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PA4 端子 (TRGIN2) 011: UART ch0 送信完了トリガー (UART0TXTRG) 100: UART ch0 受信完了トリガー (UART0RXTRG) 101: TSPI ch0 送信完了トリガー(TSPI0TXEND) 110: TSPI ch0 受信完了トリガー(TSPI0RXEND) 111: I2C ch0 割り込み (INTI2C0) / EI2C ch0 ステータス割り込み (INTI2C0ST)
11	-	0	R	リードすると"0"が読めます。
10	UPDN25	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL25	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN25	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL24[2:0]	000	R/W	入力トリガーの選択(UART ch3 トリガー入力) 000: PA2 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PA4 端子 (TRGIN2) 011: T32A ch5 タイマーレジスターA1 一致トリガー(T32A05TRGOUTCMPA1) 100: T32A ch5 タイマーレジスターB1 一致トリガー(T32A05TRGOUTCMPB1) 101: T32A ch5 タイマーレジスターC1 一致トリガー(T32A05TRGOUTCMPC1) 110: Reserved 111: Reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN24	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL24	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN24	0	R/W	トリガー出力制御 0: 禁止 1: 許可

## 2.2.4.8. [TSELxCR7](コントロールレジスター7)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL31[2:0]	000	R/W	入カトリガーの選択(T32A ch2 タイマーA 内部トリガー入力) 000: PA2 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PA4 端子 (TRGIN2) 011: UART ch2 送信完了トリガー (UART2TXTRG) 100: UART ch2 受信完了トリガー (UART2RXTRG) 101: A-ENC32 ch1 分周パルス (ENC1TIMPLS) 110: I2C ch1 割り込み (INTI2C1) / E12C ch1 ステータス割り込み (INTI2C1ST) 111: Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN31	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL31	0	R/W	出カトリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN31	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL30[2:0]	000	R/W	入カトリガーの選択(T32A ch1 タイマーC 内部トリガー入力) 000: T32A ch0 タイマーレジスターC0 一致トリガー (T32A00TRGOUTCMPC0) 001: T32A ch0 タイマーレジスターC1 一致トリガー (T32A00TRGOUTCMPC1) 010: T32A ch0 タイマーC オーバーフロートリガー (T32A00TRGOUTOFC) 011: T32A ch0 タイマーC アンダーフロートリガー (T32A00TRGOUTUFC) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN30	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL30	0	R/W	出カトリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN30	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL29[2:0]	000	R/W	入力トリガーの選択(T32A ch1 タイマーB 内部トリガー入力) 000: T32A ch1 タイマーレジスターA0 一致トリガー (T32A01TRGOUTCMPA0) 001: T32A ch1 タイマーレジスターA1 一致トリガー (T32A01TRGOUTCMPA1) 010: T32A ch1 タイマーA オーバーフロートリガー (T32A01TRGOUTOFA) 011: T32A ch1 タイマーA アンダーフロートリガー (T32A01TRGOUTUFA) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN29	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL29	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN29	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL28[2:0]	000	R/W	入力トリガーの選択(T32A ch1 タイマーA 内部トリガー入力) 000: PA2 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PA4 端子 (TRGIN2) 011: UART ch1 送信完了トリガー (UART1TXTRG) 100: UART ch1 受信完了トリガー (UART1RXTRG) 101: TSPI ch1 送信完了トリガー (TSPI1TXEND) 110: TSPI ch1 受信完了トリガー (TSPI1RXEND) 111: A-ENC32 ch0 分周パルス (ENC0TIMPLS)
3	-	0	R	リードすると"0"が読めます。
2	UPDN28	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL28	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN28	0	R/W	トリガー出力制御 0: 禁止 1: 許可

## 2.2.4.9. [TSELxCR8](コントロールレジスター8)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL35[2:0]	000	R/W	入力トリガーの選択(T32A ch3 タイマーB 内部トリガー入力) 000: T32A ch3 タイマーレジスターA0 一致トリガー(T32A03TRGOUTCMPA0) 001: T32A ch3 タイマーレジスターA1 一致トリガー(T32A03TRGOUTCMPA1) 010: T32A ch3 タイマーA オーバーフロートリガー (T32A03TRGOUTOFA) 011: T32A ch3 タイマーA アンダーフロートリガー (T32A03TRGOUTUFA) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN35	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL35	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN35	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL34[2:0]	000	R/W	入力トリガーの選択(T32A ch3 タイマーA 内部トリガー入力) 000: PA2 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PA4 端子 (TRGIN2) 011: UART ch3 送信完了トリガー (UART3TXTRG) 100: UART ch3 受信完了トリガー (UART3RXTRG) 101: ADC unit C 汎用トリガー割り込み (INTADCTRG) 110: ADC unit C 単独変換割り込み (INTADCSGL) 111: ADC unit C 連続変換割り込み (INTADCCNT)
19	-	0	R	リードすると"0"が読めます。
18	UPDN34	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL34	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN34	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。



Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL33[2:0]	000	R/W	入力トリガーの選択(T32A ch2 タイマーC 内部トリガー入力) 000: T32A ch1 タイマーレジスターC0 一致トリガー(T32A01TRGOUTCMPC0) 001: T32A ch1 タイマーレジスターC1 一致トリガー(T32A01TRGOUTCMPC1) 010: T32A ch1 タイマーC オーバーフロートリガー (T32A01TRGOUTOFC) 011: T32A ch1 タイマーC アンダーフロートリガー (T32A01TRGOUTUFC) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN33	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL33	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN33	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL32[2:0]	000	R/W	入力トリガーの選択(T32A ch2 タイマーB 内部トリガー入力) 000: T32A ch2 タイマーレジスターA0 一致トリガー (T32A02TRGOUTCMPA0) 001: T32A ch2 タイマーレジスターA1 一致トリガー (T32A02TRGOUTCMPA1) 010: T32A ch2 タイマーA オーバーフロートリガー (T32A02TRGOUTOFA) 011: T32A ch2 タイマーA アンダーフロートリガー (T32A02TRGOUTUFA) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN32	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL32	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN32	0	R/W	トリガー出力制御 0: 禁止 1: 許可

## 2.2.4.10. [TSELxCR9](コントロールレジスター9)

Bit	Bit Symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30:28	INSEL39[2:0]	000	R/W	入カトリガーの選択(T32A ch4 タイマーC 内部トリガー入力) 000: T32A ch3 タイマーレジスターC0 一致トリガー(T32A03TRGOUTCMPC0) 001: T32A ch3 タイマーレジスターC1 一致トリガー(T32A03TRGOUTCMPC1) 010: T32A ch3 タイマーC オーバーフロートリガー (T32A03TRGOUTOFC) 011: T32A ch3 タイマーC アンダーフロートリガー (T32A03TRGOUTUFC) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN39	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL39	0	R/W	出カトリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN39	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22:20	INSEL38[2:0]	000	R/W	入カトリガーの選択(T32A ch4 タイマーB 内部トリガー入力) 000: T32A ch4 タイマーレジスターA0 一致トリガー (T32A04TRGOUTCMPA0) 001: T32A ch4 タイマーレジスターA1 一致トリガー (T32A04TRGOUTCMPA1) 010: T32A ch4 タイマーA オーバーフロートリガー (T32A04TRGOUTOFA) 011: T32A ch4 タイマーA アンダーフロートリガー (T32A04TRGOUTUFA) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN38	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL38	0	R/W	出カトリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN38	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit Symbol	リセット後	Type	機能
14:12	INSEL37[2:0]	000	R/W	入力トリガーの選択(T32A ch4 タイマーA 内部トリガー入力) 000: PA2 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PA4 端子 (TRGIN2) 011: ADC unit A 汎用トリガー割り込み (INTADATRG) 100: ADC unit A 単独変換割り込み (INTADASGL) 101: ADC unit A 連続変換割り込み (INTADACNT) 110: ADC unit A 監視機能 0 割り込み (INTADACPO) 111: A-ENC32 ch2 分周パルス (ENC2TIMPLS)
11	-	0	R	リードすると"0"が読めます。
10	UPDN37	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL37	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN37	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6:4	INSEL36[2:0]	000	R/W	入力トリガーの選択(T32A ch3 タイマーC 内部トリガー入力) 000: T32A ch2 タイマーレジスターC0 一致トリガー(T32A02TRGOUTCMPC0) 001: T32A ch2 タイマーレジスターC1 一致トリガー(T32A02TRGOUTCMPC1) 010: T32A ch2 タイマーC オーバーフロートリガー (T32A02TRGOUTOFC) 011: T32A ch2 タイマーC アンダーフロートリガー (T32A02TRGOUTUFC) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN36	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL36	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN36	0	R/W	トリガー出力制御 0: 禁止 1: 許可

## 2.2.4.11. [TSELxCR10] (コントロールレジスタ-10)

Bit	Bit Symbol	リセット後	Type	機能
31:23	-	0	R	リードすると"0"が読めます。
22:20	INSEL42[2:0]	000	R/W	入カトリガーの選択(T32A ch5 タイマーC 内部トリガー入力) 000: T32A ch4 タイマーレジスタC0 一致トリガー (T32A04TRGOUTCMPC0) 001: T32A ch4 タイマーレジスタC1 一致トリガー (T32A04TRGOUTCMPC1) 010: T32A ch4 タイマーC オーバーフロートリガー (T32A04TRGOUTOFC) 011: T32A ch4 タイマーC アンダーフロートリガー (T32A04TRGOUTUFC) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN42	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL42	0	R/W	出カトリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN42	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。
14:12	INSEL41[2:0]	000	R/W	入カトリガーの選択(T32A ch5 タイマーB 内部トリガー入力) 000: T32A ch5 タイマーレジスタA0 一致トリガー(T32A05TRGOUTCMPA0) 001: T32A ch5 タイマーレジスタA1 一致トリガー(T32A05TRGOUTCMPA1) 010: T32A ch5 タイマーA オーバーフロートリガー (T32A05TRGOUTOFA) 011: T32A ch5 タイマーA アンダーフロートリガー (T32A05TRGOUTUFA) 100: Reserved 101: Reserved 110: Reserved 111: Reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN41	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL41	0	R/W	出カトリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN41	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。

Bit	Bit Symbol	リセット後	Type	機能
6:4	INSEL40[2:0]	000	R/W	入力トリガーの選択(T32A ch5 タイマーA 内部トリガー入力) 000: PA2 端子 (TRGIN0) 001: PA3 端子 (TRGIN1) 010: PA4 端子 (TRGIN2) 011: ADC unit B 汎用トリガー割り込み (INTADBTRG) 100: ADC unit B 単独変換割り込み (INTADBSGL) 101: ADC unit B 連続変換割り込み (INTADBCNT) 110: ADC unit B 監視機能 0 割り込み (INTADBCP0) 111: ADC unit B 監視機能 1 割り込み (INTADBCP1)
3	-	0	R	リードすると"0"が読めます。
2	UPDN40	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL40	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN40	0	R/W	トリガー出力制御 0: 禁止 1: 許可

## 2.3. クロック選択式ウォッチドッグタイマー(SIWDT)

### 2.3.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.9 SIWDT 搭載チャンネル

製品	チャンネル (○: 搭載、-: 非搭載)
	ch0
M4KN	○
M4KM	○
M4KL	○

### 2.3.2. カウントクロック

クロック選択式ウォッチドッグタイマーは、カウントするクロックを選択可能です。以下の表に選択できるクロックを示します。

表 2.10 SIWDT カウントクロック

クロック	信号名	選択
システムクロック	f <sub>system</sub>	[SIWDT0MOD]<WDCLS> レジスターで選択します。
内蔵高速発振器 1 クロック	f <sub>IHOSC1</sub>	
内蔵高速発振器 2 クロック	f <sub>IHOSC2</sub>	

### 2.3.3. 発振クロックプロテクト機能

内蔵高速発振器 2(f<sub>IHOSC2</sub>)を選択した場合、内蔵高速発振器 2 の書き換えを禁止することが可能です。

表 2.11 SIWDT 発振クロックプロテクト機能

制御出力	信号名	備考
内蔵高速発振器 2 発振制御ビット ([CGOSCCR]<IHOSC2EN> のプロテクト信号)	OSCPRO	[SIWDT0OSCCR]<OSCPRO>レジスター で設定します。

## 2.4. 周波数検知回路(OFD)

### 2.4.1. 搭載一覧

製品毎の搭載一覧を下記表に示します。

表 2.12 OFD 搭載一覧

製品	OFD 搭載 (○: 搭載、-: 非搭載)
M4KN	○
M4KM	○
M4KL	○

### 2.4.2. 基準クロック

周波数検知回路は以下の表のクロックを基準クロックとして動作します。

表 2.13 OFD 基準クロック

基準クロック	信号名	分周比
内蔵高速発振器 2 クロック	f <sub>IHOSC2</sub>	128

### 2.4.3. 検知対象クロック

周波数検知回路は以下の表の検知対象クロックからモニターしたいクロックを選択します。

表 2.14 OFD 検知対象クロック

検知対象クロック		信号名
入力信号	外部高速発振器クロック	f <sub>EHOSC</sub>
	CG(クロック制御部)の [CGOSCCR]<OSCSSEL> と [CGPLLOSEL]<PLLLOSEL>で 選択されたクロック	fc

## 2.5. デバッグインターフェース

### 2.5.1. 製品別デバッグインターフェース一覧

表 2.15 デバッグインターフェース搭載一覧

デバッグ機能	デバッグ端子	ポート	製品対応 (○: 対応、-: 非対応)		
			M4KN	M4KM	M4KL
シリアルワイヤ	SWDIO	PF0	○	○	○
	SWCLK	PF1	○	○	○
	SWV	PF2	○	-	-
JTAG	TMS	PF0	○	-	-
	TCK	PF1	○	-	-
	TDO	PF2	○	-	-
	TDI	PF3	○	-	-
	TRST_N	PF4	○	-	-
ETMトレース	TRACECLK	PF5	○	-	-
	TRACEDATA0	PF6	○	-	-
	TRACEDATA1	PF7	○	-	-
	TRACEDATA2	PN0	○	-	-
	TRACEDATA3	PN1	○	-	-

### 2.5.2. トレースクロックの分周比

表 2.16 TRACECLKの分周比

ソースクロック	分周比	出力
fsysh	1/4	TRACECLK



## 2.6. ノンブレイクデバッグインターフェース(NBDIF)

### 2.6.1. 搭載一覧

製品毎の搭載一覧を下記表に示します。

表 2.17 NBDIF 搭載一覧

製品	NBDIF 搭載 (○: 搭載、-: 非搭載)
M4KN	○
M4KM	-
M4KL	-

### 2.6.2. NBDIF 端子一覧

表 2.18 NBDIF 端子一覧

NBDIF 端子		ポート	製品対応 (○: 対応、-: 非対応)		
			M4KN	M4KM	M4KL
NBDCLK	入力	PF5	○	-	-
NBDDATA0	入出力	PF6	○	-	-
NBDDATA1	入出力	PF7	○	-	-
NBDDATA2	入出力	PN0	○	-	-
NBDDATA3	入出力	PN1	○	-	-
NBDSYNC	入力	PF4	○	-	-

## 2.7. フラッシュメモリー(FLASH)

### 2.7.1. 書き込み, 消去操作クロック

フラッシュメモリーは、コードフラッシュまたはデータフラッシュへの書き込み, 消去操作に以下の表に示すクロックが使用されます。

表 2.19 FLASH 書き込み, 消去操作クロック

書き込み, 消去操作クロック
fIHOSC1

注) 発振制御レジスターは[CGOSCCR]<IHOSC1EN>です。

### 2.7.2. 製品別コードフラッシュブロック構成

コードフラッシュメモリーは、下記の表のように製品によってメモリーのブロック構成が異なります。

表 2.20 製品別コードフラッシュブロック構成

エリア	ブロック名称	M4KNF10A M4KLF10A	M4KNFDA M4KLFDA	M4KNFYA M4KMFYA M4KLFYA	M4KNFWA M4KMFWA M4KLFWA	ブロック サイズ (KB)	
0	Block0	PG0	○	○	○	○	4
		PG1	○	○	○	○	4
		PG2	○	○	○	○	4
		PG3	○	○	○	○	4
		PG4	○	○	○	○	4
		PG5	○	○	○	○	4
		PG6	○	○	○	○	4
		PG7	○	○	○	○	4
	Block1	○	○	○	○	32	
	Block2	○	○	○	○	32	
	Block3	○	○	○	○	32	
	Block4	○	○	○	×	32	
	Block5	○	○	○	×	32	
	Block6	○	○	○	×	32	
	Block7	○	○	○	×	32	
	Block8	○	○	×	×	32	
	Block9	○	○	×	×	32	
	Block10	○	○	×	×	32	
	Block11	○	○	×	×	32	
Block12	○	○	×	×	32		
Block13	○	○	×	×	32		
Block14	○	○	×	×	32		
Block15	○	○	×	×	32		
1	Block16	○	×	×	×	32	
	Block17	○	×	×	×	32	
	Block18	○	×	×	×	32	
	Block19	○	×	×	×	32	

エリア	ブロック名称	M4KNF10A M4KLF10A	M4KNFDA M4KLFDA	M4KNFYA M4KMFYA M4KLFYA	M4KNFWA M4KMFWA M4KLFWA	ブロック サイズ (KB)
	Block20	○	×	×	×	32
	Block21	○	×	×	×	32
	Block22	○	×	×	×	32
	Block23	○	×	×	×	32
	Block24	○	×	×	×	32
	Block25	○	×	×	×	32
	Block26	○	×	×	×	32
	Block27	○	×	×	×	32
	Block28	○	×	×	×	32
	Block29	○	×	×	×	32
	Block30	○	×	×	×	32
	Block31	○	×	×	×	32

注) ○: Block あり、×: Block なし

### 2.7.3. 製品別データフラッシュブロック構成

データフラッシュメモリーは、下記の表のように製品によってメモリーのブロック構成が異なります。

表 2.21 製品別データフラッシュブロック構成

エリア	ブロック名称	M4KNF10A M4KLF10A	M4KNFDA M4KLFDA	M4KNFYA M4KMFYA M4KLFYA	M4KNFWA M4KMFWA M4KLFWA	ブロック サイズ (KB)
4	Block0	○	○	○	○	4
	Block1	○	○	○	○	4
	Block2	○	○	○	○	4
	Block3	○	○	○	○	4
	Block4	○	○	○	○	4
	Block5	○	○	○	○	4
	Block6	○	○	○	○	4
	Block7	○	○	○	○	4

注) ○: Block あり、×: Block なし

## 2.7.4. アクセスコントロールレジスター[FCACCR]<FCLC[2:0]>の設定

アクセスコントロールレジスター[FCACCR]<FDLC[2:0]>、<FCLC[2:0]>の設定は、以下のとおりです。

表 2.22 アクセスコントロールレジスター[FCACCR]<FCLC[2:0]>の設定

Bit	Bit Symbol	リセット後	機能
10:8	<FDLC[2:0]>	100	データフラッシュのリードクロック制御 100: fsysh > 80MHz 011: fsysh ≤ 80MHz
2:0	<FCLC[2:0]>	100	コードフラッシュのリードクロック制御 100: fsysh > 80MHz 011: fsysh ≤ 80MHz

## 2.7.5. ID-Read 時のマクロコード値

この製品のマクロコード値は、以下の通りです。

表 2.23 ID-Read時のマクロコード値

Code	ID[15:0]	
	M4KxF10A M4KxFDA	M4KxFYA M4KxFWA
マクロコード(コードフラッシュ)	0x0402	0x0411
マクロコード(データフラッシュ)	0x0404	0x0411

## 2.7.6. シングルブート使用リソース

シングルブートでは下記表の周辺機能を使用します。

表 2.24 シングルブート使用リソース

周辺機能	チャネル	機能	端子名
BOOT	—	-	PG2(BOOT_N)
UART	ch0	RXD	PC1(UT0RXD)
		TXD	PC0(UT0TXDA)
T32A	ch0	-	-

RAM ローダーコマンドで転送する RAM アドレスは下表の範囲で行ってください。

表 2.25 RAM転送可能アドレス

製品名	RAM 転送可能アドレス
M4KxF10A, M4KxFDA	0x20000400~0x2000DFFF
M4KxFYA, M4KxFWA	0x20000400~0x20003FFF

## 2.8. DMA コントローラー(DMAC)

### 2.8.1. 搭載ユニット

製品毎の搭載ユニットを下記表に示します。

表 2.26 DMAC 搭載ユニット

製品	ユニット (○: 搭載、-: 非搭載)
	A
M4KN	○
M4KM	○
M4KL	○

### 2.8.2. DMA 転送要求一覧

下記表に DMA 転送要求一覧を示します。

表のトリガーセレクター欄にレジスター名のあるチャンネルは、トリガーセレクターで使用する要求を選択してください。表内の "-" は該当する機能がありません。

表 2.27 DMA 転送要求一覧 (1/4)

チャンネル	シングル転送要求		トリガー セレクター	バースト転送要求	
		信号名			信号名
0	TSPI ch0 受信 DMA 要求	TSPI0RX_DMA	-	TSPI ch0 受信 DMA 要求	TSPI0RX_DMA
1	TSPI ch0 送信 DMA 要求	TSPI0TX_DMA	-	TSPI ch0 送信 DMA 要求	TSPI0TX_DMA
2	TSPI ch1 受信 DMA 要求	TSPI1RX_DMA	-	TSPI ch1 受信 DMA 要求	TSPI1RX_DMA
3	TSPI ch1 送信 DMA 要求	TSPI1TX_DMA	-	TSPI ch1 送信 DMA 要求	TSPI1TX_DMA
4	UART ch0 受信 DMA 要求	UART0RX_DMAREQ	-	UART ch0 受信 DMA 要求	UART0RX_DMAREQ
5	UART ch0 送信 DMA 要求	UART0TX_DMAREQ	-	UART ch0 送信 DMA 要求	UART0TX_DMAREQ
6	UART ch1 受信 DMA 要求	UART1RX_DMAREQ	-	UART ch1 受信 DMA 要求	UART1RX_DMAREQ
7	UART ch1 送信 DMA 要求	UART1TX_DMAREQ	-	UART ch1 送信 DMA 要求	UART1TX_DMAREQ
8	UART ch2 受信 DMA 要求	UART2RX_DMAREQ	-	UART ch2 受信 DMA 要求	UART2RX_DMAREQ
9	UART ch2 送信 DMA 要求	UART2TX_DMAREQ	-	UART ch2 送信 DMA 要求	UART2TX_DMAREQ
10	UART ch3 受信 DMA 要求	UART3RX_DMAREQ	-	UART ch3 受信 DMA 要求	UART3RX_DMAREQ
11	UART ch3 送信 DMA 要求	UART3TX_DMAREQ	-	UART ch3 送信 DMA 要求	UART3TX_DMAREQ
12	-	-	-	EI2C / I2C ch0 受信 DMA リクエスト	I2C0ARXDMAREQ/ I2C0RXDMAREQ
13	-	-	-	EI2C / I2C ch0 送信 DMA リクエスト	I2C0ATXDMAREQ/ I2C0TXDMAREQ
14	-	-	-	EI2C / I2C ch1 受信 DMA リクエスト	I2C1ARXDMAREQ/ I2C1RXDMAREQ
15	-	-	-	EI2C / I2C ch1 送信 DMA リクエスト	I2C1ATXDMAREQ/ I2C1TXDMAREQ

表 2.28 DMA 転送要求一覧 (2/4)

チャンネル	シングル転送要求		トリガーセレクター	バースト転送要求	
		信号名			信号名
16	-	-	[TSEL0CR0] <INSEL0>	AD unit A 汎用トリガー-DMA 要求	ADATRG_DMAREQ
				AD unit A 単独変換 DMA 要求	ADASLG_DMAREQ
				AD unit A 連続変換 DMA 要求	ADACNT_DMAREQ
17	-	-	[TSEL0CR0] <INSEL1>	AD unit B 汎用トリガー-DMA 要求	ADBTRG_DMAREQ
				AD unit B 単独変換 DMA 要求	ADBSLG_DMAREQ
				AD unit B 連続変換 DMA 要求	ADBCNT_DMAREQ
18	-	-	[TSEL0CR0] <INSEL2>	AD unit C 汎用トリガー-DMA 要求	ADCTRG_DMAREQ
				AD unit C 単独変換 DMA 要求	ADCSLG_DMAREQ
				AD unit C 連続変換 DMA 要求	ADCCNT_DMAREQ
19	-	-	[TSEL0CR0] <INSEL3>	T32A ch0 DMA 要求レジスター-A1 一致	T32A00DMAREQCMPA1
				T32A ch0 DMA 要求レジスター-C1 一致	T32A00DMAREQCMPC1
				T32A ch1 DMA 要求レジスター-A1 一致	T32A01DMAREQCMPA1
				T32A ch1 DMA 要求レジスター-C1 一致	T32A01DMAREQCMPC1
				A-PMD ch0 PWM 割り込み	INTPWM0
20	-	-	[TSEL0CR1] <INSEL4>	T32A ch2 DMA 要求レジスター-A1 一致	T32A02DMAREQCMPA1
				T32A ch2 DMA 要求レジスター-C1 一致	T32A02DMAREQCMPC1
				T32A ch3 DMA 要求レジスター-A1 一致	T32A03DMAREQCMPA1
				T32A ch3 DMA 要求レジスター-C1 一致	T32A03DMAREQCMPC1
				A-PMD ch1 PWM 割り込み	INTPWM1
21	-	-	[TSEL0CR1] <INSEL5>	T32A ch4 DMA 要求レジスター-A1 一致	T32A04DMAREQCMPA1
				T32A ch4 DMA 要求レジスター-C1 一致	T32A04DMAREQCMPC1
				T32A ch5 DMA 要求レジスター-A1 一致	T32A05DMAREQCMPA1
				T32A ch5 DMA 要求レジスター-C1 一致	T32A05DMAREQCMPC1
				A-PMD ch2 PWM 割り込み	INTPWM2
22	-	-	[TSEL0CR1] <INSEL6>	T32A ch0 DMA 要求レジスター-B1 一致	T32A00DMAREQCMPB1
				T32A ch1 DMA 要求レジスター-B1 一致	T32A01DMAREQCMPB1
				T32A ch2 DMA 要求レジスター-B1 一致	T32A02DMAREQCMPB1
				T32A ch3 DMA 要求レジスター-B1 一致	T32A03DMAREQCMPB1
				T32A ch4 DMA 要求レジスター-B1 一致	T32A04DMAREQCMPB1
				T32A ch5 DMA 要求レジスター-B1 一致	T32A05DMAREQCMPB1
23	-	-	[TSEL0CR1] <INSEL7>	T32A ch0 DMA 要求キャプチャー-A0	T32A00DMAREQCAPA0
				T32A ch0 DMA 要求キャプチャー-A1	T32A00DMAREQCAPA1
				T32A ch1 DMA 要求キャプチャー-A0	T32A01DMAREQCAPA0
				T32A ch1 DMA 要求キャプチャー-A1	T32A01DMAREQCAPA1
				T32A ch0 DMA 要求キャプチャー-C0	T32A00DMAREQCAPC0
				T32A ch0 DMA 要求キャプチャー-C1	T32A00DMAREQCAPC1
				T32A ch1 DMA 要求キャプチャー-C0	T32A01DMAREQCAPC0
				T32A ch1 DMA 要求キャプチャー-C1	T32A01DMAREQCAPC1

注) ch16~ch31 はトリガーセレクターで DMA 転送要求のトリガーソースを選択します。詳細な接続先については、「2.2.トリガーセレクター(TRGSEL)」を参照してください。

表 2.29 DMA 転送要求一覧 (3/4)

チャンネル	シングル転送要求		トリガーセレクター	バースト転送要求	
		信号名			信号名
24	-	-	[TSEL0CR2] <INSEL8>	T32A ch2 DMA 要求キャプチャーA0	T32A02DMAREQCAPA0
				T32A ch2 DMA 要求キャプチャーA1	T32A02DMAREQCAPA1
				T32A ch3 DMA 要求キャプチャーA0	T32A03DMAREQCAPA0
				T32A ch3 DMA 要求キャプチャーA1	T32A03DMAREQCAPA1
				T32A ch2 DMA 要求キャプチャーC0	T32A02DMAREQCAPC0
				T32A ch2 DMA 要求キャプチャーC1	T32A02DMAREQCAPC1
				T32A ch3 DMA 要求キャプチャーC0	T32A03DMAREQCAPC0
				T32A ch3 DMA 要求キャプチャーC1	T32A03DMAREQCAPC1
25	-	-	[TSEL0CR2] <INSEL9>	T32A ch4 DMA 要求キャプチャーA0	T32A04DMAREQCAPA0
				T32A ch4 DMA 要求キャプチャーA1	T32A04DMAREQCAPA1
				T32A ch5 DMA 要求キャプチャーA0	T32A05DMAREQCAPA0
				T32A ch5 DMA 要求キャプチャーA1	T32A05DMAREQCAPA1
				T32A ch4 DMA 要求キャプチャーC0	T32A04DMAREQCAPC0
				T32A ch4 DMA 要求キャプチャーC1	T32A04DMAREQCAPC1
				T32A ch5 DMA 要求キャプチャーC0	T32A05DMAREQCAPC0
				T32A ch5 DMA 要求キャプチャーC1	T32A05DMAREQCAPC1
26	-	-	[TSEL0CR2] <INSEL10>	T32A ch0 DMA 要求キャプチャーB0	T32A00DMAREQCAPB0
				T32A ch0 DMA 要求キャプチャーB1	T32A00DMAREQCAPB1
				T32A ch1 DMA 要求キャプチャーB0	T32A01DMAREQCAPB0
				T32A ch1 DMA 要求キャプチャーB1	T32A01DMAREQCAPB1
				T32A ch2 DMA 要求キャプチャーB0	T32A02DMAREQCAPB0
				T32A ch2 DMA 要求キャプチャーB1	T32A02DMAREQCAPB1
27	-	-	[TSEL0CR2] <INSEL11>	T32A ch3 DMA 要求キャプチャーB0	T32A03DMAREQCAPB0
				T32A ch3 DMA 要求キャプチャーB1	T32A03DMAREQCAPB1
				T32A ch4 DMA 要求キャプチャーB0	T32A04DMAREQCAPB0
				T32A ch4 DMA 要求キャプチャーB1	T32A04DMAREQCAPB1
				T32A ch5 DMA 要求キャプチャーB0	T32A05DMAREQCAPB0
				T32A ch5 DMA 要求キャプチャーB1	T32A05DMAREQCAPB1

注) ch16~ch31 はトリガーセレクターで DMA 転送要求のトリガーソースを選択します。詳細な接続先については、「2.2.トリガーセレクター(TRGSEL)」を参照してください。



表 2.30 DMA 転送要求一覧 (4/4)

チャンネル	シングル転送要求		トリガーセレクター	バースト転送要求	
		信号名			信号名
28	-	-	[TSEL0CR3] <INSEL12>	DMAC ch0 転送終了	INTDMAATC0
				DMAC ch1 転送終了	INTDMAATC1
				DMAC ch8 転送終了	INTDMAATC8
				DMAC ch9 転送終了	INTDMAATC9
				DMAC ch16 転送終了	INTDMAATC16
				DMAC ch17 転送終了	INTDMAATC17
				DMAC ch22 転送終了	INTDMAATC22
29	-	-	[TSEL0CR3] <INSEL13>	DMAC ch2 転送終了	INTDMAATC2
				DMAC ch3 転送終了	INTDMAATC3
				DMAC ch10 転送終了	INTDMAATC10
				DMAC ch11 転送終了	INTDMAATC11
				DMAC ch18 転送終了	INTDMAATC18
				DMAC ch19 転送終了	INTDMAATC19
				DMAC ch23 転送終了	INTDMAATC23
ポート PA2(TRGIN0)	TRGIN0				
30	-	-	[TSEL0CR3] <INSEL14>	DMAC ch4 転送終了	INTDMAATC4
				DMAC ch5 転送終了	INTDMAATC5
				DMAC ch12 転送終了	INTDMAATC12
				DMAC ch13 転送終了	INTDMAATC13
				DMAC ch20 転送終了	INTDMAATC20
				DMAC ch24 転送終了	INTDMAATC24
				DMAC ch26 転送終了	INTDMAATC26
ポート PA3(TRGIN1)	TRGIN1				
31	-	-	[TSEL0CR3] <INSEL15>	DMAC ch6 転送終了	INTDMAATC6
				DMAC ch7 転送終了	INTDMAATC7
				DMAC ch14 転送終了	INTDMAATC14
				DMAC ch15 転送終了	INTDMAATC15
				DMAC ch21 転送終了	INTDMAATC21
				DMAC ch25 転送終了	INTDMAATC25
				DMAC ch27 転送終了	INTDMAATC27
ポート PA4(TRGIN2)	TRGIN2				

注) ch16~ch31 はトリガーセレクターで DMA 転送要求のトリガーソースを選択します。詳細な接続先については、「2.2.トリガーセレクター(TRGSEL)」を参照してください。

## 2.9. アドバンストプログラマブルモーター制御回路(A-PMD)

### 2.9.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.31 A-PMD 搭載チャンネル

製品	チャンネル (○: 搭載、-: 非搭載)		
	ch0	ch1	ch2
M4KN	○	○	○
M4KM	○(注)	○(注)	○(注)
M4KL	○(注)	○(注)	○(注)

注) M4KM と M4KL に OVV<sub>x</sub> 端子はありません。

### 2.9.2. システムクロック

A-PMD は以下の表のクロックをシステムクロックとして動作します。

表 2.32 A-PMD システムクロック

クロック	信号名
システムクロック	fsysm

## 2.9.3. 機能端子とポート

機能端子は以下ポートに割り当てられています。

表 2.33 A-PMD 機能端子

チャンネル	機能端子		ポート	製品対応 (○: 対応、-: 非対応)		
				M4KN	M4KM	M4KL
ch0	UO0	出力	PB0	○	○	○
	VO0	出力	PB2	○	○	○
	WO0	出力	PB4	○	○	○
	XO0	出力	PB1	○	○	○
	YO0	出力	PB3	○	○	○
	ZO0	出力	PB5	○	○	○
	EMG0	入力	PB6	○	○	○
	OVV0	入力	PB7	○	-	-
	PMD0DBG	出力	PB7	○	-	-
PC2			○	○	○	
ch1	UO1	出力	PE0	○	○	○
	VO1	出力	PE2	○	○	○
	WO1	出力	PE4	○	○	○
	XO1	出力	PE1	○	○	○
	YO1	出力	PE3	○	○	○
	ZO1	出力	PE5	○	○	○
	EMG1	入力	PE6	○	○	○
	OVV1	入力	PE7	○	-	-
	PMD1DBG	出力	PC3	○	○	○
PE7			○	-	-	
ch2	UO2	出力	PU0	○	○	○
	VO2	出力	PU2	○	○	○
	WO2	出力	PU4	○	○	○
	XO2	出力	PU1	○	○	○
	YO2	出力	PU3	○	○	○
	ZO2	出力	PU5	○	○	○
	EMG2	入力	PU6	○	○	○
	OVV2	入力	PU7	○	-	-
	PMD2DBG	出力	PA2	○	○	○
PU7			○	-	-	

## 2.9.4. DMA 要求

A-PMD は、以下の表に示す DMA 要求があります。

表 2.34 A-PMD DMA要求

チャンネル	要求	信号名	トリガーセレクター	DMA 要求チャンネル		
				シングル転送	バースト転送	
ch0	PWM 割り込み	INTPWM0	[TSEL0CR0] <INSEL3>	19	—	○
ch1	PWM 割り込み	INTPWM1	[TSEL0CR1] <INSEL4>	20	—	○
ch2	PWM 割り込み	INTPWM2	[TSEL0CR1] <INSEL5>	21	—	○

注) ○: 対応、—: 非対応

## 2.9.5. 内部信号接続仕様

### 2.9.5.1. その他接続

A-PMMD は、下記表のように内部で周辺機能と接続されている信号があります。

表 2.35 A-PMMD 内部接続仕様:入力

チャンネル	機能入力		入力元		
		信号名		信号名	
ch0	ADC 変換動作中状態信号	ADABUSY	ADC unit A	ADABUSY	
	ADC 監視機能 0 信号(OVV 検知)	ADACMP0L_N		ADACP0L_N	
	ADC 監視機能 1 信号(OVV 検知)	ADACMP1L_N		ADACP1L_N	
	ADC 変換終了割り込み A	INTADAPDA		INTADAPDA	
	ADC 変換終了割り込み B	INTADAPDB		INTADAPDB	
	ADC 変換終了割り込み C	INTADAPDC		-	-
	ADC 変換終了割り込み D	INTADAPDD		-	-
	ADC 変換優先度割り込み	INTADAPFLG		-	-
	転流トリガー(A-ENC 位置検出同期)	INTENC00	A-ENC32 ch0	INTENC00	
	転流トリガー(汎用タイマー同期)	PMD0TMR	T32A ch0 タイマーA	T32A00TRGOUTCMPA0	
	転流トリガー(A-ENC MCMP 同期)	ENC0CTRGO	A-ENC32 ch0	ENC0CTRGO	
	VE U 相 PWM デューティ	VE0CMPU	A-VE+ ch0	VE0CMPU	
	VE V 相 PWM デューティ	VE0CMPV		VE0CMPV	
	VE W 相 PWM デューティ	VE0CMPW		VE0CMPW	
	VE トリガーコンペア 0	VE0TRGCMP0		VE0TRGCMP0	
	VE トリガーコンペア 1	VE0TRGCMP1		VE0TRGCMP1	
	VE 同期トリガー出力選択	VE0TRGSEL		VE0TRGSEL	
	VE 通電制御/出力制御	VE0OUTCR		VE0OUTCR	
	VE EMG 復帰	VE0EMGRS		VE0EMGRS	
	VE タスク遷移信号	VE0TASKP		VE0DBGO	
VE 割り込み	INTVCN0	INTVCN0			
ch1	ADC 変換動作中状態信号	ADBBUSY	ADC unit B	ADBBUSY	
	ADC 監視機能 0 信号(OVV 検知)	ADBCMP0L_N		ADBCP0L_N	
	ADC 監視機能 1 信号(OVV 検知)	ADBCMP1L_N		ADBCP1L_N	
	ADC 変換終了割り込み A	INTADBPDA		INTADBPDA	
	ADC 変換終了割り込み B	INTADBPDB		INTADBPDB	
	ADC 変換終了割り込み C	INTADBPDC		-	-
	ADC 変換終了割り込み D	INTADBPDD		-	-
	ADC 変換優先度割り込み	INTADBPFLG		-	-
	転流トリガー(A-ENC 位置検出同期)	INTENC10	A-ENC32 ch1	INTENC10	
	転流トリガー(汎用タイマー同期)	PMD1TMR	T32A ch1 タイマーA	T32A01TRGOUTCMPA0	
転流トリガー(A-ENC MCMP 同期)	ENC1CTRGO	A-ENC32 ch1	ENC1CTRGO		
ch2	ADC 変換動作中状態信号	ADCBUSY	ADC unit C	ADCBUSY	
	ADC 監視機能 0 信号(OVV 検知)	ADCCMP0L_N		ADCCP0L_N	
	ADC 監視機能 1 信号(OVV 検知)	ADCCMP1L_N		ADCCP1L_N	
	ADC 変換終了割り込み A	INTADCPDA		INTADCPDA	
	ADC 変換終了割り込み B	INTADCPDB		INTADCPDB	
	ADC 変換終了割り込み C	INTADCPDC		-	-
	ADC 変換終了割り込み D	INTADCPDD		-	-
	ADC 変換優先度割り込み	INTADCPFLG		-	-
	転流トリガー(A-ENC 位置検出同期)	INTENC20	A-ENC32 ch2	INTENC20	
	転流トリガー(汎用タイマー同期)	PMD2TMR	T32A ch2 タイマーA	T32A02TRGOUTCMPA0	
転流トリガー(A-ENC MCMP 同期)	ENC2CTRGO	A-ENC32 ch2	ENC2CTRGO		

注) ch1/ch2 には、VE は接続されていません。

表 2.36 A-PMD 内部接続仕様:出力

チャンネル	機能出力		出力先	
		信号名		信号名
ch0	ADC 同期トリガー出力 0	PMD0TRG0	ADC unit A	PMDTRG0
			ADC unit B	PMDTRG0
			ADC unit C	PMDTRG0
	ADC 同期トリガー出力 1	PMD0TRG1	ADC unit A	PMDTRG1
			ADC unit B	PMDTRG1
			ADC unit C	PMDTRG1
	ADC 同期トリガー出力 2	PMD0TRG2	ADC unit A	PMDTRG2
			ADC unit B	PMDTRG2
			ADC unit C	PMDTRG2
	ADC 同期トリガー出力 3	PMD0TRG3	ADC unit A	PMDTRG3
			ADC unit B	PMDTRG3
			ADC unit C	PMDTRG3
	ADC 同期トリガー出力 4	PMD0TRG4	ADC unit A	PMDTRG4
			ADC unit B	PMDTRG4
ADC unit C			PMDTRG4	
ADC 同期トリガー出力 5	PMD0TRG5	ADC unit A	PMDTRG5	
		ADC unit B	PMDTRG5	
		ADC unit C	PMDTRG5	
エンコーダー入力用 PWM 信号	PMD0PWMON	A-ENC32 ch0	ENC0PWMON	
PWM 割り込み	INTPWM0	A-VE+ ch0	INTPWM0	
ch1	ADC 同期トリガー出力 0	PMD1TRG0	ADC unit A	PMDTRG6
			ADC unit B	PMDTRG6
	ADC 同期トリガー出力 1	PMD1TRG1	ADC unit A	PMDTRG7
			ADC unit B	PMDTRG7
	ADC 同期トリガー出力 2	PMD1TRG2	ADC unit A	PMDTRG8
			ADC unit B	PMDTRG8
	ADC 同期トリガー出力 3	PMD1TRG3	ADC unit A	PMDTRG9
			ADC unit B	PMDTRG9
	ADC 同期トリガー出力 4	PMD1TRG4	ADC unit A	PMDTRG10
			ADC unit B	PMDTRG10
	ADC 同期トリガー出力 5	PMD1TRG5	ADC unit A	PMDTRG11
			ADC unit B	PMDTRG11
	エンコーダー入力用 PWM 信号	PMD1PWMON	A-ENC32 ch1	ENC1PWMON
	ch2	ADC 同期トリガー出力 0	PMD2TRG0	ADC unit C
ADC 同期トリガー出力 1		PMD2TRG1	ADC unit C	PMDTRG7
ADC 同期トリガー出力 2		PMD2TRG2	ADC unit C	PMDTRG8
ADC 同期トリガー出力 3		PMD2TRG3	ADC unit C	PMDTRG9
ADC 同期トリガー出力 4		PMD2TRG4	ADC unit C	PMDTRG10
ADC 同期トリガー出力 5		PMD2TRG5	ADC unit C	PMDTRG11
エンコーダー入力用 PWM 信号		PMD2PWMON	A-ENC32 ch2	ENC2PWMON

## 2.9.5.2. チャンネル間同期制御接続仕様

PMD は、以下の表に示すようにチャンネル間で同期接続されています。

表 2.37 PMD チャンネル間同期制御接続仕様

マスター			スレーブ		
チャンネル	機能(出力)	信号名	チャンネル	機能(入力)	信号名
ch0	PWM 許可同期出力	PMD0SYNCDENO	ch1	PWM 許可同期入力	PMD1SYNCDENI
			ch2	PWM 許可同期入力	PMD2SYNCDENI
	EMG 保護同期出力	PMD0SYNCEMGO	ch1	EMG 保護同期入力	PMD1SYNCEMGI
			ch2	EMG 保護同期入力	PMD2SYNCEMGI
	OVV 保護同期出力	PMD0SYNCOVVO	ch1	OVV 保護同期入力	PMD1SYNCOVVI
			ch2	OVV 保護同期入力	PMD2SYNCOVVI

## 2.10. アドバンストエンコーダー入力回路(32-bit) (A-ENC32)

### 2.10.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.38 A-ENC32 搭載チャンネル

製品	チャンネル (○: 搭載、-: 非搭載)		
	ch0	ch1	ch2
M4KN	○	○	○
M4KM	○	○(注)	○
M4KL	-	-	○

注) ENC1Z 端子はありません。

### 2.10.2. 機能端子とポート

機能端子は以下ポートに割り当てられています。

表 2.39 A-ENC32 機能端子

チャンネル	機能端子		ポート	製品対応 (○: 対応、-: 非対応)		
				M4KN	M4KM	M4KL
ch0	ENC0A	入力	PN0	○	○	-
	ENC0B	入力	PN1	○	○	-
	ENC0Z	入力	PN2	○	○	-
ch1	ENC1A	入力	PF3	○	○	-
	ENC1B	入力	PF4	○	○	-
	ENC1Z	入力	PF5	○	-	-
ch2	ENC2A	入力	PD3	○	-	-
			PU3	○	○	○
	ENC2B	入力	PD4	○	-	-
			PU5	○	○	○
	ENC2Z	入力	PD5	○	-	-
			PU6	○	○	○



## 2.10.3. 内部信号接続仕様

### 2.10.3.1. T32A/A-PMD 接続

アドバンスドエンコーダー入力回路は、下記表のように内部で周辺機能と接続されている信号があります。表内の“-”は該当する機能がありません。

表 2.40 A-ENC32 内部接続仕様:入力

チャネル	機能入力		入力信号		
		信号名	周辺機能		信号名
ch0	汎用タイマー出力信号	ENC0PSGI	T32A ch0	T32A タイマー出力 A	T32A00OUTA
	サンプリング用 PWM 信号	ENC0PWMON	A-PMD ch0	A-PMD PWM 信号	PMD0PWMON
ch1	汎用タイマー出力信号	ENC1PSGI	T32A ch1	T32A タイマー出力 A	T32A01OUTA
	サンプリング用 PWM 信号	ENC1PWMON	A-PMD ch1	A-PMD PWM 信号	PMD1PWMON
ch2	汎用タイマー出力信号	ENC2PSGI	T32A ch2	T32A タイマー出力 A	T32A02OUTA
	サンプリング用 PWM 信号	ENC2PWMON	A-PMD ch2	A-PMD PWM 信号	PMD2PWMON

表 2.41 A-ENC32 内部接続仕様:出力

チャネル	機能出力		トリガーセレクター	出力先		
		信号名		周辺機能		信号名
ch0	分周パルス信号	ENC0TIMPLS	[TSEL0CR7] <INSEL28>	T32A ch1	タイマーA キャプチャートリガー入力	T32A01TRGINAPCK
	PMD 用転流トリガー出力	ENC0CTRGO	-	A-PMD ch0	PMD 転流トリガー (電気角同期)	ENC0CTRGO
	エンコーダー入力 割り込み 0	INTENC00	-		転流トリガー (ENC 位置検出同期)	INTENC00
ch1	分周パルス信号	ENC1TIMPLS	[TSEL0CR7] <INSEL31>	T32A ch2	タイマーA キャプチャートリガー入力	T32A02TRGINAPCK
	PMD 用転流トリガー出力	ENC1CTRGO	-	A-PMD ch1	PMD 転流トリガー (電気角同期)	ENC1CTRGO
	エンコーダー入力 割り込み 0	INTENC10	-		転流トリガー (ENC 位置検出同期)	INTENC10
ch2	分周パルス信号	ENC2TIMPLS	[TSEL0CR9] <INSEL37>	T32A ch4	タイマーA キャプチャートリガー入力	T32A04TRGINAPCK
	PMD 用転流トリガー出力	ENC2CTRGO	-	A-PMD ch2	PMD 転流トリガー (電気角同期)	ENC2CTRGO
	エンコーダー入力 割り込み 0	INTENC20	-		転流トリガー (ENC 位置検出同期)	INTENC20

## 2.11. アドバンストベクトルエンジンプラス(A-VE+)

### 2.11.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.42 A-VE+ 搭載チャンネル

製品	チャンネル (○: 搭載、-: 非搭載)
	ch0
M4KN	○
M4KM	○
M4KL	○

### 2.11.2. 内部信号接続仕様

#### 2.11.2.1. その他の接続

アドバンストベクトルエンジンプラスは、下記表のように内部で周辺機能と接続されている信号があります。

表 2.43 A-VE+ 内部接続仕様:入力

チャンネル	機能入力		入力元	
		信号名		信号名
ch0	ADC 変換終了割り込み A	INTADAPDA	ADC unit A	INTADAPDA
	ADC 変換終了割り込み B	INTADAPDB		INTADAPDB
	AD 変換結果 0 (電流 1 データ)	ADAREG0		ADAREG0
	AD 変換結果 1 (電流 2 データ)	ADAREG1		ADAREG1
	AD 変換結果 2 (電流 3 データ)	ADAREG2		ADAREG2
	AD 変換結果 3 (DC 電圧データ)	ADAREG3		ADAREG3
	PWM 割り込み	INTPWM0	A-PMD ch0	INTPWM0

表 2.44 A-VE+ 内部接続仕様:出力

チャンネル	機能出力		出力先	
		信号名		信号名
ch0	U相 PWM デューティ	VE0CMPU	A-PMD ch0	VE0CMPU
	V相 PWM デューティ	VE0CMPV		VE0CMPV
	W相 PWM デューティ	VE0CMPW		VE0CMPW
	トリガーコンペア 0	VE0TRGCMP0		VE0TRGCMP0
	トリガーコンペア 1	VE0TRGCMP1		VE0TRGCMP1
	同期トリガー出力選択	VE0TRGSEL		VE0TRGSEL
	通電制御/出力制御	VE0OUTCR		VE0OUTCR
	EMG 復帰	VE0EMGRS		VE0EMGRS
	タスク遷移信号	VE0DBGO		VE0TASKP
	スケジュール終了割り込み	INTVCN0		INTVCN0

## 2.12. 12 ビットアナログデジタルコンバーター(ADC)

### 2.12.1. 搭載ユニット

製品毎の搭載ユニットを下記表に示します。  
TMPM4K グループ(2)のADCの動作電圧は、4.5~5.5Vです。

表 2.45 ADC 搭載ユニット

製品	ユニット (○: 搭載、-: 非搭載)		
	A	B	C
M4KN	○	○	○
M4KM	○	○	○
M4KL	○	○	○

### 2.12.2. 対応レジスター

TMPM4K グループ(2)のユニット別の対応レジスターを下表に示します。

表 2.46 ADC ユニット別の対応レジスター

ユニット	汎用起動要因用 プログラムレジスター	変換結果格納レジスター
A	[ADATSET0]~[ADATSET23]	[ADAREG0]~[ADAREG23]
B	[ADBTSET0]~[ADBTSET15]	[ADBREG0]~[ADBREG15]
C	[ADCTSET0]~[ADCTSET15]	[ADCREG0]~[ADCREG15]

## 2.12.3. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。  
 製品により機能端子がないチャンネルもあります。

表 2.47 ADC 機能端子とポート

ユニット	信号入力	機能端子	ポート	製品対応 (○: 対応、-: 非対応)		
				M4KN	M4KM	M4KL
A	AINA00~ AIN04	—	—	—	—	—
	AINA05	AINA05	PM2	○	—	—
	AINA06	AINA06	PM1	○	—	—
	AINA07	AINA07	PM0	○	—	—
	AINA08	AINA08	PL7	○	○	○
	AINA09	AINA09	PL6	○	○	○
	AINA10~ AINA12	—	—	—	—	—
	AINA13	AINA13	PL5	○	○	○
	AINA14	AINA14	PL3	○	○	○
	AINA15	AINA15	PL1	○	○	○
	AINA16	AINA16(注 2)	PL0	○	○	○
		AMPA AOUT	—	○	○	○
	AINA17	AINA17(注 2)	PL2	○	○	○
		AMPB AOUT	—	○	○	○
	AINA18	AINA18(注 2)	PL4	○	○	○
		AMPC AOUT	—	○	○	○
	AINA19	VREFHA	—	○	○	○
	AINA20	VREFLA	—	○	○	○
	AINA21	リファレンス電源(注 3)	—	○	○	○
	AINA22, AINA23	—	—	—	—	—
B	AINB00	AINB00	PK0	○	○	○
	AINB01	AINB01	PK1	○	○	○
	AINB02	AINB02	PK2	○	○	○
	AINB03	AINB03	PK3	○	○	—
	AINB04	AINB04	PK4	○	○	—
	AINB05~ AINB07	—	—	—	—	—
	AINB08	AINA17(注 2)	PL2	○	○	○
		AMPB AOUT	—	○	○	○
	AINB09	VREFHB	—	○	○	○
	AINB10	VREFLB	—	○	○	○
	AINB11	リファレンス電源(注 3)	—	○	○	○
AINB12~ AINB23	—	—	—	—	—	
C	AINC00	AINC00	PJ0	○	○	○
	AINC01	AINC01	PJ1	○	○	○
	AINC02	AINC02	PJ2	○	○	○
	AINC03	AINC03	PJ3	○	○	—

ユニット 信号入力	機能端子	ポート	製品対応 (○: 対応、-: 非対応)		
			M4KN	M4KM	M4KL
AINC04	AINC04	PJ4	○	-	-
AINC05	AINC05	PJ5	○	-	-
AINC06, AINC07	-	-	-	-	-
AINC08	AINA18(注 2)	PL4	○	○	○
	AMPC AOUT	-	○	○	○
AINC09	VREFHC	-	○	○	○
AINC10	VREFLC	-	○	○	○
AINC11	リファレンス電源(注 3)	-	○	○	○
AINC12~ AINC23	-	-	-	-	-

注 1) ユニット A AINA19/AINA20/AINA21、ユニット B AINB09/AINB10/AINB11、ユニット C AINC09/AINC10/AINC11 は自己診断機能サポート用内部接続されています。

注 2) OPAMP 未使用時

注 3) リファレンス電源については「TPM4K グループ(2) データシート」の電気的特性を参照してください。

## 2.12.4. アナログ基準端子

ADC のアナログ基準端子はユニット A/B/C で共通です。端子割り付けは下記のとおりです。

表 2.48 アナログ基準端子割り付け

ユニット	アナログ基準端子	M4KNxxDFG	M4KNxxFG	M4KMxxFG	M4KLxxUG M4KLxxFG
A	VREFHA/VREFLA	37/34	34/31	29/26	24/21
B	VREFHB/VREFLB				
C	VREFHC/VREFLC				

## 2.12.5. ADC 用変換クロック

AD コンバーター用変換クロックは以下の表に示すクロックが使用されます。

表 2.49 ADC用変換クロック

クロック
ADCLK

## 2.12.6. 使用条件とレジスター設定

TPM4K グループ(2)が対応する使用条件を表 2.50 と表 2.51 に示します。

変換クロック設定レジスター(*[ADxCLK]*)、モード設定レジスター1 (*[ADxMOD1]*)、モード設定レジスター2 (*[ADxMOD2]*)については、下表の値を設定してください。

表 2.50 ADC 使用条件とレジスター設定(1)

変換時間 [μs]	AVDD5 [V]	クロック		レジスター設定			
		ADCLK [MHz]	SCLK [MHz]	<i>[ADxCLK]</i> <VADCLK[2:0]>	<i>[ADxCLK]</i> <EXAZ0[3:0] <EXAZ1[3:0]>	<i>[ADxMOD1]</i>	<i>[ADxMOD2]</i>
0.96	4.5~5.5	160	40	000	0001	0x00306122	0x00000000
0.91	4.5~5.5	120	30	000	0000	0x00308012	0x00000000
1.09	4.5~5.5	160	20	001	0000	0x00104011	0x00000000
1.09	4.5~5.5	80	20	000	0000	0x00104011	0x00000000

内蔵オペアンプの出力を 2 ユニットの ADC で同時サンプリングする場合は下表の値を設定してください。

表 2.51 ADC 使用条件とレジスター設定(2)

変換時間 [μs]	AVDD5 [V]	クロック		レジスター設定			
		ADCLK [MHz]	SCLK [MHz]	[ADxCLK] <VADCLK[2:0]>	[ADxCLK] <EXAZ0[3:0]> <EXAZ1[3:0]>	[ADxMOD1]	[ADxMOD2]
1.21	4.5~5.5	160	40	000	0011	0x00306122	0x00000000
1.11	4.5~5.5	120	30	000	0001	0x00308012	0x00000000
1.29	4.5~5.5	160	20	001	0001	0x00104011	0x00000000
1.29	4.5~5.5	80	20	000	0001	0x00104011	0x00000000

## 2.12.7. DMA 要求

ADC は、以下の表に示す DMA 要求があります。

表 2.52 ADC DMA要求

ユニット	要求	信号名	トリガーセレクター	DMA 要求チャンネル		
				シングル 転送	バースト 転送	
A	汎用トリガーDMA 要求	ADATRG_DMAREQ	[TSELOCRO] <INSEL0>	16	—	○
	単独変換 DMA 要求	ADASGL_DMAREQ			—	○
	連続変換 DMA 要求	ADACNT_DMAREQ			—	○
B	汎用トリガーDMA 要求	ADBTRG_DMAREQ	[TSELOCRO] <INSEL1>	17	—	○
	単独変換 DMA 要求	ADBSGL_DMAREQ			—	○
	連続変換 DMA 要求	ADBCNT_DMAREQ			—	○
C	汎用トリガーDMA 要求	ADCTRG_DMAREQ	[TSELOCRO] <INSEL2>	18	—	○
	単独変換 DMA 要求	ADCSGL_DMAREQ			—	○
	連続変換 DMA 要求	ADCCNT_DMAREQ			—	○

注) ○: 対応、—: 非対応



## 2.12.8. 内部信号接続仕様

### 2.12.8.1. 起動トリガー接続仕様

12ビットアナログデジタルコンバーターには、トリガー信号によるAD変換機能があります。

下記表のトリガーセクター欄にレジスター名のある入力トリガー信号は、トリガーセクターで使用する入力トリガーを選択してください。表内の“-”は該当する機能がありません。

表 2.53 ADC 起動トリガー接続仕様: 入力

ユニット	信号入力		トリガーセクター	入力元	
		信号名			信号名
A	PMD0 PMD トリガー0	PMDTRG0	-	A-PMD ch0	PMD0TRG0
	PMD0 PMD トリガー1	PMDTRG1	-		PMD0TRG1
	PMD0 PMD トリガー2	PMDTRG2	-		PMD0TRG2
	PMD0 PMD トリガー3	PMDTRG3	-		PMD0TRG3
	PMD0 PMD トリガー4	PMDTRG4	-		PMD0TRG4
	PMD0 PMD トリガー5	PMDTRG5	-		PMD0TRG5
	PMD1 PMD トリガー0	PMDTRG6	-	A-PMD ch1	PMD1TRG0
	PMD1 PMD トリガー1	PMDTRG7	-		PMD1TRG1
	PMD1 PMD トリガー2	PMDTRG8	-		PMD1TRG2
	PMD1 PMD トリガー3	PMDTRG9	-		PMD1TRG3
	PMD1 PMD トリガー4	PMDTRG10	-		PMD1TRG4
	PMD1 PMD トリガー5	PMDTRG11	-		PMD1TRG5
	汎用トリガー	ADATRGIN	[TSEL0CR4] <INSEL16>	PA2 端子 (TRGIN0)	TRGIN0
				PA3 端子 (TRGIN1)	TRGIN1
				PA4 端子 (TRGIN2)	TRGIN2
				T32A ch1	T32A01TRGOUTCMPA1 T32A01TRGOUTCMPB1 T32A01TRGOUTCMPC1
B	PMD0 PMD トリガー0	PMDTRG0	-	A-PMD ch0	PMD0TRG0
	PMD0 PMD トリガー1	PMDTRG1	-		PMD0TRG1
	PMD0 PMD トリガー2	PMDTRG2	-		PMD0TRG2
	PMD0 PMD トリガー3	PMDTRG3	-		PMD0TRG3
	PMD0 PMD トリガー4	PMDTRG4	-		PMD0TRG4
	PMD0 PMD トリガー5	PMDTRG5	-		PMD0TRG5
	PMD1 PMD トリガー0	PMDTRG6	-	A-PMD ch1	PMD1TRG0
	PMD1 PMD トリガー1	PMDTRG7	-		PMD1TRG1
	PMD1 PMD トリガー2	PMDTRG8	-		PMD1TRG2
	PMD1 PMD トリガー3	PMDTRG9	-		PMD1TRG3
	PMD1 PMD トリガー4	PMDTRG10	-		PMD1TRG4
	PMD1 PMD トリガー5	PMDTRG11	-		PMD1TRG5
	汎用トリガー	ADBTRGIN	[TSEL0CR4] <INSEL17>	PA2 端子 (TRGIN0)	TRGIN0
				PA3 端子 (TRGIN1)	TRGIN1
				PA4 端子 (TRGIN2)	TRGIN2

ユニット	信号入力		トリガーセクター	入力元		
		信号名			信号名	
				T32A ch3	T32A03TRGOUTCMPA1 T32A03TRGOUTCMPB1 T32A03TRGOUTCMPC1	
C	PMD0 PMD トリガー0	PMDTRG0	-	A-PMD ch0	PMD0TRG0	
	PMD0 PMD トリガー1	PMDTRG1	-		PMD0TRG1	
	PMD0 PMD トリガー2	PMDTRG2	-		PMD0TRG2	
	PMD0 PMD トリガー3	PMDTRG3	-		PMD0TRG3	
	PMD0 PMD トリガー4	PMDTRG4	-		PMD0TRG4	
	PMD0 PMD トリガー5	PMDTRG5	-		PMD0TRG5	
	PMD2 PMD トリガー0	PMDTRG6		A-PMD ch2	PMD2TRG0	
	PMD2 PMD トリガー1	PMDTRG7	-		PMD2TRG1	
	PMD2 PMD トリガー2	PMDTRG8	-		PMD2TRG2	
	PMD2 PMD トリガー3	PMDTRG9	-		PMD2TRG3	
	PMD2 PMD トリガー4	PMDTRG10	-		PMD2TRG4	
	PMD2 PMD トリガー5	PMDTRG11	-		PMD2TRG5	
	汎用トリガー	ADCTRGIN		[TSEL0CR4] <INSEL18>	PA2 端子 (TRGIN0)	TRGIN0
					PA3 端子 (TRGIN1)	TRGIN1
PA4 端子 (TRGIN2)					TRGIN2	
T32A ch5					T32A05TRGOUTCMPA1	
					T32A05TRGOUTCMPB1	
	T32A05TRGOUTCMPC1					

注) [TSEL0CR4]<INSEL16><INSEL17><INSEL18>はトリガーセクターで、起動トリガーのトリガーソースを選択します。詳細な接続先については、「2.2.トリガーセクター(TRGSEL)」を参照してください。

## 2.12.8.2. その他接続

ADC は、その他、下記表のように内部で周辺機能と接続されている信号があります。表内の“-”は該当する機能がありません。

表 2.54 ADC 内部接続仕様:出力

ユニット	機能出力		トリガーセレクター	出力先		
		信号名			信号名	
A	汎用トリガー割り込み	INTADATRG	[TSEL0CR9] <INSEL37>	T32A ch4 タイマーA	T32A04TRGINAPCK	
	単独変換割り込み	INTADASGL				
	連続変換割り込み	INTADACNT				
	監視機能 0 割り込み	INTADACP0				
	PMD 保護用監視機能 0 出力	ADACP0L_N	-	A-PMD ch0	ADACMP0L_N	
	PMD 保護用監視機能 1 出力	ADACP1L_N	-		ADACMP1L_N	
	PMDトリガー割り込み A	INTADAPDA	-	A-PMD ch0	INTADAPDA	
				A-VE+ ch0	INTADAPDA	
	PMDトリガー割り込み B	INTADAPDB	-	A-PMD ch0	INTADAPDB	
				A-VE+ ch0	INTADAPDB	
	AD 変換中フラグ	ADABUSY	-	A-PMD ch0	ADABUSY	
	変換結果格納レジスター			-	A-VE+ ch0	ADAREG0
						ADAREG1
ADAREG2						
ADAREG3						
B	汎用トリガー割り込み	INTADBTRG	[TSEL0CR10] <INSEL40>	T32A ch5 タイマーA	T32A05TRGINAPCK	
	単独変換割り込み	INTADBSGL				
	連続変換割り込み	INTADBCNT				
	監視機能 0 割り込み	INTADBCP0				
	監視機能 1 割り込み	INTADBCP1				
	PMD 保護用監視機能 0 出力	ADBCP0L_N	-	A-PMD ch1	ADBCMP0L_N	
	PMD 保護用監視機能 1 出力	ADBCP1L_N	-		ADBCMP1L_N	
	PMDトリガー割り込み A	INTADBPDA	-		INTADBPDA	
	PMDトリガー割り込み B	INTADBPDB	-		INTADBPDB	
	AD 変換中フラグ	ADBBUSY	-		ADBBUSY	
C	汎用トリガー割り込み	INTADCTRG	[TSEL0CR8] <INSEL34>	T32A ch3 タイマーA	T32A03TRGINAPCK	
	単独変換割り込み	INTADCSGL				
	連続変換割り込み	INTADCCNT				
	PMD 保護用監視機能 0 出力	ADCCP0L_N	-	A-PMD ch2	ADCCMP0L_N	
	PMD 保護用監視機能 1 出力	ADCCP1L_N	-		ADCCMP1L_N	
	PMDトリガー割り込み A	INTADCPDA	-		INTADCPDA	
	PMDトリガー割り込み B	INTADCPDB	-		INTADCPDB	
	AD 変換中フラグ	ADCBUSY	-		ADCBUSY	

注) ユニット B/ユニット C には、VE は接続されていません。

## 2.13. オペアンプ(OPAMP)

### 2.13.1. 搭載ユニット

製品毎の搭載ユニットを下記表に示します。

表 2.55 OPAMP 搭載ユニット

製品	ユニット (○: 搭載、-: 非搭載)		
	A	B	C
M4KN	○	○	○
M4KM	○	○	○
M4KL	○	○	○

### 2.13.2. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。  
 製品により機能端子がないチャンネルもあります。

表 2.56 OPAMP 機能端子とポート

OPAMP	入力端子	機能端子	ポート	製品対応 (○: 対応、-: 非対応)		
				M4KN	M4KM	M4KL
AMPA	AINAP	AINA16	PL0	○	○	○
	AINAM	AINA15	PL1	○	○	○
AMPB	AINBP	AINA17	PL2	○	○	○
	AINBM	AINA14	PL3	○	○	○
AMPC	AINCP	AINA18	PL4	○	○	○
	AINCM	AINA13	PL5	○	○	○

### 2.13.3. ADC 接続

オペアンプと ADC の接続は下記のとおりです。

表 2.57 OPAMP出力接続

OPAMP	出力端子	ADC 入力端子	製品対応 (○: 対応、-: 非対応)		
			M4KN	M4KM	M4KL
AMPA	AMPOUTA	AINA16	○	○	○
AMPB	AMPOUTB	AINA17 / AINB08	○	○	○
AMPC	AMPOUTC	AINA18 / AINC08	○	○	○

## 2.14. 32 ビットタイマーイベントカウンター(T32A)

### 2.14.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.58 T32A 搭載チャンネル

製品	チャンネル (○: 搭載、-: 非搭載)					
	ch0	ch1	ch2	ch3	ch4	ch5
M4KN	○	○	○	○	○	○
M4KM	○	○	○	○	○	○
M4KL	○	○	○	○	○	○

### 2.14.2. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。  
 複数に割り当てられている同一機能端子は排他的に使用してください。  
 製品により機能端子がないチャンネルもあります。

表 2.59 T32A 機能端子とポート (1/3)

チャンネル	機能端子		ポート	製品対応 (○: 対応、-: 非対応)		
				M4KN	M4KM	M4KL
ch0	T32A00INA0	入力	PA2	○	○	○
	T32A00OUTA	出力	PA3	○	○	○
	T32A00INB0	入力	PA0	○	○	-
	T32A00INB1	入力	PA1	○	○	-
	T32A00OUTB	出力	PA4	○	○	○
	T32A00INC0	入力	PA2	○	○	○
	T32A00OUTC	出力	PA3	○	○	○
ch1	T32A01INA0	入力	PF3	○	○	-
	T32A01INA1	入力	PF5	○	-	-
	T32A01OUTA	出力	PF4	○	○	-
	T32A01INB0	入力	PF6	○	○	-
	T32A01INB1	入力	PF7	○	○	-
	T32A01OUTB	出力	PV0	○	-	-
	T32A01INC0	入力	PF3	○	○	-
	T32A01INC1	入力	PF5	○	-	-
	T32A01OUTC	出力	PF4	○	○	-

表 2.60 T32A 機能信号とポート (2/3)

チャンネル	機能端子		ポート	製品対応 (○: 対応、-: 非対応)		
				M4KN	M4KM	M4KL
ch2	T32A02INA0	入力	PC0	○	○	○
			PU1	○	○	○
	T32A02INA1	入力	PC6	○	-	-
			PU5	○	○	○
	T32A02OUTA	出力	PC1	○	○	○
			PU2	○	○	○
	T32A02INB0	入力	PC7	○	-	-
			PU3	○	○	○
	T32A02INB1	入力	PD0	○	-	-
			PU0	○	○	○
	T32A02OUTB	出力	PD1	○	-	-
			PU4	○	○	○
	T32A02INC0	入力	PC0	○	○	○
			PU1	○	○	○
	T32A02INC1	入力	PC6	○	-	-
			PU4	○	○	○
T32A02OUTC	出力	PC1	○	○	○	
		PU2	○	○	○	
ch3	T32A03INA0	入力	PD2	○	-	-
			PE1	○	○	○
	T32A03INA1	入力	PD3	○	-	-
			PE3	○	○	○
	T32A03OUTA	出力	PC2	○	○	○
			PE2	○	○	○
	T32A03INB0	入力	PD4	○	-	-
			PE4	○	○	○
	T32A03INB1	入力	PD5	○	-	-
			PE5	○	○	○
	T32A03OUTB	出力	PC3	○	○	○
			PE6	○	○	○
	T32A03INC0	入力	PD2	○	-	-
			PE1	○	○	○
	T32A03INC1	入力	PD3	○	-	-
			PE3	○	○	○
T32A03OUTC	出力	PC2	○	○	○	
		PE2	○	○	○	

表 2.61 T32A 機能信号とポート (3/3)

チャンネル	機能端子		ポート	製品対応 (○: 対応、-: 非対応)		
				M4KN	M4KM	M4KL
ch4	T32A04INA0	入力	PG0	○	○	-
	T32A04INA1	入力	PG1	○	○	-
	T32A04OUTA	出力	PG2	○	○	○
	T32A04INB0	入力	PG4	○	○	○
	T32A04INB1	入力	PG5	○	○	○
	T32A04OUTB	出力	PG3	○	○	○
	T32A04INC0	入力	PG0	○	○	-
	T32A04INC1	入力	PG1	○	○	-
	T32A04OUTC	出力	PG2	○	○	○
ch5	T32A05INA0	入力	PF0	○	○	○
			PN0	○	○	-
	T32A05INA1	入力	PF2	○	-	-
			PN2	○	○	-
	T32A05OUTA	出力	PF1	○	○	○
			PN1	○	○	-
	T32A05INC0	入力	PF0	○	○	○
			PN0	○	○	-
	T32A05INC1	入力	PF2	○	-	-
			PN2	○	○	-
	T32A05OUTC	出力	PF1	○	○	○
			PN1	○	○	-

### 2.14.3. プリスケーラー用クロック

32ビットタイマーイベントカウンターは、プリスケーラー用クロックに以下の表に示すクロックが使用されます。

表 2.62 T32A プリスケーラー用クロック

クロック
ΦT0m

### 2.14.4. 内部信号接続仕様

#### 2.14.4.1. キャプチャトリガー信号接続仕様

32ビットタイマーイベントカウンターは、以下の表に示すキャプチャトリガー信号が接続されます。下記表のトリガーセクター欄にレジスター名のある入力トリガー信号は、トリガーセクターで使用する入力トリガーを選択してください。

表 2.63 T32A キャプチャトリガー信号接続仕様 (1/3)

チャンネル		トリガースource			
タイマー	キャプチャトリガー入力	トリガーセクター	入力トリガー信号	信号名	
ch0	タイマーA	T32A00TRGINAPHCK (他タイマー出力)	-	-	-
		T32A00TRGINAPCK (内部トリガー入力)	[TSEL0CR6] <INSEL25>	PA2 端子(TRGIN0)	TRGIN0
	PA3 端子(TRGIN1)			TRGIN1	
	PA4 端子(TRGIN2)			TRGIN2	
	UART ch0 送信完了トリガー			UART0TXTRG	
	UART ch0 受信完了トリガー			UART0RXTRG	
	TSPI ch0 送信完了トリガー			TSPI0TXEND	
	TSPI ch0 受信完了トリガー			TSPI0RXEND	
	EI2C ch0 ステータス割り込み / I2C ch0 割り込み	INTI2C0ST/INTI2C0			
	タイマーB	T32A00TRGINBPHCK (他タイマー出力)	-	T32A ch0 タイマーA 出力	T32A00OUTA
		T32A00TRGINBPCK (内部トリガー入力)	[TSEL0CR6] <INSEL26>	T32A ch0 タイマーレジスターA0 一致トリガー	T32A00TRGOUTCMPA0
	T32A ch0 タイマーレジスターA1 一致トリガー			T32A00TRGOUTCMPA1	
T32A ch0 タイマーA オーバーフロートリガー	T32A00TRGOUTOFA				
T32A ch0 タイマーA アンダーフロートリガー	T32A00TRGOUTUFA				
タイマーC	T32A00TRGINCPHCK (他タイマー出力)	-	-	-	
	T32A00TRGINCPCK (内部トリガー入力)	[TSEL0CR6] <INSEL27>	T32A ch5 タイマーレジスターC0 一致トリガー	T32A05TRGOUTCMPC0	
T32A ch5 タイマーレジスターC1 一致トリガー			T32A05TRGOUTCMPC1		
T32A ch5 タイマーC オーバーフロートリガー			T32A05TRGOUTOFC		
T32A ch5 タイマーC アンダーフロートリガー			T32A05TRGOUTUFC		
ch1	タイマーA	T32A01TRGINAPHCK (他タイマー出力)	-	-	-
		T32A01TRGINAPCK (内部トリガー入力)	[TSEL0CR7] <INSEL28>	PA2 端子(TRGIN0)	TRGIN0
	PA3 端子(TRGIN1)			TRGIN1	
	PA4 端子(TRGIN2)			TRGIN2	
	UART ch1 送信完了トリガー			UART1TXTRG	
	UART ch1 受信完了トリガー			UART1RXTRG	
	TSPI ch1 送信完了トリガー			TSPI1TXEND	
	TSPI ch1 受信完了トリガー			TSPI1RXEND	
	A-ENC32 ch0 分周パルス	ENC0TIMPLS			
	タイマーB	T32A01TRGINBPHCK (他タイマー出力)	-	T32A ch1 タイマーA 出力	T32A01OUTA
		T32A01TRGINBPCK (内部トリガー入力)	[TSEL0CR7] <INSEL29>	T32A ch1 タイマーレジスターA0 一致トリガー	T32A01TRGOUTCMPA0
	T32A ch1 タイマーレジスターA1 一致トリガー			T32A01TRGOUTCMPA1	
T32A ch1 タイマーA オーバーフロートリガー	T32A01TRGOUTOFA				
T32A ch1 タイマーA アンダーフロートリガー	T32A01TRGOUTUFA				
タイマーC	T32A01TRGINCPHCK (他タイマー出力)	-	-	-	
	T32A01TRGINCPCK (内部トリガー入力)	[TSEL0CR7] <INSEL30>	T32A ch0 タイマーレジスターC0 一致トリガー	T32A00TRGOUTCMPC0	
T32A ch0 タイマーレジスターC1 一致トリガー			T32A00TRGOUTCMPC1		
T32A ch0 タイマーC オーバーフロートリガー			T32A00TRGOUTOFC		
T32A ch0 タイマーC アンダーフロートリガー			T32A00TRGOUTUFC		

注) [TSEL0CRn]<INSELm>はトリガーセクターで、内部トリガーのトリガースourceを選択します。  
詳細な接続先については、「2.2.トリガーセクター(TRGSEL)」を参照してください。



表 2.64 T32A キャプチャトリガー信号接続仕様 (2/3)

チャンネル		トリガースource			
タイマー	キャプチャトリガー入力	トリガーセクター	入力トリガー信号	信号名	
ch2	タイマー A	T32A02TRGINAPHCK (他タイマー出力)	-	-	-
		T32A02TRGINAPCK (内部トリガー入力)	[TSEL0CR7] <INSEL31>	PA2 端子(TRGIN0)	TRGIN0
				PA3 端子(TRGIN1)	TRGIN1
				PA4 端子(TRGIN2)	TRGIN2
				UART ch2 送信完了トリガー	UART2TXTRG
				UART ch2 受信完了トリガー	UART2RXTRG
				A-ENC32 ch1 分周パルス	ENC1TIMPLS
	EI2C ch1 ステータス割り込み / I2C ch1 割り込み	INTI2C1ST/INTI2C1			
	タイマー B	T32A02TRGINBPHCK (他タイマー出力)	-	T32A ch2 タイマーA 出力	T32A02OUTA
		T32A02TRGINBPCK (内部トリガー入力)	[TSEL0CR8] <INSEL32>	T32A ch2 タイマーレジスターA0 一致トリガー	T32A02TRGOUTCMPA0
				T32A ch2 タイマーレジスターA1 一致トリガー	T32A02TRGOUTCMPA1
				T32A ch2 タイマーA オーバーフロートリガー	T32A02TRGOUTOFA
T32A ch2 タイマーA アンダーフロートリガー	T32A02TRGOUTUFA				
タイマー C	T32A02TRGINCPHCK (他タイマー出力)	-	-	-	
	T32A02TRGINCPCK (内部トリガー入力)	[TSEL0CR8] <INSEL33>	T32A ch1 タイマーレジスターC0 一致トリガー	T32A01TRGOUTCMPC0	
			T32A ch1 タイマーレジスターC1 一致トリガー	T32A01TRGOUTCMPC1	
			T32A ch1 タイマーC オーバーフロートリガー	T32A01TRGOUTOFC	
T32A ch1 タイマーC アンダーフロートリガー	T32A01TRGOUTUFC				
ch3	タイマー A	T32A03TRGINAPHCK (他タイマー出力)	-	-	-
		T32A03TRGINAPCK (内部トリガー入力)	[TSEL0CR8] <INSEL34>	PA2 端子(TRGIN0)	TRGIN0
				PA3 端子(TRGIN1)	TRGIN1
				PA4 端子(TRGIN2)	TRGIN2
				UART ch3 送信完了トリガー	UART3TXTRG
				UART ch3 受信完了トリガー	UART3RXTRG
				ADC unit C 汎用トリガー割り込み	INTADCTRG
				ADC unit C 単独変換割り込み	INTADCSGL
	ADC unit C 連続変換割り込み	INTADCCNT			
	タイマー B	T32A03TRGINBPHCK (他タイマー出力)	-	T32A ch3 タイマーA 出力	T32A03OUTA
		T32A03TRGINBPCK (内部トリガー入力)	[TSEL0CR8] <INSEL35>	T32A ch3 タイマーレジスターA0 一致トリガー	T32A03TRGOUTCMPA0
				T32A ch3 タイマーレジスターA1 一致トリガー	T32A03TRGOUTCMPA1
				T32A ch3 タイマーA オーバーフロートリガー	T32A03TRGOUTOFA
	T32A ch3 タイマーA アンダーフロートリガー	T32A03TRGOUTUFA			
	タイマー C	T32A03TRGINCPHCK (他タイマー出力)	-	-	-
		T32A03TRGINCPCK (内部トリガー入力)	[TSEL0CR9] <INSEL36>	T32A ch2 タイマーレジスターC0 一致トリガー	T32A02TRGOUTCMPC0
T32A ch2 タイマーレジスターC1 一致トリガー				T32A02TRGOUTCMPC1	
T32A ch2 タイマーC オーバーフロートリガー				T32A02TRGOUTOFC	
T32A ch2 タイマーC アンダーフロートリガー	T32A02TRGOUTUFC				

注) [TSEL0CRn]<INSELm>はトリガーセクターで、内部トリガーのトリガースourceを選択します。  
 詳細な接続先については、「2.2.トリガーセクター(TRGSEL)」を参照してください。

表 2.65 T32A キャプチャトリガー信号接続仕様 (3/3)

チャンネル		トリガーソース			
タイマー	キャプチャトリガー入力	トリガーセレクター	入力トリガー信号	信号名	
ch4	タイマーA	T32A04TRGINAPHCK (他タイマー出力)	-	-	-
		T32A04TRGINAPCK (内部トリガー入力)	[TSEL0CR9] <INSEL37>	PA2 端子(TRGIN0)	TRGIN0
	PA3 端子(TRGIN1)			TRGIN1	
	PA4 端子(TRGIN2)			TRGIN2	
	ADC unit A 汎用トリガー割り込み			INTADATRG	
	ADC unit A 単独変換割り込み			INTADASGL	
	ADC unit A 連続変換割り込み			INTADACNT	
	ADC unit A 監視機能 0 割り込み			INTADACP0	
	A-ENC32 ch2 分周パルス	ENC2TIMPLS			
	タイマーB	T32A04TRGINBPHCK (他タイマー出力)	-	T32A ch4 タイマーA 出力	T32A04OUTA
		T32A04TRGINBPCK (内部トリガー入力)	[TSEL0CR9] <INSEL38>	T32A ch4 タイマーレジスターA0 一致トリガー	T32A04TRGOUTCMPA0
	T32A ch4 タイマーレジスターA1 一致トリガー			T32A04TRGOUTCMPA1	
	T32A ch4 タイマーA オーバーフロートリガー			T32A04TRGOUTOFA	
	T32A ch4 タイマーA アンダーフロートリガー			T32A04TRGOUTUFA	
	タイマーC	T32A04TRGINCPHCK (他タイマー出力)	-	-	-
T32A04TRGINCPCK (内部トリガー入力)		[TSEL0CR9] <INSEL39>	T32A ch3 タイマーレジスターC0 一致トリガー	T32A03TRGOUTCMPC0	
	T32A ch3 タイマーレジスターC1 一致トリガー		T32A03TRGOUTCMPC1		
	T32A ch3 タイマーC オーバーフロートリガー		T32A03TRGOUTOFC		
	T32A ch3 タイマーC アンダーフロートリガー		T32A03TRGOUTUFC		
ch5	タイマーA	T32A05TRGINAPHCK (他タイマー出力)	-	-	-
		T32A05TRGINAPCK (内部トリガー入力)	[TSEL0CR10] <INSEL40>	PA2 端子(TRGIN0)	TRGIN0
	PA3 端子(TRGIN1)			TRGIN1	
	PA4 端子(TRGIN2)			TRGIN2	
	ADC unit B 汎用トリガー割り込み			INTADBTRG	
	ADC unit B 単独変換割り込み			INTADBSGL	
	ADC unit B 連続変換割り込み			INTADBCNT	
	ADC unit B 監視機能 0 割り込み			INTADBCP0	
	ADC unit B 監視機能 1 割り込み	INTADBCP1			
	タイマーB	T32A05TRGINBPHCK (他タイマー出力)	-	T32A ch5 タイマーA 出力	T32A05OUTA
		T32A05TRGINBPCK (内部トリガー入力)	[TSEL0CR10] <INSEL41>	T32A ch5 タイマーレジスターA0 一致トリガー	T32A05TRGOUTCMPA0
	T32A ch5 タイマーレジスターA1 一致トリガー			T32A05TRGOUTCMPA1	
	T32A ch5 タイマーA オーバーフロートリガー			T32A05TRGOUTOFA	
	T32A ch5 タイマーA アンダーフロートリガー			T32A05TRGOUTUFA	
	タイマーC	T32A05TRGINCPHCK (他タイマー出力)	-	-	-
T32A05TRGINCPCK (内部トリガー入力)		[TSEL0CR10] <INSEL42>	T32A ch4 タイマーレジスターC0 一致トリガー	T32A04TRGOUTCMPC0	
	T32A ch4 タイマーレジスターC1 一致トリガー		T32A04TRGOUTCMPC1		
	T32A ch4 タイマーC オーバーフロートリガー		T32A04TRGOUTOFC		
	T32A ch4 タイマーC アンダーフロートリガー		T32A04TRGOUTUFC		

注) [TSEL0CRn]<INSELm>はトリガーセレクターで、内部トリガーのトリガーソースを選択します。  
詳細な接続先については、「2.2.トリガーセレクター(TRGSEL)」を参照してください。

## 2.14.4.2. その他接続

表 2.66 T32A トリガー出力接続仕様(1/3)

チャンネル	タイマー	信号出力		トリガーセクター	出力先	
		信号名	信号名		信号名	信号名
ch0	タイマーA	タイマー出力 A	T32A00OUTA	-	T32A ch0 タイマーB	T32A00TRGINBPHCK
				-	A-ENC32 ch0	ENC0PSGI
		タイマーレジスタA0 一致トリガー	T32A00TRGOUTCMP A0	-	A-PMD ch0	PMD0TMR
		タイマーレジスタA1 一致トリガー	T32A00TRGOUTCMP A1	[TSEL0CR6] <INSEL26>	T32A ch0 タイマーB	T32A00TRGINBPCCK
		タイマーA オーバーフロートリガー	T32A00TRGOUTOFA			
		タイマーA アンダーフロートリガー	T32A00TRGOUTUFA			
	タイマーB	タイマー出力 B	T32A00OUTB	-	-	-
		タイマーB オーバーフロートリガー	T32A00TRGOUTOFB	-	-	-
		タイマーB アンダーフロートリガー	T32A00TRGOUTUFB	-	-	-
		タイマーレジスタB0 一致トリガー	T32A00TRGOUTCMP B0	-	-	-
		タイマーレジスタB1 一致トリガー	T32A00TRGOUTCMP B1	-	-	-
	タイマーC	タイマー出力 C	T32A00OUTC	-	-	-
		タイマーC オーバーフロートリガー	T32A00TRGOUTOFC			
		タイマーC アンダーフロートリガー	T32A00TRGOUTUFC			
		タイマーレジスタC0 一致トリガー	T32A00TRGOUTCMP C0	[TSEL0CR7] <INSEL30>	T32A ch1 タイマーC	T32A01TRGINCPCK
タイマーレジスタC1 一致トリガー		T32A00TRGOUTCMP C1				
ch1	タイマーA	タイマー出力 A	T32A01OUTA	-	T32A ch1 タイマーB	T32A01TRGINBPHCK
				-	A-ENC32 ch1	ENC1PSGI
		タイマーレジスタA0 一致トリガー	T32A01TRGOUTCMP A0	[TSEL0CR7] <INSEL29>	T32A ch1 タイマーB	T32A01TRGINBPCCK
		タイマーレジスタA1 一致トリガー	T32A01TRGOUTCMP A1	[TSEL0CR4] <INSEL16>	ADC unit A	ADATRGIN
		タイマーA オーバーフロートリガー	T32A01TRGOUTOFA	[TSEL0CR7] <INSEL29>	T32A ch1 タイマーB	T32A01TRGINBPCCK
		タイマーA アンダーフロートリガー	T32A01TRGOUTUFA			
	タイマーB	タイマー出力 B	T32A01OUTB	-	-	-
		タイマーB オーバーフロートリガー	T32A01TRGOUTOFB	-	-	-
		タイマーB アンダーフロートリガー	T32A01TRGOUTUFB	-	-	-
		タイマーレジスタB0 一致トリガー	T32A01TRGOUTCMP B0	-	-	-
		タイマーレジスタB1 一致トリガー	T32A01TRGOUTCMP B1	[TSEL0CR4] <INSEL16>	ADC unit A	ADATRGIN
	タイマーC	タイマー出力 C	T32A01OUTC	-	-	-
		タイマーC オーバーフロートリガー	T32A01TRGOUTOFC			
		タイマーC アンダーフロートリガー	T32A01TRGOUTUFC			
		タイマーレジスタC0 一致トリガー	T32A01TRGOUTCMP C0	[TSEL0CR8] <INSEL33>	T32A ch2 タイマーC	T32A02TRGINCPCK
タイマーレジスタC1 一致トリガー		T32A01TRGOUTCMP C1	[TSEL0CR4] <INSEL16>	ADC unit A	ADATRGIN	

注) [TSEL0CRn]<INSELm>はトリガーセクターで、内部トリガーのトリガーソースを選択します。  
 詳細な接続先については、「2.2.トリガーセクター(TRGSEL)」を参照してください。

表 2.67 T32A トリガー出力接続仕様(2/3)

チャンネル	タイマー	信号出力		トリガーセクター	出力先	
		信号名	信号名		信号名	信号名
ch2	タイマーA	タイマー出力 A	T32A02OUTA	-	T32A ch2 タイマーB	T32A02TRGINBPHCK
		タイマーレジスターA0 一致トリガー	T32A02TRGOUTCMPA0	-	A-ENC32 ch2	ENC2PSGI
		タイマーレジスターA1 一致トリガー	T32A02TRGOUTCMPA1	[TSELOCR8] <INSEL32>	T32A ch2 タイマーB	T32A02TRGINBPCK
		タイマーA オーバーフロートリガー	T32A02TRGOUTOFA			
		タイマーA アンダーフロートリガー	T32A02TRGOUTUFA			
	タイマーB	タイマー出力 B	T32A02OUTB	-	-	-
		タイマーB オーバーフロートリガー	T32A02TRGOUTOFB	-	-	-
		タイマーB アンダーフロートリガー	T32A02TRGOUTUFB	-	-	-
		タイマーレジスターB0 一致トリガー	T32A02TRGOUTCMPB0	-	-	-
		タイマーレジスターB1 一致トリガー	T32A02TRGOUTCMPB1	-	-	-
	タイマーC	タイマー出力 C	T32A02OUTC	-	-	-
		タイマーC オーバーフロートリガー	T32A02TRGOUTOFC	[TSELOCR9] <INSEL36>	T32A ch3 タイマーC	T32A03TRGINCPCK
		タイマーC アンダーフロートリガー	T32A02TRGOUTUFC			
		タイマーレジスターC0 一致トリガー	T32A02TRGOUTCMPC0			
タイマーレジスターC1 一致トリガー		T32A02TRGOUTCMPC1	-	-	-	
ch3	タイマーA	タイマー出力 A	T32A03OUTA	-	T32A ch3 タイマーB	T32A03TRGINBPHCK
		タイマーA オーバーフロートリガー	T32A03TRGOUTOFA	[TSELOCR8] <INSEL35>	T32A ch3 タイマーB	T32A03TRGINBPCK
		タイマーA アンダーフロートリガー	T32A03TRGOUTUFA			
		タイマーレジスターA0 一致トリガー	T32A03TRGOUTCMPA0			
		タイマーレジスターA1 一致トリガー	T32A03TRGOUTCMPA1	[TSELOCR4] <INSEL17>	ADC unit B	ADBTRGIN
	タイマーB	タイマー出力 B	T32A03OUTB	-	-	-
		タイマーB オーバーフロートリガー	T32A03TRGOUTOFB	-	-	-
		タイマーB アンダーフロートリガー	T32A03TRGOUTUFB	-	-	-
		タイマーレジスターB0 一致トリガー	T32A03TRGOUTCMPB0	-	-	-
		タイマーレジスターB1 一致トリガー	T32A03TRGOUTCMPB1	[TSELOCR4] <INSEL17>	ADC unit B	ADBTRGIN
	タイマーC	タイマー出力 C	T32A03OUTC	-	-	-
		タイマーC オーバーフロートリガー	T32A03TRGOUTOFC	[TSELOCR9] <INSEL39>	T32A ch4 タイマーC	T32A04TRGINCPCK
		タイマーC アンダーフロートリガー	T32A03TRGOUTUFC			
		タイマーレジスターC0 一致トリガー	T32A03TRGOUTCMPC0			
タイマーレジスターC1 一致トリガー		T32A03TRGOUTCMPC1	[TSELOCR4] <INSEL17>	ADC unit B	ADBTRGIN	
ch4	タイマーA	タイマー出力 A	T32A04OUTA	-	T32A ch4 タイマーB	T32A04TRGINBPHCK
		タイマーA オーバーフロートリガー	T32A04TRGOUTOFA	[TSELOCR9] <INSEL38>	T32A ch4 タイマーB	T32A04TRGINBPCK
		タイマーA アンダーフロートリガー	T32A04TRGOUTUFA			
		タイマーレジスターA0 一致トリガー	T32A04TRGOUTCMPA0			
		タイマーレジスターA1 一致トリガー	T32A04TRGOUTCMPA1	-	-	-
	タイマーB	タイマー出力 B	T32A04OUTB	-	-	-
		タイマーB オーバーフロートリガー	T32A04TRGOUTOFB	-	-	-
		タイマーB アンダーフロートリガー	T32A04TRGOUTUFB	-	-	-
		タイマーレジスターB0 一致トリガー	T32A04TRGOUTCMPB0	-	-	-
		タイマーレジスターB1 一致トリガー	T32A04TRGOUTCMPB1	-	-	-
	タイマーC	タイマー出力 C	T32A04OUTC	-	-	-
		タイマーC オーバーフロートリガー	T32A04TRGOUTOFC	[TSELOCR10] <INSEL42>	T32A ch5 タイマーC	T32A05TRGINCPCK
		タイマーC アンダーフロートリガー	T32A04TRGOUTUFC			
		タイマーレジスターC0 一致トリガー	T32A04TRGOUTCMPC0			
タイマーレジスターC1 一致トリガー		T32A04TRGOUTCMPC1	-	-	-	

注) [TSELOCRn]<INSELm>はトリガーセクターで、内部トリガーのトリガーソースを選択します。  
 詳細な接続先については、「2.2.トリガーセクター(TRGSEL)」を参照してください。

表 2.68 T32A トリガー出力接続仕様(3/3)

チャンネル	信号出力		トリガーセクター	出力先		
	タイマー	信号名			信号名	
ch5	タイマー-A	タイマー出力 A	T32A05OUTA	-	T32A ch5 タイマー-B	T32A05TRGINBPCHK
		タイマー-A オーバーフロートリガー	T32A05TRGOUTOFA	[TSELOCR10] <INSEL41>	T32A ch5 タイマー-B	T32A05TRGINBPCK
		タイマー-A アンダーフロートリガー	T32A05TRGOUTUFA			
		タイマーレジスターA0 一致トリガー	T32A05TRGOUTCMPA0			
				[TSELOCR4] <INSEL18>	ADC unit C	ADCTRGIN
				[TSELOCR4] <INSEL19>	TSPI ch0	TSPI0TRG
				[TSELOCR5] <INSEL20>	TSPI ch1	TSPI1TRG
				[TSELOCR5] <INSEL21>	UART ch0	UART0TRGIN
			[TSELOCR5] <INSEL22>	UART ch1	UART1TRGIN	
			[TSELOCR5] <INSEL23>	UART ch2	UART2TRGIN	
			[TSELOCR6] <INSEL24>	UART ch3	UART3TRGIN	
	タイマー-B	タイマー出力 B	T32A05OUTB	-	-	-
タイマー-B オーバーフロートリガー		T32A05TRGOUTOFB	-	-	-	
タイマー-B アンダーフロートリガー		T32A05TRGOUTUFB	-	-	-	
タイマーレジスターB0 一致トリガー		T32A05TRGOUTCMPB0	-	-	-	
			[TSELOCR4] <INSEL18>	ADC unit C	ADCTRGIN	
			[TSELOCR4] <INSEL19>	TSPI ch0	TSPI0TRG	
			[TSELOCR5] <INSEL20>	TSPI ch1	TSPI1TRG	
			[TSELOCR5] <INSEL21>	UART ch0	UART0TRGIN	
			[TSELOCR5] <INSEL22>	UART ch1	UART1TRGIN	
タイマー-C	タイマー出力 C	T32A05OUTC	-	-	-	
	タイマー-C オーバーフロートリガー	T32A05TRGOUTOFC	[TSELOCR6] <INSEL27>	T32A ch0 タイマー-C	T32A00TRGINCPCK	
	タイマー-C アンダーフロートリガー	T32A05TRGOUTUFC				
	タイマーレジスターC0 一致トリガー	T32A05TRGOUTCMPC0				
			[TSELOCR4] <INSEL18>	ADC unit C	ADCTRGIN	
			[TSELOCR4] <INSEL19>	TSPI ch0	TSPI0TRG	
			[TSELOCR5] <INSEL20>	TSPI ch1	TSPI1TRG	
			[TSELOCR5] <INSEL21>	UART ch0	UART0TRGIN	
		[TSELOCR5] <INSEL22>	UART ch1	UART1TRGIN		
		[TSELOCR5] <INSEL23>	UART ch2	UART2TRGIN		
		[TSELOCR6] <INSEL24>	UART ch3	UART3TRGIN		

注) [TSELOCRn]<INSELM>はトリガーセクターで、内部トリガーのトリガーソースを選択します。  
 詳細な接続先については、「2.2.トリガーセクター(TRGSEL)」を参照してください。

### 2.14.4.3. 同期制御接続仕様

32ビットタイマーイベントカウンターは、以下の表に示すように同じチャンネル内でタイマーが同期接続されています。

表 2.69 T32A 同期制御接続仕様

チャンネル	マスター			スレーブ		
	タイマー	機能(出力)	信号名	タイマー	機能(入力)	信号名
ch0	タイマー A	同期スタート出力 A	T32A00SYNCSTARTOUTA	タイマー B	同期スタート B	T32A00SYNCSTARTB
		同期ストップ出力 A	T32A00SYNCSTOPOUTA		同期停止 B	T32A00SYNCSTOPB
		同期リロード出力 A	T32A00SYNCRELOADOUTA		同期リロード B	T32A00SYNCRELOADB
ch1	タイマー A	同期スタート出力 A	T32A01SYNCSTARTOUTA	タイマー B	同期スタート B	T32A01SYNCSTARTB
		同期ストップ出力 A	T32A01SYNCSTOPOUTA		同期停止 B	T32A01SYNCSTOPB
		同期リロード出力 A	T32A01SYNCRELOADOUTA		同期リロード B	T32A01SYNCRELOADB
ch2	タイマー A	同期スタート出力 A	T32A02SYNCSTARTOUTA	タイマー B	同期スタート B	T32A02SYNCSTARTB
		同期ストップ出力 A	T32A02SYNCSTOPOUTA		同期停止 B	T32A02SYNCSTOPB
		同期リロード出力 A	T32A02SYNCRELOADOUTA		同期リロード B	T32A02SYNCRELOADB
ch3	タイマー A	同期スタート出力 A	T32A03SYNCSTARTOUTA	タイマー B	同期スタート B	T32A03SYNCSTARTB
		同期ストップ出力 A	T32A03SYNCSTOPOUTA		同期停止 B	T32A03SYNCSTOPB
		同期リロード出力 A	T32A03SYNCRELOADOUTA		同期リロード B	T32A03SYNCRELOADB
ch4	タイマー A	同期スタート出力 A	T32A04SYNCSTARTOUTA	タイマー B	同期スタート B	T32A04SYNCSTARTB
		同期ストップ出力 A	T32A04SYNCSTOPOUTA		同期停止 B	T32A04SYNCSTOPB
		同期リロード出力 A	T32A04SYNCRELOADOUTA		同期リロード B	T32A04SYNCRELOADB
ch5	タイマー A	同期スタート出力 A	T32A05SYNCSTARTOUTA	タイマー B	同期スタート B	T32A05SYNCSTARTB
		同期ストップ出力 A	T32A05SYNCSTOPOUTA		同期停止 B	T32A05SYNCSTOPB
		同期リロード出力 A	T32A05SYNCRELOADOUTA		同期リロード B	T32A05SYNCRELOADB

## 2.14.5. 製品別パルスカウンタ対応一覧

32ビットタイマーイベントカウンタは、以下の表に示すように製品によってパルスカウンタの対応が異なります。

表 2.70 T32A 製品別パルスカウンタ対応一覧

チャンネル	製品対応 (－: 非対応)		
	M4KN	M4KM	M4KL
ch0	1 相パルスカウンタ		
ch1	2 相パルスカウンタ 1 相パルスカウンタ	1 相パルスカウンタ	－
ch2	2 相パルスカウンタ 1 相パルスカウンタ		
ch3	2 相パルスカウンタ 1 相パルスカウンタ		
ch4	2 相パルスカウンタ 1 相パルスカウンタ		－
ch5	2 相パルスカウンタ 1 相パルスカウンタ		1 相パルスカウンタ

## 2.14.6. DMA 要求

32 ビットタイマーイベントカウンタは、以下の表に示す DMA 要求があります。

表のトリガーセクター欄にレジスタ名の記載あるものは、トリガーセクターで使用する要求を選択してください。

表 2.71 T32A DMA要求 (1/2)

チャンネル	要求	信号名	トリガーセクター	DMA 要求チャンネル		
				シングル転送	バースト転送	
ch0	DMA 要求レジスタ-A1 一致	T32A00DMAREQCPA1	[TSELOCR0] <INSEL3>	19	-	○
	DMA 要求レジスタ-C1 一致	T32A00DMAREQCMPC1				
	DMA 要求レジスタ-B1 一致	T32A00DMAREQCMPB1	[TSELOCR1] <INSEL6>	22	-	○
	DMA 要求キャプチャーA0	T32A00DMAREQCAPA0	[TSELOCR1] <INSEL7>	23	-	○
	DMA 要求キャプチャーA1	T32A00DMAREQCAPA1				
	DMA 要求キャプチャーC0	T32A00DMAREQCAPC0				
	DMA 要求キャプチャーC1	T32A00DMAREQCAPC1				
	DMA 要求キャプチャーB0	T32A00DMAREQCAPB0	[TSELOCR2] <INSEL10>	26	-	○
DMA 要求キャプチャーB1	T32A00DMAREQCAPB1					
ch1	DMA 要求レジスタ-A1 一致	T32A01DMAREQCPA1	[TSELOCR0] <INSEL3>	19	-	○
	DMA 要求レジスタ-C1 一致	T32A01DMAREQCMPC1				
	DMA 要求レジスタ-B1 一致	T32A01DMAREQCMPB1	[TSELOCR1] <INSEL6>	22	-	○
	DMA 要求キャプチャーA0	T32A01DMAREQCAPA0	[TSELOCR1] <INSEL7>	23	-	○
	DMA 要求キャプチャーA1	T32A01DMAREQCAPA1				
	DMA 要求キャプチャーC0	T32A01DMAREQCAPC0				
	DMA 要求キャプチャーC1	T32A01DMAREQCAPC1				
	DMA 要求キャプチャーB0	T32A01DMAREQCAPB0	[TSELOCR2] <INSEL10>	26	-	○
DMA 要求キャプチャーB1	T32A01DMAREQCAPB1					
ch2	DMA 要求レジスタ-A1 一致	T32A02DMAREQCPA1	[TSELOCR1] <INSEL4>	20	-	○
	DMA 要求レジスタ-C1 一致	T32A02DMAREQCMPC1				
	DMA 要求レジスタ-B1 一致	T32A02DMAREQCMPB1	[TSELOCR1] <INSEL6>	22	-	○
	DMA 要求キャプチャーA0	T32A02DMAREQCAPA0	[TSELOCR2] <INSEL8>	24	-	○
	DMA 要求キャプチャーA1	T32A02DMAREQCAPA1				
	DMA 要求キャプチャーC0	T32A02DMAREQCAPC0				
	DMA 要求キャプチャーC1	T32A02DMAREQCAPC1				
	DMA 要求キャプチャーB0	T32A02DMAREQCAPB0	[TSELOCR2] <INSEL10>	26	-	○
DMA 要求キャプチャーB1	T32A02DMAREQCAPB1					

注) ○: 対応、-: 非対応



表 2.72 T32A DMA要求 (2/2)

チャンネル	要求	信号名	トリガーセレクター	DMA 要求チャンネル			
				シングル転送	バースト転送		
ch3	DMA 要求レジスターA1 一致	T32A03DMAREQCMPA1	[TSELOCR1] <INSEL4>	20	-	○	
	DMA 要求レジスターC1 一致	T32A03DMAREQCMPC1					
	DMA 要求レジスターB1 一致	T32A03DMAREQCMPB1	[TSELOCR1] <INSEL6>	22	-	○	
	DMA 要求キャプチャーA0	T32A03DMAREQCAPA0	[TSELOCR2] <INSEL8>	24	-	○	
	DMA 要求キャプチャーA1	T32A03DMAREQCAPA1					
	DMA 要求キャプチャーC0	T32A03DMAREQCAPC0					
	DMA 要求キャプチャーC1	T32A03DMAREQCAPC1					
	DMA 要求キャプチャーB0	T32A03DMAREQCAPB0	[TSELOCR2] <INSEL11>	27	-	○	
DMA 要求キャプチャーB1	T32A03DMAREQCAPB1						
ch4	DMA 要求レジスターA1 一致	T32A04DMAREQCMPA1	[TSELOCR1] <INSEL5>	21	-	○	
	DMA 要求レジスターC1 一致	T32A04DMAREQCMPC1					
	DMA 要求レジスターB1 一致	T32A04DMAREQCMPB1	[TSELOCR1] <INSEL6>	22	-	○	
	DMA 要求キャプチャーA0	T32A04DMAREQCAPA0	[TSELOCR2] <INSEL9>	25	-	○	
	DMA 要求キャプチャーA1	T32A04DMAREQCAPA1					
	DMA 要求キャプチャーC0	T32A04DMAREQCAPC0					
	DMA 要求キャプチャーC1	T32A04DMAREQCAPC1					
	DMA 要求キャプチャーB0	T32A04DMAREQCAPB0	[TSELOCR2] <INSEL11>	27	-	○	
DMA 要求キャプチャーB1	T32A04DMAREQCAPB1						
ch5	DMA 要求レジスターA1 一致	T32A05DMAREQCMPA1	[TSELOCR1] <INSEL5>	21	-	○	
	DMA 要求レジスターC1 一致	T32A05DMAREQCMPC1					
	DMA 要求レジスターB1 一致	T32A05DMAREQCMPB1	[TSELOCR1] <INSEL6>	22	-	○	
	DMA 要求キャプチャーA0	T32A05DMAREQCAPA0	[TSELOCR2] <INSEL9>	25	-	○	
	DMA 要求キャプチャーA1	T32A05DMAREQCAPA1					
	DMA 要求キャプチャーC0	T32A05DMAREQCAPC0					
	DMA 要求キャプチャーC1	T32A05DMAREQCAPC1					
	DMA 要求キャプチャーB0	T32A05DMAREQCAPB0	[TSELOCR2] <INSEL11>	27	-	○	
DMA 要求キャプチャーB1	T32A05DMAREQCAPB1						

注) ○: 対応、-: 非対応

### 2.14.7. 非対応割り込み

この製品は、毎カウント割り込み(INTT32AxEVRYC)は非対応です。

## 2.15. 非同期シリアル通信回路(UART)

### 2.15.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。  
TMPM4K グループ(2)製品に搭載の UART の最大通信速度は 5Mbps です。

表 2.73 UART 搭載チャンネル

製品	チャンネル (○: 搭載、-: 非搭載)			
	ch0	ch1	ch2	ch3
M4KN	○	○	○	○
M4KM	○	○	○	○
M4KL	○	○	○	-

### 2.15.2. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。  
複数に割り当てられている同一機能端子は排他的に使用してください。  
製品により機能端子がないチャンネルもあります。

表 2.74 UART 端子信号とポート

チャンネル	機能端子		ポート	製品対応 (○: 対応、-: 非対応)		
				M4KN	M4KM	M4KL
ch0	UT0TXDA	出力	PC0	○	○	○
			PC1	○	○	○
			PN0	○	○	-
			PN1	○	○	-
	UT0RXD	入力	PC0	○	○	○
			PC1	○	○	○
			PN0	○	○	-
			PN1	○	○	-
	UT0CTS	出力	PD2	○	-	-
			PN2	○	○	-
	UT0RTS	入力	PD3	○	-	-
			PV1	○	-	-
ch1	UT1TXDA	出力	PC4	○	○	-
			PC5	○	○	-
			PU5	○	○	○
			PU6	○	○	○
	UT1RXD	入力	PC4	○	○	-
			PC5	○	○	-
			PU5	○	○	○
			PU6	○	○	○
	UT1CTS	出力	PU4	○	○	○
	UT1RTS	入力	PU3	○	○	○
ch2	UT2TXDA	出力	PF0	○	○	○
			PF1	○	○	○
			PU0	○	○	○
			PU1	○	○	○
	UT2RXD	入力	PF0	○	○	○
			PF1	○	○	○
			PU0	○	○	○
			PU1	○	○	○
ch3	UT3TXDA	出力	PF3	○	○	-
			PF4	○	○	-
			PF6	○	○	-
			PF7	○	○	-
	UT3RXD	入力	PF3	○	○	-
			PF4	○	○	-
			PF6	○	○	-
			PF7	○	○	-

### 2.15.3. ハーフクロックモード対応

非同期シリアル通信回路のハーフクロックモードは、一端子モードのみ対応しています

### 2.15.4. プリスケーラー用クロック

非同期シリアル通信回路は、プリスケーラー用クロックに以下の表に示すクロックが使用されます。

表 2.75 UART プリスケーラー用クロック

クロック
ΦT0m

### 2.15.5. DMA 要求

非同期シリアル通信回路は、以下の表に示す DMA 要求があります。

表 2.76 UART DMA要求

チャンネル	要求	信号名	DMA 要求チャンネル		
			シングル転送	バースト転送	
ch0	受信 DMA 要求	UART0RX_DMAREQ	4	○	○
	送信 DMA 要求	UART0TX_DMAREQ	5	○	○
ch1	受信 DMA 要求	UART1RX_DMAREQ	6	○	○
	送信 DMA 要求	UART1TX_DMAREQ	7	○	○
ch2	受信 DMA 要求	UART2RX_DMAREQ	8	○	○
	送信 DMA 要求	UART2TX_DMAREQ	9	○	○
ch3	受信 DMA 要求	UART3RX_DMAREQ	10	○	○
	送信 DMA 要求	UART3TX_DMAREQ	11	○	○

注) ○: 対応、—: 非対応

## 2.15.6. 内部信号接続仕様

### 2.15.6.1. トリガー転送信号接続仕様

非同期シリアル通信回路には、トリガー信号による送信機能があります。  
 トリガー信号は以下の表に示すトリガーソースをトリガーセクターで選択し使用します。

表 2.77 UART トリガー転送信号接続仕様:入力

チャンネル	機能入力		トリガーセクター	トリガーソース	
		信号名		入力トリガー信号	信号名
ch0	トリガー送信用 トリガー入力	UART0TRGIN	[TSEL0CR5] <INSEL21>	PA2 端子(TRGIN0)	TRGIN0
				PA3 端子(TRGIN1)	TRGIN1
				PA4 端子(TRGIN2)	TRGIN2
				T32A ch5 タイマーレジスターA1 一致トリガー	T32A05TRGOUTCMPA1
				T32A ch5 タイマーレジスターB1 一致トリガー	T32A05TRGOUTCMPB1
				T32A ch5 タイマーレジスターC1 一致トリガー	T32A05TRGOUTCMPC1
ch1	トリガー送信用 トリガー入力	UART1TRGIN	[TSEL0CR5] <INSEL22>	PA2 端子(TRGIN0)	TRGIN0
				PA3 端子(TRGIN1)	TRGIN1
				PA4 端子(TRGIN2)	TRGIN2
				T32A ch5 タイマーレジスターA1 一致トリガー	T32A05TRGOUTCMPA1
				T32A ch5 タイマーレジスターB1 一致トリガー	T32A05TRGOUTCMPB1
				T32A ch5 タイマーレジスターC1 一致トリガー	T32A05TRGOUTCMPC1
ch2	トリガー送信用 トリガー入力	UART2TRGIN	[TSEL0CR5] <INSEL23>	PA2 端子(TRGIN0)	TRGIN0
				PA3 端子(TRGIN1)	TRGIN1
				PA4 端子(TRGIN2)	TRGIN2
				T32A ch5 タイマーレジスターA1 一致トリガー	T32A05TRGOUTCMPA1
				T32A ch5 タイマーレジスターB1 一致トリガー	T32A05TRGOUTCMPB1
				T32A ch5 タイマーレジスターC1 一致トリガー	T32A05TRGOUTCMPC1
ch3	トリガー送信用 トリガー入力	UART3TRGIN	[TSEL0CR6] <INSEL24>	PA2 端子(TRGIN0)	TRGIN0
				PA3 端子(TRGIN1)	TRGIN1
				PA4 端子(TRGIN2)	TRGIN2
				T32A ch5 タイマーレジスターA1 一致トリガー	T32A05TRGOUTCMPA1
				T32A ch5 タイマーレジスターB1 一致トリガー	T32A05TRGOUTCMPB1
				T32A ch5 タイマーレジスターC1 一致トリガー	T32A05TRGOUTCMPC1

注) [TSEL0CRn]<INSELm>はトリガーセクターで、トリガー入力のトリガーソースを選択します。  
 トリガーセクターの詳細は、「2.2.トリガーセクター(TRGSEL)」を参照してください。

## 2.15.6.2. T32A 接続

非同期シリアル通信回路は、その他、下記表のように内部で周辺機能と接続されている信号があります。

表 2.78 UART 内部接続仕様:出力

チャンネル	機能出力		トリガーセレクター	出力先	
		信号名			信号名
ch0	送信完了トリガー	UART0TXTRG	[TSEL0CR6] <INSEL25>	T32A ch0 タイマーA	T32A00TRGINAPCK
	受信完了トリガー	UART0RXTRG			
ch1	送信完了トリガー	UART1TXTRG	[TSEL0CR7] <INSEL28>	T32A ch1 タイマーA	T32A01TRGINAPCK
	受信完了トリガー	UART1RXTRG			
ch2	送信完了トリガー	UART2TXTRG	[TSEL0CR7] <INSEL31>	T32A ch2 タイマーA	T32A02TRGINAPCK
	受信完了トリガー	UART2RXTRG			
ch3	送信完了トリガー	UART3TXTRG	[TSEL0CR8] <INSEL34>	T32A ch3 タイマーA	T32A03TRGINAPCK
	受信完了トリガー	UART3RXTRG			

## 2.16. I<sup>2</sup>C インターフェース(I2C)

### 2.16.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

TMPM4K グループ(2)製品に搭載の I<sup>2</sup>C インターフェースは、標準モード、ファストモードに対応します。

表 2.79 I2C 搭載チャンネル

製品	チャンネル (○: 搭載、-: 非搭載)	
	ch0	ch1
M4KN	○	○
M4KM	○	○
M4KL	○	○

### 2.16.2. 機能端子とポート

機能端子は以下ポートに割り当てられています。

表 2.80 I2C 機能端子とポート

チャンネル	機能端子		ポート	製品対応 (○: 対応、-: 非対応)		
				M4KN	M4KM	M4KL
ch0	I2C0SCL	入出力	PC1	○	○	○
	I2C0SDA	入出力	PC0	○	○	○
ch1	I2C1SCL	入出力	PD4	○	-	-
			PU1	○	○	○
	I2C1SDA	入出力	PD3	○	-	-
			PU0	○	○	○

### 2.16.3. プリスケーラー用クロック

I<sup>2</sup>C インターフェースは、プリスケーラー用クロックに以下の表に示すクロックが使用されます。

表 2.81 I2C プリスケーラー用クロック

クロック
fsysm

## 2.16.4. ウェイクアップ機能

TMPM4K グループ(2)には I<sup>2</sup>C インターフェースのウェイクアップ機能はありません。

## 2.16.5. DMA 要求

I<sup>2</sup>C インターフェースは、以下の表に示す DMA 要求があります。

表 2.82 I<sup>2</sup>C DMA要求

チャンネル	要求	信号名	DMA 要求チャンネル		
			シングル転送	バースト転送	
ch0	受信 DMA リクエスト	I2C0RXDMAREQ	12	—	○
	送信 DMA リクエスト	I2C0TXDMAREQ	13	—	○
ch1	受信 DMA リクエスト	I2C1RXDMAREQ	14	—	○
	送信 DMA リクエスト	I2C1TXDMAREQ	15	—	○

注) ○: 対応、—: 非対応



## 2.17. I<sup>2</sup>C インターフェース バージョン A(EI2C)

### 2.17.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

TMPM4K グループ(2)製品に搭載の I<sup>2</sup>C インターフェース バージョン A は、標準モード、ファストモード、ファストモードプラスに対応します。

表 2.83 EI2C 搭載チャンネル

製品	チャンネル (○: 搭載、-: 非搭載)	
	ch0	ch1
M4KN	○	○
M4KM	○	○
M4KL	○	○

### 2.17.2. 機能端子とポート

機能端子は以下ポートに割り当てられています。

表 2.84 EI2C 機能端子とポート

チャンネル	機能端子		ポート	製品対応 (○: 対応、-: 非対応)		
				M4KN	M4KM	M4KL
ch0	EI2C0SCL	入出力	PC1	○	○	○
	EI2C0SDA	入出力	PC0	○	○	○
ch1	EI2C1SCL	入出力	PD4	○	-	-
			PU1	○	○	○
	EI2C1SDA	入出力	PD3	○	-	-
			PU0	○	○	○

### 2.17.3. プリスケーラー用クロック

I<sup>2</sup>C インターフェース バージョン A は、プリスケーラー用クロックに以下の表に示すクロックが使用されます。

表 2.85 EI2C プリスケーラー用クロック

クロック
fsysm

## 2.17.4. ウェイクアップ機能

I<sup>2</sup>C インターフェース バージョン A のウェイクアップ機能はありません。

## 2.17.5. DMA 要求

I<sup>2</sup>C インターフェース バージョン A は、以下の表に示す DMA 要求があります。

表 2.86 EI2C DMA要求

チャンネル	要求	信号名	DMA 要求チャンネル		
			シングル転送	バースト転送	
ch0	受信 DMA リクエスト	I2C0ARXDMAREQ	12	—	○
	送信 DMA リクエスト	I2C0ATXDMAREQ	13	—	○
ch1	受信 DMA リクエスト	I2C1ARXDMAREQ	14	—	○
	送信 DMA リクエスト	I2C1ATXDMAREQ	15	—	○

注) ○: 対応、—: 非対応

## 2.18. シリアルペリフェラルインターフェース(TSPI)

### 2.18.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。  
 TMPM4K グループ(2)製品に搭載の TSPI の最大通信速度は 10Mbps です。

表 2.87 TSPI 搭載チャンネル

製品	チャンネル (○: 搭載、-: 非搭載)	
	ch0	ch1
M4KN	○	○
M4KM	○	○
M4KL	○	○

### 2.18.2. 機能端子とポート

機能端子は以下ポートに割り当てられています。  
 複数に割り当てられている同一機能端子は排他的に使用してください。  
 製品により機能端子がないチャンネルもあります。

表 2.88 TSPI 機能端子とポート

チャンネル	機能端子		ポート	製品対応 (○: 対応、-: 非対応)		
				M4KN	M4KM	M4KL
ch0	TSPI0SCK	入出力	PA4	○	○	○
			PC5	○	○	-
	TSPI0TXD	出力	PA3	○	○	○
			PC4	○	○	-
	TSPI0RXD	入力	PA2	○	○	○
			PC3	○	○	○
	TSPI0CSIN	入力	PA0	○	○	-
			PC7	○	-	-
TSPI0CS0	出力	PC2	○	○	○	
TSPI0CS1	出力	PA1	○	○	-	
		PC6	○	-	-	
ch1	TSPI1SCK	入出力	PG6	○	○	○
	TSPI1TXD	出力	PG5	○	○	○
	TSPI1RXD	入力	PG4	○	○	○
			PV1	○	-	-
	TSPI1CSIN	入力	PG3	○	○	○
			PV0	○	-	-
	TSPI1CS0	出力	PG2	○	○	○
TSPI1CS1	出力	PG1	○	○	-	

注) TMPM4K グループ(2)は、TSPIxCS2 端子/TSPIxCS3 端子はありません。

### 2.18.3. 製品別転送モード対応一覧

シリアルペリフェラルインターフェースは、以下の表に示すように製品によって使用できる転送モードが異なります。

表 2.89 TSPI モード対応一覧

チャンネル	製品対応		
	M4KN	M4KM	M4KL
ch0	SPI モード SIO モード		SPI モード(注) SIO モード
ch1	SPI モード SIO モード		

注) TSPI0CS1 出力端子と TSPI0CSIN 入力端子がありません。

### 2.18.4. [TSPIxCR2]<RXDLY[2:0]>の設定値

TMPM4K グループ(2)製品は、TSPI 制御レジスタ2 ([TSPIxCR2]<RXDLY[2:0]>)の設定値は以下のとおりです。

表 2.90 [TSPIxCR2]<RXDLY[2:0]>の設定

Bit	Bit Symbol	リセット後	機能
18:16	<RXDLY[2:0]>	001	000: fsysm ≤ 40MHz 001: fsysm > 40MHz

### 2.18.5. プリスケーラー用クロック

シリアルペリフェラルインターフェースは、プリスケーラー用クロックに以下の表に示すクロックが使用されます。

表 2.91 TSPI プリスケーラー用クロック

クロック
ΦT0m

## 2.18.6. DMA 要求

シリアルペリフェラルインターフェースは、以下の表に示す DMA 要求があります。

表 2.92 TSPI DMA要求

チャンネル	要求	信号名	DMA 要求チャンネル	
			シングル転送	バースト転送
ch0	受信 DMA 要求	TSPI0RX_DMA	0	○
	送信 DMA 要求	TSPI0TX_DMA	1	○
ch1	受信 DMA 要求	TSPI1RX_DMA	2	○
	送信 DMA 要求	TSPI1TX_DMA	3	○

注) ○: 対応、-: 非対応

## 2.18.7. 内部信号接続仕様

### 2.18.7.1. トリガー転送信号接続仕様

シリアルペリフェラルインターフェースには、トリガー信号による通信開始機能があります。トリガー信号は以下の表に示すトリガースソースをトリガーセクターで選択し使用します。

表 2.93 TSPI トリガー転送仕様: 入力

チャンネル	機能入力		トリガーセクター	トリガースソース	
		信号名		入力トリガー信号	信号名
ch0	トリガー入力 通信開始	TSPI0TRG	[TSEL0CR4] <INSEL19>	PA2 端子(TRGIN0)	TRGIN0
				PA3 端子(TRGIN1)	TRGIN1
				PA4 端子(TRGIN2)	TRGIN2
				T32A ch5 タイマーレジスターA1 一致トリガー	T32A05TRGOUTCMPA1
				T32A ch5 タイマーレジスターB1 一致トリガー	T32A05TRGOUTCMPB1
				T32A ch5 タイマーレジスターC1 一致トリガー	T32A05TRGOUTCMPC1
ch1	トリガー入力 通信開始	TSPI1TRG	[TSEL0CR5] <INSEL20>	PA2 端子(TRGIN0)	TRGIN0
				PA3 端子(TRGIN1)	TRGIN1
				PA4 端子(TRGIN2)	TRGIN2
				T32A ch5 タイマーレジスターA1 一致トリガー	T32A05TRGOUTCMPA1
				T32A ch5 タイマーレジスターB1 一致トリガー	T32A05TRGOUTCMPB1
				T32A ch5 タイマーレジスターC1 一致トリガー	T32A05TRGOUTCMPC1

注) [TSEL0CR4]<INSEL19>, [TSEL0CR5]<INSEL20>はトリガーセクターで、トリガー入力のトリガースソースを選択します。トリガーセクターの詳細は、「2.2.トリガーセクター(TRGSEL)」を参照してください。

### 2.18.7.2. T32A 接続

シリアルペリフェラルインターフェースは、その他、下記表のように内部で周辺機能と接続されている信号があります。

表 2.94 TSPI 内部接続仕様: 出力

チャンネル	機能出力		トリガーセクター	出力先	
		信号名			信号名
ch0	送信完了トリガー	TSPI0TXEND	[TSEL0CR6] <INSEL25>	T32A ch0 タイマーA	T32A00TRGINAPCK
	受信完了トリガー	TSPI0RXEND			
ch1	送信完了トリガー	TSPI1TXEND	[TSEL0CR7] <INSEL28>	T32A ch1 タイマーA	T32A01TRGINAPCK
	受信完了トリガー	TSPI1RXEND			

## 2.19. デジタルノイズフィルタ回路(DNF)

### 2.19.1. 搭載ユニット

製品毎の搭載ユニットを下記表に示します。

表 2.95 DNF 搭載ユニット

製品	ユニット (○: 搭載、-: 非搭載)		
	A	B	C
M4KN	○	○	○
M4KM	○	○	○
M4KL	○	○	○

## 2.19.2. 製品別外部割り込みと DNF の対応

DNF は以下の外部割り込み端子に対応しています。

表 2.96 外部割り込みと DNF 対応

外部割り込み端子 (信号名)	ポート	ユニット	設定レジスター名	製品対応 (O: 対応、-: 非対応)		
				M4KN	M4KM	M4KL
INT00	PA2	A	[DNFAENCR]<NFEN0>	○	○	○
INT01a	PA4		[DNFAENCR]<NFEN1>	○	○	○
INT01b	PA3		[DNFAENCR]<NFEN2>	○	○	○
INT02a	PC1		[DNFAENCR]<NFEN3>	○	○	○
INT02b	PC6		[DNFAENCR]<NFEN4>	○	-	-
INT03a	PC3		[DNFAENCR]<NFEN5>	○	○	○
INT03b	PD2		[DNFAENCR]<NFEN6>	○	-	-
INT04a	PE3		[DNFAENCR]<NFEN7>	○	○	○
INT04b	PE1		[DNFAENCR]<NFEN8>	○	○	○
INT05a	PE5		[DNFAENCR]<NFEN9>	○	○	○
INT11b						
INT05b	PE6		[DNFAENCR]<NFEN10>	○	○	○
INT06a	PF1		[DNFAENCR]<NFEN11>	○	○	○
INT06b	PF2		[DNFAENCR]<NFEN12>	○	-	-
INT07a	PU1		[DNFAENCR]<NFEN13>	○	○	○
INT07b	PU2		[DNFAENCR]<NFEN14>	○	○	○
INT08a	PU3		[DNFAENCR]<NFEN15>	○	○	○
INT08b	PU4		[DNFBENCR]<NFEN0>	○	○	○
INT09	PU6	[DNFBENCR]<NFEN1>	○	○	○	
INT10	PC2	[DNFBENCR]<NFEN2>	○	○	○	
INT11a	PE4	[DNFBENCR]<NFEN3>	○	○	○	
INT12	PU0	[DNFBENCR]<NFEN4>	○	○	○	
INT13	PU5	[DNFBENCR]<NFEN5>	○	○	○	
INT14a	PF4	[DNFBENCR]<NFEN6>	○	○	-	
INT14b	PF5	[DNFBENCR]<NFEN7>	○	-	-	
INT15	PA1	[DNFBENCR]<NFEN8>	○	○	-	
INT16a	PN1	[DNFBENCR]<NFEN9>	○	○	-	
INT16b	PN2	[DNFBENCR]<NFEN10>	○	○	-	
INT17a	PD1	[DNFBENCR]<NFEN11>	○	-	-	
INT17b	PD0	[DNFBENCR]<NFEN12>	○	-	-	
INT18a	PD5	[DNFBENCR]<NFEN13>	○	-	-	
INT18b	PD4	[DNFBENCR]<NFEN14>	○	-	-	
INT21	PG3	C	[DNFCENCR]<NFEN3>	○	○	○

## 2.19.3. サンプリングソースクロック

DNF は、サンプリングのソースクロックとして以下の表に示すクロックが使用されます。

表 2.97 DNF サンプリングソースクロック

クロック
fc



## 2.20. 電圧検知回路(LVD)

### 2.20.1. 搭載一覧

製品毎の搭載一覧を下記表に示します。

表 2.98 LVD 搭載一覧

製品	LVD 搭載 (○: 搭載、-: 非搭載)
M4KN	○
M4KM	○
M4KL	○

### 2.20.2. 検知対象電源

電圧検知回路は以下の表の電源をモニターします。

表 2.99 LVD 検知対象電源

検知対象電源	電源名
デジタル用電源端子	DVDD5A/DVDD5B

## 2.21. CRC 計算回路(CRC)

### 2.21.1. 搭載一覧

製品毎の搭載一覧を下記表に示します。

表 2.100 CRC 搭載一覧

製品	CRC 搭載 (○: 搭載、-: 非搭載)
M4KN	○
M4KM	○
M4KL	○

## 2.22. RAM パリティー(RAMP)

### 2.22.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.101 RAMP 搭載チャンネル

製品	チャンネル (○: 搭載、-: 非搭載)	
	ch0	ch1
M4KN	○	○
M4KM	○	○
M4KL	○	○

### 2.22.2. エラー判定ブロックエリア

下表に製品毎のエラー判定 RAM ブロックエリアを示します。

表 2.102 M4KxF10A,M4KxFDAのRAMPのRAMエリアとアドレス

チャンネル	レジスター名	RAM エリア アドレス	製品対応 (○: 対応、-: 非対応)	
			M4KN	M4KL
ch0	[RPAR0ST]<RPARFG0>	0x20000000-0x20001FFF	○	○
	[RPAR0ST]<RPARFG1>	0x20002000-0x2000DFFF	○	○
ch1	[RPAR1ST]<RPARFG0>	0x2000E000-0x2000FFFF	○	○

表 2.103 M4KxFYA,M4KxFWAのRAMPのRAMエリアとアドレス

チャンネル	レジスター名	RAM エリア アドレス	製品対応 (○: 対応、-: 非対応)		
			M4KN	M4KM	M4KL
ch0	[RPAR0ST]<RPARFG0>	0x20000000-0x20001FFF	○	○	○
	[RPAR0ST]<RPARFG1>	0x20002000-0x20003FFF	○	○	○
ch1	[RPAR1ST]<RPARFG0>	0x20004000-0x20005FFF	○	○	○

## 2.23. トリミング回路(TRM)

### 2.23.1. 搭載一覧

製品毎の搭載一覧を下記表に示します。

表 2.104 TRM 搭載一覧

製品	TRM 搭載 (○: 搭載、-: 非搭載)
M4KN	○
M4KM	○
M4KL	○

### 2.23.2. 対象発振器

トリミング回路の対象発振器は以下の表に示す発振器です。

表 2.105 TRM トリミング対象発振器

対象発振器	発振器名
内蔵高速発振器 1	IHOSC1

### 3. 改訂履歴

表 3.1 改訂履歴

Revision	Date	Description
1.0	2021-01-28	新規
1.1	2023-04-14	・TMPM4KHFYAUG/TMPM4KHFWAUG を削除
3.0	2023-12-25	・下記の製品を追加(全体) TMPM4KNF10ADFG/TMPM4KNFDADFG TMPM4KNF10AFG/TMPM4KNFDAFG TMPM4KLF10AUG/TMPM4KLFDAUG TMPM4KLF10AFG/TMPM4KLFDAGF ・2.9.2. システムクロック 章の追加

## 製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。