32 ビット RISC マイクロコントローラー

TXZ+ファミリー
TMPM4K グループ(2)

リファレンスマニュアル
クロック制御と動作モード
(CG-M4K(2)-E)

Revision 3.1

2025-06

東芝デバイス&ストレージ株式会社

© 2020-2025
Toshiba Electronic Devices & Storage Corporation

目次

序章 6
関連するドキュメント 6
表記規約 7
用語・略語 9
1. クロック制御と動作モード 10
1.1. 概要 10
1.2. クロック制御 11
1.2.1. クロックの種類 11
1.2.2. リセット動作による初期値 11
1.2.3. クロック系統図 12
1.2.4. ウオーミングアップ機能 13
1.2.4.1. 高速発振用ウオーミングアップタイマー 13
1.2.4.2. ウオーミングアップタイマーの使用方法 14
1.2.5. fsys 用クロック逓倍回路(PLL) 14
1.2.5.1. リセット解除後の PLL 設定 14
1.2.5.2. PLL 逓倍値の計算式と設定例 15
1.2.5.3. 動作中の PLL 逓倍値の変更 16
1.2.5.4. PLL 動作開始/停止/切り替えシーケンス 17
1.2.6. システムクロック 18
1.2.6.1. システムクロックの設定方法 19
1.2.7. クロック供給設定機能 21
1.2.8. プリスケーラークロック 21
1.3. 動作モード 22
1.3.1. 動作モードの詳細 22
1.3.1.1. 各モードの特長 22
1.3.1.2. 低消費電力モードへの遷移と復帰 23
1.3.1.3. 低消費電力モードの選択 23
1.3.1.4. 低消費電力モードにおける周辺機能状態 24
1.3.2. モード状態遷移 25
1.3.2.1. IDLE モード遷移フロー 25
1.3.2.2. STOP1 モード遷移フロー 26
1.3.3. 低消費電力モードからの復帰 27
1.3.3.1. 低消費電力モードの解除ソース 27
1.3.3.2. 低消費電力モード解除時のウオーミングアップ 28
1.3.4. モード遷移によるクロック動作 29
1.3.4.1. NORMAL→IDLE→NORMAL 動作モード遷移 29
1.3.4.2. NORMAL→STOP1→NORMAL 動作モード遷移 29
1.4. レジスターの説明 30
1.4.1. レジスター一覧 30

1.4.2. レジスター詳細 31
1.4.2.1. *[CGPROTECT]* (CG ライトプロテクトレジスター) 31
1.4.2.2. *[CGOSCCR]* (発振制御レジスター) 31
1.4.2.3. *[CGSYSCR]* (システムクロック制御レジスター) 32
1.4.2.4. *[CGSTBYCR]* (スタンバイ制御レジスター) 33
1.4.2.5. *[CGPLL0SEL]* (fsys 用 PLL セレクトレジスター) 33
1.4.2.6. *[CGWUPHCR]* (高速発振ウオーミングアップレジスター) 34
1.4.2.7. *[CGFSYSMENA]* (fsysm 供給停止レジスターA) 34
1.4.2.8. *[CGFSYSMENB]* (fsysm 供給停止レジスターB) 37
1.4.2.9. *[CGFSYSENA]* (fsysh 供給停止レジスターA) 38
1.4.2.10. *[CGFCEN]* (fc 供給停止レジスター) 39
1.4.2.11. *[CGSPCLKEN]* (ADC、デバッグ回路用クロック供給停止レジスター) 39
1.5. 製品別情報 40
1.5.1. *[CGFSYSMENA]* 40
1.5.2. *[CGFSYSMENB]* 41
1.5.3. *[CGFSYSENA]* 42
1.5.4. *[CGFCEN]* 42
2. メモリーマップ 43
2.1. 概要 43
2.1.1. TMPM4KxF10A 44
2.1.2. TMPM4KxFDA 45
2.1.3. TMPM4KxFYA 46
2.1.4. TMPM4KxFWA 47
2.2. バスマトリックス 48
2.2.1. 構成 49
2.2.1.1. シングルチップモード 49
2.2.1.2. シングルブートモード 50
2.2.2. 接続表 51
2.2.2.1. メモリー関連の接続 51
2.2.2.2. 周辺機能の接続 55
3. リセットと電源制御 56
3.1. 概要 56
3.2. 機能説明・動作説明 56
3.2.1. コールドリセット 56
3.2.1.1. パワーオンリセット回路によるリセット(RESET_N 端子を使用しない場合) 57
3.2.1.2. RESET_N 端子によるリセット 58
3.2.1.3. LVD によるリセットの継続 60
3.2.2. ウオームリセット 61
3.2.2.1. RESET_N 端子によるウオームリセット 61
3.2.2.2. LVD によるウオームリセット 61
3.2.2.3. その他の内部リセットによるウオームリセット 61
3.2.3. シングルブートモードの起動 62

3.2.3.1. RESET_N 端子を使った起動 62
3.2.3.2. 電源安定時のシングルブートモードの起動 63
3.2.4. パワーオンリセット回路 64
3.2.4.1. 電源投入時の動作 64
3.2.4.2. 電源切断時の動作 64
3.2.5. 電源切断と再投入 65
3.2.5.1. 外部のリセット回路または内蔵 LVD のリセット出力を使用している場合 65
3.2.5.2. 外部のリセット回路/内蔵 LVD のリセット出力を使用しない場合 65
3.2.6. リセット解除後 65
3.2.6.1. リセット要因と初期化範囲 66
4. 改訂履歴 67
製品取り扱い上のお願い 68

図目次

図 1.1 クロック系統図 12
図 1.2 モード状態遷移 25
図 1.3 NORMAL→STOP1→NORMAL 動作モード遷移 29
図 2.1 TMPM4KxF10A 44
図 2.2 TMPM4KxFDA 45
図 2.3 TMPM4KxFYA 46
図 2.4 TMPM4KxFWA 47
図 2.5 シングルチップモード 49
図 2.6 シングルブートモード 50
図 3.1 パワーオンリセット回路によるリセット動作 57
図 3.2 RESET_N 端子によるリセット動作(1) 58
図 3.3 RESET_N 端子によるリセット動作(2) 59
図 3.4 LVD リセットによるリセット動作 60
図 3.5 ウオームリセット動作 61
図 3.6 電源投入時にリセット端子を使用したシングルブートモードの起動 62
図 3.7 電源安定時のシングルブートモードの起動 63
図 3.8 パワーオンリセット回路 64

表目次

表 1.1 *[CGPLL0SEL]*<PLL0SET[23:0]>設定詳細 15
表 1.2 PLL 補正値(例) 15
表 1.3 PLL0SET 設定値(例) 16
表 1.4 クロックドメインと周辺機能 18
表 1.5 システムクロック切り替え時間 18
表 1.6 動作周波数例 18
表 1.7 高速/中速システムクロック動作周波数例 19
表 1.8 プリスケーラークロック切り替え時間 21
表 1.9 低消費電力モード選択 23
表 1.10 低消費電力モード別ブロック動作状態一覧 24
表 1.11 解除ソース一覧 27
表 1.12 ウオーミングアップ 28
表 1.13 *[CGFSYSMENA]*の製品別割り当て 40
表 1.14 *[CGFSYSMENB]*の製品別割り当て 41
表 1.15 *[CGFSYSENA]*の製品別割り当て 42
表 1.16 *[CGFCEN]*の製品別割り当て 42
表 2.1 シングルチップモード 51
表 2.2 シングルブートモード 51
表 2.3 シングルチップモード 52
表 2.4 シングルブートモード 52
表 2.5 シングルチップモード 53
表 2.6 シングルブートモード 53
表 2.7 シングルチップモード 54
表 2.8 シングルブートモード 54
表 2.9 周辺機能の接続 55
表 3.1 リセット要因と初期化される範囲 66
表 4.1 改訂履歴 67

序章

関連するドキュメント

文書名
Arm® ドキュメンテーションセット Cortex®-M4 編
例外
周波数検知回路
電圧検知回路
クロック選択式ウオッチドッグタイマー
フラッシュメモリー
データシート

表記規約

- 数値表記は以下の規則に従います。
  16 進数表記:　　0xABC
  10 進数表記:　　123 または 0d123(10 進表記であることを示す必要のある場合だけ使用)
  2 進数表記:　　0b111(ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート(assert)」アクティブでないレベルに移ることを「デアサート(deassert)」と呼びます。
- 複数の信号名は[m:n]とまとめて表記する場合があります。
  例: S[3: 0]は S3、S2、S1、S0 の 4 つの信号名をまとめて表記しています。
- 本文中***[ ]***で囲まれたものはレジスターを定義しています。
  例: ***[ABCD]***
- 同種で複数のレジスター、フィールド、ビット名は「n」で一括表記する場合があります。
  例: ***[XYZ1]***、***[XYZ2]***、***[XYZ3]*** → ***[XYZn]***
- 「レジスター一覧」中のレジスター名でユニットまたはチャネルは「x」で一括表記しています。
  ユニットの場合、「x」は A、B、C、...を表します。
  例: ***[ADACR0]***、***[ADBCR0]***、***[ADCCR0]*** → ***[ADxCR0]***
  チャネルの場合、「x」は 0、1、2、...を表します。
  例: ***[T32A0RUNA]***、***[T32A1RUNA]***、***[T32A2RUNA]*** → ***[T32AxRUNA]***
- レジスターのビット範囲は[m:n]と表記します。
  例: [3: 0]はビット 3 から 0 の範囲を表します。
- レジスターの設定値は 16 進数または 2 進数のどちらかで表記されています。
  例: ***[ABCD]***<EFG> = 0x01 (16 進数)、***[XYZn]***<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
  バイト:　　8 ビット
  ハーフワード:　16 ビット
  ワード:　　32 ビット
  ダブルワード:　64 ビット
- レジスター内の各ビットの属性は以下の表記を使用しています。
  R:　　リードオンリー
  W:　　ライトオンリー
  R/W:　　リード/ライト
- 断りのない限り、レジスターアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスターは書き換えを行わないでください。
  また、読み出した値を使用しないでください。
- Default 値が「-」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスターに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
  Default 値が「-」となっている場合は、個々のレジスターの定義に従ってください。
- ライトオンリーのレジスターの Reserved ビットフィールドには Default 値を書き込んでください。
  Default 値が「-」となっている場合は、個々のレジスターの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスターへのリードモディファイライト処理は行わないでください。

****
Arm,Cortex および Thumb は Arm Limited(またはその子会社)の US またはその他の国における登録商標です。 All rights reserved.
****



本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

ADC	Analog to Digital Converter
A-ENC32	Advanced Encoder input Circuit (32-bit)
A-PMD	Advanced Programmable Motor Control Circuit
A-VE+	Advanced Vector Engine plus
CG	Clock Control and Operation Mode
CRC	Cyclic Redundancy Check
D-Bus	DCode memory interface
DMAC	Direct Memory Access Controller
DNF	Digital Noise Filter
EHOSC	External High-speed Oscillator
EI2C	I^2C Interface Version A
fsys	frequency of SYSTEM Clock
IA(INTIF)	Interrupt control register A
IB(INTIF)	Interrupt control register B
I-Bus	ICode memory interface
IHOSC	Internal High-speed Oscillator
IMN	Interrupt Monitor
INT	Interrupt
I2C	Inter-Integrated Circuit
LVD	Voltage Detection Circuit
NBDIF	Non Break Debug Interface
NMI	Non-Maskable Interrupt
OFD	Oscillation Frequency Detector
OPAMP	Operational Amplifier
POR	Power On Reset Circuit
PORF	Power On Reset Circuit for FLASH and debug
RAMP	RAM Parity
RLM	Low speed oscillation / power supply control / reset
S-Bus	System interface
SIWDT	Clock Selective Watchdog Timer
TRGSEL	Trigger Selection Circuit
TRM	Trimming Circuit
TSPI	Serial Peripheral Interface
T32A	32-bit Timer Event Counter
UART	Asynchronous Serial Communication Circuit

1. クロック制御と動作モード

1.1. 概要

クロック/モード制御ブロックでは、クロックギアやプリスケーラークロックの選択、発振器のウオーミングアップなどを設定することが可能です。
また、動作モードとして NORMAL モードと低消費電力モードがあり、使用方法に応じモード遷移を行うことで消費電力を抑えることができます。

クロックに関連する機能としては以下のようなものがあります。

- システムクロックの制御
- プリスケーラークロックの制御

1.2. クロック制御

1.2.1. クロックの種類

クロックの一覧を以下に示します。

EHCLKIN: 外部から入力される高速クロック
fosc : 内部発振回路で生成されるクロックと X1、X2 端子より入力されるクロックの ***[CGOSCCR]***<OSCSEL>で選択後のクロック
f_{PLL} : PLL0 により逓倍されたクロック
fc : ***[CGPLL0SEL]***<PLL0SEL>で選択されたクロック(高速クロック)
fsysh : ***[CGSYSCR]***<GEAR[2:0]>で選択された高速システムクロック
fsysm : ***[CGSYSCR]***<GEAR[2:0]><MCKSEL[1:0]>で選択された中速システムクロック
ΦT0h : ***[CGSYSCR]***<PRCK[3:0]>で選択された高速クロック(高速プリスケーラークロック)
ΦT0m : ***[CGSYSCR]***<PRCK[3:0]><MCKSEL[1:0]>で選択された中速クロック(中速プリスケーラークロック)
f_{IHOSC1} : 内蔵高速発振器 1 で生成されるクロック
f_{IHOSC2} : 内蔵高速発振器 2 で生成されるクロック
ADCLK : ADC 用変換クロック
TRCLKIN: デバッグ回路(トレースまたは SWV)のトレース機能用クロック

注) 高速システムクロック、中速システムクロックを総称する場合は、システムクロック(fsys)と表します。また、高速プリスケーラークロック、中速プリスケーラークロックを総称する場合は、プリスケーラークロック(ΦT0)で表します。

1.2.2. リセット動作による初期値

リセット動作により、クロック設定は下記のような状態に初期化されます。

外部高速発振器 : 停止
内蔵高速発振器 1 : 発振
内蔵高速発振器 2 : 停止
PLL(逓倍回路) : 停止
ギアクロック : fc(分周なし)

1.2.3. クロック系統図

クロック系統図を示します。

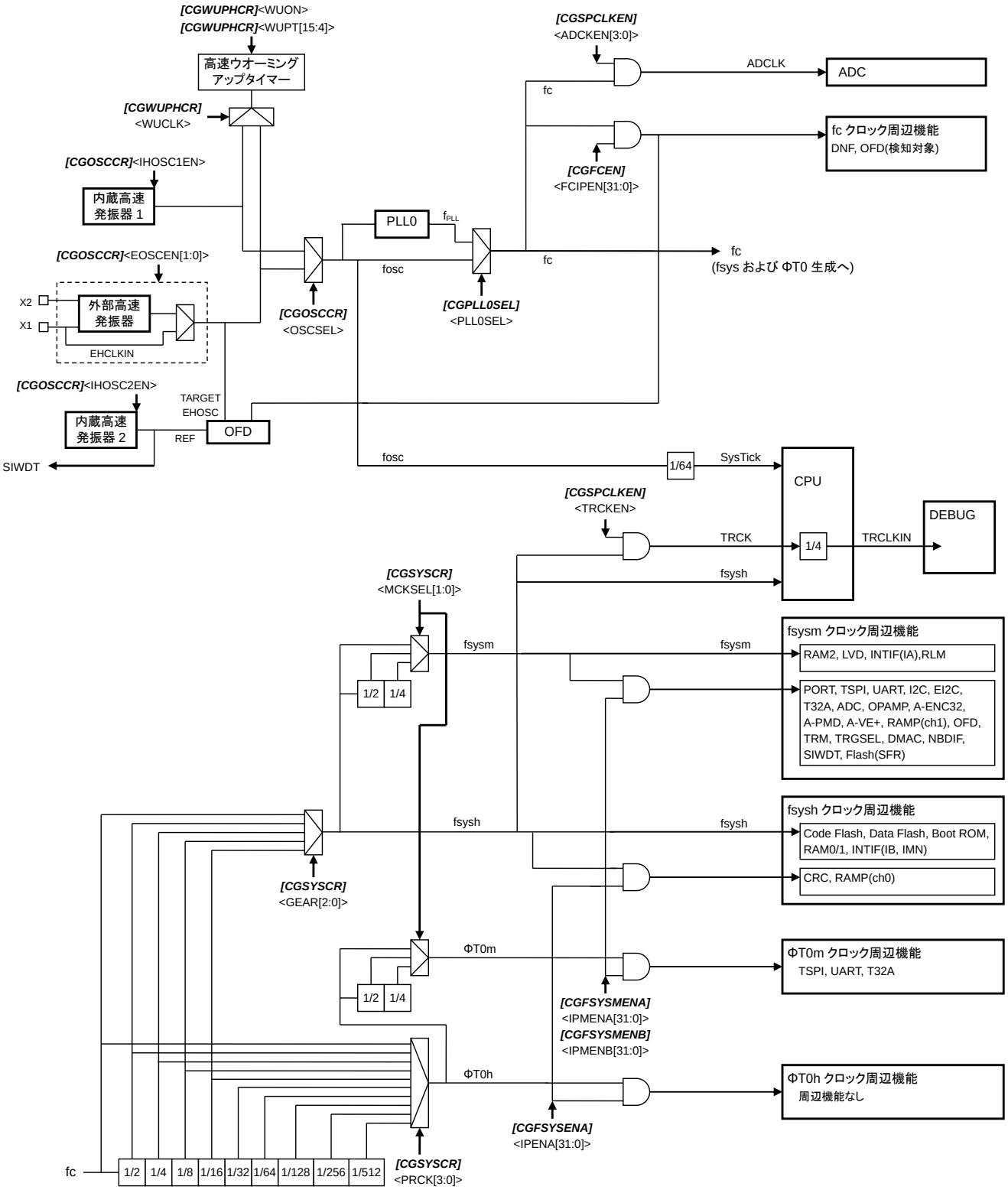


図 1.1　クロック系統図

1.2.4. ウオーミングアップ機能

ウオーミングアップ機能は、自動で高速発振用ウオーミングアップタイマーを起動して、STOP1モード解除時の発振安定時間を確保するための機能の他、外部発振器や内蔵発振器の安定待ちのために高速発振用ウオーミングアップタイマーを使用したカウントアップタイマーとしても使用可能です。

この章では、ウオーミングアップタイマー用レジスターへの設定方法と、カウントアップタイマーとして使用する場合について説明しています。STOP1 モード解除時の詳細説明については、「1.3.3.2. 低消費電力モード解除時のウオーミングアップ」を参照してください。

1.2.4.1. 高速発振用ウオーミングアップタイマー

高速発振用ウオーミングアップタイマーとして、16 ビットのアップタイマーを内蔵しています。STOP1 モードへ遷移前に設定する場合も、下記の計算式で算出し、下位 4 ビットを切り捨てて、上位 12 ビットへ設定します。レジスターは、***[CGWUPHCR]***<WUPT[15:4]>に設定することになります。

＜計算式＞
(外部高速発振の場合)

ウオーミングアップタイマー設定値(16 ビット)
＝ (ウオーミングアップ時間(s) ÷ クロック周期(s)) － 16

(例) 発振器 10MHz(クロック周期 100ns)で、ウオーミングアップ時間 5ms を設定する場合
ウオーミングアップタイマー設定値(16 ビット) ＝(5ms ÷ 100ns) － 16
＝50000 － 16
＝49984
＝0xC340
レジスターへは、上位 12 ビットを設定しますので、下記のように設定します。
[CGWUPHCR]<WUPT[15:4]> = 0xC34

(内蔵高速発振器 1 の場合)

ウオーミングアップタイマー設定値(16 ビット)
＝ ((ウオーミングアップ時間(s) – 63.3(μs)) ÷ クロック周期(s)) － 41

(例) 発振器 10MHz(クロック周期 100ns)で、ウオーミングアップ時間 163.4μs を設定する場合
ウオーミングアップタイマー設定値(16 ビット) ＝((163.4μs – 63.3μs) ÷ 100ns) － 41
＝(100.1μs ÷ 100ns) － 41
＝960
＝0x03C0
レジスターへは、上位 12 ビットを設定しますので、下記のように設定します。
[CGWUPHCR]<WUPT[15:4]> = 0x03C

設定範囲は、0x03C ≦ <WUPT[15:4]> ≦ 0xFFF で行い、ウオーミングアップ時間は、163.4μs～6.6194 ms となります。

1.2.4.2. ウオーミングアップタイマーの使用方法

ウオーミングアップ機能の使用方法を説明します。

(1) クロックの選択
高速発振の場合は、ウオーミングアップタイマーでカウントするクロック種別(内蔵発振/外部発振)を、***[CGWUPHCR]***<WUCLK>で選択します。

(2) ウオーミングアップタイマー設定値の算出
ウオーミングアップ時間は、高速発振用のタイマーへ任意の値が設定可能です。それぞれの計算式から算出し、設定してください。

(3) ウオーミングアップの開始および終了確認
ソフトウェア(命令)によりウオーミングアップの開始および終了確認を行う場合、開始は、***[CGWUPHCR]***<WUON>へ"1"を設定することでウオーミングアップタイマーがスタートします。終了は***[CGWUPHCR]***<WUEF>が"1"→"0"になることで判別します。"1"でウオーミングアップ中、"0"で終了を示します。カウント終了後、タイマーはリセットされて初期状態に戻ります。
タイマー動作中に***[CGWUPHCR]***<WUON>へ"0"を書き込んでも、強制終了にはなりません。"0"書き込みは無視されます。

注) ウオーミングアップタイマーは発振クロックで動作しているため、発振周波数にゆらぎがある場合は誤差を含みます。従って概略時間としてとらえる必要があります。

1.2.5. fsys 用クロック逓倍回路(PLL)

fsys 用クロック逓倍回路は、高速発振器の出力クロック fosc の周波数(6MHz～12MHz)に最適な条件で逓倍した f_{PLL} クロック(最大 160MHz)を出力する回路です。これにより、発振器への入力周波数は低く内部クロックは高速にすることが可能です。

1.2.5.1. リセット解除後の PLL 設定

PLL はリセット解除後、ディセーブルです。
PLL を使用するためには、***[CGPLL0SEL]***<PLL0ON>が"0"の状態で、***[CGPLL0SEL]***<PLL0SET[23:0]>の逓倍値の設定を行った後、PLL の初期化時間として約 100µs 経過後に、<PLL0ON>を"1"に設定して PLL の動作を開始します。その後、ロックアップ時間約 400µs 経過後に、***[CGPLL0SEL]***<PLL0SEL>を"1"に設定することにより、fosc を逓倍した f_{PLL} クロックを使用することができます。
なお、PLL 動作が安定するまでの時間は、ウオーミングアップ機能などを用いて確保する必要があります。

1.2.5.2. PLL 逓倍値の計算式と設定例

PLL 逓倍値を設定する***[CGPLL0SEL]***<PLL0SET[23:0]>の内訳詳細を下記に示します。

表 1.1 *[CGPLL0SEL]*<PLL0SET[23:0]>設定詳細

PLL0SET の内訳	機能		
[23:17]	補正値設定	fosc/450000 の商(整数)。表 1.2 を参照してください。	
[16:14]	fosc 設定	000: 6 < fosc ≤ 7 (単位: MHz) 001: 7 < fosc ≤ 8 010: 8 < fosc ≤ 10 011: 10 < fosc ≤ 12 100～111: Reserved	
[13:12]	分周設定	00: Reserved 01: 2 分周 (×1/2) 10: 4 分周 (×1/4) 11: 8 分周 (×1/8)	
[11:8]	小数部 逓倍設定	0000: 0.0000 0001: 0.0625 0010: 0.1250 0011: 0.1875 0100: 0.2500 0101: 0.3125 0110: 0.3750 0111: 0.4375	1000: 0.5000 1001: 0.5625 1010: 0.6250 1011: 0.6875 1100: 0.7500 1101: 0.8125 1110: 0.8750 1111: 0.9375
[7:0]	整数部 逓倍設定	0x00: 0 0x01: 1 0x02: 2 : 0xFD: 253 0xFE: 254 0xFF: 255	

注) 逓倍値は、<PLL0SET[7:0]>(整数部)と<PLL0SET[11:8]>(小数部)の合算です。

f_{PLL} は、以下の計算式で表されます。

f_{PLL} = fosc × (***[CGPLL0SEL]***<PLL0SET[7:0]> + ***[CGPLL0SEL]***<PLL0SET[11:8]>) × (***[CGPLL0SEL]***<PLL0SET[13:12]>)

注 1) 周波数精度の絶対値は保証しません。

注 2) 小数部逓倍設定にリニアリティーはありません。

注 3) f_{PLL} ≦ 最大動作周波数

表 1.2 PLL補正値(例)

fosc(MHz)	<PLL0SET[23:17]>(10 進、整数値)
6.00	14
8.00	18
10.00	23
12.00	27

PLL 補正値は、以下で求めることができます
fosc =10.0MHz 時、10.0/0.45＝22.22 → 23 ; 小数部は切り上げ

[CGPLL0SEL]<PLL0SET[23:0]>の主な設定例を、下記に示します。

入力周波数(fosc)を、PLL で逓倍、分周し、目的とするクロック周波数(f_{PLL})を生成します。

分周値は、1/2、1/4、1/8 から選択します。
また、逓倍後の周波数は次の範囲で設定してください。
200MHz≦(fosc×逓倍値)≦400MHz

表 1.3 PLL0SET設定値(例)

fosc (MHz)	逓倍値	分周値	f_{PLL} (MHz)	<PLL0SET[23:0]>
6.00	53.3125	1/2	159.94	0x1C1535
8.00	40.0000	1/2	160	0x245028
10.00	32.0000	1/2	160	0x2E9020
12.00	26.6250	1/2	159.75	0x36DA1A

1.2.5.3. 動作中の PLL 逓倍値の変更

PLL 逓倍クロック動作中に、逓倍値の変更を行う場合、まず***[CGPLL0SEL]***<PLL0SEL>に"0"を設定し PLL 逓倍クロックを使用しない設定に切り替えます。そして、***[CGPLL0SEL]***<PLL0ST>=0 を読み出し、逓倍クロックを使用しない設定に切り替わったことを確認した後、***[CGPLL0SEL]***<PLL0ON>を"0"として PLL を停止します。

その後、***[CGPLL0SEL]***<PLL0SET[23:0]>の逓倍値を変更し、PLL の初期化時間として約 100μs 経過後に、***[CGPLL0SEL]***<PLL0ON>を"1"に設定して PLL の動作を開始します。

その後、ロックアップ時間約 400μs 経過後に、***[CGPLL0SEL]***<PLL0SEL>を"1"に設定します。

最後に、***[CGPLL0SEL]***<PLL0ST>をリードし、切り替わったことを確認します。

1.2.5.4. PLL 動作開始/停止/切り替えシーケンス

(1) fc 設定(PLL 停止→PLL 動作)

fc 設定として、PLL 停止状態から PLL 動作状態への切り替え手順例は、下記のようになります。

≪切り替え前の状態≫	
[CGPLL0SEL]<PLL0ON>=0	fsys 用 PLL 動作が停止
[CGPLL0SEL]<PLL0SEL>=0	fsys 用 PLL 選択が PLL 未使用(fosc)
[CGPLL0SEL]<PLL0ST>=0	fsys 用 PLL 選択ステータスが PLL 未使用(fosc)
[CGSYSCR]<MCKSEL>=00	高速システムクロック: 中速システムクロック、 高速プリスケーラークロック: 中速システムクロックの比率が 1:1

≪切り替え手順例≫		
1	***[CGSYSCR]***<MCKSEL[1:0]>=01 or 1*	高速システムクロック: 中速システムクロック、 高速プリスケーラークロック: 中速システムクロックの比率を変更する
2	***[CGSYSCR]***<MCKSELGST> <MCKSELPST>をリード	上記 1 で設定した値になるまで待つ
3	***[CGPLL0SEL]***<PLL0SET[23:0]>=0xX	PLL 逓倍値設定(0xX)を選択する
4	100μs 以上待つ	逓倍設定後の待ち時間
5	***[CGPLL0SEL]***<PLL0ON>=1	fsys 用 PLL 動作を発振にする
6	400μs 以上待つ	PLL 出力クロック安定待ち時間(ロックアップ時間)
7	***[CGPLL0SEL]***<PLL0SEL>=1	fsys 用 PLL 選択を PLL 使用(f_{PLL})にする
8	***[CGPLL0SEL]***<PLL0ST>をリード	fsys 用 PLL 選択ステータスが PLL 使用(f_{PLL})(=1)になるまで待つ

注 1) 1,2 は、システムクロックの比率を変更する場合に設定します。

注 2) 3～6 は、切り替え前の状態が***[CGPLL0SEL]***<PLL0ON>=1 の場合は不要です。
PLL 出力クロックが安定した状態から切り替える場合は、7,8 のみの実行で PLL 動作状態へ切り替え可能です。

(2) fc 設定(PLL 動作→PLL 停止)

fc 設定として、PLL 動作状態から PLL 停止状態への切り替え手順例は、下記のようになります。

≪切り替え前の状態≫	
[CGPLL0SEL]<PLL0ON>=1	fsys 用 PLL 選択が発振
[CGPLL0SEL]<PLL0SEL>=1	fsys 用 PLL 選択が PLL 使用(f_{PLL})
[CGPLL0SEL]<PLL0ST>=1	fsys 用 PLL 選択ステータスが PLL 使用(f_{PLL})

≪切り替え手順例≫		
1	***[CGPLL0SEL]***<PLL0SEL>=0	fsys 用 PLL 選択を PLL 未使用(fosc)にする
2	***[CGPLL0SEL]***<PLL0ST>をリード	fsys 用 PLL 選択ステータスが PLL 未使用(fosc)(=0)になるまで待つ
3	***[CGPLL0SEL]***<PLL0ON>=0	fsys 用 PLL 動作を停止にする

1.2.6. システムクロック

システムクロックの源振として、内蔵高速発振クロック、外部高速発振クロック(発振子接続またはクロック入力)が使用可能です。

システムクロックは高速で動作する「高速システムクロック(fsysh)(最大動作周波数 160MHz)」と、高速システムクロックを分周して動作させる「中速システムクロック(fsysm) (最大動作周波数 80MHz)」があり、中速システムクロックで動作させる周辺機能は、CPU の処理能力を保持したまま消費電力を抑えることができます。周辺機能が動作するクロックドメインは表 1.4 で確認してください。

高速システムクロックは、***[CGSYSCR]***<GEAR[2:0]>(クロックギア)で fc を分周することが可能です。中速システムクロックはクロックギアで fc を分周した高速システムクロックを、***[CGSYSCR]***<MCKSEL[1:0]>でさらに分周することができます。設定は動作中に変更可能ですが、レジスター書き込み後、実際にクロックが切り替わるまでに表 1.5 の時間が必要です。クロック切り替えの完了は、***[CGSYSCR]***<GEARST[2:0]> <MCKSELGST[1:0]>で確認してください。

表 1.4　クロックドメインと周辺機能

クロックドメイン	Block
高速システムクロック	CPU, Code Flash, Data Flash, Boot ROM, RAM0/1, CG, INTIF (IB, IMN), CRC, RAMP (ch0)
中速システムクロック	DMAC, NBDIF, SIWDT, UART, TSPI, I2C, EI2C, T32A, ADC, OPAMP, PORT, A-PMD, A-ENC32, A-VE+, INTIF(IA), DNF, LVD, TRM, Flash (SFR), OFD, RAMP (ch1), RLM, TRGSEL, RAM2

表 1.5　システムクロック切り替え時間

システムクロック	高速(fsysh)	中速(fsysm)
fsys	fc で最大 16 クロック	fc で最大 16 クロック
fsys/2	-	fc で最大 32 クロック
fsys/4	-	fc で最大 64 クロック

注 1)　タイマーカウンターなどの周辺機能の動作中にクロックギア、システムクロックは切り替えないようにしてください。

注 2)　システムクロック切り替え中は、高速システムクロックドメインと中速システムクロックドメインを跨ぐアクセスはできません。

発振周波数、PLL 逓倍値などで設定した周波数 fc に対するクロックギア比(1/1～1/16)による動作周波数例を下記に示します。

表 1.6　動作周波数例

外部発振(MHz)	外部クロック入力(MHz)	内蔵発振 IHOSC1 (MHz)	PLL 逓倍値 (分周後)	最大周波数 (fc)(MHz)	クロックギア比による動作周波数(MHz) PLL=ON 時					クロックギア比による動作周波数(MHz) PLL=OFF 時				
					1/1	1/2	1/4	1/8	1/16	1/1	1/2	1/4	1/8	1/16
6	6	―	26.66	159.94	159.94	79.97	39.99	19.99	10.00	6	3	1.5	-	-
8	8	―	20	160	160	80	40	20	10	8	4	2	1	-
10	10	10	16	160	160	80	40	20	10	10	5	2.5	1.25	-
12	12	―	13	156	156	78	39	19.5	9.75	12	6	3	1.5	-

表 1.7　高速/中速システムクロック動作周波数例

高速システムクロック fsysh(MHz)	中速システムクロック fsysm(MHz)		
	1/1	1/2	1/4
160	-	80	40
80	80	40	20

注)　中速システムクロックの最大動作周波数は 80MHz です

1.2.6.1. システムクロックの設定方法

(1)　fosc 設定(内蔵発振→外部発振)

fosc 設定として、内蔵高速発振器 1(IHOSC1)から外部高速発振器(EHOSC)への切り替え手順例を下記に示します。

≪切り替え前の状態≫	
[CGOSCCR]<IHOSC1EN> = 1	内蔵高速発振器 1 が発振
[CGOSCCR]<OSCSEL> = 0	fosc 用高速発振選択が内部(IHOSC1)
[CGOSCCR]<OSCF> = 0	fosc 用高速発振選択ステータスが内部(IHOSC1)
X1/X2 端子に発振子を接続	発振子以外は接続しないでください。

≪切り替えシーケンス例≫		
1	***[PHPDN]***<bit[1:0]> = 00 ***[PHIE]***<bit[1:0]> = 00	X1/X2 端子のプルダウンをディセーブル X1/X2 端子の入力制御をディセーブル
2	***[CGOSCCR]***<EOSCEN[1:0]> = 01	外部発振器の動作選択を外部高速発振(EHOSC)
3	***[CGWUPHCR]***<WUCLK> = 1 ***[CGWUPHCR]***<WUPT[15:4]> = 任意値	高速発振ウオーミングアップクロック選択を外部(EHOSC) ウオーミングアップタイマー設定値へ発振器安定時間を設定
4	***[CGWUPHCR]***<WUON> = 1	高速発振ウオーミングアップをスタートする
5	***[CGWUPHCR]***<WUEF>をリード	高速発振ウオーミングアップ終了(=0)になるまで待つ
6	***[CGOSCCR]***<OSCSEL> = 1	fosc 用高速発振選択を外部(EHOSC)へ
7	***[CGOSCCR]***<OSCF>をリード	fosc 用高速発振選択ステータスが外部(EHOSC=1)になるまで待つ
8	***[CGOSCCR]***<IHOSC1EN> = 0	内蔵高速発振器 1 を停止

(2)　fosc 設定(内蔵発振→外部クロック入力)

fosc 設定として、内蔵高速発振器 1(IHOSC1)から外部クロック入力(EHCLKIN)への切り替え手順例を下記に示します。

≪切り替え前の状態≫	
[CGOSCCR]<IHOSC1EN> = 1	内蔵高速発振器 1 が発振
[CGOSCCR]<OSCSEL> = 0	fosc 用高速発振選択が内蔵高速発振器 1(IHOSC1)
[CGOSCCR]<OSCF> = 0	fosc 用高速発振選択ステータスが内蔵高速発振器 1(IHOSC1)
EHCLKIN へのクロック入力	適正電圧範囲で入力してください。

≪切り替えシーケンス例≫		
1	***[PHPDN]***<bit[0]> = 0 ***[PHIE]***<bit[0]> = 0/1	X1/EHCLKIN 端子のプルダウンをディセーブル X1/EHCLKIN 端子の入力制御は任意
2	***[CGOSCCR]***<EOSCEN[1:0]> = 10	外部高速発振器の動作選択を外部クロック入力(EHCLKIN)にする
3	***[CGOSCCR]***<OSCSEL> = 1	fosc 用高速発振選択を外部クロックへ
4	***[CGOSCCR]***<OSCF>をリード	fosc 用高速発振選択ステータスが外部(=1)になるまで待つ
5	***[CGOSCCR]***<IHOSC1EN> = 0	内蔵高速発振器 1 を停止

(3) fosc 設定(外部発振/外部クロック入力→内蔵発振)

fosc 設定として、外部高速発振器(EHOSC)動作状態または外部クロック入力(EHCLKIN)動作状態から、内蔵高速発振器 1(IHOSC1)への切り替え手順例を下記に示します。

≪切り替え前の状態≫	
[CGOSCCR]<EOSCEN[1:0]> = 01 or 10	外部高速発振器の動作選択が外部高速発振器(EHOSC)か外部クロック入力
[CGOSCCR]<OSCSEL> = 1	fosc 用高速発振選択が外部高速発振器(EHOSC)
[CGOSCCR]<OSCF> = 1	fosc 用高速発振選択ステータスが外部高速発振器(EHOSC)

≪切り替えシーケンス例≫		
1	***[CGWUPHCR]***<WUCLK>=0	ウオーミングアップクロック選択を内蔵高速発振器 1(IHOSC1)にする
2	***[CGWUPHCR]***<WUPT[15:4]>=0x03C	高速発振ウオーミングアップ設定値に 163.4μs(=0x03C)以上を設定する
3	***[CGOSCCR]***<IHOSC1EN> = 1	内蔵高速発振器 1 を発振する
4	***[CGWUPHCR]***<WUON> = 1	高速発振ウオーミングアップタイマーをスタートする
5	***[CGWUPHCR]***<WUEF> をリード	ウオーミングアップタイマーステータスが終了(=0)になるまで待つ
6	***[CGOSCCR]***<OSCSEL> = 0	fosc 用高速発振選択を内蔵高速発振器 1(IHOSC1)にする
7	***[CGOSCCR]***<OSCF>をリード	fosc 用高速発振選択ステータスが内蔵高速発振器 1(=0)になるまで待つ
8	***[CGOSCCR]***<EOSCEN[1:0]> = 00	外部高速発振器の動作選択を未使用にする

1.2.7. クロック供給設定機能

本製品には、周辺機能に対してクロック供給 On/Off 機能があり、使用しない周辺機能に対して、クロック供給を停止することで消費電流を削減することができます。

リセット解除後は、一部の周辺機能を除き、クロックが供給されていない状態です。

使用する機能のクロックを供給するには***[CGFSYSENA]***、***[CGFSYSMENA]***、***[CGFSYSMENB]***、***[CGFCEN]***、***[CGSPCLKEN]***の該当のビットを"1"に設定します。

レジスターの詳細は、「1.4. レジスターの説明」を参照してください。

1.2.8. プリスケーラークロック

周辺機能には、それぞれにクロック ΦT0 を分周するプリスケーラーがあります。これらのプリスケーラーへ入力するクロック ΦT0 は、***[CGSYSCR]***<PRCK[3:0]>で高速プリスケーラークロック分周が可能です。また、***[CGSYSCR]***<MCKSEL[1:0]>で高速プリスケーラークロックを分周した中速プリスケーラークロックが決まります。リセット後の ΦT0 は、fc が選択されます。

レジスター書き込み後、実際にクロックが切り替わるまでに表 1.8 の時間が必要です。クロック切り替えの完了は、***[CGSYSCR]***<PRCKST[3:0]><MCKSELPST[1:0]>で確認してください。

表 1.8　プリスケーラークロック切り替え時間

プリスケーラークロック	高速(ΦT0h)	中速(ΦT0m)
ΦT0	fc で最大 512 クロック	fc で最大 512 クロック
ΦT0/2	-	fc で最大 1024 クロック
ΦT0/4	-	fc で最大 2048 クロック

注 1)　タイマーカウンターなどの周辺機能の動作中にプリスケーラークロックを切り替えないようにしてください。

注 2)　プリスケーラークロック切り替え中は、高速システムクロックドメインと中速システムクロックドメインを跨ぐアクセスはできません。

1.3. 動作モード

本製品には、動作モードとして NORMAL モードと低消費電力モード(IDLE,STOP1)があり、使用方法に応じモード遷移を行うことで消費電力を抑えることができます。

1.3.1. 動作モードの詳細

1.3.1.1. 各モードの特長

NORMAL、低消費電力モードの特長は次のとおりです。

- NORMAL モード

  CPU コア、および周辺回路を高速発振クロックで動作させるモードです。リセット解除後は、NORMAL モードとなります。

- 低消費電力モード

  低消費電力モードは以下のとおりです。

  – IDLE モード
  CPU が停止するモードです。
  周辺機能は各周辺機能のレジスター、クロック供給設定機能などにより、動作/停止を行ってください。

  注) IDLE モード中は CPU によるウオッチドッグタイマーのクリアができませんので注意してくだい。

  – STOP1 モード
  内蔵高速発振器も含めて全ての内部回路が停止するモードです。
  STOP1 モードが解除されると内蔵高速発振器 1(IHOSC1)が発振を開始し、NORMAL モードへ復帰します。
  STOP1 モードに遷移する前に、STOP1 解除に使用しない割り込みは禁止してください。

1.3.1.2. 低消費電力モードへの遷移と復帰

各低消費電力動作へ遷移するには、スタンバイ制御レジスター***[CGSTBYCR]***<STBY[1:0]>でIDLE/STOP1 モードを選択し、WFI (Wait For Interrupt)命令を実行します。WFI 命令によって低消費電力モードへ遷移した場合、低消費電力モードからの復帰はリセットまたは割り込み発生により行われます。割り込みで復帰する場合には、設定を行っておく必要があります。詳細はリファレンスマニュアル「例外」の「割り込み」章を参照してください。

注 1) 本製品ではイベントによる復帰はサポートしていないため、WFE (Wait For Event)による低消費電力モードへの遷移は行わないでください。

注 2) 本製品は、Cortex-M4(FPU 機能搭載)コアの SLEEPDEEP による低消費電力モードはサポートしていません。システム制御レジスターの<SLEEPDEEP>ビットは設定しないでください。

1.3.1.3. 低消費電力モードの選択

低消費電力モード選択は、***[CGSTBYCR]***<STBY[1:0]>の設定で選択されます。
下表に<STBY[1:0]>の設定より選択されるモードを示します。

表 1.9 低消費電力モード選択

モード	*[CGSTBYCR]*<STBY[1:0]>
IDLE	00
STOP1	01

注) 上記の設定以外は行わないでください

1.3.1.4. 低消費電力モードにおける周辺機能状態

各モードにおける周辺機能(ブロック)の動作状態を表 1.10 に示します。
なお、リセット解除後は、一部のブロックを除きクロックが供給されない状態となります。
必要に応じて、***[CGFSYSENA], [CGFSYSMENA], [CGFSYSMENB], [CGFCEN], [CGSPCLKEN]***を設定しクロック供給を許可してください。

表 1.10　低消費電力モード別ブロック動作状態一覧

Block		NORMAL	IDLE	STOP1
Processor core (Debug 含む)		○	―	―
DMAC		○	○	―
I/O port	端子状態	○	○	○
	レジスター	○	○	―
ADC(OPAMP 含む)		○	○	―
UART		○	○	―
I2C		○	○	―
EI2C		○	○	―
TSPI		○	○	―
A-PMD		○	○	―
A-ENC32		○	○	―
A-VE+		○	○	―
T32A		○	○	―
TRGSEL		○	○	―
CRC		○	○	―
SIWDT		○	○(注 1)	―
LVD		○	○	○
OFD		○	○	―
TRM		○	使用不可	―
CG		○	○	○
PLL		○	○	―
RAM パリティー(RAMP)		○	○	―
外部高速発振器(EHOSC)		○	○	―
内蔵高速発振器 1(IHOSC1)		○	○	―
内蔵高速発振器 2(IHOSC2)		○	○	―
Code Flash		アクセス可能	アクセス可能 (注 2)	データ保持
Data Flash				
RAM				

○: 動作可能
―: 対象のモードに遷移すると自動的に周辺回路へのクロックが停止

注 1)　プロテクト A モードのみ。それ以外の場合は、IDLE モードへ遷移する前に SIWDT を停止してください。

注 2)　CPU 以外のデータアクセス(R/W)する周辺機能(DMA など)がバスマトリックス上で接続されていない場合は、データ保持となります。

1.3.2. モード状態遷移

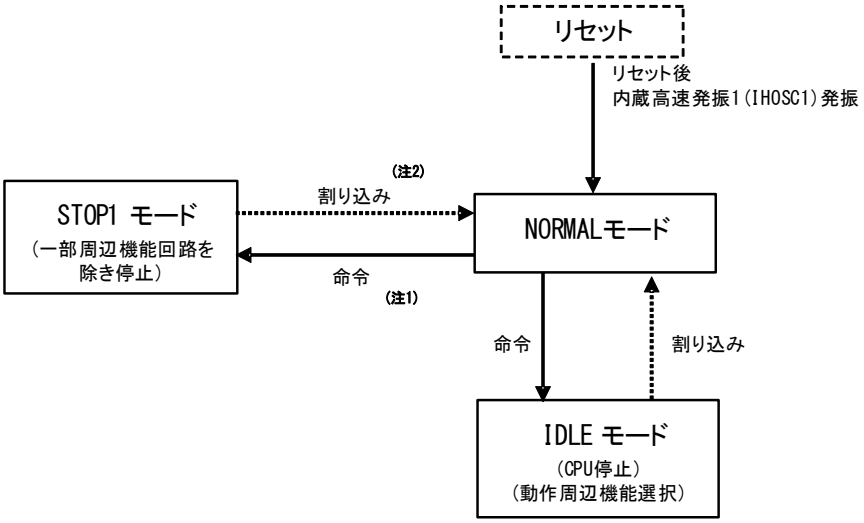


図 1.2　モード状態遷移

注 1)　復帰時にウオーミングアップが必要となります。ウオーミングアップ時間の設定は STOP1 モードに入る前のモード(NORMAL モード)で設定する必要があります。

注 2)　STOP1 モードからの復帰時は割り込み起動要因の処理ルーチンに分岐します。

1.3.2.1.　IDLE モード遷移フロー

IDLE へ遷移する場合は、以下の順番で設定してください。

IDLE モードは割り込みで解除されますので、IDLE モードへ遷移する前に割り込みの設定を行ってください。IDLE モード解除に使用可能な割り込みは「1.3.3.1. 低消費電力モードの解除ソース」を参照してください。解除に使用しない割り込み、および使用できない割り込みは禁止してください。

遷移フロー(Normal モードから)		
1	***[SIWDxEN]***<WDTE>=0	SIWDT をディセーブルにする
2	***[SIWDxCR]***<WDCR[7:0]>=0xB1	SIWDT をディセーブルにする
3	***[FCSR0]***<RDYBSY>をリード	Flash が Ready 状態(=1)になるまで待つ
4	***[CGSTBYCR]***<STBY[1:0]>=00	低消費電力モード選択を IDLE にする
5	***[CGSTBYCR]***<STBY[1:0]>をリード	4 のレジスターライトを確認する(=00)
6	WFI 命令実行	IDLE へ遷移する

注) SIWDT のプロテクト A モードを使用する場合は、1、2 の処理は不要です。

1.3.2.2. STOP1 モード遷移フロー

STOP1 へ遷移する場合は、以下の順番で設定してください。
STOP1 モードは割り込みで解除されますので、STOP1 モードへ遷移する前に割り込みの設定を行ってください。STOP1 モード解除に使用可能な割り込みは「1.3.3.1. 低消費電力モードの解除ソース」を参照してください。解除に使用しない割り込み、および使用できない割り込みは禁止してください。

遷移フロー(Normal モードから)		
1	***[SIWDxEN]***<WDTE>=0	SIWDT をディセーブルにする
2	***[SIWDxCR]***<WDCR[7:0]>=0xB1	SIWDT をディセーブルにする
3	***[FCSR0]***<RDYBSY>をリード	Flash が Ready 状態(=1)になるまで待つ
4	***[CGWUPHCR]***<WUEF>をリード	高速発振ウオーミングアップ終了(=0)になるまで待つ
5	***[CGWUPHCR]***<WUCLK>=0	高速発振ウオーミングアップクロック選択を内蔵高速発振器 1(IHOSC1)にする
	[CGWUPHCR]<WUPT[15:4]>=0x03C	高速発振ウオーミングアップタイマー設定値に 163.4μs(=0x03C)以上を設定する
6	***[CGSTBYCR]***<STBY[1:0]>=01	低消費電力モード選択を STOP1 にする
7	***[CGPLL0SEL]***<PLL0SEL>=0	fsys 用 PLL 選択を PLL 未使用(fosc)にする
8	***[CGPLL0SEL]***<PLL0ST>をリード	fsys 用 PLL 選択ステータスが PLL 未使用になるまで待つ(=0)
9	***[CGPLL0SEL]***<PLL0ON>=0	fsys 用 PLL 動作を停止する
10	***[CGOSCCR]***<IHOSC1EN>=1	内蔵高速発振器 1 を発振にする
11	***[CGWUPHCR]***<WUON> = 1	高速発振ウオーミングアップタイマーをスタートする
12	***[CGWUPHCR]***<WUEF>をリード	ウオーミングアップタイマーステータスが終了(=0)になるまで待つ
13	***[CGOSCCR]***<OSCSEL>=0	fosc 用高速発振選択を内蔵高速発振器 1(IHOSC1)にする
14	***[CGOSCCR]***<OSCF>をリード	fosc 用高速発振選択ステータスが内蔵高速発振器 1(=0)になるまで待つ
15	***[CGOSCCR]***<EOSCEN[1:0]>=00	外部発振の動作選択を未使用にする
16	***[CGOSCCR]***<IHOSC2EN>=0	内蔵高速発振器 2(IHOSC2)を停止する
17	***[CGOSCCR]***<EOSCEN[1:0]>をリード	15 のレジスターライトを確認する(=00)
18	***[CGOSCCR]***<IHOSC2F>をリード	IHOSC2 用内蔵発振安定フラグが"0"になるまで待つ
19	WFI 命令実行	STOP1 へ遷移する

1.3.3. 低消費電力モードからの復帰

1.3.3.1. 低消費電力モードの解除ソース

低消費電力モードからの復帰は、割り込み, マスク不能割り込み, リセットによって行うことができます。使用できるスタンバイ解除ソースは、低消費電力モードにより決まります。
詳細を下表に示します。

表 1.11　解除ソース一覧

低消費電力モード			IDLE	STOP1
解除ソース	割り込み	INT00～INT18, INT21 (注)	○	○
		INTVCN0, INTVCT0	○	×
		INTEMGx, INTOVVx, INTPWMx	○	×
		INTENCx0, INTENCx1	○	×
		INTADxPDA, INTADxPDB, INTADxCP0, INTADxCP1, INTADxTRG, INTADxSGL, INTADxCNT	○	×
		INTSCxRX, INTSCxTX, INTSCxERR	○	×
		INTI2CxNST, INTI2CxATX, INTI2CxBRX, INTI2CxNA	○	×
		INTT32AxAC, INTT32AxACCAP0, INTT32AxACCAP1, INTT32AxB, INTT32AxBCAP0, INTT32AxBCAP1	○	×
		INTPARIx	○	×
		INTDMAATC, INTDMAAERR	○	×
		INTFLCRDY	○	×
		INTFLDRDY	○	×
	SysTick 割り込み		○	×
	マスク不能割り込み(INTWDT0)		○	×
	マスク不能割り込み(INTLVD)		○	○
	リセット(SIWDT)		○	×
	リセット(LVD)		○	○
	リセット(OFD)		○	×
	リセット(RESET_N 端子)		○	○

○: 解除後、割り込み処理を開始します
×: 解除に使用できません

注)　INT00～INT18, INT21(外部割り込み 00～18, 21)は、立ち上がり/立ち下がり/レベルのいずれかを選択することができます。設定の詳細はリファレンスマニュアル「例外」を参照してください。

- 割り込み要求による解除

  割り込みによって低消費電力モードを解除する場合、CPU で割り込みが検出されるよう準備しておく必要があります。STOP1 モードの解除に使用する割り込みは、CPU の設定の他に INTIF で割り込み検出の設定を行う必要があります。

- マスク不能割り込み(NMI)による解除

  WDT 割り込み(INTWDT0、プロテクト A モードのみ)、LVD 割り込み(INTLVD)で低消費電力モードからの解除を行うことができます。

- リセットによる解除

  リセットは全ての低消費電力モードからの解除を行うことができます。
  リセットで解除した場合には、解除後 NORMAL モードでレジスターが初期化された状態になります。詳細は「3.2.6.1. リセット要因と初期化範囲」を参照してください。

- SysTick 割り込みによる解除

  SysTick 割り込みは IDLE モードでのみ使用可能です。

割り込みの詳細に関しては、リファレンスマニュアル「例外」の「割り込み」章を参照してください。

1.3.3.2. 低消費電力モード解除時のウオーミングアップ

モード遷移時、内部回路の安定のためウオーミングアップが必要な場合があります。
STOP1 モードから NORMAL モードへの復帰では、自動的に内部発振が選択されウオーミングアップ用タイマーが起動されます。ウオーミングアップ時間経過後にシステムクロックの出力が開始されます。

このため、STOP1 モードに遷移する命令を実行する前に、***[CGWUPHCR]***<WUPT[15:4]>でウオーミングアップ時間の設定を行ってください。設定方法については、「1.2.4.1. 高速発振用ウオーミングアップタイマー」を参照してください。

各動作モード遷移時におけるウオーミングアップ設定の有無を下表に示します。

表 1.12 ウオーミングアップ

動作モード遷移	ウオーミングアップ設定
NORMAL → IDLE	不要
NORMAL → STOP1	不要
IDLE → NORMAL	不要
STOP1 → NORMAL	必要

1.3.4. モード遷移によるクロック動作

モード遷移の際の、クロック動作について以下に示します。

1.3.4.1. NORMAL→IDLE→NORMAL 動作モード遷移

IDLE モードは、CPU が停止するモードです。周辺機能へのクロック供給は、設定状態を保持します。必要に応じて、各周辺機能のレジスター、クロック供給設定機能などにより、動作/停止を行ってください。IDLE 状態から、NORMAL モードへの復帰時にウオーミングアップは行いません。

IDLE モードへ遷移する命令(WFI)実行後、プログラムカウンターは次の行を示して CPU 停止状態となります。解除ソースにより、CPU 再起動となり、割り込み許可状態の場合、先に解除ソースの割り込み処理を経て、遷移命令(WFI)の次の行を実行することになります。

1.3.4.2. NORMAL→STOP1→NORMAL 動作モード遷移

STOP1 モードから NORMAL モードへ復帰する場合、ウオーミングアップは自動的に起動します。

STOP1 モードへ遷移する前に***[CGWUPHCR]***<WUPT[15:4]>へウオーミングアップ時間(163.4μs 以上)の設定を行ってください。

注) RESET_N 端子、LVD リセットが解除要因となった場合、ウオーミングアップ時間は、ウオームリセット時の動作と同じで"内部処理時間"と"CPU 動作待ち時間"に置き換わります。詳細は「3.2.2.1. RESET_N 端子によるウオームリセット」、「3.2.2.2. LVD によるウオームリセット」を参照してください。

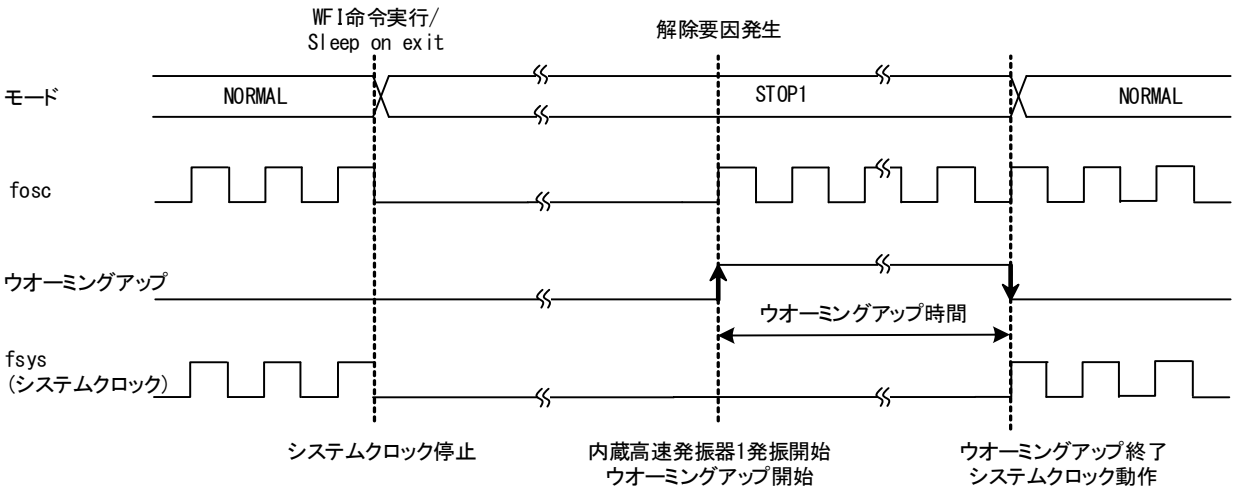


図 1.3 NORMAL→STOP1→NORMAL 動作モード遷移

1.4. レジスターの説明

1.4.1. レジスター一覧

CG 関連のレジスターとアドレスを以下に示します。

周辺機能		チャネル/ユニット	ベースアドレス
クロック制御と動作モード	CG	―	0x40083000

レジスター名		アドレス(Base+)
CG ライトプロテクトレジスター	***[CGPROTECT]***	0x0000
発振制御レジスター	***[CGOSCCR]***	0x0004
システムクロック制御レジスター	***[CGSYSCR]***	0x0008
スタンバイ制御レジスター	***[CGSTBYCR]***	0x000C
fsys 用 PLL セレクトレジスター	***[CGPLL0SEL]***	0x0020
高速発振ウオーミングアップレジスター	***[CGWUPHCR]***	0x0030
fsysm 供給停止レジスターA	***[CGFSYSMENA]***	0x0048
fsysm 供給停止レジスターB	***[CGFSYSMENB]***	0x004C
fsysh 供給停止レジスターA	***[CGFSYSENA]***	0x0050
fc 供給停止レジスター	***[CGFCEN]***	0x0058
ADC、デバッグ回路用クロック供給停止レジスター	***[CGSPCLKEN]***	0x005C

1.4.2. レジスター詳細

1.4.2.1. *[CGPROTECT]* (CG ライトプロテクトレジスター)

Bit	Bit symbol	リセット後	Type	機能
31:8	-	0	R	リードすると"0"が読めます。
7:0	PROTECT[7:0]	0xC1	R/W	CG レジスターライトプロテクト(本レジスター以外の全て)制御 0xC1: CG レジスターへのライト許可(プロテクト解除) 0xC1 以外: CG レジスターへのライト禁止(プロテクト有効)

1.4.2.2. *[CGOSCCR]* (発振制御レジスター)

Bit	Bit symbol	リセット後	Type	機能
31:20	-	0	R	リードすると"0"が読めます。
19	IHOSC2F	0	R	IHOSC2 用内蔵発振安定フラグ 0: 停止またはウオーミングアップ中 1: 発振安定
18:17	-	0	R	リードすると"0"が読めます。
16	IHOSC1F	1	R	IHOSC1 用内蔵発振安定フラグ(注 4) 0: 停止またはウオーミングアップ中 1: 発振安定
15:13	-	0	R	リードすると"0"が読めます。
12	-	0	R/W	"0"を書いてください。
11:10	-	0	R	リードすると"0"が読めます。
9	OSCF	0	R	fosc 用高速発振器選択ステータス 0: 内蔵高速発振器 1 (IHOSC1) 1: 外部高速発振器(EHOSC)
8	OSCSEL	0	R/W	fosc 用高速発振器選択(注 1) 0: 内蔵高速発振器 1(IHOSC1) 1: 外部高速発振器(EHOSC)
7:4	-	0	R	リードすると"0"が読めます。
3	IHOSC2EN	0	R/W	内蔵高速発振器 2 (IHOSC2)(注 2) 0: 停止 1: 発振
2:1	EOSCEN[1:0]	00	R/W	外部高速発振器の動作選択(EHOSC)(注 3) 00: 外部高速発振器未使用 01: 外部高速発振器(EHOSC) 10: 外部クロック入力(EHCLKIN) 11: Reserved
0	IHOSC1EN	1	R/W	内蔵高速発振器 1(IHOSC1) 0: 停止 1: 発振

注 1) 設定変更した場合、書き込み値が***[CGOSCCR]***<OSCF>ビットに、反映されていることを確認後、次の操作を行うようにしてください。

注 2) ***[SIWDxOSCCR]***<OSCPRO>=1 (SIWDT のライトプロテクトが有効)の場合は、設定しても変更されません。

注 3) 発振子接続で使用する場合は必ず"01" (外部高速発振器)に設定してください。

注 4) 内蔵高速発振器 1 (IHOSC1)の発振安定は、<IHOSC1F>を使わず、ウオーミングアップタイマーを設定し***[CGWUPHCR]***<WUEF>により確認してください。

1.4.2.3. *[CGSYSCR]* (システムクロック制御レジスター)

Bit	Bit symbol	リセット後	Type	機能
31:30	MCKSELPST[1:0]	00	R	中速プリスケーラークロック(ΦT0m)選択ステータス 00: <PRCK[3:0]>設定値(分周なし) 01: <PRCK[3:0]>設定値の 2 分周 10,11: <PRCK[3:0]>設定値の 4 分周
29:28	-	0	R	リードすると"0"が読めます。
27:24	PRCKST[3:0]	0000	R	高速プリスケーラークロック(ΦT0h)選択ステータス 0000: fc　0100: fc/16　1000: fc/256 0001: fc/2　0101: fc/32　1001: fc/512 0010: fc/4　0110: fc/64　1010 - 1111: Reserved 0011: fc/8　0111: fc/128
23:22	MCKSELGST[1:0]	00	R	中速システムクロック(fsysm)のクロック選択ステータス 00: <GEAR[2:0]>設定値(分周なし) 01: <GEAR[2:0]>設定値の 2 分周 10,11: <GEAR[2:0]>設定値の 4 分周
21:19	-	0	R	リードすると"0"が読めます。
18:16	GEARST[2:0]	000	R	高速システムクロック(fsysh)のギア選択ステータス 000: fc　100: fc/16 001: fc/2　101 - 111: Reserved 010: fc/4 011: fc/8
15:12	-	0	R	リードすると"0"が読めます。
11:8	PRCK[3:0]	0000	R/W	高速プリスケーラークロック(ΦT0h)選択 0000: fc　0100: fc/16　1000: fc/256 0001: fc/2　0101: fc/32　1001: fc/512 0010: fc/4　0110: fc/64　1010 - 1111: Reserved 0011: fc/8　0111: fc/128 周辺機能に供給するプリスケーラークロックを選択します。
7:6	MCKSEL[1:0]	00	R/W	中速システムクロック(fsysm)、中速プリスケーラークロック(ΦT0m)の選択 00: <GEAR[2:0]>,<PRCK[3:0]>設定値(分周なし) 01: <GEAR[2:0]>,<PRCK[3:0]>設定値の 2 分周 10,11: <GEAR[2:0]>,<PRCK[3:0]>設定値の 4 分周 中速システムクロックの最大動作周波数は 80MHz です。
5:3	-	0	R	リードすると"0"が読めます。
2:0	GEAR[2:0]	000	R/W	高速システムクロック(fsysh)のギア選択 000: fc　100: fc/16 001: fc/2　101 - 111: Reserved 010: fc/4 011: fc/8

1.4.2.4. *[CGSTBYCR]* (スタンバイ制御レジスター)

Bit	Bit symbol	リセット後	Type	機能
31:2	-	0	R	リードすると"0"が読めます。
1:0	STBY[1:0]	00	R/W	低消費電力モード選定 00: IDLE 01: STOP1 10: Reserved 11: Reserved

1.4.2.5. *[CGPLL0SEL]* (fsys 用 PLL セレクトレジスター)

Bit	Bit symbol	リセット後	Type	機能
31:8	PLL0SET[23:0]	0x000000	R/W	PLL 逓倍設定 逓倍設定については、「1.2.5.2. PLL 逓倍値の計算式と設定例」を参照してください。
7:3	-	0	R	リードすると"0"が読めます。
2	PLL0ST	0	R	fsys 用 Clock 選択ステータス 0: fosc 1: f_{PLL}
1	PLL0SEL	0	R/W	fsys 用 Clock 選択 0: fosc 1: f_{PLL}
0	PLL0ON	0	R/W	fsys 用 PLL 動作 0: 停止 1: 発振

1.4.2.6. *[CGWUPHCR]* (高速発振ウオーミングアップレジスター)

Bit	Bit symbol	リセット後	Type	機能
31:20	WUPT[15:4]	0x800	R/W	ウオーミングアップタイマーの計算値 16 ビットの上位 12 ビットの値を設定します。 ウオーミングアップタイマーの設定については、「1.2.4.1. 高速発振用ウオーミングアップタイマー」を参照してください。
19:16	WUPT[3:0]	0000	R	ウオーミングアップタイマーの計算値 16 ビットの下位 4 ビットの値で、"0000"固定です。
15:9	-	0	R	リードすると"0"が読めます。
8	WUCLK	0	R/W	ウオーミングアップクロック選択(注 1) 0: 内蔵高速発振器 1(IHOSC1) 1: 外部高速発振器(EHOSC)
7:2	-	0	R	リードすると"0"が読めます。
1	WUEF	0	R	ウオーミングアップタイマーステータス(注 2) 0: ウオーミングアップ終了 1: ウオーミングアップ中
0	WUON	0	W	ウオーミングアップタイマー制御 0: Don't care 1: ウオーミングアップスタート

注 1) STOP1 復帰時のウオーミングアップは、内蔵発振器で行ってください。外部発振器を選んで STOP1 へ遷移することは禁止です。

注 2) ウオーミングアップ中(<WUEF>=1)は、レジスターの書き換え禁止です。設定は、<WUEF>=0 のときに行ってください。

1.4.2.7. *[CGFSYSMENA]* (fsysm 供給停止レジスターA)

Bit	Bit symbol	リセット後	Type	機能
31	IPMENA31	0	R/W	T32A チャネル 3 のクロックイネーブル(TSEL34,35,36) 0: クロック停止 1: クロック供給
30	IPMENA30	0	R/W	T32A チャネル 2 のクロックイネーブル(TSEL31,32,33) 0: クロック停止 1: クロック供給
29	IPMENA29	0	R/W	T32A チャネル 1 のクロックイネーブル(TSEL28,29,30) 0: クロック停止 1: クロック供給
28	IPMENA28	1	R/W	T32A チャネル 0 のクロックイネーブル(TSEL25,26,27) 0: クロック停止 1: クロック供給
27	IPMENA27	0	R/W	"0"を書いてください。
26	IPMENA26	0	R/W	I2C チャネル 1 のクロックイネーブル 0: クロック停止 1: クロック供給
25	IPMENA25	0	R/W	I2C チャネル 0 のクロックイネーブル 0: クロック停止 1: クロック供給

Bit	Bit symbol	リセット後	Type	機能
24	IPMENA24	0	R/W	UART チャネル 3 のクロックイネーブル(TSEL24) 0: クロック停止 1: クロック供給
23	IPMENA23	0	R/W	UART チャネル 2 のクロックイネーブル(TSEL23) 0: クロック停止 1: クロック供給
22	IPMENA22	0	R/W	UART チャネル 1 のクロックイネーブル(TSEL22) 0: クロック停止 1: クロック供給
21	IPMENA21	1	R/W	UART チャネル 0 のクロックイネーブル(TSEL21) 0: クロック停止 1: クロック供給
20	IPMENA20	0	R/W	TSPI チャネル 1 のクロックイネーブル(TSEL20) 0: クロック停止 1: クロック供給
19	IPMENA19	0	R/W	TSPI チャネル 0 のクロックイネーブル(TSEL19) 0: クロック停止 1: クロック供給
18	-	0	R	リードすると"0"が読めます。
17	IPMENA17	0	R/W	PORT V のクロックイネーブル 0: クロック停止 1: クロック供給
16	IPMENA16	0	R/W	PORT U のクロックイネーブル 0: クロック停止 1: クロック供給
15	-	0	R	リードすると"0"が読めます。
14	-	0	R	リードすると"0"が読めます。
13	-	0	R	リードすると"0"が読めます。
12	IPMENA12	0	R/W	PORT N のクロックイネーブル 0: クロック停止 1: クロック供給
11	IPMENA11	0	R/W	PORT M のクロックイネーブル 0: クロック停止 1: クロック供給
10	IPMENA10	0	R/W	PORT L のクロックイネーブル 0: クロック停止 1: クロック供給
9	IPMENA09	0	R/W	PORT K のクロックイネーブル 0: クロック停止 1: クロック供給
8	IPMENA08	0	R/W	PORT J のクロックイネーブル 0: クロック停止 1: クロック供給
7	IPMENA07	0	R/W	PORT H のクロックイネーブル 0: クロック停止 1: クロック供給
6	IPMENA06	0	R/W	PORT G のクロックイネーブル 0: クロック停止 1: クロック供給

Bit	Bit symbol	リセット後	Type	機能
5	IPMENA05	0	R/W	PORT F のクロックイネーブル 0: クロック停止 1: クロック供給
4	IPMENA04	0	R/W	PORT E のクロックイネーブル 0: クロック停止 1: クロック供給
3	IPMENA03	0	R/W	PORT D のクロックイネーブル 0: クロック停止 1: クロック供給
2	IPMENA02	1	R/W	PORT C のクロックイネーブル 0: クロック停止 1: クロック供給
1	IPMENA01	0	R/W	PORT B のクロックイネーブル 0: クロック停止 1: クロック供給
0	IPMENA00	0	R/W	PORT A のクロックイネーブル 0: クロック停止 1: クロック供給

注 1) レジスターの初期値がクロック停止でも、リセット期間中は全てクロック供給されています。

注 2) TMPM4KM, TMPM4KL で存在しない機能のビットは"0"をライトしてください。詳細は「1.5. 製品別情報」を参照してください。

1.4.2.8. *[CGFSYSMENB]* (fsysm 供給停止レジスターB)

Bit	Bit symbol	リセット後	Type	機能
31	IPMENB31	1	R/W	SIWDT チャネル 0 のクロックイネーブル 0: クロック停止 1: クロック供給
30	IPMENB30	1	R/W	NBDIF のクロックイネーブル 0: クロック停止 1: クロック供給
29	IPMENB29	1	R/W	"1"を書いてください。
28:27	-	0	R	リードすると"0"が読めます。
26	IPMENB26	0	R/W	EI2C チャネル 1 のクロックイネーブル 0: クロック停止 1: クロック供給
25	IPMENB25	0	R/W	EI2C チャネル 0 のクロックイネーブル 0: クロック停止 1: クロック供給
24:18	-	0	R	リードすると"0"が読めます。
17	IPMENB17	0	R/W	DMAC ユニット A のクロックイネーブル(TSEL00～15) 0: クロック停止 1: クロック供給
16	IPMENB16	0	R/W	TRGSEL のクロックイネーブル 0: クロック停止 1: クロック供給
15	IPMENB15	0	R/W	TRM のクロックイネーブル 0: クロック停止 1: クロック供給
14	IPMENB14	0	R/W	OFD のクロックイネーブル 0: クロック停止 1: クロック供給
13	IPMENB13	0	R/W	RAMP チャネル 1 のクロックイネーブル 0: クロック停止 1: クロック供給
12	IPMENB12	0	R/W	A-VE+チャネル 0 のクロックイネーブル 0: クロック停止 1: クロック供給
11	IPMENB11	0	R/W	A-PMD チャネル 2 のクロックイネーブル 0: クロック停止 1: クロック供給
10	IPMENB10	0	R/W	A-PMD チャネル 1 のクロックイネーブル 0: クロック停止 1: クロック供給
9	IPMENB09	0	R/W	A-PMD チャネル 0 のクロックイネーブル 0: クロック停止 1: クロック供給
8	IPMENB08	0	R/W	A-ENC32 チャネル 2 のクロックイネーブル 0: クロック停止 1: クロック供給

Bit	Bit symbol	リセット後	Type	機能
7	IPMENB07	0	R/W	A-ENC32 チャネル 1 のクロックイネーブル 0: クロック停止 1: クロック供給
6	IPMENB06	0	R/W	A-ENC32 チャネル 0 のクロックイネーブル 0: クロック停止 1: クロック供給
5	IPMENB05	0	R/W	OPAMP ユニット A/B/C のクロックイネーブル 0: クロック停止 1: クロック供給
4	IPMENB04	0	R/W	ADC ユニット C のクロックイネーブル(TSEL18) 0: クロック停止 1: クロック供給
3	IPMENB03	0	R/W	ADC ユニット B のクロックイネーブル(TSEL17) 0: クロック停止 1: クロック供給
2	IPMENB02	0	R/W	ADC ユニット A のクロックイネーブル(TSEL16) 0: クロック停止 1: クロック供給
1	IPMENB01	0	R/W	T32A チャネル 5 のクロックイネーブル(TSEL40,41,42) 0: クロック停止 1: クロック供給
0	IPMENB00	0	R/W	T32A チャネル 4 のクロックイネーブル(TSEL37,38,39) 0: クロック停止 1: クロック供給

注 1) レジスターの初期値がクロック停止でも、リセット期間中は全てクロック供給されています。

注 2) TMPM4KM, TMPM4KL で存在しない機能のビットは"0"をライトしてください。詳細は「1.5. 製品別情報」を参照してください。

1.4.2.9. *[CGFSYSENA]* (fsysh 供給停止レジスターA)

Bit	Bit symbol	リセット後	Type	機能
31:2	-	0	R	リードすると"0"が読めます。
1	IPENA01	0	R/W	RAMP チャネル 0 のクロックイネーブル 0: クロック停止 1: クロック供給
0	IPENA00	0	R/W	CRC のクロックイネーブル 0: クロック停止 1: クロック供給

注) レジスターの初期値がクロック停止でも、リセット期間中は全てクロック供給されています。

1.4.2.10. *[CGFCEN]* (fc 供給停止レジスター)

Bit	Bit symbol	リセット後	Type	機能
31:29	-	0	R	リードすると"0"が読めます。
28	FCIPEN28	0	R/W	DNF ユニット C のクロックイネーブル(INT21) 0: クロック停止 1: クロック供給
27	FCIPEN27	0	R/W	DNF ユニット B のクロックイネーブル(INT08b～18) 0: クロック停止 1: クロック供給
26	FCIPEN26	0	R/W	DNF ユニット A のクロックイネーブル(INT00～08a,11b) 0: クロック停止 1: クロック供給
25:24	-	0	R	リードすると"0"が読めます。
23	FCIPEN23	0	R/W	OFD の検知対象クロック 1(fc)のクロックイネーブル 0: クロック停止 1: クロック供給
22:0	-	0	R	リードすると"0"が読めます。

注 1) レジスターの初期値がクロック停止でも、リセット期間中は全てクロック供給されています。

注 2) TMPM4KM, TMPM4KL で存在しない機能のビットは"0"をライトしてください。詳細は「1.5. 製品別情報」を参照してください。

1.4.2.11. *[CGSPCLKEN]* (ADC、デバッグ回路用クロック供給停止レジスター)

Bit	Bit symbol	リセット後	Type	機能
31:20	-	0	R	リードすると"0"が読めます。
19	-	0	R/W	"0"を書いてください。
18	ADCKEN2	0	R/W	ADC ユニット C 用変換クロックイネーブル(注 2) 0: クロック停止 1: クロック供給
17	ADCKEN1	0	R/W	ADC ユニット B 用変換クロックイネーブル(注 2) 0: クロック停止 1: クロック供給
16	ADCKEN0	0	R/W	ADC ユニット A 用変換クロックイネーブル(注 2) 0: クロック停止 1: クロック供給
15:1	-	0	R	リードすると"0"が読めます。
0	TRCKEN	0	R/W	デバッグ回路(トレースまたは SWV)のトレース機能用クロックイネーブル 0: クロック停止 1: クロック供給

注 1) レジスターの初期値がクロック停止でも、リセット期間中は全てクロック供給されてい。

注 2) "0"(クロック停止)に設定する場合は、必ず AD 変換が停止または終了していることを確認してください。

1.5. 製品別情報

各製品別で異なる***[CGFSYSMENA]***、***[CGFSYSMENB]***、***[CGFSYSENA]***および***[CGFCEN]***に関する情報を以下に示します。

1.5.1. *[CGFSYSMENA]*

表 1.13 *[CGFSYSMENA]*の製品別割り当て

Bit	Bit symbol	接続先	チャネル番号/ ユニット名/ 入出力ポート名	M4KN	M4KM	M4KL
31	IPMENA31	T32A	3	○	○	○
30	IPMENA30		2	○	○	○
29	IPMENA29		1	○	○	○
28	IPMENA28		0	○	○	○
26	IPMENA26	I2C	1	○	○	○
25	IPMENA25		0	○	○	○
24	IPMENA24	UART	3	○	○	×
23	IPMENA23		2	○	○	○
22	IPMENA22		1	○	○	○
21	IPMENA21		0	○	○	○
20	IPMENA20	TSPI	1	○	○	○
19	IPMENA19		0	○	○	○
17	IPMENA17	PORT	V	○	×	×
16	IPMENA16		U	○	○	○
12	IPMENA12		N	○	○	×
11	IPMENA11		M	○	×	×
10	IPMENA10		L	○	○	○
9	IPMENA09		K	○	○	○
8	IPMENA08		J	○	○	○
7	IPMENA07		H	○	○	○
6	IPMENA06		G	○	○	○
5	IPMENA05		F	○	○	○
4	IPMENA04		E	○	○	○
3	IPMENA03		D	○	×	×
2	IPMENA02		C	○	○	○
1	IPMENA01		B	○	○	○
0	IPMENA00		A	○	○	○

注) ○: 対応、×: 非対応

1.5.2. *[CGFSYSMENB]*

表 1.14 *[CGFSYSMENB]*の製品別割り当て

Bit	Bit symbol	接続先	チャネル番号/ ユニット名/ 入出力ポート名	M4KN	M4KM	M4KL
31	IPMENB31	SIWDT	0	○	○	○
30	IPMENB30	NBDIF	-	○	×	×
26	IPMENA26	EI2C	1	○	○	○
25	IPMENA25		0	○	○	○
17	IPMENB17	DMAC	A	○	○	○
16	IPMENB16	TRGSEL	-	○	○	○
15	IPMENB15	TRM	-	○	○	○
14	IPMENB14	OFD	-	○	○	○
13	IPMENB13	RAMP	1	○	○	○
12	IPMENB12	A-VE+	0	○	○	○
11	IPMENB11	A-PMD	2	○	○	○
10	IPMENB10		1	○	○	○
9	IPMENB09		0	○	○	○
8	IPMENB08	A-ENC32	2	○	○	○
7	IPMENB07		1	○	○ (注 2)	×
6	IPMENB06		0	○	○	×
5	IPMENB05	OPAMP	A,B,C	○	○	○
4	IPMENB04	ADC	C	○	○	○
3	IPMENB03		B	○	○	○
2	IPMENB02		A	○	○	○
1	IPMENB01	T32A	5	○	○	○
0	IPMENB00		4	○	○	○

注 1) ○: 対応、×: 非対応

注 2) M4KM は ENCxZ 端子はありません。

1.5.3. *[CGFSYSENA]*

表 1.15 *[CGFSYSENA]*の製品別割り当て

Bit	Bit symbol	接続先	チャネル番号/ ユニット名/ 入出力ポート名	M4KN	M4KM	M4KL
1	IPENA01	RAMP	0	○	○	○
0	IPENA00	CRC	-	○	○	○

注) ○: 対応、×: 非対応

1.5.4. *[CGFCEN]*

表 1.16 *[CGFCEN]*の製品別割り当て

Bit	Bit symbol	接続先	チャネル番号/ ユニット名/ 入出力ポート名	M4KN	M4KM	M4KL
28	FCIPEN28	DNF	C	○	○	○
27	FCIPEN27		B	○	○	○
26	FCIPEN26		A	○	○	○
23	FCIPEN23	OFD	-	○	○	○

注) ○: 対応、×: 非対応

2. メモリーマップ

2.1. 概要

TMPM4K グループ(2)は、Arm Cortex-M4(FPU機能搭載)コアのメモリーマップに沿って作られており、内蔵 ROM 領域は Cortex-M4(FPU 機能搭載)コアメモリーマップの Code 領域、内蔵 RAM 領域は SRAM 領域、特殊機能レジスター(SFR)領域は Peripheral 領域に割り付けられています。特殊機能レジスター(SFR: Special function register)とは、入出力ポートおよび周辺機能のコントロールレジスターを示します。

CPU 内レジスター領域(CPU Register Region)はコア内部のレジスター領域です。

各領域の詳細については、"Arm ドキュメンテーションセット Cortex-M4 編"を参照してください。

"Fault"と記載された領域では、アクセスするとバスフォールトが有効な場合にはバスフォールト、無効な場合にはハードフォールトが発生します。また、ベンダー固有領域(Vender-Specific)にはアクセスしないでください。

2.1.1. TMPM4KxF10A

- Code Flash : 1MB
- RAM : 64KB
- Data Flash : 32KB
- 対象製品 : TMPM4KNF10ADFG, TMPM4KNF10AFG, TMPM4KLF10AUG, TMPM4KLF10AFG

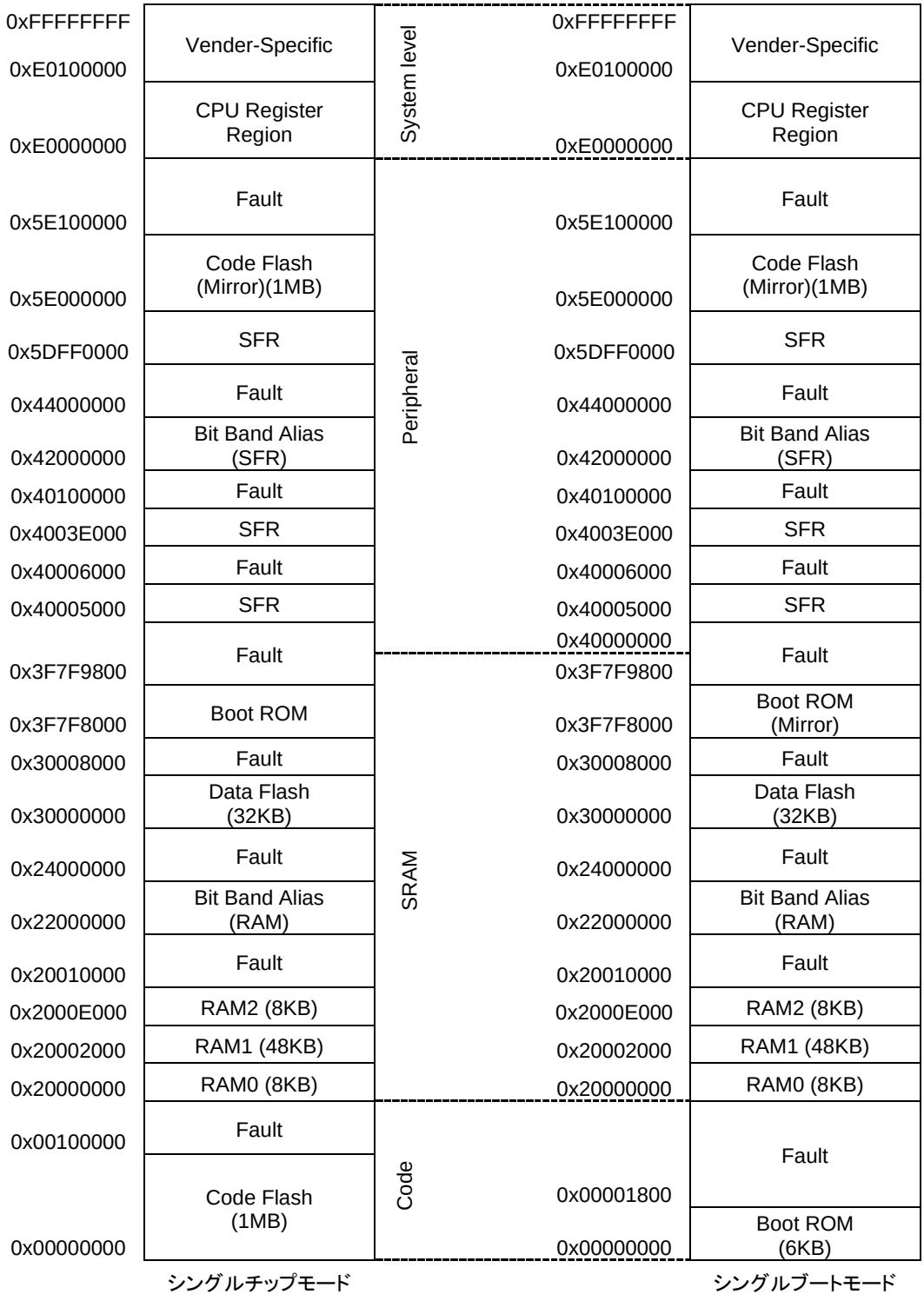


図 2.1 TMPM4KxF10A

2.1.2. TMPM4KxFDA

- Code Flash : 512KB
- RAM : 64KB
- Data Flash : 32KB
- 対象製品 : TMPM4KNFDADFG, TMPM4KNFDAFG, TMPM4KLFDAUG, TMPM4KLFDAFG

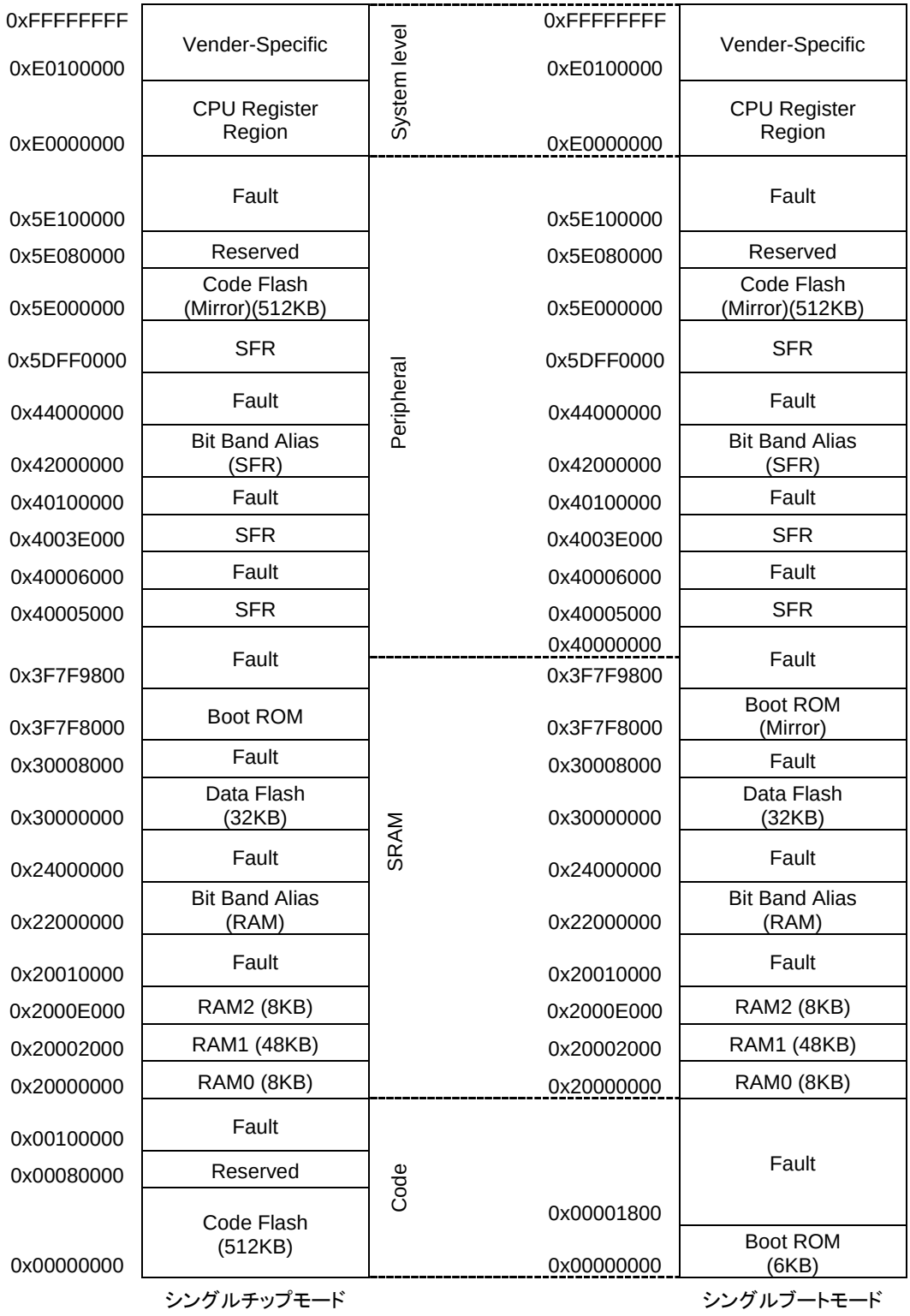


図 2.2 TMPM4KxFDA

2.1.3. TMPM4KxFYA

- Code Flash : 256KB
- RAM : 24KB
- Data Flash : 32KB
- 対象製品 : TMPM4KLFYAFG, TMPM4KLFYAUG, TMPM4KMFYAFG, TMPM4KNFYAFG, TMPM4KNFYADFG

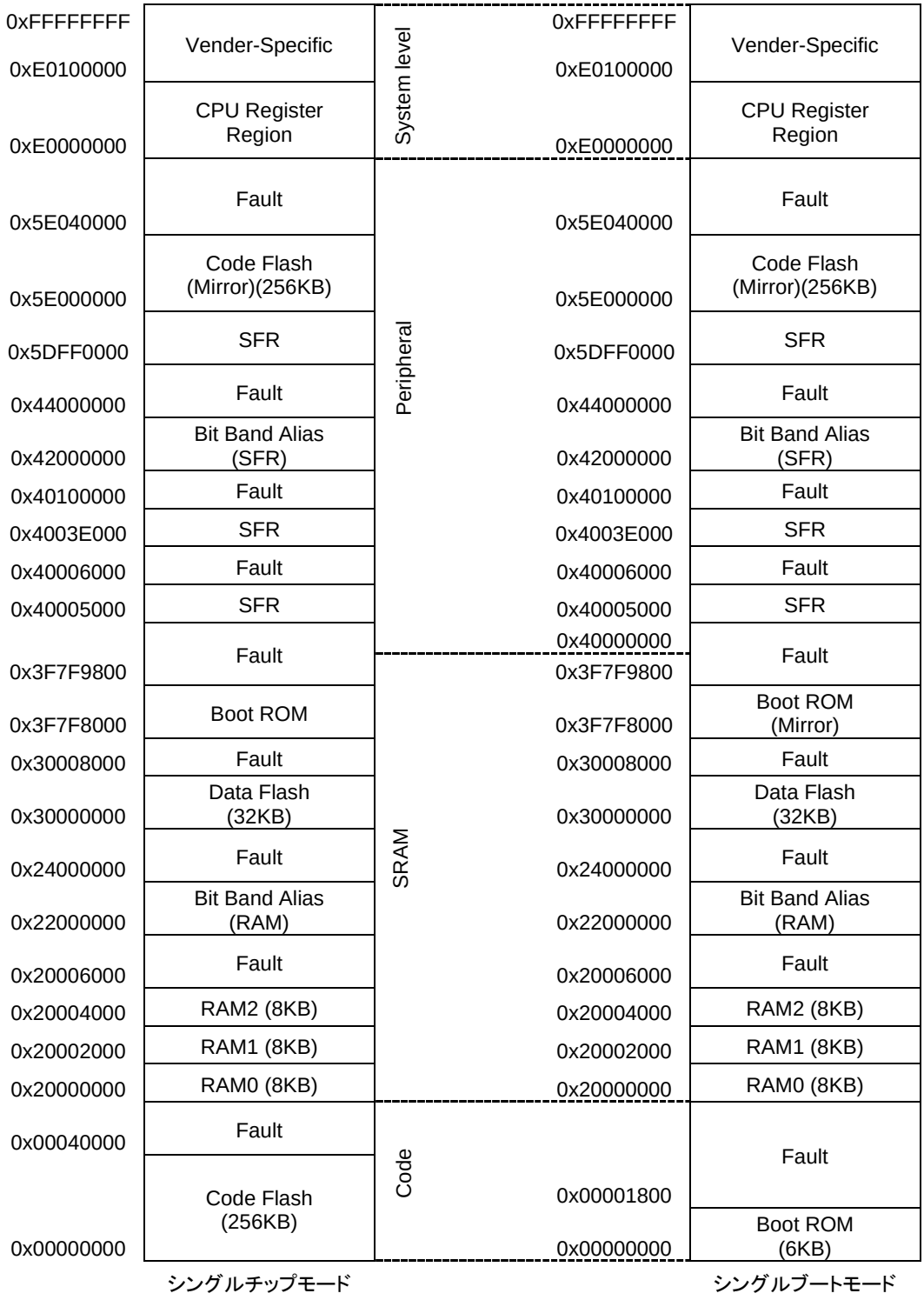


図 2.3 TMPM4KxFYA

2.1.4. TMPM4KxFWA

- Code Flash : 128KB
- RAM : 24KB
- Data Flash : 32KB
- 対象製品 : TMPM4KLFWAFG, TMPM4KLFWAUG, TMPM4KMFWAFG, TMPM4KNFWAFG, TMPM4KNFWADFG

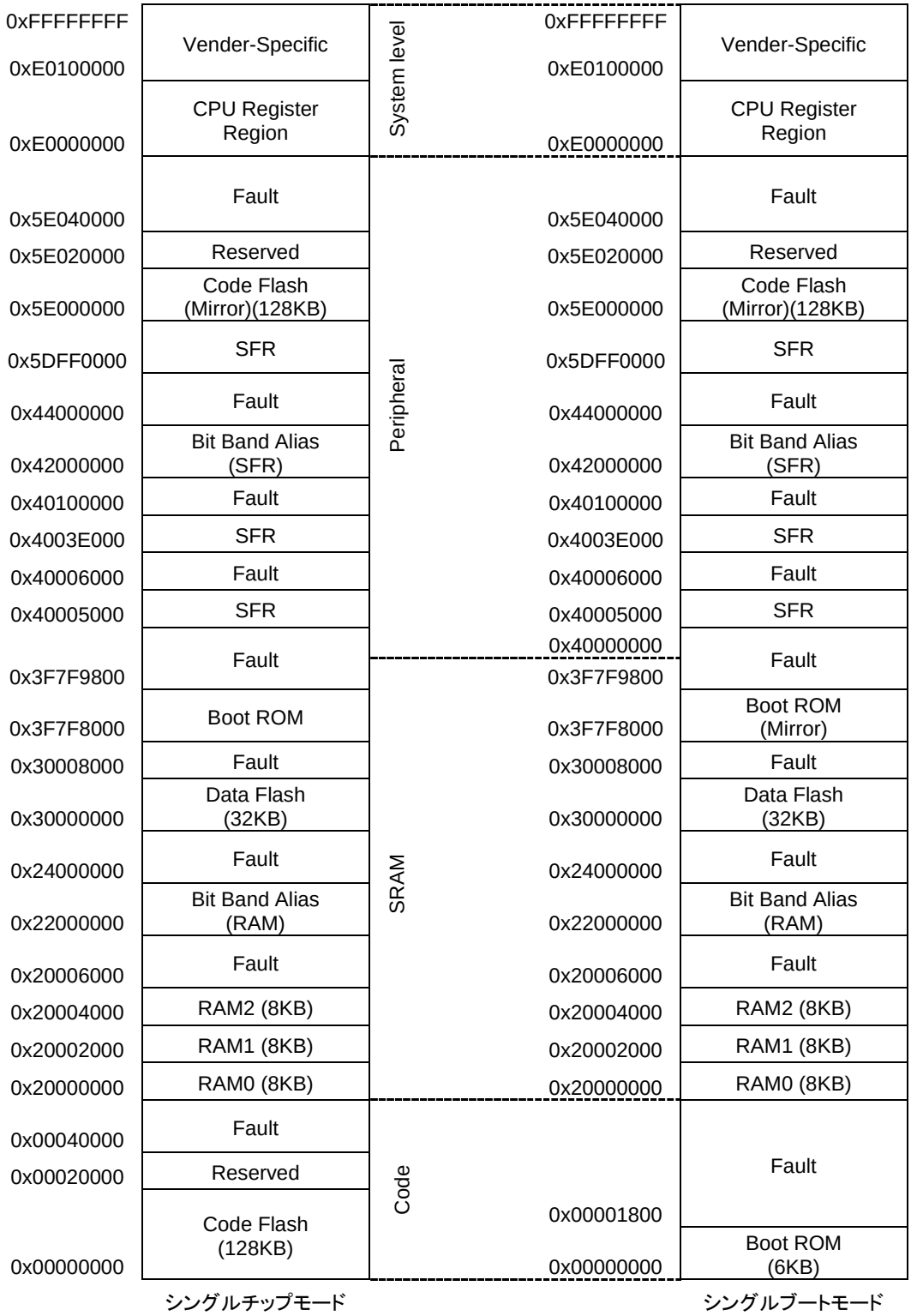


図 2.4 TMPM4KxFWA

2.2. バスマトリックス

本マイコンでは、メインマネージャーのCPUコアとサブマネージャーで構成されています。サブマネージャーは、DMA コントローラー(DMAC)と NBDIF で構成されています。

メインマネージャーは、バスマトリックスのサブオーディネートポート(S0～S3)に接続され、バスマトリックス内で、接続を示す記号(○,●)を経由して、マネージャーポート(M0～M9)から、周辺機能に接続されます。●は、ミラー領域への接続を示します。

サブマネージャーは、バスマトリックスのサブオーディネートポート(SS0～SS2)に接続され、バスマトリックス内で、接続を示す記号(○,●)を経由して、サブマネージャーポート(SM0～SM8)から、周辺機能に接続されます。

バスマトリックス内の同一マネージャーライン上に、複数のサブオーディネートが接続されている場合で、同一タイミングで複数のサブオーディネートにアクセスが発生した場合は、サブオーディネート番号の小さいマネージャーのアクセスが優先されます。

2.2.1. 構成

2.2.1.1. シングルチップモード

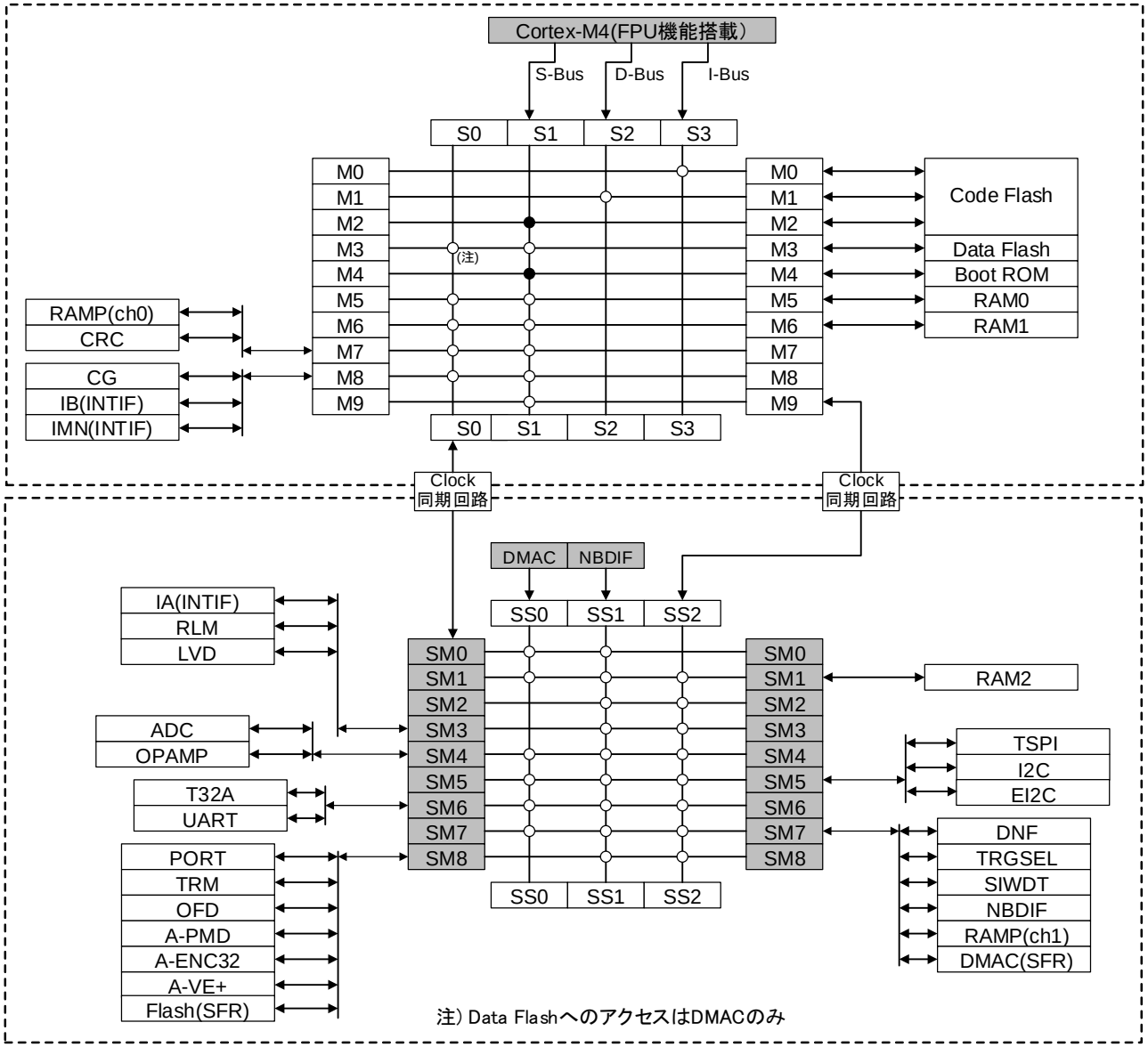


図 2.5　シングルチップモード

2.2.1.2. シングルブートモード

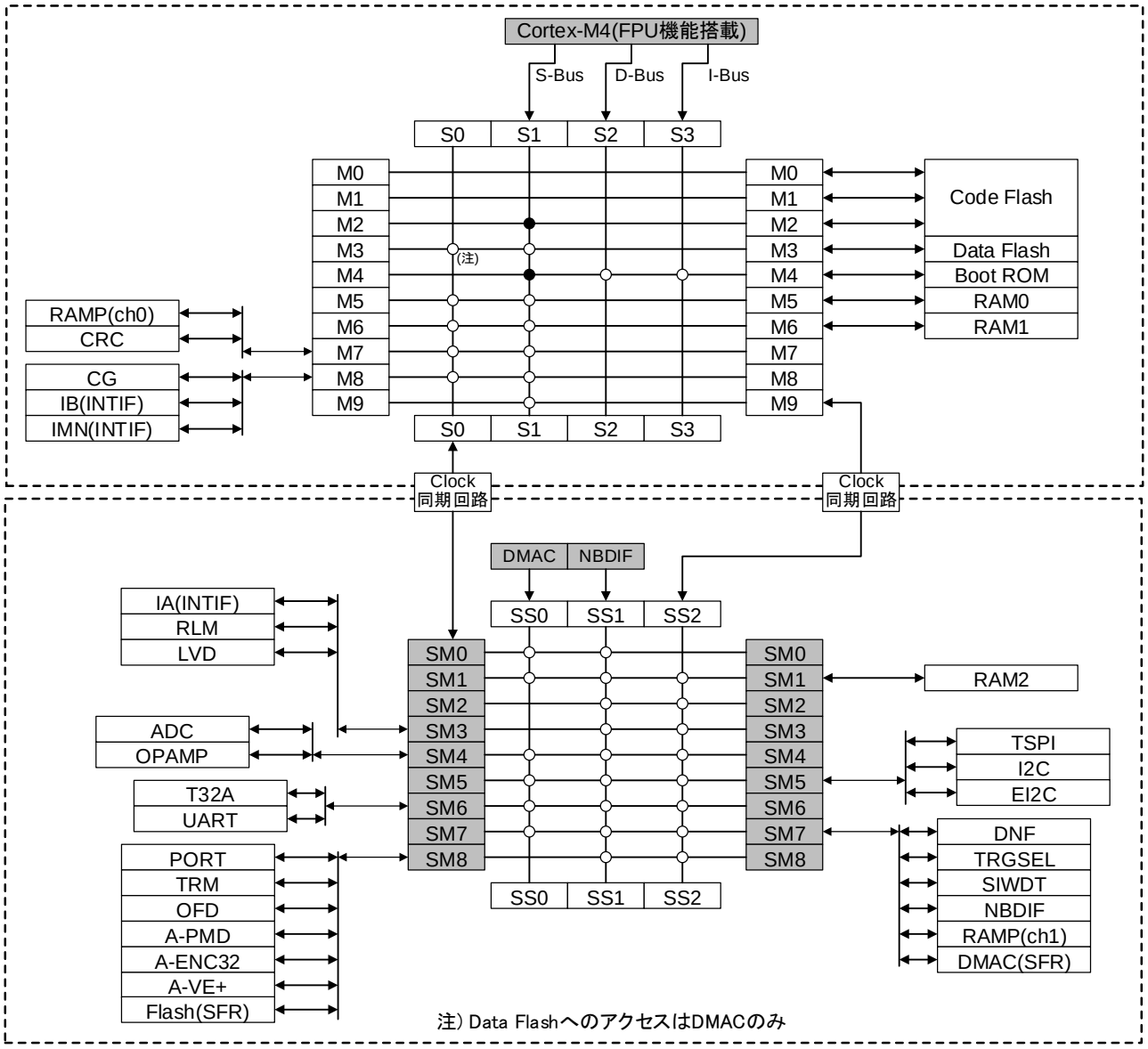


図 2.6　シングルブートモード

2.2.2. 接続表

2.2.2.1. メモリー関連の接続

(1) TMPM4KxF10A

- シングルチップモード

表 2.1 シングルチップモード

スタートアドレス	サブオーディネート		サブマネージャー		メインマネージャー		
			DMAC	NBDIF	Core S-Bus	Core D-Bus	Core I-Bus
			SS0	SS1	S1	S2	S3
0x00000000	Code Flash	M0	Fault	Fault	-	Fault	○
		M1	Fault	Fault	-	○	Fault
0x00100000	Fault	-	Fault	Fault	-	Fault	Fault
0x20000000	RAM0	M5	○	○	○	-	-
0x20002000	RAM1	M6	○	○	○	-	-
0x2000E000	RAM2	SM1	○	○	○	-	-
0x20010000	Fault	-	Fault	Fault	Fault	-	-
0x22000000	Bit Band Alias	-	○	○	○	-	-
0x24000000	Fault	-	Fault	Fault	Fault	-	-
0x30000000	Data Flash	M3	○	Fault	○	-	-
0x30008000	Fault	-	Fault	Fault	Fault	-	-
0x3F7F8000	Boot ROM	M4	Fault	Fault	○	-	-
0x3F7F9800	Fault	-	Fault	Fault	Fault	-	-
この間のアドレスは「表 2.9 周辺機能の接続」を参照願います。							
0x5E000000	Code Flash (Mirror)	M2	Fault	Fault	○	-	-

○: アクセス可、-: アクセス不可、Fault: フォールト発生

- シングルブートモード

表 2.2 シングルブートモード

スタートアドレス	サブオーディネート		サブマネージャー		メインマネージャー		
			DMAC	NBDIF	Core S-Bus	Core D-Bus	Core I-Bus
			SS0	SS1	S1	S2	S3
0x00000000	Boot ROM	M4	Fault	Fault	-	○	○
0x00001800	Fault	-	Fault	Fault	-	-	-
0x20000000	RAM0	M5	○	○	○	-	-
0x20002000	RAM1	M6	○	○	○	-	-
0x2000E000	RAM2	SM1	○	○	○	-	-
0x20010000	Fault	-	Fault	Fault	Fault	-	-
0x22000000	Bit Band Alias	-	Fault	Fault	Fault	-	-
0x24000000	Fault	-	Fault	Fault	Fault	-	-
0x30000000	Data Flash	M3	○	Fault	○	-	-
0x30008000	Fault	-	Fault	Fault	Fault	-	-
0x3F7F8000	Boot ROM (Mirror)	M4	Fault	Fault	○	-	-
0x3F7F9800	Fault	-	Fault	Fault	Fault	-	-
この間のアドレスは「表 2.9 周辺機能の接続」を参照願います。							
0x5E000000	Code Flash (Mirror)	M2	Fault	Fault	○	-	-

○: アクセス可、-: アクセス不可、Fault: フォールト発生

(2) TMPM4KxFDA

- シングルチップモード

表 2.3 シングルチップモード

スタートアドレス	サブオーディネート		サブマネージャー		メインマネージャー		
			DMAC	NBDIF	Core S-Bus	Core D-Bus	Core I-Bus
			SS0	SS1	S1	S2	S3
0x00000000	Code Flash	M0	Fault	Fault	-	Fault	○
		M1	Fault	Fault	-	○	Fault
0x00080000	Reserved	-	-	-	-	-	-
0x00100000	Fault	-	Fault	Fault	-	Fault	Fault
0x20000000	RAM0	M5	○	○	○	-	-
0x20002000	RAM1	M6	○	○	○	-	-
0x2000E000	RAM2	SM1	○	○	○	-	-
0x20010000	Fault	-	Fault	Fault	Fault	-	-
0x22000000	Bit Band Alias	-	○	○	○	-	-
0x24000000	Fault	-	Fault	Fault	Fault	-	-
0x30000000	Data Flash	M3	○	Fault	○	-	-
0x30008000	Fault	-	Fault	Fault	Fault	-	-
0x3F7F8000	Boot ROM	M4	Fault	Fault	○	-	-
0x3F7F9800	Fault	-	Fault	Fault	Fault	-	-
この間のアドレスは「表 2.9 周辺機能の接続」を参照願います。							
0x5E000000	Code Flash (Mirror)	M2	Fault	Fault	○	-	-

○: アクセス可、-: アクセス不可、Fault: フォールト発生

- シングルブートモード

表 2.4 シングルブートモード

スタートアドレス	サブオーディネート		サブマネージャー		メインマネージャー		
			DMAC	NBDIF	Core S-Bus	Core D-Bus	Core I-Bus
			SS0	SS1	S1	S2	S3
0x00000000	Boot ROM	M4	Fault	Fault	-	○	○
0x00001800	Fault	-	Fault	Fault	-	-	-
0x20000000	RAM0	M5	○	○	○	-	-
0x20002000	RAM1	M6	○	○	○	-	-
0x2000E000	RAM2	SM1	○	○	○	-	-
0x20010000	Fault	-	Fault	Fault	Fault	-	-
0x22000000	Bit Band Alias	-	Fault	Fault	Fault	-	-
0x24000000	Fault	-	Fault	Fault	Fault	-	-
0x30000000	Data Flash	M3	○	Fault	○	-	-
0x30008000	Fault	-	Fault	Fault	Fault	-	-
0x3F7F8000	Boot ROM (Mirror)	M4	Fault	Fault	○	-	-
0x3F7F9800	Fault	-	Fault	Fault	Fault	-	-
この間のアドレスは「表 2.9 周辺機能の接続」を参照願います。							
0x5E000000	Code Flash (Mirror)	M2	Fault	Fault	○	-	-

○: アクセス可、-: アクセス不可、Fault: フォールト発生

(3) TMPM4KxFYA

- シングルチップモード

表 2.5 シングルチップモード

スタートアドレス	サブオーディネート		サブマネージャー		メインマネージャー		
			DMAC	NBDIF	Core S-Bus	Core D-Bus	Core I-Bus
			SS0	SS1	S1	S2	S3
0x00000000	Code Flash	M0	Fault	Fault	-	Fault	○
		M1	Fault	Fault	-	○	Fault
0x00040000	Fault	-	Fault	Fault	-	Fault	Fault
0x20000000	RAM0	M5	○	○	○	-	-
0x20002000	RAM1	M6	○	○	○	-	-
0x20004000	RAM2	SM1	○	○	○	-	-
0x20006000	Fault	-	Fault	Fault	Fault	-	-
0x22000000	Bit Band Alias	-	○	○	○	-	-
0x24000000	Fault	-	Fault	Fault	Fault	-	-
0x30000000	Data Flash	M3	○	Fault	○	-	-
0x30008000	Fault	-	Fault	Fault	Fault	-	-
0x3F7F8000	Boot ROM	M4	Fault	Fault	○	-	-
0x3F7F9800	Fault	-	Fault	Fault	Fault	-	-
この間のアドレスは「表 2.9 周辺機能の接続」を参照願います。							
0x5E000000	Code Flash (Mirror)	M2	Fault	Fault	○	-	-

○: アクセス可、-: アクセス不可、Fault: フォールト発生

- シングルブートモード

表 2.6 シングルブートモード

スタートアドレス	サブオーディネート		サブマネージャー		メインマネージャー		
			DMAC	NBDIF	Core S-Bus	Core D-Bus	Core I-Bus
			SS0	SS1	S1	S2	S3
0x00000000	Boot ROM	M4	Fault	Fault	-	○	○
0x00001800	Fault	-	Fault	Fault	-	-	-
0x20000000	RAM0	M5	○	○	○	-	-
0x20002000	RAM1	M6	○	○	○	-	-
0x20004000	RAM2	SM1	○	○	○	-	-
0x20006000	Fault	-	Fault	Fault	Fault	-	-
0x22000000	Bit Band Alias	-	Fault	Fault	Fault	-	-
0x24000000	Fault	-	Fault	Fault	Fault	-	-
0x30000000	Data Flash	M3	○	Fault	○	-	-
0x30008000	Fault	-	Fault	Fault	Fault	-	-
0x3F7F8000	Boot ROM (Mirror)	M4	Fault	Fault	○	-	-
0x3F7F9800	Fault	-	Fault	Fault	Fault	-	-
この間のアドレスは「表 2.9 周辺機能の接続」を参照願います。							
0x5E000000	Code Flash (Mirror)	M2	Fault	Fault	○	-	-

○: アクセス可、-: アクセス不可、Fault: フォールト発生

(4) TMPM4KxFWA

- シングルチップモード

表 2.7 シングルチップモード

スタートアドレス	サブオーディネート		サブマネージャー		メインマネージャー		
			DMAC	NBDIF	Core S-Bus	Core D-Bus	Core I-Bus
			SS0	SS1	S1	S2	S3
0x00000000	Code Flash	M0	Fault	Fault	-	Fault	○
		M1	Fault	Fault	-	○	Fault
0x00020000	Reserved	-	-	-	-	-	-
0x00040000	Fault	-	Fault	Fault	-	Fault	Fault
0x20000000	RAM0	M5	○	○	○	-	-
0x20002000	RAM1	M6	○	○	○	-	-
0x20004000	RAM2	SM1	○	○	○	-	-
0x20006000	Fault	-	Fault	Fault	Fault	-	-
0x22000000	Bit Band Alias	-	○	○	○	-	-
0x24000000	Fault	-	Fault	Fault	Fault	-	-
0x30000000	Data Flash	M3	○	Fault	○	-	-
0x30008000	Fault	-	Fault	Fault	Fault	-	-
0x3F7F8000	Boot ROM	M4	Fault	Fault	○	-	-
0x3F7F9800	Fault	-	Fault	Fault	Fault	-	-
この間のアドレスは「表 2.9 周辺機能の接続」を参照願います。							
0x5E000000	Code Flash (Mirror)	M2	Fault	Fault	○	-	-

○: アクセス可、-: アクセス不可、Fault: フォールト発生

- シングルブートモード

表 2.8 シングルブートモード

スタートアドレス	サブオーディネート		サブマネージャー		メインマネージャー		
			DMAC	NBDIF	Core S-Bus	Core D-Bus	Core I-Bus
			SS0	SS1	S1	S2	S3
0x00000000	Boot ROM	M4	Fault	Fault	-	○	○
0x00001800	Fault	-	Fault	Fault	-	-	-
0x20000000	RAM0	M5	○	○	○	-	-
0x20002000	RAM1	M6	○	○	○	-	-
0x20004000	RAM2	SM1	○	○	○	-	-
0x20006000	Fault	-	Fault	Fault	Fault	-	-
0x22000000	Bit Band Alias	-	Fault	Fault	Fault	-	-
0x24000000	Fault	-	Fault	Fault	Fault	-	-
0x30000000	Data Flash	M3	○	Fault	○	-	-
0x30008000	Fault	-	Fault	Fault	Fault	-	-
0x3F7F8000	Boot ROM (Mirror)	M4	Fault	Fault	○	-	-
0x3F7F9800	Fault	-	Fault	Fault	Fault	-	-
この間のアドレスは「表 2.9 周辺機能の接続」を参照願います。							
0x5E000000	Code Flash (Mirror)	M2	Fault	Fault	○	-	-

○: アクセス可、-: アクセス不可、Fault: フォールト発生

2.2.2.2. 周辺機能の接続

表 2.9　周辺機能の接続

スタートアドレス	サブオーディネート		サブマネージャー		メインマネージャー		
			DMAC	NBDIF	Core S-Bus	Core D-Bus	Core I-Bus
			SS0	SS1	S1	S2	S3
0x40000000	Fault	-	Fault	Fault	Fault	-	-
0x40005000	Reserved	-	-	-	-	-	-
0x40006000	Fault	-	Fault	Fault	Fault	-	-
0x4003E000	IA (INTIF)	SM3	Fault	○	○	-	-
0x4003E400	RLM		Fault	○	○	-	-
0x4003EC00	LVD		Fault	○	○	-	-
0x40043000	RAMP (ch0)	M7	○	○	○	-	-
0x40043100	CRC		○	○	○	-	-
0x40043200	Reserved	-	-	-	-	-	-
0x40083000	CG	M8	○	○	○	-	-
0x40083200	IB (INTIF)		○	○	○	-	-
0x40083300	IMN (INTIF)	M8	○	○	○	-	-
0x40083400	Reserved	-	-	-	-	-	-
0x400A0200	DNF	SM7	○	○	○	-	-
0x400A0400	TRGSEL		○	○	○	-	-
0x400A0600	SIWDT		○	○	○	-	-
0x400A0800	DNF		○	○	○	-	-
0x400A2000	NBDIF		○	○	○	-	-
0x400A3000	RAMP (ch1)		○	○	○	-	-
0x400A4000	DMAC (SFR)		○	○	○	-	-
0x400BA000	ADC	SM4	○	○	○	-	-
0x400BD000	OPAMP		○	○	○	-	-
0x400BD100	Reserved	-	-	-	-	-	-
0x400C1000	T32A	SM6	○	○	○	-	-
0x400CA000	TSPI	SM5	○	○	○	-	-
0x400CE000	UART	SM6	○	○	○	-	-
0x400D1000	I2C	SM5	○	○	○	-	-
0x400D3000	Reserved	-	-	-	-	-	-
0x400D8000	EI2C	SM5	○	○	○	-	-
0x400DA000	Reserved	-	-	-	-	-	-
0x400E0000	PORT	SM8	Fault	○	○	-	-
0x400E3100	TRM		Fault	○	○	-	-
0x400E4000	OFD		Fault	○	○	-	-
0x400E9000	A-PMD		Fault	○	○	-	-
0x400EA000	A-ENC32		Fault	○	○	-	-
0x400EB000	A-VE+		Fault	○	○	-	-
0x40100000	Fault	-	Fault	Fault	Fault	-	-
0x42000000	Bit Band Alias	-	Fault	Fault	○	-	-
0x44000000	Fault	-	Fault	Fault	Fault	-	-
0x5DFF0000	Flash (SFR)	SM8	Fault	○	○	-	-

○: アクセス可、-: アクセス不可、Fault: フォールト発生

3. リセットと電源制御

3.1. 概要

機能分類	機能	動作説明
コールドリセット (電源投入を伴うリセット)	パワーオンリセット	電源投入時または切断時に発生するリセット
	LVD リセット	設定した電圧以下で発生するリセット
	リセット端子	RESET_N 端子によるリセット
	PORF リセット	電源投入時または切断時に発生するリセット、 フラッシュメモリーと、デバッグ回路を優先してリセットする
ウオームリセット (電源投入を伴わないリセット)	内部リセット	SIWDT, OFD, LVD, LOCKUP および <SYSRESETREQ>によるリセット
	リセット端子	RESET_N 端子によるリセット
シングルブート起動	リセット端子	リセット解除後、内蔵ブート ROM から起動

3.2. 機能説明・動作説明

この章では、電源投入、電源切断、リセット関連の説明をします。

注) 図中のシンボルで記述の時間や電圧は、データシートの「電気的特性」を参照してください。

3.2.1. コールドリセット

電源投入の際には、内蔵レギュレーター、内蔵フラッシュメモリーおよび内蔵高速発振の安定時間を考慮する必要があります。TXZ+ファミリーでは、これらの機能の安定のための時間を内部回路が自動的に挿入します。

電源投入時は、電源電圧の傾斜が右肩上がりとなるようにしてください。POR,PORF 検出近傍で電源電圧の下降と上昇が発生すると、その後電源電圧が動作保証範囲まで上昇しても、正常に動作しない場合があります。

3.2.1.1. パワーオンリセット回路によるリセット(RESET_N 端子を使用しない場合)

電源電圧がパワーオンリセット(POR)の解除電圧を超えてから"内部初期化時間"経過後に内部リセットが解除されます。"内部初期化時間"が経過するより前に電源電圧を動作電圧範囲内まで上げてください。CPU は内部リセット解除後に動作します。

電源電圧がパワーオンリセット(POR)の解除電圧を超えると LVD 解除電圧まで LVD がリセット継続しますが、"内部初期化時間"内は内部リセットが優先します。電源電圧の立上げが"内部初期化時間"を超える場合は「3.2.1.3. LVD によるリセットの継続」を参照してください。

例えば、セットの動作電圧が 2.7V 以上の場合は、パワーオンリセット解除後"内部初期化時間"内に電源電圧を 2.7V まで上げてください。セットの動作電圧が 4.5V 以上の場合は、パワーオンリセット解除後"内部初期化時間"内に電源電圧を 4.5V まで上げてください。

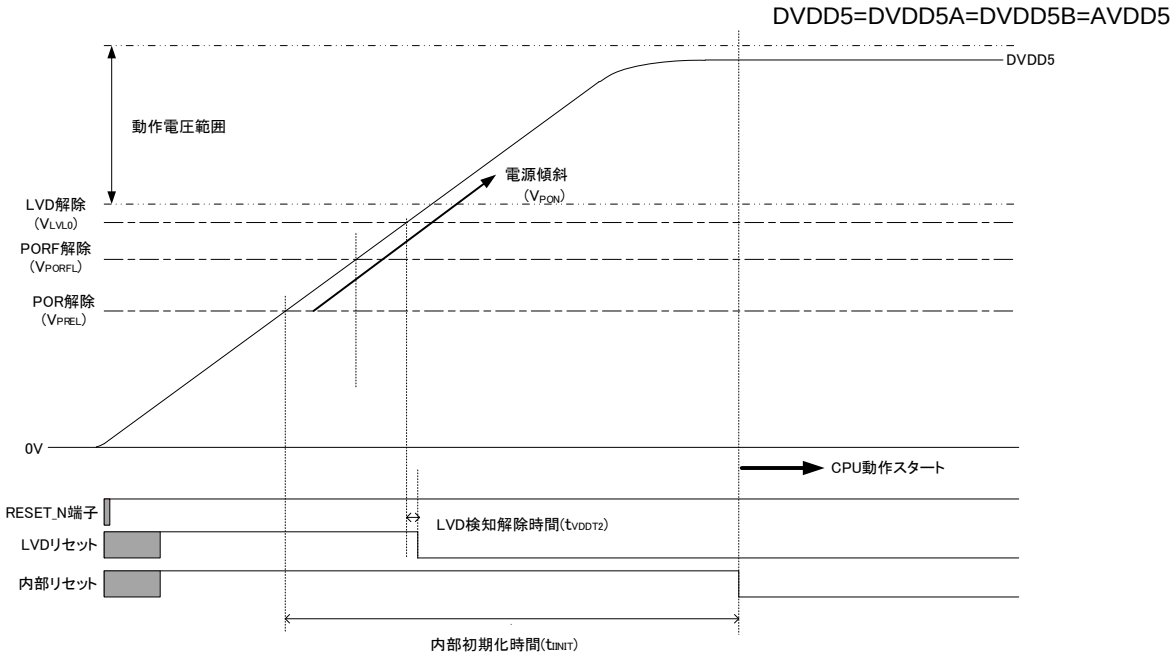


図 3.1 パワーオンリセット回路によるリセット動作

注) RESET_N 端子を使用しないでパワーオンリセット回路だけを使用する場合、RESET_N 端子はオープンまたは"High"レベルを入力してください。

3.2.1.2. RESET_N 端子によるリセット

電源投入時にRESET_N端子を使用することでリセット解除のタイミングを調整することができます。

電源電圧がパワーオンリセットの解除電圧を超えた後、"内部初期化時間"経過後も RESET_N 端子が"Low"の場合、内部リセットは引き延ばされます。電源電圧が動作電圧範囲内まで上がった後、RESET_N端子が"High"になってから"CPU 動作待ち時間"経過後に内部リセットは解除されます。

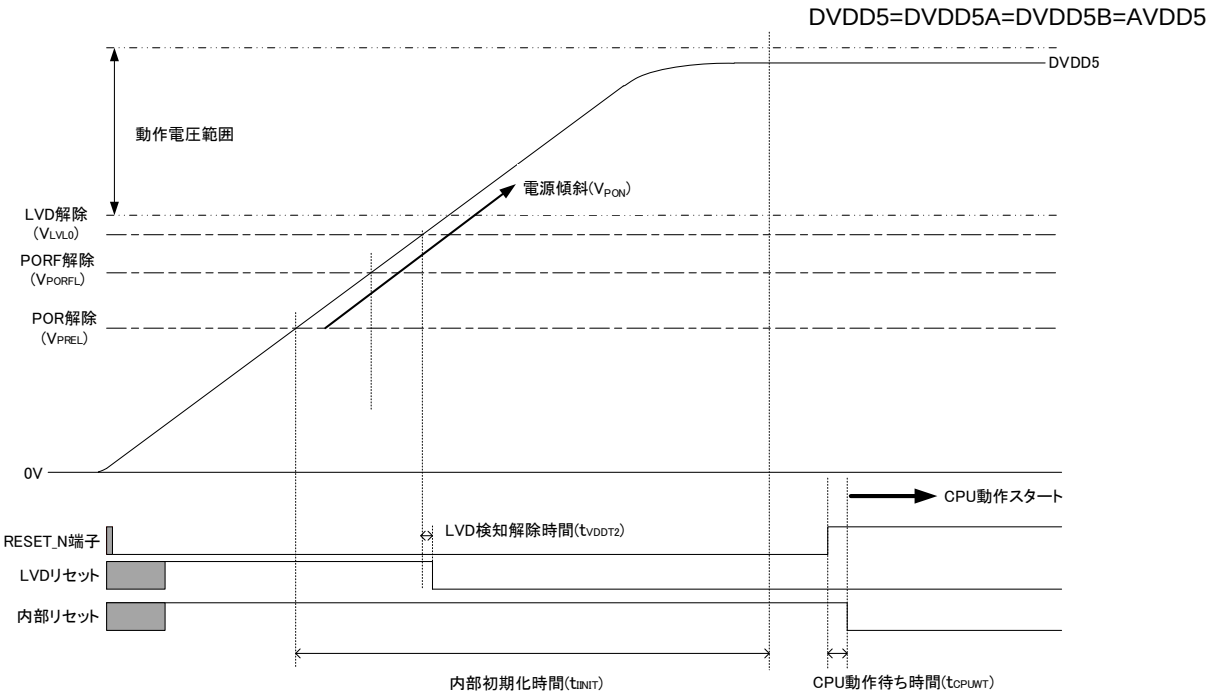


図 3.2 RESET_N端子によるリセット動作(1)

"内部初期化時間"経過前に RESET_N 端子が"Low"→"High"となった場合、"内部初期化時間"経過後に内部リセットは解除されます。このような場合は内部初期化時間が経過するより前に電源電圧を動作電圧範囲内まで上げてください。CPU は内部リセット解除後に動作します。

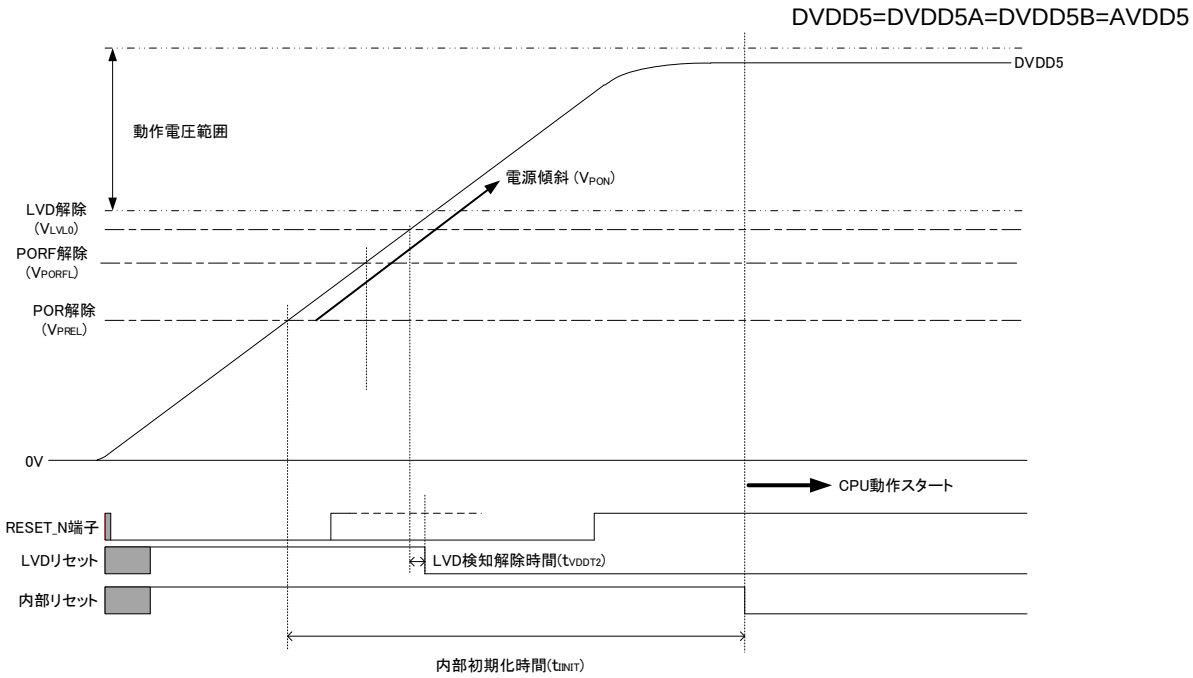


図 3.3　RESET_N端子によるリセット動作(2)

3.2.1.3. LVD によるリセットの継続

"内部初期化時間"が経過しても電源電圧が LVD 解除電圧を超えていない場合は、LVD がリセットを出力してリセット状態を継続します。電源電圧が LVD 解除電圧を越えたら"LVD 検知解除時間"+"CPU 動作待ち時間"の後内部リセットが解除されて CPU は動作を開始します。LVD の詳細はリファレンスマニュアル「電圧検知回路」を参照してください。

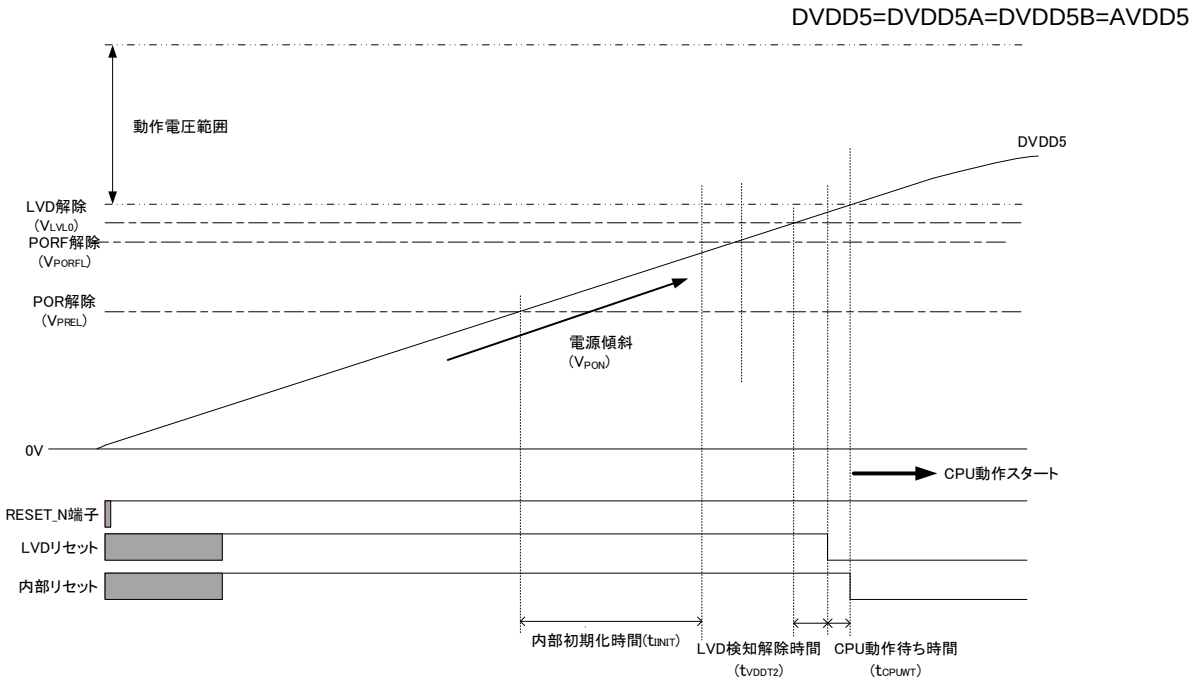


図 3.4 LVDリセットによるリセット動作

3.2.2. ウオームリセット

3.2.2.1. RESET_N 端子によるウオームリセット

RESET_N 端子でリセットをかける場合には、電源電圧が動作範囲内である状態で RESET_N 端子を 17.2μs 以上の期間"Low"にしてください。

RESET_N 端子の"Low"期間が"内部処理時間"より長い場合、RESET_N 端子が"High"になってから"CPU 動作待ち時間"経過後に内部リセットは解除されます。

RESET_N 端子の"Low"期間が"内部処理時間"より短い場合、内部リセットが引き伸ばされ、RESET_N 端子が"Low"になってから"内部処理時間"+"CPU 動作待ち時間"経過後に内部リセットは解除されます。

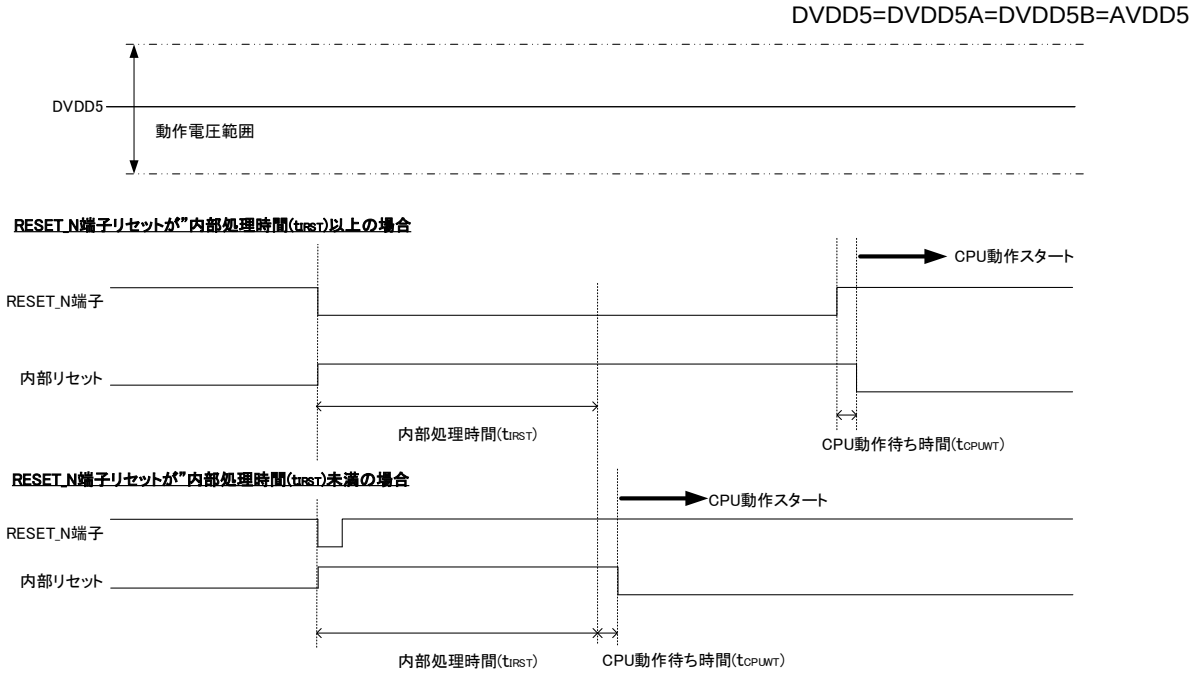


図 3.5 ウオームリセット動作

3.2.2.2. LVD によるウオームリセット

LVD によるリセットでは、LVD リセット電圧以下かつ電源電圧が動作電圧範囲内である状態で正しくリセットがかかります。電源電圧低下期間が"内部処理時間"より長い場合、"内部処理時間"が経過したのち、LVD 解除電圧以上になってから"LVD 検知解除時間" +"CPU 動作待ち時間"経過後に内部リセットは解除されます。電源電圧低下期間が"内部処理時間"より短い場合、LVD リセットがかかってから"内部処理時間"+"CPU 動作待ち時間"経過後に内部リセットは解除されます。

3.2.2.3. その他の内部リセットによるウオームリセット

SIWDT，OFD，LOCKUP および<SYSRESETREQ>などの内部要因によるリセットでは、"内部処理時間"+"CPU 動作待ち時間"経過後に内部リセットは解除されます。

3.2.3. シングルブートモードの起動

シングルブートモードの詳細はリファレンスマニュアル「フラッシュメモリー」を参照してください。

3.2.3.1. RESET_N 端子を使った起動

BOOT_N 端子に"Low"を入力して RESET_N 端子からリセットを解除(RESET_N 端子を"Low"→"High")するとシングルブートモードを起動します。

電源投入時は、"内部初期化時間"以上の間 RESET_N 端子に"Low"を入力してリセットをかけてください。電源電圧が動作電圧範囲まで上がってからリセットを解除してください。

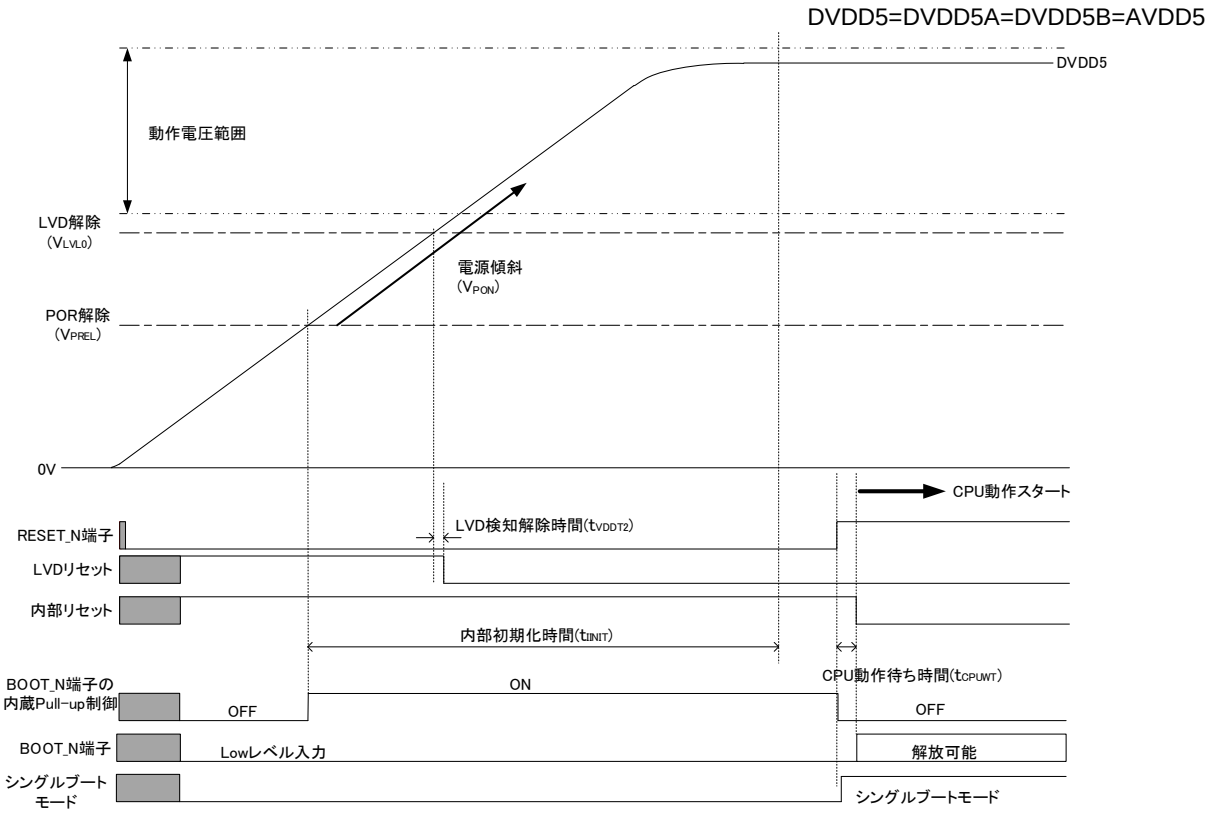


図 3.6　電源投入時にリセット端子を使用したシングルブートモードの起動

3.2.3.2. 電源安定時のシングルブートモードの起動

電源電圧が動作電圧範囲内で安定している場合は、BOOT_N端子に"Low"を入力した状態で、"内部処理時間"以上の間 RESET_N 端子を"Low"にしてリセットをかけてください。その後、リセットを解除(RESET_N 端子を"High")してください。

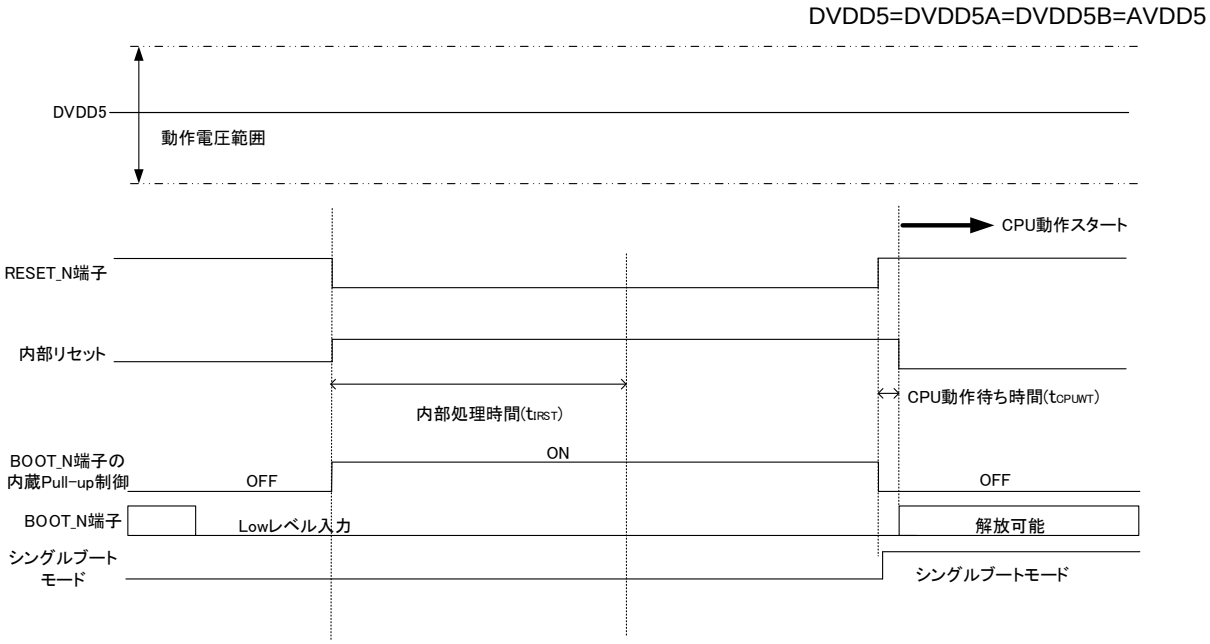


図 3.7　電源安定時のシングルブートモードの起動

3.2.4. パワーオンリセット回路

パワーオンリセット回路(POR)は、電源投入時または切断時にリセット信号を発生する回路です。

注) 電源電圧の変動によりパワーオンリセット回路が完全な動作をしないことがあります。回路設計時には電気的特性を参照の上、十分な考慮をしてください。

パワーオンリセット回路は、検知電圧発生回路、基準電圧発生回路、コンパレーターから構成されます。

電源電圧とは、DVDD5(=DVDD5A=DVDD5B)を指しています。

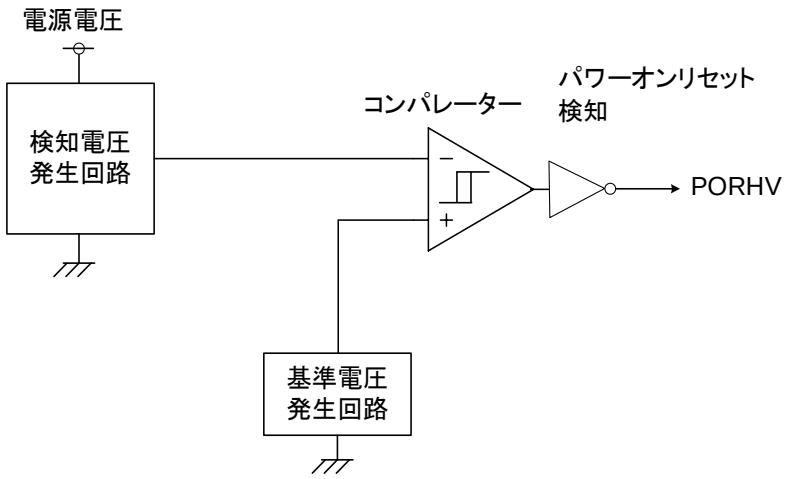


図 3.8 パワーオンリセット回路

3.2.4.1. 電源投入時の動作

電源投入時、電源電圧がパワーオンリセット解除電圧(V_{PREL})以下の間、パワーオンリセットが発生します。詳細は「図 3.1 パワーオンリセット回路によるリセット動作」を参照ください。

パワーオンリセットが発生している間、CPU および周辺機能はリセットされます。

3.2.4.2. 電源切断時の動作

電源切断時、電源電圧がパワーオンリセット検出電圧(V_{PDET})以下になると、パワーオンリセットが発生します。

パワーオンリセットが発生している間、CPU および周辺機能はリセットされます。

3.2.5. 電源切断と再投入

電源切断時は、「電気的特性」に定める「電源傾斜(V_{POFF})」の Max 条件より緩やかな傾斜で電源電圧を下げてください。

3.2.5.1. 外部のリセット回路または内蔵 LVD のリセット出力を使用している場合

電源が切断され電源電圧が動作保証電圧を下回った場合は、電源電圧が外部のリセット回路または内蔵 LVD の設定電圧以下となりリセットがかかっている状態から、電源投入時と同じ制約を守って電源電圧を立ち上げてください。

3.2.5.2. 外部のリセット回路/内蔵 LVD のリセット出力を使用しない場合

電源が切断され電源電圧が動作保証電圧を下回った場合は、必ず電源電圧をパワーオンリセット検出電圧(V_{PDET})以下まで下げて 200µs 以上保持してください。その後、電源投入時と同じ制約を守って電源電圧を立ち上げてください。

電源電圧がパワーオンリセット検出電圧(V_{PDET})以下まで下がって 200µs 以上保持できない場合や、再投入時の電源電圧上昇が電源投入時と同じ制約が守られない場合、CPU は正常に動作しないことがあります。

3.2.6. リセット解除後

リセット解除後は、Cortex-M4(FPU 機能搭載)コアの制御レジスターや周辺機能の制御レジスター(SFR)は初期化されますが、リセットの要因により初期化される範囲が異なります。

リセット要因ごとの初期化される範囲については、「表 3.1　リセット要因と初期化される範囲」を参照してください。

また、リセットが発生したときのリセットの要因は、リセットフラグレジスターの***[RLMRSTFLG0]*** /***[RLMRSTFLG1]***で確認できます。***[RLMRSTFLG0]***/***[RLMRSTFLG1]***の詳細については、リファレンスマニュアル「例外」を参照してください。

リセット解除後、内蔵高速発振器 1(IHOSC1)のクロックで動作を開始します。必要に応じて外部発振、PLL 逓倍回路の設定を行ってください。

3.2.6.1. リセット要因と初期化範囲

リセット要因と初期化される範囲を表 3.1 に示します。

表 3.1　リセット要因と初期化される範囲

レジスターおよび周辺機能		リセット要因							
		コールドリセット	ウオームリセット						
		POR	リセット端子	OFDリセット	SIWDTリセット	LVDリセット	CPU <SYS RESET REQ> リセット	CPU LOCKUPリセット	PORFリセット
	リセット信号名	PORHV	RESET_N	OFD RSTOUT	SIWDT RSTOUT	LVD RSTOUT	SYS RESET REQ	LOCKUP RESET REQ	PORF RESET
リセットフラグ	*[RLMRSTFLG0] [RLMRSTFLG1]*	○	×	×	×	×	×	×	×
割り込み制御	*[IANIC00]*	○	○	○	○	○	○	○	○
	[IBIMCxxx] [IBNIC00]	○	○	○	○	○	○	○	○
Flash	*[FCSBMR]*	○	(注 2)	×	×	(注 2)	×	×	○
ポート	全レジスター	○	○	○	○	○	○	○	○
OFD		○	○	○	○	○	○	○	○
LVD		○	○	×	×	×	×	×	×
デバッグインターフェース		○	(注 2)	×	×	(注 2)	×	×	○
上記以外		○	○	○	○	○	○	○	○

○: 初期化される
×: 初期化されない

注1) リセット動作を行うと内蔵 RAM のデータは保証されません。

注2) NORMAL/IDLE モード時のリセットでは初期化されませんが、STOP1 モード時のリセットでは初期化されます。

4. 改訂履歴

表 4.1 改訂履歴

Revision	Date	Description
1.0	2021-02-09	・新規
1.1	2021-06-15	・1.3.4.2. NORMAL→STOP1→NORMAL 動作モード遷移 注)追加 ・3.2.2.2. LVD によるウオームリセット 章追加 ・3.2.2.3. その他の内部リセットによるウオームリセット 章題見直し、説明文見直し ・3.2.6.1. リセット要因と初期化範囲 表 3.1 リセット要因と初期化される範囲の見直し、注 2)追加
1.2	2022-06-24	・3.2.5.電源切断と再投入 章タイトル見直し、章番見直し、説明文追加
1.3	2023-04-14	・TMPM4KHFYAUG/TMPM4KHFWAUG を削除
3.0	2023-12-25	・下記の製品を追加（全体） TMPM4KNF10ADFG/TMPM4KNFDADFG TMPM4KNF10AFG/TMPM4KNFDAFG TMPM4KLF10AUG/TMPM4KLFDAUG TMPM4KLF10AFG/TMPM4KLFDAFG ・1.3.2.1. IDLE モード遷移フロー 注）追加 ・2.2.1.1. シングルチップモード 図 2.5 を変更 ・2.2.1.2. シングルブートモード 図 2.6 を変更 ・表 2.9 周辺機能の接続 TRM の Start Address を変更
3.1	2025-06-20	・1.2.6.1. システムクロックの設定方法 (2) fosc 設定(内蔵発振→外部クロック入力） ≪切り替えシーケンス例≫の表を変更

製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。
本資料に掲載されているハードウエア、ソフトウエアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウエア・ソフトウエア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。