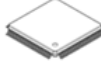



CMOS 形 デジタル集積回路 シリコン モノリシック

TMPM4M グループ(1)

概要

- Arm® Cortex®-M4(FPU 機能搭載)
動作周波数：1~160MHz、動作電圧：2.7~5.5V
- 128KB ~ 256KB コードフラッシュ、32KB データフラッシュ
- 64 ~ 100 ピン、5 種類のパッケージ展開
- ベクトル制御と PFC 制御を実現するハードウェア群(A-VE+、12bit ADC、A-PMD)

| | | |
|--|---------|-----------------------|
|  | LQFP100 | 14x14mm, 0.5mm pitch |
| | LQFP80 | 12x12mm, 0.5mm pitch |
| | LQFP64 | 14x14mm, 0.8mm pitch |
| | LQFP64 | 10x10mm, 0.5mm pitch |
|  | QFP100 | 14x20mm, 0.65mm pitch |

用途

モーター、モーター家電、産業機器に幅広く使用可能

特長

- Arm Cortex-M4(FPU 機能搭載) コア搭載
 - 動作周波数：1 ~ 160MHz
 - メモリー保護ユニット(MPU)搭載
- 動作電圧と消費電力
 - 動作電圧：2.7 ~ 5.5V
4.5 ~ 5.5V(全機能)
2.7~4.5V(除く、OPAMP/ADC)
 - 低消費電力動作：IDLE、STOP1
- 動作温度範囲：-40 ~ +105°C
- 内蔵メモリー
 - コードフラッシュ：128KB ~ 256KB、書き換え：10 万回
 - データフラッシュ：32KB、書き換え：10 万回
 - 命令実行と並行してデータフラッシュを書き換え可能
 - RAM：24KB、パリティ付き
- クロック
 - 外部高速発振器：6MHz ~ 12MHz (セラミック、水晶)
 - 外部高速クロック入力：6 ~ 10MHz
 - 内蔵高速発振器(IHOSC1)：10MHz、ユーザトリミング
 - PLL：160MHz(システムクロック)
- 周波数検知(OFD)：システムクロック異常検知
- 電圧検知(LVD)：8 レベル、割り込みとリセット出力選択
- 割り込み
 - 外部要因：15 ~ 20
(外部端子：20 ~ 32 本、DNF(デジタルノイズフィルター)付き)
 - 内部要因：96 ~ 103
- 入出力ポート：51 ~ 87 本 (入力：2 本、出力：1 本)
 - プルアップ/ダウン、オープンドレイン、5V トレラントあり
- オンチップデバッグ(JTAG/SW)、NBDIF(RAM モニター)
 - トリガーセクター(TRGSEL)
 - DMAC やタイマーなどの起動要因を拡張
 - DMA コントローラー(DMAC)：1 ユニット
 - 起動要因：30 ~ 32 要因、内部/外部トリガー
 - CRC 計算回路(CRC)：CRC32、CRC16
 - 非同期シリアル通信回路(UART)：3 ~ 4 チャネル
 - 最大 5Mbps、FIFO(送信×8、受信×8)
 - シリアルペリフェラルインターフェース(TSPI)：2 チャネル
 - SIO/SPI モード、最大 10MHz、
FIFO(送信 16 ビット×8、受信 16 ビット×8)
 - I²C インターフェース
 - I²C インターフェース(I2C)：2 チャネル、マルチマスター
 - I²C インターフェース パージョン A (EI2C)：2 チャネル
マルチマスター、10bit アドレス対応
 - CAN コントローラー(CAN)：1 ユニット
 - Version2.0B Active 対応、32 メールボックス、最大 1Mbps
 - 12 ビット AD コンバーター(ADC)：3 ユニット/14~22 チャネル入力
 - 変換時間：1.0μs @160MHz(ADCLK)
 - 自己診断サポート機能
 - オペアンプ(OPAMP)：3 ユニット
 - ゲイン選択可
 - アドバンストプログラマブルモーター制御回路(A-PMD)：3 チャネル
 - 3 相相補 PWM 出力、ADC との同期動作
 - PFC 制御：3 相インターリーブ PFC 対応可
 - 外部入力による緊急停止機能(EMG 端子、OVV 端子)

製品量産開始時期
2021-08

- アドバンストベクトルエンジンプラス(A-VE+) : 1 チャンネル
 - ベクトル制御演算用コプロセッサ、ADC/A-PMD と連携動作
 - 1 シャント電流検出領域の拡大制御
 - デッドタイム補償制御、非干渉制御
- アドバンストエンコーダー入力回路(32-bit)(A-ENC32) : 1、3 チャンネル
 - エンコーダー/センサー(3 種)/タイマー/位相カウンタモード
- 32 ビットタイマーイベントカウンタ(T32A)
 - 32 ビットタイマー時 6 チャンネル、16 ビットタイマー時 12 チャンネル
 - インターバルタイマー、イベントカウント、インプットキャプチャ、位相差入力、PPG 出力、同期スタート、トリガースタート
- ウォッチドッグタイマー(SIWDT) : 1 チャンネル
 - システムクロックと別系統のソースクロックを選択
 - クリアウインドウ、割り込みとリセット出力選択

機能別製品一覧

この表は開発中製品を含みます。
 各製品の最新開発状況は、弊社営業担当までお問い合わせください。

表 1.1 機能別製品一覧

| 内蔵機能 | | TMPM4MNFYADFG TMPM4MNFWADFG | TMPM4MMFYAFG TMPM4MMFWAFG | TMPM4MLFYAUG TMPM4MLFWAUG |
|-------------------------------|--------------------------------|--|---|---|
| | | TMPM4MNFYAFG TMPM4MNFWAFG | | TMPM4MLFYAFG TMPM4MLFWAFG |
| Memory | Code Flash (KB) | 256 128 | 256 128 | 256 128 |
| | Data Flash (KB) | 32 | 32 | 32 |
| | RAM (KB) | 24 | 24 | 24 |
| I/O port | PORT (pin) | 87 | 67 | 51 |
| External interrupt | Factor | 20 | 18 | 15 |
| | Pin | 32 | 24 | 20 |
| DMA | DMAC (ch) | 32 | 32 | 30 |
| Timer function | T32A (ch) | 6 | 6 | 6 |
| Serial communication function | UART (ch) | 4 | 4 | 3 |
| | I2C / EI2C (ch) | 2 / 2 | 2 / 2 | 2 / 2 |
| | TSPI(SIO) (ch) | 2 | 2 | 2 |
| | CAN (unit) | 1 | 1 | 1 |
| Analog function | 12-bit ADC Unit A/B/C (AIN ch) | 11/5/6 | 8/5/4 | 8/3/3 |
| | OPAMP (unit) | 3 | 3 | 3 |
| Motor control peripherals | A-VE+ (ch) | 1 | 1 | 1 |
| | A-PMD (ch) | 3 | 3 (注 1) | 3 (注 1) |
| | A-ENC32 (ch) | 3 | 3 (注 2) | 1 |
| Other peripherals | CRC | 1 | 1 | 1 |
| | RAMP (ch) | 2 | 2 | 2 |
| System function | LVD | 1 | 1 | 1 |
| | WDT (ch) | 1 | 1 | 1 |
| | OFD | 1 | 1 | 1 |
| | POR | 1 | 1 | 1 |
| Debug interface | Debug | JTAG/SW TRACE(4bits) NBDIF | SW | SW |
| Package | Package type | QFP100 (14 mm x 20 mm, 0.65 mm pitch) | LQFP80 (12 mm x 12 mm, 0.5 mm pitch) | LQFP64 (10 mm x 10 mm, 0.5 mm pitch) |
| | | LQFP100 (14 mm x 14 mm, 0.5 mm pitch) | | LQFP64 (14 mm x 14 mm, 0.8 mm pitch) |

注 1) OVv_x 端子はありません。

注 2) ENC1Z 端子はありません。

目次

| | |
|--|----|
| 概要 | 1 |
| 用途 | 1 |
| 特長 | 1 |
| 機能別製品一覧 | 3 |
| 目次 | 4 |
| 図目次 | 7 |
| 表目次 | 8 |
| 序章 | 9 |
| 表記規約 | 9 |
| 用語・略語 | 11 |
| 1. ブロック図 | 12 |
| 2. 端子配置図 | 13 |
| 2.1. QFP100 | 13 |
| 2.2. LQFP100 | 14 |
| 2.3. LQFP80 | 15 |
| 2.4. LQFP64 | 16 |
| 3. メモリーマップ | 17 |
| 3.1. メモリー容量一覧 | 18 |
| 4. 端子説明 | 19 |
| 4.1. 機能端子名称と機能 | 19 |
| 4.1.1. 周辺機能端子 | 19 |
| 4.1.2. デバッグ端子 | 21 |
| 4.1.3. 制御端子 | 22 |
| 4.1.4. 電源端子 | 22 |
| 4.1.5. 電源間コンデンサー | 23 |
| 4.2. 機能端子とポート割り当て(端子番号) | 24 |
| 4.3. ポート | 32 |
| 4.3.1. ポート仕様一覧 | 33 |
| 5. 機能説明・動作説明 | 37 |
| 5.1. リファレンスマニュアル | 37 |
| 5.2. プロセッサコア | 38 |
| 5.2.1. コアに関する情報 | 38 |
| 5.2.2. 構成可能なオプション | 38 |
| 5.3. クロック制御と動作モード (CG) | 39 |
| 5.4. フラッシュメモリー (コードフラッシュ、データフラッシュ) | 39 |
| 5.5. 発振器 | 40 |

| | |
|---|----|
| 5.6. トリミング回路 (TRM) | 40 |
| 5.7. 周波数検知回路 (OFD)..... | 41 |
| 5.8. 電圧検知回路 (LVD)..... | 41 |
| 5.9. デジタルノイズフィルター回路 (DNF) | 41 |
| 5.10. デバッグインターフェース (DEBUG)..... | 42 |
| 5.10.1. ノンブレイクデバッグインターフェース (NBDIF) | 42 |
| 5.11. DMA コントローラー (DMAC) | 43 |
| 5.12. 非同期シリアル通信回路 (UART)..... | 43 |
| 5.13. シリアルペリフェラルインターフェース (TSPI)..... | 44 |
| 5.14. I ² C インターフェース | 44 |
| 5.14.1. I ² C インターフェース (I2C) | 44 |
| 5.14.2. I ² C インターフェース バージョン A (EI2C)..... | 44 |
| 5.15. CAN コントローラー (CAN)..... | 45 |
| 5.16. 12 ビットアナログデジタルコンバーター (ADC)..... | 45 |
| 5.17. オペアンプ (OPAMP) | 45 |
| 5.18. アドバンストプログラマブルモーター制御回路 (A-PMD)..... | 46 |
| 5.19. アドバンストエンコーダー入力回路 (32-bit) (A-ENC32)..... | 46 |
| 5.20. アドバンストベクトルエンジンプラス (A-VE+) | 47 |
| 5.21. 32 ビットタイマーイベントカウンタ (T32A)..... | 47 |
| 5.22. クロック選択式ウォッチドッグタイマー (SIWDT)..... | 48 |
| 5.23. CRC 計算回路 (CRC) | 48 |
| 5.24. RAM パリティ (RAMP)..... | 48 |
| 5.25. セキュリティリスク対策 | 49 |
| 5.25.1. 概要 | 49 |
| 5.25.2. 免責事項 | 49 |
| 6. 等価回路図 | 50 |
| 6.1. ポート | 50 |
| 6.2. アナログ関連端子 | 53 |
| 6.3. 制御端子..... | 54 |
| 6.4. クロック制御 | 54 |
| 7. 電気的特性 | 55 |
| 7.1. 絶対最大定格 | 55 |
| 7.2. DC 電気的特性(1/2)..... | 58 |
| 7.3. DC 電気的特性 (2/2) (消費電流) | 62 |
| 7.4. 12 ビット AD コンバーター特性 | 64 |
| 7.5. オペアンプ特性..... | 65 |
| 7.6. リセット時内部処理特性 | 66 |
| 7.7. パワーオンリセット特性 | 66 |

| | |
|--|----|
| 7.8. PORF 特性..... | 66 |
| 7.9. 電圧検出回路特性..... | 67 |
| 7.10. AC 電気的特性..... | 68 |
| 7.10.1. シリアルペリフェラルインターフェース(TSPI)..... | 68 |
| 7.10.1.1. 条件..... | 68 |
| 7.10.1.2. AC 電気的特性..... | 68 |
| 7.10.2. I ² C インターフェース(I2C)..... | 76 |
| 7.10.2.1. 条件..... | 76 |
| 7.10.2.2. AC 電気的特性..... | 76 |
| 7.10.3. I ² C インターフェース バージョン A(EI2C)..... | 78 |
| 7.10.3.1. 条件..... | 78 |
| 7.10.3.2. AC 電気的特性..... | 78 |
| 7.10.4. 32 ビットタイマーイベントカウンタ (T32A)..... | 79 |
| 7.10.4.1. 条件..... | 79 |
| 7.10.4.2. AC 電気的特性..... | 80 |
| 7.10.5. 外部割り込み..... | 81 |
| 7.10.5.1. 条件..... | 81 |
| 7.10.5.2. AC 電気的特性..... | 81 |
| 7.10.6. 端子トリガー入力(TRGINx)..... | 82 |
| 7.10.6.1. 条件..... | 82 |
| 7.10.6.2. AC 電気的特性..... | 82 |
| 7.10.7. デバッグ通信..... | 83 |
| 7.10.7.1. 条件..... | 83 |
| 7.10.7.2. SWD インターフェース..... | 83 |
| 7.10.7.3. JTAG インターフェース..... | 84 |
| 7.10.7.4. ETM トレース..... | 85 |
| 7.10.7.5. ノンブレイクデバッグインターフェース(NBDIF)..... | 86 |
| 7.10.8. ノイズフィルター特性..... | 87 |
| 7.10.9. 外部クロック入力..... | 87 |
| 7.10.9.1. 条件..... | 87 |
| 7.10.9.2. AC 電気的特性..... | 87 |
| 7.11. フラッシュ特性..... | 88 |
| 7.11.1. コードフラッシュ特性..... | 88 |
| 7.11.2. データフラッシュ特性..... | 88 |
| 7.11.3. チップ消去特性..... | 89 |
| 7.12. レギュレーター..... | 89 |
| 7.13. 発振回路..... | 90 |
| 7.13.1. 内蔵発振器..... | 90 |
| 7.13.2. 外部発振器..... | 90 |
| 7.13.3. 発振回路例..... | 90 |
| 7.13.4. セラミック発振子..... | 91 |

| | |
|-----------------------------------|-----|
| 7.13.5. 水晶発振子..... | 91 |
| 7.13.6. プリント基板の設計に関する注意..... | 91 |
| 8. 外形寸法図..... | 92 |
| 8.1. P-LQFP100-1414-0.50-002..... | 92 |
| 8.2. P-QFP100-1420-0.65-003..... | 93 |
| 8.3. P-LQFP80-1212-0.50-005..... | 94 |
| 8.4. P-LQFP64-1010-0.50-003..... | 95 |
| 8.5. P-LQFP64-1414-0.80-002..... | 96 |
| 9. 使用上のご注意およびお願い事項..... | 97 |
| 10. 改訂履歴..... | 98 |
| Appendix..... | 99 |
| 全端子一覧表..... | 99 |
| 品番付与情報..... | 101 |
| 製品取り扱い上のお願ひ..... | 102 |

図目次

| | |
|------------------------------------|----|
| 図 1.1 TMPM4M グループ(1)製品のブロック図..... | 12 |
| 図 3.1 TMPM4MxFYA のメモリーマップ例..... | 17 |
| 図 4.1 電源間コンデンサーの接続図..... | 23 |
| 図 5.1 セキュリティリスク対策..... | 49 |
| 図 7.1 電源投入時と遮断時のご注意..... | 56 |
| 図 7.2 スルーレート..... | 65 |
| 図 7.3 1st クロックエッジサンプリング(マスター)..... | 74 |
| 図 7.4 2nd クロックエッジサンプリング(マスター)..... | 74 |
| 図 7.5 1st クロックエッジサンプリング(スレーブ)..... | 75 |
| 図 7.6 2nd クロックエッジサンプリング(スレーブ)..... | 75 |
| 図 7.7 I2C の AC タイミング..... | 77 |
| 図 7.8 EI2C の AC タイミング..... | 79 |
| 図 7.9 カウントパルス入力..... | 80 |
| 図 7.10 JTAG/SW 波形..... | 84 |
| 図 7.11 トレース信号波形..... | 85 |
| 図 7.12 NBDIF の AC タイミング..... | 86 |
| 図 7.13 外部クロック入力波形..... | 87 |
| 図 7.14 発振回路例..... | 90 |

表目次

| | | |
|--------|---|----|
| 表 1.1 | 機能別製品一覧 | 3 |
| 表 3.1 | メモリー容量とアドレス | 18 |
| 表 4.1 | 周辺端子名称と機能 | 19 |
| 表 4.2 | デバッグ端子名称と機能 | 21 |
| 表 4.3 | 制御端子名称と機能 | 22 |
| 表 4.4 | 電源端子名称と機能 | 22 |
| 表 4.5 | 信号接続一覧: UART | 24 |
| 表 4.6 | 信号接続一覧: I2C/EI2C/TSPI/CAN | 25 |
| 表 4.7 | 信号接続一覧: T32A ch0,1,2 | 26 |
| 表 4.8 | 信号接続一覧: T32A ch3,4,5 | 27 |
| 表 4.9 | 信号接続一覧: ADC | 28 |
| 表 4.10 | 信号接続一覧: INT | 29 |
| 表 4.11 | 信号接続一覧: A-PMD/A-ENC32 | 30 |
| 表 4.12 | 信号接続一覧: TRGSEL/JTAG/SW/TRACE/NBDIF/制御端子 | 31 |
| 表 4.13 | ポート A~D のポート名、仕様 | 33 |
| 表 4.14 | ポート E~H のポート名、仕様 | 34 |
| 表 4.15 | ポート J~L のポート名、仕様 | 35 |
| 表 4.16 | ポート M~N、U~V のポート名、仕様 | 36 |
| 表 5.1 | TMPM4M グループ(1) リファレンスマニュアル一覧 | 37 |
| 表 5.2 | コアリビジョン | 38 |
| 表 5.3 | 構成可能なオプションと実装 | 38 |
| 表 5.4 | 搭載発振器 | 40 |
| 表 5.5 | TRM 搭載一覧 | 40 |
| 表 5.6 | OFD 搭載一覧 | 41 |
| 表 5.7 | LVD 搭載一覧 | 41 |
| 表 5.8 | DNF 搭載数 | 41 |
| 表 5.9 | デバッグインターフェース搭載一覧 | 42 |
| 表 5.10 | DMAC 搭載一覧 | 43 |
| 表 5.11 | UART 搭載一覧 | 43 |
| 表 5.12 | TSPI 搭載一覧 | 44 |
| 表 5.13 | I2C / EI2C 搭載一覧 | 44 |
| 表 5.14 | CAN 搭載一覧 | 45 |
| 表 5.15 | ADC チャンネル一覧 | 45 |
| 表 5.16 | OPAMP 搭載一覧 | 45 |
| 表 5.17 | A-PMD 搭載一覧 | 46 |
| 表 5.18 | A-ENC32 搭載一覧 | 46 |
| 表 5.19 | A-VE+搭載一覧 | 47 |
| 表 5.20 | T32A 搭載一覧 | 47 |
| 表 5.21 | SIWDT 搭載一覧 | 48 |
| 表 5.22 | CRC 搭載一覧 | 48 |
| 表 5.23 | RAMP 搭載一覧 | 48 |
| 表 5.24 | アクセス経路と保護対象(1) | 49 |
| 表 5.25 | アクセス経路と保護対象(2) | 49 |
| 表 7.1 | 絶対最大定格 | 55 |
| 表 7.2 | パッケージ熱抵抗と最大許容電力表 | 57 |
| 表 7.3 | I _{DD} 測定条件(端子設定、発振回路) | 62 |
| 表 7.4 | I _{DD} 測定条件(CPU、周辺回路) | 63 |
| 表 10.1 | 改訂履歴 | 98 |

序章

表記規約

- 数値表記は以下の規則に従います。
 - 16 進数表記: 0xABC
 - 10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
 - 2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は[m:n]とまとめて表記する場合があります。
例: S[3:0]はS3、S2、S1、S0の4つの信号名をまとめて表記しています。
- 本文中[]で囲まれたものはレジスターを定義しています。
例: [ABCD]
- 同種で複数のレジスター、フィールド、ビット名は「n」で一括表記する場合があります。
例: [XYZ1]、[XYZ2]、[XYZ3] → [XYZn]
- 「レジスター一覧」中のレジスター名でユニットまたはチャンネルは「x」で一括表記しています。
ユニットの場合、「x」はA、B、C、...を表します。
例: [ADACR0]、[ADBCR0]、[ADCCR0] → [ADxCR0]
チャンネルの場合、「x」は0、1、2、...を表します。
例: [T32A0RUNA]、[T32A1RUNA]、[T32A2RUNA] → [T32AxRUNA]
- レジスターのビット範囲は [m:n] と表記します。
例: [3:0]はビット3から0の範囲を表します。
- レジスターの設定値は16進数または2進数のどちらかで表記されています。
例: [ABCD]<EFG> = 0x01 (16進数)、[XYZn]<VW> = 1 (2進数)
- ワード、バイトは以下のビット長を表します。
 - バイト: 8ビット
 - ハーフワード: 16ビット
 - ワード: 32ビット
 - ダブルワード: 64ビット
- レジスター内の各ビットの属性は以下の表記を使用しています。
 - R: リードオンリー
 - W: ライトオンリー
 - R/W: リード/ライト
- 断りのない限り、レジスターアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスターは書き換えを行わないでください。また、読み出した値を使用しないでください。
- Default 値が「-」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスターに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
Default 値が「-」となっている場合は、個々のレジスターの定義に従ってください。
- ライトオンリーのレジスターの Reserved ビットフィールドには Default 値を書き込んでください。
Default 値が「-」となっている場合は、個々のレジスターの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスターへのリードモディファイライト処理は行わないでください。

Arm, Cortex および Thumb は Arm Limited(またはその子会社)の US またはその他の国における登録商標です。 All rights reserved.



本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

| | |
|---------|---|
| ADC | Analog to Digital Converter |
| A-ENC32 | Advanced Encoder Input Circuit (32-bit) |
| A-PMD | Advanced Programmable Motor Control Circuit |
| A-VE+ | Advanced Vector Engine Plus |
| CAN | Controller Area Network |
| CRC | Cyclic Redundancy Check |
| DMAC | Direct Memory Access Controller |
| DNF | Digital Noise Filter |
| EHOSC | External High-speed Oscillator |
| EI2C | I ² C Interface Version A |
| IHOSC | Internal High-speed Oscillator |
| INT | Interrupt |
| I2C | Inter-Integrated Circuit |
| LVD | Voltage Detection Circuit |
| NBDIF | Non Break Debug Interface |
| NMI | Non-Maskable Interrupt |
| OFD | Oscillation Frequency Detector |
| OPAMP | Operational Amplifier |
| POR | Power On Reset Circuit |
| RAMP | RAM Parity |
| SIWDT | Clock Selective Watchdog Timer |
| TRGSEL | Trigger Selection Circuit |
| TRM | Trimming Circuit |
| TSPI | Serial Peripheral Interface |
| T32A | 32-bit Timer Event Counter |
| UART | Asynchronous Serial Communication Circuit |

1. ブロック図

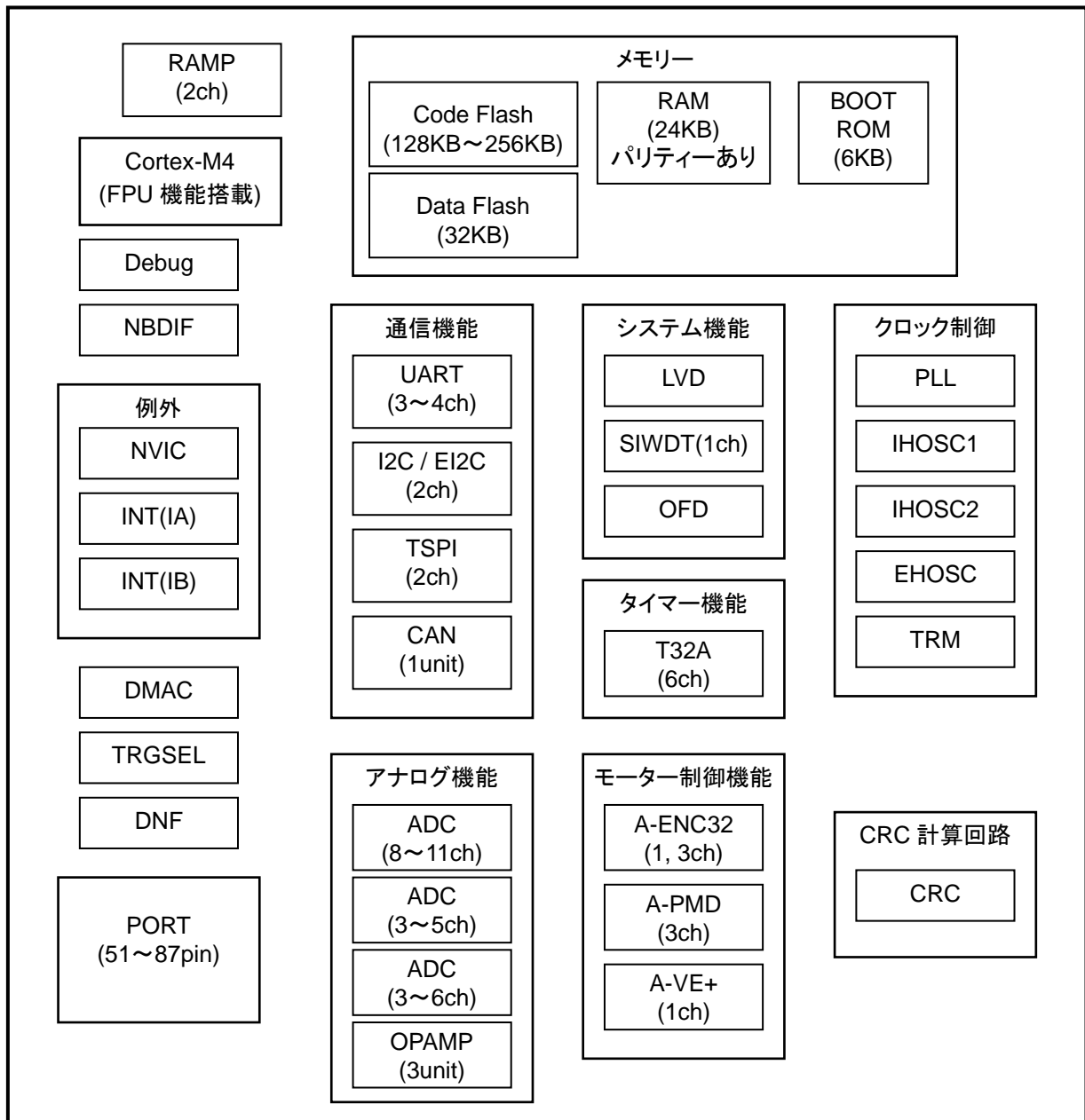
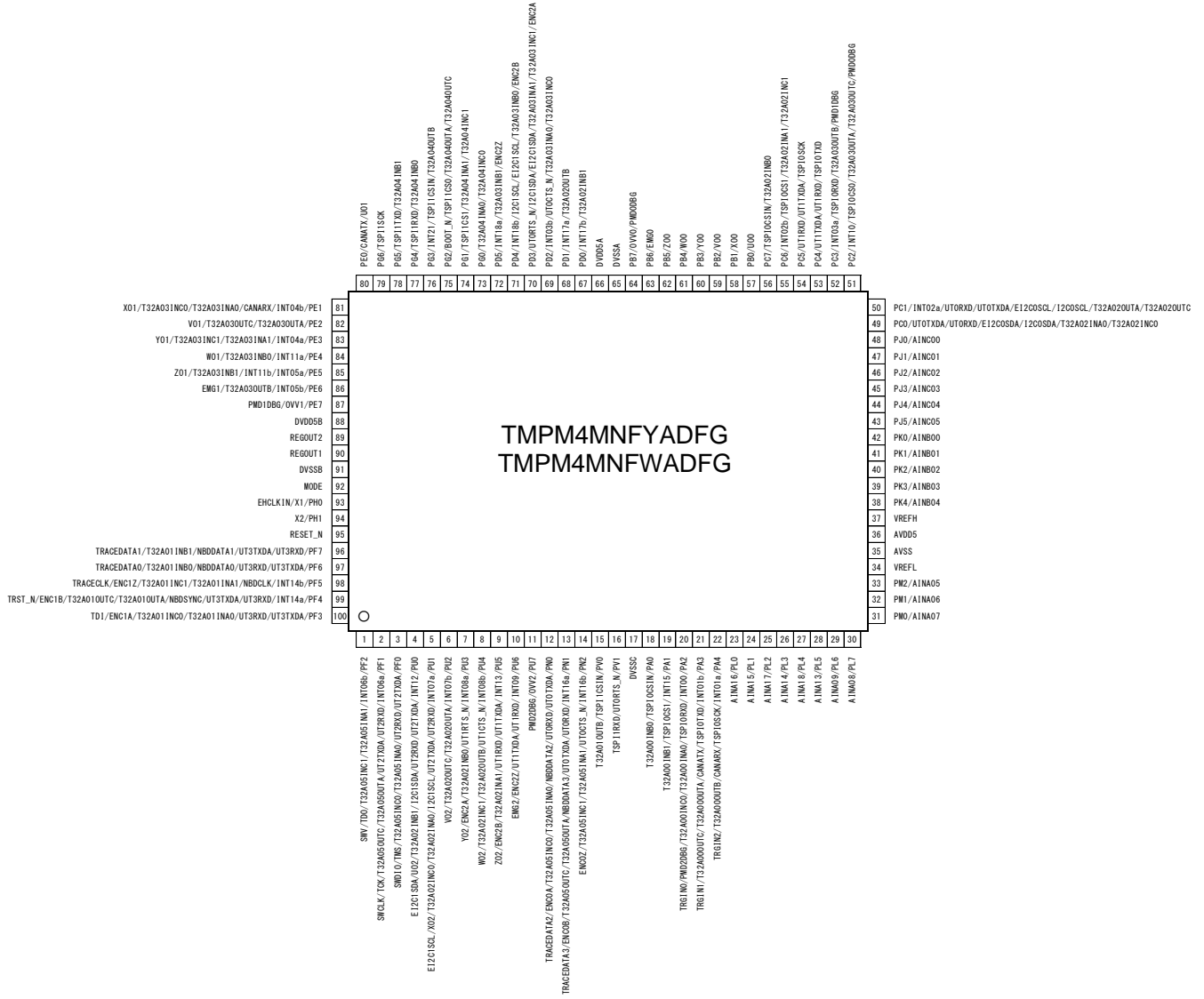


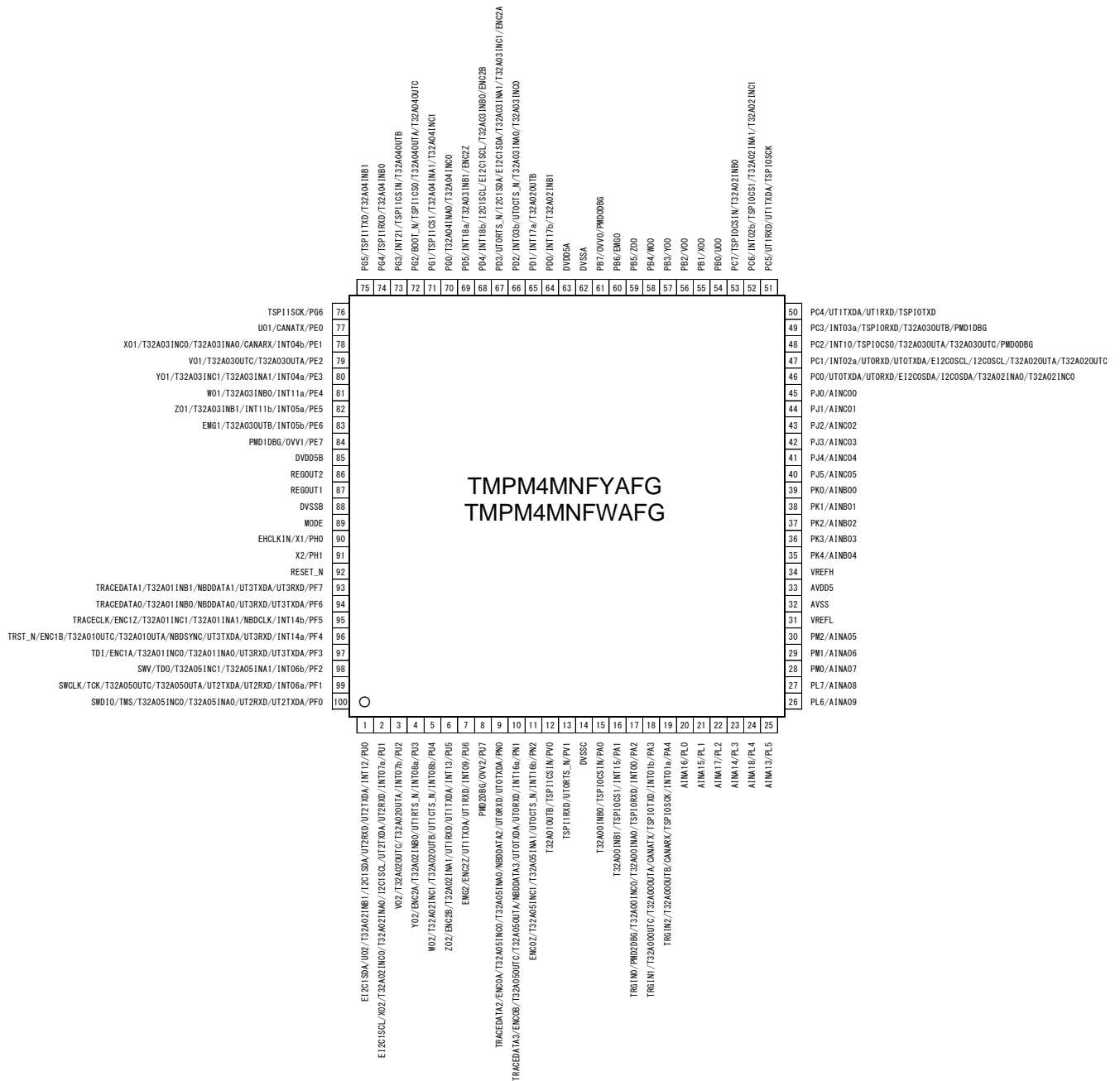
図 1.1 TMPM4Mグループ(1)製品のブロック図

2. 端子配置図

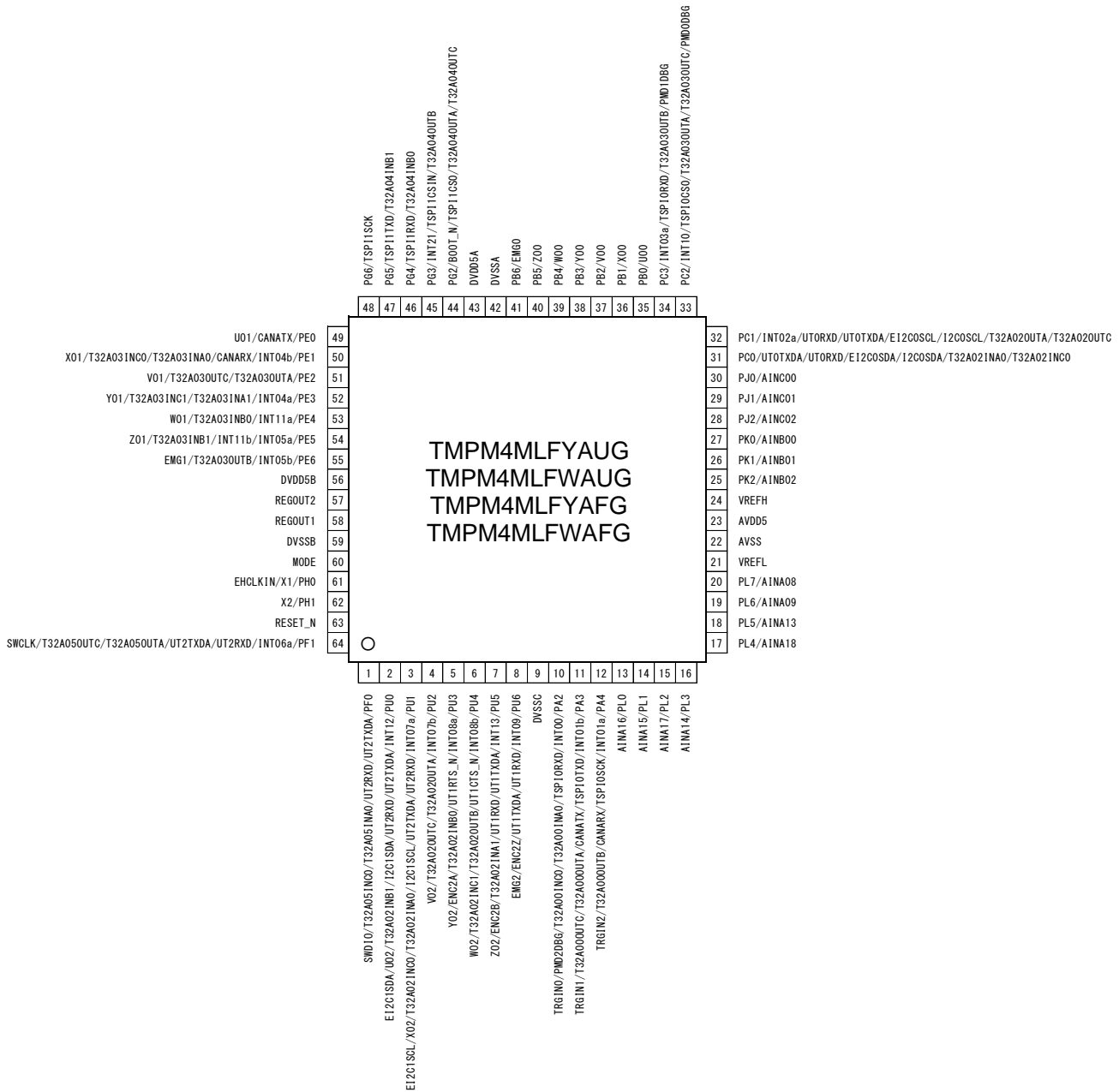
2.1. QFP100



2.2. LQFP100



2.4. LQFP64



3. メモリーマップ

| | | | | | |
|------------|----------------------------|--------------|------------|----------------------------|----------------------|
| 0xFFFFFFFF | Vender-Specific | System level | 0xFFFFFFFF | Vender-Specific | |
| 0xE0100000 | CPU Register Region | | 0xE0100000 | CPU Register Region | |
| 0xE0000000 | Fault | Peripheral | 0xE0000000 | Fault | |
| 0x5E040000 | Code Flash (Mirror)(256KB) | | 0x5E040000 | Code Flash (Mirror)(256KB) | |
| 0x5E000000 | Flash (SFR) | | 0x5E000000 | Flash (SFR) | |
| 0x5DFF0000 | Fault | | 0x5DFF0000 | Fault | |
| 0x44000000 | Bit Band Alias (SFR) | | 0x44000000 | Bit Band Alias (SFR) | |
| 0x42000000 | Fault | | 0x42000000 | Fault | |
| 0x40100000 | SFR | | 0x40100000 | SFR | |
| 0x4003E000 | Fault | | 0x4003E000 | Fault | |
| 0x40006000 | SFR | | 0x40005000 | SFR | |
| 0x40005000 | Fault | | 0x40000000 | Fault | |
| 0x40000000 | Fault | | SRAM | 0x3F7F9800 | Boot ROM (Mirror) |
| 0x3F7F9800 | Boot ROM | | | 0x3F7F8000 | Fault |
| 0x3F7F8000 | Fault | | | 0x30008000 | Data Flash (32KB) |
| 0x30008000 | Data Flash (32KB) | | | 0x30000000 | Fault |
| 0x30000000 | Fault | | | 0x24000000 | Bit Band Alias (RAM) |
| 0x24000000 | Bit Band Alias (RAM) | | | 0x22000000 | Fault |
| 0x22000000 | Fault | 0x20006000 | | RAM2 (8KB) | |
| 0x20006000 | RAM2 (8KB) | 0x20004000 | | RAM1 (8KB) | |
| 0x20004000 | RAM1 (8KB) | 0x20002000 | | RAM0 (8KB) | |
| 0x20002000 | RAM0 (8KB) | Code | | 0x00040000 | Fault |
| 0x20000000 | Fault | | 0x00001800 | Boot ROM (6KB) | |
| 0x00040000 | Code Flash (256KB) | 0x00000000 | | | |

Single chip Mode

Single Boot Mode

図 3.1 TPM4MxFYAのメモリーマップ例

- 注1) Fault および Reserved: アクセスしないでください。
 注2) Single chip Mode / Single Boot Modeの詳細についてはリファレンスマニュアルの「フラッシュメモリー」を参照してください。

3.1. メモリー容量一覧

表 3.1 メモリー容量とアドレス

| Products | | | TMPM4MNFYADFG TMPM4MNFYAFG TMPM4MMFYAFG TMPM4MLFYAUG TMPM4MLFYAFG | TMPM4MNFWADFG TMPM4MNFWAFG TMPM4MMFWAFG TMPM4MLFWAUG TMPM4MLFWAFG |
|-------------------|---------------------|-------|---|---|
| Peripheral region | Code Flash (Mirror) | Size | 256KB | 128KB |
| | | START | 0x5E000000 | 0x5E000000 |
| | | END | 0x5E03FFFF | 0x5E01FFFF |
| SRAM region | Data Flash | Size | 32KB | |
| | | START | 0x30000000 | |
| | | END | 0x30007FFF | |
| | RAM | Size | 24KB | |
| | | START | 0x20000000 | |
| | | END | 0x20005FFF | |
| Code region | Code Flash | Size | 256KB | 128KB |
| | | START | 0x00000000 | 0x00000000 |
| | | END | 0x0003FFFF | 0x0001FFFF |

4. 端子説明

4.1. 機能端子名称と機能

4.1.1. 周辺機能端子

表 4.1 周辺端子名称と機能

| 周辺機能 | 端子名称 | 入出力 | 機能 |
|---|-----------------------|----------------|--|
| 割り込み制御 (IA/IB) | INTx | Input | 外部割り込み入力端子 ノイズフィルタ(フィルタ幅 Typ.30ns)を内蔵しています。 |
| 32ビットタイマー イベントカウンター (T32A) | T32AxINA0 | Input | 16ビットタイマーA インพุットキャプチャ入力端子 0 |
| | T32AxINA1 | Input | 16ビットタイマーA インพุットキャプチャ入力端子 1 |
| | T32AxOUTA | Output | 16ビットタイマーA 出力端子 |
| | T32AxINB0 | Input | 16ビットタイマーB インพุットキャプチャ入力端子 0 |
| | T32AxINB1 | Input | 16ビットタイマーB インพุットキャプチャ入力端子 1 |
| | T32AxOUTB | Output | 16ビットタイマーB 出力端子 |
| | T32AxINC0 | Input | 32ビットタイマー インพุットキャプチャ入力端子 0 |
| | T32AxINC1 | Input | 32ビットタイマー インพุットキャプチャ入力端子 1 |
| シリアルペリフェラル インターフェース (TSPI) | TSPiXCSIN | Input | チップセレクト入力端子 |
| | TSPiXCS0 | Output | チップセレクト出力端子 0 |
| | TSPiXCS1 | Output | チップセレクト出力端子 1 |
| | TSPiXRxD | Input | データ入力端子 |
| | TSPiXTxD | Output | データ出力端子 |
| | TSPiXSCK | I/O | クロック入出力端子 |
| 非同期シリアル通信回路 (UART) | UTxRxD | Input | データ入力端子 |
| | UTxTXDA | Output | データ出力端子 A |
| | UTxCTS_N | Input | 送信可能入力端子 |
| | UTxRTS_N | Output | 送信要求出力端子 |
| I ² C インターフェース (I ² C / EI ² C) | I2CxSDA / EI2CxSDA | I/O | データ入出力端子 |
| | I2CxSCL / EI2CxSCL | I/O | クロック入出力端子 |
| CAN コントローラー (CAN) | CANxTX | Output | CAN データ出力端子 |
| | CANxRX | Input | CAN データ入力端子 |
| アドバンストプログラマブル モーター制御回路 (A-PMD) | EMGx | Input | 異常検出入力端子 |
| | OVVx | Input | 過電圧検出入力端子 |
| | UOx | Output | U 相出力端子 |
| | VOx | Output | V 相出力端子 |
| | WOx | Output | W 相出力端子 |
| | XOx | Output | X 相出力端子 |
| | YOx | Output | Y 相出力端子 |
| | ZOx | Output | Z 相出力端子 |
| PMDxDBG | Output | モーター制御デバッグ出力端子 | |

| 周辺機能 | 端子名称 | 入出力 | 機能 |
|---|-------------------------|-------|--------------|
| アドバンスト エンコーダー入力回路(32-bit) (A-ENC32) | ENCxA | Input | エンコーダー入力端子 A |
| | ENCxB | Input | エンコーダー入力端子 B |
| | ENCxZ | Input | エンコーダー入力端子 Z |
| アナログデジタルコンバーター (ADC) | AINAx AINBx AINCx | Input | アナログ入力端子 |
| トリガー入力 (TRGSEL) | TRGINx | Input | 外部トリガー入力端子 |

注) 端子名称の"x"にはチャンネル番号、ユニット番号、割り込み番号が入ります。

4.1.2. デバッグ端子

表 4.2 デバッグ端子名称と機能

| デバッグポート | デバッグ端子名称 | 入出力 | 機能 |
|---------|------------|--------|----------------------|
| JTAG | TMS | Input | JTAG テストモード選択入力端子 |
| | TCK | Input | JTAG シリアルクロック入力端子 |
| | TDO | Output | JTAG シリアルデータ出力端子 |
| | TDI | Input | JTAG シリアルデータ入力端子 |
| | TRST_N | Input | JTAG テストリセット入力端子 |
| SW | SWDIO | I/O | シリアルワイヤデータ入出力端子 |
| | SWCLK | Input | シリアルワイヤクロック入力端子 |
| | SWV | Output | シリアルワイヤビューワ出力端子 |
| TRACE | TRACECLK | Output | トレースクロック出力端子 |
| | TRACEDATA0 | Output | トレースデータ出力端子 0 |
| | TRACEDATA1 | Output | トレースデータ出力端子 1 |
| | TRACEDATA2 | Output | トレースデータ出力端子 2 |
| | TRACEDATA3 | Output | トレースデータ出力端子 3 |
| NBDIF | NBDSYNC | Input | ノンブレイクデバッグ同期入力端子 |
| | NBDCLK | Input | ノンブレイクデバッグクロック入力端子 |
| | NBDDATA0 | I/O | ノンブレイクデバッグデータ入出力端子 0 |
| | NBDDATA1 | I/O | ノンブレイクデバッグデータ入出力端子 1 |
| | NBDDATA2 | I/O | ノンブレイクデバッグデータ入出力端子 2 |
| | NBDDATA3 | I/O | ノンブレイクデバッグデータ入出力端子 3 |

4.1.3. 制御端子

表 4.3 制御端子名称と機能

| | 端子名 | 入出力 | 機能 |
|------|---------|--------|--|
| 制御端子 | X1 | Input | 高速発振子接続端子 |
| | X2 | Output | 高速発振子接続端子 |
| | EHCLKIN | Input | 外部クロック入力端子 |
| | BOOT_N | Input | BOOT モード制御用端子 RESET_N 端子入力の立ち上がりで BOOT モード制御用端子がサンプリングされます。内部リセット要因ではサンプリングされません。 BOOT モード制御用端子のレベルが"Low"の場合、シングルブートモードになります。"High"の場合、シングルチップモードになります。 シングルブートモードの詳細については、リファレンスマニュアル「フラッシュメモリー」を参照してください。 |
| | RESET_N | Input | リセット信号入力端子 |
| | MODE | Input | モード端子 必ず"Low"レベルに固定してください。 |

4.1.4. 電源端子

表 4.4 電源端子名称と機能

| | 端子名 | 機能 |
|----|---|---|
| 電源 | DVDD5A (注 1) DVDD5B (注 1) | デジタル用電源端子 DVDD5A/B は下記の端子に電源を供給しています。 PA~PH, PN, PU, PV, MODE, RESET_N, BOOT_N 発振回路には、内蔵レギュレーターを経由して端子に電源を供給しています。 X1, X2 |
| | DVSSA (注 2) DVSSB (注 2) DVSSC (注 2) | デジタル用 GND 端子 |
| | REGOUT1 (注 3) | レギュレーター用コンデンサー接続端子(注 4) |
| | REGOUT2 (注 3) | レギュレーター用コンデンサー接続端子(注 4) |
| | AVDD5 VREFH | アナログ用電源端子、アナログ基準電源端子(VREFH)です AVDD5 は下記の端子に電源を供給しています。 PL, PM, PK, PJ |
| | AVSS VREFL | アナログ用 GND 端子、アナログ基準GNG端子(VREFL) |

注 1) DVDD5A, DVDD5B は、外部で同電位の電圧を印加してください。

注 2) DVSSA, DVSSB, DVSSC は、外部で同電位の電圧を印加してください。

注 3) REGOUT1, REGOUT2 は、DVDD5A, DVDD5B や DVSSA, DVSSB, DVSSC とショートしないでください。

注 4) コンデンサー容量は「7.12. レギュレーター」を参照してください。

4.1.5. 電源間コンデンサー

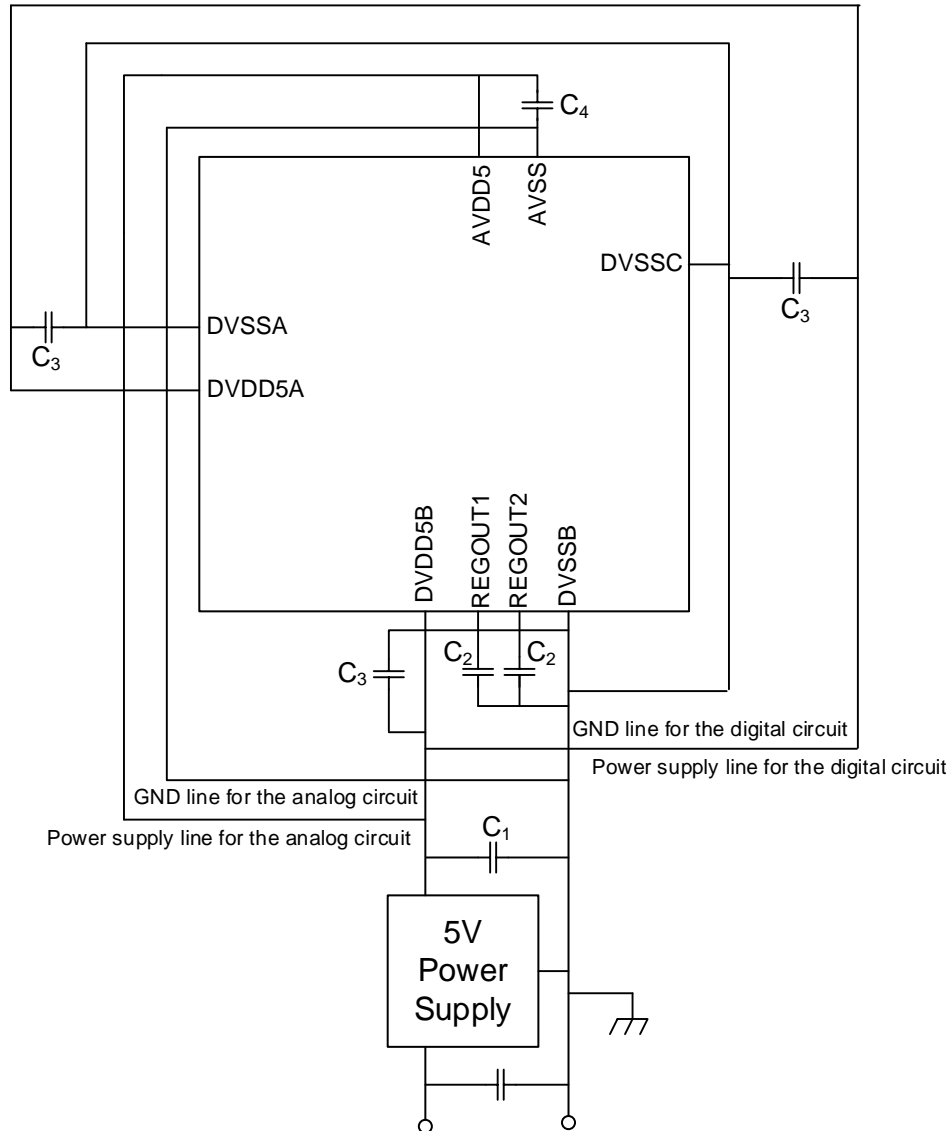


図 4.1 電源間コンデンサーの接続図

- 注 1) 5V 電源出力端子近くにセラミックコンデンサー(C₁)を挿入してください。「7.6. リセット時内部処理特性」の電源傾斜の条件を満たす容量としてください。
- 注 2) 各 MCU 電源端子の近傍で電源-GND 間にバイパスコンデンサー(C₃, C₄:0.01μF~0.1μF 程度)を挿入してください。
- 注 3) 内蔵レギュレーター用コンデンサー接続端子(REGOUT1, REGOUT2)に同容量の電源安定用のセラミックコンデンサー(C₂)を挿入してください。これらのコンデンサーは DVSSB 近傍で配置してください。コンデンサー容量は「7.12. レギュレーター」を参照してください。
- 注 4) デジタル電源からアナログ回路へのノイズ混入を抑制するため、アナログ電源ラインとデジタル電源ラインは 5V 電源出力の近くで分離してください。
- 注 5) 周辺回路からアナログ回路へのノイズ混入を抑制するため、アナログ電源系の入出力端子にフィルター回路やプルアップ/ダウン抵抗を挿入する場合、それらの回路を構成する部品はアナログ電源ラインに接続してください。
- 注 6) 電源ラインと GND ラインとコンデンサーによるループ回路で受ける高周波ノイズを抑制するため、電源ラインと GND ラインは離さずに配線してください。

4.2. 機能端子とポート割り当て(端子番号)

機能端子から見たポート割り当てと各製品の端子番号です。
 表中の"-"の部分は、「端子がありません」または「機能の割り当てがありません」。

表 4.5 信号接続一覧: UART

| 機能 | 兼用機能端子名 | ポート名 | M4MN (QFP100) | M4MN (LQFP100) | M4MM (LQFP80) | M4ML (LQFP64) |
|-------------|----------|------|------------------|-------------------|------------------|------------------|
| UART ch0 | UT0RXD | PC0 | 49 | 46 | 39 | 31 |
| | | PC1 | 50 | 47 | 40 | 32 |
| | | PN0 | 12 | 9 | 9 | - |
| | | PN1 | 13 | 10 | 10 | - |
| | UT0TXDA | PC1 | 50 | 47 | 40 | 32 |
| | | PC0 | 49 | 46 | 39 | 31 |
| | | PN1 | 13 | 10 | 10 | - |
| | | PN0 | 12 | 9 | 9 | - |
| | UT0CTS_N | PD2 | 69 | 66 | - | - |
| | | PN2 | 14 | 11 | 11 | - |
| | UT0RTS_N | PD3 | 70 | 67 | - | - |
| | | PV1 | 16 | 13 | - | - |
| UART ch1 | UT1RXD | PC4 | 53 | 50 | 43 | - |
| | | PC5 | 54 | 51 | 44 | - |
| | | PU5 | 9 | 6 | 7 | 7 |
| | | PU6 | 10 | 7 | 8 | 8 |
| | UT1TXDA | PC5 | 54 | 51 | 44 | - |
| | | PC4 | 53 | 50 | 43 | - |
| | | PU6 | 10 | 7 | 8 | 8 |
| | | PU5 | 9 | 6 | 7 | 7 |
| | UT1CTS_N | PU4 | 8 | 5 | 6 | 6 |
| | UT1RTS_N | PU3 | 7 | 4 | 5 | 5 |
| UART ch2 | UT2RXD | PF0 | 3 | 100 | 1 | 1 |
| | | PF1 | 2 | 99 | 80 | 64 |
| | | PU0 | 4 | 1 | 2 | 2 |
| | | PU1 | 5 | 2 | 3 | 3 |
| | UT2TXDA | PF1 | 2 | 99 | 80 | 64 |
| | | PF0 | 3 | 100 | 1 | 1 |
| | | PU1 | 5 | 2 | 3 | 3 |
| | | PU0 | 4 | 1 | 2 | 2 |
| UART ch3 | UT3RXD | PF3 | 100 | 97 | 79 | - |
| | | PF4 | 99 | 96 | 78 | - |
| | | PF6 | 97 | 94 | 77 | - |
| | | PF7 | 96 | 93 | 76 | - |
| | UT3TXDA | PF4 | 99 | 96 | 78 | - |
| | | PF3 | 100 | 97 | 79 | - |
| | | PF7 | 96 | 93 | 76 | - |
| | | PF6 | 97 | 94 | 77 | - |

表 4.6 信号接続一覧: I2C/EI2C/TSPI/CAN

| 機能 | 兼用機能端子名 | ポート名 | M4MN (QFP100) | M4MN (LQFP100) | M4MM (LQFP80) | M4ML (LQFP64) |
|-------------|-----------|------|------------------|-------------------|------------------|------------------|
| I2C ch0 | I2C0SDA | PC0 | 49 | 46 | 39 | 31 |
| | I2C0SCL | PC1 | 50 | 47 | 40 | 32 |
| I2C ch1 | I2C1SDA | PD3 | 70 | 67 | - | - |
| | | PU0 | 4 | 1 | 2 | 2 |
| | I2C1SCL | PD4 | 71 | 68 | - | - |
| | | PU1 | 5 | 2 | 3 | 3 |
| EI2C ch0 | EI2C0SDA | PC0 | 49 | 46 | 39 | 31 |
| | EI2C0SCL | PC1 | 50 | 47 | 40 | 32 |
| EI2C ch1 | EI2C1SDA | PD3 | 70 | 67 | - | - |
| | | PU0 | 4 | 1 | 2 | 2 |
| | EI2C1SCL | PD4 | 71 | 68 | - | - |
| | | PU1 | 5 | 2 | 3 | 3 |
| TSPI ch0 | TSPI0RXD | PA2 | 20 | 17 | 15 | 10 |
| | | PC3 | 52 | 49 | 42 | 34 |
| | TSPI0TXD | PA3 | 21 | 18 | 16 | 11 |
| | | PC4 | 53 | 50 | 43 | - |
| | TSPI0SCK | PA4 | 22 | 19 | 17 | 12 |
| | | PC5 | 54 | 51 | 44 | - |
| | TSPI0CSIN | PA0 | 18 | 15 | 13 | - |
| | | PC7 | 56 | 53 | - | - |
| | TSPI0CS0 | PC2 | 51 | 48 | 41 | 33 |
| | TSPI0CS1 | PA1 | 19 | 16 | 14 | - |
| PC6 | | 55 | 52 | - | - | |
| TSPI ch1 | TSPI1RXD | PG4 | 77 | 74 | 58 | 46 |
| | | PV1 | 16 | 13 | - | - |
| | TSPI1TXD | PG5 | 78 | 75 | 59 | 47 |
| | TSPI1SCK | PG6 | 79 | 76 | 60 | 48 |
| | TSPI1CSIN | PG3 | 76 | 73 | 57 | 45 |
| | | PV0 | 15 | 12 | - | - |
| | TSPI1CS0 | PG2 | 75 | 72 | 56 | 44 |
| TSPI1CS1 | PG1 | 74 | 71 | 55 | - | |
| CAN | CANARX | PE1 | 81 | 78 | 62 | 50 |
| | | PA4 | 22 | 19 | 17 | 12 |
| | CANATX | PE0 | 80 | 77 | 61 | 49 |
| | | PA3 | 21 | 18 | 16 | 11 |

表 4.7 信号接続一覧: T32A ch0,1,2

| 機能 | 兼用機能端子名 | ポート名 | M4MN (QFP100) | M4MN (LQFP100) | M4MM (LQFP80) | M4ML (LQFP64) |
|-------------|------------|------|------------------|-------------------|------------------|------------------|
| T32A ch0 | T32A00INA0 | PA2 | 20 | 17 | 15 | 10 |
| | T32A00OUTA | PA3 | 21 | 18 | 16 | 11 |
| | T32A00INB0 | PA0 | 18 | 15 | 13 | - |
| | T32A00INB1 | PA1 | 19 | 16 | 14 | - |
| | T32A00OUTB | PA4 | 22 | 19 | 17 | 12 |
| | T32A00INC0 | PA2 | 20 | 17 | 15 | 10 |
| | T32A00OUTC | PA3 | 21 | 18 | 16 | 11 |
| T32A ch1 | T32A01INA0 | PF3 | 100 | 97 | 79 | - |
| | T32A01INA1 | PF5 | 98 | 95 | - | - |
| | T32A01OUTA | PF4 | 99 | 96 | 78 | - |
| | T32A01INB0 | PF6 | 97 | 94 | 77 | - |
| | T32A01INB1 | PF7 | 96 | 93 | 76 | - |
| | T32A01OUTB | PV0 | 15 | 12 | - | - |
| | T32A01INC0 | PF3 | 100 | 97 | 79 | - |
| | T32A01INC1 | PF5 | 98 | 95 | - | - |
| T32A ch2 | T32A02INA0 | PC0 | 49 | 46 | 39 | 31 |
| | | PU1 | 5 | 2 | 3 | 3 |
| | T32A02INA1 | PC6 | 55 | 52 | - | - |
| | | PU5 | 9 | 6 | 7 | 7 |
| | T32A02OUTA | PC1 | 50 | 47 | 40 | 32 |
| | | PU2 | 6 | 3 | 4 | 4 |
| | T32A02INB0 | PC7 | 56 | 53 | - | - |
| | | PU3 | 7 | 4 | 5 | 5 |
| | T32A02INB1 | PD0 | 67 | 64 | - | - |
| | | PU0 | 4 | 1 | 2 | 2 |
| | T32A02OUTB | PD1 | 68 | 65 | - | - |
| | | PU4 | 8 | 5 | 6 | 6 |
| | T32A02INC0 | PC0 | 49 | 46 | 39 | 31 |
| | | PU1 | 5 | 2 | 3 | 3 |
| | T32A02INC1 | PC6 | 55 | 52 | - | - |
| PU4 | | 8 | 5 | 6 | 6 | |
| T32A02OUTC | PC1 | 50 | 47 | 40 | 32 | |
| | PU2 | 6 | 3 | 4 | 4 | |

表 4.8 信号接続一覧: T32A ch3,4,5

| 機能 | 兼用機能端子名 | ポート名 | M4MN (QFP100) | M4MN (LQFP100) | M4MM (LQFP80) | M4ML (LQFP64) |
|-------------|------------|------|------------------|-------------------|------------------|------------------|
| T32A ch3 | T32A03INA0 | PD2 | 69 | 66 | - | - |
| | | PE1 | 81 | 78 | 62 | 50 |
| | T32A03INA1 | PD3 | 70 | 67 | - | - |
| | | PE3 | 83 | 80 | 64 | 52 |
| | T32A03OUTA | PC2 | 51 | 48 | 41 | 33 |
| | | PE2 | 82 | 79 | 63 | 51 |
| | T32A03INB0 | PD4 | 71 | 68 | - | - |
| | | PE4 | 84 | 81 | 65 | 53 |
| | T32A03INB1 | PD5 | 72 | 69 | - | - |
| | | PE5 | 85 | 82 | 66 | 54 |
| | T32A03OUTB | PC3 | 52 | 49 | 42 | 34 |
| | | PE6 | 86 | 83 | 67 | 55 |
| | T32A03INC0 | PD2 | 69 | 66 | - | - |
| | | PE1 | 81 | 78 | 62 | 50 |
| | T32A03INC1 | PD3 | 70 | 67 | - | - |
| | | PE3 | 83 | 80 | 64 | 52 |
| | T32A03OUTC | PC2 | 51 | 48 | 41 | 33 |
| | | PE2 | 82 | 79 | 63 | 51 |
| T32A ch4 | T32A04INA0 | PG0 | 73 | 70 | 54 | - |
| | T32A04INA1 | PG1 | 74 | 71 | 55 | - |
| | T32A04OUTA | PG2 | 75 | 72 | 56 | 44 |
| | T32A04INB0 | PG4 | 77 | 74 | 58 | 46 |
| | T32A04INB1 | PG5 | 78 | 75 | 59 | 47 |
| | T32A04OUTB | PG3 | 76 | 73 | 57 | 45 |
| | T32A04INC0 | PG0 | 73 | 70 | 54 | - |
| | T32A04INC1 | PG1 | 74 | 71 | 55 | - |
| | T32A04OUTC | PG2 | 75 | 72 | 56 | 44 |
| T32A ch5 | T32A05INA0 | PF0 | 3 | 100 | 1 | 1 |
| | | PN0 | 12 | 9 | 9 | - |
| | T32A05INA1 | PF2 | 1 | 98 | - | - |
| | | PN2 | 14 | 11 | 11 | - |
| | T32A05OUTA | PF1 | 2 | 99 | 80 | 64 |
| | | PN1 | 13 | 10 | 10 | - |
| | T32A05INC0 | PF0 | 3 | 100 | 1 | 1 |
| | | PN0 | 12 | 9 | 9 | - |
| | T32A05INC1 | PF2 | 1 | 98 | - | - |
| | | PN2 | 14 | 11 | 11 | - |
| T32A05OUTC | PF1 | 2 | 99 | 80 | 64 | |
| | PN1 | 13 | 10 | 10 | - | |

表 4.9 信号接続一覧: ADC

| 機能 | 兼用機能端子名 | ポート名 | M4MN (QFP100) | M4MN (LQFP100) | M4MM (LQFP80) | M4ML (LQFP64) |
|---------------|---------|------|------------------|-------------------|------------------|------------------|
| ADC unit A | AINA05 | PM2 | 33 | 30 | - | - |
| | AINA06 | PM1 | 32 | 29 | - | - |
| | AINA07 | PM0 | 31 | 28 | - | - |
| | AINA08 | PL7 | 30 | 27 | 25 | 20 |
| | AINA09 | PL6 | 29 | 26 | 24 | 19 |
| | AINA13 | PL5 | 28 | 25 | 23 | 18 |
| | AINA14 | PL3 | 26 | 23 | 21 | 16 |
| | AINA15 | PL1 | 24 | 21 | 19 | 14 |
| | AINA16 | PL0 | 23 | 20 | 18 | 13 |
| | AINA17 | PL2 | 25 | 22 | 20 | 15 |
| AINA18 | PL4 | 27 | 24 | 22 | 17 | |
| ADC unit B | AINB00 | PK0 | 42 | 39 | 34 | 27 |
| | AINB01 | PK1 | 41 | 38 | 33 | 26 |
| | AINB02 | PK2 | 40 | 37 | 32 | 25 |
| | AINB03 | PK3 | 39 | 36 | 31 | - |
| | AINB04 | PK4 | 38 | 35 | 30 | - |
| ADC unit C | AINC00 | PJ0 | 48 | 45 | 38 | 30 |
| | AINC01 | PJ1 | 47 | 44 | 37 | 29 |
| | AINC02 | PJ2 | 46 | 43 | 36 | 28 |
| | AINC03 | PJ3 | 45 | 42 | 35 | - |
| | AINC04 | PJ4 | 44 | 41 | - | - |
| | AINC05 | PJ5 | 43 | 40 | - | - |

表 4.10 信号接続一覧: INT

| 機能 | 兼用機能端子名 | ポート名 | M4MN (QFP100) | M4MN (LQFP100) | M4MM (LQFP80) | M4ML (LQFP64) |
|--------|------------|------|------------------|-------------------|------------------|------------------|
| INT | INT00 | PA2 | 20 | 17 | 15 | 10 |
| | INT01b | PA3 | 21 | 18 | 16 | 11 |
| | INT01a | PA4 | 22 | 19 | 17 | 12 |
| | INT02a | PC1 | 50 | 47 | 40 | 32 |
| | INT02b | PC6 | 55 | 52 | - | - |
| | INT03a | PC3 | 52 | 49 | 42 | 34 |
| | INT03b | PD2 | 69 | 66 | - | - |
| | INT04b | PE1 | 81 | 78 | 62 | 50 |
| | INT04a | PE3 | 83 | 80 | 64 | 52 |
| | INT05a (注) | PE5 | 85 | 82 | 66 | 54 |
| | INT05b | PE6 | 86 | 83 | 67 | 55 |
| | INT06a | PF1 | 2 | 99 | 80 | 64 |
| | INT06b | PF2 | 1 | 98 | - | - |
| | INT07a | PU1 | 5 | 2 | 3 | 3 |
| | INT07b | PU2 | 6 | 3 | 4 | 4 |
| | INT08a | PU3 | 7 | 4 | 5 | 5 |
| | INT08b | PU4 | 8 | 5 | 6 | 6 |
| | INT09 | PU6 | 10 | 7 | 8 | 8 |
| | INT10 | PC2 | 51 | 48 | 41 | 33 |
| | INT11a | PE4 | 84 | 81 | 65 | 53 |
| | INT11b (注) | PE5 | 85 | 82 | 66 | 54 |
| | INT12 | PU0 | 4 | 1 | 2 | 2 |
| | INT13 | PU5 | 9 | 6 | 7 | 7 |
| | INT14a | PF4 | 99 | 96 | 78 | - |
| | INT14b | PF5 | 98 | 95 | - | - |
| | INT15 | PA1 | 19 | 16 | 14 | - |
| | INT16a | PN1 | 13 | 10 | 10 | - |
| | INT16b | PN2 | 14 | 11 | 11 | - |
| | INT17b | PD0 | 67 | 64 | - | - |
| | INT17a | PD1 | 68 | 65 | - | - |
| INT18b | PD4 | 71 | 68 | - | - | |
| INT18a | PD5 | 72 | 69 | - | - | |
| INT21 | PG3 | 76 | 73 | 57 | 45 | |

注) PE5 は INT05a と INT11b が割り付けられています。

表 4.11 信号接続一覧: A-PMD/A-ENC32

| 機能 | 兼用機能端子名 | ポート名 | M4MN (QFP100) | M4MN (LQFP100) | M4MM (LQFP80) | M4ML (LQFP64) |
|----------------|---------|------|------------------|-------------------|------------------|------------------|
| A-PMD ch0 | EMG0 | PB6 | 63 | 60 | 51 | 41 |
| | OVV0 | PB7 | 64 | 61 | - | - |
| | UO0 | PB0 | 57 | 54 | 45 | 35 |
| | VO0 | PB2 | 59 | 56 | 47 | 37 |
| | WO0 | PB4 | 61 | 58 | 49 | 39 |
| | XO0 | PB1 | 58 | 55 | 46 | 36 |
| | YO0 | PB3 | 60 | 57 | 48 | 38 |
| | ZO0 | PB5 | 62 | 59 | 50 | 40 |
| | PMD0DBG | PB7 | | 64 | 61 | - |
| PC2 | | | 51 | 48 | 41 | 33 |
| A-PMD ch1 | EMG1 | PE6 | 86 | 83 | 67 | 55 |
| | OVV1 | PE7 | 87 | 84 | - | - |
| | UO1 | PE0 | 80 | 77 | 61 | 49 |
| | VO1 | PE2 | 82 | 79 | 63 | 51 |
| | WO1 | PE4 | 84 | 81 | 65 | 53 |
| | XO1 | PE1 | 81 | 78 | 62 | 50 |
| | YO1 | PE3 | 83 | 80 | 64 | 52 |
| | ZO1 | PE5 | 85 | 82 | 66 | 54 |
| | PMD1DBG | PC3 | | 52 | 49 | 42 |
| PE7 | | | 87 | 84 | - | - |
| A-PMD ch2 | EMG2 | PU6 | 10 | 7 | 8 | 8 |
| | OVV2 | PU7 | 11 | 8 | - | - |
| | UO2 | PU0 | 4 | 1 | 2 | 2 |
| | VO2 | PU2 | 6 | 3 | 4 | 4 |
| | WO2 | PU4 | 8 | 5 | 6 | 6 |
| | XO2 | PU1 | 5 | 2 | 3 | 3 |
| | YO2 | PU3 | 7 | 4 | 5 | 5 |
| | ZO2 | PU5 | 9 | 6 | 7 | 7 |
| | PMD2DBG | PA2 | | 20 | 17 | 15 |
| PU7 | | | 11 | 8 | - | - |
| A-ENC32 ch0 | ENC0A | PN0 | 12 | 9 | 9 | - |
| | ENC0B | PN1 | 13 | 10 | 10 | - |
| | ENC0Z | PN2 | 14 | 11 | 11 | - |
| A-ENC32 ch1 | ENC1A | PF3 | 100 | 97 | 79 | - |
| | ENC1B | PF4 | 99 | 96 | 78 | - |
| | ENC1Z | PF5 | 98 | 95 | - | - |
| A-ENC32 ch2 | ENC2A | PD3 | 70 | 67 | - | - |
| | | PU3 | 7 | 4 | 5 | 5 |
| | ENC2B | PD4 | 71 | 68 | - | - |
| | | PU5 | 9 | 6 | 7 | 7 |
| | ENC2Z | PD5 | 72 | 69 | - | - |
| | | PU6 | 10 | 7 | 8 | 8 |

表 4.12 信号接続一覧: TRGSEL/JTAG/SW/TRACE/NBDIF/制御端子

| 機能 | 兼用機能端子名 | ポート名 | M4MN (QFP100) | M4MN (LQFP100) | M4MM (LQFP80) | M4ML (LQFP64) |
|--------|------------|------|------------------|-------------------|------------------|------------------|
| TRGSEL | TRGIN0 | PA2 | 20 | 17 | 15 | 10 |
| | TRGIN1 | PA3 | 21 | 18 | 16 | 11 |
| | TRGIN2 | PA4 | 22 | 19 | 17 | 12 |
| JTAG | TMS | PF0 | 3 | 100 | - | - |
| | TCK | PF1 | 2 | 99 | - | - |
| | TDO | PF2 | 1 | 98 | - | - |
| | TDI | PF3 | 100 | 97 | - | - |
| | TRST_N | PF4 | 99 | 96 | - | - |
| SW | SWDIO | PF0 | 3 | 100 | 1 | 1 |
| | SWCLK | PF1 | 2 | 99 | 80 | 64 |
| | SWV | PF2 | 1 | 98 | - | - |
| TRACE | TRACECLK | PF5 | 98 | 95 | - | - |
| | TRACEDATA0 | PF6 | 97 | 94 | - | - |
| | TRACEDATA1 | PF7 | 96 | 93 | - | - |
| | TRACEDATA2 | PN0 | 12 | 9 | - | - |
| | TRACEDATA3 | PN1 | 13 | 10 | - | - |
| NBDIF | NBDSYNC | PF4 | 99 | 96 | - | - |
| | NBDCLK | PF5 | 98 | 95 | - | - |
| | NBDDATA0 | PF6 | 97 | 94 | - | - |
| | NBDDATA1 | PF7 | 96 | 93 | - | - |
| | NBDDATA2 | PN0 | 12 | 9 | - | - |
| | NBDDATA3 | PN1 | 13 | 10 | - | - |
| 制御端子 | X1 | PH0 | 93 | 90 | 73 | 61 |
| | X2 | PH1 | 94 | 91 | 74 | 62 |
| | EHCLKIN | PH0 | 93 | 90 | 73 | 61 |
| | BOOT_N | PG2 | 75 | 72 | 56 | 44 |
| | RESET_N | | 95 | 92 | 75 | 63 |
| | MODE | | 92 | 89 | 72 | 60 |

4.3. ポート

表中の記号の意味は下記のとおりです。

- **Input/Output:** ポートの入出力
Input: 入力
Output: 出力
I/O: 入出力
- **PU/PD:** プログラマブルプルアップ/プルダウン対応
PU: プログラマブルプルアップ選択可能
PD: プログラマブルプルダウン選択可能
- **OD:** プログラマブルオープンドレイン出力対応
YES: 対応
NO: 非対応
- **5V_T:** 5V トレラント対応
YES: 対応
N/A: 非対応
- **SMT/CMOS:** 入力ゲート
SMT: シュミット入力
CMOS: CMOS 入力
- **リセット中の状態:** リセット期間中の端子状態です
Hi-Z: ハイインピーダンス
PU: プルアップ
PD: プルダウン
- **リセット後の状態:** リセット解除直後の端子状態です
Hi-Z: ハイインピーダンス
PU: プルアップ
PD: プルダウン

4.3.1. ポート仕様一覧

表 4.13 ポートA~Dのポート名、仕様

| ポート名 | Input/Output | PU/PD | OD | 5V_T | SMT/ CMOS | リセット中 の状態 | リセット後 の状態 |
|------|--------------|-------|-----|------|--------------|--------------|--------------|
| PA0 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PA1 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PA2 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PA3 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PA4 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PB0 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PB1 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PB2 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PB3 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PB4 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PB5 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PB6 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PB7 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PC0 | I/O | PU/PD | YES | YES | SMT | Hi-Z | Hi-Z |
| PC1 | I/O | PU/PD | YES | YES | SMT | Hi-Z | Hi-Z |
| PC2 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PC3 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PC4 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PC5 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PC6 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PC7 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PD0 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PD1 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PD2 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PD3 | I/O | PU/PD | YES | YES | SMT | Hi-Z | Hi-Z |
| PD4 | I/O | PU/PD | YES | YES | SMT | Hi-Z | Hi-Z |
| PD5 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |

表 4.14 ポートE-Hのポート名、仕様

| ポート名 | Input/Output | PU/PD | OD | 5V_T | SMT/ CMOS | リセット中 の状態 | リセット後 の状態 |
|------|--------------|----------------|-----|------|--------------|--------------|--------------|
| PE0 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PE1 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PE2 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PE3 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PE4 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PE5 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PE6 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PE7 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PF0 | I/O | PU/PD | YES | N/A | SMT | PU(注 2) | PU(注 2) |
| PF1 | I/O | PU/PD | YES | N/A | SMT | PD(注 2) | PD(注 2) |
| PF2 | I/O | PU/PD | YES | N/A | SMT | Hi-Z(注 2) | Hi-Z(注 2) |
| PF3 | I/O | PU/PD | YES | N/A | SMT | PU(注 2) | PU(注 2) |
| PF4 | I/O | PU/PD | YES | N/A | SMT | PU(注 2) | PU(注 2) |
| PF5 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PF6 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PF7 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PG0 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PG1 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PG2 | Output | PU/PD (注 1) | YES | N/A | SMT | Hi-Z(注 1) | Hi-Z |
| PG3 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PG4 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PG5 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PG6 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PH0 | Input | PD | NO | N/A | SMT | Hi-Z | Hi-Z |
| PH1 | Input | PD | NO | N/A | SMT | Hi-Z | Hi-Z |

注 1) BOOT_N 端子と兼用です。RESET_N 端子=0 の時、プルアップ(PU)となります。
 RESET_N 端子=1 の時に内部リセットがかかった場合は Hi-Z です。

注 2) 初期値はデバッグ用端子に割り当てられています(PF3: TDI、PF2: TDO/SWV、
 PF0: TMS/SWDIO、PF1: TCK/SWCLK、PF4: TRST_N)。
 ツールからのコマンドを受け付けるまでは PF2: TDO/SWV は出力にはなりません。

表 4.15 ポートJ~Lのポート名、仕様

| ポート名 | Input/Output | PU/PD | OD | 5V_T | SMT/ CMOS | リセット中 の状態 | リセット後 の状態 |
|------|--------------|-------|-----|------|--------------|--------------|--------------|
| PJ0 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PJ1 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PJ2 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PJ3 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PJ4 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PJ5 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PK0 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PK1 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PK2 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PK3 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PK4 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PL0 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PL1 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PL2 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PL3 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PL4 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PL5 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PL6 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PL7 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |

表 4.16 ポートM~N、U~Vのポート名、仕様

| ポート名 | Input/Output | PU/PD | OD | 5V_T | SMT/ CMOS | リセット中 の状態 | リセット後 の状態 |
|------|--------------|-------|-----|------|--------------|--------------|--------------|
| PM0 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PM1 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PM2 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PN0 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PN1 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PN2 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PU0 | I/O | PU/PD | YES | YES | SMT | Hi-Z | Hi-Z |
| PU1 | I/O | PU/PD | YES | YES | SMT | Hi-Z | Hi-Z |
| PU2 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PU3 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PU4 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PU5 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PU6 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PU7 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PV0 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |
| PV1 | I/O | PU/PD | YES | N/A | SMT | Hi-Z | Hi-Z |

5. 機能説明・動作説明

5.1. リファレンスマニュアル

TPM4M グループ(1)製品の搭載機能詳細は下表のリファレンスマニュアルを参照してください。

表 5.1 TPM4Mグループ(1) リファレンスマニュアル一覧

| リファレンスマニュアル | IP 記号 | 分類 |
|-----------------------------------|----------------|------|
| 入出力ポート (TPM4M グループ(1)) | PORT-M4M(1) | システム |
| 例外 (TPM4M グループ(1)) | EXCEPT-M4M(1) | システム |
| クロック制御と動作モード (TPM4M グループ(1)) | CG-M4M(1)-E | システム |
| 製品個別情報 (TPM4M グループ(1)) | PINFO-M4M(1) | システム |
| フラッシュメモリー | FLASH512UD32-B | 周辺機能 |
| トリミング回路 | TRM-B | 周辺機能 |
| 周波数検知回路 | OFD-A | 周辺機能 |
| 電圧検知回路 | LVD-D | 周辺機能 |
| デジタルノイズフィルター回路 | DNF-A | 周辺機能 |
| デバッグインターフェース | DEBUG-A | 周辺機能 |
| ノンブ레이크デバッグインターフェース | NBDIF-A | 周辺機能 |
| DMA コントローラー | DMAC-B | 周辺機能 |
| 非同期シリアル通信回路 | UART-C | 周辺機能 |
| シリアルペリフェラルインターフェース | TSPI-E | 周辺機能 |
| I ² C インターフェース | I2C-B | 周辺機能 |
| I ² C インターフェース バージョン A | EI2C-A | 周辺機能 |
| CAN コントローラー | CAN-B | 周辺機能 |
| 12 ビットアナログデジタルコンバーター | ADC-I | 周辺機能 |
| オペアンプ | OPAMP-B | 周辺機能 |
| アドバンストプログラマブルモーター制御回路 | A-PMD-A | 周辺機能 |
| アドバンストエンコーダー入力回路(32-bit) | A-ENC32-A | 周辺機能 |
| アドバンストベクトルエンジンプラス | A-VE+-B | 周辺機能 |
| 32 ビットタイマーイベントカウンター | T32A-C | 周辺機能 |
| クロック選択式ウォッチドッグタイマー | SIWDT-A | 周辺機能 |
| CRC 計算回路 | CRC-A | 周辺機能 |
| RAM パリティ | RAMP-B | 周辺機能 |

5.2. プロセッサコア

TMPM4M グループ(1)には、高性能 32 ビットプロセッサコア(Arm 社 Cortex-M4(FPU 機能搭載)コア)が内蔵されています。

プロセッサコアの動作については、Arm 社からリリースされている"Cortex-M シリーズプロセッサの Arm ドキュメンテーションセット"を参照してください。この章では、製品固有の情報について説明します。

5.2.1. コアに関する情報

TMPM4M グループ(1)で使用している Cortex-M4(FPU 機能搭載)コアのリビジョンは以下のとおりです。CPU コア部、アーキテクチャーなどの詳細は、Arm 社の下記 URL よりドキュメントを参照してください。

<http://infocenter.arm.com/help/index.jsp>

表 5.2 コアリビジョン

| グループ名 | コアリビジョン |
|----------------|---------|
| TMPM4M グループ(1) | r0p1 |

5.2.2. 構成可能なオプション

Cortex-M4(FPU 機能搭載)コアは、一部のブロックについて実装するかどうかを選択することができます。

TMPM4M グループ(1)での構成は以下のとおりです。

表 5.3 構成可能なオプションと実装

| 構成可能なオプション | 実装 |
|----------------------|------------------------------------|
| FWB | リテラルコンパレーター: 2 本 命令コンパレーター: 6 本 |
| DWT | コンパレーター: 4 本 |
| ITM | あり |
| MPU | あり |
| ETM | あり |
| AHB-AP | あり |
| AHBトレースマクロセルインターフェース | なし |
| TPIU | あり |
| WIC | なし |
| デバッグポート | JTAG/シリアルワイヤ |
| ビットバンド | あり |
| AHB の継続的な制御 | なし |

5.3. クロック制御と動作モード (CG)

CG は、クロックギアやプリスケラークロックの選択、発振器のウォーミングアップなどを設定する機能です。

動作モードとして NORMAL モードと低消費電力モードがあり、使用方法に応じてモード遷移を行うことで消費電力を抑えることができます。

また、システムクロックは高速で動作する「高速システムクロック」と、高速システムクロックを分周して動作する「中速システムクロック」があります。

クロック制御回路の概要は、下記のとおりです。

- 内部高速発振回路: 10MHz
- 外部高速発振回路と内部高速発振回路が選択可能
- PLL 回路: システムクロック用は高速発振器の周波数に合わせて倍率を変更して 160MHz 出力可能
- クロックギア:
高速クロックを 1/1、1/2、1/4、1/8、1/16 分周し、システムクロック(fsys)として選択可能。
- 低消費電力モード:
IDLE: CPU が停止します。周辺機能は動作可能です。
STOP1: システムクロックが停止します。

5.4. フラッシュメモリー (コードフラッシュ、データフラッシュ)

TMPM4M グループ(1)は、256KB/128KB のコードフラッシュと 32KB のデータフラッシュを搭載しています。

コードフラッシュは命令コードを格納し、CPU がリードして実行します。データフラッシュはデータを格納し、電源が遮断されてもデータが消えません。

コードフラッシュで命令を実行しながら、データフラッシュを書き換えることが可能なデュアルモードを搭載しています。データフラッシュへのデータ保存時にもコードフラッシュ上でアプリプログラムの実行を継続することができます。

また、ブロック単位で書き込み/消去を禁止するプロテクト機能、第三者によるプログラムコードの読み出しを禁止するセキュリティー機能などを搭載しています。

5.5. 発振器

- 外部高速発振器(EHOSC): 外部にクリスタル発振子またはセラミック発振子を接続して、システムクロックの源発振に使用します。
- 内蔵高速発振器 1 (IHOSC1): 10MHz の発振器です。システムクロックの源発振に使用します。
- 内蔵高速発振器 2 (IHOSC2): 10MHz の発振器です。OFD、SIWDT の基準クロック、カウントクロックの源発振に使用します。

表 5.4 搭載発振器

| | M4MN | M4MM | M4ML |
|--------|------|------|------|
| EHOSC | ○ | ○ | ○ |
| IHOSC1 | ○ | ○ | ○ |
| IHOSC2 | ○ | ○ | ○ |

注) ○: 搭載、-: 非搭載

5.6. トリミング回路 (TRM)

TRM は、内蔵高速発振器 1(IHOSC1)の発振周波数を調整する回路です。

表 5.5 TRM搭載一覧

| | M4MN | M4MM | M4ML |
|-----|------|------|------|
| TRM | ○ | ○ | ○ |

注) ○: 搭載、-: 非搭載

5.7. 周波数検知回路 (OFD)

OFDはクロックの異常を検知します。計測対象として外部高速発振クロック(f_{EHOSC})または高速クロック(f_c)のどちらかを選択できます。内蔵の基準クロック(f_{IHOSC2})を用いて、選択したクロックを計測し、設定範囲から外れると内部リセット信号を発生します。

検出範囲として、検出する周波数の上限と下限を個別に設定することができます。

表 5.6 OFD搭載一覧

| | M4MN | M4MM | M4ML |
|-----|------|------|------|
| OFD | ○ | ○ | ○ |

注) ○: 搭載、—: 非搭載

5.8. 電圧検知回路 (LVD)

LVDは、電源電圧があらかじめ設定した電圧を下回るあるいは上回ったことを検知すると、割り込み要求または内部リセット信号を発生します。

設定電圧は8種類から選択することができます。電源投入時、リセット時からイネーブルです。

表 5.7 LVD搭載一覧

| | M4MN | M4MM | M4ML |
|-----|------|------|------|
| LVD | ○ | ○ | ○ |

注) ○: 搭載、—: 非搭載

5.9. デジタルノイズフィルター回路 (DNF)

DNFは外部割り込み入力端子に搭載したデジタルノイズフィルター回路です。外部割り込み信号INTxのHighレベル/Lowレベル入力ともにノイズを除去します。

表 5.8 DNF搭載数

| | M4MN | M4MM | M4ML |
|---------|------|------|------|
| DNF 搭載数 | 32 | 24 | 20 |

注) INT05a と INT11b は同一端子に割り付けられています。

5.10. デバッグインターフェース (DEBUG)

デバッグツールと接続するためのデバッグインターフェースとして、シリアルワイヤデバッグポート (SWCLK, SWDIO) と、JTAG デバッグポート (TDI, TDO, TMS, TCK, TRST_N) の2種類あります。これらの端子をデバッグツールと接続してプログラム開発を行います。また、デバッグ作業を軽減するためにトレースクロック (TRACECLK) とトレース出力 (TRACEDATA0~3)、NBDIF (NBDSYNC, NBDCLK, NBDDATA0~3) があります。

TMPM4M グループ(1)製品は、シリアルワイヤデバッグポート、JTAG デバッグポート、トレース出力、および NBDIF をサポートしています。

表 5.9 デバッグインターフェース搭載一覧

| デバッグ機能 | 端子名 | ポート | M4MN | M4MM | M4ML |
|--------|------------|-----|------|------|------|
| SW | SWDIO | PF0 | ○ | ○ | ○ |
| | SWCLK | PF1 | ○ | ○ | ○ |
| | SWV | PF2 | ○ | - | - |
| JTAG | TMS | PF0 | ○ | - | - |
| | TCK | PF1 | ○ | - | - |
| | TDO | PF2 | ○ | - | - |
| | TDI | PF3 | ○ | - | - |
| | TRST_N | PF4 | ○ | - | - |
| TRACE | TRACECLK | PF5 | ○ | - | - |
| | TRACEDATA0 | PF6 | ○ | - | - |
| | TRACEDATA1 | PF7 | ○ | - | - |
| | TRACEDATA2 | PN0 | ○ | - | - |
| | TRACEDATA3 | PN1 | ○ | - | - |
| NBDIF | NBDSYNC | PF4 | ○ | - | - |
| | NBDCLK | PF5 | ○ | - | - |
| | NBDDATA0 | PF6 | ○ | - | - |
| | NBDDATA1 | PF7 | ○ | - | - |
| | NBDDATA2 | PN0 | ○ | - | - |
| | NBDDATA3 | PN1 | ○ | - | - |

注) ○: 搭載、-: 非搭載

5.10.1. ノンブレイクデバッグインターフェース (NBDIF)

NBDIF は、対応するデバッグ用機器を接続することで、RAM モニターなどを実現します。

NBDIF の対応は製品によって異なります。「表 5.9 デバッグインターフェース搭載一覧」を参照してください。

5.11. DMA コントローラー (DMAC)

DMACは、周辺機能からメモリーへ、メモリーから周辺機能へ、あるいはメモリーからメモリーへデータを移動させることができる周辺機能です。これらの動作はCPU制御と別に行われるため、DMAを使用することで、CPUの負荷を著しく減らすことができます。

TPM4M グループ(1)製品は、DMA コントローラー(DMAC)を1ユニット搭載しており、ユニット当たり最大32チャンネルの起動要因があります。

表 5.10 DMAC搭載一覧

| Unit | M4MN | M4MM | M4ML |
|--------|------|------|------|
| Unit A | ○ | ○ | ○ |

注) ○: 搭載、-: 非搭載

5.12. 非同期シリアル通信回路 (UART)

UARTは、非同期シリアル通信機能です。7,8,9ビットのデータ長,パリティ有無,STOPビット長を選択できます。MSBファースト/LSBファーストの選択、データ極性の反転の他にポート設定でTXD/RXDの端子入れ替えができます。FIFOバッファは、送信で8段、受信で8段を内蔵しています。また、CTS/RTSによる通信制御をサポートしています。

表 5.11 UART搭載一覧

| Channel | M4MN | M4MM | M4ML |
|-----------|------|------|------|
| Channel 0 | ○ | ○ | ○ |
| Channel 1 | ○ | ○ | ○ |
| Channel 2 | ○ | ○ | ○ |
| Channel 3 | ○ | ○ | - |

注 1) ○: 搭載、-: 非搭載

注 2) 外部端子は製品によって異なります。「2. 端子配置図」を参照してください。

5.13. シリアルペリフェラルインターフェース (TSPI)

TSPI は通信時に CS(チップセレクト)信号を使用する SPI 方式と、CS 信号を使用しない SIO 方式の 2 つの通信方式に対応し、他のデバイスと高速なシリアル転送が可能な通信機能です。データ長は、7 ビット(パリティあり)から 32 ビット(パリティなし)まで 1 ビット単位で変更可能です。

受信、送信ともに 16 ビットの FIFO が 8 段あります。マスター、スレーブに対応します。また、フレームモード(フレーム長(8~32bit))か、セクターモード(2~4 セクターで、フレーム長 (8~128bit)を構成)が使用できます。

表 5.12 TSPI搭載一覧

| Channel | M4MN | M4MM | M4ML |
|-----------|------|------|------|
| Channel 0 | ○ | ○ | ○ |
| Channel 1 | ○ | ○ | ○ |

注 1) ○: 搭載、-: 非搭載

注 2) 外部端子は製品によって異なります。「2. 端子配置図」を参照してください。

5.14. I²C インターフェース

下表に I²C インターフェースの搭載一覧を示します。

I2C と EI2C は排他的に使用してください。

表 5.13 I2C / EI2C搭載一覧

| Channel | M4MN | M4MM | M4ML |
|-----------|------|------|------|
| Channel 0 | ○ | ○ | ○ |
| Channel 1 | ○ | ○ | ○ |

注 1) ○: 搭載、-: 非搭載

注 2) 外部端子は製品によって異なります。「2. 端子配置図」を参照してください。

5.14.1. I²C インターフェース (I2C)

I²C は二線式双方向シリアル通信機能です。マスターとスレーブの関係で通信をしますが、同一バス上に複数のマスターが存在可能なマルチマスターをサポートしています。また、通信スピードは標準モード(最大 100kHz)、ファストモード(最大 400kHz)に対応しています。7bit スレーブアドレスに対応します。

5.14.2. I²C インターフェース バージョン A (EI2C)

EI²C は、I²C の二線式双方向シリアル通信機能と互換ある通信機能です。マスターとスレーブの関係で通信をしますが、同一バス上に複数のマスターが存在可能なマルチマスターをサポートしています。

また、通信スピードは標準モード(最大 100kHz)、ファストモード(最大 400kHz)、ファストモードプラス(最大 1MHz)に対応しています。スレーブアドレスは 7bit および 10bit のアドレッシングフォーマットに対応しています。

5.15. CAN コントローラー (CAN)

CAN は、ホストコンピューターなしで相互に通信が可能なシステムです。CAN バージョン 2.0B アクティブに準拠しており、標準および拡張フォーマットに対応しています。32 メールボックス、最大転送レートは 1Mbps です。

表 5.14 CAN搭載一覧

| Unit | M4MN | M4MM | M4ML |
|--------|------|------|------|
| Unit A | ○ | ○ | ○ |

注) ○: 搭載、-: 非搭載

5.16. 12 ビットアナログデジタルコンバーター (ADC)

ADC は、12 ビット逐次変換方式のアナログデジタルコンバーターです。変換結果レジスターとアナログ入力の組み合わせは、AD 変換の開始要因ごとにプログラム可能です。アナログデジタル変換の起動要因は、ソフトウェアまたは周辺機能(A-PMD のトリガー出力、タイマーイベントカウンター出力、ポート入力)から選択できます。特に A-PMD と連携することでモーターを容易に制御することができます。

また、変換結果の監視機能があり、比較条件と一致した場合に割り込みを発生させることができます。

VREFH/VREFL およびリファレンス電源と接続するセレクターを内蔵しており、ソフトウェアで制御することで自己診断機能をサポートします。

表 5.15 ADCチャンネル一覧

| ADC | M4MN | M4MM | M4ML |
|-----------------|------|------|------|
| Unit A AIN 数 | 11 | 8 | 8 |
| Unit B AIN 数 | 5 | 5 | 3 |
| Unit C AIN 数 | 6 | 4 | 3 |

注) 外部端子は製品によって異なります。「2. 端子配置図」を参照してください。

5.17. オペアンプ (OPAMP)

この MCU は、微弱なアナログ入力を増幅して AD コンバーターへ入力するオペアンプを内蔵しています。ゲインを選択できます。

表 5.16 OPAMP搭載一覧

| Unit | M4MN | M4MM | M4ML |
|--------|------|------|------|
| Unit A | ○ | ○ | ○ |
| Unit B | ○ | ○ | ○ |
| Unit C | ○ | ○ | ○ |

注) ○: 搭載、-: 非搭載

5.18. アドバンストプログラマブルモーター制御回路 (A-PMD)

A-PMDは、ブラシレスDCモーターを容易に制御することができます。パルス幅変調回路、デッドタイム回路を持ち、3相相補PWM出力やADCを連携させるモーター制御用の信号を容易に発生できます。また、過電圧検出入力や異常検出入力をもっており、緊急時の安全対策も実現できます。さらに、力率改善のための3相インターリーブPFC制御が可能です。

表 5.17 A-PMD搭載一覧

| Channel | M4MN | M4MM | M4ML |
|-----------|------|--------|--------|
| Channel 0 | ○ | ○(注 3) | ○(注 3) |
| Channel 1 | ○ | ○(注 3) | ○(注 3) |
| Channel 2 | ○ | ○(注 3) | ○(注 3) |

注 1) ○: 搭載、-: 非搭載

注 2) 外部端子は製品によって異なります。「2. 端子配置図」を参照してください。

注 3) OVVx 端子はありません。

5.19. アドバンストエンコーダー入力回路 (32-bit) (A-ENC32)

A-ENC32は、インクリメンタル型エンコーダーに対応し、モーターの位置を容易に得ることができます。信号の入力端子にノイズキャンセラーが内蔵されているので、インクリメンタルエンコーダー、ホールセンサーの信号を直接入力することができます。

エンコーダーモード、センサーモード(3種類)、タイマーモードおよび位相カウンタモードの6つの動作モードに対応しています。

表 5.18 A-ENC32搭載一覧

| Channel | M4MN | M4MM | M4ML |
|-----------|------|--------|------|
| Channel 0 | ○ | ○ | - |
| Channel 1 | ○ | ○(注 3) | - |
| Channel 2 | ○ | ○ | ○ |

注 1) ○: 搭載、-: 非搭載

注 2) 外部端子は製品によって異なります。「2. 端子配置図」を参照してください。

注 3) ENC1Z 端子はありません。

5.20. アドバンストベクトルエンジンプラス (A-VE+)

アドバンストベクトルエンジンプラスはベクトル演算処理をハードウェアで行います。この時、ソフトウェアの介在無しで ADC と A-PMD と連携動作をします。

また、1 シャント電流検出領域の拡大処理や、デッドタイム補償制御、非干渉制御などを行う事ができます。

表 5.19 A-VE+搭載一覧

| Channel | M4MN | M4MM | M4ML |
|-----------|------|------|------|
| Channel 0 | ○ | ○ | ○ |

注) ○: 搭載、-: 非搭載

5.21. 32 ビットタイマーイベントカウンター (T32A)

T32A は、32 ビットタイマーまたは、2 本の 16 ビットタイマーとして動作するタイマーイベントカウンターです。32 ビットタイマーと 16 ビットタイマーの選択が可能です。32 ビットタイマーの場合、32 ビットカウンター内蔵のタイマーCとして動作します。16 ビットタイマーの場合、16 ビットカウンター内蔵のタイマーA とタイマーB の構成で動作します。

インターバルタイマー、イベントカウント、インプットキャプチャー、2 相カウンター入力、PPG 出力、同期スタート、トリガースタート/ストップなど多彩な機能を内蔵しています。

表 5.20 T32A搭載一覧

| Channel | M4MN | M4MM | M4ML |
|-----------|------|------|------|
| Channel 0 | ○ | ○ | ○ |
| Channel 1 | ○ | ○ | ○ |
| Channel 2 | ○ | ○ | ○ |
| Channel 3 | ○ | ○ | ○ |
| Channel 4 | ○ | ○ | ○ |
| Channel 5 | ○ | ○ | ○ |

注 1) ○: 搭載、-: 非搭載

注 2) 外部端子は製品によって異なります。「2. 端子配置図」を参照してください。

5.22. クロック選択式ウォッチドッグタイマー (SIWDT)

SIWDT は、ノイズなどの原因により CPU が誤動作(暴走)した結果あらかじめ設定した検出時間以内にカウンタをクリアできなかった場合、カウンタのオーバーフローを検出して割り込み要求を発生またはリセットを発生する周辺機能です。

カウントクロックとして、システムクロック($f_{sys}/4$)の他に内蔵発振器 1(f_{IHOSC1})、内蔵発振器 2(f_{IHOSC2})の 3 つから選択が可能です。

指定された期間のみカウンタクリアが可能な、カウンタクリアウインドウ機能があります。

また、プロテクトモードに設定することでレジスタの変更を禁止することができます(カウンタクリアは可能)。

表 5.21 SIWDT搭載一覧

| Channel | M4MN | M4MM | M4ML |
|-----------|------|------|------|
| Channel 0 | ○ | ○ | ○ |

注) ○: 搭載、-: 非搭載

5.23. CRC 計算回路 (CRC)

CRC 計算回路は、CRC32 および CRC16 のハードウェア計算回路を内蔵しています。メモリーや通信データを処理してエラーを検出することに使用できます。

表 5.22 CRC搭載一覧

| | M4MN | M4MM | M4ML |
|-----|------|------|------|
| CRC | ○ | ○ | ○ |

注) ○: 搭載、-: 非搭載

5.24. RAM パリティ (RAMP)

RAM パリティは、RAM へのライト時に偶数パリティデータを生成(8 ビットデータごとに計算)して格納し、リード時にはパリティ判定を行います。判定でエラーとなった場合は割り込みを発生します。また、エラーが発生したステータスとアドレスが分かります。

表 5.23 RAMP搭載一覧

| Channel | M4MN | M4MM | M4ML |
|-----------|------|------|------|
| Channel 0 | ○ | ○ | ○ |
| Channel 1 | ○ | ○ | ○ |

注) ○: 搭載、-: 非搭載

5.25. セキュリティーリスク対策

5.25.1. 概要

TPM4M グループ(1)は、不正なアクセスを防ぐことを目的としたセキュリティーリスク対策として2つの機能を実装しています。動作モードごとに想定するアクセス経路と保護対象を、表 5.24、表 5.25、図 5.1 に示します。

機能の詳細は、「フラッシュメモリー」のリファレンスマニュアルを参照してください

(1) セキュリティー機能

セキュリティー機能は、デバッグツールとの通信を禁止します。また、フラッシュライターによるフラッシュメモリーの読み出しと書き込みを禁止します。

表 5.24 アクセス経路と保護対象(1)

| 動作モード | アクセス経路 | 保護対象 |
|--------------------------|-----------|----------------------|
| シングルチップモード シングルブートモード | JTAG/SW | CPU FLASH/ROM/RAM |
| フラッシュライターモード | フラッシュライター | FLASH |

(2) RAM 転送コマンドにおけるパスワード

シングルブートモードは、UART 通信でコマンドを送信することで動作します。RAM 転送コマンドに対しては、パスワードによる認証が行われます。

表 5.25 アクセス経路と保護対象(2)

| 動作モード | アクセス経路 | 保護対象 |
|------------|--------|----------------------|
| シングルブートモード | UART | CPU FLASH/ROM/RAM |

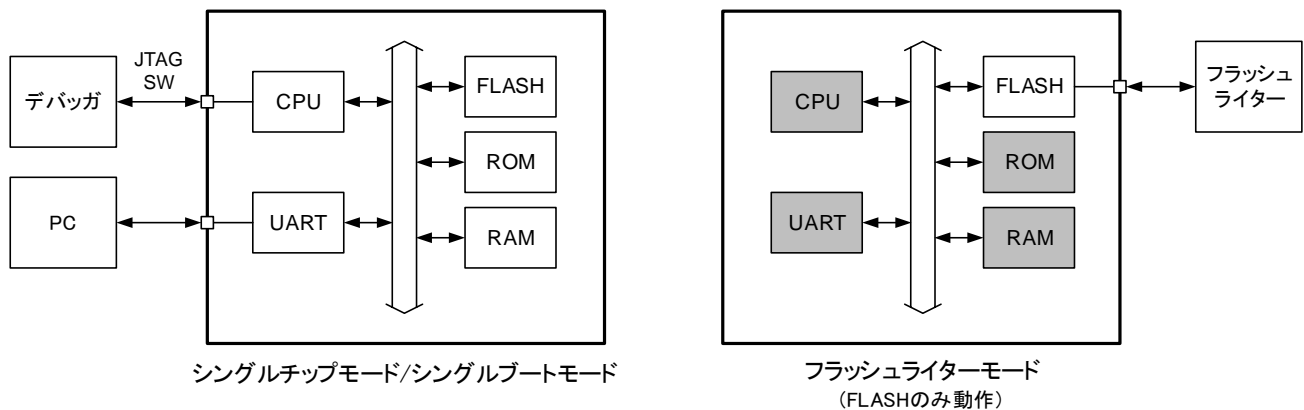


図 5.1 セキュリティーリスク対策

注) ノンブレイクデバッグインターフェース(NBDIF)搭載製品について、セキュリティー機能はNBDIFの通信を禁止しないため、**[NBDCR0]<NBDEN>**で禁止してください。

5.25.2. 免責事項

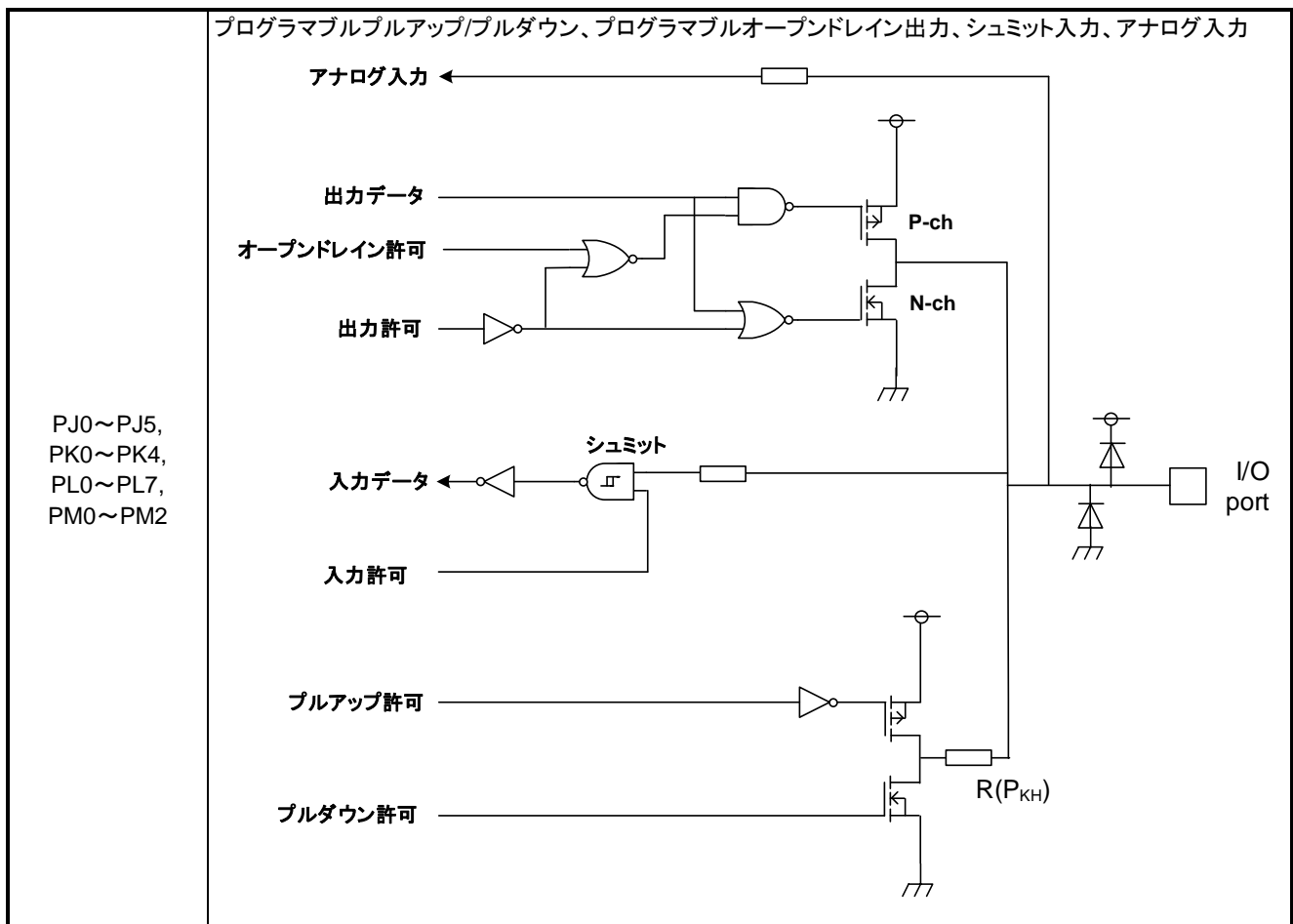
巻末の「製品取り扱い上のお願ひ」を確認ください。

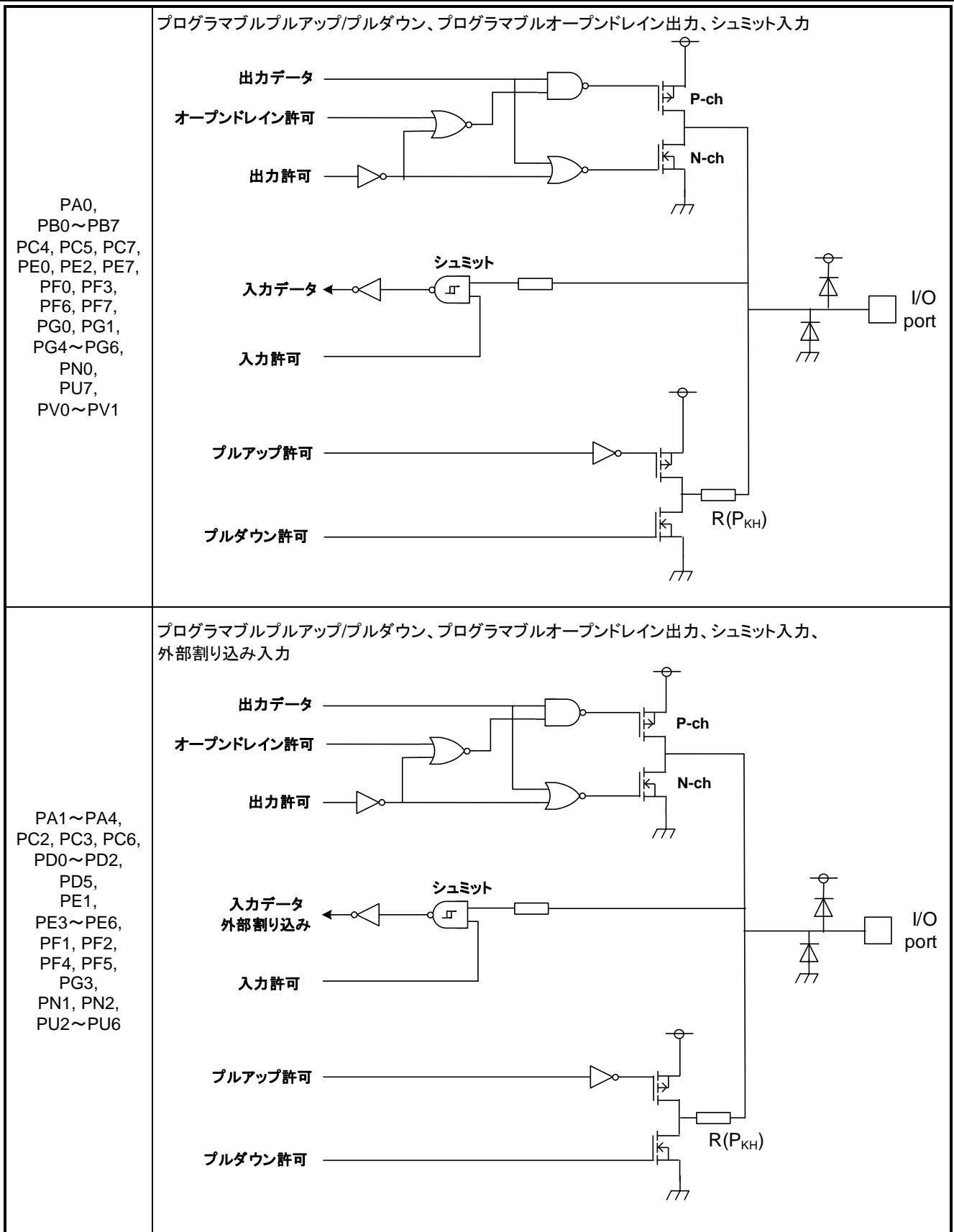
6. 等価回路図

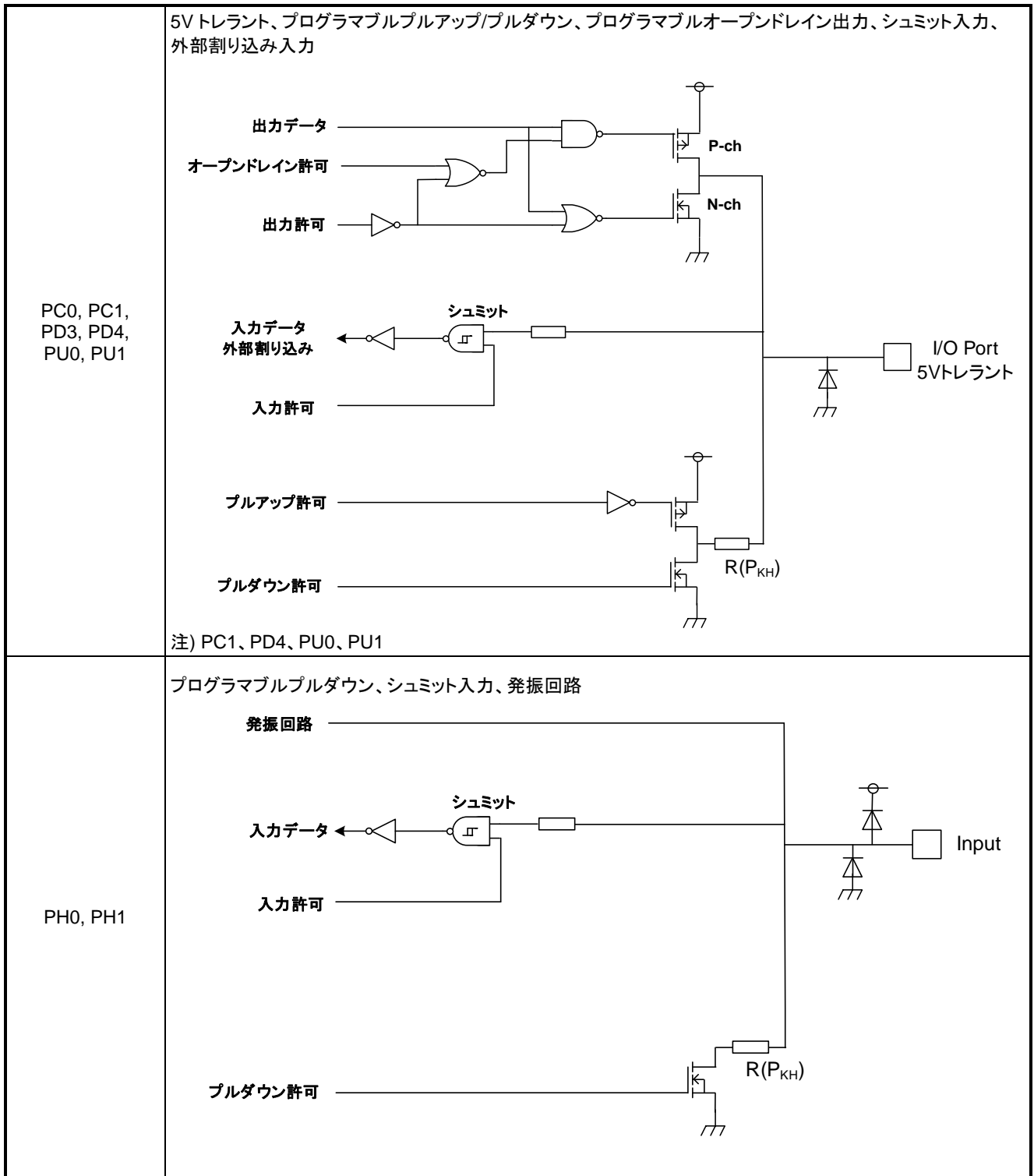
ポート等価回路図は、基本的に標準 CMOS ロジック IC 「74HCxx」 シリーズと同じゲート記号を使って書かれています。入力保護抵抗は、数十 Ω ~ 数百 Ω 程度です。

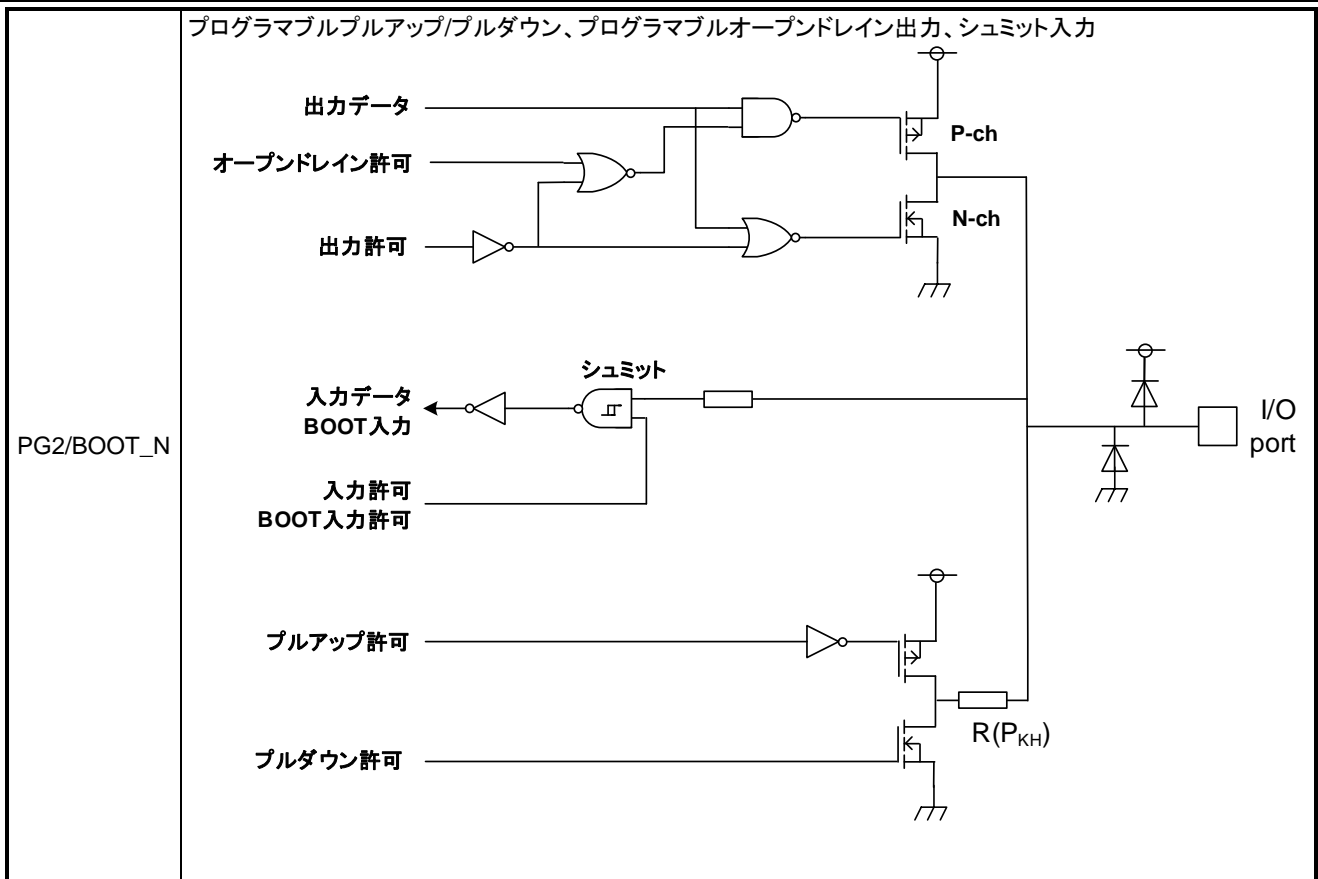
注) 図中の数値の記載のない抵抗は、入力保護抵抗を示します。

6.1. ポート

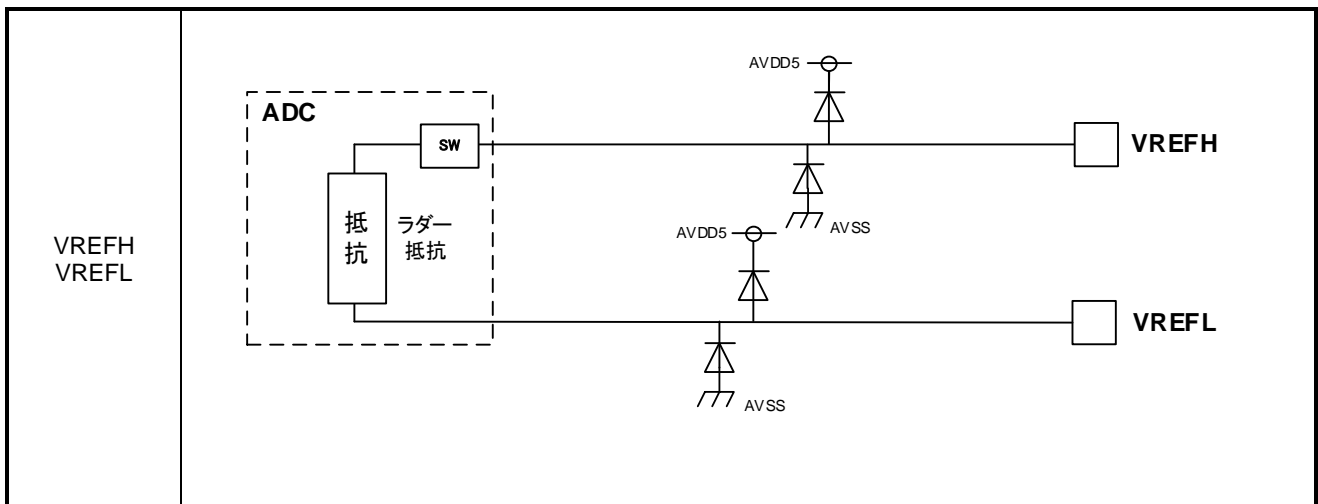






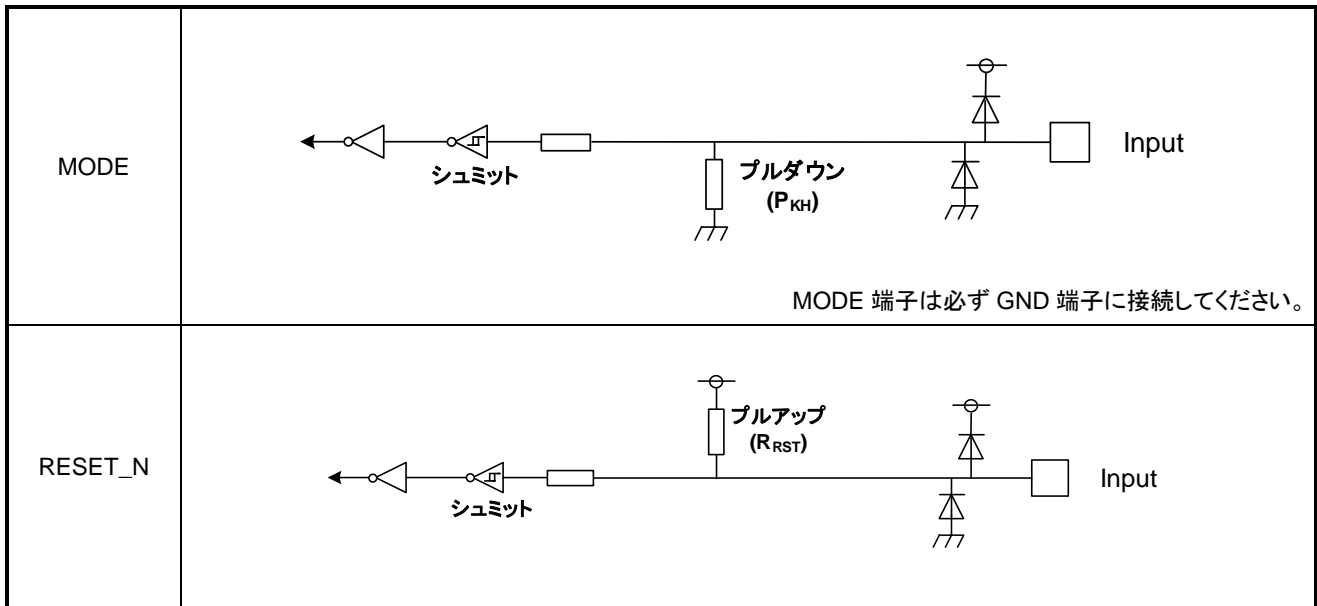


6.2. アナログ関連端子

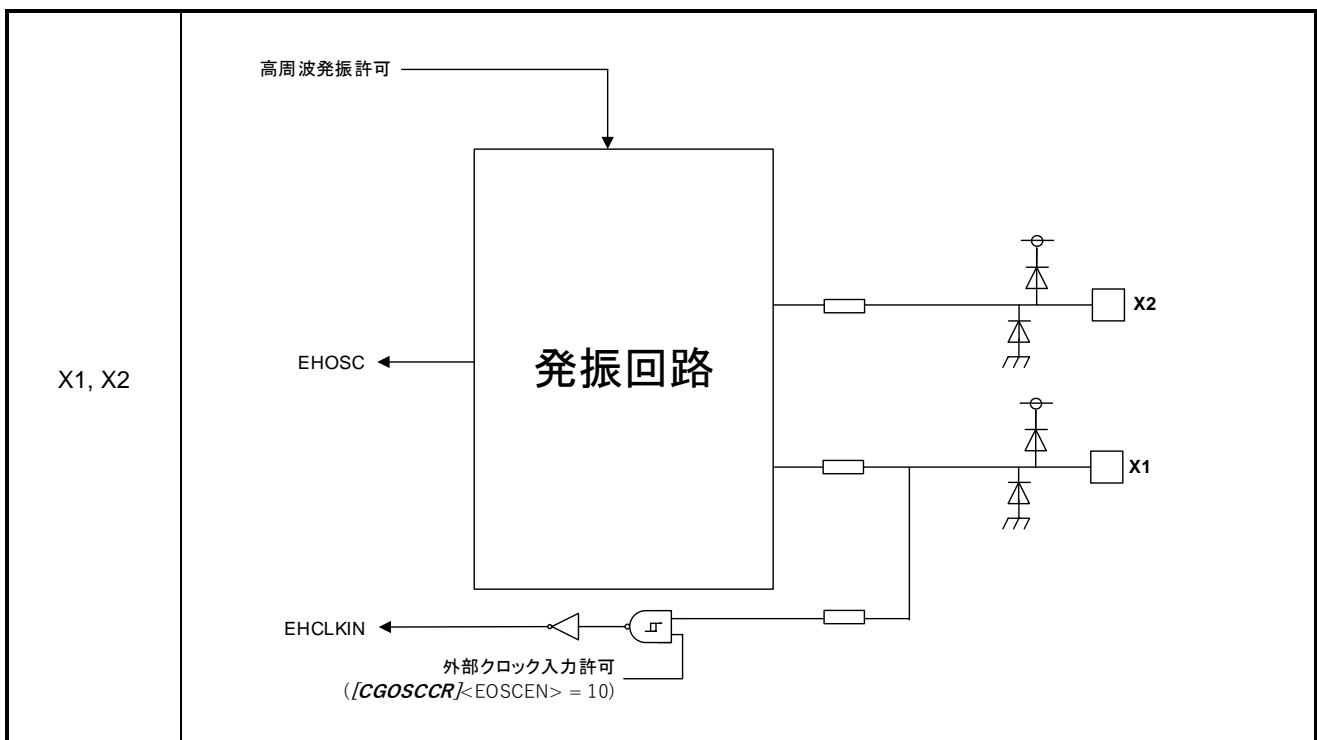


注) SW: ON/OFF スイッチ回路

6.3. 制御端子



6.4. クロック制御



7. 電気的特性

7.1. 絶対最大定格

表 7.1 絶対最大定格

| 項目 | | 記号 | 定格 | 単位 |
|-----------------|--|---------------------|---------------------------------|----|
| 電源電圧 | | DVDD5A DVDD5B | -0.3~6.0 | V |
| | | AVDD5 | -0.3~DVDD5 (注 2) | |
| 電圧保持用コンデンサー端子電圧 | | REGOUT1 | -0.3~1.4 | V |
| | | REGOUT2 | -0.3~3.9 | |
| 入力電圧 | PA0~PA4, PB0~PB7, PC2~PC7, PD0~PD2, PD5, PE0~PE7, PF0~PF7, PG0, PG1, PG3~PG6, PH0, PH1, PN0~PN2, PU2~PU7, PV0~PV1, MODE, RESET_N, BOOT_N | VIN1 VIN2 | -0.3~DVDD5+0.3 (≦6.0V) (注 2) | V |
| | PJ0~PJ5, PK0~PK4, PL0~PL7, PM0~PM2 | VIN3 | -0.3~AVDD5+0.3 (≦6.0V) (注 2) | |
| | PC0, PC1, PD3, PD4, PU0, PU1 | VIN4 | -0.3~6.0 | |
| 低レベル 出力電流 | 1 端子ごと PA0~PA4, PB0~PB7, PC2~PC7, PD0~PD2, PD5, PE0~PE7, PF0~PF7, PG0~PG6, PH0, PH1, PJ0~PJ5, PK0~PK4, PL0~PL7, PM0~PM2, PN0~PN2, PU2~PU7, PV0~PV1 | I _{OL} | 5 | mA |
| | 1 端子ごと PC0, PC1, PD3, PD4, PU0, PU1 | I _{OL4} | 25 | |
| | 全端子合計 | ΣI _{OL} | 50 | |
| 高レベル 出力電流 | 1 端子ごと PA0~PA4, PB0~PB7, PC0~PC7, PD0~PD5, PE0~PE7, PF0~PF7, PG0~PG6, PH0, PH1, PJ0~PJ5, PK0~PK4, PL0~PL7, PM0~PM2, PN0~PN2, PU0~PU7, PV0~PV1 | I _{OH} | -5 | |
| | 全端子合計 | ΣI _{OH} | -50 | |
| 消費電力 | | PD | (注 3) | mW |
| はんだ付け温度 | | T _{SOLDER} | 260 | °C |
| 保存温度 | | T _{STG} | -55~125 | °C |
| 動作温度 | | T _{OPR} | -40~105(注 3) | °C |
| | | T _J | -40~135 | |

注1) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。絶対最大定格(電流、電圧、消費電力、温度)を超えると破壊や劣化の原因となり、破裂・燃焼による障害を負うことがあります。従って必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

注2) DVDD5 は DVDD5A、DVDD5B の総称です。また、DVSS は DVSSA、DVSSB、DVSSC の総称です。DVDD5 と AVDD5 は同電位で使用してください。
電源の投入、遮断については、下記を参照してください。

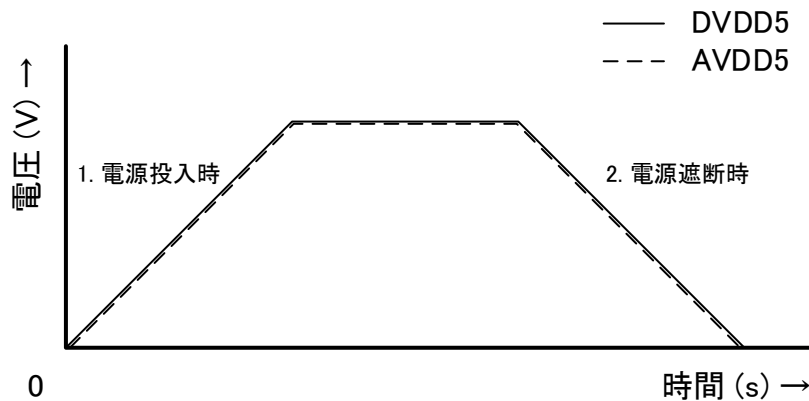


図 7.1 電源投入時と遮断時のご注意

1. 電源投入時

DVDD5、AVDD5 に同一電源から電圧を供給しても、DVDD5 - DVSS、AVDD5 - AVSS 間に接続するコンデンサー容量や、基板パターンの引き回しによる浮遊容量やインダクタンスの差によって、DVDD5 と AVDD5 の電位に差が生じる場合がありますのでご注意ください。

2. 電源遮断時

コンデンサーや基板パターンに電荷が残留することで DVDD5 と AVDD5 の電位に差が生じる場合がありますのでご注意ください。また、この状態での電源再投入時にもご注意ください。

注 3) 消費電力、および動作温度(T_{OPR})の最大温度は、ジャンクション温度(T_j)を超えない範囲でお使いください。動作温度($T_{OPR}(T_a)$)の計算式を以下に示します。

$$T_{OPR}(Max) = T_j(Max) - PD(Max) \times \theta_{ja}$$

PD : 消費電力(mW) → 最大許容電力(PD(Max))(mW)
 θ_{ja} : パッケージ熱抵抗($^{\circ}C/W$)
 表 7.2 を参照してください。

最大許容電力(PD(Max))の計算式を以下に示します。

$$PD(Max) = V_{DD} \times I_{DD}(Max) + \sum (I_{OL} \times V_{OL}) + \sum ((V_{DD} - V_{OH}) \times |I_{OH}|)$$

I_{OL} : "Low"レベル出力電流
 I_{OH} : "High"レベル出力電流
 V_{OL} : "Low"レベル出力電圧
 V_{OH} : "High"レベル出力電圧
 $I_{DD}(MAX)$: I/O を除く、マイコン内の回路で消費される電流
 「7.3. DC 電气的特性 (2/2) (消費電流)」を参考にしてください。

表 7.2 パッケージ熱抵抗と最大許容電力表

| パッケージ | 基板 | 熱抵抗 θ_{ja} (°C/W) | 最大許容電力(PD(Max)) (mW) | |
|-------------------------|----|--------------------------|-------------------------|--------------------------|
| | | | T _{OPR} =+85°C | T _{OPR} =+105°C |
| P-LQFP100-1414-0.50-002 | 1層 | 55 | 909 | 545 |
| | 4層 | 48 | 1042 | 625 |
| P-LQFP80-1212-0.50-005 | 1層 | 58 | 862 | 517 |
| | 4層 | 49 | 1020 | 612 |
| P-LQFP64-1010-0.50-003 | 1層 | 61 | 820 | 492 |
| | 4層 | 50 | 1000 | 600 |
| P-QFP100-1420-0.65-003 | 1層 | 57 | 877 | 526 |
| | 4層 | 50 | 1000 | 600 |
| P-LQFP64-1414-0.8-002 | 1層 | 55 | 909 | 545 |
| | 4層 | 48 | 1042 | 625 |

7.2. DC 電気的特性(1/2)

4.5V ≤ DVDD5=AVDD5 ≤ 5.5V
 DVSS=AVSS=0V
 Ta= -40~105°C

| 項目 | 記号 | 条件 | Min | Typ. | Max | 単位 | |
|--------------|--|---|--|------------|------------|-----|---|
| 電源電圧 | DVDD5A, DVDD5B, AVDD5 | VDD fosc = 6~12MHz fsys=1~160MHz fsysm=1~80MHz | 4.5 | - | 5.5 | V | |
| 低レベル 入力電圧 | PA0~PA4, PB0~PB7, PC2~PC7, PD0~PD2, PD5, PE0~PE7, PF0~PF7, PG0, PG1, PG3~PG6, PH0, PH1, PN0~PN2, PU2~PU7, PV0~PV1, MODE, RESET_N, BOOT_N | V _{IL1} V _{IL2} | - | - | DVDD5×0.25 | V | |
| | PJ0~PJ5, PK0~PK4, PL0~PL7, PM0~PM2 | V _{IL3} | - | - | AVDD5×0.25 | | |
| | PC0, PC1, PD3, PD4, PU0, PU1 | V _{IL4} | - | - | DVDD5×0.3 | | |
| 高レベル 入力電圧 | PA0~PA4, PB0~PB7, PC2~PC7, PD0~PD2, PD5, PE0~PE7, PF0~PF7, PG0, PG1, PG3~PG6, PH0, PH1, PN0~PN2, PU2~PU7, PV0~PV1, MODE, RESET_N, BOOT_N | V _{IH1} V _{IH2} | - | DVDD5×0.75 | DVDD5+0.3 | V | |
| | PJ0~PJ5, PK0~PK4, PL0~PL7, PM0~PM2 | V _{IH3} | - | AVDD5×0.75 | AVDD5+0.3 | | |
| | PC0, PC1, PD3, PD4, PU0, PU1 | V _{IH4} | - | DVDD5×0.7 | DVDD5+0.3 | | |
| 低レベル 出力電圧 | PA0~PA4, PB0~PB7, PC2~PC7, PD0~PD2, PD5, PE0~PE7, PF0~PF7, PG0~PG6, PN0~PN2, PU2~PU7, PV0~PV1 | V _{OL1} V _{OL2} | DVDD5=4.5V I _{OL} =1.6mA | - | - | 0.4 | V |
| | PJ0~PJ5, PK0~PK4, PL0~PL7, PM0~PM2 | V _{OL3} | AVDD5=4.5V I _{OL} =1.6mA | - | - | 0.4 | |
| | PC0, PC1, PD3, PD4, PU0, PU1 | V _{OL4} | DVDD5=4.5V I _{OL} =8mA | - | - | 1.0 | |
| 高レベル 出力電圧 | PA0~PA4, PB0~PB7, PC0~PC7, PD0~PD5, PE0~PE7, PF0~PF7, PG0~PG6, PN0~PN2, PU0~PU7, PV0~PV1 | V _{OH1} V _{OH2} | DVDD5=4.5V I _{OH} = -1.6mA | DVDD5-0.4 | - | - | |
| | PJ0~PJ5, PK0~PK4, PL0~PL7, PM0~PM2 | V _{OH3} | AVDD5=4.5V I _{OH} = -1.6mA | AVDD5-0.4 | - | - | |

注 1) DVDD5 は DVDD5A, DVDD5B の総称です。DVSS は DVSSA, DVSSB, DVSSC の総称です。

注 2) Typ.値は特に指定のない限り Ta=25°C, DVDD5=AVDD5=5.0V の値です。

注 3) DVDD5, AVDD5 は同電位で使用してください。

4.5V ≤ DVDD5 = AVDD5 ≤ 5.5V
DVSS = AVSS = 0V
Ta = -40 ~ 105°C

| 項目 | 記号 | 条件 | Min | Typ. | Max | 単位 | |
|--------------------|---|--|--------------------|--------------|-----|-------------|----|
| 入力リーク電流 | I _{LI} | 0V ≤ VIN ≤ DVDD5 0V ≤ VIN ≤ AVDD5 | -5 | ±0.05 | 5 | μA | |
| 出力リーク電流 | I _{LO} | 0.2 ≤ VIN ≤ DVDD5-0.2 0.2 ≤ VIN ≤ AVDD5-0.2 | -10 | ±0.05 | 10 | | |
| シュミット入力幅 | V _{TH} | DVDD5 = AVDD5 = 5V | - | 1.0 | - | V | |
| リセットプルアップ抵抗 | R _{RST} | - | 25 | 50 | 100 | kΩ | |
| プログラマブルプルアップ/ダウン抵抗 | P _{KH} | Pull-up | 25 | 50 | 100 | | |
| | | Pull-down | 25 | 50 | 100 | | |
| Pin 容量(電源端子を除く) | C _{IO} | fc = 1MHz | - | - | 10 | pF | |
| 低レベル出力電流 | 1 端子ごと 下欄を除くポート | I _{OL} | DVDD5 = AVDD5 = 5V | - | - | 2 (注 4) | mA |
| | 1 端子ごと PC0, PC1, PD3, PD4, PU0, PU1 | I _{OL4} | DVDD5 = 5V | - | - | 12 (注 4) | |
| | 下記ポート全体で PC0 ~ PC7, PB0 ~ PB7, PD0 ~ PD5, PG0 ~ PG6, PE0 ~ PE7 | ΣI _{OL1} | DVDD5 = 5V | - | - | 35 (注 5) | |
| | 下記ポート全体で PF0 ~ PF7, PU0 ~ PU7, PN0 ~ PN2, PV0 ~ PV1, PA0 ~ PA4 | ΣI _{OL2} | DVDD5 = 5V | - | - | 35 (注 5) | |
| | 下記ポート全体で PJ0 ~ PJ5, PK0 ~ PK4, PL0 ~ PL7, PM0 ~ PM2 | ΣI _{OL3} | AVDD5 = 5V | - | - | 35 (注 5) | |
| 高レベル出力電流 | 1 端子ごと | I _{OH} | DVDD5 = AVDD5 = 5V | -2 (注 4) | - | - | mA |
| | 下記ポート全体で PC0 ~ PC7, PB0 ~ PB7, PD0 ~ PD5, PG0 ~ PG6, PE0 ~ PE7 | ΣI _{OH1} | DVDD5 = 5V | -35 (注 5) | - | - | |
| | 下記ポート全体で PF0 ~ PF7, PU0 ~ PU7, PN0 ~ PN2, PV0 ~ PV1, PA0 ~ PA4 | ΣI _{OH2} | DVDD5 = 5V | -35 (注 5) | - | - | |
| | 下記ポート全体で PJ0 ~ PJ5, PK0 ~ PK4, PL0 ~ PL7, PM0 ~ PM2 | ΣI _{OH3} | AVDD5 = 5V | -35 (注 5) | - | - | |

注 1) DVDD5 は DVDD5A, DVDD5B の総称です。DVSS は DVSSA, DVSSB, DVSSC の総称です。

注 2) Typ.値は特に指定のない限り Ta=25°C, DVDD5=AVDD5=5.0V の値です。

注 3) DVDD5, AVDD5 は同電位で使用してください。

注 4) 端子の電流合計が各グループ電流の合計を越えないこと。

注 5) 各グループ電流の合計が、絶対最大定格を越えないこと。

2.7V ≤ DVDD5=AVDD5 < 4.5V
DVSS=AVSS=0V
Ta = -40~105°C

| 項目 | 記号 | 条件 | Min | Typ. | Max | 単位 | |
|--------------|--|---|--|------------|------------|-----|---|
| 電源電圧 | DVDD5A, DVDD5B, AVDD5 | VDD fosc = 6~12MHz fsys=1~160MHz fsysm=1~80MHz | 2.7 | - | 4.5 | V | |
| 低レベル 入力電圧 | PA0~PA4, PB0~PB7, PC2~PC7, PD0~PD2, PD5, PE0~PE7, PF0~PF7, PG0, PG1, PG3~PG6, PH0, PH1, PN0~PN2, PU2~PU7, PV0~PV1, MODE, RESET_N, BOOT_N | V _{IL1} V _{IL2} | - | - | DVDD5×0.25 | V | |
| | PJ0~PJ5, PK0~PK4, PL0~PL7, PM0~PM2 | V _{IL3} | - | - | AVDD5×0.25 | | |
| | PC0, PC1, PD3, PD4, PU0, PU1 | V _{IL4} | - | - | DVDD5×0.3 | | |
| 高レベル 入力電圧 | PA0~PA4, PB0~PB7, PC2~PC7, PD0~PD2, PD5, PE0~PE7, PF0~PF7, PG0, PG1, PG3~PG6, PH0, PH1, PN0~PN2, PU2~PU7, PV0~PV1, MODE, RESET_N, BOOT_N | V _{IH1} V _{IH2} | - | DVDD5×0.75 | DVDD5+0.3 | V | |
| | PJ0~PJ5, PK0~PK4, PL0~PL7, PM0~PM2 | V _{IH3} | - | AVDD5×0.75 | AVDD5+0.3 | | |
| | PC0, PC1, PD3, PD4, PU0, PU1 | V _{IH4} | - | DVDD5×0.7 | DVDD5+0.3 | | |
| 低レベル 出力電圧 | PA0~PA4, PB0~PB7, PC2~PC7, PD0~PD2, PD5, PE0~PE7, PF0~PF7, PG0~PG6, PN0~PN2, PU2~PU7, PV0~PV1 | V _{OL1} V _{OL2} | DVDD5=2.7V I _{OL} =0.8mA | - | - | 0.4 | V |
| | PJ0~PJ5, PK0~PK4, PL0~PL7, PM0~PM2 | V _{OL3} | AVDD5=2.7V I _{OL} =0.8mA | - | - | 0.4 | |
| | PC0, PC1, PD3, PD4, PU0, PU1 | V _{OL4} | DVDD5=2.7V I _{OL} =4mA | - | - | 1.0 | |
| 高レベル 出力電圧 | PA0~PA4, PB0~PB7, PC0~PC7, PD0~PD5, PE0~PE7, PF0~PF7, PG0~PG6, PN0~PN2, PU0~PU7, PV0~PV1 | V _{OH1} V _{OH2} | DVDD5=2.7V I _{OH} = -0.8mA | DVDD5-0.4 | - | - | |
| | PJ0~PJ5, PK0~PK4, PL0~PL7, PM0~PM2 | V _{OH3} | AVDD5=2.7V I _{OH} = -0.8mA | AVDD5-0.4 | - | - | |

注 1) DVDD5 は DVDD5A, DVDD5B の総称です。DVSS は DVSSA, DVSSB, DVSSC の総称です。

注 2) Typ.値は特に指定のない限り Ta=25°C, DVDD5=AVDD5=3.0V の値です。

注 3) DVDD5, AVDD5 は同電位で使用してください

2.7V ≤ DVDD5 = AVDD5 < 4.5V
DVSS = AVSS = 0V
Ta = -40 ~ 105°C

| 項目 | 記号 | 条件 | Min | Typ. | Max | 単位 | |
|--------------------|---|--|--------------------|--------------|-----|-------------|----|
| 入力リーク電流 | I _{LI} | 0V ≤ VIN ≤ DVDD5 0V ≤ VIN ≤ AVDD5 | -5 | ±0.05 | 5 | μA | |
| 出力リーク電流 | I _{LO} | 0.2 ≤ VIN ≤ DVDD5-0.2 0.2 ≤ VIN ≤ AVDD5-0.2 | -10 | ±0.05 | 10 | | |
| シュミット入力幅 | V _{TH} | DVDD5 = AVDD5 = 3V | - | 0.5 | - | V | |
| リセットプルアップ抵抗 | R _{RST} | - | 25 | 100 | 200 | kΩ | |
| プログラマブルプルアップ/ダウン抵抗 | P _{KH} | Pull-up | 25 | 100 | 200 | | |
| | | Pull-down | 25 | 100 | 200 | | |
| Pin 容量(電源端子を除く) | C _{IO} | f _c = 1MHz | - | - | 10 | pF | |
| 低レベル出力電流 | 1 端子ごと 下記を除くポート | I _{OL} | DVDD5 = AVDD5 = 3V | - | - | 1 (注 4) | mA |
| | 1 端子ごと PC0, PC1, PD3, PD4, PU0, PU1 | I _{OL4} | DVDD5 = 3V | - | - | 6 (注 4) | |
| | 下記ポート全体で PC0 ~ PC7, PB0 ~ PB7, PD0 ~ PD5, PG0 ~ PG6, PE0 ~ PE7 | ∑I _{OL1} | DVDD5 = 3V | - | - | 18 (注 5) | |
| | 下記ポート全体で PF0 ~ PF7, PU0 ~ PU7, PN0 ~ PN2, PV0 ~ PV1, PA0 ~ PA4 | ∑I _{OL2} | DVDD5 = 3V | - | - | 18 (注 5) | |
| | 下記ポート全体で PJ0 ~ PJ5, PK0 ~ PK4, PL0 ~ PL7, PM0 ~ PM2 | ∑I _{OL3} | AVDD5 = 3V | - | - | 17 (注 5) | |
| 高レベル出力電流 | 1 端子ごと | I _{OH} | DVDD5 = AVDD5 = 3V | -1 (注 4) | - | - | mA |
| | 下記ポート全体で PC0 ~ PC7, PB0 ~ PB7, PD0 ~ PD5, PG0 ~ PG6, PE0 ~ PE7 | ∑I _{OH1} | DVDD5 = 3V | -18 (注 5) | - | - | |
| | 下記ポート全体で PF0 ~ PF7, PU0 ~ PU7, PN0 ~ PN2, PV0 ~ PV1, PA0 ~ PA4 | ∑I _{OH2} | DVDD5 = 3V | -18 (注 5) | - | - | |
| | 下記ポート全体で PJ0 ~ PJ5, PK0 ~ PK4, PL0 ~ PL7, PM0 ~ PM2 | ∑I _{OH3} | AVDD5 = 3V | -17 (注 5) | - | - | |

注 1) DVDD5 は DVDD5A, DVDD5B の総称です。DVSS は DVSSA, DVSSB, DVSSC の総称です。

注 2) Typ.値は特に指定のない限り Ta=25°C, DVDD5=AVDD5=3.0V の値です。

注 3) DVDD5, AVDD5 は同電位で使用してください。

注 4) 端子の電流合計が各グループ電流の合計を越えないこと。

注 5) 各グループ電流の合計が、絶対最大定格を越えないこと。

7.3. DC 電气的特性 (2/2) (消費電流)

Ta= -40~105°C

| 項目 | 記号 | 条件 | Min | Typ. | Max | 単位 |
|--------|-----------------|-----------------------------|-----|------|-----|----|
| NORMAL | I _{DD} | 動作条件は表 7.3、表 7.4 を参照してください。 | - | 40 | 76 | mA |
| IDLE | | | - | 4 | 33 | |
| STOP1 | | | - | 0.6 | 30 | mA |

注 1) DVDD5 は DVDD5A, DVDD5B の総称です。DVSS は DVSSA, DVSSB, DVSSC の総称です。

注 2) Typ.値は特に指定のない限り Ta=25°C, DVDD5=AVDD5=5.0V の値です。

注 3) DVDD5, AVDD5 は同電位で使用してください。

注 4) 入力端子は固定、出力端子は解放。

表 7.3 I_{DD}測定条件(端子設定、発振回路)

| | | NORMAL | IDLE | STOP1 |
|----------------|--------------------------|-----------------------|------|-------|
| 端子設定 | DVDD5 AVDD5 | 5.0V(Typ.), 5.5V(max) | | |
| | X1,X2 端子 | 発振子接続(10MHz) | | |
| | 入力端子 | 固定 | | |
| | 出力端子 | 開放 | | |
| 動作条件 (発振回路) | システムクロック (fsys/fsysm) | 160MHz/80MHz | | 停止 |
| | 外部高速発振器 (EHOSC) | 発振 | | 停止 |
| | 内部高速発振器 (IHOSC1) | 停止 | | |
| | PLL | 動作(16倍) | | 停止 |

表 7.4 I_{DD}測定条件(CPU、周辺回路)

| 回路 | 搭載回路数 | NORMAL | IDLE | STOP1 |
|------------|-------|------------------------------------|------|-------|
| CPU | 1 | 動作 (ドライストン Ver.2.1) | | 停止 |
| DMAC | 1 | (UART ch0,ch2: 送信で起動, 転送元: RAM) | | 停止 |
| ADC | 3 | 動作 (1.0μs,リポート変換) | | 停止 |
| OPAMP | 3 | 全 ch: 動作 | | 停止 |
| T32A | 6 | 全 ch: 動作 | | 停止 |
| A-PMD | 3 | 全 ch: 動作 | | 停止 |
| A-ENC32 | 3 | 動作 | | 停止 |
| A-VE+ | 1 | 動作 | | 停止 |
| SIWDT | 1 | 動作 | | 停止 |
| UART | 4 | 2ch: 送信(5Mbps) | | 停止 |
| I2C / EI2C | 2 | | 停止 | |
| TSPI | 2 | 2ch: 送信,10MHz | | 停止 |
| CAN | 1 | | 停止 | |
| CRC | 1 | | 停止 | |
| RAMP | 2 | 動作 | | 停止 |
| LVD | 1 | | 停止 | |
| OFD | 1 | 動作 | | 停止 |
| Debug | 1 | | 停止 | |
| NBDIF | 1 | | 停止 | |
| 入出力ポート | — | 動作 | | 停止 |

f_{sys}=160MHz
 T_a= -40~105°C

| 項目 | 記号 | 条件 | Min | Typ. | Max | 単位 |
|-------------------------|-------------------|--------------------|-----|------|-----|----|
| 消費電流 (ADC,OPAMP 動作時) | I _{AVDD} | AVDD5=5.0V、AVSS=0V | - | 18 | 26 | mA |

7.4. 12 ビット AD コンバーター特性

DVDD5=AVDD5=4.5V~5.5V
 DVSS=AVSS=0V
 Ta= -40~105°C

| 項目 | 記号 | 条件 | Min | Typ. | Max | 単位 |
|---------------|-------------------|---|-------|------|-------|-----|
| アナログ基準電圧(+) | VREFH | - | 4.5 | - | AVDD5 | V |
| アナログ入力電圧 | V _{AIN} | VREFL=AVSS | VREFL | - | VREFH | V |
| 積分非直線性誤差(INL) | - | 4.5V ≤ AVDD5 = VREFH ≤ 5.5V AVSS = VREFL = 0V AIN 負荷抵抗 = 600Ω AIN 負荷容量 ≥ 0.1μF 変換時間 = 0.96μs @ 40MHz (SCLK) | -4 | - | 4 | LSB |
| 微分非直線性誤差(DNL) | | | -2 | - | 2 | |
| ゼロスケール誤差 | | | -4 | - | 5 | |
| フルスケール誤差 | | | -5 | - | 4 | |
| 総合誤差 | | | -7 | - | 5 | |
| 安定待ち時間 | t _{sta} | [ADMOD0]<DACON>=1 設定後 | 3 | - | - | μs |
| 変換時間 | t _{conv} | 4.5V ≤ AVDD5 ≤ 5.5V | 0.91 | - | - | |

注 1) DVDD5 は DVDD5A, DVDD5B の総称です。DVSS は DVSSA, DVSSB, DVSSC の総称です。

注 2) 1LSB = (VREFH - VREFL) / 4096 [V]

注 3) AD コンバーター単体動作の時の特性です。

DVDD5=AVDD5=4.5V~5.5V
 DVSS=AVSS=0V
 Ta= -40~105°C

| 項目 | 条件 | Min | Typ. | Max | 単位 |
|------------|---|------|------|------|----|
| リファレンス電源電圧 | Unit A: ch21 選択 Unit B: ch11 選択 Unit C: ch11 選択 | 0.99 | - | 1.21 | V |

注) DVDD5 は DVDD5A、DVDD5B の総称です。

7.5. オペアンプ特性

DVDD5=AVDD5=4.5V~5.5V
 DVSS=AVSS=0V, Ta= -40~105°C

| 項目 | 記号 | 条件 | Min | Typ. | Max | 単位 |
|---------------|--|--------------------|------------|------|------------------------------------|------|
| ゲイン(倍率) (注 2) | V _{GAIN} | - | 2.0 | - | 15 | 倍 |
| アンプ入力電圧範囲(同相) | V _{AMPINP} V _{AMPINN} | - | AVSS | - | (AVDD5×0.97) /V _{GAIN} | V |
| アンプ入力電圧範囲(差動) | V _{AMPINP} V _{AMPINN} | - | 0 | - | AVDD5 /(MinV _{GAIN}) | |
| アンプ出力電圧 | V _{VOLT} | - | AVDD5×0.03 | - | AVDD5×0.97 | |
| 差動段オフセット電圧 | V _{OFF} | - | -5 | - | +5 | mV |
| ゲイン誤差 | - | - | -3 | - | +3 | % |
| スルーレート | V _{thr} | - | 6 | 10 | - | V/μs |
| AMPEN→出力安定時間 | T _{sta1} | 上限: +1% 下限: -1% | - | - | 2 | μs |

注 1) アンプ単体動作時の特性です。

注 2) レジスター設定により、2.5,3,3.5,4,4.5,6,7,8,10,12 倍も選択できます。

注 3) DVDD5 は DVDD5A,DVDD5B の総称です。DVSS は DVSSA,DVSSB,DVSSC の総称です。

注 4) Typ.値は特に指定のない限り Ta=25°C,DVDD5=AVDD5=5.0V の値です。

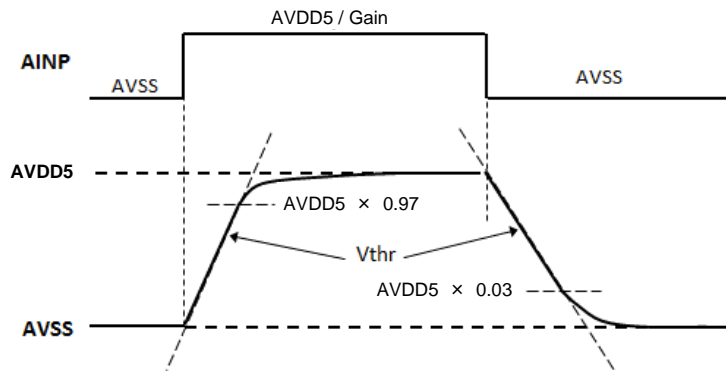


図 7.2 スルーレート

7.6. リセット時内部処理特性

DVSSA=DVSSB=DVSSC=AVSS=0V
Ta=-40~105°C

| 項目 | 記号 | 条件 | Min | Typ. | Max | 単位 |
|-------------------|--------------------|---|------|------|------|-------|
| 内部初期化時間 | t _{INIT} | パワーオン時 | - | - | 1.85 | ms |
| 内部処理時間 | t _{IRST} | - | 0.15 | - | 1.12 | |
| CPU 動作待ち時間 (注) | t _{CPUWT} | パワーオン時 STOP1 モードで LVD によるリセット動作時 STOP1 モードで RESET_N 端子によるリセット動作時 | 12 | - | 15 | μs |
| | | NORMAL/IDLE モードで LVD によるリセット動作時 NORMAL/IDLE モードで RESET_N 端子によるリセット動作時 NORMAL/IDLE モードで WDT/OFD/LOCKUP/SYSRESET によるリセット動作時 | 132 | - | 137 | |
| 電源傾斜 | V _{PON} | 立ち上がり傾斜 | 0.3 | - | 100 | mV/μs |
| | V _{POFF} | 立ち下がり傾斜 | - | - | 10 | |

注) WDT/OFD/LOCKUP/SYSRESET によるリセット動作時を除き、リセット要因が継続した場合、同リセット要因が解除された後に、t_{CPUWT} (CPU 動作待ち時間)の計測が始まります。

7.7. パワーオンリセット特性

DVSSA=DVSSB=DVSSC=AVSS=0V
Ta= -40~105°C

| 項目 | 記号 | 条件 | Min | Typ. | Max | 単位 |
|---------|--------------------|---------|------|------|------|----|
| 検知電圧 | V _{PREL} | 電源立ち上がり | 2.22 | 2.33 | 2.44 | V |
| | V _{PDET} | 電源立ち下がり | 2.17 | 2.28 | 2.39 | |
| 検知パルス幅1 | T _{PDET1} | - | 200 | - | - | μs |

7.8. PORF 特性

DVSSA=DVSSB=DVSSC=AVSS=0V
Ta= -40~105°C

| 項目 | 記号 | 条件 | Min | Typ. | Max | 単位 |
|----------|--------------------|---------|------|------|------|----|
| 検知電圧 | V _{PORFL} | 電源立ち上がり | 2.57 | 2.64 | 2.71 | V |
| | V _{PORFD} | 電源立ち下がり | 2.52 | 2.59 | 2.66 | |
| 検知パルス幅 2 | T _{PDET2} | - | 200 | - | - | μs |

7.9. 電圧検出回路特性

DVDD5=AVDD5=2.7V~5.5V
 DVSS=AVSS=0V
 Ta= -40~105°C

| 項目 | 記号 | 条件 | Min | Typ. | Max | 単位 | |
|----------|---------------------|--------------------|---------|------|------|-----|----|
| 検知電圧 | V _{LVL0} | 電源立ち上がり | 2.63 | 2.7 | 2.77 | V | |
| | | 電源立ち下がり | 2.58 | 2.65 | 2.72 | | |
| | V _{LVL1} | 電源立ち上がり | 2.68 | 2.75 | 2.82 | V | |
| | | 電源立ち下がり | 2.63 | 2.7 | 2.77 | | |
| | V _{LVL2} | 電源立ち上がり | 2.78 | 2.85 | 2.92 | V | |
| | | 電源立ち下がり | 2.73 | 2.8 | 2.87 | | |
| | V _{LVL3} | 電源立ち上がり | 2.88 | 2.95 | 3.02 | V | |
| | | 電源立ち下がり | 2.83 | 2.9 | 2.97 | | |
| | V _{LVL4} | 電源立ち上がり | 3.96 | 4.05 | 4.14 | V | |
| | | 電源立ち下がり | 3.91 | 4.0 | 4.09 | | |
| | V _{LVL5} | 電源立ち上がり | 4.16 | 4.25 | 4.34 | V | |
| | | 電源立ち下がり | 4.11 | 4.2 | 4.29 | | |
| | V _{LVL6} | 電源立ち上がり | 4.36 | 4.45 | 4.54 | V | |
| | | 電源立ち下がり | 4.31 | 4.4 | 4.49 | | |
| | V _{LVL7} | 電源立ち上がり | 4.56 | 4.65 | 4.74 | V | |
| | | 電源立ち下がり | 4.51 | 4.6 | 4.69 | | |
| | 検知応答時間 | t _{VDDT1} | 電源立ち下がり | - | - | 100 | μs |
| | 検知解除時間 | t _{VDDT2} | 電源立ち上がり | - | - | 100 | |
| セットアップ時間 | t _{LV DEN} | - | - | - | 100 | | |
| 検知最小パルス幅 | t _{LVDPW} | - | 200 | - | - | | |

注) DVDD5 は DVDD5A,DVDD5B の総称です。DVSS は DVSSA,DVSSB,DVSSC の総称です。

7.10. AC 電気的特性

7.10.1. シリアルペリフェラルインターフェース(TSPI)

7.10.1.1. 条件

この章に記載されている AC 特性は、以下の条件となります。

- DVDD5 = AVDD5 = 2.7V~5.5V
- Ta = -40~105°C
- 出力レベル: High = 0.8×DVDD5、Low = 0.2×DVDD5
- 入力レベル: High = 0.75×DVDD5、Low = 0.25×DVDD5
- 負荷容量: CL = 30pF

注) DVDD5 は DVDD5A,DVDD5B の総称です。

7.10.1.2. AC 電気的特性

T は TSPI の動作クロックの周期を表します。TSPI の動作クロックは、システムクロック f_{sysm} と同じ周期です。この周期は、クロックギアの設定に依存します。

k1 の値は[TSPIxFMTR0]<CSSCKDL[3:0]>, k2 の値は[TSPIxFMTR0]<SCKCSDL[3:0]>で設定された TSPIxSCK のサイクル数で、1~16 の値になります。

(1) SPIモード マスター

4.5V ≤ DVDD5=AVDD5 ≤ 5.5V

| 項目 | 記号 | 計算式 | | fsysm=80MHz k1=k2=1 時 | | 単位 |
|--|--------------------|---------------------------------|--------------------------------|--------------------------|-----|-----|
| | | Min | Max | Min | Max | |
| TSPIxSCK 出力周波数 | f _{cyC} | - | 10 | - | 10 | MHz |
| TSPIxSCK 出力周期 | t _{cyC} | 100 | - | 100 | - | ns |
| TSPIxSCK 低レベル出力パルス幅 | t _{wL} | (t _{cyC} /2) -13 | - | 37 | - | |
| TSPIxSCK 高レベル出力パルス幅 | t _{wH} | (t _{cyC} /2) -13 | - | 37 | - | |
| TSPIxCSn 出力 ←TSPIxSCK 立ち上がり/立ち下がり時間 | t _{csU} | (t _{cyC} ×k1)-20 | (t _{cyC} ×k1)+9 | 80 | 109 | |
| TSPIxSCK 立ち上がり/立ち下がり →TSPIxCSn ホールド時間 | t _{chD} | (t _{cyC} ×(k2+0.5))-20 | - | 130 | - | |
| TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間 | t _{dsU} | 35-2×T (注) | - | 10 | - | |
| TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間 | t _{dhD} | 2×T-10.5 (注) | - | 14.5 | - | |
| TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間 | t _{odLY1} | -18 | - | -18 | - | |
| TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間 | t _{odLY2} | - | 16 | - | 16 | |
| TSPIxCSn 立ち下がり→TSPIxTXD 遅延時間 | t _{odLY3} | (t _{cyC} ×(k1-0.5))-25 | (t _{cyC} ×(k1-0.5))+9 | 25 | 59 | |

注) [TSPIxCR2]<RXDLY>=1 時

2.7V ≤ DVDD5=AVDD5 < 4.5V

| 項目 | 記号 | 計算式 | | fsysm=80MHz k1=k2=1 時 | | 単位 |
|--|--------------------|---------------------------------|---------------------------------|--------------------------|-----|-----|
| | | Min | Max | Min | Max | |
| TSPIxSCK 出力周波数 | f _{cyC} | - | 10 | - | 10 | MHz |
| TSPIxSCK 出力周期 | t _{cyC} | 100 | - | 100 | - | ns |
| TSPIxSCK 低レベル出力パルス幅 | t _{wL} | (t _{cyC} /2) -16 | - | 9 | - | |
| TSPIxSCK 高レベル出力パルス幅 | t _{wH} | (t _{cyC} /2) -16 | - | 9 | - | |
| TSPIxCSn 出力 ←TSPIxSCK 立ち上がり/立ち下がり時間 | t _{csU} | (t _{cyC} ×k1) -20 | (t _{cyC} ×k1)+11 | 80 | 111 | |
| TSPIxSCK 立ち上がり/立ち下がり →TSPIxCSn ホールド時間 | t _{chD} | (t _{cyC} ×(k2+0.5))-20 | - | 130 | - | |
| TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間 | t _{dsU} | 45-2×T (注) | - | 20 | - | |
| TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間 | t _{dhD} | 2×T-10.5 (注) | - | 14.5 | - | |
| TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間 | t _{odLY1} | -18 | - | -18 | - | |
| TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間 | t _{odLY2} | - | 16 | - | 16 | |
| TSPIxCSn 立ち下がり→TSPIxTXD 遅延時間 | t _{odLY3} | (t _{cyC} ×(k1-0.5))-25 | (t _{cyC} ×(k1-0.5))+13 | 25 | 63 | |

注) [TSPIxCR2]<RXDLY>=1 時

(2) SPI モード スレーブ

4.5V ≤ DVDD5=AVDD5 ≤ 5.5V

| 項目 | 記号 | 計算式 | | fsysm=80MHz k1=1 時 | | 単位 |
|---|--------------------|--------|-----|-----------------------|-----|-----|
| | | Min | Max | Min | Max | |
| TSPIxSCK 入力周波数 | f _{CYC} | - | 10 | - | 10 | MHz |
| TSPIxSCK 入力周期 | t _{CYC} | 100 | - | 100 | - | ns |
| TSPIxSCK 低レベル入力パルス幅 | t _{WL} | 37 | - | 37 | - | |
| TSPIxSCK 高レベル入力パルス幅 | t _{WH} | 37 | - | 37 | - | |
| TSPIxCSIN 入力 (1st) ←TSPIxSCK 立ち上がり/立ち下がり時間 | t _{CSU1} | 170 | - | 170 | - | |
| TSPIxCSIN 入力 (2nd) ←TSPIxSCK 立ち上がり/立ち下がり時間 | t _{CSU2} | 80 | - | 80 | - | |
| TSPIxSCK 立ち上がり/立ち下がり →TSPIxCSIN ホールド時間 (1st) | t _{CHD} | 80 | - | 80 | - | |
| TSPIxSCK 立ち上がり/立ち下がり →TSPIxCSIN ホールド時間 (2nd) | t _{CHD} | 7 | - | 7 | - | |
| TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間 | t _{DSU} | 7 | - | 7 | - | |
| TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間 | t _{DHD} | 10 | - | 10 | - | |
| TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間 | t _{ODLY1} | 0 | - | 0 | - | |
| TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間 | t _{ODLY2} | - | 38 | - | 38 | |
| TSPIxCSIN 立ち下がり→TSPIxTXD 遅延時間 | t _{ODLY3} | - | 55 | - | 55 | |
| TSPIxCSIN 高レベル入力パルス幅 (1st) | t _{WDIS} | T×5+20 | - | 82.5 | - | |
| TSPIxCSIN 高レベル入力パルス幅 (2nd) | t _{WDIS} | T×2+20 | - | 45 | - | |

2.7V ≤ DVDD5 = AVDD5 < 4.5V

| 項目 | 記号 | 計算式 | | fsystem=80MHz k1=1 時 | | 単位 |
|---|--------------------|--------|-----|-------------------------|-----|-----|
| | | Min | Max | Min | Max | |
| TSPIxSCK 入力周波数 | f _{CYC} | - | 10 | - | 10 | MHz |
| TSPIxSCK 入力周期 | t _{CYC} | 100 | - | 100 | - | ns |
| TSPIxSCK 低レベル入力パルス幅 | t _{WL} | 37 | - | 37 | - | |
| TSPIxSCK 高レベル入力パルス幅 | t _{WH} | 37 | - | 37 | - | |
| TSPIxCSIN 入力 (1st) ←TSPIxSCK 立ち上がり/立ち下がり時間 | t _{CSU1} | 170 | - | 170 | - | |
| TSPIxCSIN 入力 (2nd) ←TSPIxSCK 立ち上がり/立ち下がり時間 | t _{CSU2} | 80 | - | 80 | - | |
| TSPIxSCK 立ち上がり/立ち下がり →TSPIxCSIN ホールド時間 (1st) | t _{CHD} | 80 | - | 80 | - | |
| TSPIxSCK 立ち上がり/立ち下がり →TSPIxCSIN ホールド時間 (2nd) | t _{CHD} | 7 | - | 7 | - | |
| TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間 | t _{DSU} | 7 | - | 7 | - | |
| TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間 | t _{DHD} | 10 | - | 10 | - | |
| TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間 | t _{ODLY1} | 0 | - | 0 | - | |
| TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間 | t _{ODLY2} | - | 49 | - | 49 | |
| TSPIxCSIN 立ち下がり→TSPIxTXD 遅延時間 | t _{ODLY3} | - | 55 | - | 55 | |
| TSPIxCSIN 高レベル入力パルス幅 (1st) | t _{WDIS} | Tx5+20 | - | 82.5 | - | |
| TSPIxCSIN 高レベル入力パルス幅 (2nd) | t _{WDIS} | Tx2+20 | - | 45 | - | |

(3) SIO モード マスター

4.5V ≤ DVDD5=AVDD5 ≤ 5.5V

| 項目 | 記号 | 計算式 | | fsysm=80MHz 時 | | 単位 |
|--|--------------------|----------------------------|-----|------------------|-----|-----|
| | | Min | Max | Min | Max | |
| TSPIxSCK 出力周波数 | f _{cyC} | - | 10 | - | 10 | MHz |
| TSPIxSCK 出力周期 | t _{cyC} | 100 | - | 100 | - | ns |
| TSPIxSCK 低レベル出力パルス幅 | t _{wL} | (t _{cyC} /2) - 13 | - | 37 | - | |
| TSPIxSCK 高レベル出力パルス幅 | t _{wH} | (t _{cyC} /2) - 13 | - | 37 | - | |
| TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間 | t _{dsU} | 35-2×T (注) | - | 10 | - | |
| TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間 | t _{dHd} | 2×T-10.5 (注) | - | 14.5 | - | |
| TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間 | t _{oDLY1} | -18 | - | -18 | - | |
| TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間 | t _{oDLY2} | - | 16 | - | 16 | |

注) [TSPIxCR2]<RXDLY>=1 時

2.7V ≤ DVDD5=AVDD5 < 4.5V

| 項目 | 記号 | 計算式 | | fsysm=80MHz 時 | | 単位 |
|--|--------------------|----------------------------|-----|------------------|-----|-----|
| | | Min | Max | Min | Max | |
| TSPIxSCK 出力周波数 | f _{cyC} | - | 10 | - | 10 | MHz |
| TSPIxSCK 出力周期 | t _{cyC} | 100 | - | 100 | - | ns |
| TSPIxSCK 低レベル出力パルス幅 | t _{wL} | (t _{cyC} /2) - 16 | - | 9 | - | |
| TSPIxSCK 高レベル出力パルス幅 | t _{wH} | (t _{cyC} /2) - 16 | - | 9 | - | |
| TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間 | t _{dsU} | 45-2×T (注) | - | 20 | - | |
| TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間 | t _{dHd} | 2×T-10.5 (注) | - | 14.5 | - | |
| TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間 | t _{oDLY1} | -18 | - | -18 | - | |
| TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間 | t _{oDLY2} | - | 16 | - | 16 | |

注) [TSPIxCR2]<RXDLY>=1 時

(4) SIO モード スレーブ

4.5V ≤ DVDD5=AVDD5 ≤ 5.5V

| 項目 | 記号 | 計算式 | | fsysm=80MHz 時 | | 単位 |
|---|--------------------|-----|-----|------------------|-----|-----|
| | | Min | Max | Min | Max | |
| TSPIxSCK 入力周波数 | f _{CYC} | - | 10 | - | 10 | MHz |
| TSPIxSCK 入力周期 | t _{CYC} | 100 | - | 100 | - | ns |
| TSPIxSCK 低レベル入力パルス幅 | t _{WL} | 37 | - | 37 | - | |
| TSPIxSCK 高レベル入力パルス幅 | t _{WH} | 37 | - | 37 | - | |
| TSPIxSCK 立ち上がり/立ち下がり →TSPIxCSIN ホールド時間 | t _{CHD} | 7 | - | 7 | - | |
| TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間 | t _{DSU} | 7 | - | 7 | - | |
| TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間 | t _{DHD} | 10 | - | 10 | - | |
| TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間 | t _{ODLY1} | 0 | - | 0 | - | |
| TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間 | t _{ODLY2} | - | 38 | - | 38 | |

2.7V ≤ DVDD5=AVDD5 < 4.5V

| 項目 | 記号 | 計算式 | | fsysm=80MHz 時 | | 単位 |
|---|--------------------|-----|-----|------------------|-----|-----|
| | | Min | Max | Min | Max | |
| TSPIxSCK 入力周波数 | f _{CYC} | - | 10 | - | 10 | MHz |
| TSPIxSCK 入力周期 | t _{CYC} | 100 | - | 100 | - | ns |
| TSPIxSCK 低レベル入力パルス幅 | t _{WL} | 37 | - | 37 | - | |
| TSPIxSCK 高レベル入力パルス幅 | t _{WH} | 37 | - | 37 | - | |
| TSPIxSCK 立ち上がり/立ち下がり →TSPIxCSIN ホールド時間 | t _{CHD} | 7 | - | 7 | - | |
| TSPIxRXD 入力 ←TSPIxSCK 立ち上がり/立ち下がり時間 | t _{DSU} | 7 | - | 7 | - | |
| TSPIxSCK 立ち上がり/立ち下がり →TSPIxRXD ホールド時間 | t _{DHD} | 10 | - | 10 | - | |
| TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間 | t _{ODLY1} | 0 | - | 0 | - | |
| TSPIxSCK 立ち上がり/立ち下がり →TSPIxTXD 遅延時間 | t _{ODLY2} | - | 49 | - | 49 | |

(1) 1st クロックエッジサンプリング(マスター)

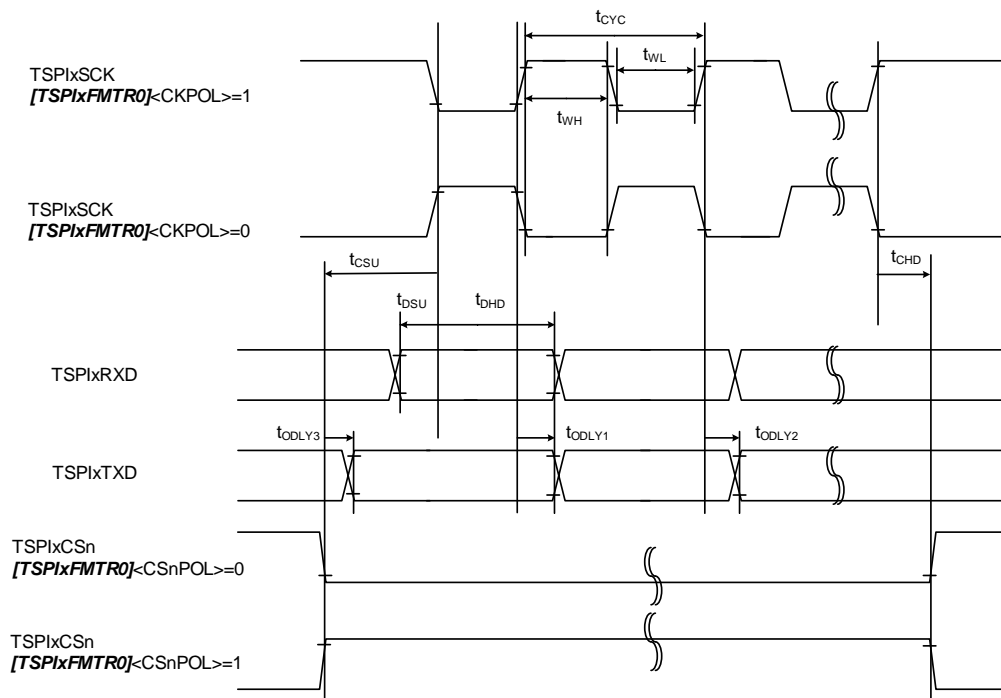


図 7.3 1stクロックエッジサンプリング(マスター)

(2) 2nd クロックエッジサンプリング(マスター)

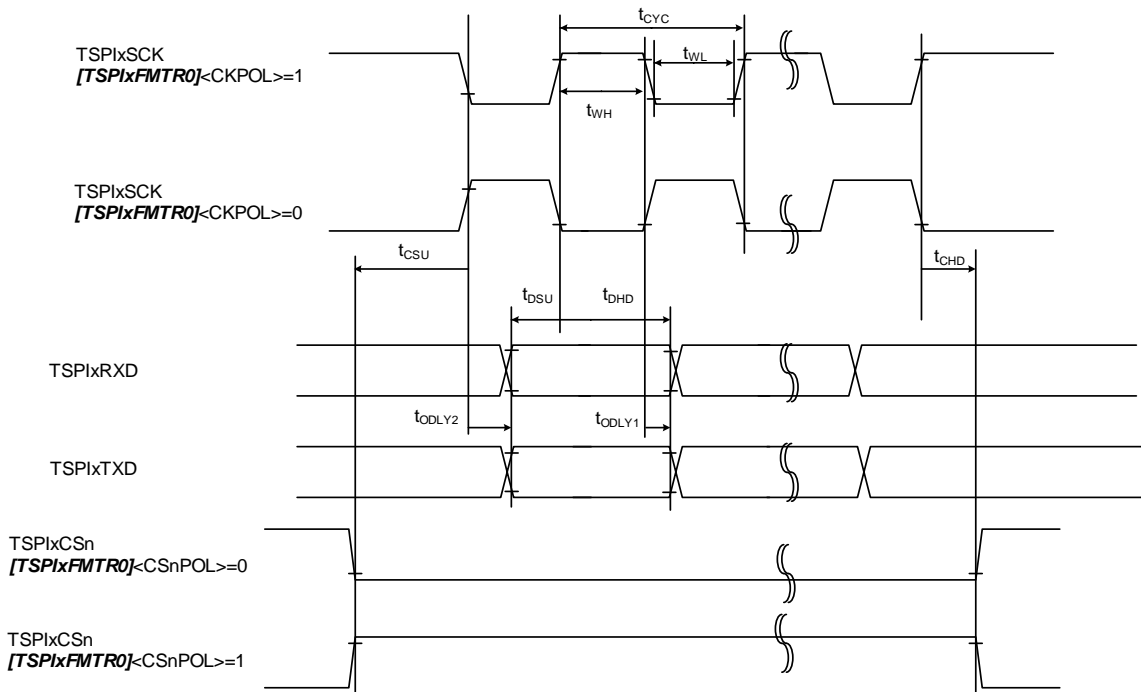


図 7.4 2ndクロックエッジサンプリング(マスター)

(3) 1st クロックエッジサンプリング(スレーブ)

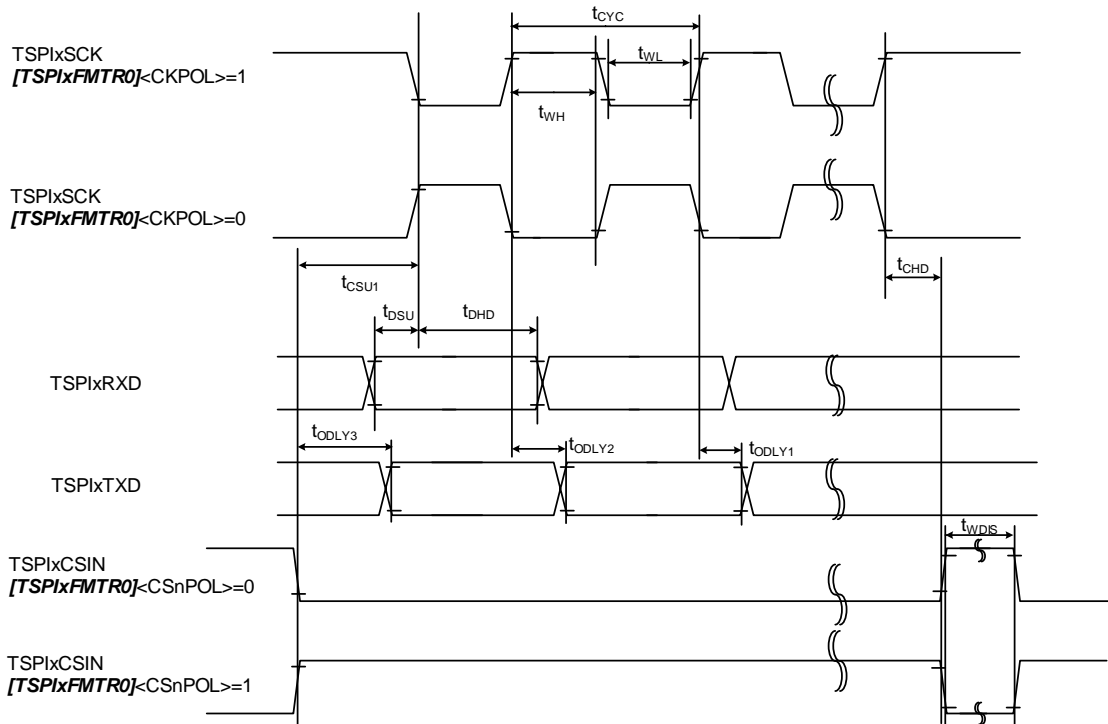


図 7.5 1stクロックエッジサンプリング(スレーブ)

(4) 2nd クロックエッジサンプリング(スレーブ)

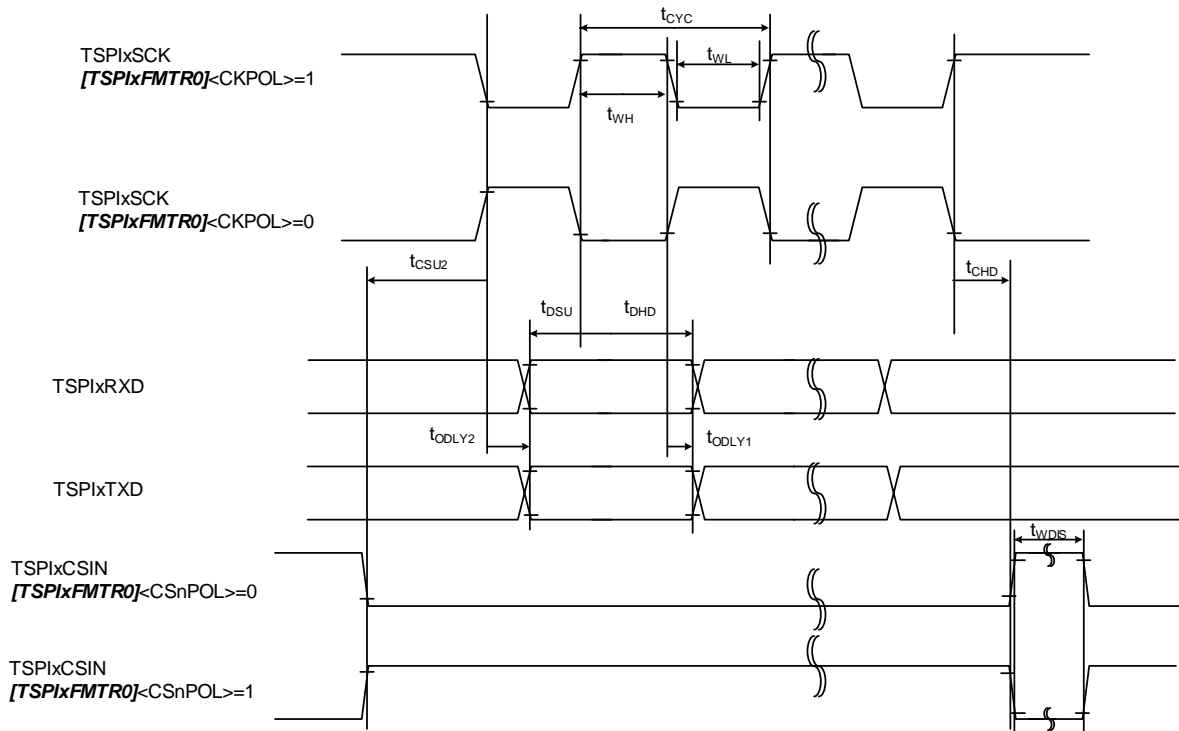


図 7.6 2ndクロックエッジサンプリング(スレーブ)

7.10.2. I²C インターフェース(I2C)

7.10.2.1. 条件

この章に記載されている AC 特性は、以下の条件となります。

- DVDD5=AVDD5=2.7V~5.5V
- Ta = -40~105°C
- 出力レベル: Low = 0.4V
- 入力レベル: High = 0.7×DVDD5、Low = 0.3×DVDD5
- 負荷容量: CL = 30pF
- 外部プルアップ抵抗: Rp = 2.2 kΩ

注) DVDD5 は DVDD5A,DVDD5B の総称です。

7.10.2.2. AC 電気的特性

| 項目 | 記号 | 標準モード | | ファストモード | | 単位 | |
|---|---------------------|---------------------|-----------|---------|-----------|-----|---|
| | | Min | Max | Min | Max | | |
| SCL クロック周波数 | f _{SCL} | 0 | 100 | 0 | 400 | kHz | |
| スタートコンディション保持時間 | t _{HD,STA} | 4.0 | - | 0.6 | - | μs | |
| SCL クロック Low 幅(入力)(注 1) | t _{LOW} | 4.7 | - | 1.3 | - | | |
| SCL クロック High 幅(入力)(注 1) | t _{HIGH} | 4.0 | - | 0.6 | - | | |
| 再スタートコンディション セットアップ時間 | <SREN>=0 | t _{SU,STA} | 4.7 (注 3) | - | 0.6 (注 3) | | - |
| | <SREN>=1 | t _{SU,STA} | 4.7 (注 3) | - | 0.6 | | - |
| データ保持時間(入力)(注 2) | t _{HD,DAT} | 0 | - | 0 | - | ns | |
| データセットアップ時間 | t _{SU,DAT} | 250 | - | 100 | - | | |
| ストップコンディションセットアップ時間 | t _{SU,STO} | 4.0 | - | 0.6 | - | μs | |
| ストップコンディションとスタートコンディション間 のバスフリー時間(注 3) | t _{BUF} | 4.7 | - | 1.3 | - | | |

注 1) 通信規格上、標準モード/ファストモードの最高速度は 100kHz/400kHz です。内部 SCL クロックの周波数の設定は、リファレンスマニュアル「I²C インターフェース」3.3.2.章の計算式を参照してください。

注 2) 通信規格では、SDA 入力時に内部でデータ保持時間を 300ns 確保して、SCL 立ち下がり時の不安定な状態を回避することになってはいますが、本製品では対応していません。また SCL のエッジスロープコントロール機能を持っていません。従って、SCL/SDA の t_r/t_fを含めて、バス上で上表のデータ保持時間(入力)を守るように、設計してください。

注 3) ソフトウェアで時間を確保してください。

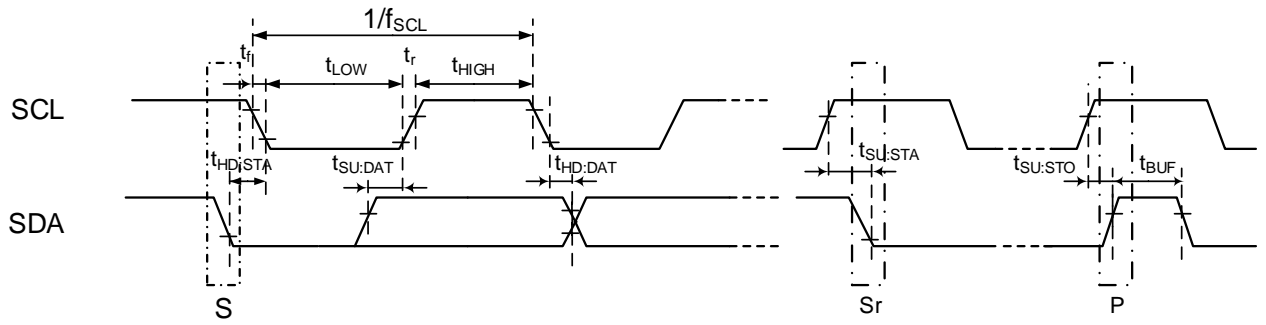


図 7.7 I2CのACタイミング

7.10.3. I²C インターフェース バージョン A(EI2C)

7.10.3.1. 条件

この章に記載されている AC 特性は、以下の条件となります。

- DVDD5=AVDD5=2.7V~5.5V
- Ta = -40~105°C
- 出力レベル: Low = 0.4V
- 入力レベル: High = 0.7×DVDD5、Low = 0.3×DVDD5
- 負荷容量: CL = 30pF
- 外部プルアップ抵抗: Rp = 2.2 kΩ

注) DVDD5 は DVDD5A,DVDD5B の総称です。

7.10.3.2. AC 電気的特性

| 項目 | 記号 | 標準モード | | ファストモード | | ファストモードプラス | | 単位 |
|---------------------------------------|---------------------|-------|-----|---------|-----|------------|------|-----|
| | | Min | Max | Min | Max | Min | Max | |
| SCL クロック周波数 | f _{SCL} | 0 | 100 | 0 | 400 | 0 | 1000 | kHz |
| スタートコンディション保持 | t _{HD,STA} | 4.0 | - | 0.6 | - | 0.26 | - | μs |
| SCL クロック Low 幅(入力)(注 1) | t _{LOW} | 4.7 | - | 1.3 | - | 0.5 | - | |
| SCL クロック High 幅(入力)(注 1) | t _{HIGH} | 4.0 | - | 0.6 | - | 0.26 | - | |
| 再スタートコンディション セットアップ時間 | t _{SU,STA} | 4.7 | - | 0.6 | - | 0.26 | - | |
| データ保持時間(入力)(注 2) | t _{HD,DAT} | 0 | - | 0 | - | 0 | - | ns |
| データセットアップ時間 | t _{SU,DAT} | 250 | - | 100 | - | 50 | - | |
| ストップコンディションセットアップ時間 | t _{SU,STO} | 4.0 | - | 0.6 | - | 0.26 | - | μs |
| ストップコンディションとスタートコンディション間のバスフリー時間(注 3) | t _{BUF} | 4.7 | - | 1.3 | - | 0.5 | - | |

注1) 通信規格上、標準モード/ファストモード/ファストモードプラスの最高速度は 100 kHz/400 kHz/1000 kHz です。内部 SCL クロックの周波数の設定は、リファレンスマニュアル「I²C インターフェース バージョン A」3.3.1.章の計算式を参照してください。

注 2) 通信規格では、SDA 入力時に内部でデータ保持時間を 300ns 確保して、SCL 立ち下がり時の不安定な状態を回避することになっていますが、本製品では対応していません。また SCL のエッジスロープコントロール機能を持っていません。従って、SCL/SDA の t_r/t_fを含めて、バス上で上表のデータ保持時間(入力)を守るように、設計してください。

注 3) ソフトウェアで時間を確保してください。

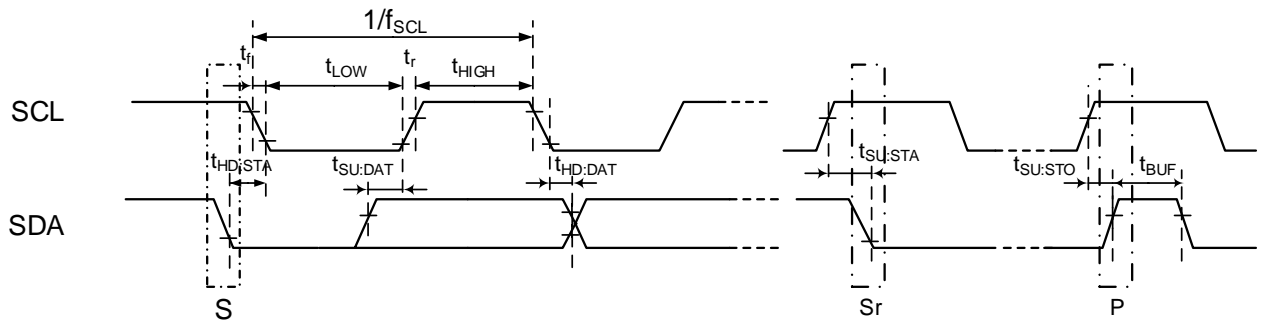


図 7.8 I2CのACタイミング

7.10.4. 32 ビットタイマーイベントカウンター (T32A)

T32AxINA0/A1, T32AxINB0/B1, T32AxINC0/C1 入力に対する AC 電气的特性です。

7.10.4.1. 条件

この章に記載されている AC 特性は、以下の条件となります。

- DVDD5 = AVDD5 = 2.7V~5.5V
- Ta = -40~105°C
- 入力レベル: High = 0.75×DVDD5、Low = 0.25×DVDD5
- 負荷容量: CL = 30pF

注) DVDD5 は DVDD5A, DVDD5B の総称です。

7.10.4.2. AC 電気的特性

TはT32Aの動作クロックの周期を表します。T32Aの動作クロックは、クロックΦT0mと同じ周期です。この周期は、プリスケラークロックの設定に依存します。

(1) パルスカウント動作時以外

| 項目 | 記号 | 計算式 | | ΦT0m=80MHz | | 単位 |
|-------------|-------------------|---------|-----|------------|-----|----|
| | | Min | Max | Min | Max | |
| Lowレベルパルス幅 | t _{vCKL} | 2T + 20 | - | 45 | - | ns |
| Highレベルパルス幅 | t _{vCKH} | 2T + 20 | - | 45 | - | |

(2) パルスカウント動作時

| 項目 | 記号 | 計算式 | | ΦT0m=80MHz NF=0 | | 単位 |
|----------|-------------------|-------------|-----|--------------------|-----|----|
| | | Min | Max | Min | Max | |
| パルス周期 | t _{DCYC} | 1000 | - | 1000 | - | ns |
| 低レベルパルス幅 | t _{PWL} | 500 | - | 500 | - | |
| 高レベルパルス幅 | t _{PWH} | 500 | - | 500 | - | |
| 入力セットアップ | t _{ABS} | (NF+1)×T+20 | - | 32.5 | - | |
| 入力ホールド | t _{ABH} | (NF+1)×T+20 | - | 32.5 | - | |

NFの値は[T32AxPLSCR]<NF[1:0]>の設定により以下の値になります。

| [T32AxPLSCR]<NF[1:0]> | 計算式のNF値 |
|-----------------------|---------|
| 00 | 0 |
| 01 | 2 |
| 10 | 4 |
| 11 | 8 |

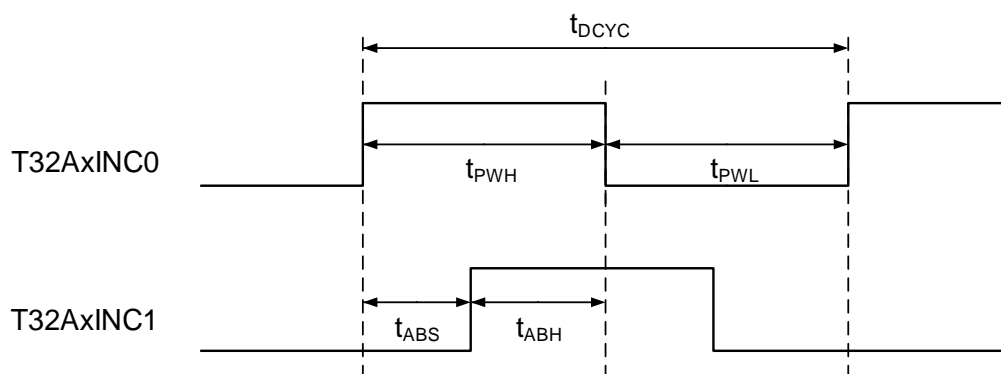


図 7.9 カウントパルス入力

7.10.5. 外部割り込み

7.10.5.1. 条件

この章に記載されている AC 特性は、以下の条件となります。

- DVDD5 = AVDD5 = 2.7V~5.5V
- Ta = -40~105°C
- 入力レベル: High = 0.75×DVDD5、Low = 0.25×DVDD5
- 負荷容量: CL = 30pF

注) DVDD5 は DVDD5A,DVDD5B の総称です。

7.10.5.2. AC 電気的特性

表中の T はシステムクロック fsys の周期を表します。

(1) NORMAL, IDLE モード時

| 項目 | 記号 | 計算式 | | fsys=160MHz | | 単位 |
|--------------|---------------------|---------|-----|-------------|-----|----|
| | | Min | Max | Min | Max | |
| Low レベルパルス幅 | t _{INTAL1} | T + 100 | - | 106.25 | - | ns |
| High レベルパルス幅 | t _{INTAH1} | T + 100 | - | 106.25 | - | |

(2) STOP1 モード時

| 項目 | 記号 | 計算式 | | | | 単位 |
|--------------|---------------------|-----|-----|-----|-----|----|
| | | Min | Max | Min | Max | |
| Low レベルパルス幅 | t _{INTCL2} | 125 | - | 125 | - | ns |
| High レベルパルス幅 | t _{INTCH2} | 125 | - | 125 | - | |

7.10.6. 端子トリガー入力(TRGINx)

7.10.6.1. 条件

この章に記載されている AC 特性は、以下の条件となります。

- DVDD5 = AVDD5 = 2.7V~5.5V
- Ta = -40~105°C
- 入力レベル: High = 0.75×DVDD5、Low = 0.25×DVDD5
- 負荷容量: CL = 30pF

注) DVDD5 は DVDD5A,DVDD5B の総称です。

7.10.6.2. AC 電気的特性

表中の T はシステムクロック f_{sysm} の周期を表します。

| 項目 | 記号 | 計算式 | | f _{sysm} =80 MHz | | 単位 |
|--------------|------------------|--------|-----|---------------------------|-----|----|
| | | Min | Max | Min | Max | |
| Low レベルパルス幅 | t _{ADL} | 2T+ 20 | - | 45 | - | ns |
| High レベルパルス幅 | t _{ADH} | 2T+ 20 | - | 45 | - | |

7.10.7. デバッグ通信

7.10.7.1. 条件

この章に記載されている AC 特性は、以下の条件となります。

- DVDD5 = AVDD5 = 2.7V~5.5V
- Ta = -40~80°C
- 出力レベル: High = 0.8×DVDD5、Low = 0.2×DVDD5
- 入力レベル: High = 0.75×DVDD5、Low = 0.25×DVDD5
- 負荷容量: CL = 30pF

注) DVDD5 は DVDD5A,DVDD5B の総称です。

7.10.7.2. SWD インターフェース

4.5V ≤ DVDD5=AVDD5 ≤ 5.5V

| 項目 | 記号 | Min | Max | 単位 |
|---------------------|-------------------|-----|-----|----|
| CLK High レベル幅 | t _{dckh} | 50 | - | ns |
| CLK Low レベル幅 | t _{dckl} | 50 | - | |
| CLK 立ち上がりから出力データ保持 | t _{d1} | 1 | - | |
| CLK 立ち上がりから出力データ有効 | t _{d2} | - | 35 | |
| 入力データ有効から CLK 立ち上がり | t _{ds} | 20 | - | |
| CLK 立ち上がりから入力データ保持 | t _{dh} | 15 | - | |

2.7V ≤ DVDD5=AVDD5 < 4.5V

| 項目 | 記号 | Min | Max | 単位 |
|---------------------|-------------------|-----|-----|----|
| CLK High レベル幅 | t _{dckh} | 50 | - | ns |
| CLK Low レベル幅 | t _{dckl} | 50 | - | |
| CLK 立ち上がりから出力データ保持 | t _{d1} | 1 | - | |
| CLK 立ち上がりから出力データ有効 | t _{d2} | - | 45 | |
| 入力データ有効から CLK 立ち上がり | t _{ds} | 20 | - | |
| CLK 立ち上がりから入力データ保持 | t _{dh} | 15 | - | |

7.10.7.3. JTAG インターフェース

$4.5V \leq DVDD5=AVDD5 \leq 5.5V$

| 項目 | 記号 | Min | Max | 単位 |
|---------------------|------------|-----|-----|----|
| CLK High レベル幅 | t_{dckh} | 50 | - | ns |
| CLK Low レベル幅 | t_{dckl} | 50 | - | |
| CLK 立ち上がりから出カデータ保持 | t_{d3} | 0 | - | |
| CLK 立ち上がりから出カデータ有効 | t_{d4} | - | 35 | |
| 入カデータ有効から CLK 立ち上がり | t_{ds} | 20 | - | |
| CLK 立ち上がりから入カデータ保持 | t_{dh} | 15 | - | |

$2.7V \leq DVDD5=AVDD5 < 4.5V$

| 項目 | 記号 | Min | Max | 単位 |
|---------------------|------------|-----|-----|----|
| CLK High レベル幅 | t_{dckh} | 50 | - | ns |
| CLK Low レベル幅 | t_{dckl} | 50 | - | |
| CLK 立ち上がりから出カデータ保持 | t_{d3} | 0 | - | |
| CLK 立ち上がりから出カデータ有効 | t_{d4} | - | 45 | |
| 入カデータ有効から CLK 立ち上がり | t_{ds} | 20 | - | |
| CLK 立ち上がりから入カデータ保持 | t_{dh} | 15 | - | |

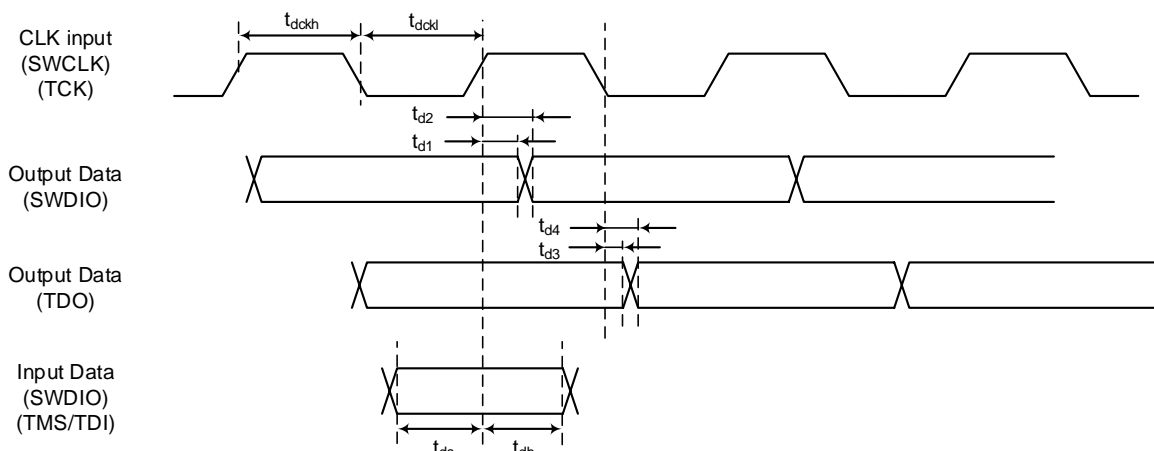


図 7.10 JTAG/SW波形

7.10.7.4. ETM トレース

5.0V ≤ DVDD5=AVDD5 ≤ 5.5V
 Ta=70°C

| 項目 | 記号 | Min | Max | 単位 |
|-------------------------------|--------------|-----|-----|----|
| TRACECLK 周期 | t_{clk} | 25 | - | ns |
| TRACECLK 立ち上がりから DATA 有効 | t_{setupr} | 2 | - | |
| TRACECLK 立ち上がりから TRACEDATA 保持 | t_{holdr} | 1 | - | |
| TRACECLK 立ち下がりから TRACEDATA 有効 | t_{setupf} | 2 | - | |
| TRACECLK 立ち下がりから TRACEDATA 保持 | t_{holdf} | 1 | - | |

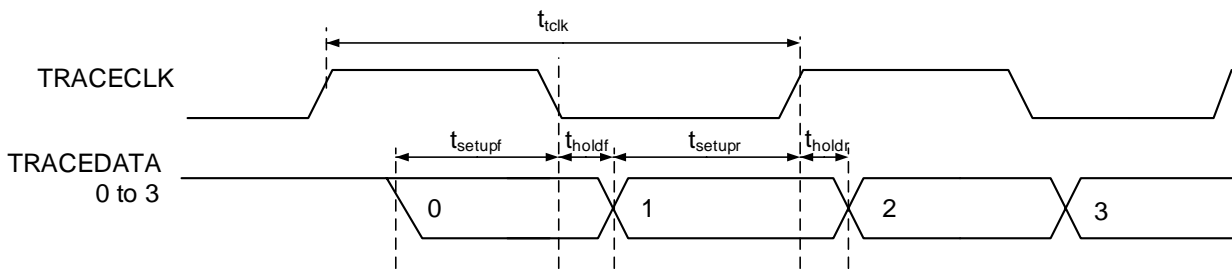


図 7.11 トレース信号波形

7.10.7.5. ノンブ레이크デバッグインターフェース(NBDIF)

| 項目 | 記号 | Min | Max | 単位 |
|-------------------|-------------|-----|-----|----|
| NBDCLK サイクル時間 | t_{NDCYC} | 80 | - | ns |
| NBDCLK 低レベルパルス幅 | t_{NDL} | 35 | - | |
| NBD DATA 出力遅延時間 | t_{NDD} | - | 60 | |
| NBD DATA 出力ホールド時間 | t_{NDHD} | 5 | - | |
| NBD DATA セットアップ時間 | t_{NDS} | 20 | - | |
| NBD DATA ホールド時間 | t_{NDH} | 5 | - | |
| NBDSYNC セットアップ時間 | t_{NDSYS} | 20 | - | |
| NBDSYNC 出力ホールド時間 | t_{NDSYH} | 5 | - | |

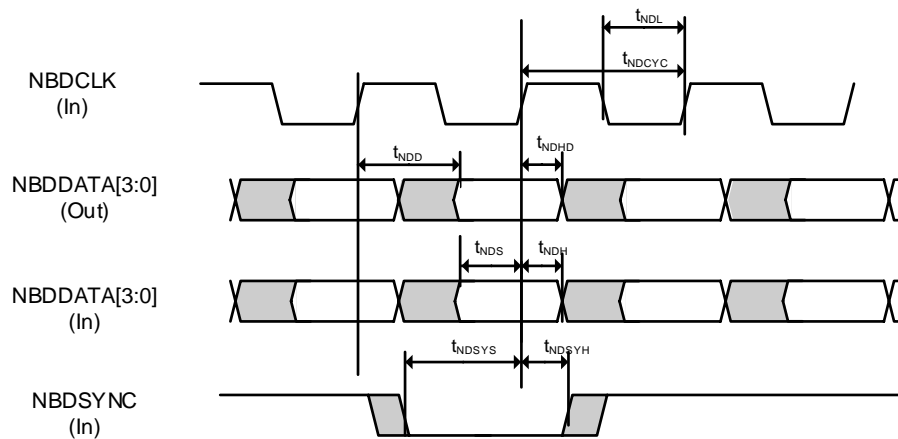


図 7.12 NBDIFのACタイミング

7.10.8. ノイズフィルタ特性

| 項目 | 条件 | Min | Typ. | Max | 単位 |
|-----------|------------------------------------|-----|------|-----|----|
| ノイズキャンセル幅 | DVDD5 = 2.7~5.5V Ta = -40~105°C | 15 | 30 | 60 | ns |

注) DVDD5 は DVDD5A,DVDD5B の総称です。

7.10.9. 外部クロック入力

7.10.9.1. 条件

この章に記載されている AC 特性は、以下の条件となります。

- DVDD5 = AVDD5 = 2.7V~5.5V
- Ta = -40~105°C
- 入力レベル: High = 0.75×DVDD5、Low = 0.25×DVDD5
- 負荷容量: CL = 30pF

注) DVDD5 は DVDD5A,DVDD5B の総称です。

7.10.9.2. AC 電気的特性

| 項目 | 記号 | Min | Typ. | Max | 単位 |
|--------------------------|---------------|-----|------|-----|-----|
| クロック周波数(1/ t_{ehcin}) | $f_{EHCLKIN}$ | 6 | - | 10 | MHz |
| クロック Duty | - | 45 | - | 55 | % |
| クロック立ち上がり時間 | t_r | - | - | 10 | ns |
| クロック立ち下がり時間 | t_f | - | - | 10 | ns |

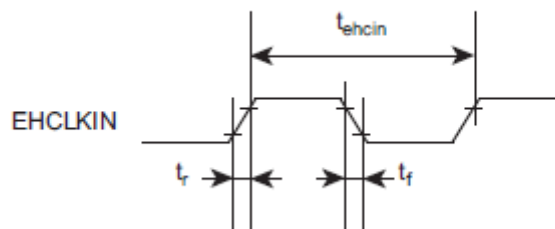


図 7.13 外部クロック入力波形

7.11. フラッシュ特性

7.11.1. コードフラッシュ特性

DVDD5=2.7V~5.5V

Ta= -40~105°C

| 項目 | 条件 | Min | Typ. | Max | 単位 |
|-----------------|--------------|-----|------|---------|----|
| フラッシュメモリー書き換え回数 | | - | - | 100,000 | 回 |
| 書き込み時間 | 1word あたりに換算 | - | 22.6 | - | μs |
| 消去時間 | ページ | 1.1 | - | 4.2 | ms |
| | ブロック | 8.4 | - | 33.6 | |
| | エリア(注 2) | - | 9.1 | - | |

注 1) DVDD5 は DVDD5A,DVDD5B の総称です。DVSS は DVSSA,DVSSB,DVSSC の総称です。

注 2) プロテクトが有効なブロックが無い場合です。

7.11.2. データフラッシュ特性

DVDD5=2.7V~5.5V

Ta= -40~105°C

| 項目 | 条件 | Min | Typ. | Max | 単位 |
|-----------------|----------|------|------|---------|----|
| フラッシュメモリー書き換え回数 | | - | - | 100,000 | 回 |
| 書き込み時間 | | - | 78 | - | μs |
| 消去時間 | ページ | 1.1 | - | 4.2 | ms |
| | ブロック | 16.2 | - | 64.6 | |
| | エリア(注 2) | - | 9.1 | - | |

注 1) DVDD5 は DVDD5A,DVDD5B の総称です。DVSS は DVSSA,DVSSB,DVSSC の総称です。

注 2) プロテクトが有効なブロックが無い場合です。

7.11.3. チップ消去特性

DVDD5=2.7V~5.5V

Ta= -40~105°C

| 項目 | 条件 | Min | Typ. | Max | 単位 |
|---------|---|------|------|------|----|
| チップ消去時間 | 消去対象: コードフラッシュ データフラッシュ プロテクトビット(コード) プロテクトビット(データ) セキュリティービット | 21.5 | - | 30.7 | ms |

注1) DVDD5 は DVDD5A,DVDD5B の総称です。DVSS は DVSSA,DVSSB,DVSSC の総称です。

注2) 自動チップ消去、自動プロテクトビット消去(コードおよびデータ)、自動セキュリティービット消去コマンドの実行時間の合計です。自動チップ消去コマンドは、プロテクトが有効なブロックが無い場合の時間です。

7.12. レギュレーター

DVDD5=2.7V~5.5V

Ta= -40~105°C

| 項目 | 条件 | Min | Typ. | Max | 単位 |
|------------------|----|-----|------|------|----|
| REGOUT1 コンデンサー容量 | | 0.8 | 4.7 | 5.64 | μF |
| REGOUT2 コンデンサー容量 | | 0.8 | 4.7 | 5.64 | |

注) DVDD5 は DVDD5A,DVDD5B の総称です。DVSS は DVSSA,DVSSB,DVSSC の総称です。

7.13. 発振回路

7.13.1. 内蔵発振器

DVDD5=2.7V~5.5V
 Ta= -40~105°C

| 項目 | 記号 | 条件 | Min | Typ. | Max | 単位 |
|-------|---------------------|----|-----|------|------|-----|
| 発振周波数 | f _{IHOSC1} | - | 9.9 | 10 | 10.1 | MHz |
| | f _{IHOSC2} | | - | 10 | - | |

注) DVDD5 は DVDD5A,DVDD5B の総称です。DVSS は DVSSA,DVSSB,DVSSC の総称です。

7.13.2. 外部発振器

DVDD5=2.7V~5.5V
 Ta= -40~105°C

| 項目 | 記号 | 条件 | Min | Typ. | Max | 単位 |
|-------|--------------------|----|-----|------|-----|-----|
| 発振周波数 | f _{EHOSC} | - | 6 | - | 12 | MHz |

注 1) DVDD5 は DVDD5A,DVDD5B の総称です。DVSS は DVSSA,DVSSB,DVSSC の総称です。

注 2) 接続する発振子とのマッチングは発振子メーカーへ依頼してください。

7.13.3. 発振回路例

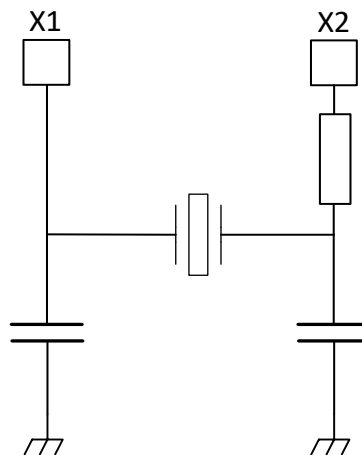


図 7.14 発振回路例

発振の安定には、発振子の位置、負荷容量を適切にする必要があります。これらは基板パターンにより大きな影響を受けます。安定した発振を得るため、ご使用される基板での評価をされるようお願いいたします。

本製品は、下記のメーカーの発振子を用いて評価しています。発振回路設計時に発振子の選択に活用願います。

7.13.4. セラミック発振子

本製品は(株)村田製作所製セラミック発振子を用いて評価しています。
(株)村田製作所の製品詳細につきましては同社ホームページを参照してください。

7.13.5. 水晶発振子

この製品は京セラ(株)製水晶発振子、(株)村田製作所製水晶発振子を用いて評価しています。
京セラ(株)、(株)村田製作所の製品詳細につきましては同社ホームページを参照してください。

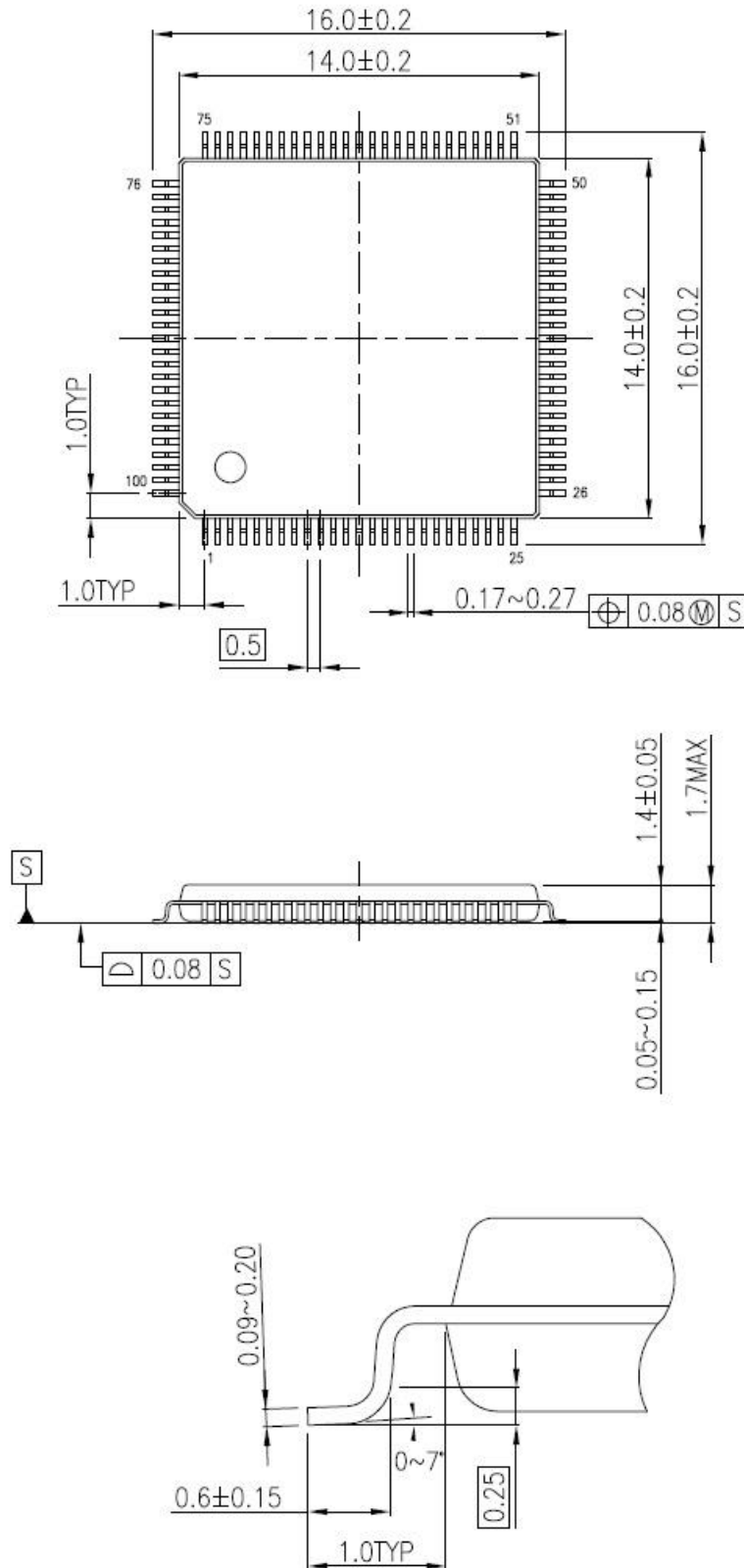
7.13.6. プリント基板の設計に関する注意

水晶振動子と発振のための素子を接続する基板パターンは浮遊容量やインダクタンスによる特性の劣化を防止するために最短距離の配線長で設計してください。また、多層基板の場合は発振回路の直下の層には面グランドや信号パターンを配線しないようにお願いします。詳しくは、発振子メーカーのホームページを参照してください。

8. 外形寸法図

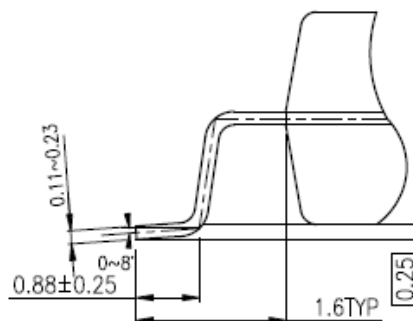
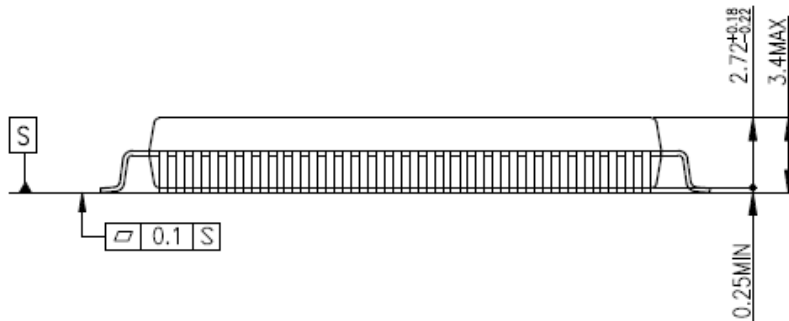
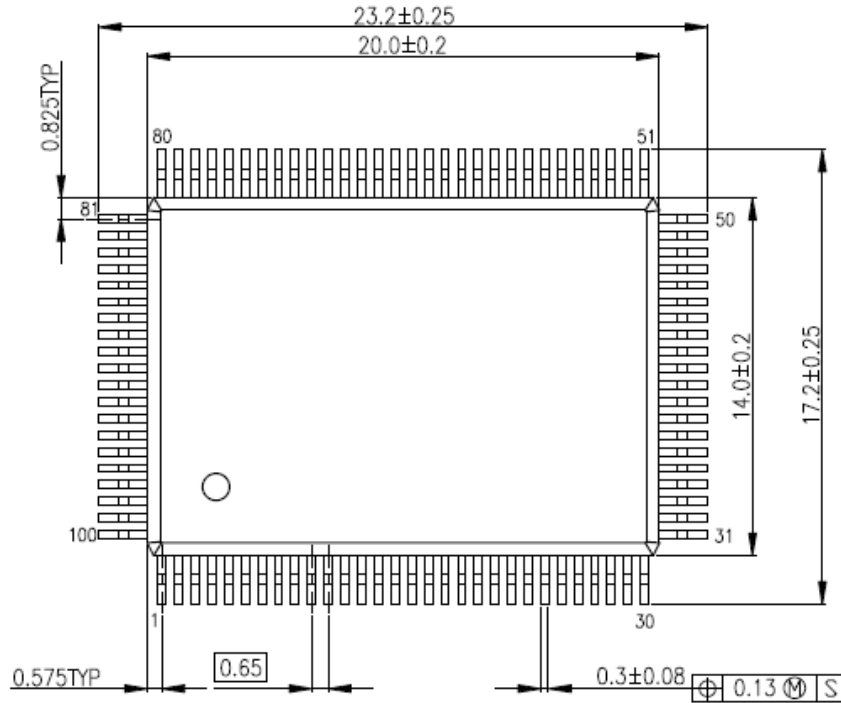
8.1. P-LQFP100-1414-0.50-002

Unit: mm



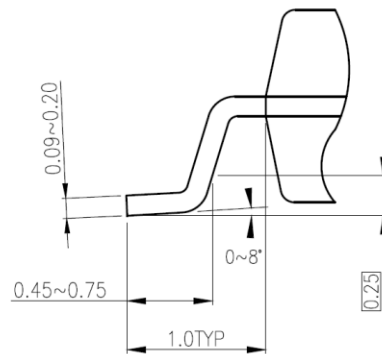
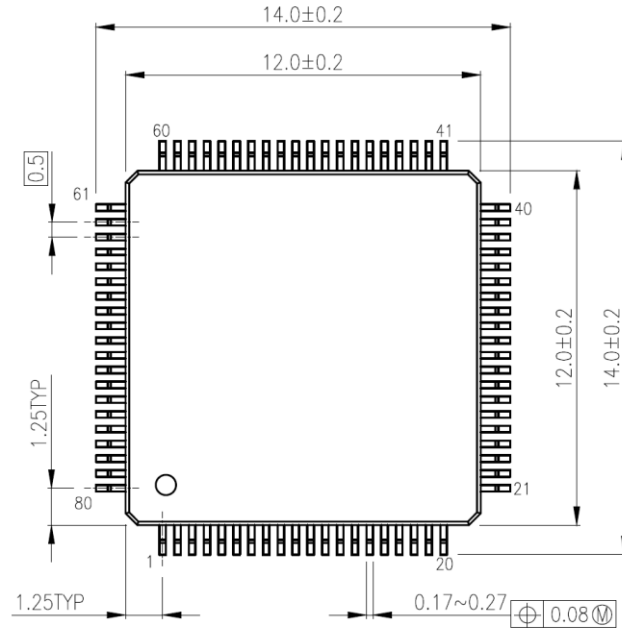
8.2. P-QFP100-1420-0.65-003

Unit: mm



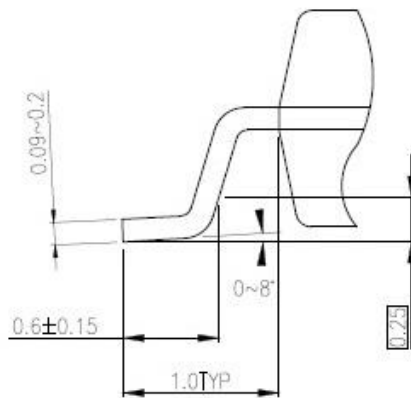
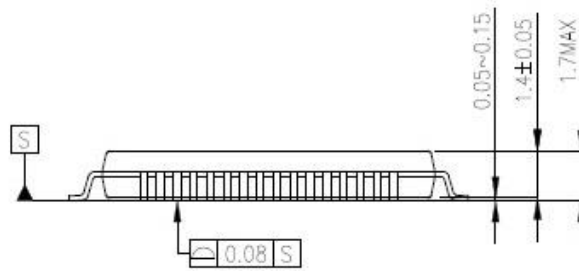
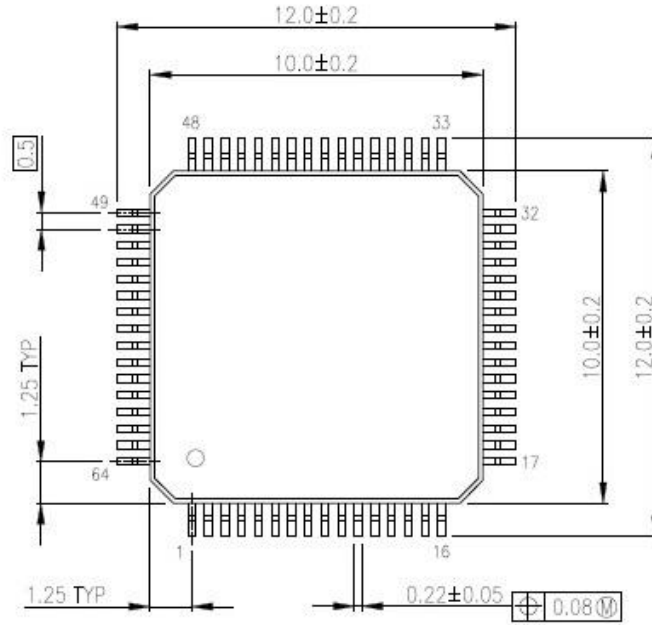
8.3. P-LQFP80-1212-0.50-005

Unit: mm



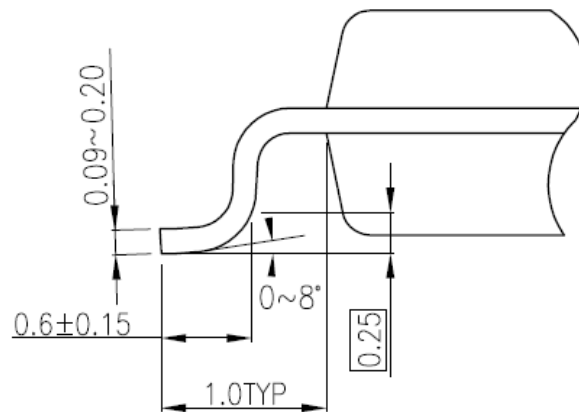
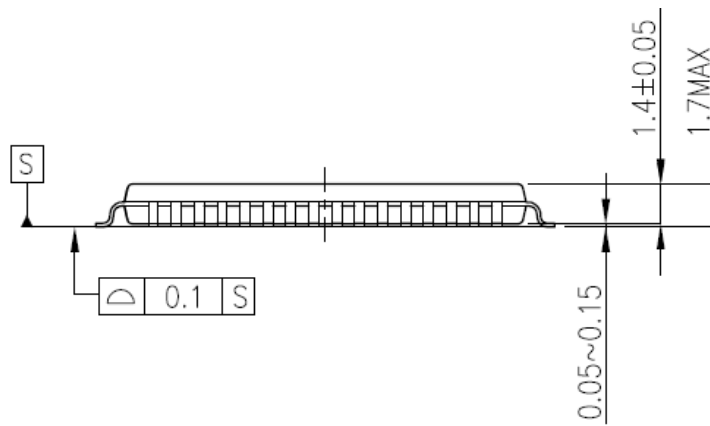
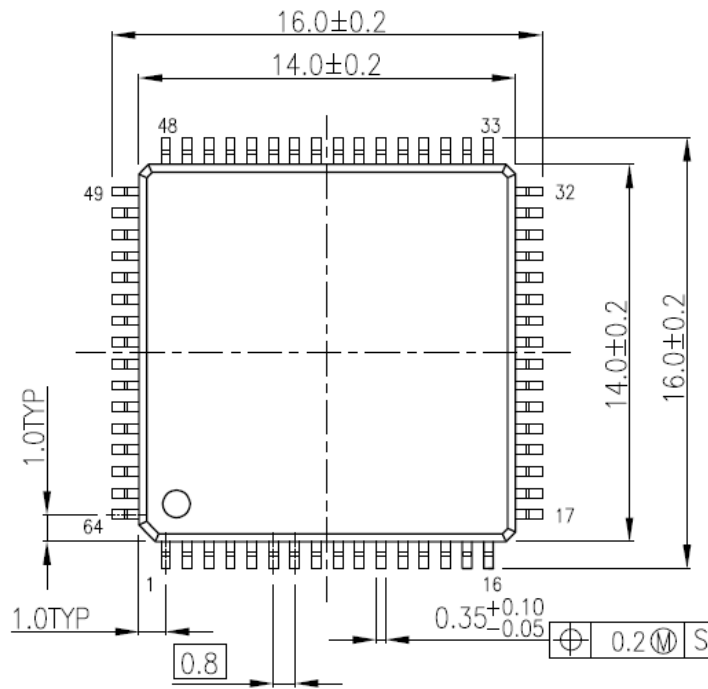
8.4. P-LQFP64-1010-0.50-003

Unit: mm



8.5. P-LQFP64-1414-0.80-002

Unit: mm



9. 使用上のご注意およびお願い事項

本資料に掲載されている製品について、使用上の注意点を説明します。
なお、本項目と本資料での記述について、異なる場合は、本資料の記述が優先されます。

(1) 電源投入時の動作について

電源投入時、本資料に掲載されている製品の内部は不定状態となります。

このため、リセットが有効となるまで、端子の状態は不定となります。

外部リセット端子を使用してリセットする製品の場合、電源投入後外部から入力するリセットが有効になるまでの間、端子の状態は不定となります。

また、内蔵パワーオンリセットを使用してリセットする製品の場合、電源電圧が電源投入から内蔵パワーオンリセットが有効となる電圧に上昇するまでの間、端子の状態は不定となります。

(2) 未使用端子の処置について

本資料に掲載されている製品では、未使用の入出力ポートは、入出力禁止となり、端子はハイインピーダンスです。一般にハイインピーダンスの端子を開放状態で製品を動作させると、外部からのノイズを受け誘起電圧が発生して LSI 内部で静電破壊やラッチアップが発生することがあります。

未使用端子については、1本ずつ抵抗を通して電源端子または1本ずつ抵抗を通して GND 端子に固定することを推奨します。

(3) クロック発振の安定について

リセットはクロック発振が安定してから解除してください。プログラム動作中にクロックを切り替える場合、切り替える先のクロック発振が安定している状態で切り替えてください。

10. 改訂履歴

表 10.1 改訂履歴

| Revision | 日付 | 内容 |
|----------|------------|---|
| 1.0 | 2021-06-08 | 新規 |
| 1.1 | 2021-06-25 | <ul style="list-style-type: none"> ・特長 量産開始時期見直し ・4.1.5. 電源間コンデンサー 「図 4.1 電源間コンデンサーの接続図」見直し 注 1)、注 2)、注 3)見直し ・7.1. 絶対最大定格 注 2)見直し 「図 7.1 電源投入時と遮断時のご注意」追加 |
| 1.2 | 2022-06-24 | <ul style="list-style-type: none"> ・4.1.4. 電源端子 注 4)見直し ・4.1.5. 電源間コンデンサー 注 1)、注 3) 見直し ・表 7.1 絶対最大定格 注 2)見直し ・表 7.2 パッケージ熱抵抗と最大許容電力表 表見直し ・7.6. リセット時内部処理特性 電源傾斜に、V_{POFF} を追加 ・Appendix 品番付与情報の見直し |
| 1.3 | 2023-06-06 | <ul style="list-style-type: none"> ・8.2. P-QFP100-1420-0.65-003 パッケージ名称変更、外形寸法図変更 |
| 1.4 | 2023-12-20 | <ul style="list-style-type: none"> ・5.25. セキュリティーリスク対策 章の追加 ・6.4. クロック制御 入力制御信号名を変更 ・7.1. 絶対最大定格 表 7.2 を変更 ・7.3. DC 電気的特性 (2/2) (消費電流) 表を変更 ・7.11.3. チップ消去特性 注)を変更 |
| 1.5 | 2025-05-16 | <ul style="list-style-type: none"> ・1.ブロック図 図 1.1 を変更 ・7.1. 絶対最大定格 表 7.2 を変更 ・8.3. P-LQFP80-1212-0.50-005 パッケージ名称変更、外形寸法図変更 |

Appendix

全端子一覧表

兼用機能 A~C: ポートファンクションレジスタの設定なしにポートに割り当てられる兼用機能です。
 兼用機能 1~7: ポートファンクションレジスタの設定によりポートに割り当てられる兼用機能です。

| M4MN QFP100 | M4MN LQFP100 | M4MM LQFP80 | M4ML LQFP64 | 端子名称 | 兼用機能 A | 兼用機能 B | 兼用機能 C | 兼用機能 1 | 兼用機能 2 | 兼用機能 3 | 兼用機能 4 | 兼用機能 5 | 兼用機能 6 | 兼用機能 7 | 入出力 | PU/PD | 5V_T | SMT/CMOS | リセット中の状態 | リセット後の状態 |
|-------------|--------------|-------------|-------------|-------|--------|--------|--------|-----------|----------|---------------|-------------|-------------|-------------|------------------|-----|-------|------|----------|----------|----------|
| 4 | 1 | 2 | 2 | PU0 | | INT12 | | UT2TXDA | UT2RXD | I2C1SDA | T32A02 INB1 | | UO2 | EI2C1SDA | I/O | PU/PD | YES | SMT | Hi-Z | Hi-Z |
| 5 | 2 | 3 | 3 | PU1 | | INT07a | | UT2RXD | UT2TXDA | I2C1SCL | T32A02 INA0 | T32A02 INCO | XO2 | EI2C1SCL | I/O | PU/PD | YES | SMT | Hi-Z | Hi-Z |
| 6 | 3 | 4 | 4 | PU2 | | INT07b | | | | | T32A02 OUTA | T32A02 OUTC | VO2 | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 7 | 4 | 5 | 5 | PU3 | | INT08a | | UT1RTS_N | | | T32A02 INB0 | ENC2A | YO2 | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 8 | 5 | 6 | 6 | PU4 | | INT08b | | UT1CTS_N | | | T32A02 OUTB | T32A02 INCO | WO2 | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 9 | 6 | 7 | 7 | PU5 | | INT13 | | UT1TXDA | UT1RXD | | T32A02 INA1 | ENC2B | ZO2 | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 10 | 7 | 8 | 8 | PU6 | | INT09 | | UT1RXD | UT1TXDA | | | ENC2Z | EMG2 | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 11 | 8 | - | - | PU7 | | | | | | | | | OVV2 | PMD2 DBG | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 12 | 9 | 9 | - | PN0 | | | | UT0TXDA | UT0RXD | NBDDATA2 (注3) | T32A05 INA0 | T32A05 INCO | ENC0A | TRACE DATA2 (注3) | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 13 | 10 | 10 | - | PN1 | | INT16a | | UT0RXD | UT0TXDA | NBDDATA3 (注3) | T32A05 OUTA | T32A05 OUTC | ENC0B | TRACE DATA3 (注3) | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 14 | 11 | 11 | - | PN2 | | INT16b | | UT0CTS_N | | | T32A05 INA1 | T32A05 INCO | ENC0Z | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 15 | 12 | - | - | PV0 | | | | | TSP1CSIN | | T32A01 OUTB | | | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 16 | 13 | - | - | PV1 | | | | UT0RTS_N | TSP1RXD | | | | | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 17 | 14 | 12 | 9 | DVSSC | | | | | | | | | | | - | - | - | - | - | - |
| 18 | 15 | 13 | - | PA0 | | | | TSP10CSIN | | | T32A00 INB0 | | | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 19 | 16 | 14 | - | PA1 | | INT15 | | TSP10CS1 | | | T32A00 INB1 | | | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 20 | 17 | 15 | 10 | PA2 | | INT00 | | TSP10RXD | | | T32A00 INA0 | T32A00 INCO | PMD2 DBG | TRGIN0 | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 21 | 18 | 16 | 11 | PA3 | | INT01b | | TSP10TXD | CANATX | | T32A00 OUTA | T32A00 OUTC | | TRGIN1 | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 22 | 19 | 17 | 12 | PA4 | | INT01a | | TSP10SCK | CANARX | | T32A00 OUTB | | | TRGIN2 | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 23 | 20 | 18 | 13 | PL0 | AINA16 | | | | | | | | | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 24 | 21 | 19 | 14 | PL1 | AINA15 | | | | | | | | | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 25 | 22 | 20 | 15 | PL2 | AINA17 | | | | | | | | | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 26 | 23 | 21 | 16 | PL3 | AINA14 | | | | | | | | | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 27 | 24 | 22 | 17 | PL4 | AINA18 | | | | | | | | | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 28 | 25 | 23 | 18 | PL5 | AINA13 | | | | | | | | | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 29 | 26 | 24 | 19 | PL6 | AINA09 | | | | | | | | | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 30 | 27 | 25 | 20 | PL7 | AINA08 | | | | | | | | | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 31 | 28 | - | - | PM0 | AINA07 | | | | | | | | | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 32 | 29 | - | - | PM1 | AINA06 | | | | | | | | | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 33 | 30 | - | - | PM2 | AINA05 | | | | | | | | | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 34 | 31 | 26 | 21 | VREFL | | | | | | | | | | | - | - | - | - | - | - |
| 35 | 32 | 27 | 22 | AVSS | | | | | | | | | | | - | - | - | - | - | - |
| 36 | 33 | 28 | 23 | AVDD5 | | | | | | | | | | | - | - | - | - | - | - |
| 37 | 34 | 29 | 24 | VREFH | | | | | | | | | | | - | - | - | - | - | - |
| 38 | 35 | 30 | - | PK4 | AINB04 | | | | | | | | | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 39 | 36 | 31 | - | PK3 | AINB03 | | | | | | | | | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 40 | 37 | 32 | 25 | PK2 | AINB02 | | | | | | | | | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 41 | 38 | 33 | 26 | PK1 | AINB01 | | | | | | | | | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 42 | 39 | 34 | 27 | PK0 | AINB00 | | | | | | | | | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 43 | 40 | - | - | PJ5 | AINC05 | | | | | | | | | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 44 | 41 | - | - | PJ4 | AINC04 | | | | | | | | | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 45 | 42 | 35 | - | PJ3 | AINC03 | | | | | | | | | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 46 | 43 | 36 | 28 | PJ2 | AINC02 | | | | | | | | | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 47 | 44 | 37 | 29 | PJ1 | AINC01 | | | | | | | | | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 48 | 45 | 38 | 30 | PJ0 | AINC00 | | | | | | | | | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 49 | 46 | 39 | 31 | PC0 | | | | UT0TXDA | UT0RXD | EI2C0SDA | I2C0SDA | T32A02 INA0 | T32A02 INCO | | I/O | PU/PD | YES | SMT | Hi-Z | Hi-Z |
| 50 | 47 | 40 | 32 | PC1 | | INT02a | | UT0RXD | UT0TXDA | EI2C0SCL | I2C0SCL | T32A02 OUTA | T32A02 OUTC | | I/O | PU/PD | YES | SMT | Hi-Z | Hi-Z |
| 51 | 48 | 41 | 33 | PC2 | | INT10 | | | | TSP10CS0 | | T32A03 OUTA | T32A03 OUTC | PMD0 DBG | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 52 | 49 | 42 | 34 | PC3 | | INT03a | | | | TSP10RXD | | T32A03 OUTB | | PMD1 DBG | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 53 | 50 | 43 | - | PC4 | | | | UT1TXDA | UT1RXD | TSP10TXD | | | | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 54 | 51 | 44 | - | PC5 | | | | UT1RXD | UT1TXDA | TSP10SCK | | | | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |

| M4MN QFP100 | M4MN LQFP100 | M4MM LQFP80 | M4ML LQFP64 | 端子名称 | 兼用機能 A | 兼用機能 B | 兼用機能 C | 兼用機能 1 | 兼用機能 2 | 兼用機能 3 | 兼用機能 4 | 兼用機能 5 | 兼用機能 6 | 兼用機能 7 | 入出力 | PU/PD | 5V_T | SMT/ CMOS | リセット中 の状態 | リセット後 の状態 | |
|----------------|-----------------|----------------|----------------|---------|-----------|-----------|-----------|-----------|-----------|------------------|-----------|----------------|----------------|-----------|-------------------------------|-------|-------|--------------|--------------|--------------|------------|
| 55 | 52 | - | - | PC6 | | INT02b | | | | TSPi0CS1 | | T32A02 INA1 | T32A02 INC1 | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z | |
| 56 | 53 | - | - | PC7 | | | | | | TSPi0CSIN | | T32A02 INB0 | | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z | |
| 57 | 54 | 45 | 35 | PB0 | | | | | | | UO0 | | | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z | |
| 58 | 55 | 46 | 36 | PB1 | | | | | | | XO0 | | | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z | |
| 59 | 56 | 47 | 37 | PB2 | | | | | | | VO0 | | | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z | |
| 60 | 57 | 48 | 38 | PB3 | | | | | | | YO0 | | | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z | |
| 61 | 58 | 49 | 39 | PB4 | | | | | | | WO0 | | | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z | |
| 62 | 59 | 50 | 40 | PB5 | | | | | | | ZO0 | | | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z | |
| 63 | 60 | 51 | 41 | PB6 | | | | | | | EMG0 | | | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z | |
| 64 | 61 | - | - | PB7 | | | | | | | OVV0 | PMD0 DBG | | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z | |
| 65 | 62 | 52 | 42 | DVSSA | | | | | | | | | | | - | - | - | - | - | - | |
| 66 | 63 | 53 | 43 | DVDD5A | | | | | | | | | | | - | - | - | - | - | - | |
| 67 | 64 | - | - | PD0 | | INT17b | | | | | | T32A02 INB1 | | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z | |
| 68 | 65 | - | - | PD1 | | INT17a | | | | | | T32A02 OUTB | | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z | |
| 69 | 66 | - | - | PD2 | | INT03b | | UT0CTS_N | | | | T32A03 INA0 | T32A03 INC0 | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z | |
| 70 | 67 | - | - | PD3 | | | | UT0RTS_N | I2C1SDA | EI2C1SDA | | T32A03 INA1 | T32A03 INC1 | ENC2A | I/O | PU/PD | YES | SMT | Hi-Z | Hi-Z | |
| 71 | 68 | - | - | PD4 | | INT18b | | | I2C1SCL | EI2C1SCL | | T32A03 INB0 | | ENC2B | I/O | PU/PD | YES | SMT | Hi-Z | Hi-Z | |
| 72 | 69 | - | - | PD5 | | INT18a | | | | | | T32A03 INB1 | | ENC2Z | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z | |
| 73 | 70 | 54 | - | PG0 | | | | | | | | T32A04 INA0 | T32A04 INC0 | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z | |
| 74 | 71 | 55 | - | PG1 | | | | TSP1CS1 | | | | T32A04 INA1 | T32A04 INC1 | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z | |
| 75 | 72 | 56 | 44 | PG2 | BOOT_N | | | TSP1CS0 | | | | T32A04 OUTA | T32A04 OUTC | | Output | PU/PD | N/A | SMT | Hi-Z (注1) | Hi-Z | |
| 76 | 73 | 57 | 45 | PG3 | | INT21 | | TSP1CSIN | | | | T32A04 OUTB | | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z | |
| 77 | 74 | 58 | 46 | PG4 | | | | TSP1RXD | | | | T32A04 INB0 | | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z | |
| 78 | 75 | 59 | 47 | PG5 | | | | TSP1TXD | | | | T32A04 INB1 | | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z | |
| 79 | 76 | 60 | 48 | PG6 | | | | TSP1SCK | | | | | | | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z | |
| 80 | 77 | 61 | 49 | PE0 | | | | CANATX | | | | | | UO1 | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z | |
| 81 | 78 | 62 | 50 | PE1 | | INT04b | | CANARX | | | | T32A03 INA0 | T32A03 INC0 | XO1 | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z | |
| 82 | 79 | 63 | 51 | PE2 | | | | | | | | T32A03 OUTA | T32A03 OUTC | VO1 | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z | |
| 83 | 80 | 64 | 52 | PE3 | | INT04a | | | | | | T32A03 INA1 | T32A03 INC1 | YO1 | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z | |
| 84 | 81 | 65 | 53 | PE4 | | INT11a | | | | | | T32A03 INB0 | | WO1 | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z | |
| 85 | 82 | 66 | 54 | PE5 | | INT05a | INT11b | | | | | T32A03 INB1 | | ZO1 | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z | |
| 86 | 83 | 67 | 55 | PE6 | | INT05b | | | | | | T32A03 OUTB | | EMG1 | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z | |
| 87 | 84 | - | - | PE7 | | | | | | | | | | OVV1 | PMD1 DBG | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 88 | 85 | 68 | 56 | DVDD5B | | | | | | | | | | | - | - | - | - | - | - | |
| 89 | 86 | 69 | 57 | REGOUT2 | | | | | | | | | | | - | - | - | - | - | - | |
| 90 | 87 | 70 | 58 | REGOUT1 | | | | | | | | | | | - | - | - | - | - | - | |
| 91 | 88 | 71 | 59 | DVSSB | | | | | | | | | | | - | - | - | - | - | - | |
| 92 | 89 | 72 | 60 | MODE | | | | | | | | | | | - | PD | - | SMT | - | - | |
| 93 | 90 | 73 | 61 | PH0 | X1 | EHCLKIN | | | | | | | | | Input | PD | N/A | SMT | Hi-Z | Hi-Z | |
| 94 | 91 | 74 | 62 | PH1 | X2 | | | | | | | | | | Input | PD | N/A | SMT | Hi-Z | Hi-Z | |
| 95 | 92 | 75 | 63 | RESET_N | | | | | | | | | | | - | PU | - | SMT | - | - | |
| 96 | 93 | 76 | - | PF7 | | | | UT3RXD | UT3TXDA | NBDDATA1 (注3) | | T32A01 INB1 | | | TRACE DATA1 (注3) | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 97 | 94 | 77 | - | PF6 | | | | UT3TXDA | UT3RXD | NBDDATA0 (注3) | | T32A01 INB0 | | | TRACE DATA0 (注3) | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 98 | 95 | - | - | PF5 | | INT14b | | | | NBDCCLK (注3) | | T32A01 INA1 | T32A01 INC1 | ENC1Z | TRACE CLK | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 99 | 96 | 78 | - | PF4 | | INT14a | | UT3RXD | UT3TXDA | NBDSYNC (注3) | | T32A01 OUTA | T32A01 OUTC | ENC1B | TRST_N (注3) | I/O | PU/PD | N/A | SMT | PU (注2) | PU (注2) |
| 100 | 97 | 79 | - | PF3 | | | | UT3TXDA | UT3RXD | | | T32A01 INA0 | T32A01 INC0 | ENC1A | TDI (注3) | I/O | PU/PD | N/A | SMT | PU (注2) | PU (注2) |
| 1 | 98 | - | - | PF2 | | INT06b | | | | | | T32A05 INA1 | T32A05 INC1 | | TDO/ SWV | I/O | PU/PD | N/A | SMT | Hi-Z | Hi-Z |
| 2 | 99 | 80 | 64 | PF1 | | INT06a | | UT2RXD | UT2TXDA | | | T32A05 OUTA | T32A05 OUTC | | TCK/ SWCLK (注3) (注4) | I/O | PU/PD | N/A | SMT | PD (注2) | PD (注2) |
| 3 | 100 | 1 | 1 | PF0 | | | | UT2TXDA | UT2RXD | | | T32A05 INA0 | T32A05 INC0 | | TMS/ SWDIO (注3) (注4) | I/O | PU/PD | N/A | SMT | PU (注2) | PU (注2) |

注1) RESET_N 端子が"Low"の時、内蔵 pull-up が ON です。

注2) 初期値で内蔵 pull-up/pull-down が ON です。

注3) M4MM では TRST_N/TDI/TCK/TMS/TRACEDATA0/TRACEDATA1/TRACEDATA2/TRACEDATA3/
NBDDATA0/NBDDATA1/NBDDATA2/NBDDATA3/NBDSYNC は使用できません。

注4) M4ML では TCK/TMS は使用できません。

品番付与情報

TMP M4 M N F Y x FG

東芝マイクロコントローラー
 の識別名

コア

変更記号

パッケージ

| 記号 | 説明 |
|----|--------------------------|
| M4 | Arm Cortex-M4 (FPU 機能搭載) |
| M3 | Arm Cortex-M3 |
| M0 | Arm Cortex-M0 |

| 記号 | 説明 |
|-------------------|--|
| QG | プラスチック縮小クアッドアウトライン ノンリードパッケージ、防湿梱包品 |
| UG、DUG、 FG、DFG | プラスチックフラットパッケージ、防湿梱包品 |
| MG、DMG | プラスチックスモールアウトライン パッケージ、防湿梱包品 |
| XBG | プラスチックボールグリッドアレイ、 防湿梱包品 |

製品グループ

メモリー容量

| ファミリー | 記号 | 主なアプリケーション |
|--------------|----|--|
| TXZ/ TXZ+ | H | 汎用・コンシューマーエレクトロニクス |
| | K | モーター/インバーター制御・産業機器 (アナログコンボ) |
| | M | モーター/インバーター制御・産業機器 (アナログコンボ)、CAN 搭載 |
| | G | OA/デジタル製品・産業機器 |
| | N | 産業用ネットワーク、IoT 情報管理デバイス、 イーサネット/USB/CAN 搭載 |
| | E | 小型精密機器 |
| | L | 単体モーター/インバーター制御・産業機器 |
| | V | 汎用・コンシューマーエレクトロニクス (エントリーシリーズ) |

| 記号 | 容量 [KB] |
|----|---------|
| M | 32 |
| P | 48 |
| S | 64 |
| U | 96 |
| W | 128 |
| Y | 256 |
| Z | 384 |
| D | 512 |
| E | 768 |
| 10 | 1024 |
| 15 | 1536 |
| 20 | 2048 |

ピン数

ROM タイプ

| 記号 | ピン数 | 記号 | ピン数 | | |
|----|-----|--------------|-----|---|---------------|
| 0 | G | 32 pin 以下 | 7 | P | 101 ~ 128 pin |
| 1 | H | 33 ~ 44 pin | 8 | Q | 129 ~ 144 pin |
| 2 | J | 45 ~ 48 pin | 9 | R | 145 ~ 176 pin |
| 3 | K | 49 ~ 52 pin | A | S | 177 ~ 200 pin |
| 4 | L | 53 ~ 64 pin | B | T | 201 ~ 224 pin |
| 5 | M | 65 ~ 80 pin | C | U | 225 ~ 250 pin |
| 6 | N | 81 ~ 100 pin | D | V | 251 ~ 300 pin |

| 記号 | 説明 |
|----|-------|
| F | Flash |

製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（生命直結機器）、車載・輸送機器、防衛関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。