

TOSHIBA

8 ビットマイクロコントローラ
TLCS-870/C シリーズ

TMP86FS28DFG

株式会社 **東芝** セミコンダクター社

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などをご確認ください。021023_A
- 本資料に掲載されている製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。021023_B

● 本資料に掲載されている製品を、国内外の法令、規則及び命令により製造、使用、販売を禁止されている応用製品に使用することはできません。060106_Q

● 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。021023_C

● 本資料に掲載されている製品のうち外国為替および外国貿易法により、輸出または海外への提供が規制されているものがあります。021023_F

● 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。021023_D

● マイコン製品の信頼性予測については、「品質保証と信頼性 / 取り扱い上のご注意とお願い」の 1.3 項に記載されておりますのでかならずお読みください。030519_S

改訂履歴

日付	版	改訂理由
2005/12/19	1	First Release
2005/12/21	Tentative 2	First Release
2006/4/3	3	First Release
2006/6/28	4	定期更新、本文変更なし
2006/7/12	5	定期更新、本文変更なし
2006/7/19	6	定期更新、本文変更なし
2006/7/19	7	定期更新、本文変更なし
2006/9/26	8	内容改訂
2007/7/23	9	内容改訂
2008/8/29	10	内容改訂

Not Recommended for New Design

UART ノイズ除去時間設定における注意事項

本製品に搭載されている UART を使用する場合、転送クロック選択 (BRG) により、ノイズ除去時間設定 (RXDNC 設定) には以下の制約があります。"○"の箇所にて使用し、"ー"の箇所は設定しないでください。

なお、転送クロックとしてタイマカウンタ割り込みを使用する場合、転送クロックはタイマカウンタソースクロック [Hz] ÷ TTREG 設定値で計算されます。

BRG 設定	転送クロック [Hz]	RXDNC 設定			
		00 (ノイズ除去なし)	01 (31/fc[s] 未満の パルス除去)	10 (63/fc[s] 未満の パルス除去)	11 (127/fc[s] 未満の パルス除去)
000	fc/13	○	○	○	ー
110 (タイマカウンタ割り込みでの転送クロックが右記となる場合)	fc/8	○	ー	ー	ー
	fc/16	○	○	ー	ー
	fc/32	○	○	○	ー
上記以外		○	○	○	○

Not Recommended for New Designs

目次

TMP86FS28DFG

1.1	特長	1
1.2	ピン配置図	3
1.3	ブロック図	4
1.4	端子機能	5

第2章 動作説明

2.1	CPU コア機能	9
2.1.1	メモリアドレスマップ	9
2.1.2	プログラムメモリ (Flash)	9
2.1.3	データメモリ (RAM)	10
2.2	システムクロック制御回路	11
2.2.1	クロックジェネレータ	11
2.2.2	タイミングジェネレータ	12
2.2.2.1	タイミングジェネレータの構成	
2.2.2.2	マシンサイクル	
2.2.3	動作モードの種類	13
2.2.3.1	シングルクロックモード	
2.2.3.2	デュアルクロックモード	
2.2.3.3	STOP モード	
2.2.3.4	各動作モードの遷移	
2.2.4	動作モードの制御	18
2.2.4.1	STOP モード	
2.2.4.2	IDLE1/2 モード, SLEEP1/2 モード	
2.2.4.3	IDLE0, SLEEP0 モード	
2.2.4.4	SLOW モード	
2.3	リセット回路	33
2.3.1	外部リセット入力	33
2.3.2	アドレストラップリセット	34
2.3.3	ウォッチドッグタイマリセット	34
2.3.4	システムクロックリセット	34

第3章 割り込み制御回路

3.1	割り込みラッチ (IL29 ~ IL2)	36
3.2	割り込み許可レジスタ (EIR)	37
3.2.1	割り込みマスタ許可フラグ (IMF)	37
3.2.2	割り込み個別許可フラグ (EF29 ~ EF4)	37
注 3)		39
3.3	割り込み処理	40
3.3.1	割り込み受け付け処理	40
3.3.2	汎用レジスタ退避 / 復帰処理	41
3.3.2.1	プッシュ / ポップ命令による汎用レジスタの退避 / 復帰	
3.3.2.2	転送命令による汎用レジスタの退避 / 復帰	
3.3.3	割り込みリターン	42
3.4	ソフトウェア割り込み (INTSW)	44
3.4.1	アドレスエラー検出	44

3.4.2 デバッグング	44
3.5 未定義命令割り込み (INTUNDEF)	44
3.6 アドレストラップ割り込み (INTATRAP)	44
3.7 外部割り込み	45

第4章 スペシャルファンクションレジスタ

4.1 SFR	47
4.2 DBR	49

第5章 入出力ポート

5.1 P0 (P00~P02) ポート	55
5.2 P1 (P10~P17) ポート	57
5.3 P2 (P22~P20) ポート	60
5.4 P3 (P37~P30) ポート	61
5.5 P4 (P47~P40) ポート	63
5.6 P5 (P57~P50) ポート	65
5.7 P6 (P67~P60) ポート	67
5.8 P7 (P77~P70) ポート	69
5.9 P8 (P87~P80) ポート	71

第6章 ウォッチドッグタイマ(WDT)

6.1 ウォッチドッグタイマの構成	73
6.2 ウォッチドッグタイマの制御	73
6.2.1 ウォッチドッグタイマによる暴走検出の方法	73
6.2.2 ウォッチドッグタイマのイネーブル	75
6.2.3 ウォッチドッグタイマのディセーブル	75
6.2.4 ウォッチドッグタイマ割り込み (INTWDT)	76
6.2.5 ウォッチドッグタイマリセット	76
6.3 アドレストラップ	77
6.3.1 内蔵RAM領域のアドレストラップ選択 (ATAS)	77
6.3.2 アドレストラップ発生時の動作選択 (ATOUT)	77
6.3.3 アドレストラップ割り込み (INTATRAP)	77
6.3.4 アドレストラップリセット	78

第7章 タイムベースタイマ (TBT)

7.1 タイムベースタイマ	79
7.1.1 構成	79
7.1.2 制御	79
7.1.3 機能	80
7.2 デバイダ出力 (DVO)	81
7.2.1 構成	81
7.2.2 制御	81

第8章 16ビットタイマカウンタ (TC10,TC11)

8.1	16ビットタイマカウンタ 10(TC10)	83
8.1.1	構成	83
8.1.2	制御	84
8.1.3	機能	85
8.1.3.1	タイマモード	
8.1.3.2	外部トリガタイマモード	
8.1.3.3	イベントカウンタモード	
8.1.3.4	ウィンドウモード	
8.1.3.5	パルス幅測定モード	
8.1.3.6	プログラマブルパルスジェネレート (PPG) 出力モード	
8.2	16ビットタイマカウンタ 11(TC11)	97
8.2.1	構成	97
8.2.2	制御	98
8.2.3	機能	99
8.2.3.1	タイマモード	
8.2.3.2	外部トリガタイマモード	
8.2.3.3	イベントカウンタモード	
8.2.3.4	ウィンドウモード	
8.2.3.5	パルス幅測定モード	
8.2.3.6	プログラマブルパルスジェネレート (PPG) 出力モード	

第9章 8ビットタイマカウンタ (TC3, TC4)

9.1	構成	111
9.2	制御	112
9.3	機能	118
9.3.1	8ビットタイマモード (TC3, 4)	118
9.3.2	8ビットイベントカウンタモード (TC3, 4)	119
9.3.3	8ビットプログラマブルデバイダ出力 (PDO) モード (TC3, 4)	119
9.3.4	8ビットパルス幅変調 (PWM) 出力モード (TC3, 4)	122
9.3.5	16ビットタイマモード (TC3 + 4)	124
9.3.6	16ビットイベントカウンタモード (TC3 + 4)	125
9.3.7	16ビットパルス幅変調 (PWM) 出力モード (TC3 + 4)	125
9.3.8	16ビットプログラマブルパルスジェネレート (PPG) 出力モード (TC3 + 4)	128
9.3.9	ウォーミングアップカウンタモード	130
9.3.9.1	低周波ウォーミングアップカウンタモード (NORMAL1 → NORMAL2 → SLOW2 → SLOW1)	
9.3.9.2	高周波ウォーミングアップカウンタモード (SLOW1 → SLOW2 → NORMAL2 → NORMAL1)	

第10章 8ビットタイマカウンタ (TC5, TC6)

10.1	構成	133
10.2	制御	134
10.3	機能	140
10.3.1	8ビットタイマモード (TC5, 6)	140
10.3.2	8ビットイベントカウンタモード (TC5, 6)	141
10.3.3	8ビットプログラマブルデバイダ出力 (PDO) モード (TC5, 6)	141
10.3.4	8ビットパルス幅変調 (PWM) 出力モード (TC5, 6)	144
10.3.5	16ビットタイマモード (TC5 + 6)	146
10.3.6	16ビットイベントカウンタモード (TC5 + 6)	147
10.3.7	16ビットパルス幅変調 (PWM) 出力モード (TC5 + 6)	147
10.3.8	16ビットプログラマブルパルスジェネレート (PPG) 出力モード (TC5 + 6)	150
10.3.9	ウォーミングアップカウンタモード	152
10.3.9.1	低周波ウォーミングアップカウンタモード (NORMAL1 → NORMAL2 → SLOW2 → SLOW1)	
10.3.9.2	高周波ウォーミングアップカウンタモード (SLOW1 → SLOW2 → NORMAL2 → NORMAL1)	

第11章 同期型シリアルインタフェース (SIO)

11.1	構成	155
11.2	制御	156
11.3	シリアルクロック	157
11.3.1	クロックソース	157
11.3.1.1	内部クロック	
11.3.1.2	外部クロック	
11.3.2	シフトエッジ	159
11.3.2.1	前縁シフト	
11.3.2.2	後縁シフト	
11.4	転送ビット数	159
11.5	転送ワード数	159
11.6	転送モード	160
11.6.1	4ビット送信モード, 8ビット送信モード	160
11.6.2	4ビット受信モード, 8ビット受信モード	162
11.6.3	8ビット送受信モード	163

第12章 非同期型シリアルインターフェース (UART0)

12.1	構成	165
12.2	制御	166
12.3	転送データフォーマット	168
12.4	転送レート	169
12.5	データのサンプリング方法	169
12.6	STOP ビット長	170
12.7	パリティ	170
12.8	送受信動作	170
12.8.1	データ送信動作	170
12.8.2	データ受信動作	170
12.9	ステータスフラグ	171
12.9.1	パリティエラー	171
12.9.2	フレーミングエラー	171
12.9.3	オーバランエラー	171
12.9.4	受信バッファフル	172
12.9.5	送信バッファエンプティ	172
12.9.6	送信終了フラグ	173

第13章 非同期型シリアルインターフェース (UART1)

13.1	構成	175
13.2	制御	176
13.3	転送データフォーマット	178
13.4	転送レート	179
13.5	データのサンプリング方法	179
13.6	STOP ビット長	180
13.7	パリティ	180
13.8	送受信動作	180
13.8.1	データ送信動作	180
13.8.2	データ受信動作	180
13.9	ステータスフラグ	181
13.9.1	パリティエラー	181
13.9.2	フレーミングエラー	181
13.9.3	オーバランエラー	181
13.9.4	受信バッファフル	182
13.9.5	送信バッファエンプティ	182
13.9.6	送信終了フラグ	183

第14章 10ビットADコンバータ(ADC)

14.1	構成	185
14.2	制御	186
14.3	機能	189
14.3.1	ソフトウェアスタートモード	189
14.3.2	リピードモード	189
14.3.3	レジスタの設定	190
14.4	AD変換時のSTOP/SLOWモード	191
14.5	入力電圧と変換結果	192
14.6	ADコンバータの注意事項	193
14.6.1	アナログ入力端子電圧範囲	193
14.6.2	アナログ入力兼用端子	193
14.6.3	ノイズ対策	193

第15章 キーオンウェイクアップ(KWU)

15.1	構成	195
15.2	制御	195
15.3	機能	195

第16章 LCDドライバ

16.1	LCDドライバの構成	197
16.2	LCDドライバの制御	198
16.2.1	LCD駆動方式	199
16.2.2	フレーム周波数	200
16.2.3	LCD駆動電圧	201
16.2.3.1	昇圧回路を使用する場合(LCDCR<BRES>="1"のとき)	
16.2.3.2	外付け分割抵抗を使用する場合(LCDCR<BRES>="0"のとき)	
16.3	LCD表示動作	203
16.3.1	表示データの設定	203
16.3.2	ブランキング	204
16.4	LCDドライバの制御方法	205
16.4.1	初期設定	205
16.4.2	表示データの格納	205
16.4.3	駆動出力例	208

第17章 フラッシュメモリ

17.1	制御	214
17.1.1	フラッシュメモリのコマンドシーケンス制御(FLSCR<FLSMD>)	214
17.1.2	フラッシュメモリのバンク切り替え制御(FLSCR<BANKSEL>)	214
17.1.3	フラッシュメモリのスタンバイ制御(FLSSTB<FSTB>)	215
17.2	コマンドシーケンス	216
17.2.1	1バイト書き込み	216
17.2.2	セクタイレース(4KB単位の部分消去)	216
17.2.3	チップイレース(全面消去)	217
17.2.4	Product ID Entry	217
17.2.5	Product ID Exit	217
17.2.6	リードプロテクト設定	218
17.3	トグルビット(D6)	218
17.4	フラッシュメモリ領域へのアクセス	219

17.4.1	シリアル PROM モードのフラッシュメモリ制御	219
17.4.2	MCU モードのフラッシュメモリ制御	220
17.4.2.1	MCU モードから RAM 領域に制御プログラムを展開して書き込む例	

第 18 章 シリアル PROM モード

18.1	概要	223
18.2	メモリマッピング	223
18.3	シリアル PROM モード設定	224
18.3.1	シリアル PROM モード制御端子	224
18.3.2	端子機能	224
18.3.3	オンボード書き込み接続例	225
18.3.4	シリアル PROM モードの起動	226
18.4	インタフェース仕様	227
18.5	動作コマンド	229
18.6	動作モード	229
18.6.1	フラッシュメモリ消去モード (動作コマンド: F0H)	231
18.6.2	フラッシュメモリ書き込みモード (動作コマンド: 90H)	233
18.6.3	フラッシュメモリ SUM 出力モード (動作コマンド: 90H)	236
18.6.4	製品識別コード出力モード (動作コマンド: C0H)	237
18.6.5	フラッシュメモリステータス出力モード (動作コマンド: C3H)	239
18.6.6	フラッシュメモリリードプロテクト設定モード (動作コマンド: FAH)	240
18.7	エラーコード	242
18.8	チェックサム (SUM)	242
18.8.1	計算方法	242
18.8.2	計算対象データ	242
18.9	インテル Hex フォーマット (Binary)	243
18.10	パスワード	244
18.10.1	パスワード列	245
18.10.2	パスワードエラー処理	245
18.10.3	ソフトウェア開発時のパスワードについて	245
18.11	製品識別コード	246
18.12	フラッシュメモリステータスコード	247
18.13	消去範囲指定	248
18.14	フローチャート	249
18.15	UART タイミング	251

第 19 章 端子の入出力回路

19.1	制御端子	253
19.2	入出力ポート	254

第 20 章 電気的特性

20.1	絶対最大定格	255
20.2	動作条件	256
20.2.1	MCU モード (フラッシュメモリの書き込みおよび消去動作時)	256
20.2.2	MCU モード (フラッシュメモリの書き込みおよび消去動作を除く)	256
20.2.3	シリアル PROM モード	257
20.3	DC 特性	258
20.4	AD 変換特性	260
20.5	AC 特性	261
20.6	フラッシュ特性	261

20.6.1 書き込み特性	261
20.7 推奨発振条件	262
20.8 取り扱い上のご注意	262

第 21 章 外形寸法

Not Recommended
for New Design



Not Recommended
for New Design

CMOS 8ビットマイクロコントローラ

TMP86FS28DFG

製品形名	ROM (FLASH)	RAM	パッケージ	エミュレーション チップ
TMP86FS28DFG	61440 バイト	2048 バイト	LQFP80-P-1212-0.50E	TMP86C989XB

1.1 特長

- 8ビットシングルチップマイクロコントローラ：TLCS-870/Cシリーズ
 - 最小実行時間：
 - 0.25 μ s (16 MHz 動作時)
 - 122 μ s (32.768 kHz 動作時)
 - 基本機械命令：132 種類 731 命令
- 割り込み要因 23 要因 (外部：6, 内部：17)
- 入出力ポート (62 端子)
- ウォッチドッグタイマ
 - 割り込み/内部リセット発生の選択 (プログラマブル)
- プリスケアラ
 - タイムベースタイマ機能
 - デバイダ出力機能
- 16ビットタイマカウンタ：2チャンネル
 - タイマ, イベントカウンタ, PPG (プログラマブル矩形波) 出力, パルス幅測定, 外部トリガタイマ, ウィンドウモード
- 8ビットタイマカウンタ：4チャンネル
 - タイマ, イベントカウンタ
 - PDO (Programmable Divider Output) モード
 - PWM (パルス幅変調出力)
 - PPG モード
 - 16ビットモード (タイマ2チャンネルを組み合わせて使用)
- 8ビットUART/SIO: 1チャンネル

本製品は、米国 SST 社 (Silicon Storage Technology, Inc.) からライセンスを受けた Super Flash® 技術を使用しています。Super Flash® は SST 社の登録商標です。

060629TBP

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
- なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などをご確認ください。021023_A
- 本資料に掲載されている製品は、一般的電子機器 (コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など) に使用されていることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器 (原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など) にこれらの製品を使用すること (以下「特定用途」という) は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。021023_B
- 本資料に掲載されている製品を、国内外の法令、規則および命令により製造、使用、販売を禁止されている応用製品に使用することはできません。060106_Q
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。021023_C
- 本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。021023_E
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。021023_D
- マイコン製品の信頼性予測については、「品質保証と信頼性 / 取り扱い上のご注意とお願い」の 1.3 項に記載されておりますので必ずお読みください。030519_S

- 8ビットUART : 1チャンネル
- 10ビット逐次比較方式ADコンバータ
 - アナログ入力 : 8チャンネル
- キーオンウェイクアップ : 4チャンネル
- LCDドライバ/コントローラ
 - LCD直接駆動可能 (40セグメント×4コモン)
 - 1/4,1/3,1/2デューティ、スタティック駆動の選択
 - LCD電源電圧用昇圧回路内蔵
- クロック発振回路 : 2回路
 - シングル/デュアルクロックモードの選択
- 低消費電力動作 (9モード)
 - STOPモード : 発振停止 (バッテリー/コンデンサバックアップ)
 - SLOW1モード : 低周波クロックによる低周波動作 (高周波停止)
 - SLOW2モード : 低周波クロックによる低周波動作 (高周波発振)
 - IDLE0モード : CPU停止。
 - 周辺ハードウェアのうち、TBTのみ動作 (高周波クロック) 継続し、TBT設定の基準時間経過により解除。
 - IDLE1モード : CPU停止。
 - 周辺ハードウェアのみ動作 (高周波クロック) 継続し、割り込みで解除 (CPU再起動)
 - IDLE2モード : CPU停止。
 - 周辺ハードウェアのみ動作 (高周波/低周波クロック) 継続し、割り込みで解除
 - SLEEP0モード : CPU停止。
 - 周辺ハードウェアのうち、TBTのみ動作 (低周波クロック) 継続し、TBT設定の基準時間経過により解除。
 - SLEEP1モード : CPU停止。
 - 周辺ハードウェアのみ動作 (低周波クロック) 継続し、割り込みで解除。
 - SLEEP2モード : CPU停止。
 - 周辺ハードウェアのみ動作 (高周波/低周波クロック) 継続し、割り込みで解除。
- 動作電圧 :
 - 2.7V~5.5V @ 8MHz / 32.768kHz
 - 4.0V~5.5V @ 16MHz / 32.768kHz

1.2 ピン配置図

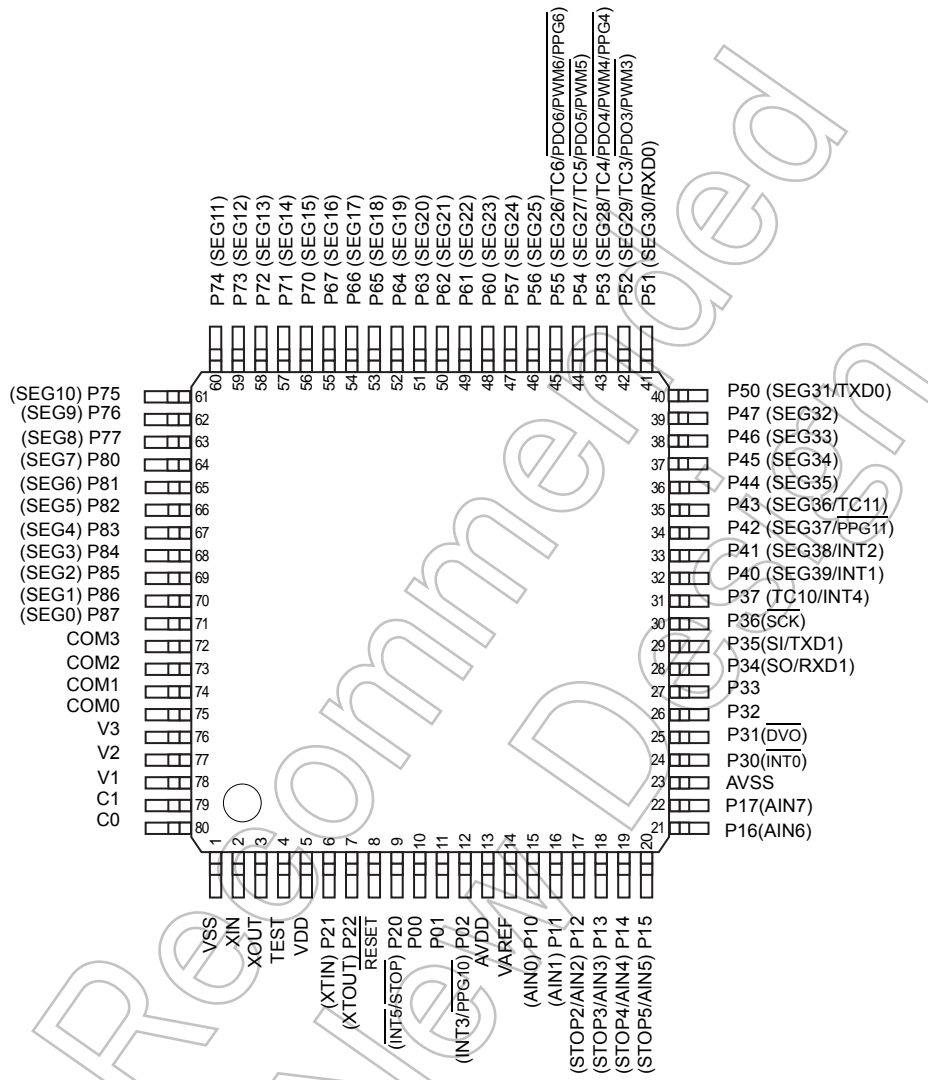


図 1-1 ピン配置図

1.3 ブロック図

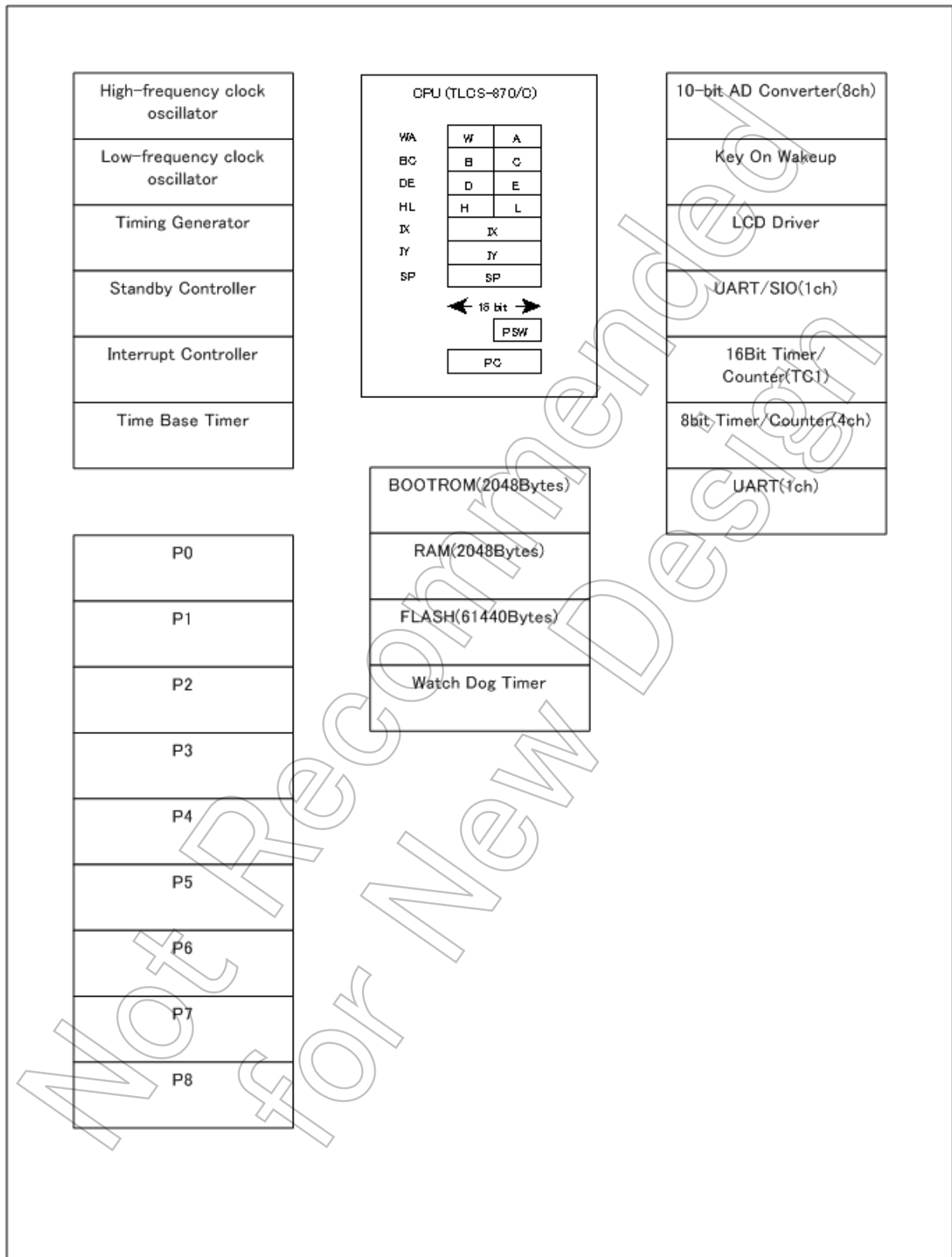


図 1-2 ブロック図

1.4 端子機能

TMP86FS28DFG は、MCU モードとシリアル PROM モード、パラレル PROM モードがあります。表 1-1 に MCU モード時の端子機能を示します。シリアル PROM モードについては、後続の「シリアル PROM モード」の章を参照してください。

表 1-1 端子機能表 (1 / 4)

端子名	ピン番号	入出力	機能
P02 PPG10 INT3	12	IO O I	ポート 02 PPG10 出力 外部割り込み 3 入力
P01	11	IO	ポート 01
P00	10	IO	ポート 00
P17 AIN7	22	IO I	ポート 17 アナログ入力 7
P16 AIN6	21	IO I	ポート 16 アナログ入力 6
P15 AIN5 STOP5	20	IO I I	ポート 15 アナログ入力 5 STOP5 入力
P14 AIN4 STOP4	19	IO I I	ポート 14 アナログ入力 4 STOP4 入力
P13 AIN3 STOP3	18	IO I I	ポート 13 アナログ入力 3 STOP3 入力
P12 AIN2 STOP2	17	IO I I	ポート 12 アナログ入力 2 STOP2 入力
P11 AIN1	16	IO I	ポート 11 アナログ入力 1
P10 AIN0	15	IO I	ポート 10 アナログ入力 0
P22 XTOUT	7	IO O	ポート 22 低周波発振子接続端子
P21 XTIN	6	IO I	ポート 21 低周波発振子接続端子
P20 STOP INT5	9	IO I I	ポート 20 STOP モード解除入力 外部割り込み 5 入力
P37 TC10 INT4	31	IO I I	ポート 37 TC10 端子入力 外部割り込み 4 入力
P36 SCK	30	IO IO	ポート 36 シリアルクロック入出力
P35 SI TXD1	29	IO I O	ポート 35 シリアルデータ入力 UART データ出力 1

表 1-1 端子機能表 (2 / 4)

端子名	ピン番号	入出力	機能
P34 SO RXD1	28	IO O I	ポート 34 シリアルデータ出力 UART データ入力 1
P33	27	IO	ポート 33
P32	26	IO	ポート 32
P31 DVO	25	IO O	ポート 31 デバイダ出力
P30 INT0	24	IO I	ポート 30 外部割り込み 0 入力
P47 SEG32	39	IO O	ポート 47 LCD セグメント出力 32
P46 SEG33	38	IO O	ポート 46 LCD セグメント出力 33
P45 SEG34	37	IO O	ポート 45 LCD セグメント出力 34
P44 SEG35	36	IO O	ポート 44 LCD セグメント出力 35
P43 SEG36 TC11	35	IO O I	ポート 43 LCD セグメント出力 36 TC11 端子入力
P42 SEG37 PPG11	34	IO O O	ポート 42 LCD セグメント出力 37 PPG11 出力
P41 SEG38 INT2	33	IO O I	ポート 41 LCD セグメント出力 38 外部割り込み 2 入力
P40 SEG39 INT1	32	IO O I	ポート 40 LCD セグメント出力 39 外部割り込み 1 入力
P57 SEG24	47	IO O	ポート 57 LCD セグメント出力 24
P56 SEG25	46	IO O	ポート 56 LCD セグメント出力 25
P55 SEG26 TC6 PDO6/PWM6/PPG6	45	IO O I O	ポート 55 LCD セグメント出力 26 TC6 端子入力 PDO6/PWM6/PPG6 出力
P54 SEG27 TC5 PDO5/PWM5	44	IO O I O	ポート 54 LCD セグメント出力 27 TC5 端子入力 PDO5/PWM5 出力
P53 SEG28 TC4 PDO4/PWM4/PPG4	43	IO O I O	ポート 53 LCD セグメント出力 28 TC4 端子入力 PDO4/PWM4/PPG4 出力

表 1-1 端子機能表 (3 / 4)

端子名	ピン番号	入出力	機能
P52 SEG29 TC3 PDO3/PWM3	42	IO O I O	ポート 52 LCD セグメント出力 29 TC3 端子入力
P51 SEG30 RXD0	41	IO O I	ポート 51 LCD セグメント出力 30 UART データ入力 0
P50 SEG31 TXD0	40	IO O O	ポート 50 LCD セグメント出力 31 UART データ出力 0
P67 SEG16	55	IO O	ポート 67 LCD セグメント出力 16
P66 SEG17	54	IO O	ポート 66 LCD セグメント出力 17
P65 SEG18	53	IO O	ポート 65 LCD セグメント出力 18
P64 SEG19	52	IO O	ポート 64 LCD セグメント出力 19
P63 SEG20	51	IO O	ポート 63 LCD セグメント出力 20
P62 SEG21	50	IO O	ポート 62 LCD セグメント出力 21
P61 SEG22	49	IO O	ポート 61 LCD セグメント出力 22
P60 SEG23	48	IO O	ポート 60 LCD セグメント出力 23
P77 SEG8	63	IO O	ポート 77 LCD セグメント出力 8
P76 SEG9	62	IO O	ポート 76 LCD セグメント出力 9
P75 SEG10	61	IO O	ポート 75 LCD セグメント出力 10
P74 SEG11	60	IO O	ポート 74 LCD セグメント出力 11
P73 SEG12	59	IO O	ポート 73 LCD セグメント出力 12
P72 SEG13	58	IO O	ポート 72 LCD セグメント出力 13
P71 SEG14	57	IO O	ポート 71 LCD セグメント出力 14
P70 SEG15	56	IO O	ポート 70 LCD セグメント出力 15
P87 SEG0	71	IO O	ポート 87 LCD セグメント出力 0

表 1-1 端子機能表 (4 / 4)

端子名	ピン番号	入出力	機能
P86 SEG1	70	IO O	ポート 86 LCD セグメント出力 1
P85 SEG2	69	IO O	ポート 85 LCD セグメント出力 2
P84 SEG3	68	IO O	ポート 84 LCD セグメント出力 3
P83 SEG4	67	IO O	ポート 83 LCD セグメント出力 4
P82 SEG5	66	IO O	ポート 82 LCD セグメント出力 5
P81 SEG6	65	IO O	ポート 81 LCD セグメント出力 6
P80 SEG7	64	IO O	ポート 80 LCD セグメント出力 7
COM3	72	O	LCD コモン出力 3
COM2	73	O	LCD コモン出力 2
COM1	74	O	LCD コモン出力 1
COM0	75	O	LCD コモン出力 0
V3	76	I	LCD ドライバ昇圧用コンデンサ接続端子 (昇圧回路不使用時は、分割抵抗を接続)
V2	77	I	LCD ドライバ昇圧用コンデンサ接続端子 (昇圧回路不使用時は、分割抵抗を接続)
V1	78	I	LCD ドライバ昇圧用コンデンサ接続端子 (昇圧回路不使用時は、分割抵抗を接続)
C1	79	I	LCD ドライバ昇圧用コンデンサ接続端子 (昇圧回路不使用時はオープン)
C0	80	I	LCD ドライバ昇圧用コンデンサ接続端子 (昇圧回路不使用時はオープン)
XIN	2	I	発振子接続端子
XOUT	3	O	発振子接続端子
RESET	8	I	リセット入力
TEST	4	I	出荷試験用端子。“L” レベルに固定してください。
VAREF	14	I	AD 変換用アナログ基準電圧入力端子
AVDD	13	I	アナログ電源
AVSS	23	I	アナログ電源
VDD	5	I	電源端子
VSS	1	I	GND 端子

第 2 章 動作説明

2.1 CPU コア機能

CPU コアは CPU、システムクロック制御回路、割込み制御回路から構成されます。

本章では CPU コア、プログラムメモリ、データメモリおよびリセット回路について説明します。

2.1.1 メモリアドレスマップ

TMP86FS28DFG のメモリは、Flash, RAM, SFR (スペシャルファンクションレジスタ), DBR(データバッファレジスタ) で構成され、それらは 1 つの 64K バイトアドレス空間上にマッピングされています。

図 2-1 に TMP86FS28DFG のメモリアドレスマップを示します。

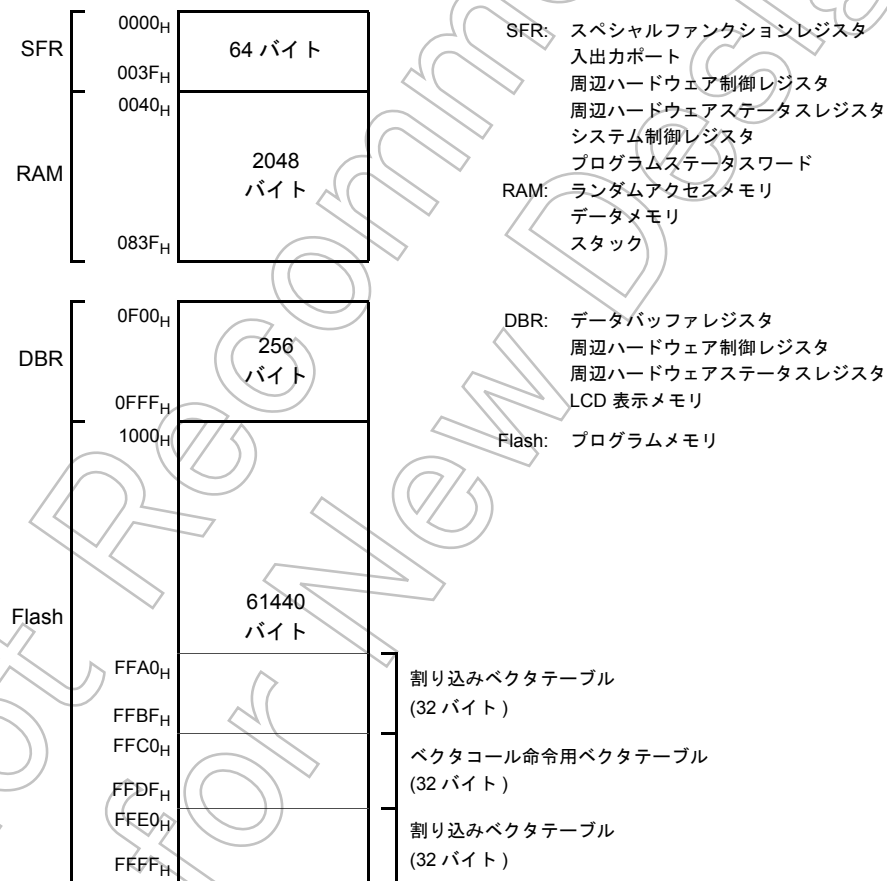


図 2-1 メモリアドレスマップ

2.1.2 プログラムメモリ (Flash)

TMP86FS28DFG は 61440 バイト (アドレス 1000H~FFFFH) のプログラムメモリ (Flash) を内蔵しています。

2.1.3 データメモリ (RAM)

TMP86FS28DFG は、2048 バイト (アドレス 0040H~083FH) の RAM を内蔵しています。内蔵 RAM の領域中、アドレス (0040H~00FFH) はダイレクト領域となっており、この領域に対しては実行時間を短縮した命令による処理が可能です。

データメモリの内容は、電源投入時不定になりますので、イニシャライズルーチンで初期設定を行ってください。

(プログラム例) TMP86FS28DFG の RAM クリア

	LD	HL, 0040H	; スタートアドレスの設定
	LD	A, H	; 初期化データ (00H) の設定
	LD	BC, 07FFH	; バイト数 (-1) の設定
SRAMCLR:	LD	(HL), A	
	INC	HL	
	DEC	BC	
	JRS	F, SRAMCLR	

2.2 システムクロック制御回路

システムクロック制御回路は、クロックジェネレータ、タイミングジェネレータおよび動作モード制御回路から構成されています。

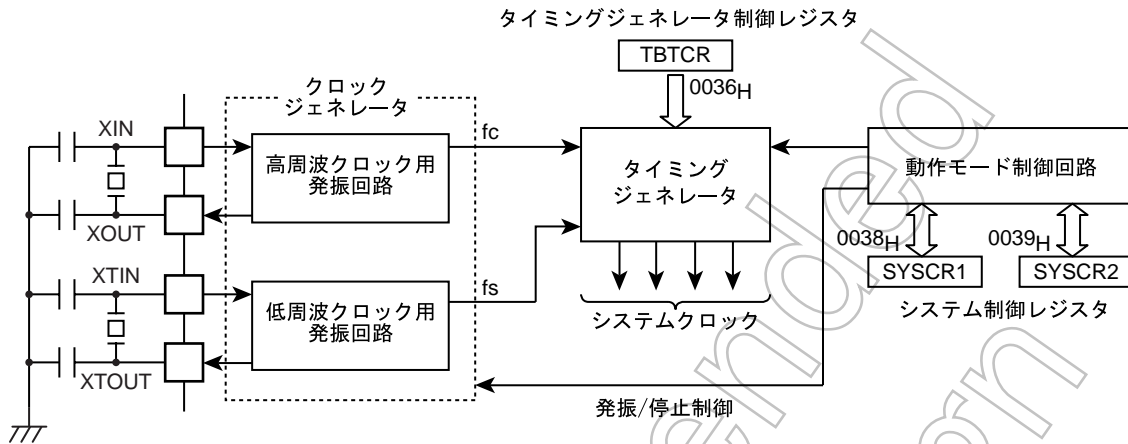


図 2-2 システムクロック制御回路

2.2.1 クロックジェネレータ

クロックジェネレータは、CPU コアおよび周辺ハードウェアに供給されるシステムクロックの基準となる基本クロックを発生する回路です。高周波クロック用と低周波クロック用の 2 つの発振回路を内蔵しており、動作モード制御回路で低周波クロックによる低速動作に切り替えて消費電力の低減を図ることもできます。

高周波クロック (周波数 f_c)、低周波クロック (周波数 f_s) は、それぞれ XIN, XOUT 端子, XTIN, XTOUT 端子に発振子を接続することにより容易に得られます。また、外部発振器からのクロックを入力することもできます。この場合、XIN, XTIN 端子からクロックを入力し、XOUT, XTOUT 端子は開放しておきます。

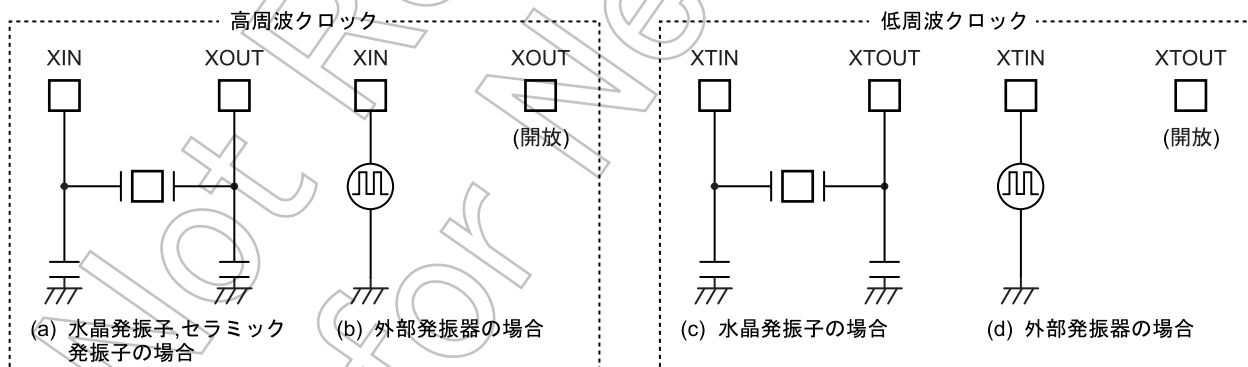


図 2-3 発振子の接続例

注) 基本クロックを外部的に直接モニタする機能はハードウェア的には用意されていませんが、割り込み禁止状態、ウォッチドッグタイマのディセーブル状態でプログラムによってポートに一定周波数のパルス (例えばクロック出力) を出力させ、これをモニタすることにより調節を行うことができます。発振周波数の調整が必要なシステムでは、あらかじめ調整用プログラムを作成しておく必要があります。

2.2.2 タイミングジェネレータ

タイミングジェネレータは、基本クロック (fc または fs) から CPU コアおよび周辺ハードウェアに供給する各種システムクロックを発生する回路です。タイミングジェネレータの機能は、次のとおりです。

1. メインシステムクロック生成
2. デバイダ出力 ($\overline{\text{DVO}}$) パルス生成
3. タイムベースタイマのソースクロック生成
4. ウォッチドッグタイマのソースクロック生成
5. タイマカウンタなどの内部ソースクロック生成
6. STOP モード解除時のウォーミングアップクロック生成
7. LCD ベース周波数生成

2.2.2.1 タイミングジェネレータの構成

タイミングジェネレータは、2 段のプリスケアラ、21 段のデバイダ、メインシステムクロック切り替え回路およびマシンサイクルカウンタから構成されています。

デバイダの 7 段目への入力クロックは SYSCR2<SYSCK>、TBTCR<DV7CK> の設定により図 2-4 のようになります。なお、リセット時および STOP モード起動/解除時プリスケアラおよびデバイダは“0”にクリアされます。

注) TBTCR<DV7CK> は、タイミングジェネレータ制御レジスタ (TBTCR) のビット 4 (DV7CK) を指しています。以降の文章中ではレジスタの各機能ビットをこのように表記します。

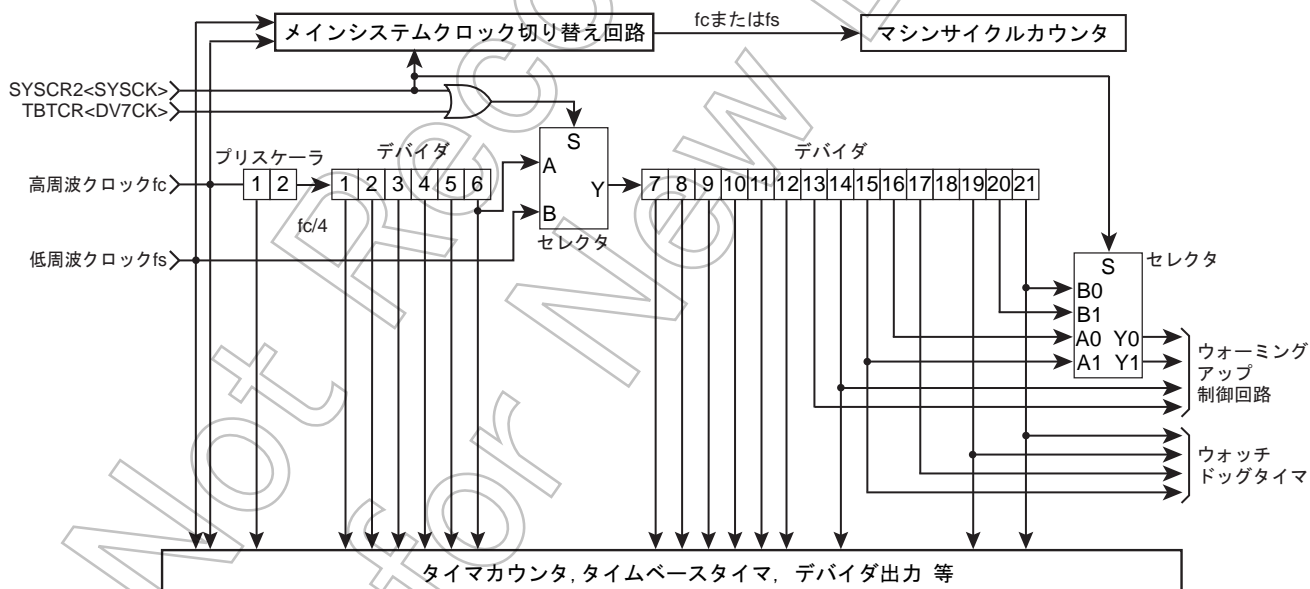


図 2-4 タイミングジェネレータの構成

タイミングジェネレータ制御レジスタ

TBTCR (0036H)	7	6	5	4	3	2	1	0	(初期値: 0000 0000)
	(DV0EN)	(DV0CK)	DV7CK	(TBTEN)	(TBTCCK)				

DV7CK	デバイダ 7 段目への 入力クロックの選択	0: $fc/2^8$ [Hz] 1: fs	R/W
-------	--------------------------	---------------------------	-----

- 注 1) シングルクロックモード時は、DV7CK を“1”にセットしないでください。
 注 2) 低周波クロックの発振安定前に DV7CK を“1”にセットしないでください。
 注 3) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz], *: Don't care
 注 4) SLOW1/2, SLEEP1/2 モード時は、DV7CK の設定にかかわらず、デバイダ 7 段目には fs が入力されます。
 注 5) NORMAL1/2 モードから STOP モードを起動した場合、STOP モード解除後のウォーミングアップ中は DV7CK の設定にかかわらずデバイダ 7 段目にはデバイダ 6 段目の出力が入力されます。

2.2.2.2 マシンサイクル

命令の実行および内蔵ハードウェアの動作は、システムクロックに同期して行われます。命令実行の最小単位を、『マシンサイクル』と呼びます。TLCS-870/C シリーズの命令には、1 マシンサイクルで実行される 1 サイクル命令から最長 10 マシンサイクルを要する 10 サイクル命令までの 10 種類があります。

マシンサイクルは、4 ステート (S0~S3) で構成され、各ステートは 1 メインシステムクロックで構成されます。

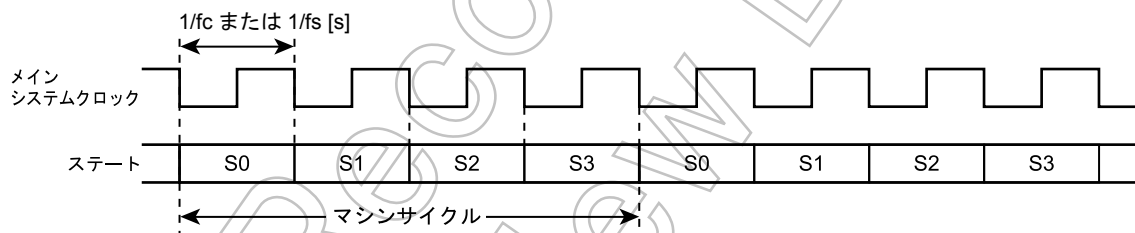


図 2-5 マシンサイクル

2.2.3 動作モードの種類

動作モード制御回路は、高周波クロック用、低周波クロック用の各発振回路の発振 / 停止 およびメインシステムクロックの切り替えを行います。動作モードは、シングルクロックモードとデュアルクロックモード及び STOP モードに大別され、各動作モードの制御はシステム制御レジスタ (SYSCR1, SYSCR2) で行います。図 2-6 に動作モード遷移図を示します。

2.2.3.1 シングルクロックモード

シングルクロックモードは、高周波クロック用発振回路のみ使用する動作モードで、低周波クロック用端子の P21 (XTIN), P22 (XTOUT) は、通常の入出力ポートとして使用することができます。メインシステムクロックは、高周波クロックから生成されますので、シングルクロックモードにおけるマシンサイクルタイムは $4/fc$ [s] となります。

(1) NORMAL1 モード

CPU コアおよび周辺ハードウェアを高周波クロックで動作させるモードです。リセット解除後は、NORMAL1 モードになります。

(2) IDLE1 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウェアを高周波クロックで動作させるモードです。IDLE1 モードの起動は、システム制御レジスタ 2 (SYSCR2) の IDLE を“1”にセットすることで行います。周辺ハードウェアからの割り込みまたは外部割り込みにより解除され、NORMAL1 モードに復帰します。IMF (割り込みマスタ許可フラグ) が“1” (割り込み許可状態) の時は、割り込み処理が行われたあと、通常の動作に戻ります。IMF が“0” (割り込み禁止状態) の時は、IDLE1 モードを起動した命令の次の命令から実行再開します。

(3) IDLE0 モード

発振回路と TBT を除き、コアおよび周辺回路を停止させるモードです。NORMAL1 モード時にシステム制御レジスタ SYSCR2<TGHALT> を“1”にセットすることにより起動します。IDLE0 モードを起動すると、CPU が停止しタイミングジェネレータは TBT 以外の周辺回路へのクロック供給を停止します。その後、TBTCR<TBTC> によって設定されたソースクロックの立ち下がりエッジを検出するとタイミングジェネレータは全周辺回路へのクロック供給を開始します。

IDLE0 モードを解除すると、CPU は動作を再開し、NORMAL1 モードに復帰します。

なお、IDLE0 モードは、TBTCR<TBTEN> の設定に関係なく起動 / 復帰し IMF = “1”, EF6 (TBT の割り込み個別許可フラグ) = “1”, TBTCR<TBTEN> = “1” のときは割り込み処理が行われます。

TBTCR<TBTEN> = “1” の状態で IDLE0 モードを起動すると、NORMAL モードに復帰後、INTTBT 割り込みラッチがセットされます。

2.2.3.2 デュアルクロックモード

デュアルクロックモードは、高周波、低周波用の 2 つの発振回路を使用する動作モードで、P21 (XTIN), P22 (XTOUT) を低周波クロック用端子として使用します (デュアルクロックモード時、これらの端子は入出力ポートとして使用することはできません)。メインシステムクロックは、NORMAL2, IDLE2 モード時、高周波クロックから生成され、SLOW1, 2, SLEEP1, 2 モード時、低周波クロックから生成されています。従って、マシンサイクルタイムは、NORMAL2, IDLE2 モード時 $4/f_c$ [s]、SLOW, SLEEP モード時 $4/f_s$ [s] ($122 \mu s @ f_s = 32.768 \text{ kHz}$) となります。

TLCS-870/C シリーズは、リセット中シングルクロックモードとなります。デュアルクロックモードで使用する場合は、プログラムの先頭で低周波クロックを発振させてください。

(1) NORMAL2 モード

CPU コアを高周波クロックで動作させるモードで、周辺ハードウェアは高周波 / 低周波の両クロックで動作します。

(2) SLOW2 モード

高周波クロックの発振を動作させながら、CPU コアを低周波クロックで動作させるモードです。NORMAL2 から SLOW2 への切り替え、SLOW2 から NORMAL2 への切り替えは、SYSCR2<SYSCK>で行います。SLOW2 モード時、XTEN を“0”にクリアしないでください。

(3) SLOW1 モード

高周波クロックの発振を停止させ、CPU コア、周辺ハードウェアを低周波クロックで動作させるモードで消費電力を低減できます。

SLOW1 モードと SLOW2 モードの間の変換は SYSCR2<XEN>で行います。SLOW1、SLEEP1 モード時、デバイダの初段から 6 段目までの出力は停止します。

(4) IDLE2 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウェアを高周波 / 低周波の両クロックで動作させるモードです。IDLE2 モードの起動 / 解除方法は、IDLE1 モードと同じです。解除後、NORMAL2 モードに戻ります。

(5) SLEEP1 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウェアを低周波クロックで動作させるモードです。SLEEP1 モードの起動 / 解除方法は、IDLE1 モードと同じです。解除後、SLOW1 モードに戻ります。なお、高周波クロックは発振していません。SLOW1、SLEEP1 時、デバイダの初段から 6 段目までの出力は停止します。

(6) SLEEP2 モード

SLOW2 モードに対応する IDLE モードです。高周波クロックが動作することを除き、SLEEP1 モードと同一の状態です。

(7) SLEEP0 モード

発振回路と TBT を除き、コアおよび周辺回路を停止させるモードです。SLOW1 モード時に SYSCR2<TGHALT> を“1”にセットすることにより起動します。SLEEP0 モードを起動すると、CPU が停止しタイミングジェネレータは TBT 以外へのクロック供給を停止します。その後、TBTCR<TBTK> によって設定されたソースクロックの立ち下がりエッジを検出すると、タイミングジェネレータは全周辺回路へのクロック供給を開始します。

SLEEP0 モードを解除すると、CPU は動作を再開し、SLOW1 モードに復帰します。

なお、SLEEP0 モードは、TBTCR<TBTEN> の設定に関係なく起動 / 復帰し、IMF = “1”、EF6 (TBT の割り込み許可フラグ) = “1”、TBTCR<TBTEN> = “1” のときは割り込み処理が行われます。

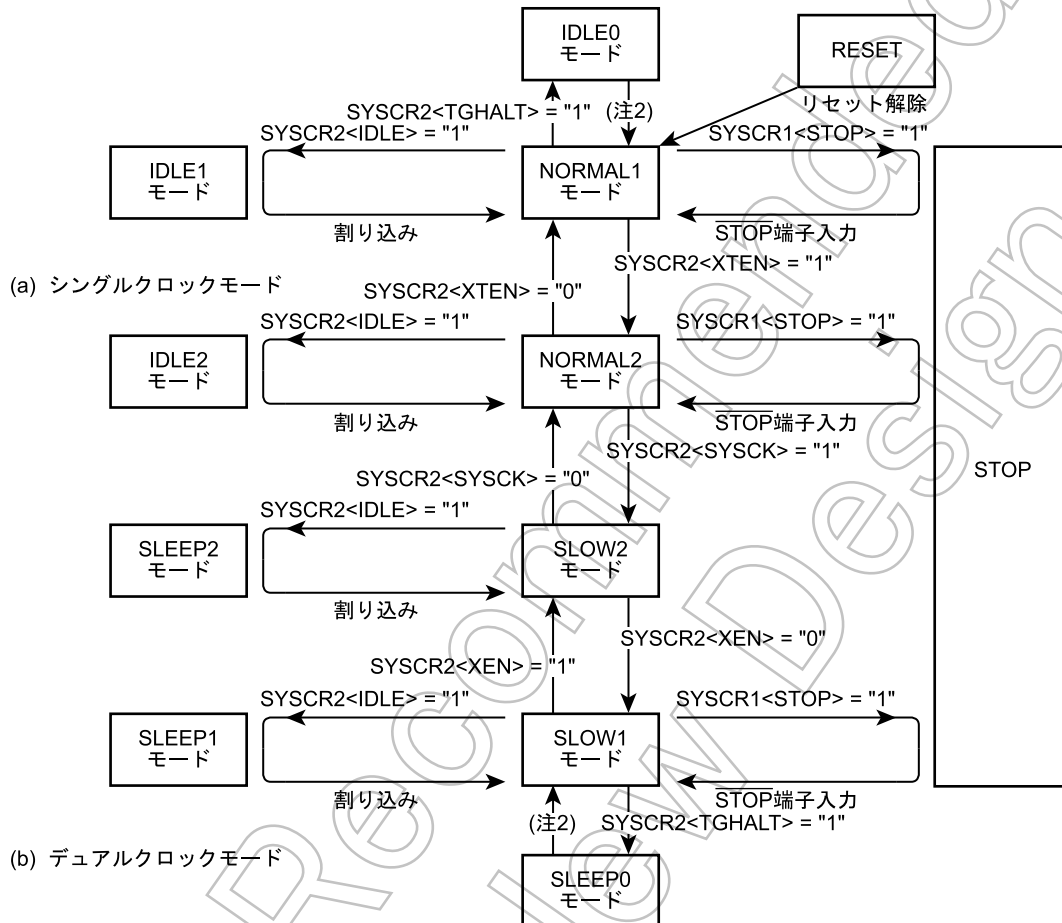
TBTCR<TBTEN> = “1” の状態で SLEEP0 モードを起動すると、SLOW1 モードに復帰後、INTTBT 割り込みラッチがセットされます。

2.2.3.3 STOP モード

発振回路を含めシステムの動作をすべて停止し、停止直前の内部状態を低消費電力で保持するモードです。

STOPモードの起動は、システム制御レジスタ1で行います。解除は、 $\overline{\text{STOP}}$ 端子入力で行い、ウォーミングアップ時間経過後、STOPモード起動時のモードに戻り、STOPモードを起動した命令の次の命令から実行再開します。

2.2.3.4 各動作モードの遷移



注 1) NORMAL1, NORMAL2モードを総称してNORMALモード、SLOW1, SLOW2モードをSLOWモード、IDLE0, IDLE1, IDLE2モードをIDLEモード、SLEEP0, SLEEP1, SLEEP2モードをSLEEPモードと呼びます。

注 2) TBTCR<TBTK>によって選択されたソースクロックの立ち下がりエッジによって解除。

図 2-6 動作モード状態遷移図

表 2-1 動作モードと各部の状態

動作モード		発振回路		CPU コア	TBT	その他 周辺回路	マシンサイクル タイム
		高周波	低周波				
シングル クロック	RESET	発振	停止	リセット	リセット	リセット	4/fc [s]
	NORMAL1			動作	動作	動作	
	IDLE1			停止		動作	
	IDLE0						
	STOP	停止	停止	停止	停止	—	
デュアル クロック	NORMAL2	発振	発振	高周波動作	動作	動作	4/fc [s]
	IDLE2			停止			
	SLOW2			低周波動作			
	SLEEP2			停止			
	SLOW1	停止	停止	低周波動作	動作	動作	4/fs [s]
	SLEEP1						
	SLEEP0						
	STOP			停止			停止

Not Recommended for New Designs

2.2.4 動作モードの制御

システム制御レジスタ 1

	7	6	5	4	3	2	1	0	
SYSCR1 (0038H)	STOP	RELM	RETM	OUTEN	WUT				(初期値:0000 00)**

STOP	STOPモードの起動	0: CPUコア, 周辺ハードウェア動作 1: CPUコア, 周辺ハードウェア停止 (STOPモード起動)		R/W	
RELM	STOPモードの解除方法の選択	0: エッジ解除モード (STOP端子入力の立ち上がりエッジで解除) 1: レベル解除モード (STOP端子入力の“H”レベルで解除)		R/W	
RETM	STOPモード解除後の動作モードの選択	0: NORMAL1/2モードへ戻る 1: SLOW1モードへ戻る		R/W	
OUTEN	STOPモード時のポート出力状態の選択	0: ハイインピーダンス 1: 出力保持		R/W	
WUT	STOPモード解除時のウォーミングアップ時間 単位: [s]		NORMAL1/2モードへ戻る場合	SLOW1モードへ戻る場合	R/W
		00	$3 \times 2^{16}/f_c$	$3 \times 2^{13}/f_s$	
		01	$2^{16}/f_c$	$2^{13}/f_s$	
		10	$3 \times 2^{14}/f_c$	$3 \times 2^6/f_s$	
		11	$2^{14}/f_c$	$2^6/f_s$	

- 注 1) RETM は、NORMALモードからSTOPモードを起動する場合は必ず“0”にしてください。SLOWモードからSTOPモードを起動する場合は必ず“1”にしてください。
- 注 2) STOPモードをRESET端子入力で解除した場合は、RETMの値にかかわらずNORMAL1モードに戻ります。
- 注 3) f_c ; 高周波クロック [Hz], f_s ; 低周波クロック [Hz], *, Don't care
- 注 4) SYSCR1のビット1, 0は、リードすると不定値が読み出されます。
- 注 5) OUTEN = “0”の指定でSTOPモードを起動すると、内部入力は“0”に固定されますので、立ち下がりエッジの外部割り込みがセットされる恐れがあります。
- 注 6) キーオンウェイクアップ入力を使用する場合は、RELMを“1”に設定してください。
- 注 7) P20端子はSTOP端子と兼用のため、STOPモードを起動するとOUTENの状態にかかわらず、出力はHi-z状態となります。
- 注 8) ウォーミングアップタイムは使用する発振子の特性に合わせて選択してください。

システム制御レジスタ 2

	7	6	5	4	3	2	1	0	
SYSCR2 (0039H)	XEN	XTEN	SYSCK	IDLE		TGHALT			(初期値: 1000 *0**)

XEN	高周波発振器の制御	0: 発振停止 1: 発振継続または発振開始	R/W
XTEN	低周波発振器の制御	0: 発振停止 1: 発振継続または発振開始	
SYSCK	システムクロックの 選択 (write)/ モニタ (read)	0: 高周波クロック (NORMAL1/NORMAL2/IDLE1/IDLE2) 1: 低周波クロック (SLOW/SLEEP)	
IDLE	CPU,WDT 制御 (IDLE1/2, SLEEP1/2 モード)	0: CPU, WDT 動作 1: CPU, WDT 停止 (IDLE1/2, SLEEP1/2 モード起動)	R/W
TGHALT	TG 制御 (IDLE0, SLEEP0 モード)	0: TG から全周辺回路へのクロック供給動作 1: TG から TBT を除く周辺回路へのクロック供給停止 (IDLE0, SLEEP0 モード起動)	R/W

- 注 1) XEN, XTEN をともに “0” にクリアした場合、SYSCK = “0” で XEN を “0” にクリアした場合、および SYSCK = “1” で XTEN を “0” にクリアした場合、リセットがかかります。
- 注 2) WDT; ウォッチドッグタイマ, TG; タイミングジェネレータ, * ; Don't care
- 注 3) SYSCR2 のビット 3, 1, 0 は、リードすると不定値が読み出されます。
- 注 4) IDLE と TGHALT は、同時に “1” に設定しないでください。
- 注 5) IDLE0/SLEEP0 モードは、TBTCR<TBTC> によって選択された非同期の内部ソースクロックによって NORMAL1/SLOW1 モードに復帰しますので、モード起動から復帰までの時間は、TBTCR<TBTC> の時間よりも短くなります。
- 注 6) IDLE1/2, SLEEP1/2 モード解除時、IDLE は自動的に “0” にクリアされます。
- 注 7) IDLE0, SLEEP0 モード解除時、TGHALT は自動的に “0” にクリアされます。
- 注 8) TGHALT を “1” に設定するときは、事前に周辺機能の動作を停止してから行ってください。周辺機能の動作が停止されない場合、IDLE0 または SLEEP0 モードが復帰した直後に周辺機能の割り込みラッチがセットされることがあります。

2.2.4.1 STOP モード

STOP モードは、システム制御レジスタ 1 (SYSCR1) と $\overline{\text{STOP}}$ 端子入力および STOP5 ~ STOP2 によって制御されます。 $\overline{\text{STOP}}$ 端子は、P20 ポートならびに $\overline{\text{INT5}}$ (外部割り込み入力 5) 端子と兼用です。STOP モードは、SYSCR1<STOP> を“1”にセットすることにより起動され、STOP モード中、次の状態を保持しています。

1. 高周波、低周波とも発振を停止し、内部の動作をすべて停止します。
2. データメモリ、レジスタ、プログラムステータスワード、ポートの出力ラッチなどは STOP モードに入る直前の状態を保持します。
3. タイミングジェネレータのプリスケアラおよびデバイダを“0”にクリアします。
4. プログラムカウンタは、STOP モードを起動する命令 (例えば、[SET (SYSCR1). 7]) の 2 つ先の命令のアドレスを保持します。

STOP モードには、レベル解除モードとエッジ解除モードがあり、それらは SYSCR1<RELM> で選択します。エッジ解除モードの場合には、STOP5 ~ STOP2 を使用禁止に設定してください。

注 1) なお、 $\overline{\text{STOP}}$ 端子はキーオンウェイクアップ入力端子とは異なり入力を禁止する機能がありませんので、STOP モードを使用する場合は、必ず STOP 解除用の端子として使用してください。

注 2) STOP 期間中 (STOP モード起動からウォーミングアップ終了までの期間)、外部割り込み端子の信号の変化により割り込みラッチが“1”にセットされ、STOP モード解除後直ちに割り込みを受け付ける場合があります。従って、STOP モードの起動は、割り込みを禁止してから行ってください。また STOP モード解除後に割り込みを許可する場合、あらかじめ不要な割り込みラッチをクリアしてください。

(1) レベル解除モード (RELM = “1” のとき)

$\overline{\text{STOP}}$ 端子への“H”レベル入力または STOP5 ~ STOP2 (STOPCR でビットごとに設定可能) 端子への“L”レベル入力により STOP 動作を解除するモードで、メイン電源遮断時のコンデンサバックアップや長時間のバッテリーバックアップなどに使用します。

$\overline{\text{STOP}}$ 端子入力が“H”レベルまたは STOP5 ~ STOP2 端子が“L”レベルの状態でも STOP 動作の起動を指示する命令を実行しても、STOP 動作に入らず、直ちに解除シーケンス (ウォーミングアップ) に移ります。従って、レベル解除モードで STOP 動作で起動する場合、 $\overline{\text{STOP}}$ 端子入力が“L”レベルであり、また STOP5 ~ STOP2 端子入力が“H”レベルになっていることをプログラム上で認識する必要があります。この認識を行うには、次の方法があります。

1. ポートの状態をテストする方法
2. $\overline{\text{INT5}}$ 割り込みによる方法 ($\overline{\text{INT5}}$ 端子入力の立ち下がりエッジで割り込みを発生します)

(プログラム例 1) P20 ポートをテストして NORMAL モードから STOP モードを起動

	LD	(SYSCR1), 01010000B	; レベル解除モードにセットアップ
SSTOPH:	TEST	(P2PRD). 0	; $\overline{\text{STOP}}$ 端子入力が“L”レベルになるまでウエイト
	JRS	F, SSTOPH	
	DI		; IMF←0
	SET	(SYSCR1). 7	; STOP モードを起動

(プログラム例2) INT5 割り込みにより、NORMAL モードから STOP モードを起動

```

PINT5:    TEST    (P2PRD) . 0                ;ノイズ 除去のため P20 ポート入力が
          JRS     F, SINT5                    ;"H" レベルなら STOP モードを起動しない。
          LD      (SYSCR1), 01010000B        ;レベル解除モードにセットアップ
          DI      ;IMF←0
          SET     (SYSCR1) . 7                ;STOP モードを起動
SINT5:    RETI
    
```

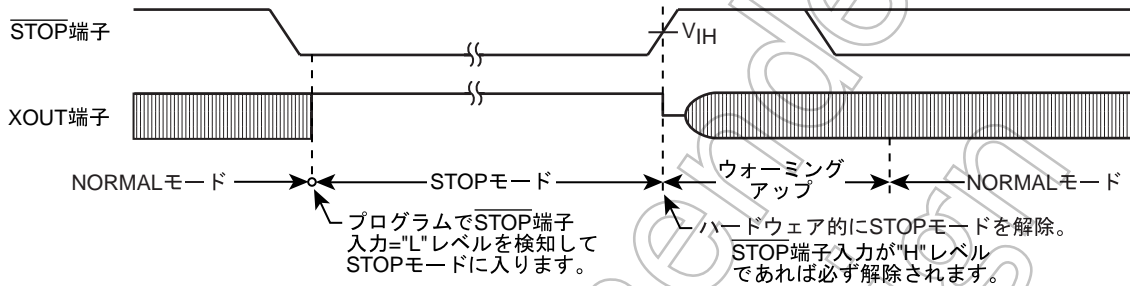


図 2-7 レベル解除モード

- 注 1) ウォーミングアップ開始後、再び $\overline{\text{STOP}}$ 端子入力が "L" レベルまたは、STOP5 ~ STOP2 端子が "H" レベルになっても STOP モードには戻りません。
- 注 2) エッジ解除モードにセットアップ後にレベル解除モードに戻した場合は、 $\overline{\text{STOP}}$ 端子入力の立ち上がりエッジが検出されるまではモードは切り替わりません。

(2) エッジ解除モード (RELM = "0" のとき)

$\overline{\text{STOP}}$ 端子入力の立ち上がりエッジで STOP 動作を解除するモードです。比較的短時間のプログラム処理を一定周期で繰り返す応用などに使用し、この一定周期の信号 (例えば、低消費電力の発振源からのクロック) を $\overline{\text{STOP}}$ 端子に入力します。エッジ解除モードの場合、 $\overline{\text{STOP}}$ 端子入力が "H" レベルにあっても STOP 動作に入ります。なお、STOP5 ~ STOP2 端子入力は、キーオンウェイクアップ制御レジスタ (STOPCR) によってすべて禁止に設定してください。

(プログラム例) NORMAL モードから STOP モードを起動

```

DI      ;IMF←0
LD      (SYSCR1), 10010000B        ;エッジ解除モードに設定して起動
    
```

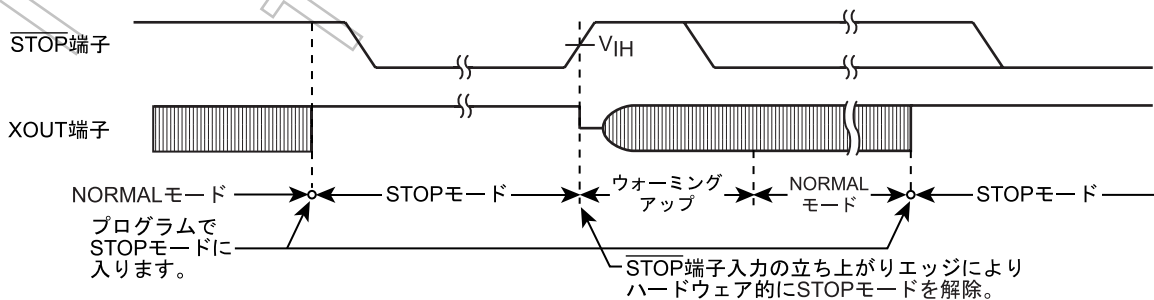


図 2-8 エッジ解除モード

STOP モードの解除は、次のシーケンスで行われます。

1. 発振が開始されます。デュアルクロックモードの場合、NORMAL2 へ戻るときは、高周波 / 低周波発振器の両方が発振し、SLOW へ戻るときは低周波発振器のみ発振します。シングルクロックモードの場合は、高周波発振器のみ発振します。
2. 発振が安定するのに必要な時間の確保のため、ウォーミングアップを行います。ウォーミングアップ中、内部動作は停止したままです。ウォーミングアップ時間は、発振器の特性に合わせて SYSCR1<WUT> で4種類選択できます。
3. ウォーミングアップ時間経過後、STOP モードを起動した命令の次の命令から通常の動作が再開されます。

注 1) STOP モードを解除すると、タイミングジェネレータのプリスケールおよびデバイダは "0" にクリアされた状態から始まります。

注 2) STOP モードは、RESET 端子を "L" レベルにすることによっても解除され、直ちに通常のリセット動作を行います。

注 3) 低い保持電圧で STOP モードの解除を行う場合には、次の注意が必要です。STOP モードの解除に先立ち、電源電圧を動作電圧に上げる必要があります。その際、RESET 端子も "H" レベルにあり、電源電圧とともに上昇します。この場合、外部に時定数回路などが付加されているときには、RESET 端子入力の電圧上昇は電源電圧の上昇よりも立ち上がりが遅くなります。このとき、RESET 端子の入力電圧レベルが、RESET 端子入力 (ヒステリシス入力) の非反転高レベル入力電圧を切るとリセット動作を行う恐れがあります。

表 2-2 ウォーミングアップ時間 (例: $f_c = 16.0$ MHz, $f_s = 32.768$ kHz 時)

WUT	ウォーミングアップ時間 [ms]	
	NORMAL モードへ戻る場合	SLOW モードに戻る場合
00	12.288	750
01	4.096	250
10	3.072	5.85
11	1.024	1.95

注 1) ウォーミングアップ時間は、基本クロックをデバイダにて分周して得ていますので、STOP モードの解除時に発振周波数にゆらぎがある場合は、ウォーミングアップ時間は誤差を含むこととなります。従って、ウォーミングアップ時間は、概略値としてとらえる必要があります。

2.2.4.2 IDLE1/2 モード , SLEEP1/2 モード

IDLE1/2 モード , SLEEP1/2 モードは、システム制御レジスタ 2 (SYSCR2) とマスクブル割り込みによって制御されます。IDLE1/2 モード , SLEEP1/2 モード中、次の状態を保持しています。

1. CPU およびウォッチドッグタイマは動作を停止します。周辺ハードウェアは動作を継続します。
2. データメモリ , レジスタ , プログラムステータスワード , ポートの出力ラッチなどは、IDLE1/2 モード , SLEEP1/2 モードに入る直前の状態を保持します。
3. プログラムカウンタは、IDLE1/2 モード , SLEEP1/2 モードを起動する命令の2つ先の命令のアドレスを保持します。

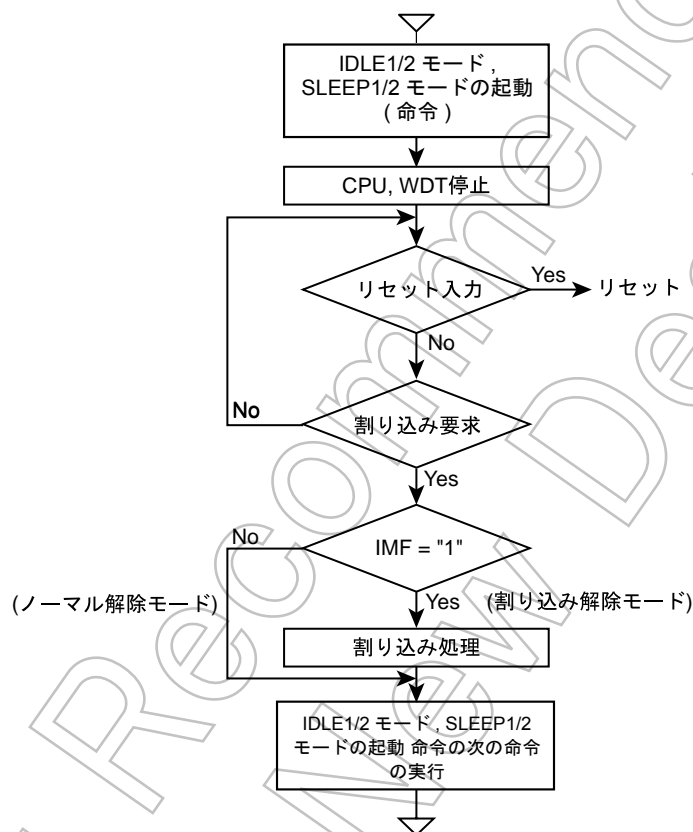


図 2-10 IDLE1/2 モード , SLEEP1/2 モード

- IDLE1/2, SLEEP1/2 モードの起動

割り込みマスタ許可フラグ (IMF) を“0”に設定した後、IDLE1/2, SLEEP1/2 モードを解除する割り込み個別許可フラグ (EF) を“1”に設定します。

IDLE1/2, SLEEP1/2 モードを起動するには、SYSCR2<IDLE> を“1”に設定します。

- IDLE1/2, SLEEP1/2 モードの解除

IDLE1/2, SLEEP1/2 モードには、ノーマル解除モードと割り込み解除モードがあり、それぞれの選択は割り込みマスタ許可フラグ (IMF) によって行います。IDLE1/2, SLEEP1/2 モードが解除されると、SYSCR2<IDLE> は自動的に“0”にクリアされ、起動したモードに復帰します。

なお、IDLE1/2, SLEEP1/2 モードは RESET 端子を“L”レベルにすることによっても解除されます。この場合、リセット解除後は NORMAL1 モードが起動します。

(1) ノーマル解除モード (IMF=“0”のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因により、IDLE1/2, SLEEP1/2 モードが解除され、IDLE1/2, SLEEP1/2 モードを起動した命令の次の命令から実行を再開します。通常、解除に使用した割り込み要因の割り込みラッチ (IL) はロード命令で“0”にクリアする必要があります。

(2) 割り込み解除モード (IMF=“1”のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因により IDLE1/2, SLEEP1/2 モードが解除され、割り込み処理に入ります。割り込み処理後、IDLE1/2, SLEEP1/2 モードを起動した命令の次の命令に戻ります。

注) IDLE1/2, SLEEP1/2 モード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLE1/2, SLEEP1/2 モードは起動されずウォッチドッグタイマ割り込み処理が行われます。

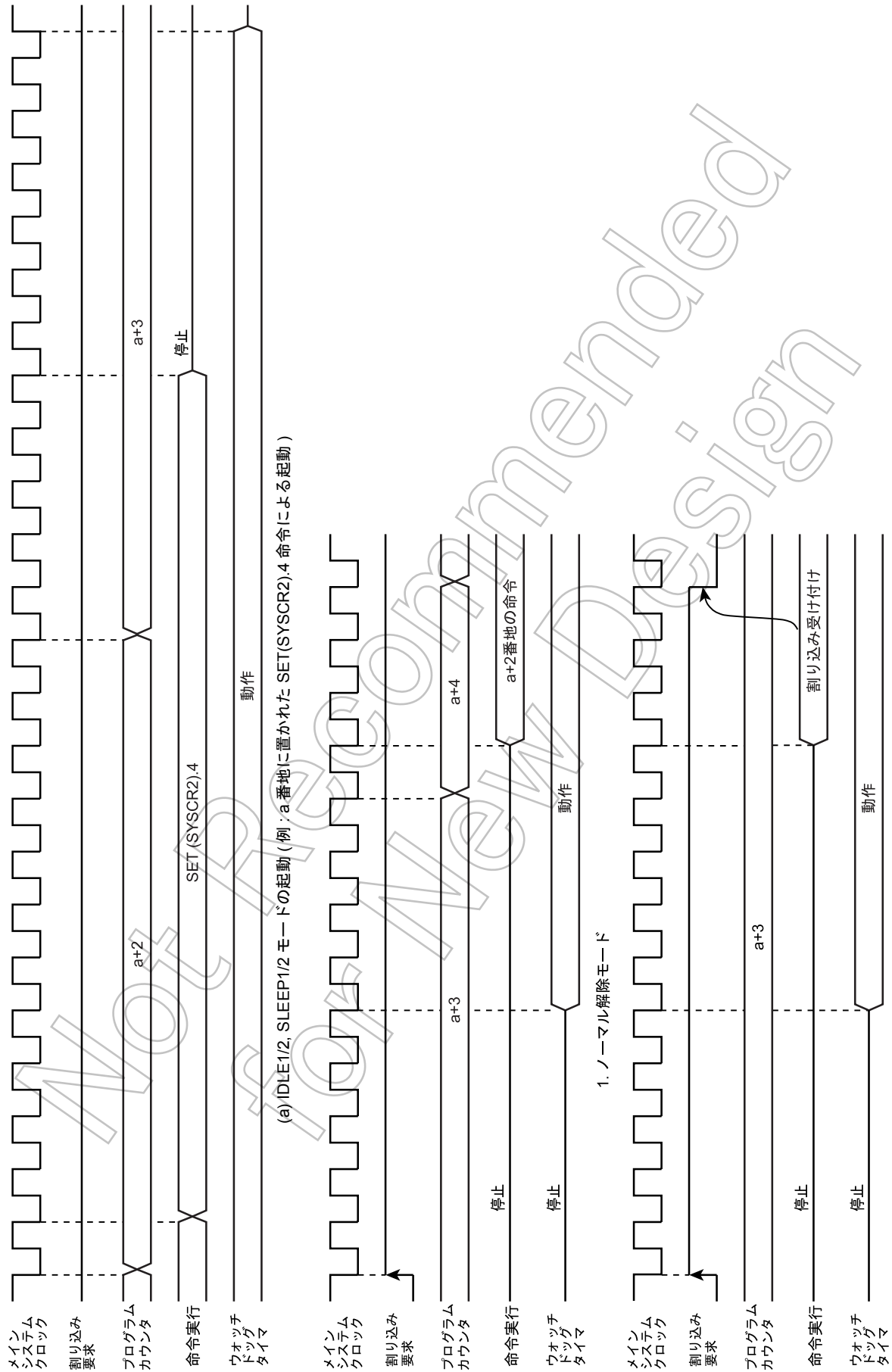


図 2-11 IDLE1/2, SLEEP1/2 モードの起動 / 解除

2.2.4.3 IDLE0, SLEEP0 モード

IDLE0, SLEEP0 モードは、システム制御レジスタ 2 (SYSCR2) とタイムベースタイマによって制御されます。IDLE0, SLEEP0 モード中、次の状態を保持しています。

- タイミングジェネレータは、タイムベースタイマを除く周辺回路へのクロック供給を停止します。
- データメモリ、レジスタ、プログラムステータスワード、ポートの出カラッチなどは、IDLE0, SLEEP0 モードに入る直前の状態を保持します。
- プログラムカウンタは、IDLE0, SLEEP0 モードを起動する命令の 2 つ先の命令のアドレスを保持します。

注) IDLE0 または SLEEP0 モードを起動する場合は、周辺機能を停止状態 (ディセーブル状態) に設定してから、IDLE0, SLEEP0 モードを起動してください。

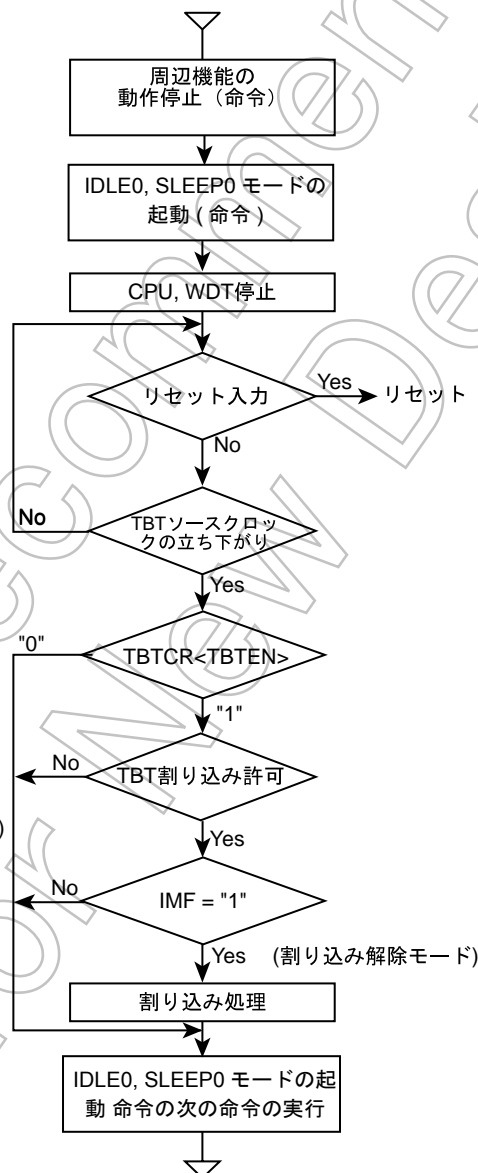


図 2-12 IDLE0, SLEEP0 モード

- IDLE0, SLEEP0 モードの起動

タイマカウンタ等の周辺機能を停止状態（ディセーブル状態）に設定します。

IDLE0, SLEEP0 モードを起動するには、SYSCR2<TGHALT> を“1”に設定します。

- IDLE0, SLEEP0 モードの解除

IDLE0, SLEEP0 モードには、ノーマル解除モードと割り込み解除モードがあり、それぞれの選択は割り込みマスタ許可フラグ (IMF)、タイムベースタイマの割り込み個別許可フラグ (EF6) および TBTCR<TBTEN> によって行います。IDLE0, SLEEP0 モードが解除されると、SYSCR2<TGHALT> は自動的に“0”にクリアされ、起動したモードに復帰します。またこのとき、TBTCR<TBTEN> が“1”にセットされていると INTTBT の割り込みラッチがセットされます。

なお、IDLE0, SLEEP0 モードは $\overline{\text{RESET}}$ 端子を“L”レベルにすることによっても解除されます。この場合、リセット解除後は NORMAL1 モードが起動します。

注) IDLE0, SLEEP0 モードは、TBTCR<TBTEN> の設定に関係なく起動 / 復帰します。

(1) ノーマル解除モード (IMF ・ EF6 ・ TBTCR<TBTEN> = “0” のとき)

TBTCR<TBTK> によって設定されたソースクロックの立ち下がりエッジを検出すると、IDLE0, SLEEP0 モードは解除されます。IDLE0, SLEEP0 モードが解除されると、それらのモードを起動した命令の次の命令から処理を再開します。

なお、TBTCR<TBTEN> が“1”の時は、タイムベースタイマ割り込みラッチがセットされます。

(2) 割り込み解除モード (IMF ・ EF6 ・ TBTCR<TBTEN> = “1” のとき)

TBTCR<TBTK> によって設定されたソースクロックの立ち下がりエッジを検出すると、IDLE0, SLEEP0 モードが解除された後、INTTBT の割り込み処理が行われます。

注 1) IDLE0, SLEEP0 モードは、TBTCR<TBTK> によって選択された非同期の内部ソースクロックによって NORMAL1, SLOW1 に復帰しますので、モード起動から復帰までの時間は TBTCR<TBTK> の時間よりも短くなります。

注 2) IDLE0, SLEEP0 モード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLE0, SLEEP0 モードは起動されずウォッチドッグタイマ割り込み処理が行われます。

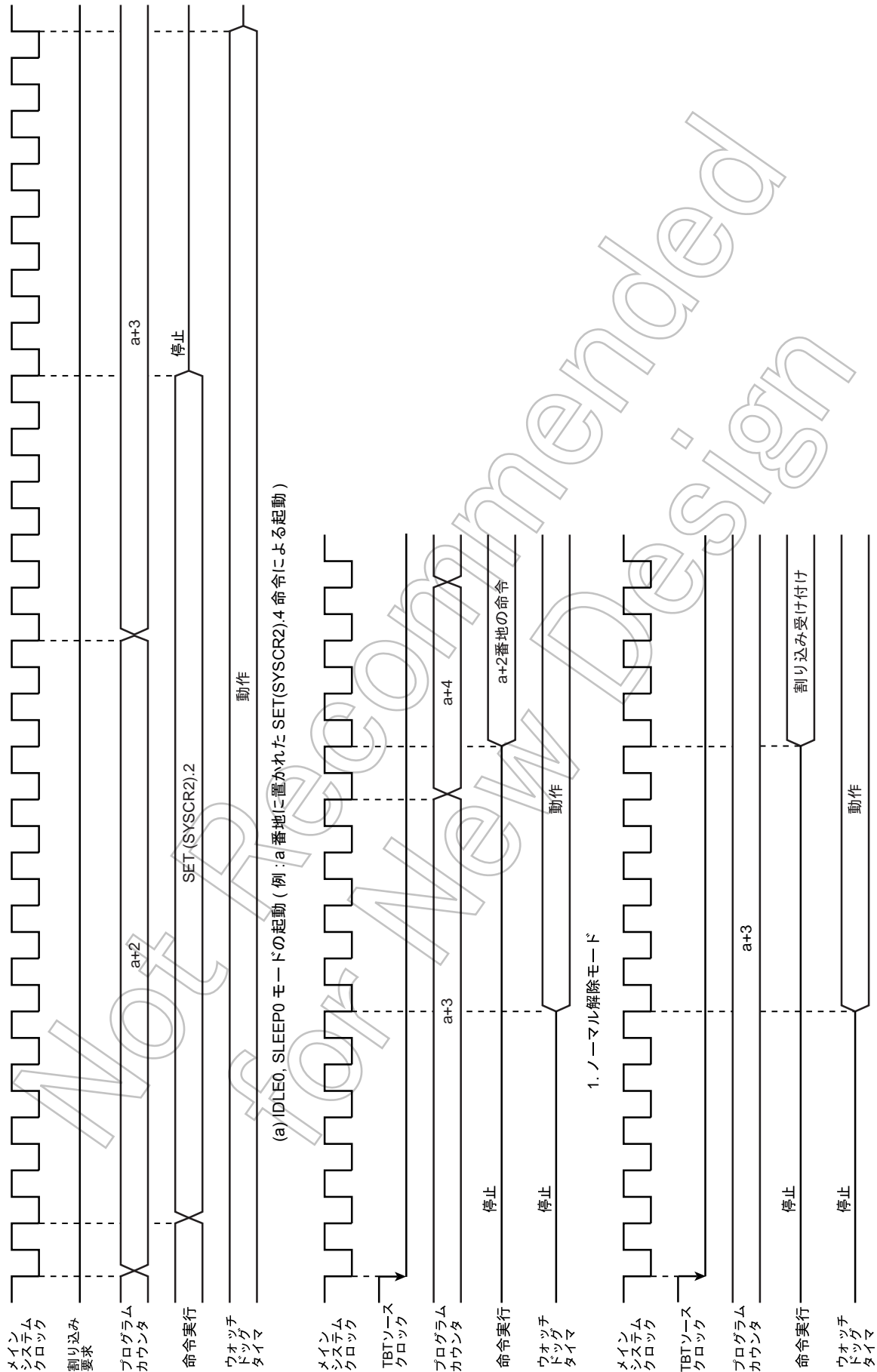


図 2-13 IDLE0, SLEEP0 モードの起動 / 解除

2.2.4.4 SLOW モード

SLOW モードは、システム制御レジスタ 2 (SYSCR2) によって制御されます。

(1) NORMAL2 モードから SLOW モードへの切り替え

まず、SYSCR2<SYSCK> に“1”を書き込み、システムクロックを低周波クロックに切り替えます。次に、SYSCR2<XEN>を“0”にクリアして高周波発振器を停止します。

注) NORMAL2 モードへ早く戻るために高周波クロックの発振を継続させることも可能です。ただし、SLOW モードから STOP モードを起動する場合は、必ず高周波クロックを停止してください。

なお、低周波クロックが安定に発振していない場合は、安定発振するまで待ってから上記操作を行ってください。低周波クロックの安定発振を確認するのに、タイマカウンタ (TC4, TC3) を使用すると便利です。

(プログラム例 1) NORMAL2 モードから SLOW1 モードへの切り替え

```

; SYSCR2<SYSCK>←1
SET      (SYSCR2). 5      ; (システムクロックを低周波に切り替え
                          ; (SLOW2 モードに))
CLR      (SYSCR2). 7      ; SYSCR2<XEN>←0 (高周波クロック停止)

```

(プログラム例 2) TC4, TC3 で低周波クロックの安定発振の確認後、SLOW1 モードへ切り替え

```

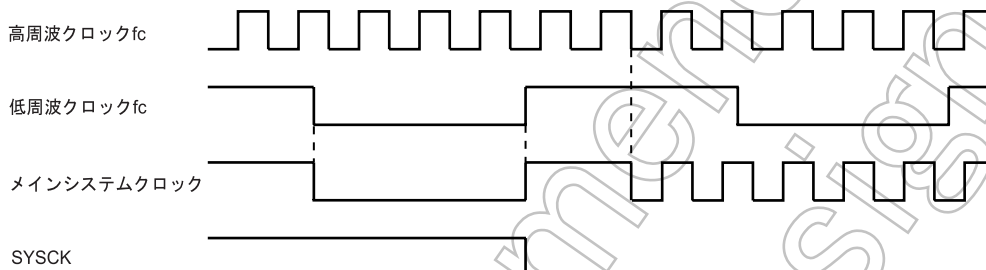
; SYSCR2<XTEN>←1
SET      (SYSCR2). 6      ; (低周波クロック発振開始)
LD       (TC3CR), 43H     ; TC4, 3 のモードをセット
LD       (TC4CR), 05H     ; ウォーミングアップカウントモードに設定
LDW     (TTREG3), 8000H   ; ウォーミングアップ時間をセット
                          ; (発振子の特性で時間を決定します)
DI       ; IMF←0
SET      (EIRE). 5        ; INTTC4 の割り込みを許可
EI       ; IMF←1
SET      (TC4CR). 3       ; TC4, 3 スタート
;
PINTTC4: CLR      (TC4CR). 3       ; TC4, 3 ストップ
;
SET      (SYSCR2). 5      ; SYSCR2<SYSCK>←1
                          ; (システムクロックを低周波に切り替え)
CLR      (SYSCR2). 7      ; SYSCR2<XEN>←0 (高周波クロック停止)
RETI
;
VINTTC4: DW       PINTTC4      ; INTTC4 ベクタテーブル

```

(2) SLOW1 モードから NORMAL2 モードへの切り替え

まず、SYSCR2<XEN> を“1” にセットして高周波クロックを発振させます。発振の安定時間 (ウォーミングアップ) をタイマカウンタ (TC4, TC3) によって確保したあと、SYSCR2<SYSCK> を“0” にクリアしてシステムクロックを高周波に切り替えます。SLOW モードは RESET 端子を“L” レベルにすることによっても解除され、直ちに通常のリセット動作を行います。リセット解除後は NORMAL1 モードになります。

注) SYSCK を“0” にクリア後、低周波クロックと高周波クロックの同期をとっている期間は低周波クロックで命令の実行を継続しています



(プログラム例) TC4, TC3 で SLOW1 モードから NORMAL2 モードへの切り替え
($f_c = 16 \text{ MHz}$, ウォーミングアップ時間 = 4.0 ms)

```

SET      (SYSCR2). 7      ; SYSCR2<XEN>←1
                          ; (高周波クロック発振開始)
LD       (TC3CR), 63H     ; TC4, 3 のモードをセット
LD       (TC4CR), 05H     ; ウォーミングアップカウンタモード, ソースクロック: fc)
LD       (TTREG4), 0F8H   ; ウォーミングアップ時間をセット
                          ; (周波数と発振子の特性で時間を決定します)
DI       ; IMF←0
SET      (EIRE). 5        ; INTTC4 割り込みを許可
EI       ; IMF←1
SET      (TC4CR). 3       ; TC4, 3 スタート
↓
PINTTC4 CLR (TC4CR). 3     ; TC4, 3 ストップ
CLR      (SYSCR2). 5      ; SYSCR2<SYSCK>←0
                          ; (システムクロックを高周波に切り替え)
RETI
↓
VINTTC4: DW PINTTC4      ; INTTC4 ベクタテーブル
    
```

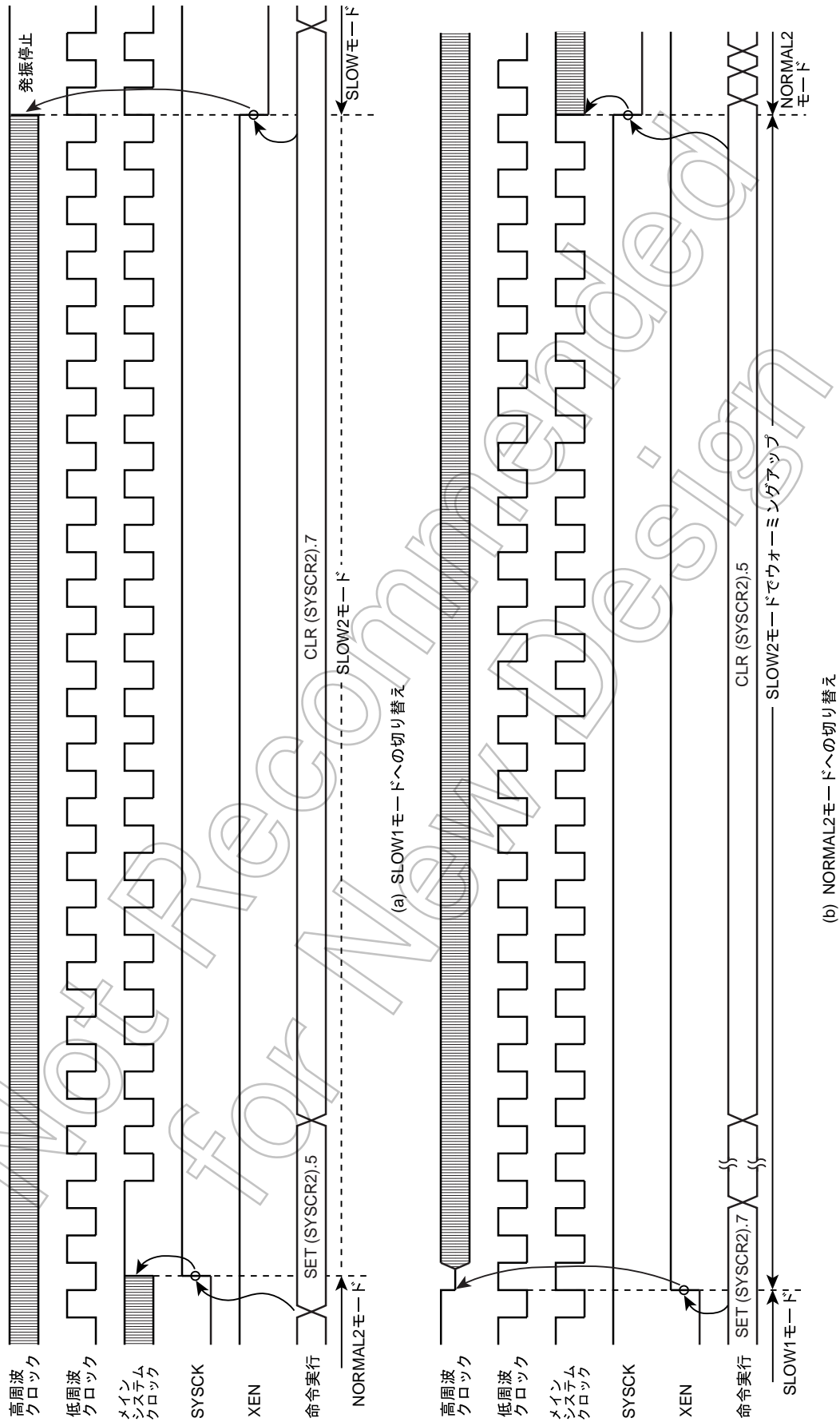


図 2-14 SLOW ↔ NORMAL2 モード切り替え

2.3 リセット回路

TMP86FS28DFG には外部リセット入力、アドレストラップリセット、ウォッチドッグタイマリセット、システムクロックリセットの4種類のリセット発生手段があります。

このうちアドレストラップリセット、ウォッチドッグタイマリセット、システムクロックリセットは、内部要因リセットで、これらのリセット要求を検出すると、最大 $24/fc[s]$ の期間リセット状態となります。

電源投入時、内部要因リセット回路 (ウォッチドッグタイマリセット、アドレストラップリセット、システムクロックリセット) は初期化されませんので電源投入時に最大 $24/fc(1.5\mu s @ 16.0\text{ MHz})$ の期間リセット状態となる場合があります。

表 2-3 にリセット動作による内蔵ハードウェアの初期化を示します。

表 2-3 リセット動作による内蔵ハードウェアの初期化

内蔵ハードウェア	初期値	内蔵ハードウェア	初期値
プログラムカウンタ (PC)	(FFFEH)	タイミングジェネレータのプリスケールおよびデバイダ	0
スタックポインタ (SP)	初期化されません		
汎用レジスタ (W, A, B, C, D, E, H, L, IX, IY)	初期化されません		
ジャンプステータスフラグ (JF)	初期化されません	ウォッチドッグタイマ	イネーブル
ゼロフラグ (ZF)	初期化されません	入出力ポートの出カラッチ	各入出力ポートの説明箇所を参照
キャリーフラグ (CF)	初期化されません		
ハーフキャリーフラグ (HF)	初期化されません		
サインフラグ (SF)	初期化されません		
オーバフローフラグ (VF)	初期化されません		
割り込みマスタ許可フラグ (IMF)	0	制御レジスタ	各制御レジスタの説明箇所を参照
割り込み個別許可フラグ (EF)	0		
割り込みラッチ (IL)	0		
		LCD データバッファ	初期化されません
		RAM	初期化されません

2.3.1 外部リセット入力

RESET 端子はプルアップ抵抗付きのヒステリシス入力となっており、電源電圧が動作電圧範囲内にあり、発振が安定している条件のもとで最小 3 マシンサイクル ($12/fc [s]$) 以上の間 RESET 端子を“L”レベルに保つと、リセットがかかり内部状態が初期化されます。

RESET 端子入力が“H”レベルに立ち上がるとリセット動作は解除され、アドレス FFFE~FFFFH に格納されたベクタアドレスからプログラムの実行を開始します。

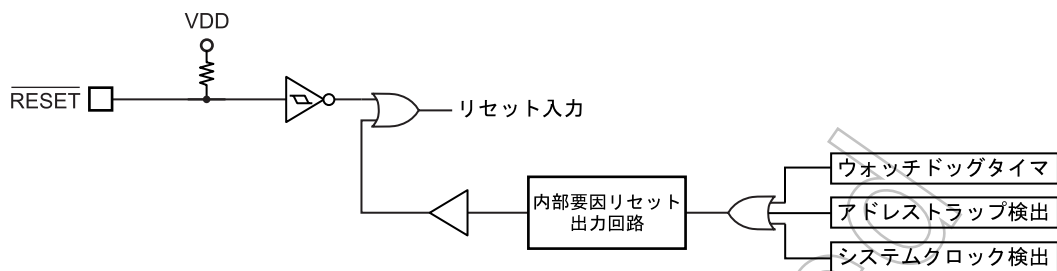
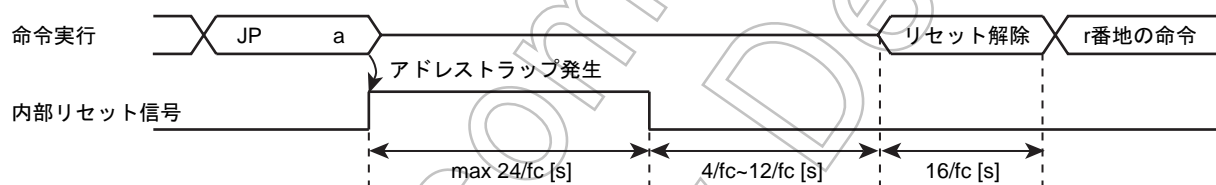


図 2-15 リセット回路

2.3.2 アドレストラップリセット

CPU がノイズなどの原因により暴走して内蔵 RAM (WDTCR1<ATAS> = “1” 時), DBR または SFR 領域から命令をフェッチしようとする時リセット信号が発生します。リセット時間は、最大 $24/fc$ [s] ($1.5 \mu s @ 16.0 \text{ MHz}$) です。

注) アドレストラップはリセットと割り込みの選択が可能です。また、アドレストラップの領域を選択することが可能です。



注 1) a は内蔵 RAM (WDTCR1<ATAS> = “1” 時)、SFR または DBR 領域内のアドレスです。

注 2) リセット解除処理は、リセットベクタ r の読み出しと r 番地の命令のフェッチ / デコードが行われます。

図 2-16 アドレストラップリセット

2.3.3 ウォッチドッグタイマ リセット

『ウォッチドッグタイマ』を参照してください。

2.3.4 システムクロックリセット

以下のいずれかの条件が成立した場合、CPU がデッドロック状態に陥るのを防ぐため、自動的にシステムクロックリセットが発生します。(発振は、継続します)

- SYSCR2<XEN>, SYSCR2<XTEN> を共に “0” にクリアした場合
- SYSCR2<SYSCK> = “0” のとき、SYSCR2<XEN> を “0” にクリアした場合
- SYSCR2<SYSCK> = “1” のとき、SYSCR2<XTEN> を “0” にクリアした場合

リセット時間は、最大 $24/fc$ [s] ($1.5 \mu s @ 16.0 \text{ MHz}$) です。

第3章 割り込み制御回路

TMP86FS28DFG には、リセットを除き合計 23 種類の割り込み要因があり、優先順位付きの多重割り込みが可能です。内部要因のうち 4 種はノンマスカブル割り込みで、そのほかはすべてマスカブル割り込みです。

割り込み要因には、それぞれ割り込み要求を保持する割り込みラッチ (IL) が用意され、また、独立したベクタになっています。割り込みラッチは、割り込み要求の発生により“1”にセットされ、CPU に割り込みの受け付けを要求します。割り込みの受け付けは、割り込みマスタ許可フラグ (IMF) と各割り込み要因の個別許可フラグ (EF) によって、プログラムで選択し許可 / 禁止できます。なお、複数の割り込みが同時に発生した場合は、ハードウェアで定められた優先順位の高いものから受け付けられます。ただし、ノンマスカブル割り込みに優先順位はありません。

割り込み要因		許可条件	割り込みラッチ	ベクタアドレス	優先順位
内部 / 外部	(リセット)	ノンマスカブル	-	FFFE	1
内部	INTSW (ソフトウェア割り込み)	ノンマスカブル	-	FFFC	2
内部	INTUNDEF (未定義命令実行割り込み)	ノンマスカブル	-	FFFC	2
内部	INTATRAP (アドレストラップ割り込み)	ノンマスカブル	IL2	FFFA	2
内部	INTWDT (ウォッチドッグタイマ割り込み)	ノンマスカブル	IL3	FFF8	2
外部	$\overline{INT0}$	IMF・EF4 = 1, INT0EN = 1	IL4	FFF6	5
外部	INT1	IMF・EF5 = 1	IL5	FFF4	6
内部	INTTBT	IMF・EF6 = 1	IL6	FFF2	7
内部	INTTC10	IMF・EF7 = 1	IL7	FFF0	8
内部	INTRXD0	IMF・EF8 = 1	IL8	FFEE	9
内部	INTTXD0	IMF・EF9 = 1	IL9	FFEC	10
内部	INTTC11	IMF・EF10 = 1	IL10	FFEA	11
外部	INT2	IMF・EF11 = 1	IL11	FFE8	12
-	Reserved	IMF・EF12 = 1	IL12	FFE6	13
内部	INTSIO	IMF・EF13 = 1	IL13	FFE4	14
-	Reserved	IMF・EF14 = 1	IL14	FFE2	15
-	Reserved	IMF・EF15 = 1	IL15	FFE0	16
-	Reserved	IMF・EF16 = 1	IL16	FFBE	17
-	Reserved	IMF・EF17 = 1	IL17	FFBC	18
-	Reserved	IMF・EF18 = 1	IL18	FFBA	19
-	Reserved	IMF・EF19 = 1	IL19	FFB8	20
内部	INTTC3	IMF・EF20 = 1	IL20	FFB6	21
内部	INTTC4	IMF・EF21 = 1	IL21	FFB4	22
外部	INT3	IMF・EF22 = 1	IL22	FFB2	23
内部	INTTC5	IMF・EF23 = 1	IL23	FFB0	24
内部	INTTC6	IMF・EF24 = 1	IL24	FFAE	25
外部	INT4	IMF・EF25 = 1	IL25	FFAC	26
外部	$\overline{INT5}$	IMF・EF26 = 1	IL26	FFAA	27
内部	INTRXD1	IMF・EF27 = 1	IL27	FFA8	28
内部	INTTXD1	IMF・EF28 = 1	IL28	FFA6	29
内部	INTADC	IMF・EF29 = 1	IL29	FFA4	30
-	Reserved	IMF・EF30 = 1	IL30	FFA2	31
-	Reserved	IMF・EF31 = 1	IL31	FFA0	32

注 1) アドレストラップ割り込み (INTATRAP) を使用するには WDCR1<ATOOUT> を "0" に設定してください (リセット解除後は "リセット要求" に設定されています)。詳しくは「アドレストラップ」の章を参照してください。

注2) ウォッチドッグタイマ割り込み (INTWDT) を使用するには WDTCR1<WDTOUT> を "0" に設定してください (リセット解除後は "リセット要求" に設定されています)。詳しくは「ウォッチドッグタイマ」の章を参照してください。

3.1 割り込みラッチ (IL29 ~ IL2)

割り込みラッチは、ソフトウェア割り込みと未定義命令実行割り込みを除いて各要因ごとに設けられており、割り込み要求の発生により "1" にセットされます。割り込み受け付けが許可されていると、CPU に割り込みの受け付けを要求します。割り込みが受け付けられた直後に割り込みラッチは "0" にクリアされます。リセット時、割り込みラッチはすべて "0" に初期化されます。

割り込みラッチは、SFR 内の 003CH, 003DH および 002EH, 002FH 番地に割り付けられており、命令によって個別にクリアすることができます。ただし、IL2, IL3 については命令でクリアしないでください。プログラムで割り込み要求をクリアするときにはロード命令を使用して、IL2, IL3 には "1" を書き込むようにします。ビット操作命令や演算命令などのリードモディファイライト命令は、命令実行中に発生した割り込み要求がクリアされることがあるので使用しないでください。

また、割り込みラッチの内容を読み出すことができますので、割り込み要求のソフトウェアによるテストも可能です。ただし、割り込みラッチを命令で直接セットすることはできません。

注) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を "0" にクリアしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を "1" にセットしてください (EI 命令による割り込みの許可)。割り込みサービスプログラムでは、IMF は自動的に "0" になりますので、通常割り込みサービスプログラムの中で IMF を "0" にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を "1" にセットする前に EF および IL を設定してください。

(プログラム例1) 割り込みラッチのクリア

```
DI                                ; IMF ← 0
LDW    (ILL), 1110100000111111B  ; IL12, IL10~IL6 ← 0
EI                                ; IMF ← 1
```

(プログラム例2) 割り込みラッチの読み出し

```
LD    WA, (ILL)                  ; W ← ILH, A ← ILL
```

(プログラム例3) 割り込みラッチのテスト

```
TEST    (ILL), 7                  ; IL7 = 1 ならジャンプ
JR      F, SSET
```

3.2 割り込み許可レジスタ (EIR)

ノンマスクابل割り込み (ソフトウェア割り込み、未定義命令割り込み、アドレストラップ割り込みとウォッチドッグタイマ割り込み) を除く割り込み要因に対して受け付けの許可/禁止を行うレジスタです。ノンマスクابل割り込みは、割り込み許可レジスタの内容にかかわらず受け付けられます。

割り込み許可レジスタは、割り込みマスタ許可フラグ (IMF) と割り込み個別許可フラグ (EF) で構成されています。割り込み許可レジスタは、SFR 内の 003AH, 003BH および 002CH, 002DH 番地に割り付けられており、命令でリード/ライト (ビット操作命令などの リードモディファイライトも含む) できます。

3.2.1 割り込みマスタ許可フラグ (IMF)

マスクابل割り込み全体に対して受け付けの許可/禁止の制御を行うフラグです。“0” にクリアされていると、すべてのマスクابل割り込みの受け付けは禁止状態であり、“1” にセットされていると、割り込み個別許可フラグで指定された割り込み受け付けが許可状態です。

割り込みが受け付けられると割り込みマスタ許可フラグはスタックに一時退避された後“0” にクリアされ、そのあとのマスクابل割り込みの受け付けを一時的に禁止します。割り込みサービスプログラムを実行後、割り込みリターン命令 [RETI]/[RETN] によりスタックから読み出された値がセットされ割り込み受け付け前の状態に戻ります。

割り込みマスタ許可フラグは、EIRL (SFR 内の 003AH 番地) のビット 0 に割り付けられており、命令でリード/ライト できます。通常、割り込みマスタ許可フラグのセット/クリアは、[EI]/[DI] 命令で行います。なお、リセット時、割り込みマスタ許可フラグは“0” に初期化されます。

3.2.2 割り込み個別許可フラグ (EF29 ~ EF4)

各マスクابل割り込み要因に対し、個々に割り込み受け付けの許可/禁止の指定を行うフラグです。割り込み個別許可フラグの該当ビットが“1” なら割り込み受け付けを許可し、“0” なら禁止します。

なお、リセット時、割り込み個別許可フラグは“0” に初期化されます。個別許可フラグが“1” にセットされるまでマスクابل割り込みは受け付けられません。

注) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を“0” にクリアにしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を“1” にセットしてください (EI 命令による許可)。割り込みサービスプログラムでは、IMF は自動的に“0” になりますので、通常割り込みサービスプログラムの中で IMF を“0” にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を“1” にセットする前に EF および IL を設定してください。

(プログラム例 1) 割り込みの個別許可と IMF のセット

```
DI ; IMF ← 0
LDW ; EF15~EF13, EF11, EF7, EF5 ← 1
: (EIRL), 1110100010100000B ; 注) IMF はセットしない
:
EI ; IMF ← 1
```

(プログラム例 2) コンパイラ記述例

```
unsigned int _io (3AH) EIRL; /* 3AH は EIRL のアドレス */
_DI ();
EIRL=10100000B;
:
_EI ();
```

Not Recommended
for New Design

割り込みラッチ

(初期値: 00000000 000000**)

ILH,ILL (003DH, 003CH)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IL15	IL14	IL13	IL12	IL11	IL10	IL9	IL8	IL7	IL6	IL5	IL4	IL3	IL2		

ILH (003DH)

ILL (003CH)

(初期値: 00000000 00000000)

ILD,ILE (002FH, 002EH)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IL31	IL30	IL29	IL28	IL27	IL26	IL25	IL24	IL23	IL22	IL21	IL20	IL19	IL18	IL17	IL16

ILD (002FH)

ILE (002EH)

IL29~IL2	割り込みラッチ	RD時	WR時	R/W
		0: 割り込み要求なし 1: 割り込み要求あり	0: 割り込み要求のクリア (注) 1: セットは不可	

- 注 1) IL7~IL4 のいずれかをクリアする場合、IL2, IL3 には必ず "1" を書き込んでください。
- 注 2) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を "0" にクリアにしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を "1" にセットしてください (EI 命令による割り込みの許可)。
割り込みサービスプログラムでは、IMF は自動的に "0" になりますので、通常割り込みサービスプログラムの中で IMF を "0" にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を "1" にセットする前に EF および IL を設定してください。
- 注 3) IL はビット操作などのリードモディファイライト命令でクリアしないでください。

割り込み許可レジスタ

(初期値: 00000000 0000****)

EIRH,EIRL (003BH, 003AH)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EF15	EF14	EF13	EF12	EF11	EF10	EF9	EF8	EF7	EF6	EF5	EF4				IMF

EIRH (003BH)

EIRL (003AH)

(初期値: 00000000 00000000)

EIRD,EIRE (002DH, 002CH)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EF31	EF30	EF29	EF28	EF27	EF26	EF25	EF24	EF23	EF22	EF21	EF20	EF19	EF18	EF17	EF16

EIRD (002DH)

EIRE (002CH)

EF29~EF4	割り込み個別許可フラグ (ビットごとに指定)	0: 各マスカブル割り込みの受け付け禁止 1: 各マスカブル割り込みの受け付け許可	R/W
IMF	割り込みマスタ許可フラグ	0: 各マスカブル割り込み全体の受け付け禁止 1: 各マスカブル割り込み全体の受け付け許可	

- 注 1) *: Don't care
- 注 2) 割り込み許可フラグ (EF15~4) と同時に IMF を "1" にセットしないでください。
- 注 3) メインプログラム中で、割り込み個別許可フラグ (EF) や割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を "0" にクリアにしてから行ってください (DI 命令による割り込みの禁止)。EF や IL を操作した後は、必要に応じて IMF を "1" にセットしてください (EI 命令による割り込みの許可)。
割り込みサービスプログラムでは、IMF は自動的に "0" になりますので、通常割り込みサービスプログラムの中で IMF を "0" にクリアする必要はありません。ただし、割り込みサービスプログラムの中で多重割り込みを使用する場合は、IMF を "1" にセットする前に EF および IL を設定してください。

3.3 割り込み処理

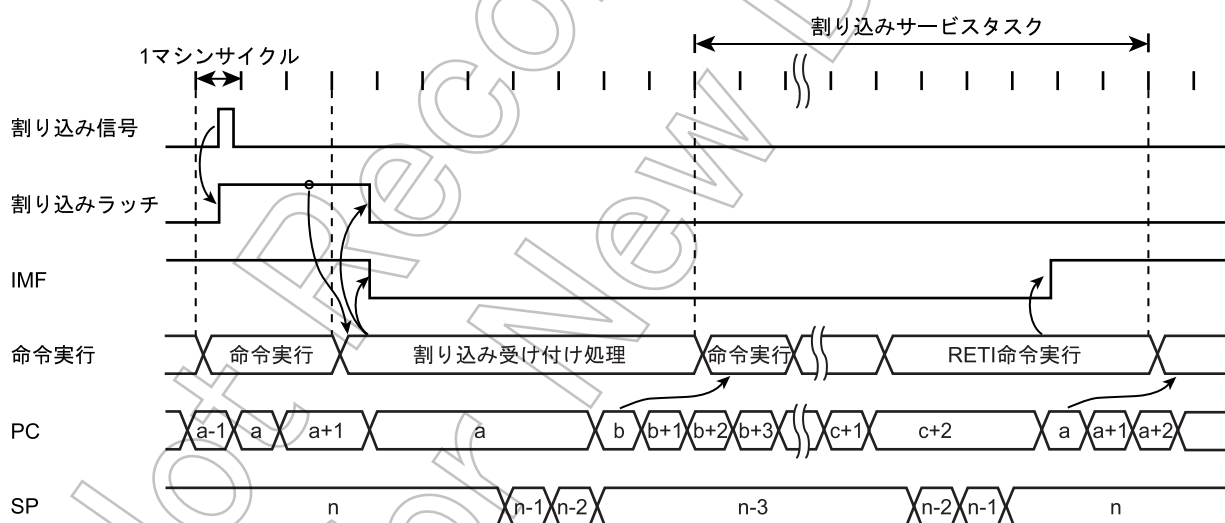
割り込み要求は、割り込みが受け付けられるか、リセット動作または命令によって、割り込みラッチが“0”にクリアされるまで保持されます。割り込み受け付け処理は、実行中の命令が終了したあと、8 マシンサイクル (2 μ s @16 MHz) を要して実行されます。割り込みサービスタスクは、割り込みリターン命令 [RETI] (マスカブル割り込みの場合)/[RETN] (ノンマスカブル割り込みの場合) を実行して終了します。図 3-1 に割り込み受け付け処理タイミングを示します。

3.3.1 割り込み受け付け処理

割り込み受け付け処理は、次の動作を自動的に行います。

1. 割り込みマスタ許可フラグ (IMF) を“0”にクリアし、そのあとのマスカブル割り込みの受け付けを一時的に禁止します。
2. 受け付けた割り込み要因の割り込みラッチを“0”にクリアします。
3. プログラムカウンタ (PC) プログラム ステータスワード (PSW) および割り込み受け付け前の IMF の内容をスタックに退避します (PSW + IMF, PCH, PCL の順にプッシュダウンされます)。スタックポインタ (SP) は3回デクリメントされます。
4. 割り込み要因に応じたベクタテーブルアドレスから割り込みサービスプログラムのエントリーアドレス (割り込みベクタ) を読み出し、プログラムカウンタにセットします。
5. 割り込みサービスプログラムのエントリーアドレスに格納されている命令の実行に移ります。

注) PSW の内容がスタックに退避される際、同時に IMF の状態も退避されます。



注 1) a; 戻り番地 b; エントリーアドレス c; RETI 命令が格納されているアドレス

注 2) 割り込みラッチがセットされてから割り込み受け付け処理が開始されるまでの時間は、割り込み許可状態のとき最大 38/fc [s] または 38/fs [s] (10 サイクル命令実行時の第一マシンサイクルで割り込みラッチがセットされたときに当たります) となります。

図 3-1 割り込み受け付け処理 / 割り込みリターン命令タイミングチャート

例: INTTBT の受け付け処理におけるベクタテーブルアドレスと割り込みサービスプログラムのエントリーアドレスの対応

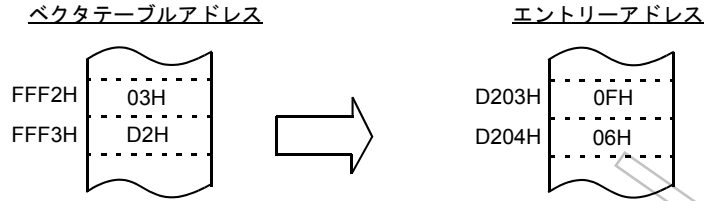


図 3-2 ベクタテーブルアドレスとエントリーアドレス

割り込みサービス中に、その割り込み要因よりレベルの高いマスク割込みが発生しても、割り込みマスタ許可フラグが“1”にセットされるまで受け付けられません。従って、多重割り込みを行う場合は、割り込みサービスプログラムの中で、割り込みマスタ許可フラグを“1”にセットします。その際、割り込み個別許可フラグにより、受け付けてよい割り込み要因を選択的に許可します。過重なネスティングを防ぐため、現在受け付けている割り込みの割り込み個別許可フラグは、割り込みマスタ許可フラグを“1”にセットする前にクリアしてください。また、ノンマスク割込みは、割り込み要求の間隔より割り込み処理時間が短くなるようにしてください。

3.3.2 汎用レジスタ退避 / 復帰処理

割り込み受け付け処理で、プログラムカウンタとプログラムステータスワードは自動的にスタックに退避されますが、アキュムレータやその他のレジスタは自動的に退避されません。これらのレジスタ類の退避処理が必要な場合は、プログラムで行います。また、多重割り込みを行う場合、退避用のデータメモリ領域が重ならないようにする必要があります。汎用レジスタの退避には、次の2つの方法があります。

3.3.2.1 プッシュ / ポップ命令による汎用レジスタの退避 / 復帰

特定のレジスタのみ退避する場合や同一の割り込み要因の多重化の場合には、プッシュ / ポップ命令により汎用レジスタの退避 / 復帰を行います。

(プログラム例) プッシュ / ポップによるレジスタの退避 / 復帰

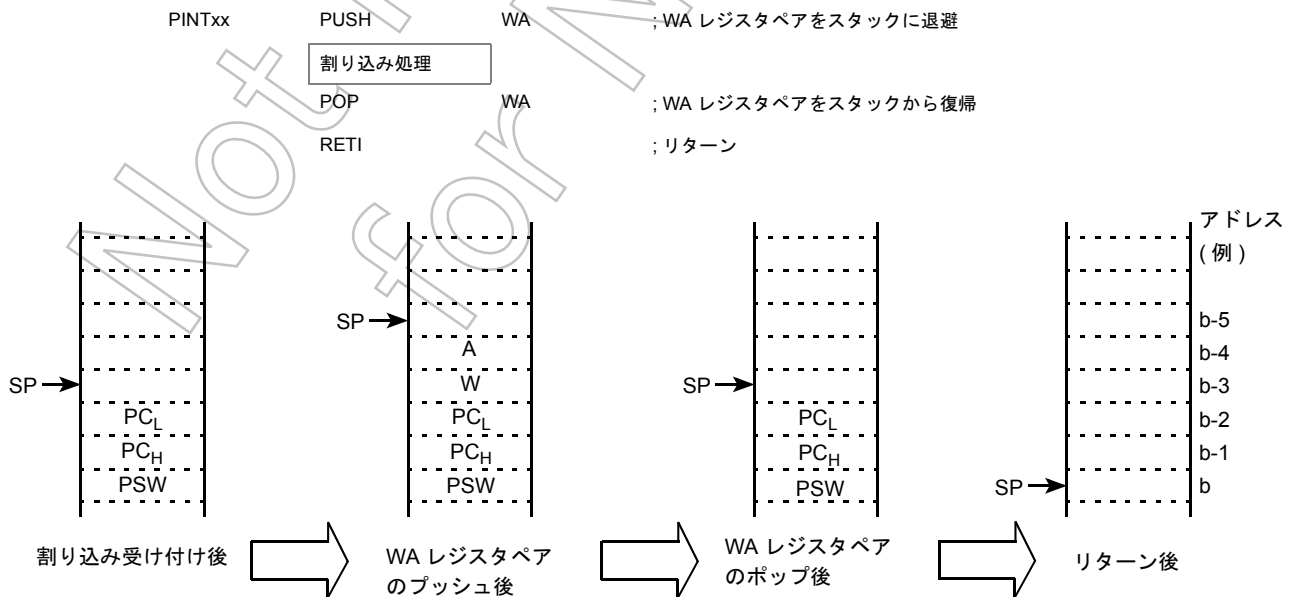


図 3-3 プッシュ / ポップ命令による汎用レジスタの退避 / 復帰処理

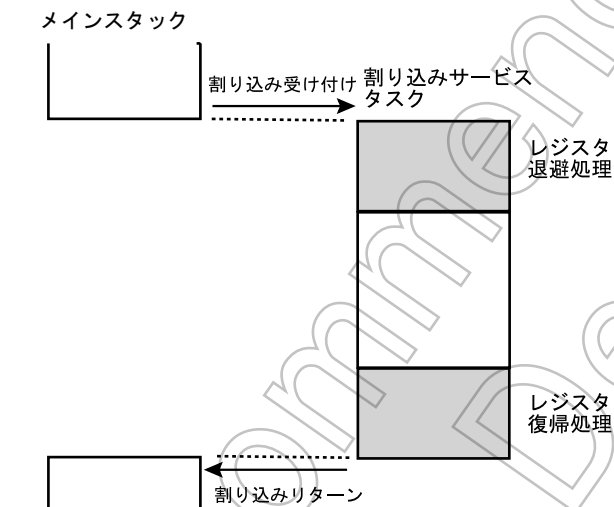
3.3.2.2 転送命令による汎用レジスタの退避 / 復帰

多重割り込みを行わない割り込み処理において、特定のレジスタのみ退避する場合は、データメモリとの転送命令により汎用レジスタの退避 / 復帰を行います。

(プログラム例) データメモリとの転送命令によるレジスタの退避 / 復帰

```

PINTxx:  LD      (GSAVA), A      ; A レジスタの退避
          [割り込み処理]
          LD      A, (GSAVA)    ; A レジスタの復帰
          RETI                  ; リターン
    
```



プッシュ / ポップ / 転送命令による汎用レジスタの退避 / 復帰

図 3-4 割り込み処理における汎用レジスタの退避 / 復帰処理

3.3.3 割り込みリターン

割り込みリターン命令は、次の動作を行います。

- | [RETI] / [RETN] 割り込みリターン |
|--|
| ①プログラムカウンタ、プログラムステータスワードおよびIMFの内容をスタックからそれぞれリストアします。 |
| ②スタックポインタを3回インクリメントします。 |

ただし、アドレストラップ割り込みからのリターンは、割り込み受け付け処理直後にスタックされるPCL、PCHの値を、割り込みサービスプログラムの先頭で、プログラム実行を再開するアドレスに書き替える必要があります。

注) これらを書き替えないうままリターン命令 [RETN] を実行した場合、アドレストラップ領域に復帰し、再度アドレストラップ割り込みが発生します。
 割り込みリターン後のPCL、PCHとなる値は、割り込み受け付け処理後はそれぞれ (SP + 1)、(SP + 2) のアドレスに格納されています。

(プログラム例1) アドレストラップ割り込みサービスプログラムからのリターン

PINTxx	POP	WA	;スタックポインタを2つ戻す
	LD	WA, RetrunAddress	;WA レジスタに再開アドレスを代入する
	PUSH	WA	;スタックにプッシュダウンする
	割り込み処理		
	RETN		;ノンマスカブル割り込みリターン命令

(プログラム例2) リターンしない場合 (割り込み受け付け前の PSW および IMF の値を破棄する場合)

PINTxx	INC	SP	;スタックポインタを3つ戻す
	INC	SP	
	INC	SP	
	割り込み処理		
	LD	EIRL, data	;IMF を "1" にセット、または "0" にクリア
	JP	RestartAddress	;復帰アドレスヘジャンプ

割り込み要求は、実行中の命令の最終サイクルでサンプリングされます。従って、割り込みリターン命令の実行直後から次の割り込み処理を行うことができます。

- 注1) アドレストラップ割り込みが発生し、割り込みサービスプログラムでリターン命令 [RETN] を使用しない場合 (例2のような場合)、割り込みサービスプログラムで、スタックポインタの値を、アドレストラップ発生時の値にインクリメントすることを推奨します (3回インクリメントする)。
- 注2) 割り込み処理時間が、割り込み要求の間隔よりも長いと、割り込みサービスタスクの実行のみ行われ、メインタスクの実行が行われなくなります。

3.4 ソフトウェア割り込み (INTSW)

SWI 命令を実行することにより、ソフトウェア割り込みが発生し、ただちに割り込み処理に入ります (最優先割り込み)。

SWI 命令は、次に示すアドレスエラー検出またはデバッグ以外には使用しないでください。

3.4.1 アドレスエラー検出

シングルチップモードのとき、CPU が何らかの原因 (ノイズなど) により、メモリの存在しないアドレスから命令フェッチを行った場合、FFH が読み込まれます。コード FFH は、SWI 命令ですのでソフトウェア割り込みが発生し、これによりアドレスエラーの検出ができます。また、プログラムメモリの不使用領域をすべて FFH で埋めておくことで、アドレスエラー検出範囲がよりいっそう広がります。なお、RAM, SFR, DBR 領域に対する命令フェッチのときは、アドレストラップリセット、もしくは設定によりアドレストラップ割り込みが発生します。

3.4.2 デバッグ

SWI 命令をソフトウェアブレークポイント設定アドレスに置くことによって、デバッグ効率を高めることができます。

3.5 未定義命令割り込み (INTUNDEF)

命令セットで定義されていない命令をフェッチし、実行しようとした場合は、INTUNDEF が発生し、割り込み処理に入ります。INTUNDEF はほかのノンマスカブル割り込み処理中でも受け付けられ、現在の処理を中断、即、INTUNDEF 割り込み処理に入ります。

注) 未定義命令割り込み (INTUNDEF) は、ソフトウェア割り込みと同じ割り込みベクタアドレスへジャンプします。

3.6 アドレストラップ割り込み (INTATRAP)

命令が置かれている以外の領域 (アドレストラップ領域) から命令をフェッチした場合、リセット出力または割り込み信号 (INTATRAP) 出力を行います。アドレストラップ割り込みが発生すると、割り込みラッチ (IL2) がセットされ、割り込み処理に入ります。INTATRAP はほかのノンマスカブル割り込み処理中でも受け付けられ、現在の処理を中断、即、INTATRAP 割り込み処理に入ります。

注) アドレストラップ時の動作設定 (リセット出力 / 割り込み信号出力) は、ウォッチドッグタイマ制御レジスタで設定します。

3.7 外部割り込み

TMP86FS28DFGには、6本の外部割り込み入力があり、すべてデジタルノイズ除去回路付き(一定時間未満のパルス入力をノイズとして除去します)となっています。

また、INT1～INT4端子は、エッジ選択が可能です。なお、 $\overline{\text{INT0/P30}}$ 端子は、外部割り込み入力端子として使用するか出力ポートとして使用するかの選択ができます。リセット時は、入力ポートとなります。

エッジの選択、ノイズ除去の制御 および $\overline{\text{INT0/P30}}$ 端子の機能選択は、外部割り込み制御レジスタで行います。

要因	端子名	許可条件	エッジ(レベル)	デジタルノイズ除去回路
INT0	$\overline{\text{INT0}}$	IMF・EF4・INT0EN=1	立ち下がりエッジ	2/fc [s] 未満のパルスはノイズとして除去されません。7/fc [s] 以上は確実に信号とみなされます。SLOW/SLEEPモード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。
INT1	INT1	IMF・EF5 = 1	立ち下がりエッジ または 立ち上がりエッジ	15/fc または 63/fc [s] 未満のパルスはノイズとして除去されます。49/fc または 193/fc [s] 以上は確実に信号とみなされます。SLOW/SLEEPモード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。
INT2	INT2	IMF・EF11 = 1	立ち下がりエッジ または 立ち上がりエッジ	7/fc [s] 未満のパルスはノイズとして除去されません。25/fc [s] 以上は確実に信号とみなされます。SLOW/SLEEPモード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。
INT3	INT3	IMF・EF22 = 1	立ち下がりエッジ または 立ち上がりエッジ	7/fc [s] 未満のパルスはノイズとして除去されません。25/fc [s] 以上は確実に信号とみなされます。SLOW/SLEEPモード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。
INT4	INT4	IMF・EF25 = 1	立ち下がりエッジ、 立ち上がりエッジ、 立ち上がりエッジま たは立ち下がりエッ ジ、“H”レベル	7/fc [s] 未満のパルスはノイズとして除去されません。25/fc [s] 以上は確実に信号とみなされます。SLOW/SLEEPモード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。
INT5	$\overline{\text{INT5}}$	IMF・EF26 = 1	立ち下がりエッジ	2/fc [s] 未満のパルスはノイズとして除去されません。7/fc [s] 以上は確実に信号とみなされます。SLOW/SLEEPモード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。

注1) NORMAL1,2 または IDLE1,2 モード時、ノイズのない信号が外部割り込み端子に入力された場合、入力信号のエッジから割り込みラッチがセットされるまでの最大時間は、確実に信号とみなされる時間 + 6/fc[s] です。

注2) INT0EN = “0” のとき、 $\overline{\text{INT0}}$ 端子入力の立ち下がりエッジが検出されても割り込みラッチ IL4 はセットされません。

注3) 兼用の端子を出力ポートとして使用し、データが変化したり入出力の切り替えを行った場合、擬似的に割り込み要求信号が発生しますので、割り込み許可フラグの禁止などの処理が必要です。

外部割り込み制御レジスタ

EINTCR	7	6	5	4	3	2	1	0	
(0037H)	INT1NC	INT0EN	INT4ES	INT3ES	INT2ES	INT1ES			(初期値: 0000 000*)

INT1NC	INT1 のノイズ除去時間の選択	0: 63/fc[s] 未満のパルスはノイズとして除去 1: 15/fc[s] 未満のパルスはノイズとして除去	R/W
INT0EN	P30/INT0 の機能選択	0: P30 入出力ポート 1: INT0 端子 (P30 ポートは入力モードにしてください)	R/W
INT4ES	INT4 のエッジ (レベル) 選択	00: 立ち上がりエッジで割り込み要求発生 01: 立ち下がりエッジで割り込み要求発生 10: 立ち上がりまたは立ち下がりエッジで割り込み要求発生 11: "H" レベルで割り込み要求発生	R/W
INT3 ES	INT3 のエッジ選択	0: 立ち上がりエッジで割り込み要求発生 1: 立ち下がりエッジで割り込み要求発生	R/W
INT2 ES	INT2 のエッジ選択	0: 立ち上がりエッジで割り込み要求発生 1: 立ち下がりエッジで割り込み要求発生	R/W
INT1 ES	INT1 のエッジ選択	0: 立ち上がりエッジで割り込み要求発生 1: 立ち下がりエッジで割り込み要求発生	R/W

注 1) fc; 高周波クロック [Hz] *; Don't care

注 2) システムクロックを高周波と低周波の間で切り替えるとき、または外部割り込み制御レジスタ (EINTCR) を書き替えるときは、切り替えの前後でノイズキャンセラが正常に動作しない場合がありますので、割り込み許可レジスタ (EIR) によって外部割り込みを禁止しておくことを推奨します。

注 3) INT1NC を切り替えた場合、最大 2⁶/fc の期間ノイズキャンセル時間が切り替わらない事があります。

注 4) INT4 端子の状態が "H" レベルの状態でリセットが解除された場合、INT4 のエッジ選択 (INT4ES) を「"H" レベルで割り込み要求発生」に切り替えても INT4 割り込み要求は発生しません。この場合、INT4 割り込み要求を発生させるには、INT4 端子に一度立ち上がりエッジを入力する必要があります。

Not Recommended for New

第4章 スペシャルファンクションレジスタ

TMP86FS28DFGは、メモリマップ I/O 方式で、周辺ハードウェアのデータ制御 / 転送はすべてスペシャルファンクションレジスタ (SFR) またはデータバッファレジスタ (DBR) を通して行われます。SFR は、0000H~003FH に、DBR は 0F00H~0FFFH にマッピングされています。

本章では、TMP86FS28DFG の SFR, DBR の一覧を示します。

4.1 SFR

アドレス	リード	ライト
0000H		P0DR
0001H		P1DR
0002H		P2DR
0003H		P3DR
0004H		P4DR
0005H		P5DR
0006H		P6DR
0007H		P7DR
0008H		P8DR
0009H		TC3CR
000AH		TC4CR
000BH		TC5CR
000CH		TC6CR
000DH		Reserved
000EH		Reserved
000FH		Reserved
0010H		TC10DRAL
0011H		TC10DRAH
0012H		TC10DRBL
0013H		TC10DRBH
0014H		TC10CR
0015H		TTREG3
0016H		TTREG4
0017H		TTREG5
0018H		TTREG6
0019H		PWREG3
001AH		PWREG4
001BH		PWREG5
001CH		PWREG6
001DH		Reserved
001EH		Reserved
001FH		Reserved
0020H		TC11DRAL
0021H		TC11DRAH
0022H		TC11DRBL
0023H		TC11DRBH
0024H		TC11CR
0025H		Reserved
0026H		Reserved

アドレス	リード	ライト
0027H		Reserved
0028H		Reserved
0029H		Reserved
002AH		Reserved
002BH		P3OUTCR
002CH		EIRE
002DH		EIRD
002EH		ILE
002FH		ILD
0030H		Reserved
0031H	-	STOPCR
0032H		P0OUTCR
0033H		Reserved
0034H	-	WDTCR1
0035H	-	WDTCR2
0036H		TBTCR
0037H		EINTCR
0038H		SYSCR1
0039H		SYSCR2
003AH		EIRL
003BH		EIRH
003CH		ILL
003DH		ILH
003EH		Reserved
003FH		PSW

注1) Reserved の番地はプログラムでアクセスしないでください。

注2) - ; アクセスできません。

注3) 書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令 (SET, CLR などのビット操作命令や AND, OR などの演算命令など) による操作はできません。

4.2 DBR

アドレス	リード	ライト
0F00H		Reserved
::		::
0F5FH		Reserved

アドレス	リード	ライト
0F60H		SIOBR0
0F61H		SIOBR1
0F62H		SIOBR2
0F63H		SIOBR3
0F64H		SIOBR4
0F65H		SIOBR5
0F66H		SIOBR6
0F67H		SIOBR7
0F68H	-	SIOCR1
0F69H	SIOQR	SIOCR2

アドレス	リード	ライト
0F70H		Reserved
::		::
0F7FH		Reserved

アドレス	リード	ライト
0F80H		Reserved
::		::
0F9FH		Reserved

Not Recommended for New Design

アドレス	リード	ライト
0FA0H		Reserved
0FA1H		Reserved
0FA2H		Reserved
0FA3H		Reserved
0FA4H		Reserved
0FA5H		Reserved
0FA6H		Reserved
0FA7H		Reserved
0FA8H		Reserved
0FA9H		Reserved
0FAAH		Reserved
0FABH		Reserved
0FACH		Reserved
0FADH		Reserved
0FAEH		Reserved
0FAFH		FLSCR
0FB0H		Reserved
0FB1H		Reserved
0FB2H		Reserved
0FB3H		Reserved
0FB4H		Reserved
0FB5H		Reserved
0FB6H		Reserved
0FB7H		Reserved
0FB8H		Reserved
0FB9H		Reserved
0FBAH		Reserved
0FBBH		Reserved
0FBCH		Reserved
0FBDH		Reserved
0FBEH		Reserved
0FBFH		Reserved

アドレス	リード	ライト
0FC0H		SEG1/0
0FC1H		SEG3/2
0FC2H		SEG5/4
0FC3H		SEG7/6
0FC4H		SEG9/8
0FC5H		SEG11/10
0FC6H		SEG13/12
0FC7H		SEG15/14
0FC8H		SEG17/16
0FC9H		SEG19/18
0FCAH		SEG21/20
0FCBH		SEG23/22
0FCCH		SEG25/24
0FCDH		SEG27/26
0FCEH		SEG29/28
0FCFH		SEG31/30
0FD0H		SEG33/32
0FD1H		SEG35/34
0FD2H		SEG37/36
0FD3H		SEG39/38
0FD4H		P4LCR
0FD5H		P5LCR
0FD6H		P6LCR
0FD7H		P7LCR
0FD8H		P8LCR
0FD9H		LCDCR
0FDAH		Reserved
0FDBH		Reserved
0FDCH		Reserved
0FDDH		Reserved
0FDEH		Reserved
0DFH		Reserved

アドレス	リード	ライト
0FE0H	ADCDR2	-
0FE1H	ADCDR1	-
0FE2H	ADCCR1	
0FE3H	ADCCR2	
0FE4H	Reserved	
0FE5H	UART0SR	UART0CR1
0FE6H	-	UART0CR2
0FE7H	RD0BUF	TD0BUF
0FE8H	UART1SR	UART1CR1
0FE9H	-	UART1CR2
0FEAH	RD1BUF	TD1BUF
0FEBH	Reserved	
0FECH	Reserved	
0FEDH	Reserved	
0FEEH	Reserved	
0FEFH	Reserved	
0FF0H	P0PRD	-
0FF1H	Reserved	
0FF2H	P2PRD	-
0FF3H	P3PRD	-
0FF4H	P4PRD	-
0FF5H	P5PRD	-
0FF6H	P6PRD	-
0FF7H	P7PRD	-
0FF8H	P8PRD	-
0FF9H	P1CR1	
0FFAH	P1CR2	
0FFBH	P4OUTCR	
0FFCH	P5OUTCR	
0FFDH	P6OUTCR	
0FFEH	P7OUTCR	
0FFFH	P8OUTCR	

注 1) Reserved の番地はプログラムでアクセスしないでください。

注 2) - ; アクセスできません。

注 3) 書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令 (SET, CLR などのビット操作命令や AND, OR などの演算命令など) による操作はできません。

第 5 章 入出力ポート

TMP86FS28DFG は、9 ポート 62 端子の入出力ポートを内蔵しています。

表 5-1 主要機能

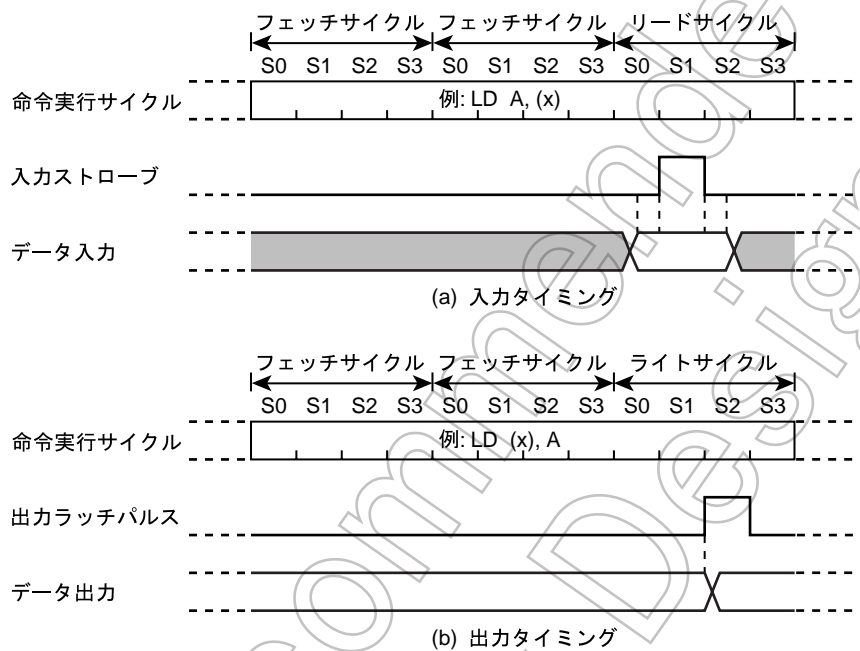
	主機能	兼用機能
P0 ポート	3 ビット入出力ポート	外部割り込み入力, PPG 出力 と兼用
P1 ポート	8 ビット入出力ポート	アナログ入力, STOP モード解除信号入力 と兼用
P2 ポート	3 ビット入出力ポート	外部割り込み入力, 低周波発振子接続端子, STOP モード解除信号入力 と兼用
P3 ポート	8 ビット入出力ポート	外部割り込み入力, タイマカウンタ入力, シリアルインタフェース入出力, UART 入出力, デバイダ出力と兼用
P4 ポート	8 ビット入出力ポート	外部割り込み入力, タイマカウンタ入力, LCD セグメント出力, PPG 出力 と兼用
P5 ポート	8 ビット入出力ポート	タイマカウンタ入出力, LCD セグメント出力, UART 入出力 と兼用
P6 ポート	8 ビット入出力ポート	LCD セグメント出力と兼用
P7 ポート	8 ビット入出力ポート	LCD セグメント出力と兼用
P8 ポート	8 ビット入出力ポート	LCD セグメント出力と兼用

表 5-2 レジスタ一覧

ポート名	ラッチ	リード	Pch 制御	CR1	CR2	LCD 制御
P0	P0DR(0000H)	P0PRD(0FF0H)	P0OUTCR(0032H)	←	—	—
P1	P1DR(0001H)	—	—	P1CR1(0FF9H)	P1CR2(0FFAH)	—
P2	P2DR(0002H)	P2PRD(0FF2H)	—	—	—	—
P3	P3DR(0003H)	P3PRD(0FF3H)	P3OUTCR(002BH)	—	—	—
P4	P4DR(0004H)	P4PRD(0FF4H)	P4OUTCR(0FFBH)	—	—	P4LCR(0FD4H)
P5	P5DR(0005H)	P5PRD(0FF5H)	P5OUTCR(0FFCH)	—	—	P5LCR(0FD5H)
P6	P6DR(0006H)	P6PRD(0FF6H)	P6OUTCR(0FFDH)	—	—	P6LCR(0FD6H)
P7	P7DR(0007H)	P7PRD(0FF7H)	P7OUTCR(0FFEh)	—	—	P7LCR(0FD7H)
P8	P8DR(0008H)	P8PRD(0FF8H)	P8OUTCR(0FFFH)	—	—	P8LCR(0FD8H)

すべての出力ポートは、ラッチを内蔵していますので、出力データはラッチにより保持されます。すべての入力ポートにはラッチがありませんので、外部から入力データを読み取るまでは外部でデータを保持しておくか、複数回読み取ってから処理することが望まれます。図 5-1 に入出力タイミングを示します。

入出力ポートから外部データを読み込むタイミングは、命令実行におけるリードサイクルの S1 ステートです。外部からはこのタイミングを認識できませんので、チャタリングなどの過渡的な入力データはプログラムで対処する必要があります。入出力ポートへデータを出力するタイミングは、命令実行におけるライトサイクルの S2 ステートです。



注) 命令によってリード/ライトサイクルの位置が異なります。

図 5-1 入出力タイミング(例)

5.1 P0 (P00~P02) ポート

P0 ポートは 3 ビットの入出力ポートで、外部割り込み入力、PPG 出力と兼用です。

リセット時、出力ラッチ (P0DR) は "1" に、Pch 制御 (P0OUTCR) は "0" に初期化されます。

入力ポートまたは、外部割り込み入力として使用する場合は、P0DR を "1" に設定した後、P0OUTCR の対応するビットを "0" に設定します。

PPG 出力として使用する場合は、P0DR を "1" に設定します。

P0 ポートは、P0OUTCR により出力回路を N-ch O.D. 出力、CMOS 出力に選択することができます。P0OUTCR の対応するビットを "0" に設定すると出力回路がN-ch O.D. 出力になり、"1" に設定するとCMOS 出力になります。

P0 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P0DR レジスタを、端子の状態を読み込む場合は P0PRD レジスタをそれぞれ読み出してください。

表 5-3 各機能別のレジスタ設定値

機能	設定値	
	P0DR	P0OUTCR
ポート入力、外部割り込み入力	"1"	"0"
ポート "0" 出力	"0"	用途に合わせて 設定
ポート "1" 出力、PPG 出力	"1"	

注) *: "1"、"0" どちらでも設定可

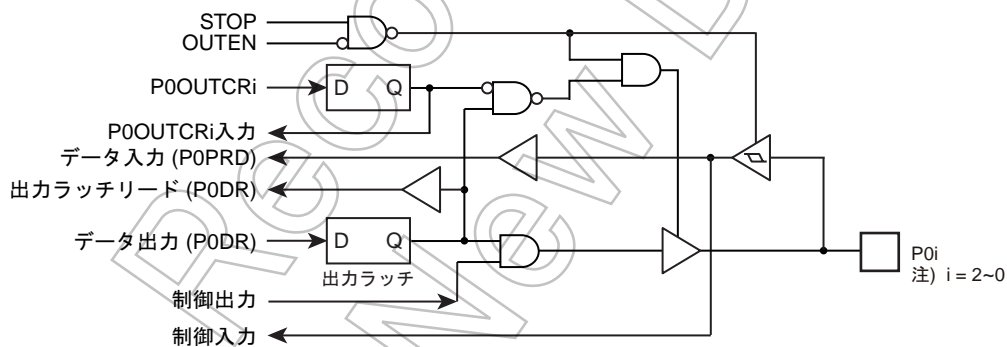


図 5-2 P0 ポート

	7	6	5	4	3	2	1	0	
P0DR (0000H) R/W						P02 PPG1 INT3	P01	P00	(初期値: **** *111)
P0OUTCR (0032H) R/W									(初期値: **** *000)

P0OUTCR	P0 ポート入出力制御 (ビットごとに指定)	0: シンクオープンドレイン出力 1: C-MOS 出力	R/W
---------	---------------------------	---------------------------------	-----

	7	6	5	4	3	2	1	0	
POPRD (0FF0H) Read only						P02	P01	P00	(初期値: **** *000)

Not Recommended for New Design

5.2 P1 (P10~P17) ポート

P1 ポートは 1 ビット単位で入出力の指定ができる 8 ビットの入出力ポートで、アナログ入力、キーオンウェイクアップ入力と兼用です。

入出力の指定は、P1 ポート入出力制御レジスタ (P1CR1) と P1 ポート入力制御レジスタ (P1CR2) によって行います。

リセット時、P1CR1 は "0" に、P1CR2 は "1" に、出力ラッチ (P1DR) は "0" に初期化されるため、P1 ポートは入力モードとなります。

入力ポートとして使用する場合は、P1CR1 を "0" にクリアした後、P1CR2 を "1" にセットします。アナログ入力、キーオンウェイクアップ入力として使用する場合は、P1CR1 を "0" にクリアした後、P1CR2 を "0" にクリアします。

出力ポートとして使用する場合は、P1CR1 の対応するビットを "1" に設定します。

出力ラッチの内容を読み込む場合は、P1CR1 を "1" にセットして P1DR を読み出してください。端子の状態を読み込む場合は、P1CR1 を "0" に、P1CR2 を "1" にセットして P1DR を読み出してください。P1CR1 を "0" に、P1CR2 を "0" にセットして P1DR を読み出した場合、"0" が読み出されます。

アナログ入力として使用しないビットは入出力ポートとして使用しますが、AD 変換中は精度を保つために出力命令は行わないようにしてください。また、アナログ入力と近接するポートに AD 変換中、変化の激しい信号を入力しないようにしてください。

表 5-4 各機能別のレジスタ設定値

機能	設定値		
	P1DR	P1CR1	P1CR2
ポート入力	*	"0"	"1"
アナログ入力またはキーオンウェイクアップ入力	*	"0"	"0"
ポート "0" 出力	"0"	"1"	*
ポート "1" 出力	"1"	"1"	*

注) *: "1"、"0" どちらでも設定可

表 5-5 各レジスタ設定による P1DR の読み出し値

条件		P1DR の読み出し値
P1CR1	P1CR2	
"0"	"0"	"0"
"0"	"1"	端子の内容
"1"	"0"	出力ラッチの内容
	"1"	

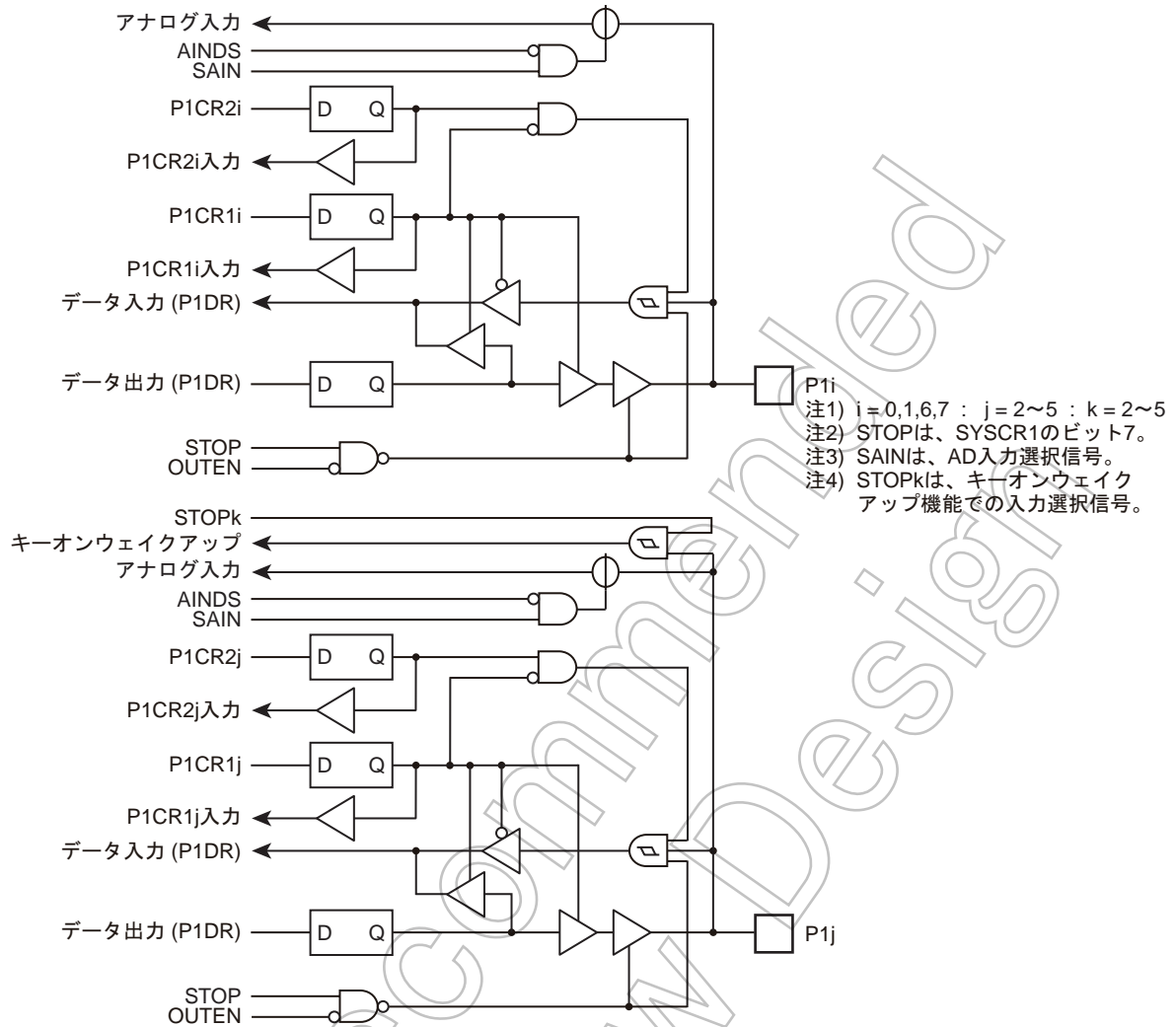


図 5-3 P1ポート

- 注 1) 入力モードに設定されているポートは端子入力の状態を読み込みますので、入力 / 出力モードを混在させて使用する場合、入力モードに設定されているポートの出力ラッチの内容は、ビット操作命令の実行により書き替わることがあります。
- 注 2) アナログ入力使用端子は、貫通電流対策のため必ず P1CR2 の対応するビットを "0" にクリアしてください。
- 注 3) アナログ入力として使用する端子は、外部信号とショートしますのでポート出力 (P1CR1 = "1") には設定しないでください。
- 注 4) アナログ入力として使用しないビットは入出力ポートとして使用できますが、AD 変換中は精度を保つ意味で出力命令は行わないようにしてください。また、アナログ入力と近接するポートに AD 変換中、変化の激しい信号を入力しないようにしてください。

	7	6	5	4	3	2	1	0	
P1DR (0001H) R/W	P17 AIN7	P16 AIN6	P15 AIN5 STOP5	P14 AIN4 STOP4	P13 AIN3 STOP3	P12 AIN2 STOP2	P11 AIN1	P10 AIN0	(初期値 : 0000 0000)

P1CR1 (0FF9H)	7	6	5	4	3	2	1	0	(初期値 : 0000 0000)

P1CR1	P1 ポートの入出力制御 (ビットごとに指定)	0: ポート入力、キーオンウェイクアップ入力、アナログ入力、 1: ポート出力	R/W
-------	----------------------------	--	-----

P1CR2 (0FFAH)	7	6	5	4	3	2	1	0	(初期値 : 1111 1111)

P1CR2	P1 ポート入力制御 (ビットごとに指定)	0: アナログ入力、またはキーオンウェイクアップ入力 1: ポート入力	R/W
-------	--------------------------	--	-----

Not Recommended for New Design

5.3 P2 (P22~P20) ポート

P2 ポートは、3 ビットの入出力ポートで、外部割込み入力、STOP 解除信号入力、低周波発振子接続端子と兼用です。入力ポートまたは、機能端子として用いる場合は、出力ラッチ (P2DR) を "1" にセットします。P2DR はリセット時 "1" に初期化されます。デュアルクロックモードで動作させる場合は、P21 (XTIN)、P22 (XOUT) 端子に低周波発振子 (32.768 kHz) を接続します。シングルクロックモードで動作させる場合、P21、P22 端子は通常の入出力ポートとして使用できます。P20 端子は外部割込み入力、STOP 解除信号入力、入力ポートとして使用されることを推奨します (出力ポートとして使用すると立ち下がりで割り込みラッチがセットされます)。

また、P2 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P2DR を、端子の状態を読み込む場合は P2PRD レジスタをそれぞれ読み出してください。

P2 ポートに対して P2DR、P2PRD のリード命令を実行した場合、ビット 7~3 は不定値が読み込まれます。

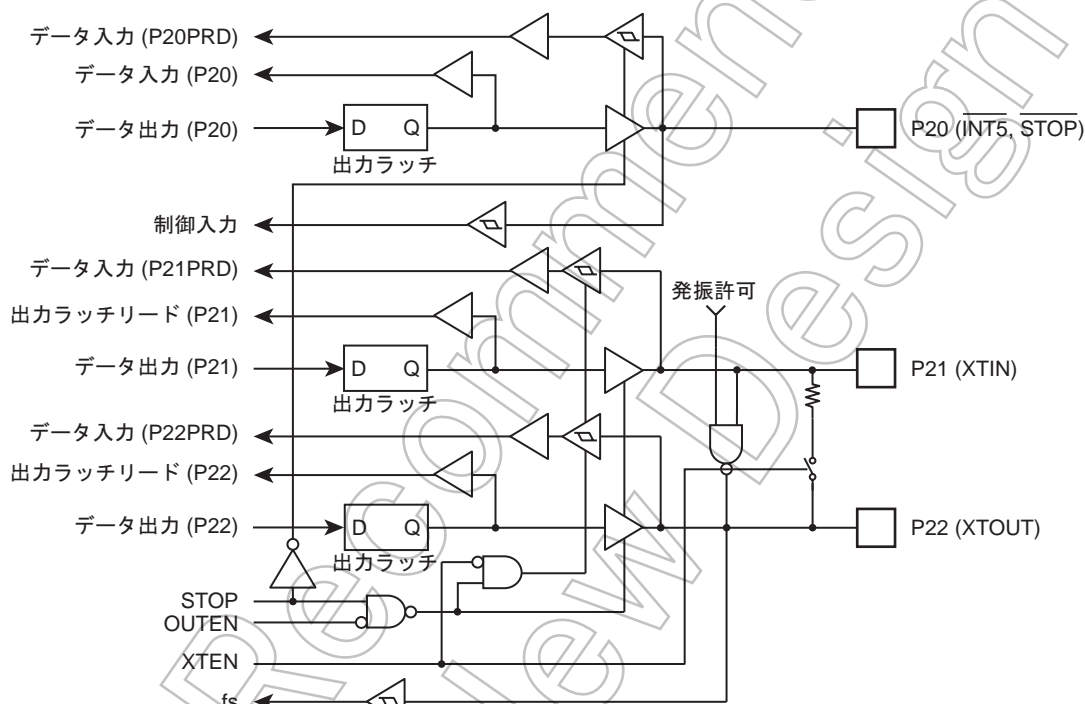


図 5-4 P2 ポート

	7	6	5	4	3	2	1	0	
P2DR (0002H) R/W						P22 XTOUT	P21 XTIN	P20 INT5 STOP	(初期値: **** *111)
P2PRD (0FF2H) Read only						P22	P21	P20	

注) P20 端子は STOP 端子と兼用のため、STOP モードに入ると OUTEN の状態にかかわらず、出力は High-Z 状態となります。

5.4 P3 (P37~P30) ポート

P3 ポートは 8 ビットの入出力ポートで、外部割り込み入力、デバイダ出力、タイマカウンタ入力、シリアルインタフェース入出力、UART 入出力と兼用です。

リセット時、出力ラッチ (P3DR) は "1" に、Pch 制御 (P3OUTCR) は "0" に初期化されます。

入力ポートまたは外部割り込み入力、タイマカウンタ入力、シリアルインタフェース入力、UART 入力として使用する場合は、P3DR を "1" に設定した後、P3OUTCR の対応するビットを "0" に設定します。

デバイダ出力、シリアルインターフェース出力、UART 出力として使用する場合は、P3DR を "1" に設定します。

また、P3 ポートは SIO と UART を兼用していますので同時に許可しないようにしてください。

P3 ポートは、P3OUTCR により出力回路を N-ch O.D. 出力、CMOS 出力に選択することができます。

P3OUTCR の対応するビットを "0" に設定すると出力回路が N-ch O.D. 出力になり、"1" に設定すると CMOS 出力になります。

P3 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P3DR レジスタを、端子の状態を読み込む場合は P3PRD レジスタをそれぞれ読み出してください。

表 5-6 各機能別のレジスタ設定値 (P37~P30)

機能	設定値	
	P3DR	P3OUTCR
ポート入力、外部割り込み入力、タイマカウンタ入力、シリアルインタフェース入力または UART 入力	"1"	"0"
ポート "0" 出力	"0"	用途に合わせて設定
ポート "1" 出力、シリアルインタフェース出力、UART 出力、またはデバイダ出力	"1"	

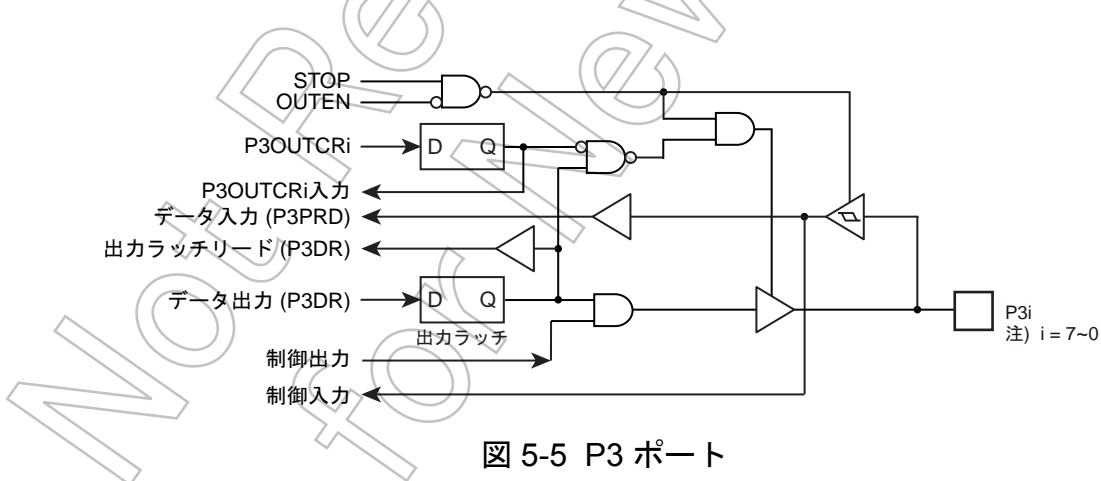


図 5-5 P3 ポート

	7	6	5	4	3	2	1	0	
P3DR (0003H) R/W	P37 TC10/ INT4	P36 SCK	P35 SI/ TXD1	P34 SO/ RXD1	P33	P32	P31 DVO	P30 INT0	(初期値: 1111 111)
P3OUTCR (002BH)									(初期値: 0000 0000)
P3OUTCR	P3 ポートの出力回路制御 (ビットごとに指定)				0: シンクオープンドレイン出力 1: C-MOS 出力			R/W	
P3PRD (0FF3H) Read only	P37	P36	P35	P34	P33	P32	P31	P30	

Not Recommended for New Design

5.5 P4 (P47~P40) ポート

P4 ポートは、8 ビットの入出力ポートで、外部割り込み入力、PPG 出力、タイマカウンタ入力、LCD セグメント出力と兼用です。

リセット時、出力ラッチ (P4DR) は "1" に、Pch 制御 (P4OUTCR) は "0" に、LCD 出力制御レジスタ (P4LCR) は "0" 初期化されます。

入力ポートまたは、外部割り込み入力、タイマカウンタ入力として使用する場合は、P4DR を "1" に設定した後、P4LCR と P4OUTCR の対応するビットをそれぞれ "0" にクリアします。

LCD セグメント出力として使用する場合は P4LCR の対応するビットを "1" にセットします。

PPG 出力として使用する場合は、P4DR を "1" に設定した後、P4LCR の対応するビットを "0" にクリアします。

P4 ポートは、P4OUTCR により出力回路を N-ch O.D. 出力、CMOS 出力に選択することができます。P4OUTCR の対応するビットを "0" に設定すると出力回路が N-ch O.D. 出力になり、"1" に設定すると CMOS 出力になります。

P4 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P4DR レジスタを、端子の状態を読み込む場合は P4PRD レジスタをそれぞれ読み出してください。

表 5-7 各機能別のレジスタ設定値

機能	設定値		
	P4DR	P4OUTCR	P4 LCR
ポート入力, 外部割り込み入力, タイマカウンタ入力	"1"	"0"	"0"
ポート "0" 出力	"0"	用途に合わせて設定	"0"
ポート "1" 出力	"1"		"0"
PPG 出力	"1"		"0"
LCD セグメント出力	*	*	"1"

注) *: "1"、"0" どちらでも設定可

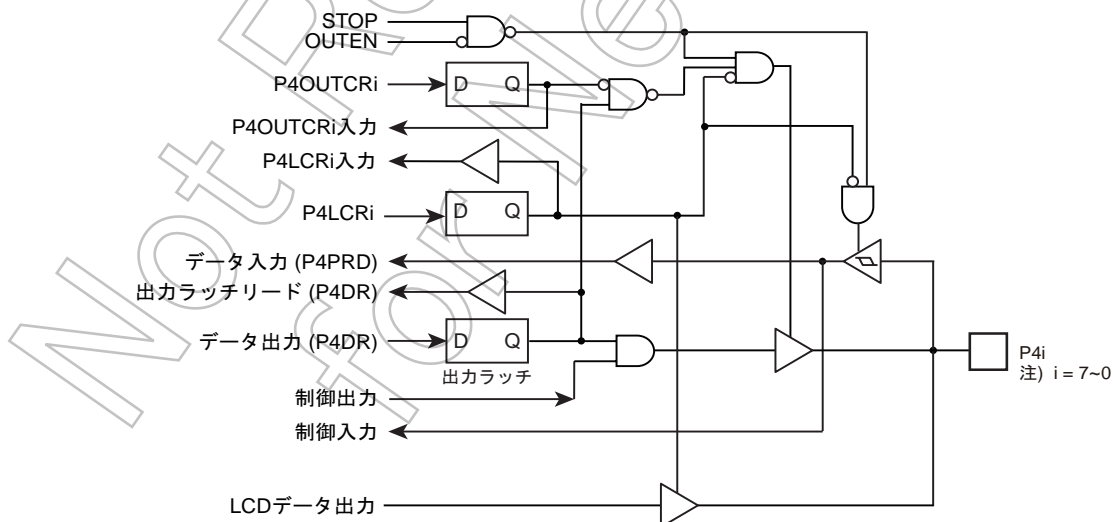


図 5-6 P4 ポート

	7	6	5	4	3	2	1	0	
P4DR (0004H) R/W	P47 SEG32	P46 SEG31	P45 SEG30	P44 SEG29	P43 SEG28 TC11	P42 SEG27 PPG1	P41 SEG26 INT2	P40 SEG25 INT1	(初期値 : 0000 0000)

	7	6	5	4	3	2	1	0	
P4LCR (0FD4H)									(初期値 : 0000 0000)

P4LCR	P4 ポートのセグメント出力制御 (ビットごとに指定)	0: 入出力ポート 1: LCD セグメント出力	R/W
-------	-----------------------------	-----------------------------	-----

	7	6	5	4	3	2	1	0	
P4OUTCR (0FFBH)									(初期値 : 0000 0000)

P4OUTCR	P4 ポート の出力回路制御 (ビットごとに指定)	0: シンクオープンドレイン出力 1: C-MOS 出力	R/W
---------	---------------------------	---------------------------------	-----

	7	6	5	4	3	2	1	0	
P4PRD (0FF4H) Read only	P47	P46	P45	P44	P43	P42	P41	P40	

Not Recommended for New Design

5.6 P5 (P57~P50) ポート

P5 ポートは、8 ビットの入出力ポートで、タイマカウンタ入出力、LCD セグメント出力、UART 入出力と兼用です。

リセット時、出力ラッチ (P5DR) は "1" に、Pch 制御 (P5OUTCR) は "0" に、LCD 出力制御レジスタ (P5LCR) は "0" 初期化されます。

入力ポートまたは、タイマカウンタ入力、UART 入力として使用する場合は、P5DR を "1" に設定した後、P5LCR と P5OUTCR の対応するビットをそれぞれ "0" にクリアします。

LCD セグメント出力として使用する場合は P5LCR の対応するビットを "1" にセットします。

UART 出力または、タイマカウンタ出力として使用する場合は、P5DR を "1" に設定した後、P5LCR の対応するビットを "0" にクリアします。

P5 ポートは、P5OUTCR により出力回路を N-ch O.D. 出力、CMOS 出力に選択することができます。

P5OUTCR の対応するビットを "0" に設定すると出力回路が N-ch O.D. 出力になり、"1" に設定すると CMOS 出力になります。

P5 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P5DR レジスタを、端子の状態を読み込む場合は P5PRD レジスタをそれぞれ読み出してください。

表 5-8 各機能別のレジスタ設定値

機能	設定値		
	P5DR	P5OUTCR	P5LCR
ポート入力、UART 入力、タイマカウンタ入力	"1"	"0"	"0"
ポート "0" 出力	"0"	用途に合わせて設定	"0"
ポート "1" 出力、UART 出力	"1"		"0"
LCD セグメント出力	*	*	"1"

注) *: "1"、"0" どちらでも設定可

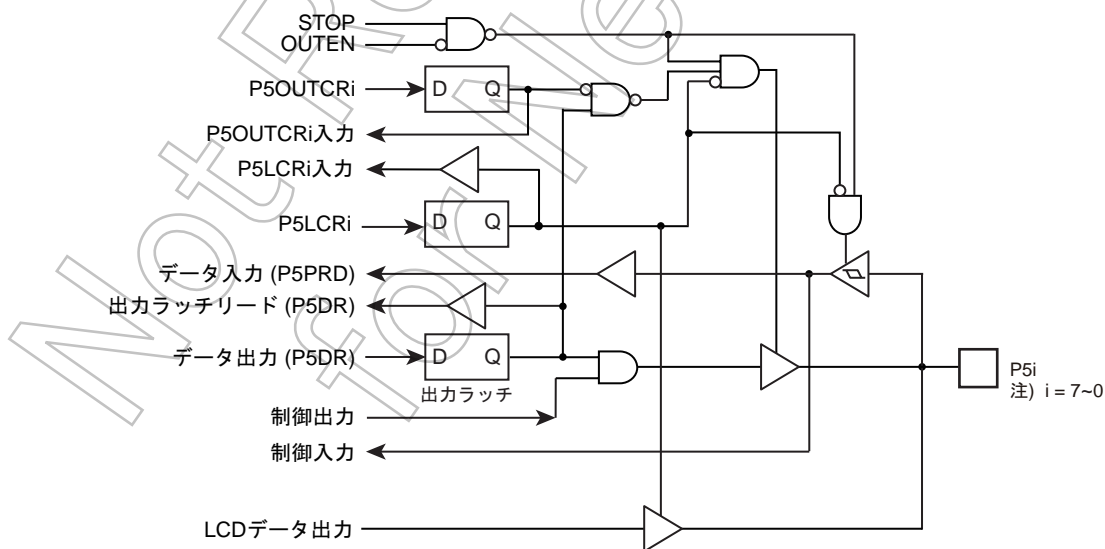


図 5-7 P5 ポート

	7	6	5	4	3	2	1	0	
P5DR (0005H) R/W	P57 SEG24	P56 SEG25	P55 SEG26 TC6/ PWM6/ PDO6	P54 SEG27 TC5/ PWM5/ PDO5	P53 SEG28 TC4/ PWM4/ PDO4	P52 SEG29 TC3/ PWM3/ PDO3	P51 SEG30 RXD0	P50 SEG31 TXD0	(初期値 : 0000 0000)

P5LCR (0FD5H)	7	6	5	4	3	2	1	0	(初期値 : 0000 0000)

P5LCR	P5 ポートのセグメント出力制御 (ビットごとに指定)	0: 入出力ポート 1: LCD セグメント出力	R/W
-------	-----------------------------	-----------------------------	-----

P5OUTCR (0FFCH)	7	6	5	4	3	2	1	0	(初期値 : 0000 0000)

P5OUTCR	P5 ポート入出力制御 (ビットごとに指定)	0: シンクオープンドレイン出力 1: C-MOS 出力	R/W
---------	------------------------	---------------------------------	-----

P5PRD (0FF5H) Read only	7	6	5	4	3	2	1	0
	P57	P56	P55	P54	P53	P52	P51	P50

5.7 P6 (P67~P60) ポート

P6 ポートは、8 ビットの入出力ポートで、LCD セグメント出力と兼用です。

リセット時、出力ラッチ (P6DR) は "1" に、Pch 制御 (P6OUTCR) は "0" に、LCD 出力制御レジスタ (P6LCR) は "0" 初期化されます。

入力ポートとして使用する場合は、P6DR を "1" に設定した後、P6LCR と P6OUTCR の対応するビットをそれぞれ "0" にクリアします。

LCD セグメント出力として使用する場合は P6LCR の対応するビットを "1" にセットします。

P6 ポートは、P6OUTCR により出力回路を N-ch O.D. 出力、CMOS 出力に選択することができます。

P6OUTCR の対応するビットを "0" に設定すると出力回路が N-ch O.D. 出力になり、"1" に設定すると CMOS 出力になります。

P6 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P6DR レジスタを、端子の状態を読み込む場合は P6PRD レジスタをそれぞれ読み出してください。

表 5-9 各機能別のレジスタ設定値

機能	設定値		
	P6DR	P6OUTCR	P6LCR
ポート入力	"1"	"0"	"0"
ポート "0" 出力	"0"	用途に合わせて設定	"0"
ポート "1" 出力	"1"		"0"
LCD セグメント出力	*	*	"1"

注) *: "1"、"0" どちらでも設定可

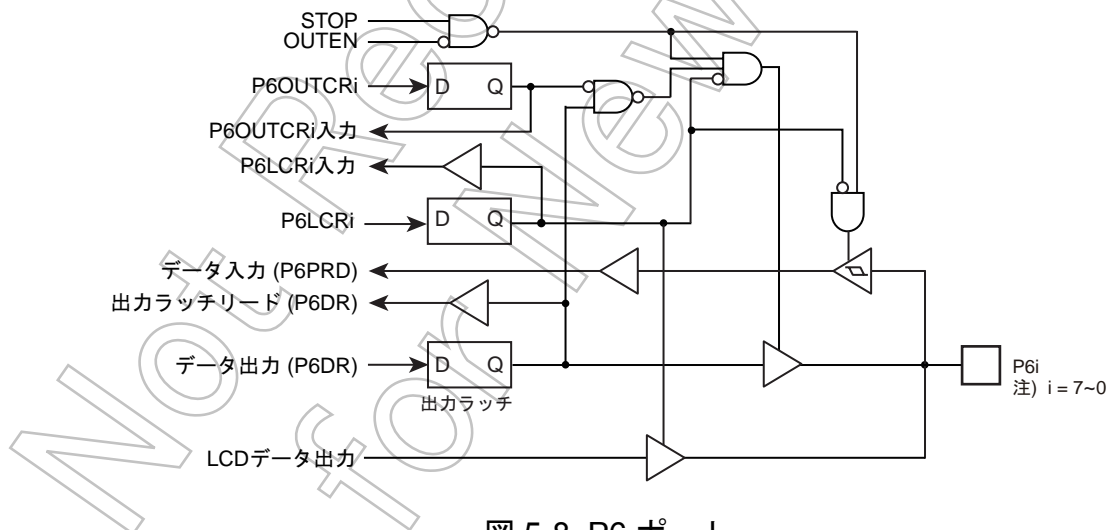


図 5-8 P6 ポート

P6DR (0006H) R/W	7	6	5	4	3	2	1	0	
	P67 SEG16	P66 SEG17	P65 SEG18	P64 SEG19	P63 SEG20	P62 SEG21	P61 SEG22	P60 SEG23	(初期値: 0000 0000)

P6LCR (0FD6H)	7	6	5	4	3	2	1	0	
									(初期値: 0000 0000)

P6LCR	P6 ポートのセグメント出力制御 (ビットごとに指定)	0: 入出力ポート 1: セグメント出力	R/W
-------	-----------------------------	-------------------------	-----

P6OUTCR (0FFDH)	7	6	5	4	3	2	1	0	
									(初期値: 0000 0000)

P6OUTCR	P6 ポート入出力制御 (ビットごとに指定)	0: シンクオープンドレイン出力 1: C-MOS 出力	R/W
---------	------------------------	---------------------------------	-----

P6PRD (0FF6H) Read only	7	6	5	4	3	2	1	0	
	P67	P66	P65	P64	P63	P62	P61	P60	

Not Recommended for New Design

5.8 P7 (P77~P70) ポート

P7ポートは、8ビットの入出力ポートで、LCDセグメント出力と兼用です。

リセット時、出力ラッチ (P7DR) は "1" に、Pch 制御 (P7OUTCR) は "0" に、LCD 出力制御レジスタ (P7LCR) は "0" 初期化されます。

入力ポートとして使用する場合は、P7DR を "1" に設定した後、P7LCR と P7OUTCR の対応するビットをそれぞれ "0" にクリアします。

LCDセグメント出力として使用する場合は P7LCR の対応するビットを "1" にセットします。

P7ポートは、P7OUTCRにより出力回路を N-ch O.D. 出力、CMOS 出力に選択することができます。

P7OUTCRの対応するビットを "0" に設定すると出力回路が N-ch O.D. 出力になり、"1" に設定すると CMOS 出力になります。

P7ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P7DRレジスタを、端子の状態を読み込む場合は P7PRD レジスタをそれぞれ読み出してください。

表 5-10 各機能別のレジスタ設定値

機能	設定値		
	P7DR	P7OUTCR	P7LCR
ポート入力	"1"	"0"	"0"
ポート "0" 出力	"0"	用途に合わせて設定	"0"
ポート "1" 出力	"1"		"0"
LCDセグメント出力	*	*	"1"

注) *: "1"、"0" どちらでも設定可

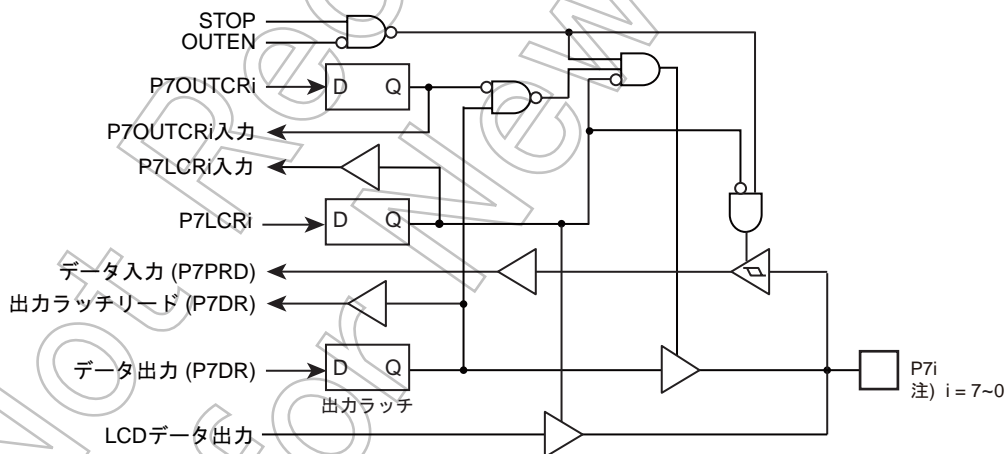


図 5-9 P7 ポート

P7DR (0007H) R/W	7	6	5	4	3	2	1	0	
	P77 SEG8	P76 SEG9	P75 SEG10	P74 SEG11	P73 SEG12	P72 SEG13	P71 SEG14	P70 SEG15	(初期値 : 0000 0000)

P7LCR (0FD7H)	7	6	5	4	3	2	1	0	
									(初期値 : 0000 0000)

P7LCR	P7 ポートのセグメント出力制御 (ビットごとに指定)	0: 入出力ポート 1: セグメント出力	R/W
-------	-----------------------------	-------------------------	-----

P7OUTCR (0FFE7H)	7	6	5	4	3	2	1	0	
									(初期値 : 0000 0000)

P7OUTCR	P7 ポート入出力制御 (ビットごとに指定)	0: シンクオープンドレイン出力 1: C-MOS 出力	R/W
---------	------------------------	---------------------------------	-----

P7PRD (0FF7H) Read only	7	6	5	4	3	2	1	0	
	P77	P76	P75	P74	P73	P72	P71	P70	

Not Recommended for New Design

5.9 P8 (P87~P80) ポート

P8 ポートは、8 ビットの入出力ポートで、LCD セグメント出力と兼用です。

リセット時、出力ラッチ (P8DR) は "1" に、Pch 制御 (P8OUTCR) は "0" に、LCD 出力制御レジスタ (P8LCR) は "0" 初期化されます。

入力ポートとして使用する場合は、P8DR を "1" に設定した後、P8LCR と P8OUTCR の対応するビットをそれぞれ "0" にクリアします。

LCD セグメント出力として使用する場合は P8LCR の対応するビットを "1" にセットします。

P8 ポートは、P8OUTCR により出力回路を N-ch O.D. 出力、CMOS 出力に選択することができます。

P8OUTCR の対応するビットを "0" に設定すると出力回路が N-ch O.D. 出力になり、"1" に設定すると CMOS 出力になります。

P8 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P8DR レジスタを、端子の状態を読み込む場合は P8PRD レジスタをそれぞれ読み出してください。

表 5-11 各機能別のレジスタ設定値

機能	設定値		
	P8DR	P8OUTCR	P8LCR
ポート入力	"1"	"0"	"0"
ポート "0" 出力	"0"	用途に合わせて設定	"0"
ポート "1" 出力	"1"		"0"
LCD セグメント出力	*	*	"1"

注) *: "1"、"0" どちらでも設定可

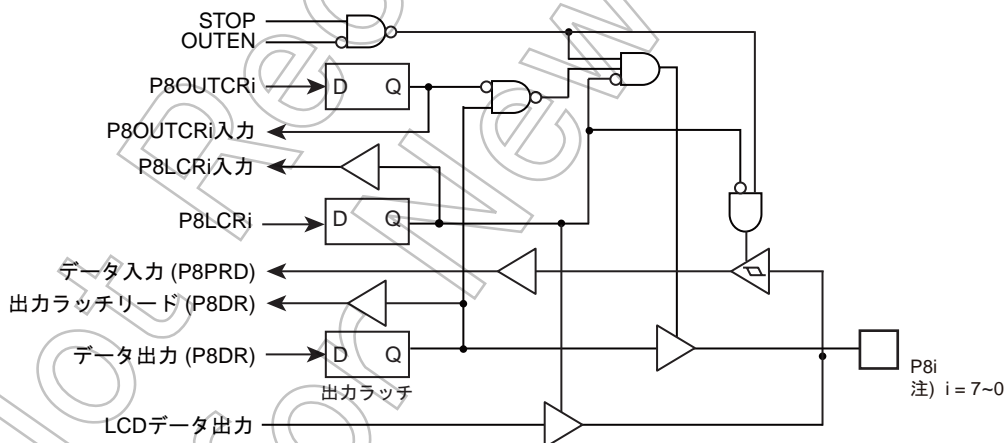


図 5-10 P8 ポート

P8DR (0008H) R/W	7	6	5	4	3	2	1	0	
	P87 SEG0	P86 SEG1	P85 SEG2	P84 SEG3	P83 SEG4	P82 SEG5	P81 SEG6	P80 SEG7	(初期値: 0000 0000)

P8LCR (0FD8H)	7	6	5	4	3	2	1	0	
									(初期値: 0000 0000)

P8LCR	P8 ポートのセグメント出力制御 (ビットごとに指定)	0: 入出力ポート 1: LCD セグメント出力	R/W
-------	-----------------------------	-----------------------------	-----

P8OUTCR (0FFFH)	7	6	5	4	3	2	1	0	
									(初期値: 0000 0000)

P8OUTCR	P8 ポート入出力制御 (ビットごとに指定)	0: シンクオープンドレイン出力 1: C-MOS 出力	R/W
---------	------------------------	---------------------------------	-----

P8PRD (0FF8H) Read only	7	6	5	4	3	2	1	0	
	P87	P86	P85	P84	P83	P82	P81	P80	

Not Recommended for New Design

第6章 ウォッチドッグタイマ (WDT)

ウォッチドッグタイマは、ノイズなどの原因による誤動作（暴走）やデッドロック状態を速やかに検出し、正常な状態に戻すことを目的としたフェイルセーフ機能です。

ウォッチドッグタイマによる暴走検出信号は、「リセット要求」または「割り込み要求」のいずれかをプログラムで選択することができます。ただし、選択は1回限りです。リセット解除時は、「リセット要求」に初期化されます。

なお、ウォッチドッグタイマを暴走検出用として使用しない場合、一定周期ごとに割り込みを発生するタイマとして利用できます。

注) 外乱ノイズなどの影響によってはウォッチドッグタイマが完全な機能を果たせない場合がありますので、機器設計時には十分な考慮が必要です。

6.1 ウォッチドッグタイマの構成

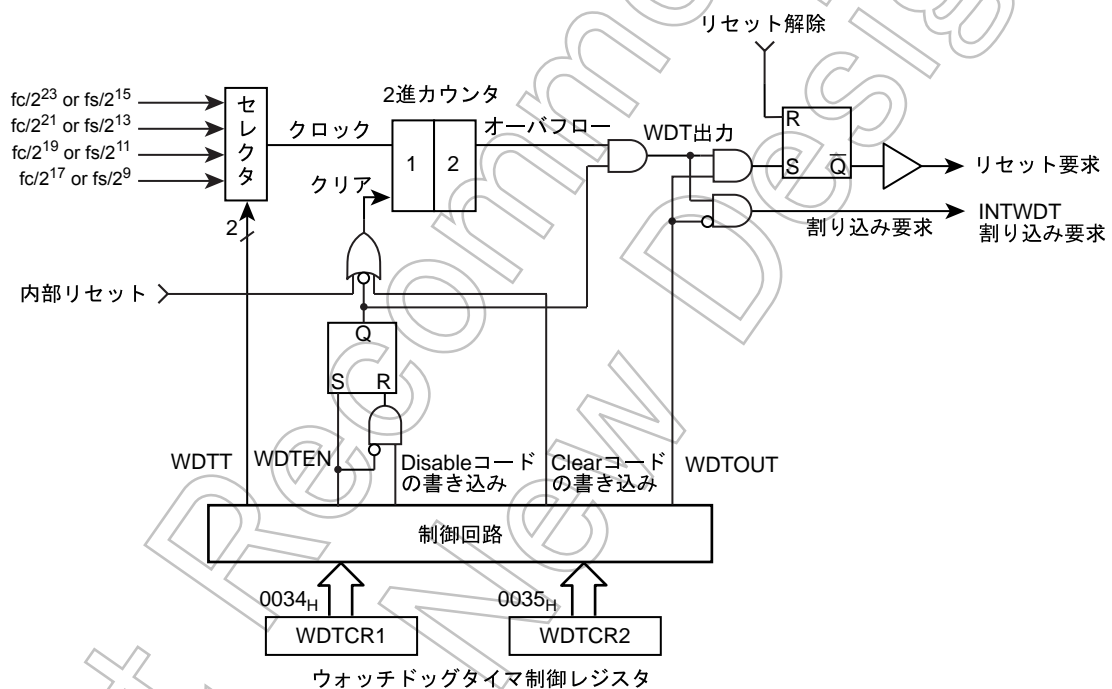


図 6-1 ウォッチドッグタイマの構成

6.2 ウォッチドッグタイマの制御

ウォッチドッグタイマは、ウォッチドッグタイマ制御レジスタ (WDTCR1、WDTCR2) によって制御されます。なおウォッチドッグタイマはリセット解除後、自動的にイネーブルになります。

6.2.1 ウォッチドッグタイマによる暴走検出の方法

CPU の暴走検出を行うには、次のようにします。

1. 検出時間の設定、出力の選択および2進カウンタのクリア
2. 設定した検出時間以内ごとに2進カウンタのクリアを繰り返し行います。

もし、何らかの原因で暴走またはデッドロック状態に陥り、2進カウンタのクリアが行われない場合、2進カウンタのオーバフローでウォッチドッグタイマ出力がアクティブになります。このとき WDTCR1<WDTOUT> = “1” なら、リセット要求が発生し内蔵ハードウェアをリセットします。また、WDTCR1<WDTOUT> = “0” なら、ウォッチドッグタイマ割り込み (INTWDT) を発生します。

なお、STOPモード (ウォーミングアップ中を含む) または IDLE/SLEEPモード中ウォッチドッグタイマは、一時的にカウントアップ停止し、STOP/IDLE/SLEEPモード解除後、自動的に再起動 (カウントアップ継続) します。

注) ウォッチドッグタイマは内部デバイダと2段の2進カウンタによって構成されており、クリアコード (4EH) を書き込んだ場合、2進カウンタはクリアされますが、内部デバイダはクリアされません。従って2進カウンタのオーバフロー時間は、WDTCR2レジスタにクリアコード (4EH) を書き込むタイミングによって、最短で WDTCR1<WDTT> の設定時間の3/4となる場合がありますので、これより短い周期でクリアコードを書き込んでください。

(プログラム例) ウォッチドッグタイマ検出時間を $2^{21}/fc$ [s] に設定し、暴走検出リセットを行う。

```

LD      (WDTCR2), 4EH          ;2進カウンタのクリア
LD      (WDTCR1), 00001101B   ;WDTT ← 10, WDTOUT ← 1
LD      (WDTCR2), 4EH          ;2進カウンタのクリア
:                                     ;WDTT 変更直前直後は必ずクリア; します)
:
LD      (WDTCR2), 4EH          ;2進カウンタのクリア
:
LD      (WDTCR2), 4EH          ;2進カウンタのクリア

```

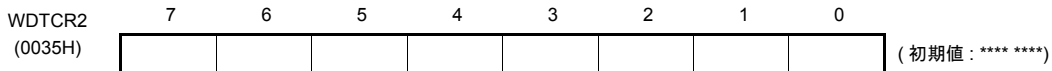
ウォッチドッグタイマ制御レジスタ

WDTCR1 (0034H)	7	6	5	4	3	2	1	0	
	—	—	(ATAS)	(ATOUT)	WDTEN	WDTT	WDTOUT		(初期値: **11 1001)

WDTEN	ウォッチドッグタイマの許可/禁止	0: 禁止 (WDTCR2 にディセーブルコードを書き込む必要あり) 1: 許可			Write only	
WDTT	ウォッチドッグタイマ検出時間の設定 単位: [s]	NORMAL1/2モード		SLOW1/2モード	Write only	
		DV7CK = 0	DV7CK = 1			
		00	$2^{25}/fc$	$2^{17}/fs$		$2^{17}/fs$
		01	$2^{23}/fc$	$2^{15}/fs$		$2^{15}/fs$
		10	$2^{21}/fc$	$2^{13}/fs$	$2^{13}/fs$	
		11	$2^{19}/fc$	$2^{11}/fs$	$2^{11}/fs$	
WDTOUT	ウォッチドッグタイマ出力の選択	0: 割り込み要求 1: リセット要求			Write only	

- 注 1) WDTOUT を “0” にクリア後は、プログラムで “1” に再セットできません。
- 注 2) fc; 高周波クロック [Hz] fs; 低周波クロック [Hz] *; Don't care
- 注 3) WDTCR1 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスできません。読み出すと不定値が読み込まれるためです。
- 注 4) STOPモード起動時は、STOPモードに入る直前にウォッチドッグタイマを禁止するか、カウンタをクリアしてください。また、カウンタをクリアした場合、STOPモード解除直後に再度カウンタをクリアしてください。
- 注 5) WDTEN を “1” から “0” に切り替える場合は、誤動作の原因となる場合がありますので「6.2.3 -- ウォッチドッグタイマのディセーブル」に従ってレジスタを設定してください。

ウォッチドッグタイマ制御レジスタ 2



WDTCR2	ウォッチドッグタイマの制御コード書き込み	4EH:	ウォッチドッグタイマの2進カウンタのクリア (クリアコード)	Write only
		B1H:	ウォッチドッグタイマのディセーブル (ディセーブルコード)	
		D2H:	アドレストラップ領域選択有効	
		その他	無効	

- 注 1) ディセーブルコードは、WDTCR1<WDTEN> = “0” のとき以外は書き込み無効です。
- 注 2) *: Don't care
- 注 3) ウォッチドッグタイマの2進カウンタのクリアは割り込みタスクで行わないでください。
- 注 4) クリアコード (4EH) は WDTCR1<WDTT> の設定時間の 3/4 以内に書き込んでください。

6.2.2 ウォッチドッグタイマのイネーブル

ウォッチドッグタイマは、WDTCR1<WDTEN> を “1” にセットするとイネーブルになります。リセット時、WDTCR1<WDTEN> は “1” に初期化されますので、リセット解除後は自動的にイネーブルになります。

6.2.3 ウォッチドッグタイマのディセーブル

ウォッチドッグタイマをディセーブルにするには、以下の順序でレジスタを設定してください。以下の順序以外の方法でレジスタを設定すると、マイコンが誤動作する場合があります。

1. 割り込みマスタ許可フラグ (IMF) を “0” に設定します。
2. WDTCR2 にクリアコード (4EH) を設定します。
3. WDTCR1<WDTEN> を “0” に設定します。
4. WDTCR2 にディセーブルコード (B1H) を設定します。

注) ウォッチドッグタイマのディセーブル中は、ウォッチドッグタイマの2進カウンタはクリアされています。

(プログラム例) ウォッチドッグタイマのディセーブル

```
DI ; IMF ← 0
LD (WDTCR2), 04EH ; 2進カウンタのクリア
LDW (WDTCR1), 0B101H ; WDTEN ← 0, WDTCR2 ← ディセーブルコード
```

表 6-1 ウォッチドッグタイマ検出時間 (例 : fc = 16.0 MHz, fs = 32.768 kHz 時)

WDTT	ウォッチドッグタイマ検出時間 [S]		
	NORMAL 1/2 モード		SLOW モード
	DV7CK = 0	DV7CK = 1	
00	2.097	4	4
01	524.288 m	1	1
10	131.072 m	250 m	250 m
11	32.768 m	62.5 m	62.5 m

6.2.4 ウォッチドッグタイマ割り込み (INTWDT)

WDTCR1<WDTOUT> が “0” のときに 2 進カウンタがオーバーフローすると、ウォッチドッグタイマ割り込み要求 (INTWDT) が発生します。

ウォッチドッグタイマ割り込みはノンマスクابل割り込みですので、割り込みマスタ許可フラグ (IMF) の設定に関係なくならず割り込みは受け付けられます。

また、他の割り込み (ウォッチドッグタイマ割り込みを含む) を受付け中にウォッチドッグタイマ割り込みが発生した場合、先の割り込み処理は保留され、直ちにウォッチドッグタイマ割り込み処理が実行されます。従って RETN 命令が実行されないままウォッチドッグタイマ割り込みが連続して発生すると、過重なネスタイングによりマイコンが誤動作する場合があります。

なお、ウォッチドッグタイマ割り込みを使用する場合は、WDTCR1<WDTOUT> を設定する前にスタックポインタを設定してください。

(プログラム例) ウォッチドッグタイマ割り込みの設定例

```
LD      SP, 083FH          ;SP の設定
LD      (WDTCR1), 00001000B ;WDTOUT ← 0
```

6.2.5 ウォッチドッグタイマリセット

WDTCR1<WDTOUT> が “1” のときに 2 進カウンタがオーバーフローすると、ウォッチドッグタイマのリセット要求が発生します。ウォッチドッグタイマのリセット要求が発生すると、内蔵ハードウェアはリセットされます。リセット時間は、最大 $24/f_c$ [s] ($1.5 \mu\text{s}$ @ $f_c = 16.0 \text{ MHz}$) です。

注) SLOW1 モードでウォッチドッグタイマリセットが発生した場合、高周波クロックが発振を再開するためリセット時間は最大で $24/f_c$ (高周波クロック) となります。ただし、高周波クロックの発振開始時に発振周波数にゆらぎがある場合は、リセット時間は誤差を含むことになり、概略値としてとらえてください。

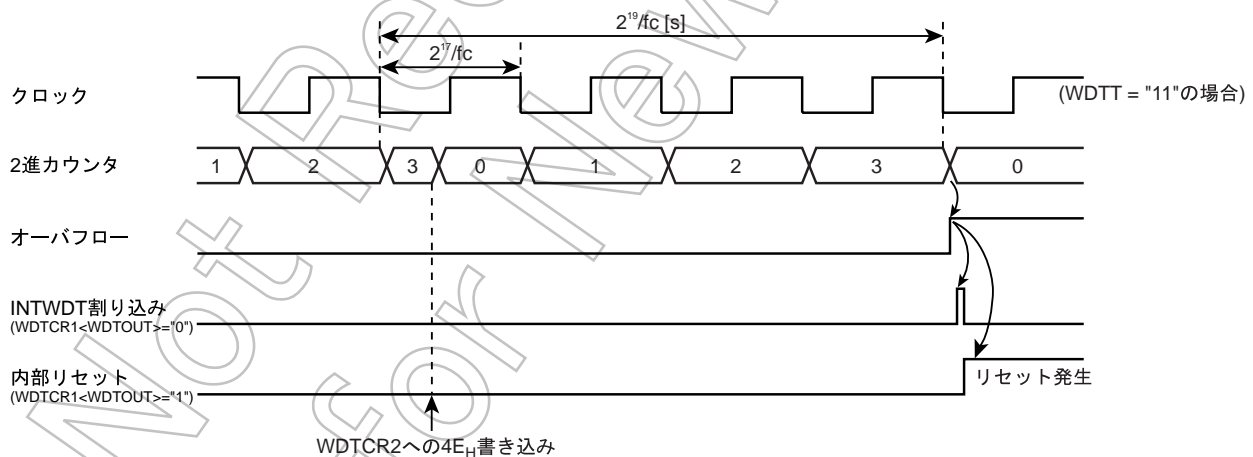


図 6-2 ウォッチドッグタイマ割り込み / リセット

6.3 アドレストラップ

ウォッチドッグタイマ制御レジスタ 1, 2 は、アドレストラップ時の制御用レジスタと兼用となっています。

ウォッチドッグタイマ制御レジスタ 1

WDTCR1 (0034H)	7	6	5	4	3	2	1	0	(初期値: **11 1001)
	—	—	ATAS	ATOUT	(WDTEN)	(WDTT)		(WDTOUT)	

ATAS	内蔵 RAM 領域のアドレストラップ選択	0:	アドレストラップ発生しない	Write only
		1:	アドレストラップ発生する (ATAS の設定後 WDTCR2 に制御コード “D2H” 書き込む必要あり)	
ATOUT	アドレストラップ発生時の動作選択	0:	割り込み要求	Write only
		1:	リセット要求	

ウォッチドッグタイマ制御レジスタ 2

WDTCR2 (0035H)	7	6	5	4	3	2	1	0	(初期値: **** *)

WDTCR2	ウォッチドッグタイマの制御コード書き込み兼 アドレストラップ領域選択の制御コード書き込み	D2H:	アドレストラップ領域選択有効 (ATRAP 設定コード)	Write only
		4EH:	ウォッチドッグタイマの 2 進カウンタのクリア (クリアコード)	
		B1H:	ウォッチドッグタイマのディセーブル (WDT ディセーブルコード)	
		その他:	無効	

6.3.1 内蔵 RAM 領域のアドレストラップ選択 (ATAS)

内蔵 RAM 領域は、WDTCR1<ATAS> によってアドレストラップする / しないを選択することができます。内蔵 RAM 領域で命令を実行する場合、WDTCR1<ATAS> を “0” に設定します。WDTCR1<ATAS> の設定は、WDTCR1 の設定後、WDTCR2 に “D2H” を書き込むことで有効となります。

SFR, DBR 領域内で命令を実行すると、WDTCR1<ATAS> の設定にかかわらず無条件にアドレストラップが発生します。

6.3.2 アドレストラップ発生時の動作選択 (ATOUT)

アドレストラップ発生時は、WDTCR1<ATOUT> によって「割り込み要求」か、「リセット要求」のいずれかを選択することができます。

6.3.3 アドレストラップ割り込み (INTATRAP)

WDTCR1<ATOUT> が “0” の期間、CPU がノイズなどの原因により暴走して内蔵 RAM (WDTCR1<ATAS> = “1” 時のみ)、DBR または SFR 領域から命令をフェッチしようとするアドレストラップ割り込み要求 (INTATRAP) が発生します。

アドレストラップ割り込みはノンマスカブル割り込みですので、割り込みマスタ許可フラグ (IMF) の設定に関係なくかならず割り込みは受け付けられます。

また、他の割り込み (アドレストラップ割り込みを含む) を受付け中にアドレストラップ割り込みが発生した場合、先の割り込み処理は保留され、直ちにアドレストラップ割り込み処理が実行されます。従って RETN 命令が実行されないままアドレストラップ割り込みが連続して発生すると、過重なネスタイングによりマイコンが誤動作する場合があります。

なお、アドレストラップ割り込みを使用する場合は、事前にスタックポインタを設定してください。

6.3.4 アドレストラップリセット

WDTCR1<ATOUT> が “1” の期間、CPU がノイズなどの原因により暴走して内蔵 RAM (WDTCR1<ATAS> = “1” 時のみ)、DBR または SFR 領域から命令をフェッチしようとするアドレストラップリセット要求が発生します。

アドレストラップのリセット要求が発生すると、内蔵ハードウェアはリセットされます。リセット時間は、最大 $24/fc$ [s] ($1.5 \mu\text{s}$ @ $fc = 16.0 \text{ MHz}$) です。

注) SLOW1 モードでアドレストラップリセットが発生した場合、高周波クロックが発振を再開するためリセット時間は最大で $24/fc$ (高周波クロック) となります。ただし、高周波クロックの発振開始時に発振周波数にゆらぎがある場合は、リセット時間は誤差を含むことになり、概略値としてとらえてください。

第7章 タイムベースタイマ (TBT)

タイムベースタイマは、キースキャンやダイナミック表示処理などの基準時間生成用タイマで一定周期ごとにタイムベースタイマ割り込み (INTTBT) を発生することが可能です。

7.1 タイムベースタイマ

7.1.1 構成

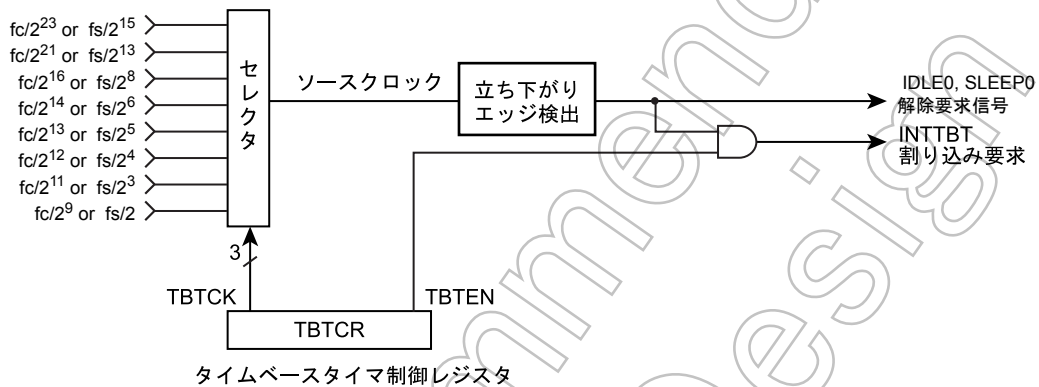


図 7-1 タイムベースタイマの構成

7.1.2 制御

タイムベースタイマは、タイムベースタイマ制御レジスタ (TBTCR) で制御されます。

タイムベースタイマ制御レジスタ

	7	6	5	4	3	2	1	0	
TBTCR (0036H)	(DVOEN)	(DVOCK)	(DV7CK)	TBTEN	TBTCCK				(初期値 : 0000 0000)

TBTCCK	タイムベースタイマの許可 / 禁止	0: ディセーブル 1: イネーブル			R/W
		NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード	
		DV7CK = 0	DV7CK = 1		
000		fc/2 ²³	fs/2 ¹⁵	fs/2 ¹⁵	
001		fc/2 ²¹	fs/2 ¹³	fs/2 ¹³	
010		fc/2 ¹⁶	fs/2 ⁸	—	
011		fc/2 ¹⁴	fs/2 ⁶	—	
100		fc/2 ¹³	fs/2 ⁵	—	
101		fc/2 ¹²	fs/2 ⁴	—	
110		fc/2 ¹¹	fs/2 ³	—	
111		fc/2 ⁹	fs/2	—	

注 1) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz], *: Don't care

注2) 割り込み周波数 (TBTCK) の変更は、タイムベースタイマがディセーブルの状態 (TBTEN="0")で行ってください (イネーブル状態からディセーブルに設定する際も割り込み周波数の設定を変更しないでください)。なお、割り込み周波数の選択とイネーブルを同時に設定することは可能です。

(プログラム例) タイムベースタイマ割り込み周波数を $fc/2^{16}$ [Hz] にセットし、割り込みを許可します。

```
LD      (TBTCR), 00000010B      ; TBTCK ← 010
LD      (TBTCR), 00001010B      ; TBTEN ← 1
DI
SET     (EIRL), 6
```

表 7-1 タイムベースタイマ割り込み周波数 (例 : $fc = 16.0$ MHz, $fs = 32.768$ kHz 時)

TBTCK	タイムベースタイマ割り込み周波数 [Hz]		
	NORMAL1/2, IDLE1/2 モード	NORMAL1/2, IDLE1/2 モード	SLOW1/2, SLEEP1/2 モード
	DV7CK = 0	DV7CK = 1	
000	1.91	1	1
001	7.63	4	4
010	244.14	128	—
011	976.56	512	—
100	1953.13	1024	—
101	3906.25	2048	—
110	7812.5	4096	—
111	31250	16384	—

7.1.3 機能

タイムベースタイマ割り込みは、タイムベースタイマをイネーブルにした後、ソースクロック (タイミングジェネレータのデバイダ出力を TBTCK で選択) の最初の立ち上がりから発生します。

なお、デバイダはプログラムでクリアされませんので、最初の割り込みに限り設定した割り込み周期よりも早く割り込みが発生することがあります (図 7-2 参照)。

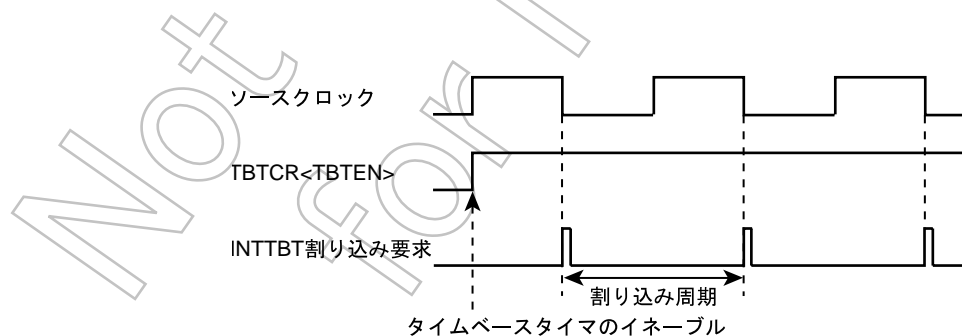


図 7-2 タイムベースタイマ割り込み

7.2 デバイダ出力 (\overline{DVO})

タイミングジェネレータのデバイダによってデューティ約 50% のパルスを出力することができ、圧電ブザーなどの駆動に利用できます。デバイダ出力は、 \overline{DVO} 端子から出力されます。

7.2.1 構成

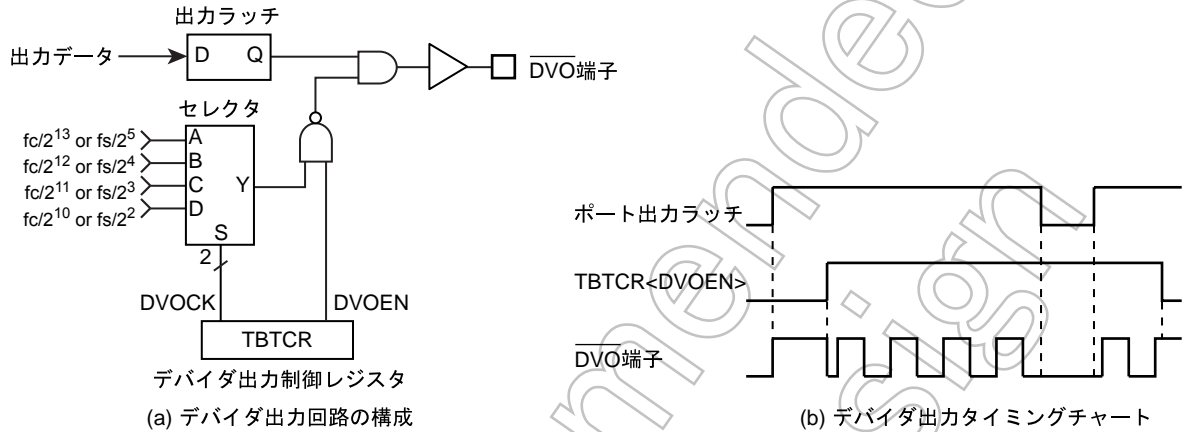


図 7-3 デバイダ出力

7.2.2 制御

デバイダ出力は、タイムベースタイマ制御レジスタで制御されます。

タイムベースタイマ制御レジスタ

	7	6	5	4	3	2	1	0	
TBTCR (0036H)	DVOEN	DVOCK	(DV7CK)	(TBTEN)				(TBTCK)	(初期値: 0000 0000)

DVOEN	デバイダ出力の許可/禁止	0: ディセーブル 1: イネーブル			R/W	
DVOCK	デバイダ出力 (\overline{DVO} 端子) の周波数選択 単位: [Hz]		NORMAL1/2, IDLE1/2 モード		R/W	
			DV7CK = 0	DV7CK = 1		SLOW1/2, SLEEP1/2 モード
		00	$fc/2^{13}$	$fs/2^5$		$fs/2^5$
		01	$fc/2^{12}$	$fs/2^4$		$fs/2^4$
		10	$fc/2^{11}$	$fs/2^3$		$fs/2^3$
		11	$fc/2^{10}$	$fs/2^2$	$fs/2^2$	

注) デバイダ出力の周波数選択 (DVOCK) の変更は、デバイダ出力が禁止の状態 (DVOEN="0")で行ってください。許可状態 (DVOEN="1") から禁止状態 (DVOEN="0") に設定する際もデバイダ出力周波数の設定を変更しないでください。

(プログラム例) 1.95 kHz のパルスを出力 ($f_c = 16.0$ MHz)

```

          ポートを設定
LD      (TBTCR), 00000000B      ; DVOCK ← "00"
LD      (TBTCR), 10000000B      ; DVOEN ← "1"

```

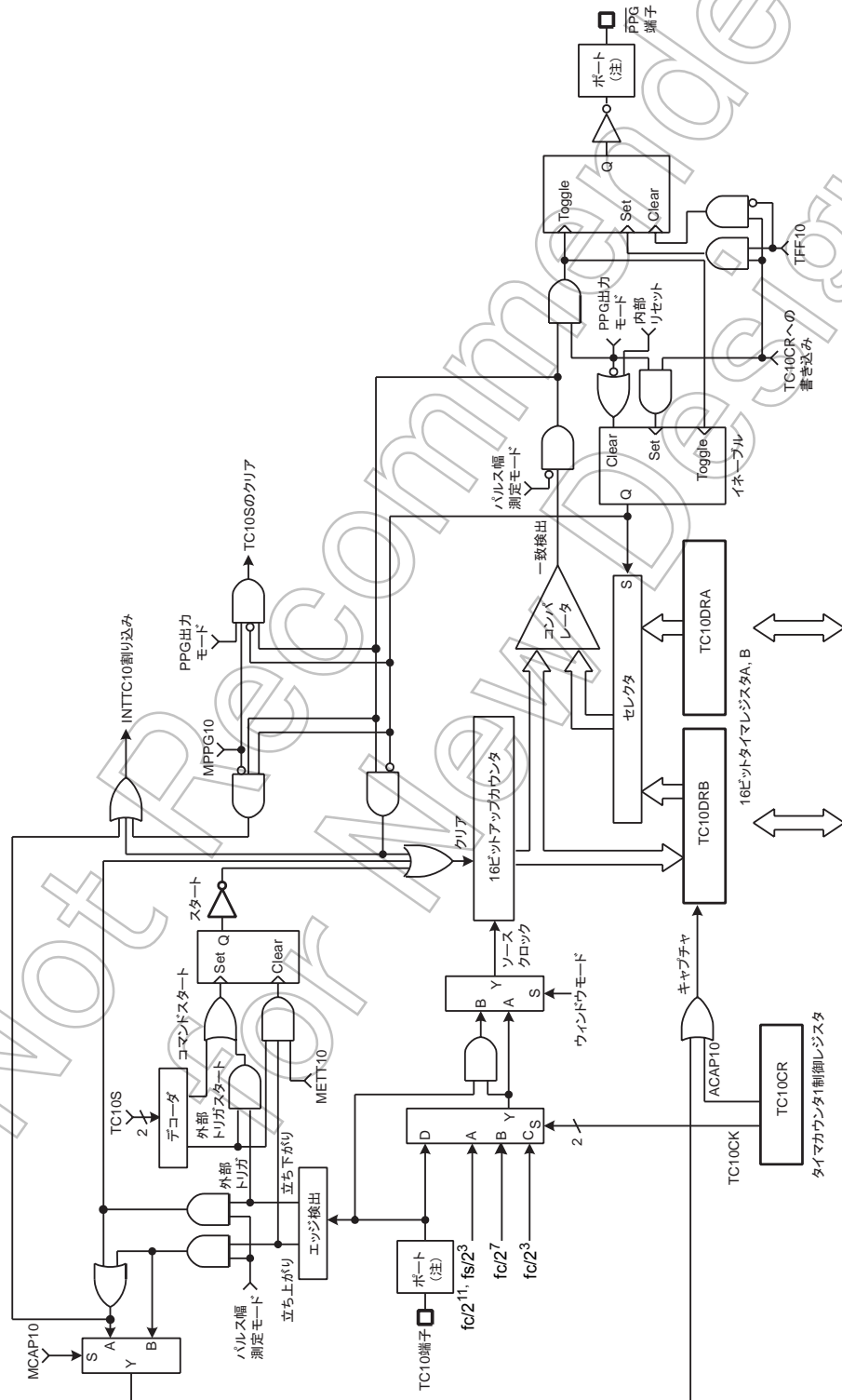
表 7-2 デバイダ出力の周波数 (例 : $f_c = 16.0$ MHz, $f_s = 32.768$ kHz 時)

DVOCK	デバイダ出力の周波数 [Hz]		
	NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード
	DV7CK = 0	DV7CK = 1	
00	1.953 k	1.024 k	1.024 k
01	3.906 k	2.048 k	2.048 k
10	7.813 k	4.096 k	4.096 k
11	15.625 k	8.192 k	8.192 k

第 8 章 16 ビットタイマカウンタ (TC10,TC11)

8.1 16 ビットタイマカウンタ 10(TC10)

8.1.1 構成



注) I/Oポートの設定によっては、制御入出力が機能しないことがありますので、詳しくはI/Oポートの章を参照してください。

図 8-1 タイマカウンタ 10(TC10)

8.1.2 制御

タイマカウンタ 10 は、タイマカウンタ 10 制御レジスタ (TC10CR) と 2 本の 16 ビットタイマレジスタ (TC10DRA/TC10DRB) で制御されます。

タイマレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TC10DRA (0011H, 0010H)	TC10DRAH (0011H) (初期値: 1111 1111 1111 1111)								TC10DRAL (0010H) Read/Write							
TC10DRB (0013H, 0012H)	TC10DRBH (0013H) (初期値: 1111 1111 1111 1111)								TC10DRBL (0012H) Read/Write (PPG 出力モード時のみ Write 可)							

タイマカウンタ 1 制御レジスタ

	7	6	5	4	3	2	1	0
TC10CR (0014H)	TFF10	ACAP10 MCAP10 METT10 MPPG10	TC10S	TC10CK	TC10M	Read/Write (初期値: 0000 0000)		

TFF10	タイマ F/F10 制御	0: クリア	1: セット	R/W					
ACAP10	自動キャプチャ制御	0: 自動キャプチャディセーブル	1: 自動キャプチャイネーブル	R/W					
MCAP10	パルス幅測定モード制御	0: 両エッジキャプチャ	1: 片エッジキャプチャ						
METT10	外部トリガタイマモード制御	0: トリガスタート	1: トリガスタート & ストップ						
MPPG10	PPG 出力制御	0: 連続	1: 単発						
TC10S	タイマカウンタ 10 の スタート制御		タイマ	外部	イベ ント	ウイン ドウ	パルス	PPG	R/W
		00: ストップ & カウンタクリア	○	○	○	○	○	○	
		01: コマンドスタート	○	-	-	-	-	○	
		10: 立ち上がりエッジスタート (外部トリガ / パルス / PPG) 立ち上がりエッジカウント (イベント) 正論理カウント (ウィンドウ)	-	○	○	○	○	○	
11: 立ち下がりエッジスタート (外部トリガ / パルス / PPG) 立ち下がりエッジカウント (イベント) 負論理カウント (ウィンドウ)	-	○	○	○	○	○			
TC10CK	タイマカウンタ 10 の ソースクロックの選択 単位: [Hz]	NORMAL 1/2, IDLE 1/2 モード		デバイダ	SLOW, SLEEP モード	R/W			
		DV7CK = 0	DV7CK = 1						
		00	$fc/2^{11}$	$fs/2^3$	DV9		$fs/2^3$		
		01	$fc/2^7$	$fc/2^7$	DV5		-		
10	$fc/2^3$	$fc/2^3$	DV1	-					
11	外部クロック (TC10 端子入力)								
TC10M	タイマカウンタ 10 の 動作モードの選択	00: タイマ / 外部トリガタイマ / イベントカウンタモード 01: ウィンドウモード 10: パルス幅測定モード 11: PPG (プログラマブルパルスジェネレート) 出力モード					R/W		

注 1) fc: 高周波クロック [Hz]、fs: 低周波クロック [Hz]

注 2) タイマレジスタはシフトレジスタ (2 段) 構成で、タイマレジスタの設定値は上位データ (TC10DRAH, TC10DRBH) へ書き込んだ後、次のソースクロックの立ち上がりで有効となります。従ってタイマレジスタは、下位バイト、上位バイトの順で連続して書き込んでください (16 ビットアクセス命令による書き込みを推奨します)。下位データ (TC10DRAL, TC10DRBL) のみ書き込みを行っても設定は有効になりません。

- 注 3) モード、ソースクロック、PPG 出力制御、タイマ F/F10 制御は、停止 (TC10S = 00) 状態で設定してください。また、タイマ F/F1 制御は、PPG モードに設定変更後の最初のタイマスタートまでに設定してください。
- 注 4) 自動キャプチャは、タイマ、イベントカウンタ、ウィンドウモードでのみ使用可能です。
- 注 5) タイマレジスタへの設定値は、次の条件を満たす必要があります。
TC10DRA > TC10DRB > 1 (PPG 出力モード)、TC10DRA > 1 (PPG 出力モード以外)
- 注 6) PPG 出力モード以外の動作モードでは TFF10 を "0" に設定してください。
- 注 7) TC10DRB は、TC10M を PPG 出力モードに変更した後に設定してください。
- 注 8) STOP モードを起動するとスタート制御 (TC10S) は自動的に "00" にクリアされ、タイマは停止します。STOP モード解除後、タイマカウンタを使用する場合は、TC10S を再設定してください。
- 注 9) 自動キャプチャ機能はタイマ動作状態で使用してください。タイマ停止時および自動キャプチャディセーブル時のキャプチャ値 (TC10DRB レジスタ値) は不定となります。キャプチャ値の読み出しはキャプチャイネーブル状態で行ってください。
- 注 10) キャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック 1 周期以上の時間が経過した後に行ってください。

8.1.3 機能

タイマカウンタ 10 には、タイマ、外部トリガタイマ、イベントカウンタ、ウィンドウ、パルス幅測定、プログラマブルパルスジェネレート出力の 6 つの動作モードがあります。

8.1.3.1 タイマモード

タイマモードは、内部クロックでカウントアップするモードです。アップカウンタの値とタイマレジスタ 10A (TC10DRA) の設定値が一致すると INTTC10 割り込み要求が発生し、アップカウンタがクリアされます。アップカウンタのクリア後もカウントアップを継続します。なお、TC10CR<ACAP10> を "1" にセットすることで、そのときのアップカウンタの内容をタイマレジスタ 10B (TC10DRB) に取り込むことができます (自動キャプチャ機能)。自動キャプチャ機能はタイマ動作状態で使用してください。タイマ停止時および自動キャプチャディセーブル時のキャプチャ値 (TC10DRB レジスタ値) は不定となります。キャプチャ値読み出しはキャプチャイネーブル状態で行ってください。またキャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック 1 周期以上の時間が経過した後に行ってください。

表 8-1 タイマカウンタ 1 の内部ソースクロック (例: $f_c = 16 \text{ MHz}$, $f_s = 32.768 \text{ kHz}$ 時)

TC10CK	NORMAL1/2, IDLE1/2 モード				SLOW, SLEEP モード	
	DV7CK = 0		DV7CK = 1		分解能 [μs]	最大設定 時間 [s]
	分解能 [μs]	最大設定 時間 [s]	分解能 [μs]	最大設定 時間 [s]		
00	128	8.39	244.14	16.0	244.14	16.0
01	8.0	0.524	8.0	0.524	-	-
10	0.5	32.77 m	0.5	32.77 m	-	-

(プログラム例 1) ソースクロック $f_c/2^{11}$ [Hz] でタイマモードにセットし、1 [s] 後に割り込みを発生させる。($f_c = 16$ MHz, $TBTCR<DV7CK> = "0"$ 時)

```
LDW      (TC10DRA), 1E84H      ; タイマレジスタの設定 (1 s ÷ 211/fc = 1E84H)
DI       ; IMF="0"
SET      (EIRL), 7           ; INTTC10 割り込みを許可
EI       ; IMF="1"
LD       (TC10CR), 00000000B  ; ソースクロック, モード選択
LD       (TC10CR), 00010000B  ; TC10 スタート
```

(プログラム例 2) 自動キャプチャ

```
LD       (TC10CR), 01010000B  ; ACAP10 ← 1
:       :
LD       WA, (TC10DRB)        ; キャプチャ値の読み出し
```

注) キャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック 1 周期以上の時間が経過した後に行ってください。

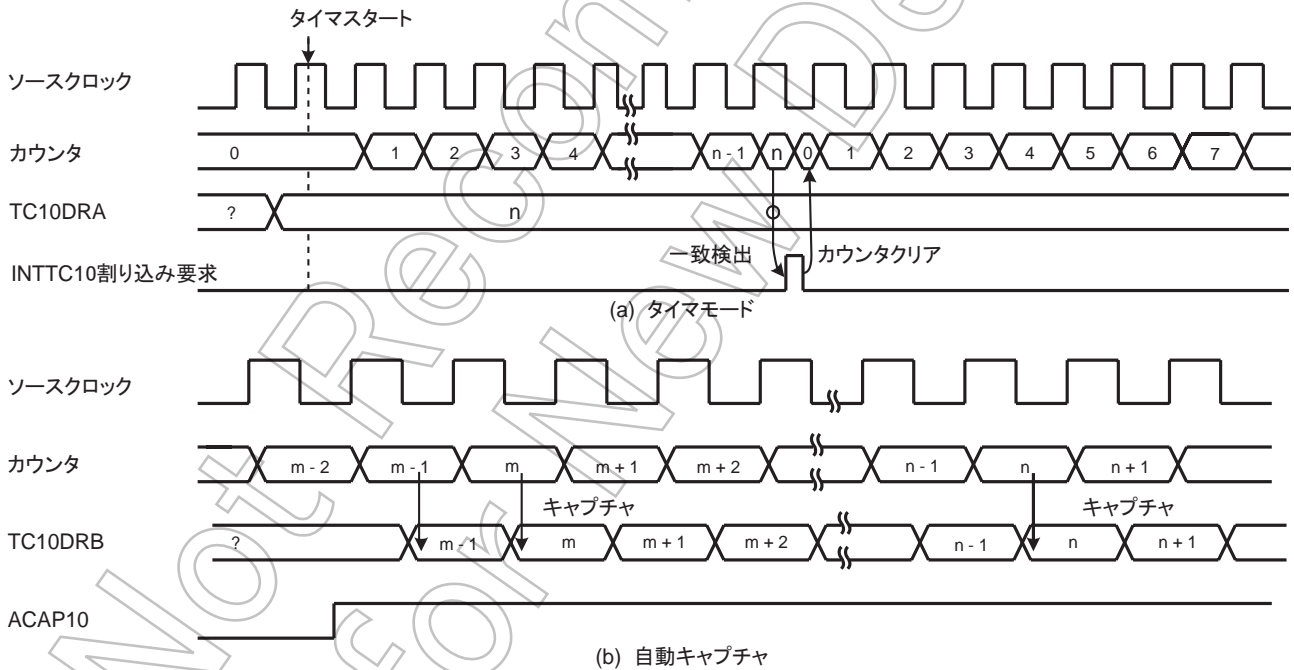


図 8-2 タイマモードタイミングチャート

8.1.3.2 外部トリガタイマモード

外部トリガタイマモードは、TC10 端子の入力パルスをトリガにしてカウントをスタートし、内部クロックでカウントアップするモードです。カウントスタート用のトリガのエッジは、TC10CR<TC10S> によって、立ち上がりエッジ、または立ち下がりエッジのいずれかを選択することができます。

- TC10CR<METT10> が “1” (トリガスタート & ストップ) の場合

タイマスタート後、アップカウンタの値と TC10DRA の設定値が一致すると、アップカウンタはクリアされて停止し、INTTC10 割り込み要求が発生します。

ただしアップカウンタの値と TC10DRA の設定値が一致する前に、カウントスタート用のトリガのエッジと逆方向のエッジを検出するとアップカウンタはクリアされて停止しますが、INTTC10 割り込み要求は発生しません。従ってこのモードを使用すると、一定以上のパルス幅が入力されたことを割り込みで検出することができます。

なお、アップカウンタが停止した後、カウントスタート用のトリガのエッジを検出するとカウントアップを再開します。

- TC10CR<METT10> が “0” (トリガスタート) の場合

タイマスタート後、アップカウンタの値と TC10DRA の設定値が一致すると、アップカウンタはクリアされて停止し、INTTC10 割り込み要求が発生します。

カウントスタート用のトリガのエッジと逆方向のエッジは意味を持ちません。

アップカウンタの値と TC10 DRA の設定値が一致する前に、次のカウントスタート用のトリガのエッジを入力しても無視されます。

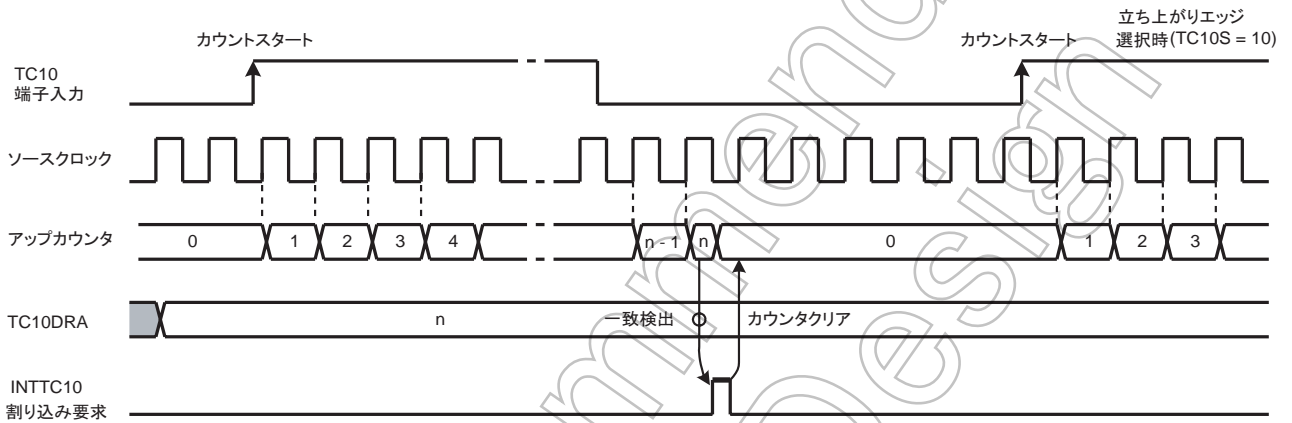
なお、TC10 端子入力にはノイズ除去回路が付いていますので、NORMAL1/2 または IDLE1/2 モード時 $4/fc$ [s] 以下のパルスは、ノイズとして除去されます。確実にエッジ検出が行われるためには、 $12/fc$ [s] 以上のパルス幅が必要です。また、SLOW1/2、または SLEEP1/2 モード時、ノイズ除去回路はオフしますが 1マシサイクル以上のパルス幅が必要です。

(プログラム例 1) TC10 端子入力の立ち上がりエッジから 1ms 後に割り込みを発生させる。
($fc = 16$ MHz 時)

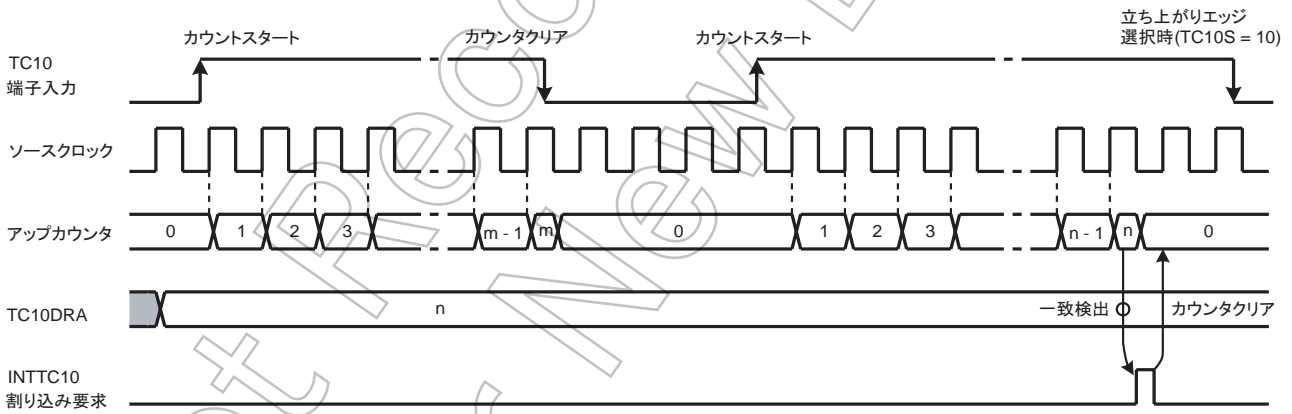
```
LDW      (TC10DRA), 007DH      ; 1ms ÷ 27/fc = 7DH
DI       ; IMF= "0"
SET      (EIRL), 7             ; INTTC10 割り込み許可
EI       ; IMF= "1"
LD       (TC10CR), 00000100B   ; ソースクロック, モード選択
LD       (TC10CR), 00100100B   ; TC10 外部トリガスタート, METT10 = 0
```

(プログラム例 2) TC10 端子に“L”レベル幅 4 ms 以上のパルスが入力されたら割り込みを発生させる。(fc = 16 MHz 時)

LDW	(TC10DRA), 01F4H	; 4 ms ÷ 2 ⁷ /fc = 1F4H
DI		; IMF=“0”
SET	(EIRL). 7	; INTTC10 割り込み許可
EI		; IMF=“1”
LD	(TC10CR), 00000100B	; ソースクロック, モード選択
LD	(TC10CR), 01110100B	; TC10 外部トリガスタート, METT10 = 1



(a) トリガスタート (METT10 = 0)



(b) トリガスタート&ストップ (METT10 = 1)

注) m < n

図 8-3 外部トリガタイマモードタイミングチャート

8.1.3.3 イベントカウンタモード

イベントカウンタモードは、TC10 端子の入力パルスのエッジでカウントアップするモードです。カウントアップのエッジは、TC10CR<TC10S> によって、立ち上がりエッジ、または立ち下がりエッジのいずれかを選択することができます。

アップカウンタの値と TC10DRA の設定値が一致すると INTTC10 割り込み要求が発生し、アップカウンタはクリアされます。アップカウンタのクリア後も TC10 端子入力のエッジごとにカウントアップを継続します。なお、一致検出は選択されたエッジとは逆側のエッジにて行われますので、INTTC10 割り込み要求は、アップカウンタと TC10DRA が同値になった後、選択されたエッジと逆側のエッジで発生します。

TC10 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクル以上のパルス幅が必要です。

また、TC10CR<ACAP10> を “1” にセットすることにより、カウンタの内容を TC10DRB に取り込むことができます (自動キャプチャ機能)。自動キャプチャ機能はタイマ動作状態で使用してください。タイマ停止時および自動キャプチャディセーブル時のキャプチャ値 (TC10DRB レジスタ値) は不定となります。キャプチャ値読み出しはキャプチャイネーブル状態で行ってください。またキャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック 1 周期以上の時間が経過した後に行ってください。

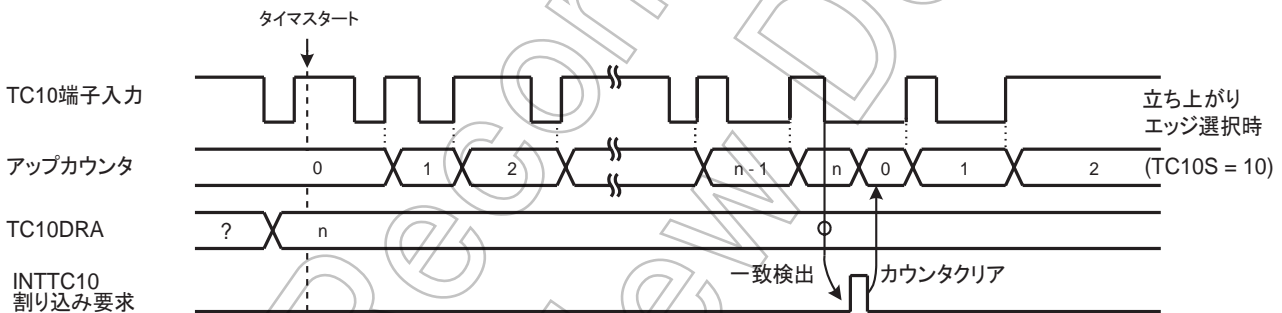


図 8-4 イベントカウンタモード タイミングチャート

表 8-2 タイマカウンタ 10 端子への入力パルス幅

	最小パルス幅 [s]	
	NORMAL1/2, IDLE1/2 モード	SLOW1/2, SLEEP1/2 モード
“H” 幅	$2^3/f_c$	$2^3/f_s$
“L” 幅	$2^3/f_c$	$2^3/f_s$

8.1.3.4 ウィンドウモード

ウィンドウモードは、TC10 端子入力 (ウィンドウパルス) と内部ソースクロックとの論理積パルスの立ち上がりエッジでカウントアップするタイマモードです。ウィンドウパルスは、TC10CR<TC10S>によって正論理(Hレベルの期間カウントアップ)または負論理(Lレベルの期間カウントアップ)の選択をで行うことができます。

アップカウンタの値とTC10DRAの設定値が一致するとINTTC10割り込み要求が発生し、アップカウンタはクリアされます。

なお、ウィンドウパルスは、TC10CR<TC10CK>で設定した内部クロックよりも十分遅い周波数を入力してください。

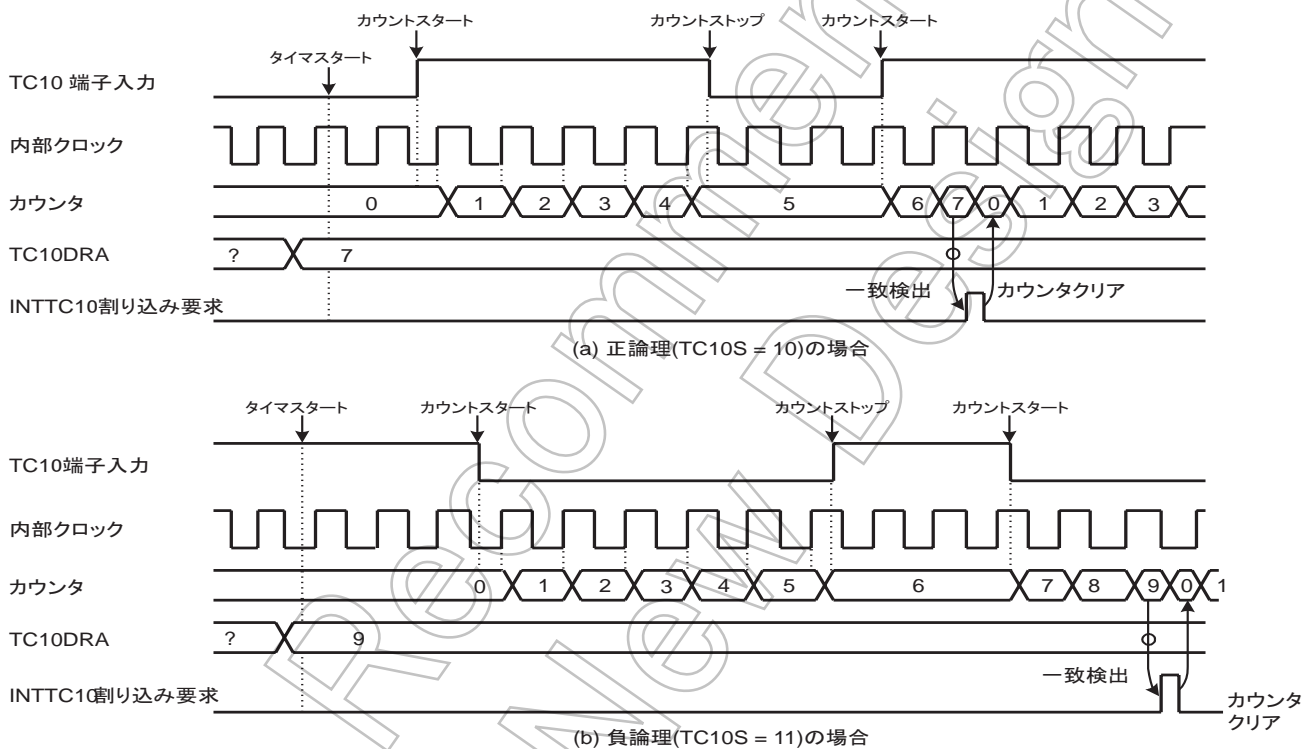


図 8-5 ウィンドウモード タイミングチャート

8.1.3.5 パルス幅測定モード

パルス幅測定モードは、TC10 端子の入力パルスをトリガにしてカウントをスタートし、入力パルス幅を内部クロックで測定するモードです。カウントスタート用のトリガのエッジは、TC10CR<TC10S> によって、立ち上がりエッジ、または立ち下がりエッジのいずれかを選択することができます。またキャプチャを行うエッジは、TC10CR<MCAP10> によって、片エッジまたは両エッジのいずれかを選択することができます。

- TC10CR<MCAP10>= “1” (片エッジキャプチャ) の場合

H レベルまたはLレベルのいずれか一方の入力パルス幅を測定することができます。H レベルの入力パルス幅を測定する場合は TC10CR<TC10S> を立ち上がりエッジに、L レベルの入力パルス幅を測定する場合は TC10CR<TC10S> を立ち下がりエッジに設定してください。

タイマスタート後、カウントスタート用のトリガのエッジと逆方向のエッジを検出すると、アップカウンタの内容を TC10DRB に取り込み、INTTC10 割り込み要求を発生します。このときアップカウンタはクリアされます。その後カウントスタート用のトリガのエッジを検出するとアップカウンタはカウントアップを再開します。

- TC10CR<MCAP10>= “0” (両エッジキャプチャ) の場合

H レベルと周期、またはLレベルと周期のいずれかの入力パルス幅を測定することができます。H レベルと周期を測定する場合は TC10CR<TC10S> を立ち上がりエッジに、L レベルと周期を測定する場合は TC10CR<TC10S> を立ち下がりエッジに設定してください。

タイマスタート後、カウントスタート用のトリガのエッジと逆方向のエッジを検出すると、アップカウンタの内容を TC10DRB に取り込み、INTTC10 割り込み要求を発生します。アップカウンタはカウントアップを継続し、その後カウントスタート用のトリガのエッジを検出すると、アップカウンタの内容を TC10DRB に取り込み、INTTC10 割り込み要求を発生します。このときアップカウンタはクリアされた後、カウントアップを継続します。

注1) キャプチャ値は、次のトリガエッジが検出されるまでに TC10DRB から必ず読み出してください。読み出しを行わない場合、キャプチャ値は不定となります。このとき TC10DRB は、16 ビットアクセス命令による読み出しを推奨します。

注2) 片エッジキャプチャ時、キャプチャ後のカウンタは次のエッジを検出するまで “1” で停止するため、2 回目のキャプチャ値は、スタート直後のキャプチャ値よりも “1” 大きくなります。

注3) タイマスタート後の最初のキャプチャ値は不定となりますので、タイマスタート後の1回目のキャプチャ値は読み捨ててください。

(プログラム例) デューティの測定。(分解能 $fc/2^7$ [Hz] 時)

```

CLR      (INTTC10SW). 0      ; INTTC10 のサービススイッチの初期設定 (INTTC1SW):
                                INTTC10 ごとに反転するように設定したアドレス

LD       (TC10CR), 00000110B ; TC10 のモード, ソースクロックを設定

DI       ; IMF= "0"

SET     (EIRL). 7           ; INTTC10 割り込みを許可。

EI       ; IMF= "1"

LD       (TC10CR), 00100110B ; MCAP10 = 0 で TC10 を外部トリガスタート。
:

PINTTC1: CPL      (INTTC10SW). 0 ; INTTC10 割り込み, INTTC10 のサービススイッチの
                                反転 / テスト

JRS     F, SINTTC1

LD      A, (TC10DRBL)        ; TC10DRB の読み出し ("H" レベルパルス幅)

LD      W,(TC10DRBH)

LD      (HPULSE), WA        ; "H" レベルパルス幅を RAM に格納

RETI

SINTTC1: LD      A, (TC10DRBL) ; TC10DRB の読み出し (周期)

LD      W,(TC10DRBH)

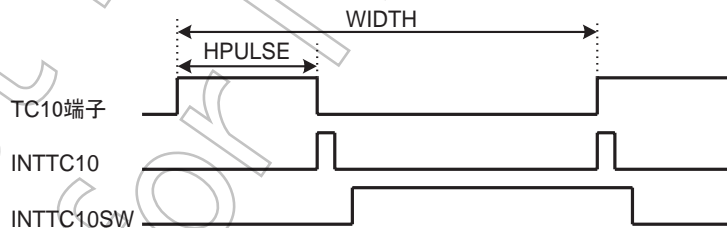
LD      (WIDTH), WA        ; 周期を RAM に格納

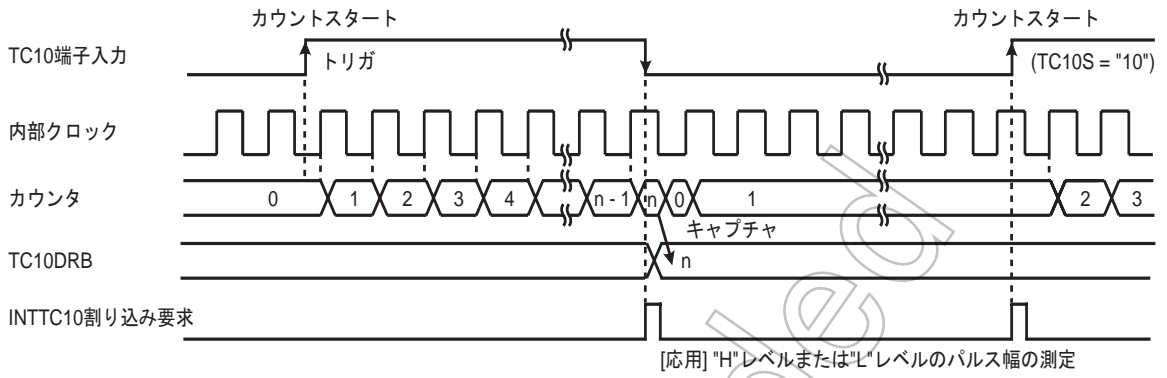
:

RETI    ; デューティ計算

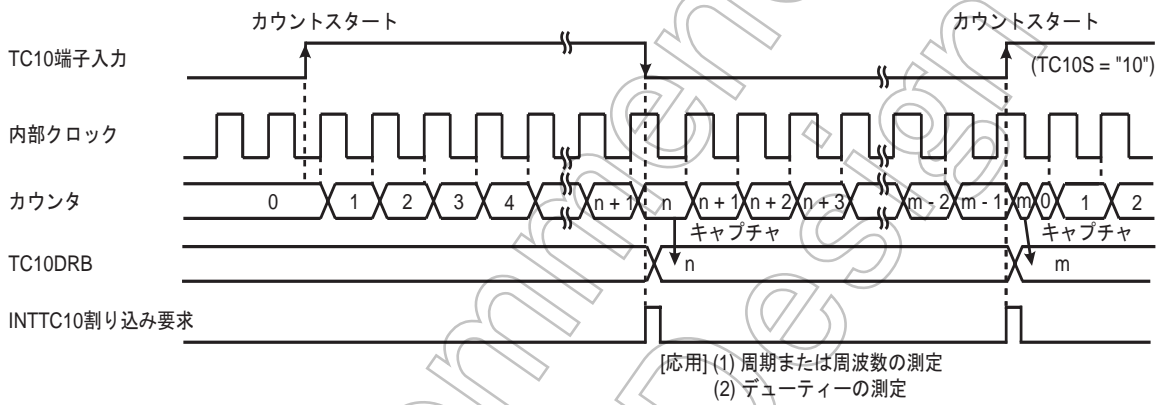
:

VINTTC1: DW      PINTTC1     ; INTTC10 割り込みベクタ設定
    
```





(a) 片エッジキャプチャ (MCAP10 = "1")



(b) 両エッジキャプチャ (MCAP10 = "0")

図 8-6 パルス幅測定モード

8.1.3.6 プログラマブルパルスジェネレータ (PPG) 出力モード

PPG 出力モードは、内部クロックのカウンタによって任意のデューティパルスを出力するモードです。タイマのスタートは、TC10CR<TC10S> によって TC10 端子の入力パルスのエッジ、またはコマンドスタートを選択することができます。また TC10CR<MPPG10> によって PPG を連続して出力するか単発で出力するかを選択することができます。

- TC10CR<MPPG10>="0"(連続)の場合

タイマスタート後、アップカウンタの値と TC10DRB の設定値が一致すると $\overline{\text{PPG}}$ 端子のレベルが反転し、INTTC10 割り込み要求が発生します。アップカウンタは、その後もカウントアップを継続し、アップカウンタの値と TC10DRA の設定値が一致すると PPG 端子のレベルが反転し、INTTC10 割り込み要求が発生します。このときアップカウンタはクリアされ、カウント動作および PPG 出力を継続します。

なお、PPG 出力中に TC10S を "00" に設定すると、 $\overline{\text{PPG}}$ 端子は停止直前のレベルを保持します。

- TC10CR<MPPG10>="1"(単発)の場合

タイマスタート後、アップカウンタの値と TC10DRB の設定値が一致すると $\overline{\text{PPG}}$ 端子のレベルが反転し、INTTC10 割り込み要求が発生します。アップカウンタは、その後もカウントアップを継続し、アップカウンタの値と TC10DRA の設定値が一致すると PPG 端子のレベルが反転し、INTTC10 割り込み要求が発生します。このとき TC10CR<TC10S> は自動的に "00" にクリアされ、タイマは停止します。PPG 出力はタイマが停止したときのレベルを保持します。

タイマスタート時、 $\overline{\text{PPG}}$ 端子は TC10CR<TFF10> によって出力レベルを設定することができますので、正論理 / 負論理いずれのパルスも出力することが可能です。なお、PPG 端子は、タイマ F/F10 出力の反転レベルが出力されますので、PPG 端子を H レベルに設定する場合は TC10CR<TFF10> を "0" に、L レベルに設定する場合は TC10CR<TFF10> を "1" に設定してください。リセット時、タイマ F/F10 は "0" に初期化されます。

注 1) タイマ動作中に TC10DRA、TC10DRB を変更する場合、カウンタのカウント値より十分大きな値を設定してください。タイマ動作中にカウンタのカウント値よりも小さな値をタイマレジスタに設定すると、設定値と異なるパルスが出力されることがあります。

注 2) TC10CR<TFF10> はタイマ動作中に変更しないでください。TC10CR<TFF10> は、初期設定時 (リセット後) のみ正しく設定できます。PPG 出力中にタイマを停止したとき、停止直前の PPG 出力レベルがタイマスタート時の PPG 出力レベルと逆相の場合、それ以降 TC10CR<TFF10> は正しく設定することができなくなります (このとき TC10CR<TFF10> を設定すると、タイマ F/F10 には設定値の逆相レベルが設定されます)。従ってタイマ停止後、PPG 出力を確実に任意のレベルにするにはタイマ F/F10 を初期化する必要があります。初期化するには TC10CR<TC10M> を一度タイマモードに変更し (タイマモードをスタートさせる必要はありません)、再度 PPG 出力モードに設定してください。このとき、同時に TC10CR<TFF10> を設定してください。

注 3) PPG 出力モード時、タイマレジスタへの設定値は以下の条件を満たす必要があります。
TC10DRA > TC10DRB

注 4) TC10DRB は、TC10M を PPG 出力モードに変更した後に設定してください。

(プログラム例) “H” レベル 800 μ s, “L” レベル 200 μ s のパルスを出力。(fc = 16 MHz 時)

ポートを設定する

```
LD      (TC10CR), 10000111B    ; PPG 出力モードに設定, ソースクロック選択
LDW    (TC10DRA), 007DH      ; 周期の設定 (1 ms  $\div$  27/fc  $\mu$ s = 007DH)
LDW    (TC10DRB), 0019H     ; “L” レベルパルス幅の設定 (200  $\mu$ s  $\div$  27/fc = 0019H)
LD      (TC10CR), 10010111B   ; タイマスタート
```

(プログラム例) PPG 出力を停止後、PPG 端子を H レベルに設定し PPG 出力を再度スタート (fc = 16 MHz 時)

ポートを設定する

```
LD      (TC10CR), 10000111B    ; PPG 出力モードに設定, ソースクロック選択
LDW    (TC10DRA), 007DH      ; 周期の設定 (1 ms  $\div$  27/fc  $\mu$ s = 007DH)
LDW    (TC10DRB), 0019H     ; “L” レベルパルス幅の設定 (200  $\mu$ s  $\div$  27/fc = 0019H)
LD      (TC10CR), 10010111B   ; タイマスタート
:      :
LD      (TC10CR), 10000111B    ; タイマストップ
LD      (TC10CR), 10000100B    ; タイマモードに設定
LD      (TC10CR), 00000111B    ; PPG 出力モード、TFF10=0 に設定
LD      (TC10CR), 00010111B    ; タイマスタート
```

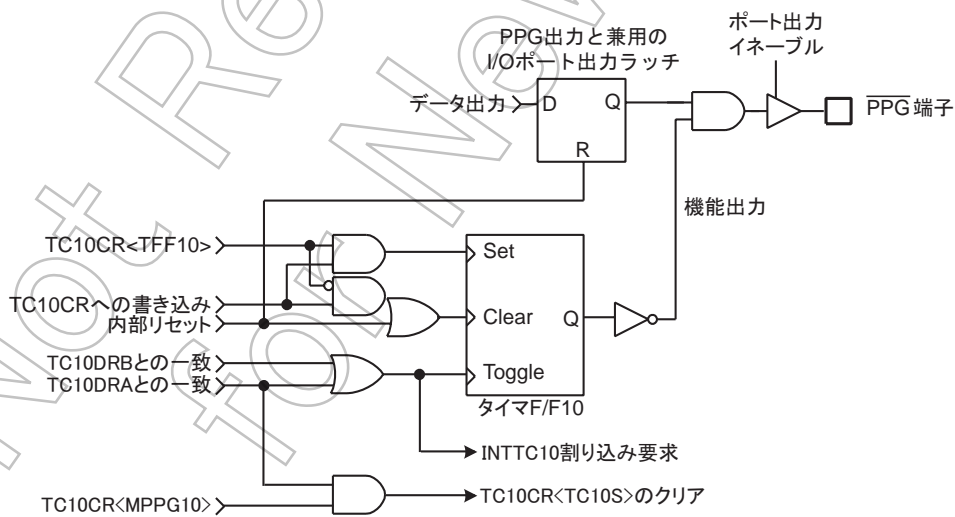


図 8-7 PPG 出力

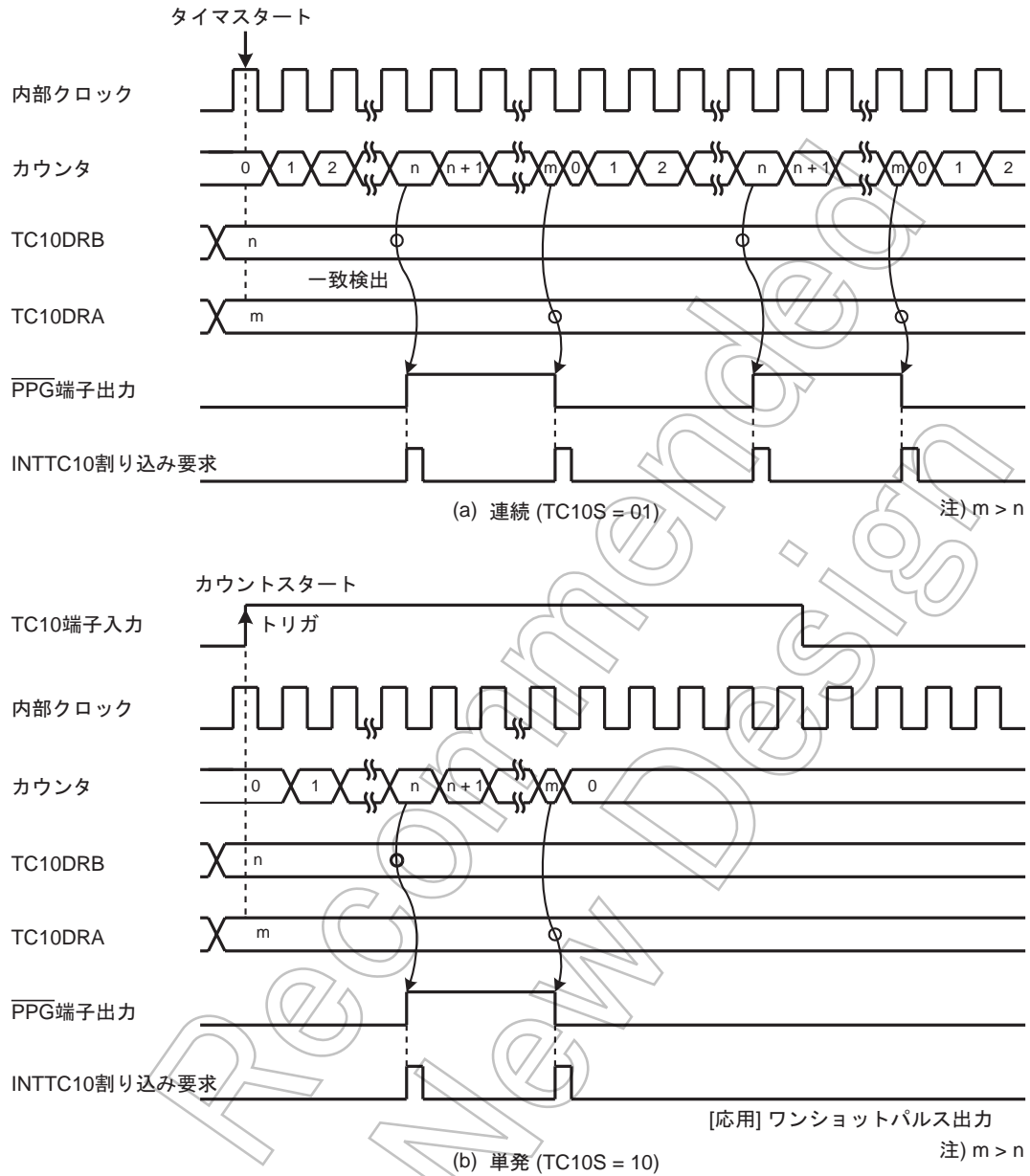
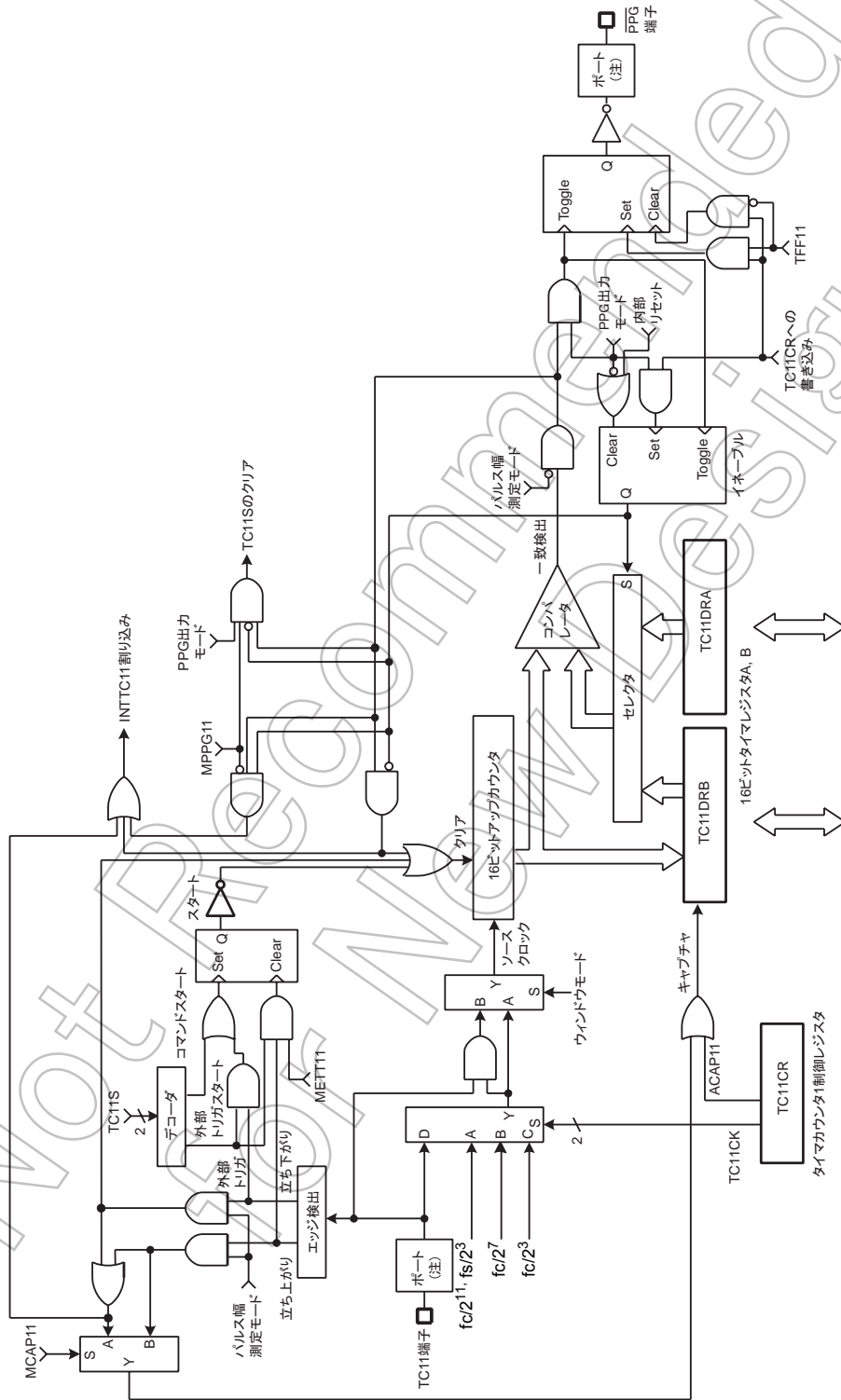


図 8-8 PPG 出力モード タイミングチャート

8.2 16ビットタイマカウンタ 11(TC11)

8.2.1 構成



注) I/Oポートの設定によっては、制御出力が機能しないことがありますので、詳しくはI/Oポートの章を参照してください。

図 8-9 タイマカウンタ 11(TC11)

- 注 3) モード、ソースクロック、PPG 出力制御、タイマ F/F1 制御は、停止 (TC11S = 00) 状態で設定してください。また、タイマ F/F1 制御は、PPG モードに設定変更後の最初のタイマスタートまでに設定してください。
- 注 4) 自動キャプチャは、タイマ、イベントカウンタ、ウィンドウモードでのみ使用可能です。
- 注 5) タイマレジスタへの設定値は、次の条件を満たす必要があります。
TC11DRA > TC11DRB > 1 (PPG 出力モード)、TC11DRA > 1 (PPG 出力モード以外)
- 注 6) PPG 出力モード以外の動作モードでは TFF11 を "0" に設定してください。
- 注 7) TC11DRB は、TC11M を PPG 出力モードに変更した後に設定してください。
- 注 8) STOP モードを起動するとスタート制御 (TC11S) は自動的に "00" にクリアされ、タイマは停止します。STOP モード解除後、タイマカウンタを使用する場合は、TC11S を再設定してください。
- 注 9) 自動キャプチャ機能はタイマ動作状態で使用してください。タイマ停止時および自動キャプチャディセーブル時のキャプチャ値 (TC11DRB レジスタ値) は不定となります。キャプチャ値の読み出しはキャプチャイネーブル状態で行ってください。
- 注 10) キャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック 1 周期以上の時間が経過した後に行ってください。

8.2.3 機能

タイマカウンタ 11 には、タイマ、外部トリガタイマ、イベントカウンタ、ウィンドウ、パルス幅測定、プログラマブルパルスジェネレート出力の 6 つの動作モードがあります。

8.2.3.1 タイマモード

タイマモードは、内部クロックでカウントアップするモードです。アップカウンタの値とタイマレジスタ 11A (TC11DRA) の設定値が一致すると INTTC11 割り込み要求が発生し、アップカウンタがクリアされます。アップカウンタのクリア後もカウントアップを継続します。なお、TC11CR<ACAP11> を "1" にセットすることで、そのときのアップカウンタの内容をタイマレジスタ 11B (TC11DRB) に取り込むことができます (自動キャプチャ機能)。自動キャプチャ機能はタイマ動作状態で使用してください。タイマ停止時および自動キャプチャディセーブル時のキャプチャ値 (TC11DRB レジスタ値) は不定となります。キャプチャ値読み出しはキャプチャイネーブル状態で行ってください。またキャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック 1 周期以上の時間が経過した後に行ってください。

表 8-3 タイマカウンタ 11 の内部ソースクロック (例: $f_c = 16 \text{ MHz}$, $f_s = 32.768 \text{ kHz}$ 時)

TC11CK	NORMAL1/2, IDLE1/2 モード				SLOW, SLEEP モード	
	DV7CK = 0		DV7CK = 1		分解能 [μs]	最大設定 時間 [s]
	分解能 [μs]	最大設定 時間 [s]	分解能 [μs]	最大設定 時間 [s]		
00	128	8.39	244.14	16.0	244.14	16.0
01	8.0	0.524	8.0	0.524	-	-
10	0.5	32.77 m	0.5	32.77 m	-	-

(プログラム例 1) ソースクロック $f_c/2^{11}$ [Hz] でタイマモードにセットし、1 [s] 後に割り込みを発生させる。($f_c = 16$ MHz, $TBTCR<DV7CK> = "0"$ 時)

```
LDW      (TC11DRA), 1E84H      ; タイマレジスタの設定 (1 s ÷ 211/fc = 1E84H)
DI       ; IMF="0"
SET      (EIRH), 2           ; INTTC11 割り込みを許可
EI       ; IMF="1"
LD       (TC11CR), 00000000B  ; ソースクロック, モード選択
LD       (TC11CR), 00010000B  ; TC11 スタート
```

(プログラム例 2) 自動キャプチャ

```
LD       (TC11CR), 01010000B  ; ACAP11 ← 1
:       :
LD       WA, (TC11DRB)        ; キャプチャ値の読み出し
```

注) キャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック 1 周期以上の時間が経過した後に行ってください。

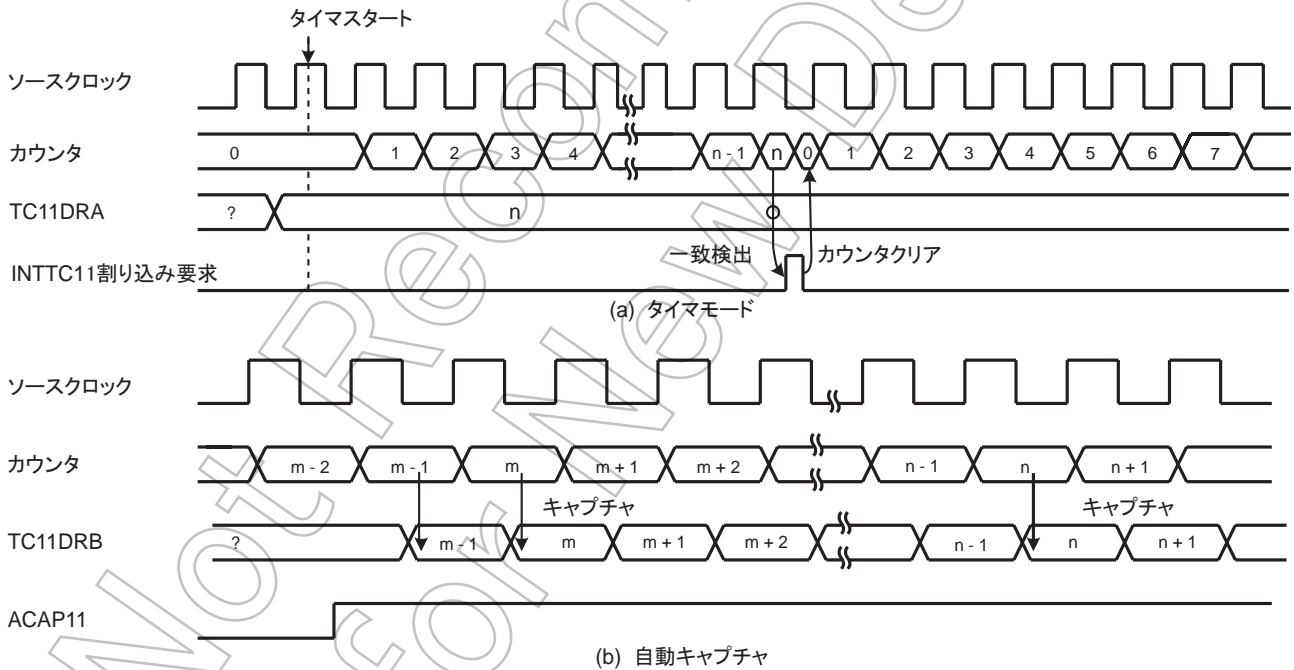


図 8-10 タイマモードタイミングチャート

8.2.3.2 外部トリガタイマモード

外部トリガタイマモードは、TC11 端子の入力パルスをトリガにしてカウントをスタートし、内部クロックでカウントアップするモードです。カウントスタート用のトリガのエッジは、TC11CR<TC11S> によって、立ち上がりエッジ、または立ち下がりエッジのいずれかを選択することができます。

- TC11CR<METT11> が “1” (トリガスタート & ストップ) の場合

タイマスタート後、アップカウンタの値と TC11DRA の設定値が一致すると、アップカウンタはクリアされて停止し、INTTC11 割り込み要求が発生します。

ただしアップカウンタの値と TC11DRA の設定値が一致する前に、カウントスタート用のトリガのエッジと逆方向のエッジを検出するとアップカウンタはクリアされて停止しますが、INTTC11 割り込み要求は発生しません。従ってこのモードを使用すると、一定以上のパルス幅が入力されたことを割り込みで検出することができます。

なお、アップカウンタが停止した後、カウントスタート用のトリガのエッジを検出するとカウントアップを再開します。

- TC11CR<METT11> が “0” (トリガスタート) の場合

タイマスタート後、アップカウンタの値と TC11DRA の設定値が一致すると、アップカウンタはクリアされて停止し、INTTCH 割り込み要求が発生します。

カウントスタート用のトリガのエッジと逆方向のエッジは意味を持ちません。

アップカウンタの値と TC11 DRA の設定値が一致する前に、次のカウントスタート用のトリガのエッジを入力しても無視されます。

なお、TC11 端子入力にはノイズ除去回路が付いていますので、NORMAL1/2 または IDLE1/2 モード時 $4/fc$ [s] 以下のパルスは、ノイズとして除去されます。確実にエッジ検出が行われるためには、 $12/fc$ [s] 以上のパルス幅が必要です。また、SLOW1/2、または SLEEP1/2 モード時、ノイズ除去回路はオフしますが 1マシサイクル以上のパルス幅が必要です。

(プログラム例 1) TC11 端子入力の立ち上がりエッジから 1ms 後に割り込みを発生させる。
($fc = 16 \text{ MHz}$ 時)

```
LDW      (TC11DRA), 007DH      ; 1ms ÷ 27/fc = 7DH
DI       ; IMF= "0"
SET      (EIRH), 2             ; INTTC11 割り込み許可
EI       ; IMF= "1"
LD       (TC11CR), 00000100B   ; ソースクロック, モード選択
LD       (TC11CR), 00100100B   ; TC11 外部トリガスタート, METT11 = 0
```

(プログラム例 2) TC11 端子に“L” レベル幅 4 ms 以上のパルスが入力されたら割り込みを発生させる。(fc = 16 MHz 時)

LDW	(TC11DRA), 01F4H	; 4 ms ÷ 2 ⁷ /fc = 1F4H
DI		; IMF=“0”
SET	(EIRH). 2	; INTTC11 割り込み許可
EI		; IMF=“1”
LD	(TC11CR), 00000100B	; ソースクロック, モード選択
LD	(TC11CR), 01110100B	; TC11 外部トリガスタート, METT11=1

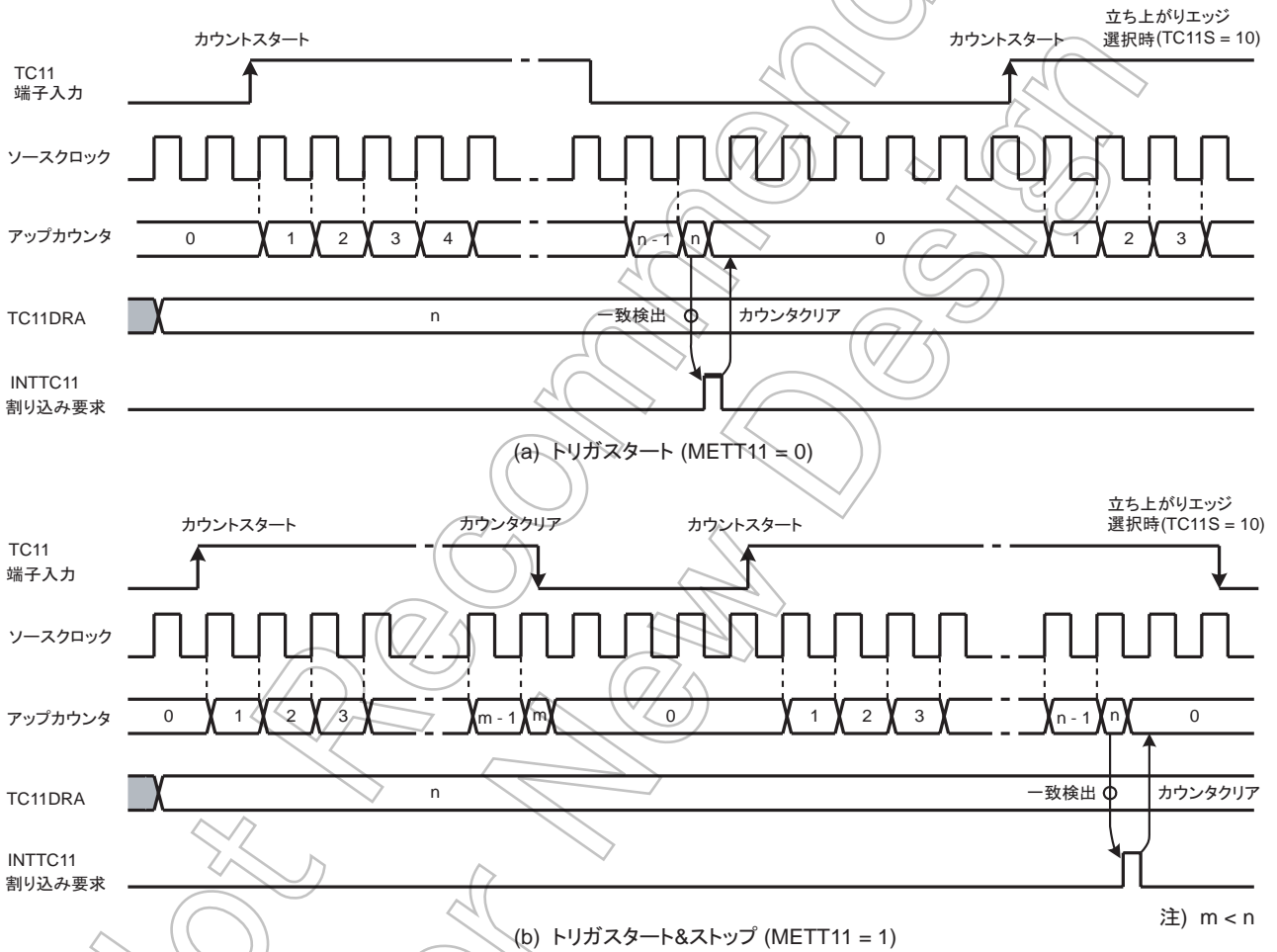


図 8-11 外部トリガタイマモードタイミングチャート

8.2.3.3 イベントカウンタモード

イベントカウンタモードは、TC11 端子の入力パルスのエッジでカウントアップするモードです。カウントアップのエッジは、TC11CR<TC11S> によって、立ち上がりエッジ、または立ち下がりエッジのいずれかを選択することができます。

アップカウンタの値と TC11DRA の設定値が一致すると INTTC11 割り込み要求が発生し、アップカウンタはクリアされます。アップカウンタのクリア後も TC11 端子入力のエッジごとにカウントアップを継続します。なお、一致検出は選択されたエッジとは逆側のエッジにて行われますので、INTTC11 割り込み要求は、アップカウンタと TC11DRA が同値になった後、選択されたエッジと逆側のエッジで発生します。

TC11 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクル以上のパルス幅が必要です。

また、TC11CR<ACAP11> を “1” にセットすることにより、カウンタの内容を TC11DRB に取り込むことができます (自動キャプチャ機能)。自動キャプチャ機能はタイマ動作状態で使用してください。タイマ停止時および自動キャプチャディセーブル時のキャプチャ値 (TC11DRB レジスタ値) は不定となります。キャプチャ値読み出しはキャプチャイネーブル状態で行ってください。またキャプチャ値の取り込みはタイマカウンタのソースクロックで行われますので、キャプチャ値の読み出しは自動キャプチャイネーブルからソースクロック 1 周期以上の時間が経過した後に行ってください。

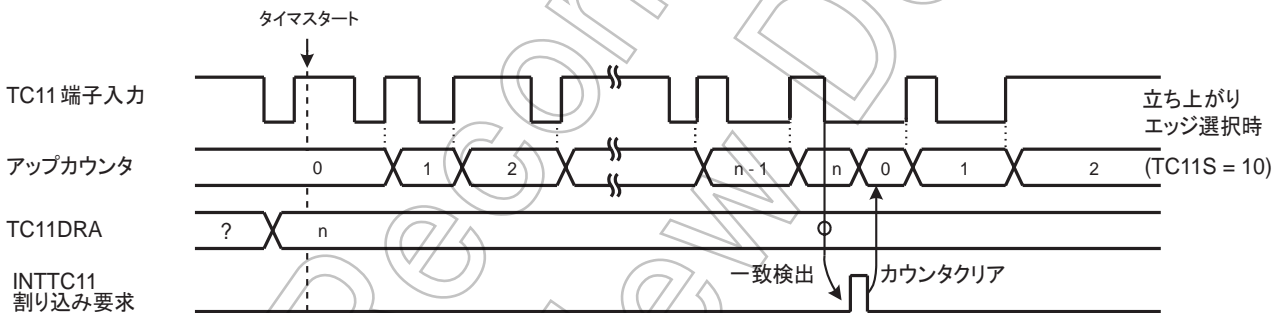


図 8-12 イベントカウンタモード タイミングチャート

表 8-4 タイマカウンタ 11 端子への入力パルス幅

	最小パルス幅 [s]	
	NORMAL1/2, IDLE1/2 モード	SLOW1/2, SLEEP1/2 モード
“H” 幅	$2^3/f_c$	$2^3/f_s$
“L” 幅	$2^3/f_c$	$2^3/f_s$

8.2.3.4 ウィンドウモード

ウィンドウモードは、TC11 端子入力 (ウィンドウパルス) と内部ソースクロックとの論理積パルスの立ち上がりエッジでカウントアップするタイマモードです。ウィンドウパルスは、TC11CR<TC11S>によって正論理(Hレベルの期間カウントアップ)または負論理(Lレベルの期間カウントアップ)の選択をで行うことができます。

アップカウンタの値と TC11DRA の設定値が一致すると INTTC11 割り込み要求が発生し、アップカウンタはクリアされます。

なお、ウィンドウパルスは、TC11CR<TC11CK> で設定した内部クロックよりも十分遅い周波数を入力してください。

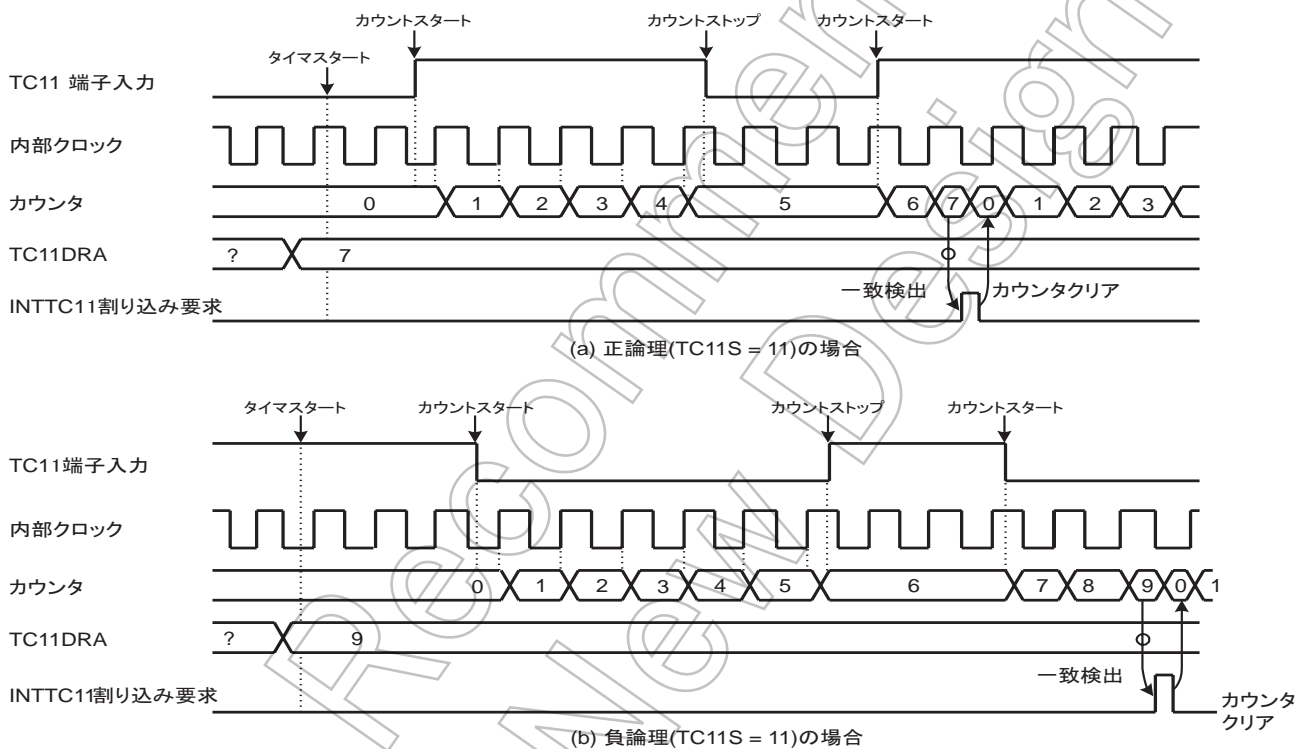


図 8-13 ウィンドウモード タイミングチャート

8.2.3.5 パルス幅測定モード

パルス幅測定モードは、TC11 端子の入力パルスをトリガにしてカウントをスタートし、入力パルス幅を内部クロックで測定するモードです。カウントスタート用のトリガのエッジは、TC11CR<TC11S> によって、立ち上がりエッジ、または立ち下がりエッジのいずれかを選択することができます。またキャプチャを行うエッジは、TC11CR<MCAP11> によって、片エッジまたは両エッジのいずれかを選択することができます。

- TC11CR<MCAP11>= “1” (片エッジキャプチャ) の場合

H レベルまたはLレベルのいずれか一方の入力パルス幅を測定することができます。H レベルの入力パルス幅を測定する場合は TC11CR<TC11S> を立ち上がりエッジに、L レベルの入力パルス幅を測定する場合は TC11CR<TC11S> を立ち下がりエッジに設定してください。

タイマスタート後、カウントスタート用のトリガのエッジと逆方向のエッジを検出すると、アップカウンタの内容を TC11DRB に取り込み、INTTC11 割り込み要求を発生します。このときアップカウンタはクリアされます。その後カウントスタート用のトリガのエッジを検出するとアップカウンタはカウントアップを再開します。

- TC11CR<MCAP11>= “0” (両エッジキャプチャ) の場合

H レベルと周期、またはLレベルと周期のいずれかの入力パルス幅を測定することができます。H レベルと周期を測定する場合は TC11CR<TC11S> を立ち上がりエッジに、L レベルと周期を測定する場合は TC11CR<TC11S> を立ち下がりエッジに設定してください。

タイマスタート後、カウントスタート用のトリガのエッジと逆方向のエッジを検出すると、アップカウンタの内容を TC11DRB に取り込み、INTTC11 割り込み要求を発生します。アップカウンタはカウントアップを継続し、その後カウントスタート用のトリガのエッジを検出すると、アップカウンタの内容を TC11DRB に取り込み、INTTC11 割り込み要求を発生します。このときアップカウンタはクリアされた後、カウントアップを継続します。

注1) キャプチャ値は、次のトリガエッジが検出されるまでに TC11DRB から必ず読み出してください。読み出しを行わない場合、キャプチャ値は不定となります。このとき TC11DRB は、16 ビットアクセス命令による読み出しを推奨します。

注2) 片エッジキャプチャ時、キャプチャ後のカウンタは次のエッジを検出するまで “1” で停止するため、2 回目のキャプチャ値は、スタート直後のキャプチャ値よりも “1” 大きくなります。

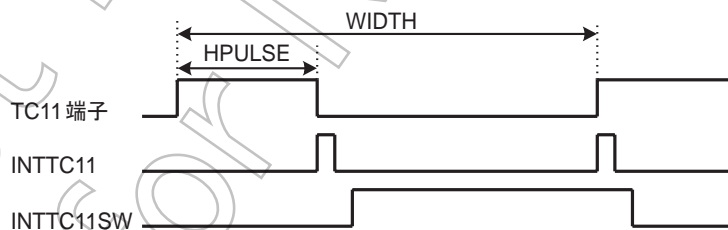
注3) タイマスタート後の最初のキャプチャ値は不定となりますので、タイマスタート後の1回目のキャプチャ値は読み捨ててください。

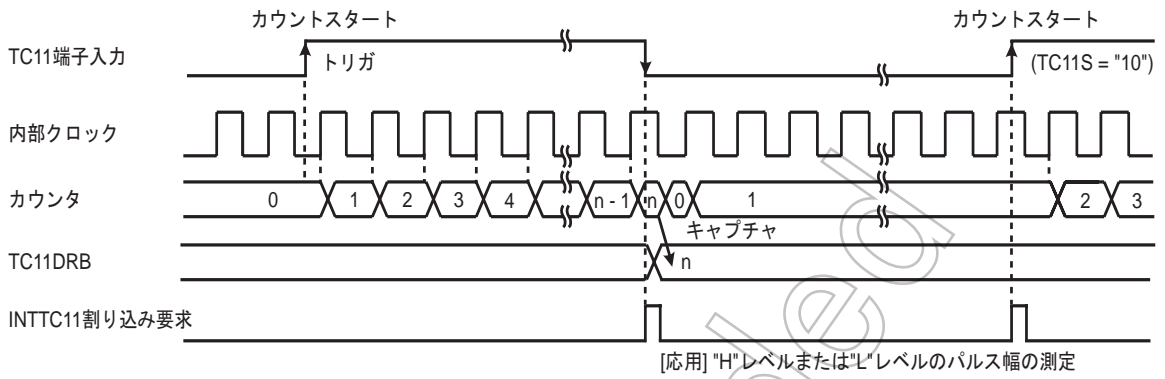
(プログラム例) デューティの測定。(分解能 $fc/2^7$ [Hz] 時)

```

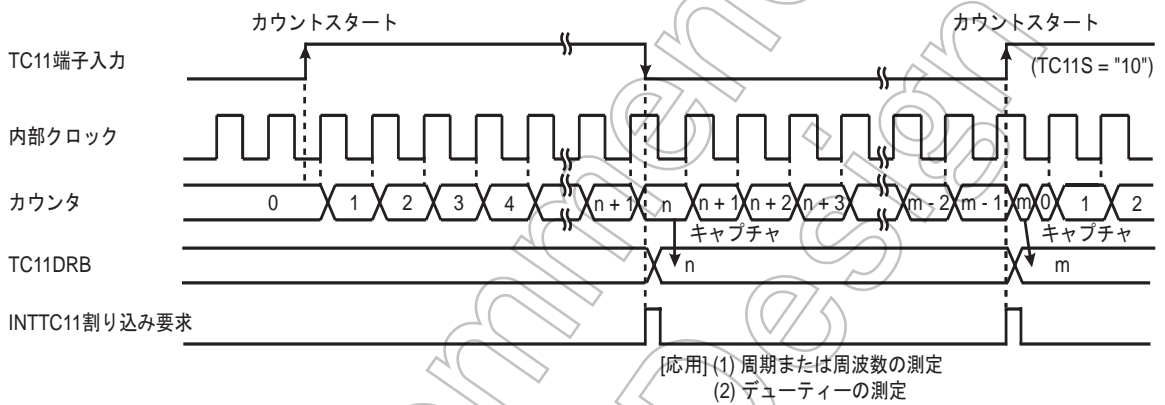
CLR      (INTTC11SW). 0      ; INTTC11 のサービススイッチの初期設定 (INTTC11SW):
                                INTTC11 ごとに反転するように設定したアドレス

LD       (TC11CR), 00000110B ; TC11 のモード, ソースクロックを設定
DI       ; IMF="0"
SET      (EIRH), 2          ; INTTC11 割り込みを許可。
EI       ; IMF="1"
LD       (TC11CR), 00100110B ; MCAP11 = 0 で TC11 を外部トリガスタート。
:
PINTTC1: CPL      (INTTC11SW). 0 ; INTTC11 割り込み, INTTC11 のサービススイッチの
                                反転 / テスト
JRS      F, SINTTC1
LD       A, (TC11DRBL)      ; TC11DRB の読み出し ("H" レベルパルス幅)
LD       W,(TC11DRBH)
LD       (HPULSE), WA      ; "H" レベルパルス幅を RAM に格納
RETI
SINTTC1: LD       A, (TC11DRBL) ; TC11DRB の読み出し (周期)
LD       W,(TC11DRBH)
LD       (WIDTH), WA      ; 周期を RAM に格納
:
RETI     ; デューティ計算
:
VINTTC1: DW       PINTTC1    ; INTTC11 割り込みベクタ設定
    
```





(a) 片エッジキャプチャ (MCAP11 = "1")



(b) 両エッジキャプチャ (MCAP11 = "0")

図 8-14 パルス幅測定モード

8.2.3.6 プログラマブルパルスジェネレータ (PPG) 出力モード

PPG 出力モードは、内部クロックのカウンタによって任意のデューティパルスを出力するモードです。タイマのスタートは、TC11CR<TC11S>によって TC11 端子の入力パルスのエッジ、またはコマンドスタートを選択することができます。また TC11CR<MPPG11>によって PPG を連続して出力するか単発で出力するかを選択することができます。

- TC11CR<MPPG11>="0"(連続)の場合

タイマスタート後、アップカウンタの値と TC11DRB の設定値が一致すると $\overline{\text{PPG}}$ 端子のレベルが反転し、INTTC11 割り込み要求が発生します。アップカウンタは、その後もカウントアップを継続し、アップカウンタの値と TC11DRA の設定値が一致すると PPG 端子のレベルが反転し、INTTC11 割り込み要求が発生します。このときアップカウンタはクリアされ、カウント動作および PPG 出力を継続します。

なお、PPG 出力中に TC11S を "00" に設定すると、 $\overline{\text{PPG}}$ 端子は停止直前のレベルを保持します。

- TC11CR<MPPG11>="1"(単発)の場合

タイマスタート後、アップカウンタの値と TC11DRB の設定値が一致すると $\overline{\text{PPG}}$ 端子のレベルが反転し、INTTC11 割り込み要求が発生します。アップカウンタは、その後もカウントアップを継続し、アップカウンタの値と TC11DRA の設定値が一致すると PPG 端子のレベルが反転し、INTTC11 割り込み要求が発生します。このとき TC11CR<TC11S> は自動的に "00" にクリアされ、タイマは停止します。PPG 出力はタイマが停止したときのレベルを保持します。

タイマスタート時、 $\overline{\text{PPG}}$ 端子は TC11CR<TFF11>によって出力レベルを設定することができますので、正論理 / 負論理いずれのパルスも出力することが可能です。なお、PPG 端子は、タイマ F/F11 出力の反転レベルが出力されますので、PPG 端子を H レベルに設定する場合は TC11CR<TFF10>を "0" に、L レベルに設定する場合は TC11CR<TFF11>を "1" に設定してください。リセット時、タイマ F/F11 は "0" に初期化されます。

注 1) タイマ動作中に TC11DRA、TC11DRB を変更する場合、カウンタのカウント値より十分大きな値を設定してください。タイマ動作中にカウンタのカウント値よりも小さな値をタイマレジスタに設定すると、設定値と異なるパルスが出力されることがあります。

注 2) TC11CR<TFF11>はタイマ動作中に変更しないでください。TC11CR<TFF11>は、初期設定時(リセット後)のみ正しく設定できます。PPG 出力中にタイマを停止したとき、停止直前の PPG 出力レベルがタイマスタート時の PPG 出力レベルと逆相の場合、それ以降 TC11CR<TFF11>は正しく設定することができなくなります(このとき TC11CR<TFF11>を設定すると、タイマ F/F11 には設定値の逆相レベルが設定されます)。従ってタイマ停止後、PPG 出力を確実に任意のレベルにするにはタイマ F/F11 を初期化する必要があります。初期化するには TC11CR<TC11M>を一度タイマモードに変更し(タイマモードをスタートさせる必要はありません)、再度 PPG 出力モードに設定してください。このとき、同時に TC11CR<TFF11>を設定してください。

注 3) PPG 出力モード時、タイマレジスタへの設定値は以下の条件を満たす必要があります。
TC11DRA > TC11DRB

注 4) TC11DRB は、TC11M を PPG 出力モードに変更した後に設定してください。

(プログラム例) “H” レベル 800 μ s, “L” レベル 200 μ s のパルスを出力。(fc = 16 MHz 時)

ポートを設定する

```
LD      (TC11CR), 10000111B    ; PPG 出力モードに設定, ソースクロック選択
LDW    (TC11DRA), 007DH      ; 周期の設定 (1 ms ÷ 27/fc  $\mu$ s = 007DH)
LDW    (TC11DRB), 0019H     ; “L” レベルパルス幅の設定 (200  $\mu$ s ÷ 27/fc = 0019H)
LD      (TC11CR), 10010111B   ; タイマスタート
```

(プログラム例) PPG 出力を停止後、PPG 端子を H レベルに設定し PPG 出力を再度スタート (fc = 16 MHz 時)

ポートを設定する

```
LD      (TC11CR), 10000111B    ; PPG 出力モードに設定, ソースクロック選択
LDW    (TC11DRA), 007DH      ; 周期の設定 (1 ms ÷ 27/fc  $\mu$ s = 007DH)
LDW    (TC11DRB), 0019H     ; “L” レベルパルス幅の設定 (200  $\mu$ s ÷ 27/fc = 0019H)
LD      (TC11CR), 10010111B   ; タイマスタート
:
LD      (TC11CR), 10000111B    ; タイマストップ
LD      (TC11CR), 10000100B    ; タイマモードに設定
LD      (TC11CR), 00000111B    ; PPG 出力モード、TFF10=0 に設定
LD      (TC11CR), 00010111B   ; タイマスタート
```

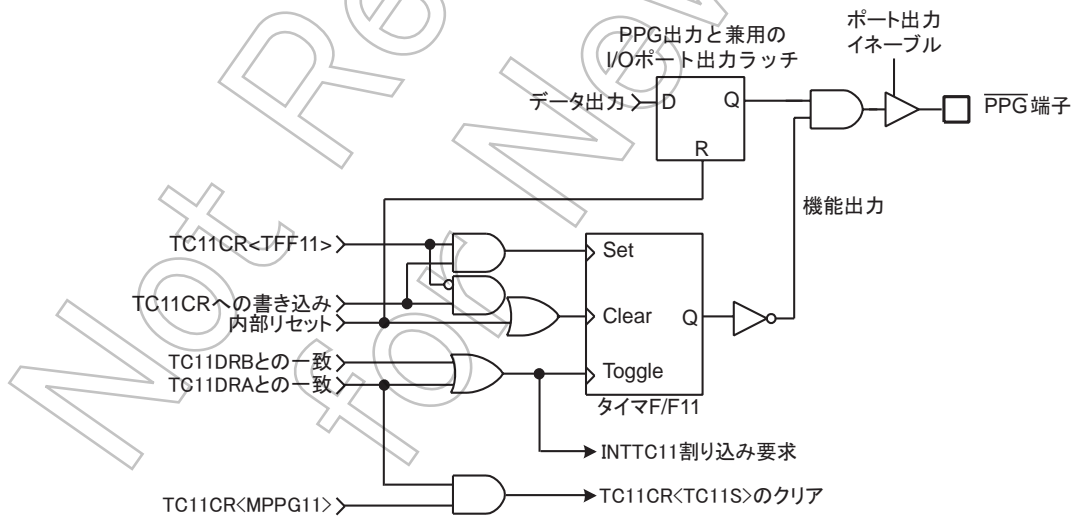


図 8-15 PPG 出力

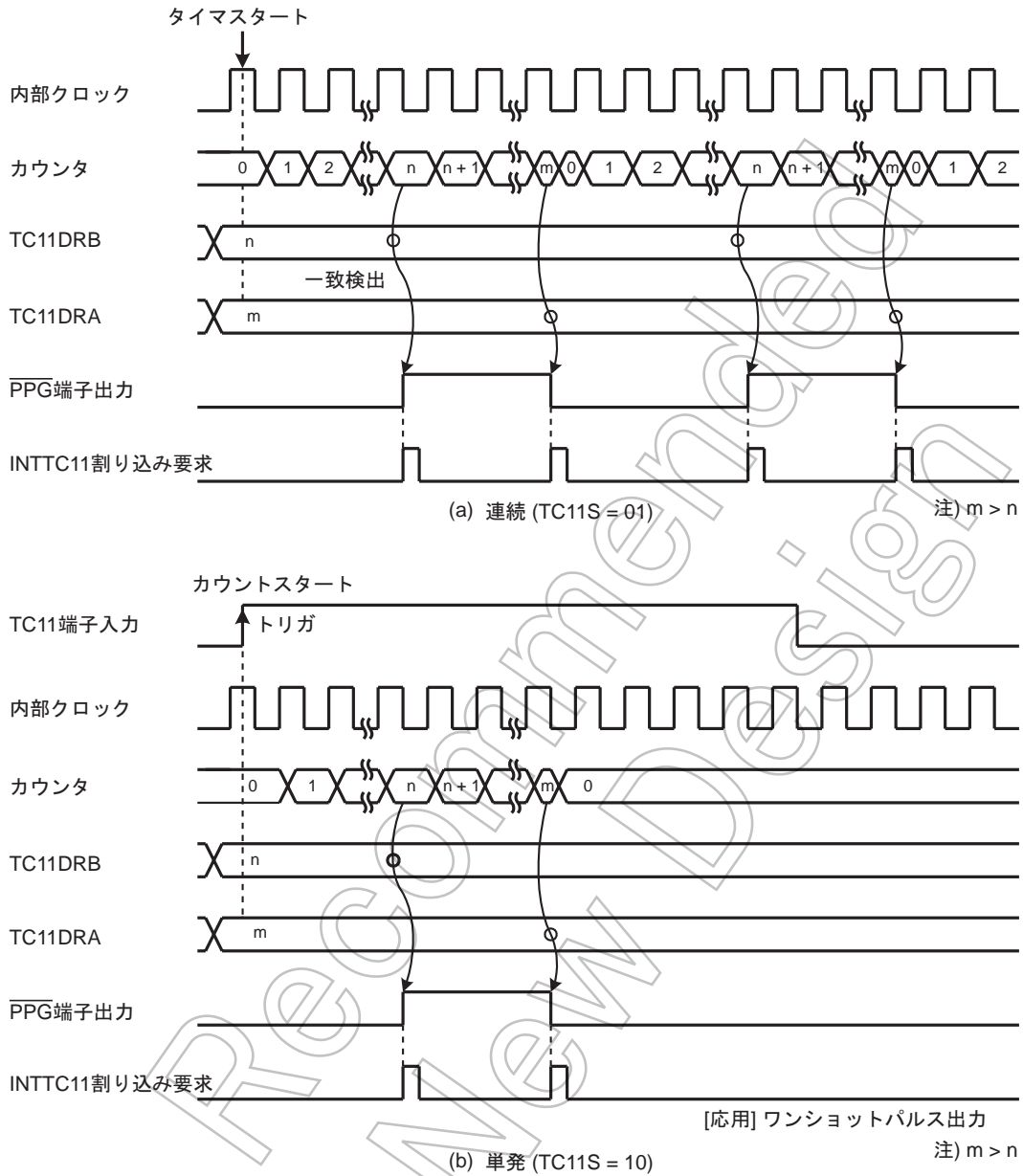


図 8-16 PPG 出力モード タイミングチャート

9.2 制御

タイマカウンタ3は、タイマカウンタ3制御レジスタ (TC3CR) と2本の8ビットタイマレジスタ (TTREG3, PWREG3) で制御されます。

タイマカウンタ3のタイマレジスタ

TTREG3 (0015H) R/W	7	6	5	4	3	2	1	0	(初期値: 1111 1111)

PWREG3 (0019H) R/W	7	6	5	4	3	2	1	0	(初期値: 1111 1111)

- 注1) タイマ動作中は、タイマレジスタ (TTREG3) の設定値を変更しないでください。
- 注2) 8/16ビットPWMモード以外の動作モードでは、タイマ動作中にタイマレジスタ (PWREG3) の設定値を変更しないでください。

タイマカウンタ3制御レジスタ

TC3CR (0009H)	7	6	5	4	3	2	1	0	(初期値: 0000 0000)
	TFF3	TC3CK		TC3S	TC3M				

TFF3	タイマ F/F3 の制御	0: クリア 1: セット			R/W	
TC3CK	動作クロック選択 [Hz]	NORMAL 1/2, IDLE 1/2 モード		SLOW 1/2 SLEEP 1/2 モード	R/W	
		DV7CK = 0	DV7CK = 1			
		000	$fc/2^{11}$	$fs/2^3$		$fs/2^3$
		001	$fc/2^7$	$fc/2^7$		—
		010	$fc/2^6$	$fc/2^5$		—
		011	$fc/2^3$	$fc/2^3$		—
		100	fs	fs		fs
		101	$fc/2$	$fc/2$		—
110	fc	fc	fc (注8)			
111	TC3 端子入力					
TC3S	タイマスタート制御	0: 動作停止 & カウンタクリア 1: 動作開始			R/W	
TC3M	動作モード選択	000: 8ビットタイマ/イベントカウンタモード 001: 8ビットプログラマブルデバイダ出力 (PDO) モード 010: 8ビットパルス幅変調出力 (PWM) モード 011: 16ビットモード (各モード選択は TC4M にて設定してください) 1**: Reserved			R/W	

- 注1) fc: 高周波クロック [Hz] fs: 低周波クロック [Hz]
- 注2) タイマ動作中は、TC3M, TC3CK, TFF3 の設定を変更しないでください。
- 注3) タイマを動作停止 (TC3S = "1" → "0") するときは、TC3M, TC3CK, TFF3 の設定を変更しないでください。ただしタイマを動作開始 (TC3S = "0" → "1") するときは、TC3M, TC3CK, TFF3 の設定を変更することができます。
- 注4) 16ビットモードで使用する場合、動作モードの設定は TC4CR<TC4M> にて行い、TC3M は "011" に固定してください。
- 注5) 16ビットモードで使用する場合、ソースクロックの選択は TC3CK にて行い、タイマスタート制御、タイマ F/F の制御については TC4CR<TC4S>, TC4CR<TFF4> にて設定してください。
- 注6) 動作クロックの選択は、タイマの動作モードにより制限があります。詳しくは表 9-1, 表 9-2 を参照してください。

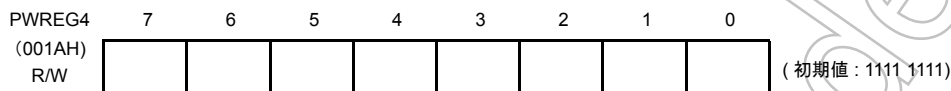
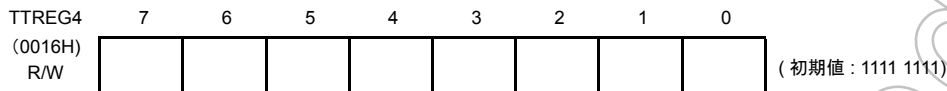
注 7) タイマレジスタの設定値は、タイマの動作モードにより制限があります。詳しくは表 9-3 を参照してください。

注 8) SLOW, SLEEP モード時の動作クロック f_c は、高周波ウォーミングアップモードとしてのみ使用できます。

Not Recommended
for New Design

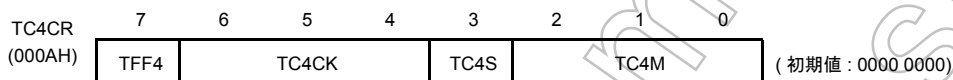
タイマカウンタ4は、タイマカウンタ4制御レジスタ (TC4CR) と2本の8ビットタイマレジスタ (TTREG4, PWREG4) で制御されます。

タイマカウンタ4のタイマレジスタ



- 注1) タイマ動作中は、タイマレジスタ (TTREG4) の設定値を変更しないでください。
- 注2) 8/16ビットPWMモード以外の動作モードでは、タイマ動作中にタイマレジスタ (PWREG4) の設定値を変更しないでください。

タイマカウンタ4制御レジスタ



TFF4	タイマ F/F4 の制御	0: クリア 1: セット	NORMAL 1/2, IDLE 1/2 モード			R/W	
TC4CK	動作クロック選択 [Hz]		DV7CK = 0		SLOW 1/2 SLEEP 1/2 モード	R/W	
			000	$fc/2^{11}$	$fs/2^3$		$fs/2^3$
			001	$fc/2^7$	$fc/2^7$		—
			010	$fc/2^5$	$fc/2^5$		—
			011	$fc/2^3$	$fc/2^3$		—
			100	fs	fs		fs
			101	fc/2	fc/2		—
			110	fc	fc		—
		111	TC4 端子入力				
TC4S	タイマスタート制御	0: 動作停止 & カウンタクリア 1: 動作開始				R/W	
TC4M	動作モード選択	000: 8ビットタイマ/イベントカウンタモード 001: 8ビットプログラマブルデバイダ出力 (PDO) モード 010: 8ビットパルス幅変調出力 (PWM) モード 011: Reserved 100: 16ビットタイマ/イベントカウンタモード 101: ウォーミングアップカウンタモード 110: 16ビットパルス幅変調出力 (PWM) モード 111: 16ビットPPGモード				R/W	

- 注1) fc: 高周波クロック [Hz] fs: 低周波クロック [Hz]
- 注2) タイマ動作中は、TC4M, TC4CK, TFF4 の設定を変更しないでください。
- 注3) タイマを動作停止 (TC4S = "1" → "0") するときは、TC4M, TC4CK, TFF4 の設定を変更しないでください。ただしタイマを動作開始 (TC4S = "0" → "1") するときは、TC4M, TC4CK, TFF4 の設定を変更することができます。
- 注4) TC4M = 1** のとき (16ビットモードの上位側) のときは、TC4CK の設定に関係なく、ソースクロックは TC3 オーバフロー信号になります。
- 注5) 16ビットモードで使用する場合、動作モードの選択は TC4M にて行います。そのとき、TC3CR<TC3M> は必ず "011" に設定してください。

- 注 6) 16 ビットモードで使用する場合、ソースクロックの選択は TC3CR<TC3CK> にて行い、タイマスタート制御、タイマ F/ F の制御については TC4S、TFF4 にて設定してください。
- 注 7) 動作クロックの選択は、タイマの動作モードにより制限があります。詳しくは表 9-1、表 9-2 を参照してください。
- 注 8) タイマレジスタの設定値は、タイマの動作モードにより制限があります。詳しくは表 9-3 を参照してください。

Not Recommended
for New Design

表 9-1 動作モードと使用できるソースクロック (NORMLAL1/2, IDLE1/2 モード時)

動作モード	fc/2 ¹¹ or fs/2 ³	fc/2 ⁷	fc/2 ⁵	fc/2 ³	fs	fc/2	fc	TC3 端子 入力	TC4 端子 入力
8ビットタイマ	○	○	○	○	—	—	—	—	—
8ビットイベントカウンタ	—	—	—	—	—	—	—	○	○
8ビットPDO	○	○	○	○	—	—	—	—	—
8ビットPWM	○	○	○	○	○	○	○	—	—
16ビットタイマ	○	○	○	○	—	—	—	—	—
16ビットイベントカウンタ	—	—	—	—	—	—	—	○	—
ウォーミングアップカウンタ	—	—	—	—	○	—	—	—	—
16ビットPWM	○	○	○	○	○	○	○	○	—
16ビットPPG	○	○	○	○	—	—	—	○	—

注1) 16ビット動作 (16ビットタイマ/イベントカウンタ、ウォーミングアップカウンタ、16ビットPWM、16ビットPPG) のソースクロックは下位ビット側 (TC3CK) にて設定してください。

表 9-2 動作モードと使用できるソースクロック (SLOW1/2, SLEEP1/2 モード時)

動作モード	fc/2 ¹¹ or fs/2 ³	fc/2 ⁷	fc/2 ⁵	fc/2 ³	fs	fc/2	fc	TC3 端子 入力	TC4 端子 入力
8ビットタイマ	○	—	—	—	—	—	—	—	—
8ビットイベントカウンタ	—	—	—	—	—	—	—	○	○
8ビットPDO	○	—	—	—	—	—	—	—	—
8ビットPWM	○	—	—	—	○	—	—	—	—
16ビットタイマ	○	—	—	—	—	—	—	—	—
16ビットイベントカウンタ	—	—	—	—	—	—	—	○	—
ウォーミングアップカウンタ	—	—	—	—	—	—	○	—	—
16ビットPWM	○	—	—	—	○	—	—	○	—
16ビットPPG	○	—	—	—	—	—	—	○	—

注1) 16ビット動作 (16ビットタイマ/イベントカウンタ、ウォーミングアップカウンタ、16ビットPWM、16ビットPPG) のソースクロックは下位ビット側 (TC3CK) にて設定してください。

表 9-3 比較用レジスタへの設定値に関する制約事項

動作モード	レジスタへの設定値
8ビットタイマ/イベントカウンタ	$1 \leq (TTREGn) \leq 255$
8ビットPDO	$1 \leq (TTREGn) \leq 255$
8ビットPWM	$2 \leq (PWREGn) \leq 254$
16ビットタイマ/イベントカウンタ	$1 \leq (TTREG4, 3) \leq 65535$
ウォーミングアップカウンタ	$256 \leq (TTREG4, 3) \leq 65535$
16ビットPWM	$2 \leq (PWREG4, 3) \leq 65534$
16ビットPPG	$1 \leq (PWREG4, 3) < (TTREG4, 3) \leq 65535$ かつ $(PWREG4, 3) + 1 < (TTREG4, 3)$

注) n = 3~4

Not Recommended
for New Design

9.3 機能

タイマカウンタ 3, 4 にはそれぞれ、8 ビットタイマモード、8 ビットイベントカウンタモード、8 ビットプログラマブルデバイダ出力 (PDO) モード、8 ビットパルス幅変調出力 (PWM) モードがあります。また、タイマカウンタ 3, 4 (TC3, 4) を一つの 16 ビットタイマとして動作させる事も可能です。16 ビットタイマとしての動作には、16 ビットタイマモード、16 ビットイベントカウンタモード、ウォーミングアップカウンタモード、16 ビットパルス幅変調出力 (PWM) モード、16 ビットプログラマブルパルスジェネレート出力 (PPG) モードがあります。

9.3.1 8 ビットタイマモード (TC3, 4)

このモードは内部クロックでカウントアップするモードです。アップカウンタの値とタイマレジスタ j (TTREG j) 設定値が一致すると INTTC j 割り込み要求が発生し、アップカウンタがクリアされます。カウンタクリア後もカウントアップを継続します。

- 注 1) タイマモード時は、TC j CR<TFF j > を “0” に固定してください。固定されない場合は、PDO j /PWM j /PPG j 端子からパルスが出力されることがあります。
- 注 2) タイマモード時は、タイマ動作中に TTREG j の設定値を変更しないでください。タイマモード時、TTREG j はシフトレジスタ構成となりませんので、TTREG j への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREG i を書き替えると想定している動作を得られない場合があります。
- 注 3) $j = 3, 4$

表 9-4 タイマカウンタ 3, 4 のソースクロック (内部クロック)

ソースクロック		SLOW1/2, SLEEP1/2 モード	分解能		最大設定時間	
DV7CK = 0	DV7CK = 1		$f_c = 16 \text{ MHz}$ 時	$f_s = 32.768 \text{ kHz}$ 時	$f_c = 16 \text{ MHz}$ 時	$f_s = 32.768 \text{ kHz}$ 時
$f_c/2^{11}$ [Hz]	$f_s/2^3$ [Hz]	$f_s/2^3$ [Hz]	128 μs	244.14 μs	32.6 ms	62.3 ms
$f_c/2^7$	$f_c/2^7$	—	8 μs	—	2.0 ms	—
$f_c/2^5$	$f_c/2^5$	—	2 μs	—	510 μs	—
$f_c/2^3$	$f_c/2^3$	—	500 ns	—	127.5 μs	—

(プログラム例) ソースクロック $f_c/2^7$ [Hz] でタイマモードにセットし、80 μs 後に割り込みを発生させる (タイマカウンタ 4、 $f_c = 16.0 \text{ MHz}$ 時)

```
LD    (TTREG4), 0AH           ; タイマレジスタの設定 (80  $\mu\text{s} \div 2^7 f_c = 0AH$ )
DI
SET   (EIRE), 5              ; INTTC4 割り込みを許可
EI
LD    (TC4CR), 00010000B     ; 動作クロックを  $f_c/2^7$  , 8 ビットタイマモードに設定
LD    (TC4CR), 00011000B     ; TC4 スタート
```

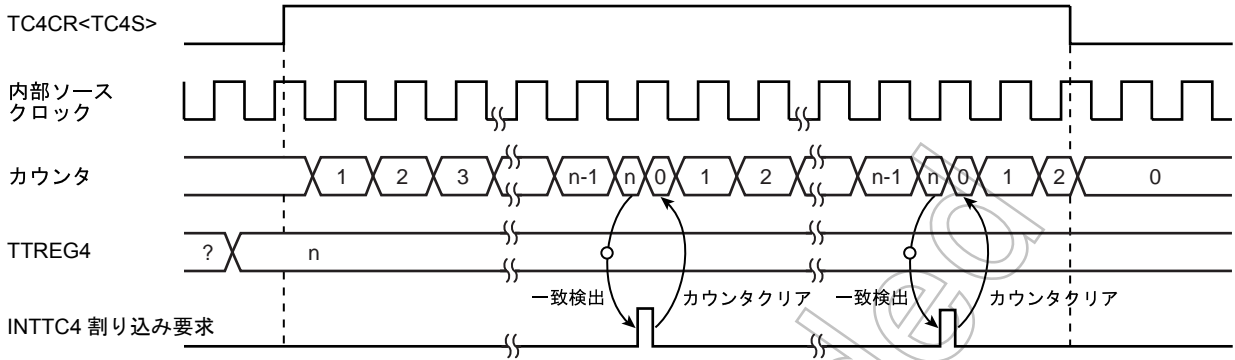


図 9-2 8 ビットタイマモードタイミングチャート (TC4 の場合)

9.3.2 8 ビットイベントカウンタモード (TC3, 4)

このモードは TC_j 端子入力の立ち下がりエッジでカウントアップするモードです。アップカウンタの値と TTREG_j 設定値が一致すると INTTC_j 割り込み要求が発生し、アップカウンタがクリアされます。カウンタクリア後も TC_j 端子入力の立ち下がりエッジごとにカウントアップします。TC_j 端子への最小入力パルス幅は、“H”，“L” レベルともに 2 マシンサイクルです。したがって、最大印加周波数は、NORMAL1,2 または IDLE1,2 モード時で $f_c/2^4$ [Hz]、SLOW1,2 または SLEEP1,2 モード時で $f_s/2^4$ [Hz] となります。

- 注 1) イベントカウンタモード時は、TC_jCR<TFF_j> を “0” に固定してください。固定されない場合は、 $\overline{PDO_j}$ /PWM_j/PPG_j 端子からパルスが出力されることがあります。
- 注 2) イベントカウンタモード時は、タイマ動作中に TTREG_j の設定値を変更しないでください。イベントカウンタモード時、TTREG_j はシフトレジスタ構成となりませんので、TTREG_j への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREG_j を書き替えると想定している動作を得られない場合があります。
- 注 3) j = 3, 4

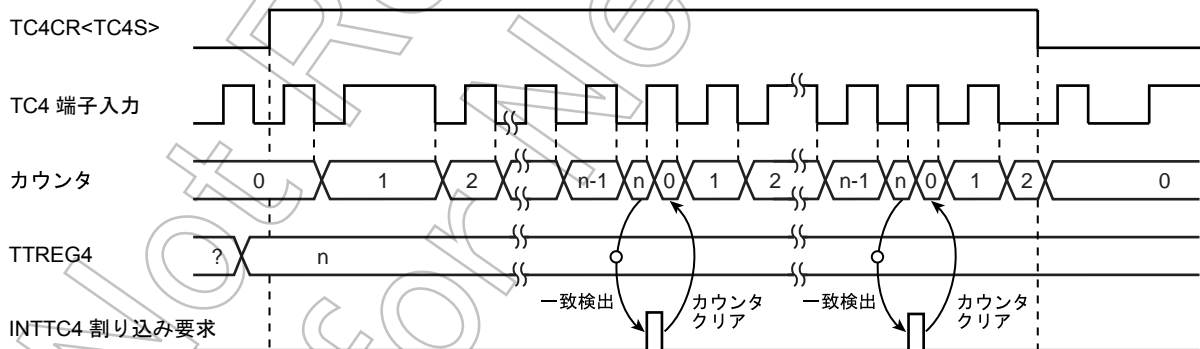


図 9-3 8 ビットイベントカウンタモードタイミングチャート (TC4 の場合)

9.3.3 8 ビットプログラマブル デバイダ出力 (PDO) モード (TC3, 4)

このモードは $\overline{PDO_j}$ 端子からデューティ 50% のパルスを出力するモードです。

内部クロックでカウントアップし、TTREG_j との一致ごとにタイマ F/F_j 値を反転しアップカウンタをクリアします。このとき INTTC_j 割り込み要求が発生します。 $\overline{PDO_j}$ 端子からはタイマ F/F_j 値の反転レベルが出力されます。なお、タイマ F/F_j 値は TC_jCR<TFF_j> によって任意の値を設定することができます。リセット時、タイマ F/F_j 値は “0” に初期化されます。

プログラマブルデバイダ出力を行う場合は、I/O ポートの出力ラッチを“1”にセットしてください。

(プログラム例) TC4 を使用し、1024 Hz のパルスを出力 ($f_c = 16.0 \text{ MHz}$)

ポートを設定		
LD	(TTREG4), 3DH	; $1/1024 \div 2^7/f_c \div 2 = 3DH$
LD	(TC4CR), 00010001B	; 動作クロックを $f_c/2^7$, 8 ビット PDO モードに設定
LD	(TC4CR), 00011001B	; TC4 スタート

- 注 1) プログラマブルデバイダ出力モード時は、タイマ動作中に TTREGj の設定値を変更しないでください。プログラマブルデバイダ出力モード時、TTREGj はシフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。
- 注 2) PDO 出力中にタイマを停止すると、 $\overline{\text{PDOj}}$ 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TCjCR<TFFj> の操作を行ってください。ただし、タイマ停止と同時に TCjCR<TFFj> の設定を変更しないでください。
例：タイマカウンタ停止時に $\overline{\text{PDOj}}$ 端子を “H” レベルに固定する。
CLR (TCjCR).3; タイマ停止
CLR (TCjCR).7; $\overline{\text{PDOj}}$ 端子を “H” レベルに設定
- 注 3) j = 3, 4

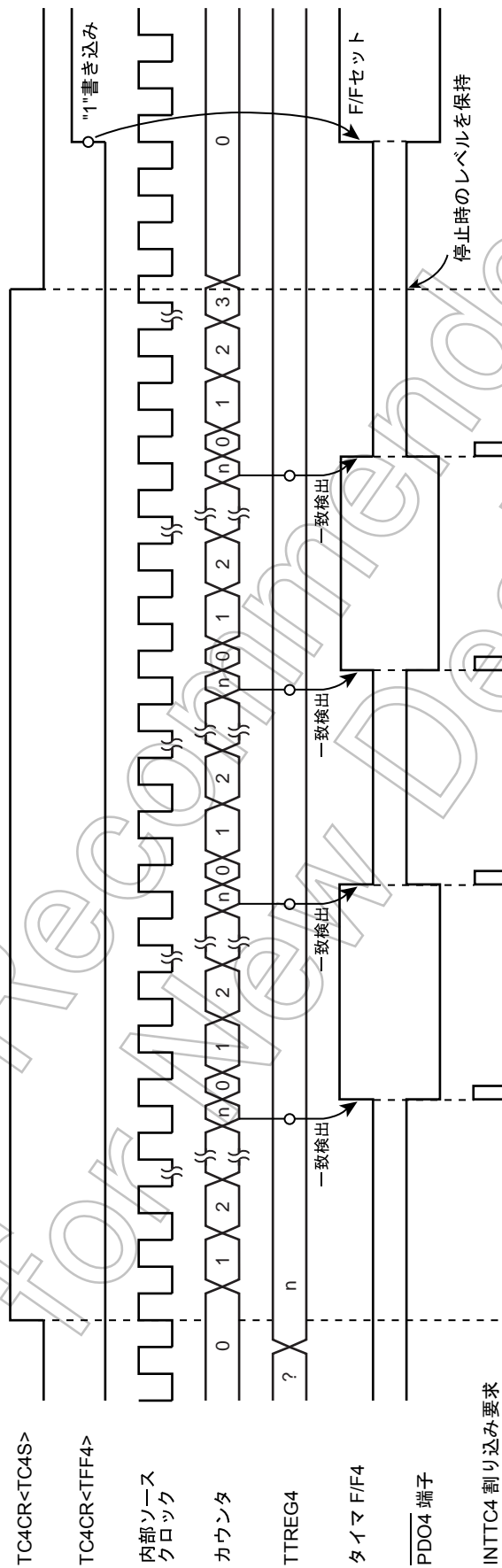


図 9-4 8ビット PDO モードタイミングチャート (TC4 の場合)

9.3.4 8ビットパルス幅変調 (PWM) 出力モード (TC3, 4)

このモードは分解能8ビットのPWM出力を行うモードです。内部クロックでカウントアップし、アップカウンタの値とPWREGj設定値が一致するとタイマF/Fj値を反転します。カウンタはさらにカウントアップし、オーバフローでタイマF/Fj値を再び反転し、カウンタをクリアします。このときINTTCj割り込み要求が発生します。

タイマF/Fjは、TCjCR<TFFj>によって初期値を設定することができますので、正論理/負論理いずれのパルスも出力可能です。リセット時、タイマF/Fjは“0”にクリアされます。

(PWMj端子からはタイマF/Fj値の反転レベルが出力されます)

PWMモード中のPWREGjは、シフトレジスタとの2段構成となっており、タイマ動作中にPWREGjの設定値を変更することが可能です。タイマ動作中、PWREGjへの設定値はINTTCj割り込み要求によってシフトし反映されます。ただしタイマ停止時は、PWREGjにデータを設定した直後にシフトされます。

PWM出力中、PWREGjに対してリード命令を実行するとPWREGjの設定値ではなく、シフトレジスタの値が読み込まれます。従ってPWREGjを設定してからINTTCj割り込み要求までの間は、前回のPWREGj設定値が読み込まれます。

PWM出力を行う端子は、I/Oポートの出力ラッチを“1”にセットしてください。

- 注1) PWMモード時、タイマレジスタPWREGjへの書き込みは、INTTCj割り込み要求発生直後(通常はINTTCj割り込みサービスルーチン内)に行ってください。タイマレジスタPWREGjへの書き込みとINTTCj割り込み要求のタイミングが重なった場合、書き込み途中の不安定な値がシフト動作されるため、次のINTTCj割り込み要求までの間、設定値と異なるパルスが出力されることがあります。
- 注2) PWM出力中にタイマを停止すると、PWMj端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後にTCjCR<TFFj>の操作を行ってください。ただし、タイマ停止と同時にTCjCR<TFFj>の設定を変更しないでください。
例: タイマカウンタ停止時にPWMj端子を“H”レベルに固定する。
CLR (TCjCR).3; タイマ停止
CLR (TCjCR).7; PWMj出力を“H”レベルに設定
- 注3) PWM出力中、STOPモードを起動する場合は、タイマを停止してからSTOPモードを起動してください。タイマを停止せずにSTOPモードを起動し、さらにソースクロックとしてfc、fc/2またはfsが選択されている場合は、STOP解除後のウォーミングアップ中にPWMj端子からパルスが出力されます。
- 注4) j = 3, 4

表 9-5 PWM 出力モード

ソースクロック		SLOW1/2, SLEEP1/2 モード	分解能		繰り返し周期	
NORMAL1/2, IDLE1/2 モード			fc = 16 MHz 時	fs = 32.768 kHz 時	fc = 16 MHz 時	fs = 32.768 kHz 時
DV7CK = 0	DV7CK = 1					
fc/2 ¹¹ [Hz]	fs/2 ³ [Hz]	fs/2 ³ [Hz]	128 μs	244.14 μs	32.8 ms	62.5 ms
fc/2 ⁷	fc/2 ⁷	—	8 μs	—	2.05 ms	—
fc/2 ⁵	fc/2 ⁵	—	2 μs	—	512 μs	—
fc/2 ³	fc/2 ³	—	500ns	—	128 μs	—
fs	fs	fs	30.5 μs	30.5 μs	7.81 ms	7.81 ms
fc/2	fc/2	—	125 ns	—	32 μs	—
fc	fc	—	62.5 ns	—	16 μs	—

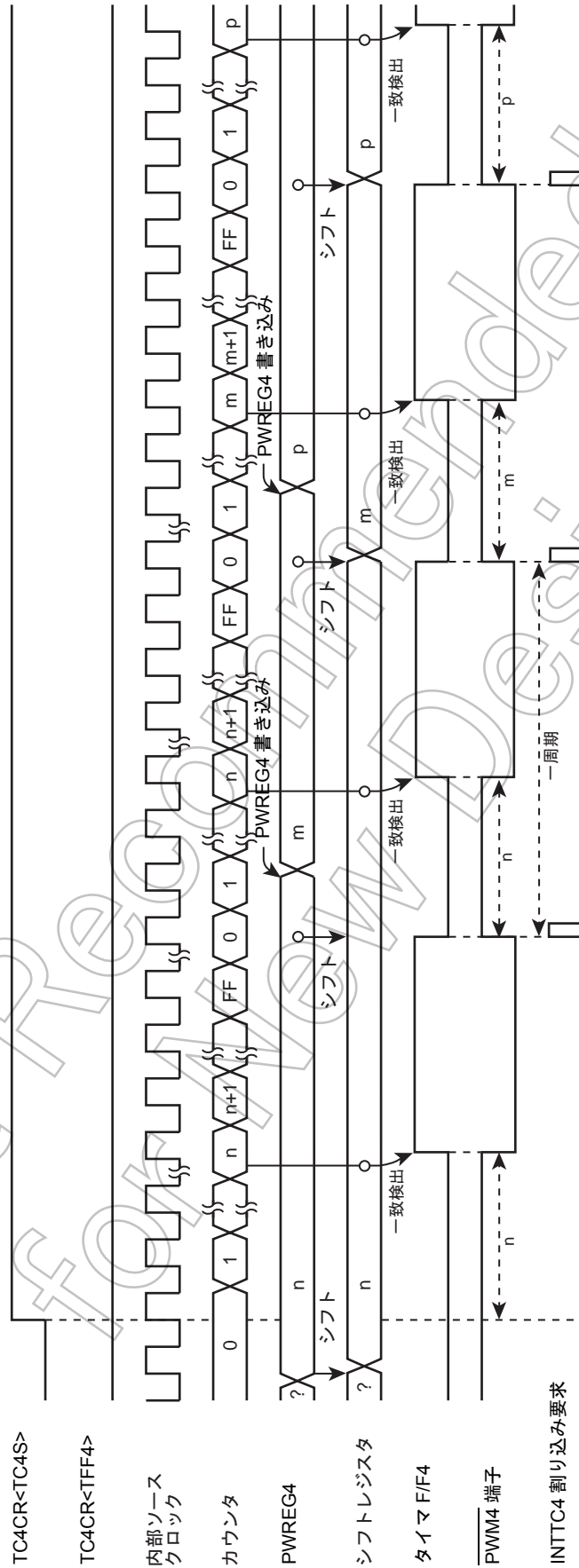


図 9-5 8 ビット PWM 出力モードタイミングチャート (TC4 の場合)

9.3.5 16ビットタイマモード (TC3 + 4)

このモードは内部クロックでカウントアップするモードです。

タイマカウンタ3と4をそれぞれカスケード接続することにより、16ビットタイマモードとして使用することができます。

TC4CR<TC4S>によりタイマスタート後、アップカウンタの値とタイマレジスタ (TTREG3, TTREG4) 設定値が一致すると INTTC4 割り込み要求が発生し、アップカウンタがクリアされます。カウンタクリア後もカウントアップは継続されます。タイマレジスタは、必ず下位側 (TTREG3)、上位側 (TTREG4) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

- 注 1) タイマモード時は、TCjCR<TFFj>を“0”に固定してください。固定されない場合は、 $\overline{\text{PDOj}}/\text{PWMj}/\text{PPGj}$ 端子からパルスが出力されることがあります。
- 注 2) タイマモード時は、タイマ動作中に TTREGj の設定値を変更しないでください。タイマモード時、TTREGj はソフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。
- 注 3) j = 3, 4

表 9-6 16ビットタイマモードのソースクロック

ソースクロック		SLOW1/2, SLEEP1/2 モード	分解能		繰り返し周期	
NORMAL1/2, IDLE1/2 モード			fc = 16 MHz 時	fs = 32.768 kHz 時	fc = 16 MHz 時	fs = 32.768 kHz 時
DV7CK = 0	DV7CK = 1					
fc/2 ¹¹	fs/2 ³	fs/2 ³	128 μs	244.14 μs	8.39 s	16s
fc/2 ⁷	fc/2 ⁷	—	8 μs	—	524.3 ms	—
fc/2 ⁵	fc/2 ⁵	—	2 μs	—	131.1 ms	—
fc/2 ³	fc/2 ³	—	500 ns	—	32.8 ms	—

(プログラム例) ソースクロック $fc/2^7$ [Hz] でタイマモードにセットし、300 ms 後に割り込みを発生させる (fc = 16.0 MHz 時)

```
LDW      (TTREG3), 927CH      ; タイマレジスタの設定 (300 ms ÷ 27/fc = 927CH)
DI
SET      (EIRE), 5           ; INTTC4 割り込みを許可
EI
LD       (TC3CR), 13H       ; 動作クロックを fc/27、16 ビットタイマモード
                          ; (下位側) に設定
LD       (TC4CR), 04H       ; 16 ビットタイマモード (上位側) に設定
LD       (TC4CR), 0CH       ; タイマスタート
```

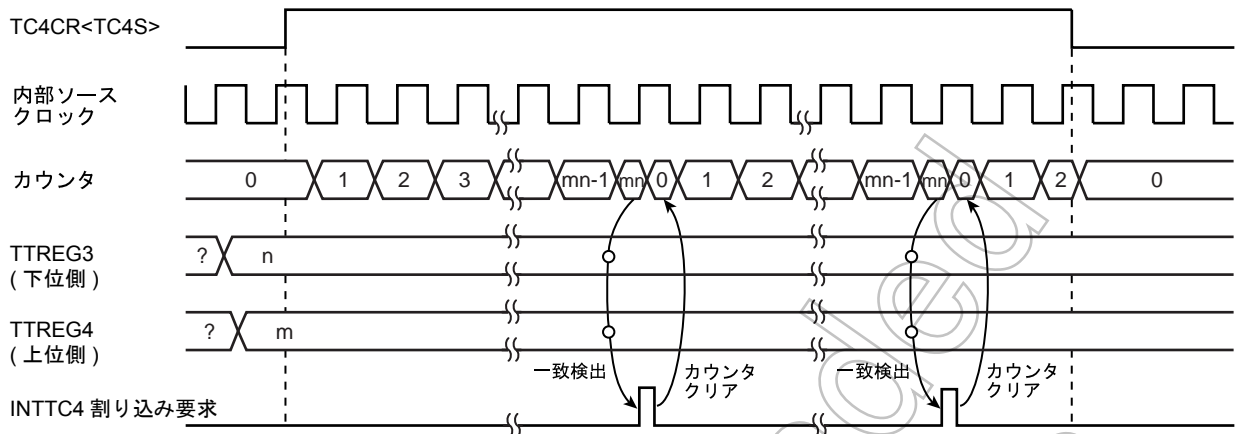


図 9-6 16 ビットタイマモードタイミングチャート (TC3 + TC4 の場合)

9.3.6 16 ビットイベントカウンタモード (TC3 + 4)

このモードは TC3 端子の立ち下がりエッジでカウントアップするモードです。

タイマカウンタ 3 と 4 とをカスケード接続することにより、16 ビットイベントカウンタモードとして使用することができます。

TC4CR<TC4S> によりタイマスタート後、アップカウンタの値とタイマレジスタ (TTREG3, TTREG4) の設定値が一致すると INTTC4 割り込み要求が発生し、カウンタがクリアされます。カウンタクリア後も TC3 端子入力の立ち下がりエッジごとにカウントアップは継続されます。

TC3 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。従って、最大印加周波数は NORMAL1 または IDLE1 モード時で $f_c / 2^4$ [Hz]、SLOW1, 2 または SLEEP1, 2 モード時で $f_s / 2^4$ [Hz] となります。

タイマレジスタは、必ず下位側 (TTREG3)、上位側 (TTREG4) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

- 注 1) イベントカウンタモード時は、TCjCR<TFFj> を “0” に固定してください。固定されない場合は、 $\overline{PDOj/PWMj/PPGj}$ 端子からパルスが出力されることがあります。
- 注 2) イベントカウンタモード時は、タイマ動作中に TTREGj の設定値を変更しないでください。イベントカウンタモード時、TTREGj はシフトレジスタ構成とならないので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。
- 注 3) j = 3, 4

9.3.7 16 ビットパルス幅変調 (PWM) 出力モード (TC3 + 4)

このモードは分解能 16 ビットの PWM 出力を行うモードです。タイマカウンタ 3 と 4 をカスケード接続することにより、16 ビット PWM モードとして使用することができます。

内部クロックまたは外部クロックでカウントアップし、アップカウンタの値とタイマレジスタ (PWREG3, PWREG4) 設定値が一致するとタイマ F/F4 を反転します。カウンタはさらにカウントアップし、オーバフローでタイマ F/F4 を再び反転し、カウンタをクリアします。なお、このとき INTTC4 割り込みが発生します。

TC3 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。従って、最大印加周波数は NORMAL1 または IDLE1 モード時で $f_c / 2^4$ [Hz]、SLOW1, 2 または SLEEP1, 2 モード時で $f_s / 2^4$ [Hz] となります。

タイマ F/F4 は、TC4CR<TFF4> によって初期値を設定することができますので、正論理 / 負論理いずれのパルスも出力可能です。リセット時、タイマ F/F4 は “0” にクリアされます。

(PWM4 端子からはタイマ F/F4 値の反転レベルが出力されます)

PWM モード中の PWREG4, 3 は、シフトレジスタとの 2 段構成となっていますので、タイマ動作中に PWREG4, 3 の設定値を変更することが可能です。タイマ動作中、PWREG4, 3 への設定値は INTTC4 割り込み要求によってシフトし反映されます。ただしタイマ停止時は、PWREG4, 3 にデータを設定した直後にシフトされます。PWREG4, 3 の書き替えを行うときは、必ず下位側 (PWREG3)、上位側 (PWREG4) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

PWM 出力中、PWREG4, 3 に対してリード命令を実行すると PWREG4, 3 の設定値ではなく、シフトレジスタの値が読み込まれます。従って PWREG4, 3 を設定してから INTTC4 割り込み要求までの間は、前回の PWREG4, 3 設定値が読み込まれます。

PWM 出力を行う場合は、I/O ポートの出力ラッチを “1” にセットしてください。

- 注 1) PWM モード時、タイマレジスタ PWREG4, 3 への書き込みは、INTTC4 割り込み要求発生直後 (通常は INTTC4 割り込みサービスルーチン内) に行ってください。タイマレジスタ PWREG4, 3 への書き込みと INTTC4 割り込み要求のタイミングが重なった場合、書き込み途中の不安定な値がシフト動作されるため、次の INTTC4 割り込み要求までの間、設定値と異なるパルスが出力されることがあります。
- 注 2) PWM 出力中にタイマを停止すると、PWM4 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TC4CR<TFF4> の操作を行ってください (タイマ停止と同時に TC4CR<TFF4> の設定を変更しないでください)。
例: タイマカウンタ停止時に PWM4 端子を “H” レベルに固定する。
CLR (TC4CR).3; タイマ停止
CLR (TC4CR).7; PWM4 端子を “H” レベルに設定
- 注 3) STOP モードを起動する場合は、事前にタイマカウンタを停止してください。PWM 出力中に STOP モードを起動すると、STOP モード解除後のウォーミングアップ中に PWM4 端子からパルスが出力されます (ソースクロックとして fc, fc/2 または fs を選択した場合)。

表 9-7 16 ビット PWM 出力モード

ソースクロック		SLOW1/2, SLEEP1/2 モード	分解能		繰り返し周期	
NORMAL1/2, IDLE1/2 モード	DV7CK = 0		fc = 16 MHz 時	fs = 32.768 kHz 時	fc = 16 MHz 時	fs = 32.768 kHz 時
fc/2 ¹¹	fs/2 ³ [Hz]	fs/2 ³ [Hz]	128 μs	244.14 μs	8.39 s	16 s
fc/2 ⁷	fc/2 ⁷	—	8 μs	—	524.3 ms	—
fc/2 ⁵	fc/2 ⁵	—	2 μs	—	131.1 ms	—
fc/2 ³	fc/2 ³	—	500ns	—	32.8 ms	—
fs	fs	fs	30.5 μs	30.5 μs	2 s	2 s
fc/2	fc/2	—	125 ns	—	8.2 ms	—
fc	fc	—	62.5 ns	—	4.1 ms	—

(プログラム例) 周期 32.768 ms、“H” レベル幅 1 ms のパルスを出力する (fc = 16.0 MHz 時)

```

        ポートを設定する
LDW    (PWREG3), 07D0H    ; パルス幅の設定
LD     (TC3CR), 33H      ; 動作クロックを fc/23、16 ビット PWM モード (下位側)
                           ; に設定
LD     (TC4CR), 056H     ; TFF4 初期値 “0”、16 ビット PWM モード (上位側)
                           ; に設定
LD     (TC4CR), 05EH     ; タイマスタート
    
```

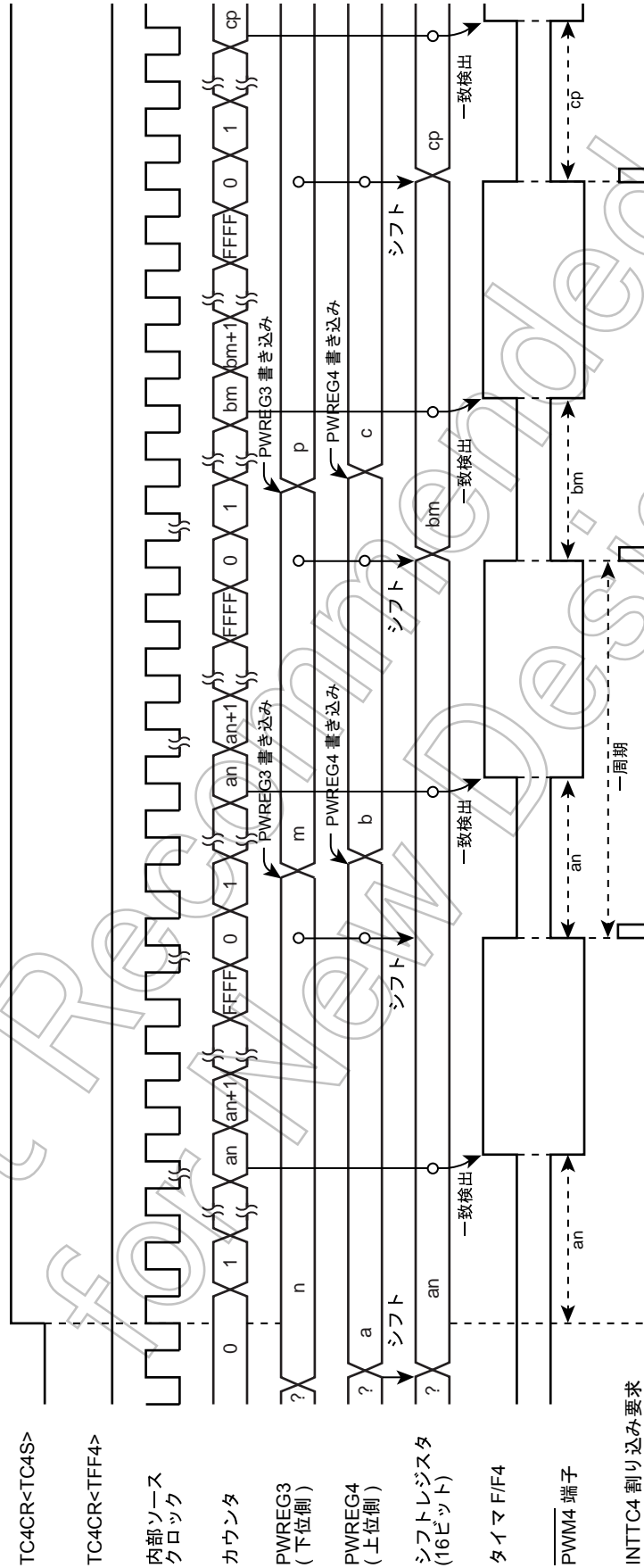


図 9-7 16 ビット PWM モード タイミングチャート (TC3 + TC4 の場合)

9.3.8 16ビットプログラマブルパルスジェネレータ (PPG) 出力モード (TC3 + 4)

このモードは分解能 16 ビットの PPG 出力を行うモードです。

タイマカウンタ 3 と 4 をカスケード接続することにより、16 ビット PPG モードとして使用することができます。

内部クロックまたは外部クロックでカウントアップし、アップカウンタの値とタイマレジスタ (PWREG3, PWREG4) の設定値が一致するとタイマ F/F4 を反転します。カウンタはさらにカウントアップし、タイマレジスタ (TTREG3, TTREG4) 設定との一致でタイマ F/F4 を再び反転し、カウンタをクリアします。なお、このとき INTTC4 割り込み要求が発生します。

TC3 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。従って、最大印加周波数は NORMAL1 または IDLE1 モード時で $f_c/2^4$ [Hz]、SLOW1, 2 または SLEEP1, 2 モード時で $f_s/2^4$ [Hz] となります。

タイマ F/F4 は、TC4CR<TFF4> によって初期値を設定することができますので、正論理 / 負論理いずれのパルスも出力可能です。リセット時、タイマ F/F4 は “0” にクリアされます。

(PPG4 端子からはタイマ F/F4 値の反転レベルが出力されます)

なお、タイマレジスタは、必ず下位側、上位側の順 (TTREG3 → TTREG4、PWREG3 → PWREG4) に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

PPG 出力を行う場合は、I/O ポートの出力ラッチを “1” にセットしてください。

(プログラム例) 周期 16.385 ms、“H” レベル幅 1 ms のパルスを出力する ($f_c = 16.0$ MHz 時)

```

          ポートを設定する
LDW      (PWREG3), 07D0H      ; パルス幅の設定
LDW      (TTREG3), 8002H      ; 周期の設定
LD       (TC3CR), 33H        ; 動作クロックを  $f_c/2^3$ 、16 ビット PPG モード
          ; (下位側) に設定
LD       (TC4CR), 057H        ; TFF4 初期値 “0”、16 ビット PPG モード
          ; (上位側) に設定
LD       (TC4CR), 05FH        ; タイマスタート

```

注 1) プログラマブルパルスジェネレータモード時は、タイマ動作中に PWREG_i, TTREG_i の設定値を変更しないでください。プログラマブルパルスジェネレータモード時、PWREG_i, TTREG_i はシフトレジスタ構成となりませんので、PWREG_i, TTREG_i への設定値は書き替え直後に反映されます。従ってタイマ動作中に PWREG_i, TTREG_i を書き替えると想定している動作を得られない場合があります。

注 2) PPG 出力中にタイマを停止すると、PPG4 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TC4CR<TFF4> の操作を行ってください。タイマ停止と同時に TC4CR<TFF4> の設定を変更しないでください。

例：タイマカウンタ停止時に PPG4 端子を “H” レベルに固定する。

```

CLR      (TC4CR).3; タイマ停止
CLR      (TC4CR).7; PPG4 端子を “H” レベルに設定

```

注 3) $i = 3, 4$

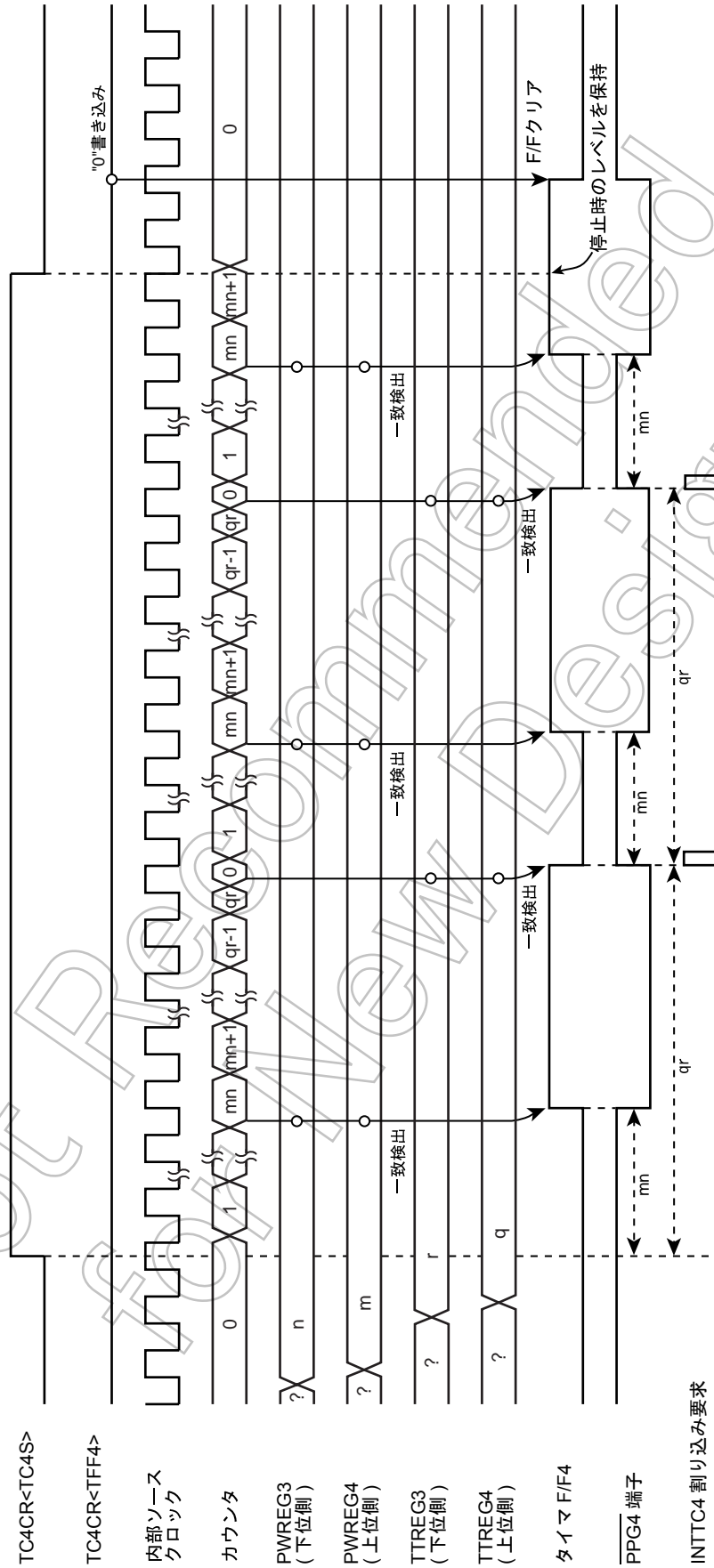


図 9-8 16 ビット PPG モードタイミングチャート (TC3 + TC4 の場合)

9.3.9 ウォーミングアップカウンタモード

システムクロックを高周波と低周波の間で切り替えるときに発振器が安定して動作するまでのウォーミングアップ時間を確保するモードです。タイマカウンタ3と4をカスケード接続し16ビットモードとして使用します。ウォーミングアップカウンタモードは、高周波から低周波に切り替えるときと、低周波から高周波に切り替えるときの2つのモードがあります。

- 注1) ウォーミングアップカウンタモード時は、TCiCR<TFFi>を“0”に固定してください。固定されない場合は、PDOi/PWMI/PPGi端子からパルスが出力されることがあります。
- 注2) ウォーミングアップカウンタモード時は、タイマレジスタ TTREG4, 3の下位8ビットは一致検出の対象外となり、上位8ビットのみの一致検出となります。
- 注3) i = 3, 4

9.3.9.1 低周波ウォーミングアップカウンタモード (NORMAL1 → NORMAL2 → SLOW2 → SLOW1)

低周波クロック fs が停止状態から安定して発振するまでのウォーミングアップ時間を確保するモードです。タイマをスタートさせる前に、SYSCR2<XTEN>を“1”に設定し低周波クロックを発振させます。TC4CR<TC4S>によりタイマスタート後、カウンタ値とタイマレジスタ (TTREG4, 3) 設定との一致で INTTC4 割り込み要求が発生し、カウンタがクリアされます。INTTC4 割り込みサービスルーチン内でタイマを停止した後、SYSCR2<SYSCK>を“1”に設定し、システムクロックを高周波から低周波に切り替えます。その後、SYSCR2<XEN>を“0”に設定し、高周波クロックを停止します。

表 9-8 低周波ウォーミングアップカウンタモードの設定時間 (fs = 32.768 kHz 時)

最小設定時間 (TTREG4, 3 = 0100H)	最大設定時間 (TTREG4, 3 = FF00H)
7.81 ms	1.99 s

(プログラム例) TC4, 3 で低周波クロックの安定した発振を確認後、SLOW1 モードへ切り替え

```

SET      (SYSCR2).6      ;SYSCR2<XTEN> ← “1”
LD       (TC3CR).43H    ;TFF3 = “0”, ソースクロック fs, 16ビットモードに設定
LD       (TC4CR).05H    ;TFF4 = “0”, ウォーミングアップカウンタモードに設定
LD       (TTREG3).8000H ;ウォーミングアップ時間をセット
                          ;(発振器の特性で時間を決定します)
DI       ;IMF ← “0”
SET      (EIRE).5       ;INTTC4 割り込みを許可
EI       ;IMF ← “1”
SET      (TC4CR).3     ;TC4, 3 スタート
:       :
PINTTC4: CLR      (TC4CR).3 ;TC4, 3 ストップ
SET      (SYSCR2).5     ;SYSCR2<SYSCK> ← “1”
                          ;(システムクロックを低周波に切り替え)
CLR      (SYSCR2).7     ;SYSCR2<XEN> ← “0” (高周波クロック停止)
RETI
:       :
VINTTC4: DW       PINTTC4 ;INTTC4 ベクタテーブル
    
```

9.3.9.2 高周波ウォーミングアップカウンタモード (SLOW1 → SLOW2 → NORMAL2 → NORMAL1)

高周波クロック f_c が停止状態から安定して発振するまでのウォーミングアップ時間を確保するモードです。タイマをスタートさせる前に、SYSCR2<XEN> を“1”に設定し高周波クロックを発振させます。TC4CR<TC4S> によりタイマスタート後、カウンタ値とタイマレジスタ (TTREG4, 3) 設定との一致で INTTC4 割り込み要求が発生し、カウンタがクリアされます。INTTC4 割り込みサービスルーチン内でタイマを停止した後、SYSCR2<SYSCK> を“0”に設定し、システムクロックを低周波から高周波に切り替えます。その後、SYSCR2<XTEN> を“0”に設定し、低周波クロックを停止します。

表 9-9 高周波ウォーミングアップカウンタモードの設定時間

最小設定時間 (TTREG4, 3 = 0100H)	最大設定時間 (TTREG4, 3 = FF00H)
16 μ s	4.08 ms

(プログラム例) TC4, 3 で高周波クロックの安定した発振を確認後、NORMAL1 モードへ切り替え

```

SET      (SYSCR2).7      ; SYSCR2<XEN> ← “1”
LD       (TC3CR), 63H    ; TFF3 = “0”, ソースクロック  $f_c$ ,
                        ; 16 ビットモードに設定
LD       (TC4CR), 05H    ; TFF4 = “0”, ウォーミングアップカウンタモード
                        ; に設定
LD       (TTREG3), 0F800H ; ウォーミングアップ時間をセット
                        ; (発振器の特性で時間を決定します)
DI       ; IMF ← “0”
SET      (EIRE). 5      ; INTTC4 割り込みを許可
EI       ; IMF ← “1”
SET      (TC4CR).3      ; TC4, 3 スタート
:
:
PINTTC4: CLR      (TC4CR).3 ; TC4, 3 ストップ
          CLR      (SYSCR2).5 ; SYSCR2<SYSCK> ← “0”
                        ; (システムクロックを高周波に切り替え)
          CLR      (SYSCR2).6 ; SYSCR2<XTEN> ← “0”
                        ; (低周波クロック停止)
          RETI
:
:
VINTTC4: DW       PINTTC4 ; INTTC4 ベクタテーブル

```


Not Recommended
for New Design

第 10 章 8 ビットタイマカウンタ (TC5, TC6)

10.1 構成

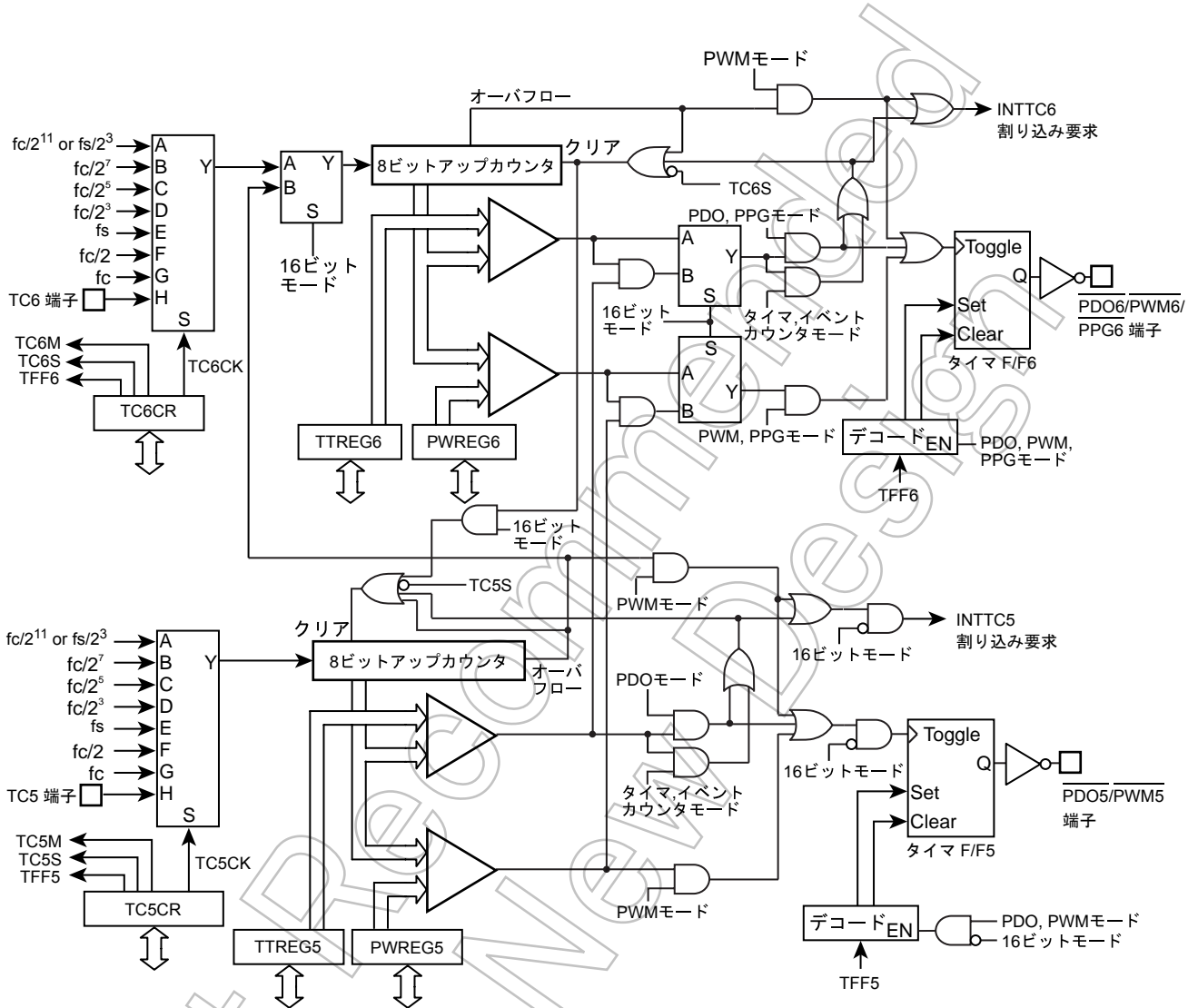


図 10-1 8 ビットタイマカウンタ 5, 6

10.2 制御

タイマカウンタ5は、タイマカウンタ5制御レジスタ (TC5CR) と2本の8ビットタイマレジスタ (TTREG5, PWREG5) で制御されます。

タイマカウンタ5のタイマレジスタ

TTREG5 (0017H) R/W	7	6	5	4	3	2	1	0	(初期値: 1111 1111)

PWREG5 (001BH) R/W	7	6	5	4	3	2	1	0	(初期値: 1111 1111)

- 注 1) タイマ動作中は、タイマレジスタ (TTREG5) の設定値を変更しないでください。
- 注 2) 8/16 ビット PWM モード以外の動作モードでは、タイマ動作中にタイマレジスタ (PWREG5) の設定値を変更しないでください。

タイマカウンタ5制御レジスタ

TC5CR (000BH)	7	6	5	4	3	2	1	0	(初期値: 0000 0000)
	TFF5	TC5CK		TC5S	TC5M				

TFF5	タイマ F/F5 の制御	0: クリア 1: セット			R/W	
TC5CK	動作クロック選択 [Hz]	NORMAL 1/2, IDLE 1/2 モード		SLOW 1/2 SLEEP 1/2 モード	R/W	
		DV7CK = 0		DV7CK = 1		
		000	$fc/2^{11}$	$fs/2^3$		$fs/2^3$
		001	$fc/2^7$	$fc/2^7$		—
		010	$fc/2^6$	$fc/2^5$		—
		011	$fc/2^3$	$fc/2^3$		—
		100	fs	fs		fs
		101	$fc/2$	$fc/2$		—
110	fc	fc	fc (注 8)			
111	TC5 端子入力					
TC5S	タイマスタート制御	0: 動作停止 & カウンタクリア 1: 動作開始			R/W	
TC5M	動作モード選択	000: 8 ビットタイマ / イベントカウンタモード 001: 8 ビットプログラマブルデバイダ出力 (PDO) モード 010: 8 ビットパルス幅変調出力 (PWM) モード 011: 16 ビットモード (各モード選択は TC6M にて設定してください) 1**: Reserved			R/W	

- 注 1) fc: 高周波クロック [Hz] fs: 低周波クロック [Hz]
- 注 2) タイマ動作中は、TC5M, TC5CK, TFF5 の設定を変更しないでください。
- 注 3) タイマを動作停止 (TC5S = "1" → "0") するときは、TC5M, TC5CK, TFF5 の設定を変更しないでください。ただしタイマを動作開始 (TC5S = "0" → "1") するときは、TC5M, TC5CK, TFF5 の設定を変更することができます。
- 注 4) 16 ビットモードで使用する場合、動作モードの設定は TC6CR<TC6M> にて行い、TC5M は "011" に固定してください。
- 注 5) 16 ビットモードで使用する場合、ソースクロックの選択は TC5CK にて行い、タイマスタート制御、タイマ F/F の制御については TC6CR<TC6S>, TC6CR<TFF6> にて設定してください。
- 注 6) 動作クロックの選択は、タイマの動作モードにより制限があります。詳しくは表 10-1, 表 10-2 を参照してください。

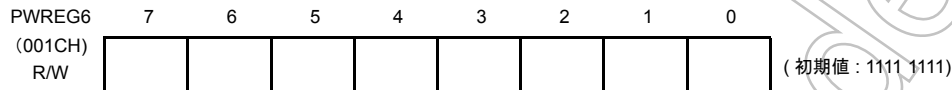
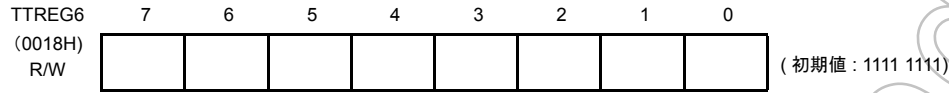
注 7) タイマレジスタの設定値は、タイマの動作モードにより制限があります。詳しくは表 10-3 を参照してください。

注 8) SLOW, SLEEP モード時の動作クロック f_c は、高周波ウォーミングアップモードとしてのみ使用できます。

Not Recommended
for New Design

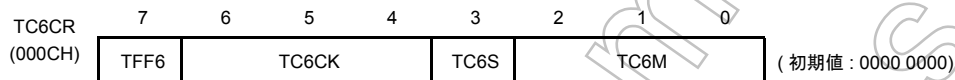
タイマカウンタ6は、タイマカウンタ6制御レジスタ (TC6CR) と2本の8ビットタイマレジスタ (TTREG6, PWREG6) で制御されます。

タイマカウンタ 6 のタイマレジスタ



- 注 1) タイマ動作中は、タイマレジスタ (TTREG6) の設定値を変更しないでください。
- 注 2) 8/16 ビット PWM モード以外の動作モードでは、タイマ動作中にタイマレジスタ (PWREG6) の設定値を変更しないでください。

タイマカウンタ 6 制御レジスタ



TFF6	タイマ F/F6 の制御	0: クリア 1: セット	NORMAL 1/2, IDLE 1/2 モード			R/W	
TC6CK	動作クロック選択 [Hz]		DV7CK = 0		SLOW 1/2 SLEEP 1/2 モード	R/W	
			000	$fc/2^{11}$	$fs/2^3$		$fs/2^3$
			001	$fc/2^7$	$fc/2^7$		—
			010	$fc/2^5$	$fc/2^5$		—
			011	$fc/2^3$	$fc/2^3$		—
			100	fs	fs		fs
			101	fc/2	fc/2		—
			110	fc	fc		—
			TC6 端子入力				
TC6S	タイマスタート制御	0: 動作停止 & カウンタクリア 1: 動作開始				R/W	
TC6M	動作モード選択	000: 8 ビットタイマ / イベントカウンタモード 001: 8 ビットプログラマブルデバイダ出力 (PDO) モード 010: 8 ビットパルス幅変調出力 (PWM) モード 011: Reserved 100: 16 ビットタイマ / イベントカウンタモード 101: ウォーミングアップカウンタモード 110: 16 ビットパルス幅変調出力 (PWM) モード 111: 16 ビット PPG モード				R/W	

- 注 1) fc: 高周波クロック [Hz] fs: 低周波クロック [Hz]
- 注 2) タイマ動作中は、TC6M, TC6CK, TFF6 の設定を変更しないでください。
- 注 3) タイマを動作停止 (TC6S = "1" → "0") するときは、TC6M, TC6CK, TFF6 の設定を変更しないでください。ただしタイマを動作開始 (TC6S = "0" → "1") するときは、TC6M, TC6CK, TFF6 の設定を変更することができます。
- 注 4) TC6M = 1** のとき (16 ビットモードの上位側) のときは、TC6CK の設定に関係なく、ソースクロックは TC5 オーバフロー信号になります。
- 注 5) 16 ビットモードで使用する場合、動作モードの選択は TC6M にて行います。そのとき、TC5CR<TC5M> は必ず "011" に設定してください。

- 注 6) 16 ビットモードで使用する場合、ソースクロックの選択は TC5CR<TC5CK> にて行い、タイマスタート制御、タイマ F/ F の制御については TC6S、TFF6 にて設定してください。
- 注 7) 動作クロックの選択は、タイマの動作モードにより制限があります。詳しくは表 10-1, 表 10-2 を参照してください。
- 注 8) タイマレジスタの設定値は、タイマの動作モードにより制限があります。詳しくは表 10-3 を参照してください。

Not Recommended
for New Design

表 10-1 動作モードと使用できるソースクロック (NORMLAL1/2, IDLE1/2 モード時)

動作モード	fc/2 ¹¹ or fs/2 ³	fc/2 ⁷	fc/2 ⁵	fc/2 ³	fs	fc/2	fc	TC5 端子 入力	TC6 端子 入力
8 ビットタイマ	○	○	○	○	—	—	—	—	—
8 ビットイベントカウンタ	—	—	—	—	—	—	—	○	○
8 ビット PDO	○	○	○	○	—	—	—	—	—
8 ビット PWM	○	○	○	○	○	○	○	—	—
16 ビットタイマ	○	○	○	○	—	—	—	—	—
16 ビットイベントカウンタ	—	—	—	—	—	—	—	○	—
ウォーミングアップカウンタ	—	—	—	—	○	—	—	—	—
16 ビット PWM	○	○	○	○	○	○	○	○	—
16 ビット PPG	○	○	○	○	—	—	—	○	—

注 1) 16 ビット動作 (16 ビットタイマ/イベントカウンタ、ウォーミングアップカウンタ、16 ビット PWM、16 ビット PPG) のソースクロックは下位ビット側 (TC5CK) にて設定してください。

表 10-2 動作モードと使用できるソースクロック (SLOW1/2, SLEEP1/2 モード時)

動作モード	fc/2 ¹¹ or fs/2 ³	fc/2 ⁷	fc/2 ⁵	fc/2 ³	fs	fc/2	fc	TC5 端子 入力	TC6 端子 入力
8 ビットタイマ	○	—	—	—	—	—	—	—	—
8 ビットイベントカウンタ	—	—	—	—	—	—	—	○	○
8 ビット PDO	○	—	—	—	—	—	—	—	—
8 ビット PWM	○	—	—	—	○	—	—	—	—
16 ビットタイマ	○	—	—	—	—	—	—	—	—
16 ビットイベントカウンタ	—	—	—	—	—	—	—	○	—
ウォーミングアップカウンタ	—	—	—	—	—	—	○	—	—
16 ビット PWM	○	—	—	—	○	—	—	○	—
16 ビット PPG	○	—	—	—	—	—	—	○	—

注 1) 16 ビット動作 (16 ビットタイマ/イベントカウンタ、ウォーミングアップカウンタ、16 ビット PWM、16 ビット PPG) のソースクロックは下位ビット側 (TC5CK) にて設定してください。

表 10-3 比較用レジスタへの設定値に関する制約事項

動作モード	レジスタへの設定値
8 ビットタイマ/イベントカウンタ	$1 \leq (\text{TTREGn}) \leq 255$
8 ビット PDO	$1 \leq (\text{TTREGn}) \leq 255$
8 ビット PWM	$2 \leq (\text{PWREGn}) \leq 254$
16 ビットタイマ/イベントカウンタ	$1 \leq (\text{TTREG6, 5}) \leq 65535$
ウォーミングアップカウンタ	$256 \leq (\text{TTREG6, 5}) \leq 65535$
16 ビット PWM	$2 \leq (\text{PWREG6, 5}) \leq 65534$
16 ビット PPG	$1 \leq (\text{PWREG6, 5}) < (\text{TTREG6, 5}) \leq 65535$ かつ $(\text{PWREG6, 5}) + 1 < (\text{TTREG6, 5})$

注) n = 5~6

Not Recommended
for New Design

10.3 機能

タイマカウンタ 5, 6 にはそれぞれ、8 ビットタイマモード、8 ビットイベントカウンタモード、8 ビットプログラマブルデバウンド出力 (PDO) モード、8 ビットパルス幅変調出力 (PWM) モードがあります。また、タイマカウンタ 5, 6 (TC5, 6) を 1 つの 16 ビットタイマとして動作させる事も可能です。16 ビットタイマとしての動作には、16 ビットタイマモード、16 ビットイベントカウンタモード、ウォーミングアップカウンタモード、16 ビットパルス幅変調出力 (PWM) モード、16 ビットプログラマブルパルスジェネレート出力 (PPG) モードがあります。

10.3.1 8 ビットタイマモード (TC5, 6)

このモードは内部クロックでカウントアップするモードです。アップカウンタの値とタイマレジスタ j (TTREG j) 設定値が一致すると INTTC j 割り込み要求が発生し、アップカウンタがクリアされます。カウンタクリア後もカウントアップを継続します。

- 注 1) タイマモード時は、TCjCR<TFFj> を “0” に固定してください。固定されない場合は、PDOj/PWMj/PPGj 端子からパルスが出力されることがあります。
- 注 2) タイマモード時は、タイマ動作中に TTREG j の設定値を変更しないでください。タイマモード時、TTREG j はシフトレジスタ構成となりませんので、TTREG j への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREG i を書き替えると想定している動作を得られない場合があります。
- 注 3) $j = 5, 6$

表 10-4 タイマカウンタ 5, 6 のソースクロック (内部クロック)

ソースクロック			分解能		最大設定時間	
NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード	fc = 16 MHz 時	fs = 32.768 kHz 時	fc = 16 MHz 時	fs = 32.768 kHz 時
DV7CK = 0	DV7CK = 1					
fc/2 ¹¹ [Hz]	fs/2 ³ [Hz]	fs/2 ³ [Hz]	128 μ s	244.14 μ s	32.6 ms	62.3 ms
fc/2 ⁷	fc/2 ⁷	—	8 μ s	—	2.0 ms	—
fc/2 ⁵	fc/2 ⁵	—	2 μ s	—	510 μ s	—
fc/2 ³	fc/2 ³	—	500 ns	—	127.5 μ s	—

(プログラム例) ソースクロック $fc/2^7$ [Hz] でタイマモードにセットし、80 μ s 後に割り込みを発生させる (タイマカウンタ 6、 $fc = 16.0$ MHz 時)

```
LD    (TTREG6), 0AH           ; タイマレジスタの設定 (80  $\mu$ s  $\div$  27/fc = 0AH)
DI
SET   (EIRD), 0              ; INTTC6 割り込みを許可
EI
LD    (TC6CR), 00010000B     ; 動作クロックを fc/27, 8 ビットタイマモードに設定
LD    (TC6CR), 00011000B     ; TC6 スタート
```

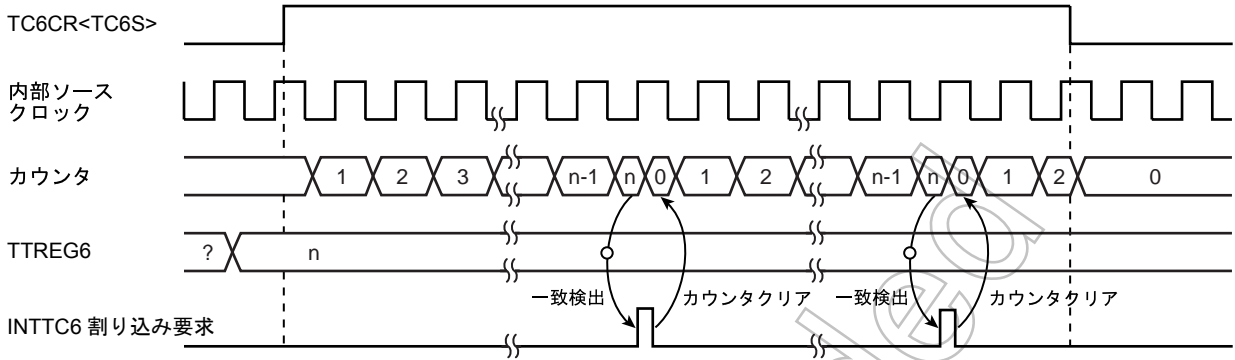


図 10-2 8 ビットタイマモードタイミングチャート (TC6 の場合)

10.3.2 8 ビットイベントカウンタモード (TC5, 6)

このモードは TC_j 端子入力の立ち下がりエッジでカウントアップするモードです。アップカウンタの値と TTREG_j 設定値が一致すると INTTC_j 割り込み要求が発生し、アップカウンタがクリアされます。カウンタクリア後も TC_j 端子入力の立ち下がりエッジごとにカウントアップします。TC_j 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。したがって、最大印加周波数は、NORMAL1,2 または IDLE1,2 モード時で $f_c/2^4$ [Hz]、SLOW1,2 または SLEEP1,2 モード時で $f_s/2^4$ [Hz] となります。

- 注 1) イベントカウンタモード時は、TC_jCR<TFF_j> を “0” に固定してください。固定されない場合は、 $\overline{PDO_j}$ /PWM_j/PPG_j 端子からパルスが出力されることがあります。
- 注 2) イベントカウンタモード時は、タイマ動作中に TTREG_j の設定値を変更しないでください。イベントカウンタモード時、TTREG_j はシフトレジスタ構成となりませんので、TTREG_j への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREG_j を書き替えると想定している動作を得られない場合があります。
- 注 3) j = 5, 6

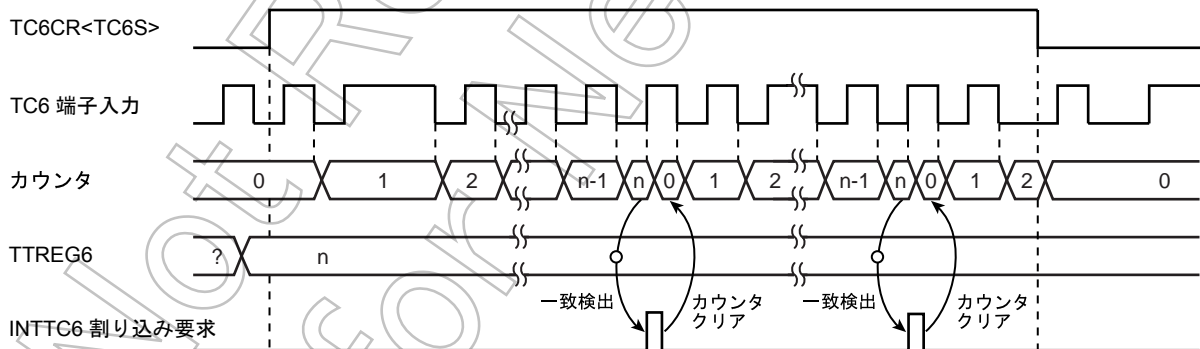


図 10-3 8 ビットイベントカウンタモードタイミングチャート (TC6 の場合)

10.3.3 8 ビットプログラマブル デバイダ出力 (PDO) モード (TC5, 6)

このモードは $\overline{PDO_j}$ 端子からデューティ 50% のパルスを出力するモードです。

内部クロックでカウントアップし、TTREG_j との一致ごとにタイマ F/F_j 値を反転しアップカウンタをクリアします。このとき INTTC_j 割り込み要求が発生します。 $\overline{PDO_j}$ 端子からはタイマ F/F_j 値の反転レベルが出力されます。なお、タイマ F/F_j 値は TC_jCR<TFF_j> によって任意の値を設定することができます。リセット時、タイマ F/F_j 値は “0” に初期化されます。

プログラマブルデバイダ出力を行う場合は、I/O ポートの出力ラッチを“1”にセットしてください。

(プログラム例) TC6 を使用し、1024 Hz のパルスを出力 ($f_c = 16.0 \text{ MHz}$)

ポートを設定		
LD	(TTREG6), 3DH	; $1/1024 \div 2^7/f_c \div 2 = 3DH$
LD	(TC6CR), 00010001B	; 動作クロックを $f_c/2^7$, 8 ビット PDO モードに設定
LD	(TC6CR), 00011001B	; TC6 スタート

注 1) プログラマブルデバイダ出力モード時は、タイマ動作中に TTREGj の設定値を変更しないでください。プログラマブルデバイダ出力モード時、TTREGj はシフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。

注 2) PDO 出力中にタイマを停止すると、 $\overline{\text{PDOj}}$ 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TCjCR<TFFj> の操作を行ってください。ただし、タイマ停止と同時に TCjCR<TFFj> の設定を変更しないでください。

例：タイマカウンタ停止時に $\overline{\text{PDOj}}$ 端子を “H” レベルに固定する。

CLR (TCjCR).3; タイマ停止

CLR (TCjCR).7; $\overline{\text{PDOj}}$ 端子を “H” レベルに設定

注 3) j = 5, 6

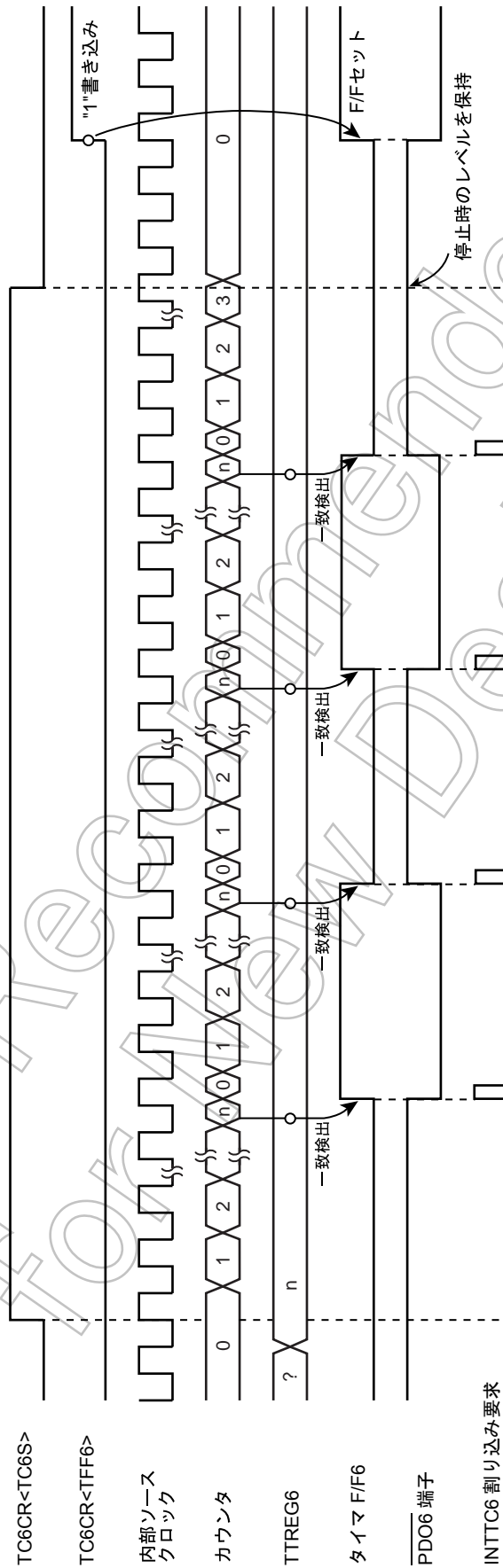


図 10-4 8ビット PDO モードタイミングチャート (TC6 の場合)

10.3.4 8 ビットパルス幅変調 (PWM) 出力モード (TC5, 6)

このモードは分解能 8 ビットの PWM 出力を行うモードです。内部クロックでカウントアップし、アップカウンタの値と PWREGj 設定値が一致するとタイマ F/Fj 値を反転します。カウンタはさらにカウントアップし、オーバフローでタイマ F/Fj 値を再び反転し、カウンタをクリアします。このとき INTTCj 割り込み要求が発生します。

タイマ F/Fj は、TCjCR<TFFj> によって初期値を設定することができますので、正論理 / 負論理いずれのパルスも出力可能です。リセット時、タイマ F/Fj は “0” にクリアされます。

(PWMj 端子からはタイマ F/Fj 値の反転レベルが出力されます)

PWM モード中の PWREGj は、シフトレジスタとの 2 段構成となっており、タイマ動作中に PWREGj の設定値を変更することが可能です。タイマ動作中、PWREGj への設定値は INTTCj 割り込み要求によってシフトし反映されます。ただしタイマ停止時は、PWREGj にデータを設定した直後にシフトされます。

PWM 出力中、PWREGj に対してリード命令を実行すると PWREGj の設定値ではなく、シフトレジスタの値が読み込まれます。従って PWREGj を設定してから INTTCj 割り込み要求までの間は、前回の PWREGj 設定値が読み込まれます。

PWM 出力を行う端子は、I/O ポートの出力ラッチを “1” にセットしてください。

- 注 1) PWM モード時、タイマレジスタ PWREGj への書き込みは、INTTCj 割り込み要求発生直後 (通常は INTTCj 割り込みサービスルーチン内) に行ってください。タイマレジスタ PWREGj への書き込みと INTTCj 割り込み要求のタイミングが重なった場合、書き込み途中の不安定な値がシフト動作されるため、次の INTTCj 割り込み要求までの間、設定値と異なるパルスが出力されることがあります。
- 注 2) PWM 出力中にタイマを停止すると、PWMj 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TCjCR<TFFj> の操作を行ってください。ただし、タイマ停止と同時に TCjCR<TFFj> の設定を変更しないでください。
例: タイマカウンタ停止時に PWMj 端子を “H” レベルに固定する。
CLR (TCjCR).3; タイマ停止
CLR (TCjCR).7; PWMj 出力を “H” レベルに設定
- 注 3) PWM 出力中、STOP モードを起動する場合は、タイマを停止してから STOP モードを起動してください。タイマを停止せずに STOP モードを起動し、さらにソースクロックとして fc, fc/2 または fs が選択されている場合は、STOP 解除後のウォーミングアップ中に PWMj 端子からパルスが出力されます。
- 注 4) j = 5, 6

表 10-5 PWM 出力モード

ソースクロック		SLOW1/2, SLEEP1/2 モード	分解能		繰り返し周期	
NORMAL1/2, IDLE1/2 モード			fc = 16 MHz 時	fs = 32.768 kHz 時	fc = 16 MHz 時	fs = 32.768 kHz 時
DV7CK = 0	DV7CK = 1					
fc/2 ¹¹ [Hz]	fs/2 ³ [Hz]	fs/2 ³ [Hz]	128 μs	244.14 μs	32.8 ms	62.5 ms
fc/2 ⁷	fc/2 ⁷	—	8 μs	—	2.05 ms	—
fc/2 ⁵	fc/2 ⁵	—	2 μs	—	512 μs	—
fc/2 ³	fc/2 ³	—	500ns	—	128 μs	—
fs	fs	fs	30.5 μs	30.5 μs	7.81 ms	7.81 ms
fc/2	fc/2	—	125 ns	—	32 μs	—
fc	fc	—	62.5 ns	—	16 μs	—

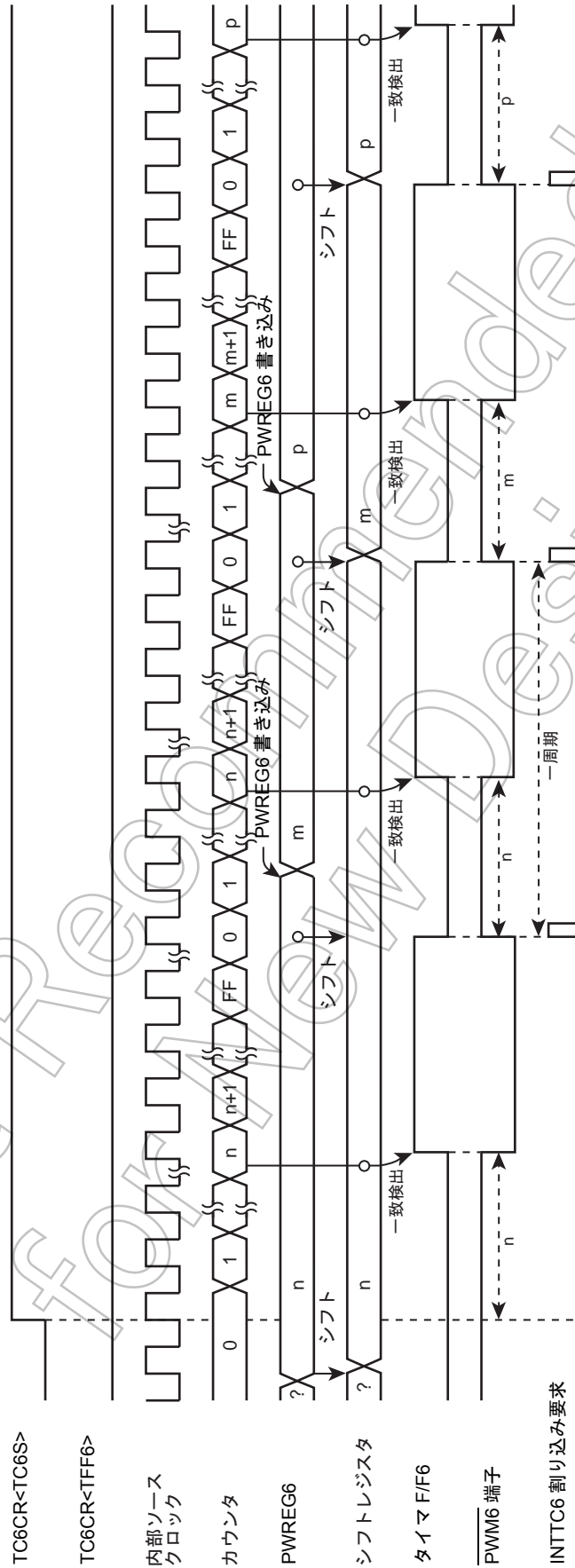


図 10-5 8ビット PWM 出力モードタイミングチャート (TC6 の場合)

10.3.5 16 ビットタイマモード (TC5 + 6)

このモードは内部クロックでカウントアップするモードです。

タイマカウンタ 5 と 6 をそれぞれカスケード接続することにより、16 ビットタイマモードとして使用することができます。

TC6CR<TC6S> によりタイマスタート後、アップカウンタの値とタイマレジスタ (TTREG5, TTREG6) 設定値が一致すると INTTC6 割り込み要求が発生し、アップカウンタがクリアされます。カウンタクリア後もカウントアップは継続されます。タイマレジスタは、必ず下位側 (TTREG5)、上位側 (TTREG6) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

- 注 1) タイマモード時は、TCjCR<TFFj> を “0” に固定してください。固定されない場合は、 $\overline{\text{PDOj}}/\text{PWMj}/\text{PPGj}$ 端子からパルスが出力されることがあります。
- 注 2) タイマモード時は、タイマ動作中に TTREGj の設定値を変更しないでください。タイマモード時、TTREGj はシフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。
- 注 3) j = 5, 6

表 10-6 16 ビットタイマモードのソースクロック

ソースクロック		SLOW1/2, SLEEP1/2 モード	分解能		繰り返し周期	
NORMAL1/2, IDLE1/2 モード			fc = 16 MHz 時	fs = 32.768 kHz 時	fc = 16 MHz 時	fs = 32.768 kHz 時
DV7CK = 0	DV7CK = 1					
fc/2 ¹¹	fs/2 ³	fs/2 ³	128 μs	244.14 μs	8.39 s	16s
fc/2 ⁷	fc/2 ⁷	—	8 μs	—	524.3 ms	—
fc/2 ⁵	fc/2 ⁵	—	2 μs	—	131.1 ms	—
fc/2 ³	fc/2 ³	—	500 ns	—	32.8 ms	—

(プログラム例) ソースクロック $fc/2^7$ [Hz] でタイマモードにセットし、300 ms 後に割り込みを発生させる (fc = 16.0 MHz 時)

```
LDW      (TTREG5), 927CH      ; タイマレジスタの設定 (300 ms ÷ 27/fc = 927CH)
DI
SET      (EIRD), 0           ; INTTC6 割り込みを許可
EI
LD       (TC5CR), 13H       ; 動作クロックを fc/27、16 ビットタイマモード
                               ; (下位側) に設定
LD       (TC6CR), 04H       ; 16 ビットタイマモード (上位側) に設定
LD       (TC6CR), 0CH       ; タイマスタート
```

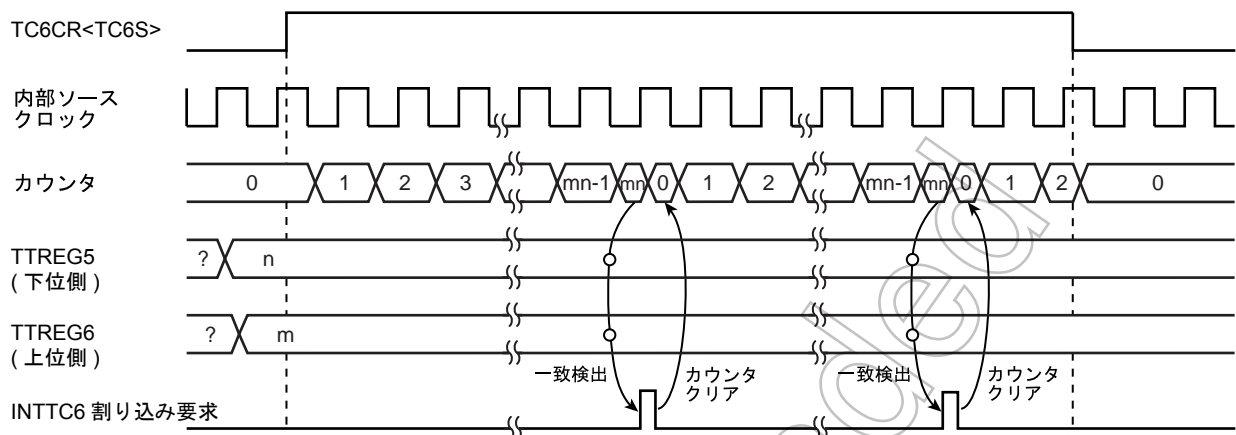


図 10-6 16 ビットタイマモードタイミングチャート (TC5 + TC6 の場合)

10.3.6 16 ビットイベントカウンタモード (TC5 + 6)

このモードは TC5 端子の立ち下がりエッジでカウントアップするモードです。

タイマカウンタ 5 と 6 とをカスケード接続することにより、16 ビットイベントカウンタモードとして使用することができます。

TC6CR<TC6S> によりタイマスタート後、アップカウンタの値とタイマレジスタ (TTREG5, TTREG6) の設定値が一致すると INTTC6 割り込み要求が発生し、カウンタがクリアされます。カウンタクリア後も TC5 端子入力の立ち下がりエッジごとにカウントアップは継続されます。

TC5 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。従って、最大印加周波数は NORMAL1 または IDLE1 モード時で $f_c/2^4$ [Hz]、SLOW1, 2 または SLEEP1, 2 モード時で $f_s/2^4$ [Hz] となります。

タイマレジスタは、必ず下位側 (TTREG5)、上位側 (TTREG6) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

- 注 1) イベントカウンタモード時は、TCjCR<TFFj> を “0” に固定してください。固定されない場合は、 $\overline{\text{PDOj}}/\text{PWMj}/\text{PPGj}$ 端子からパルスが出力されることがあります。
- 注 2) イベントカウンタモード時は、タイマ動作中に TTREGj の設定値を変更しないでください。イベントカウンタモード時、TTREGj はシフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従ってタイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。
- 注 3) j = 5, 6

10.3.7 16 ビットパルス幅変調 (PWM) 出力モード (TC5 + 6)

このモードは分解能 16 ビットの PWM 出力を行うモードです。タイマカウンタ 5 と 6 をカスケード接続することにより、16 ビット PWM モードとして使用することができます。

内部クロックまたは外部クロックでカウントアップし、アップカウンタの値とタイマレジスタ (PWREG5, PWREG6) 設定値が一致するとタイマ F/F6 を反転します。カウンタはさらにカウントアップし、オーバフローでタイマ F/F6 を再び反転し、カウンタをクリアします。なお、このとき INTTC6 割り込みが発生します。

TC5 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。従って、最大印加周波数は NORMAL1 または IDLE1 モード時で $f_c/2^4$ [Hz]、SLOW1, 2 または SLEEP1, 2 モード時で $f_s/2^4$ [Hz] となります。

タイマ F/F6 は、TC6CR<TFF6> によって初期値を設定することができますので、正論理 / 負論理いずれのパルスも出力可能です。リセット時、タイマ F/F6 は “0” にクリアされます。

(PWM6 端子からはタイマ F/F6 値の反転レベルが出力されます)

PWM モード中の PWREG6, 5 は、シフトレジスタとの 2 段構成となっており、タイマ動作中に PWREG6, 5 の設定値を変更することが可能です。タイマ動作中、PWREG6, 5 への設定値は INTTC6 割り込み要求によってシフトし反映されます。ただしタイマ停止時は、PWREG6, 5 にデータを設定した直後にシフトされます。PWREG6, 5 の書き替えを行うときは、必ず下位側 (PWREG5)、上位側 (PWREG6) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

PWM 出力中、PWREG6, 5 に対してリード命令を実行すると PWREG6, 5 の設定値ではなく、シフトレジスタの値が読み込まれます。従って PWREG6, 5 を設定してから INTTC6 割り込み要求までの間は、前回の PWREG6, 5 設定値が読み込まれます。

PWM 出力を行う場合は、I/O ポートの出力ラッチを “1” にセットしてください。

- 注 1) PWM モード時、タイマレジスタ PWREG6, 5 への書き込みは、INTTC6 割り込み要求発生直後 (通常は INTTC6 割り込みサービスルーチン内) に行ってください。タイマレジスタ PWREG6, 5 への書き込みと INTTC6 割り込み要求のタイミングが重なった場合、書き込み途中の不安定な値がシフト動作されるため、次の INTTC6 割り込み要求までの間、設定値と異なるパルスが出力されることがあります。
- 注 2) PWM 出力中にタイマを停止すると、PWM6 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TC6CR<TFF6> の操作を行ってください (タイマ停止と同時に TC6CR<TFF6> の設定を変更しないでください)。
例：タイマカウンタ停止時に PWM6 端子を “H” レベルに固定する。
CLR (TC6CR).3; タイマ停止
CLR (TC6CR).7; PWM6 端子を “H” レベルに設定
- 注 3) STOP モードを起動する場合は、事前にタイマカウンタを停止してください。PWM 出力中に STOP モードを起動すると、STOP モード解除後のウォーミングアップ中に PWM6 端子からパルスが出力されます (ソースクロックとして fc, fc/2 または fs を選択した場合)。

表 10-7 16 ビット PWM 出力モード

ソースクロック		SLOW1/2, SLEEP1/2 モード	分解能		繰り返し周期	
NORMAL1/2, IDLE1/2 モード	DV7CK = 0		fc = 16 MHz 時	fs = 32.768 kHz 時	fc = 16 MHz 時	fs = 32.768 kHz 時
fc/2 ¹¹	fs/2 ³ [Hz]	fs/2 ³ [Hz]	128 μs	244.14 μs	8.39 s	16 s
fc/2 ⁷	fc/2 ⁷	—	8 μs	—	524.3 ms	—
fc/2 ⁵	fc/2 ⁵	—	2 μs	—	131.1 ms	—
fc/2 ³	fc/2 ³	—	500ns	—	32.8 ms	—
fs	fs	fs	30.5 μs	30.5 μs	2 s	2 s
fc/2	fc/2	—	125 ns	—	8.2 ms	—
fc	fc	—	62.5 ns	—	4.1 ms	—

(プログラム例) 周期 32.768 ms、“H” レベル幅 1 ms のパルスを出力する (fc = 16.0 MHz 時)

```

        ポートを設定する
LDW    (PWREG5), 07D0H    ; パルス幅の設定
LD     (TC5CR), 33H      ; 動作クロックを fc/23、16 ビット PWM モード (下位側)
                           ; に設定
LD     (TC6CR), 056H    ; TFF6 初期値 “0”、16 ビット PWM モード (上位側)
                           ; に設定
LD     (TC6CR), 05EH    ; タイマスタート
    
```

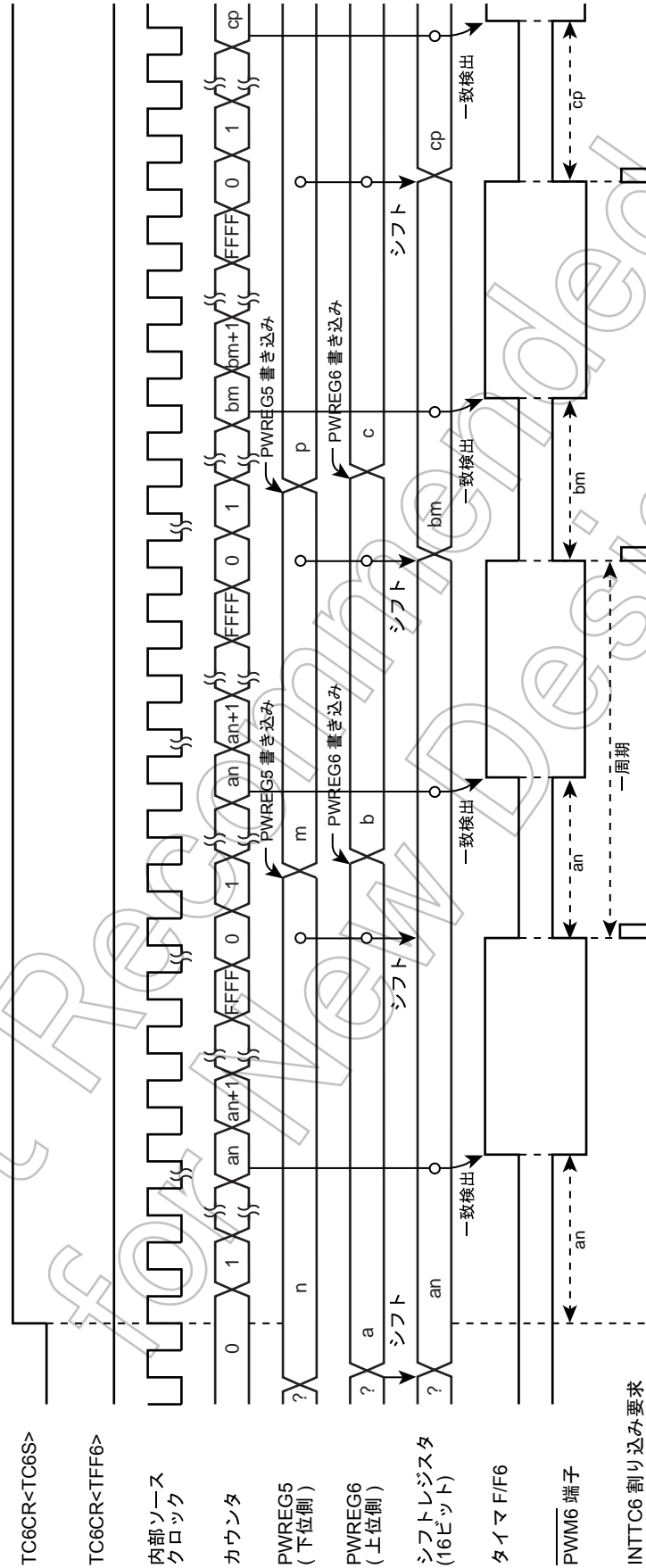


図 10-7 16 ビット PWM モードタイミングチャート (TC5 + TC6 の場合)

10.3.8 16 ビットプログラマブルパルスジェネレータ (PPG) 出力モード (TC5 + 6)

このモードは分解能 16 ビットの PPG 出力を行うモードです。

タイマカウンタ 5 と 6 をカスケード接続することにより、16 ビット PPG モードとして使用することができます。

内部クロックまたは外部クロックでカウントアップし、アップカウンタの値とタイマレジスタ (PWREG5, PWREG6) の設定値が一致するとタイマ F/F6 を反転します。カウンタはさらにカウントアップし、タイマレジスタ (TTREG5, TTREG6) 設定との一致でタイマ F/F6 を再び反転し、カウンタをクリアします。なお、このとき INTTC6 割り込み要求が発生します。

TC5 端子への最小入力パルス幅は、“H”、“L” レベルともに 2 マシンサイクルです。従って、最大印加周波数は NORMAL1 または IDLE1 モード時で $f_c/2^4$ [Hz]、SLOW1, 2 または SLEEP1, 2 モード時で $f_s/2^4$ [Hz] となります。

タイマ F/F6 は、TC6CR<TFF6> によって初期値を設定することができますので、正論理 / 負論理いずれのパルスも出力可能です。リセット時、タイマ F/F6 は “0” にクリアされます。

($\overline{\text{PPG6}}$ 端子からはタイマ F/F6 値の反転レベルが出力されます)

なお、タイマレジスタは、必ず下位側、上位側の順 (TTREG5 → TTREG6、PWREG5 → PWREG6) に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

PPG 出力を行う場合は、I/O ポートの出力ラッチを “1” にセットしてください。

(プログラム例) 周期 16.385 ms、“H” レベル幅 1 ms のパルスを出力する ($f_c = 16.0$ MHz 時)

```

          ポートを設定する
LDW      (PWREG5), 07D0H      ; パルス幅の設定
LDW      (TTREG5), 8002H      ; 周期の設定
LD       (TC5CR), 33H        ; 動作クロックを  $f_c/2^3$ 、16 ビット PPG モード
          ; (下位側) に設定
LD       (TC6CR), 057H      ; TFF6 初期値 “0”、16 ビット PPG モード
          ; (上位側) に設定
LD       (TC6CR), 05FH      ; タイマスタート

```

注 1) プログラマブルパルスジェネレータモード時は、タイマ動作中に PWREG_i, TTREG_i の設定値を変更しないでください。プログラマブルパルスジェネレータモード時、PWREG_i, TTREG_i はシフトレジスタ構成となりませんので、PWREG_i, TTREG_i への設定値は書き替え直後に反映されます。従ってタイマ動作中に PWREG_i, TTREG_i を書き替えると想定している動作を得られない場合があります。

注 2) PPG 出力中にタイマを停止すると、 $\overline{\text{PPG6}}$ 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TC6CR<TFF6> の操作を行ってください。タイマ停止と同時に TC6CR<TFF6> の設定を変更しないでください。

例：タイマカウンタ停止時に $\overline{\text{PPG6}}$ 端子を “H” レベルに固定する。

```

CLR      (TC6CR).3; タイマ停止
CLR      (TC6CR).7;  $\overline{\text{PPG6}}$  端子を “H” レベルに設定

```

注 3) $i = 5, 6$

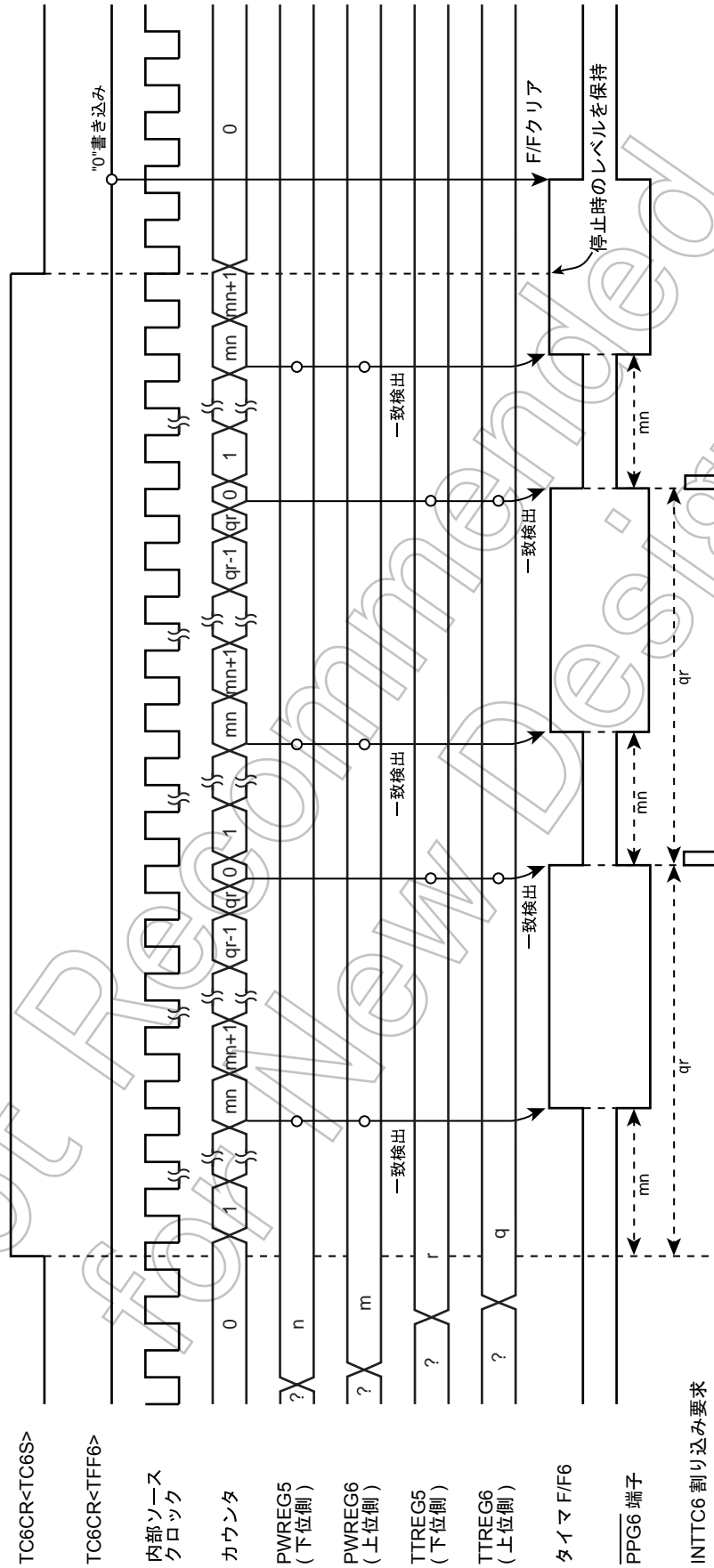


図 10-8 16 ビット PPG モードタイミングチャート (TC5 + TC6 の場合)

10.3.9 ウォーミングアップカウンタモード

システムクロックを高周波と低周波の間で切り替えるときに発振器が安定して動作するまでのウォーミングアップ時間を確保するモードです。タイマカウンタ 5 と 6 をカスケード接続し 16 ビットモードとして使用します。ウォーミングアップカウンタモードは、高周波から低周波に切り替えるときと、低周波から高周波に切り替えるときの 2 つのモードがあります。

- 注 1) ウォーミングアップカウンタモード時は、TCiCR<TFFi> を “0” に固定してください。固定されない場合は、PDOi/PWMI/PPGi 端子からパルスが出力されることがあります。
- 注 2) ウォーミングアップカウンタモード時は、タイマレジスタ TTREG6, 5 の下位 8 ビットは一致検出の対象外となり、上位 8 ビットのみ的一致検出となります。
- 注 3) i = 5, 6

10.3.9.1 低周波ウォーミングアップカウンタモード (NORMAL1 → NORMAL2 → SLOW2 → SLOW1)

低周波クロック fs が停止状態から安定して発振するまでのウォーミングアップ時間を確保するモードです。タイマをスタートさせる前に、SYSCR2<XTEN> を “1” に設定し低周波クロックを発振させます。TC6CR<TC6S> によりタイマスタート後、カウンタ値とタイマレジスタ (TTREG6, 5) 設定との一致で INTTC6 割り込み要求が発生し、カウンタがクリアされます。INTTC6 割り込みサービスルーチン内でタイマを停止した後、SYSCR2<SYSCK> を “1” に設定し、システムクロックを高周波から低周波に切り替えます。その後、SYSCR2<XEN> を “0” に設定し、高周波クロックを停止します。

表 10-8 低周波ウォーミングアップカウンタモードの設定時間 (fs = 32.768 kHz 時)

最小設定時間 (TTREG6, 5 = 0100H)	最大設定時間 (TTREG6, 5 = FF00H)
7.81 ms	1.99 s

(プログラム例) TC6, 5 で低周波クロックの安定した発振を確認後、SLOW1 モードへ切り替え

```

SET      (SYSCR2).6      ;SYSCR2<XTEN> ← “1”
LD       (TC5CR).43H    ;TFF5 = “0”, ソースクロック fs, 16 ビットモードに設定
LD       (TC6CR).05H    ;TFF6 = “0”, ウォーミングアップカウンタモードに設定
LD       (TTREG5).8000H ;ウォーミングアップ時間をセット
                          ;(発振器の特性で時間を決定します)
DI       ;IMF ← “0”
SET      (EIRD).0       ;INTTC6 割り込みを許可
EI       ;IMF ← “1”
SET      (TC6CR).3     ;TC6, 5 スタート
:        :
PINTTC6: CLR      (TC6CR).3 ;TC6, 5 ストップ
SET      (SYSCR2).5     ;SYSCR2<SYSCK> ← “1”
                          ;(システムクロックを低周波に切り替え)
CLR      (SYSCR2).7     ;SYSCR2<XEN> ← “0” (高周波クロック停止)
RETI
:        :
VINTTC6: DW        PINTTC6 ;INTTC6 ベクタテーブル
    
```

10.3.9.2 高周波ウォーミングアップカウンタモード (SLOW1 → SLOW2 → NORMAL2 → NORMAL1)

高周波クロック f_c が停止状態から安定して発振するまでのウォーミングアップ時間を確保するモードです。タイマをスタートさせる前に、SYSCR2<XEN> を“1”に設定し高周波クロックを発振させます。TC6CR<TC6S> によりタイマスタート後、カウンタ値とタイマレジスタ (TTREG6, 5) 設定との一致で INTTC6 割り込み要求が発生し、カウンタがクリアされます。INTTC6 割り込みサービスルーチン内でタイマを停止した後、SYSCR2<SYSCK> を“0”に設定し、システムクロックを低周波から高周波に切り替えます。その後、SYSCR2<XTEN> を“0”に設定し、低周波クロックを停止します。

表 10-9 高周波ウォーミングアップカウンタモードの設定時間

最小設定時間 (TTREG6, 5 = 0100H)	最大設定時間 (TTREG6, 5 = FF00H)
16 μ s	4.08 ms

(プログラム例) TC6, 5 で高周波クロックの安定した発振を確認後、NORMAL1 モードへ切り替え

```

SET      (SYSCR2).7      ; SYSCR2<XEN> ← “1”
LD       (TC5CR), 63H    ; TFF5 = “0”, ソースクロック  $f_c$ ,
                        ; 16 ビットモードに設定
LD       (TC6CR), 05H    ; TFF6 = “0”, ウォーミングアップカウンタモード
                        ; に設定
LD       (TTREG5), 0F800H ; ウォーミングアップ時間をセット
                        ; (発振器の特性で時間を決定します)
DI       ; IMF ← “0”
SET      (EIRD).0        ; INTTC6 割り込みを許可
EI       ; IMF ← “1”
SET      (TC6CR).3       ; TC6, 5 スタート
:
:
PINTTC6: CLR      (TC6CR).3 ; TC6, 5 ストップ
          CLR      (SYSCR2).5 ; SYSCR2<SYSCK> ← “0”
                        ; (システムクロックを高周波に切り替え)
          CLR      (SYSCR2).6 ; SYSCR2<XTEN> ← “0”
                        ; (低周波クロック停止)
          RETI
:
:
VINTTC6: DW      PINTTC6   ; INTTC6 ベクタテーブル

```

Not Recommended
for New Design

第 11 章 同期型シリアルインタフェース (SIO)

TMP86FS28DFG は、クロック同期方式の 8 ビットシリアルインタフェースを内蔵しています。シリアルインタフェースは、8 バイトの送受信データバッファを持っており、最大 64 ビットまでのデータを自動的に連続転送することができます。

シリアルインタフェースは、SO, SI, SCK 端子を通して外部デバイスと接続されます。

11.1 構成

SIO制御レジスタ/ステータスレジスタ

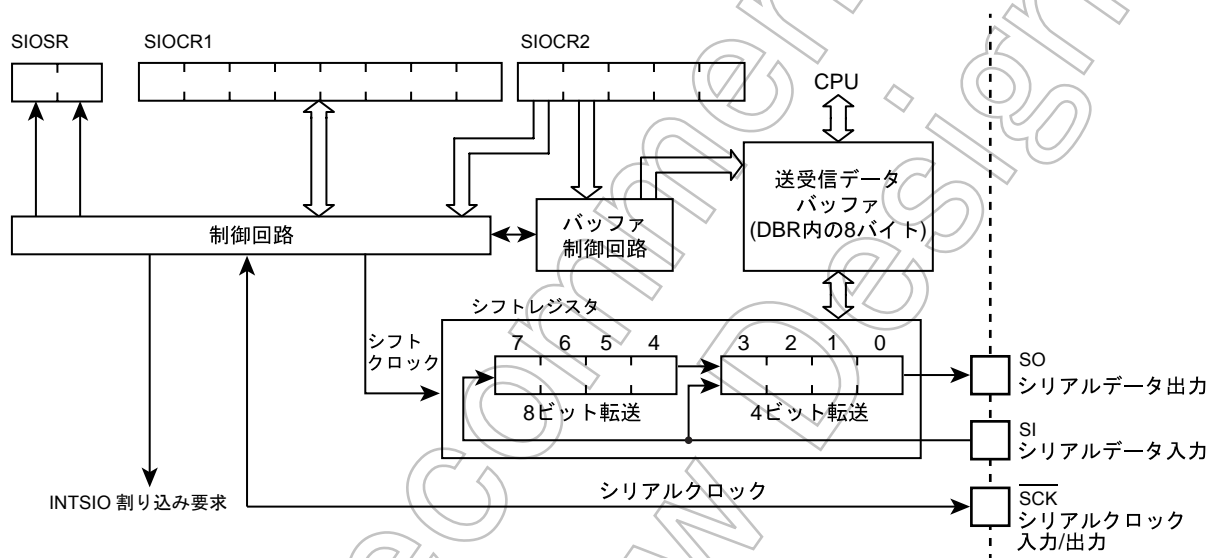


図 11-1 シリアルインタフェース

11.2 制御

SIO の制御は、シリアルインタフェース制御レジスタ (SIOCR1/SIOCR2) で行います。また、ステータスレジスタ (SIOSR) をリードすることによりシリアルインタフェースの動作状態を確認することができます。

送受信データバッファの制御は、SIOCR2<BUF> で行います。送受信データバッファは、DBR 領域の 0F60~0F67H 番地に割り当てられており、一度に最大 8 ワードまで連続転送できます。設定されたワード数の転送が終了するとバッファエンプティ (送信時)/ バッファフル (受信時または送受信時) の割り込み要求 (INTSIO) が発生します。

シリアルクロックに内部クロックを用いる場合、8 ビット送受信または 8 ビット受信モードのとき 1 ワード転送ごとにシリアルクロックに一定時間のウェイトをかけることができます。ウェイト時間は、SIOCR2<WAIT> で 4 種類の中から選択することができます。

シリアルインタフェース制御レジスタ 1

SIOCR1	7	6	5	4	3	2	1	0		
(0F68H)	SIOS		SIOINH		SIOM			SCK		(初期値: 0000 0000)

SIOS	転送の開始 / 終了指示	0: 終了 1: 開始							
SIOINH	転送の強制停止	0: 転送継続 1: 強制停止 (停止後、自動的にクリア)							
SIOM	転送モードの選択	000: 8 ビット送信モード 010: 4 ビット送信モード 100: 8 ビット送受信モード 101: 8 ビット受信モード 110: 4 ビット受信モード 上記以外: Reserved							Write only
SCK	シリアルクロックの選択		NORMAL1/2, IDLE1/2 モード		SLOW1/2 SLEEP1/2 モード				Write only
			DV7CK = 0	DV7CK = 1					
		000	fc/2 ¹³	fs/2 ⁵	fs/2 ⁵				
		001	fc/2 ⁸	fc/2 ⁸	—				
		010	fc/2 ⁷	fc/2 ⁷	—				
		011	fc/2 ⁶	fc/2 ⁶	—				
			Reserved						
			外部クロック (SCK 端子から入力)						

注 1) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz]

注 2) 転送モード、シリアルクロックの設定時は、SIOS = "0"、SIOINH = "1" にしてください。

注 3) SIOCR1 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令は使用できません。

シリアルインタフェース制御レジスタ 2

SIOCR2	7	6	5	4	3	2	1	0	
(0F69H)				WAIT			BUF		(初期値: ***0 0000)

11.3.1.1 内部クロック

シリアルインタフェースは、内部クロックソースとして 6 種類の周波数が選択でき、シリアルクロックは SCK 端子より外部に出力されます。なお、転送開始時 SCK 端子出力は“H”レベルになります。

プログラムでデータの書き込み (送信時) またはデータの読み取り (受信時) がこのシリアルクロックレートに追従できないときには、自動的にシリアルクロックを停止し、それらの処理が終了するまで次のシフト動作を待機させる自動ウェイト機能を有しています。

表 11-1 シリアルクロックレート

SCK	NORMAL1/2, IDLE1/2 モード				SLOW1/2, SLEEP1/2 モード	
	DV7CK = 0		DV7CK = 1		クロック	ボーレート
000	クロック	ボーレート	クロック	ボーレート	クロック	ボーレート
000	$f_c/2^{13}$	1.91 Kbps	$f_s/2^5$	1024 bps	$f_s/2^5$	1024 bps
001	$f_c/2^8$	61.04 Kbps	$f_c/2^8$	61.04 Kbps	—	—
010	$f_c/2^7$	122.07 Kbps	$f_c/2^7$	122.07 Kbps	—	—
011	$f_c/2^6$	244.14 Kbps	$f_c/2^6$	244.14 Kbps	—	—
100	$f_c/2^5$	488.28 Kbps	$f_c/2^5$	488.28 Kbps	—	—
101	$f_c/2^4$	976.56 Kbps	$f_c/2^4$	976.56 Kbps	—	—
110	—	—	—	—	—	—
111	外部	外部	外部	外部	外部	外部

注) 1 Kbit = 1024 bit (fc = 16 MHz, fs = 32.768 kHz)

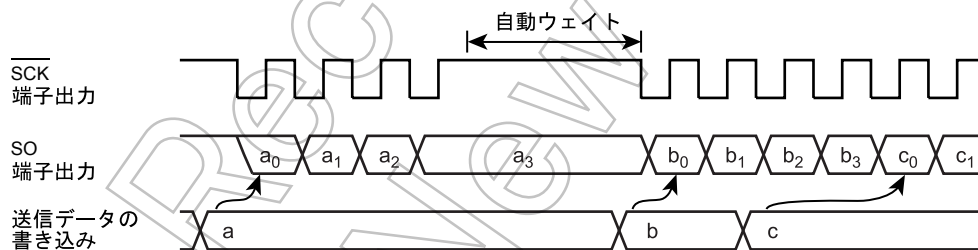


図 11-3 自動ウェイト機能 (4 ビット送信モードの場合)

11.3.1.2 外部クロック

外部から SCK 端子に供給されるクロックをシリアルクロックとして用います。この場合、ポートの出力ラッチは“1”にセットしてください。なお、シフト動作が確実に実行されるためには、シリアルクロックの“H”レベル、“L”レベルともに 4 マシンサイクル以上のパルス幅が必要です。従って、最大転送速度は 488.3K bit/s (fc = 16 MHz 時) です。

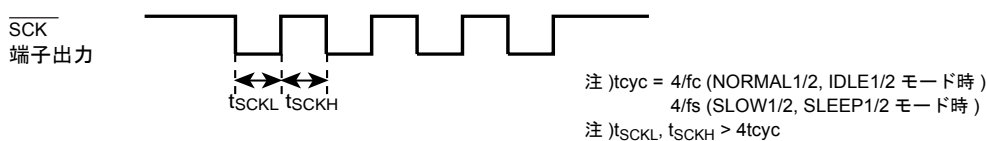


図 11-4 外部クロックのパルス幅

11.3.2 シフトエッジ

送信は前縁シフト、受信は後縁シフトになります。

11.3.2.1 前縁シフト

シリアルクロックの前縁 (SCK 端子入出力の立ち下がりエッジ) でデータをシフトします。

11.3.2.2 後縁シフト

シリアルクロックの後縁 (SCK 端子入出力の立ち上がりエッジ) でデータをシフトします。

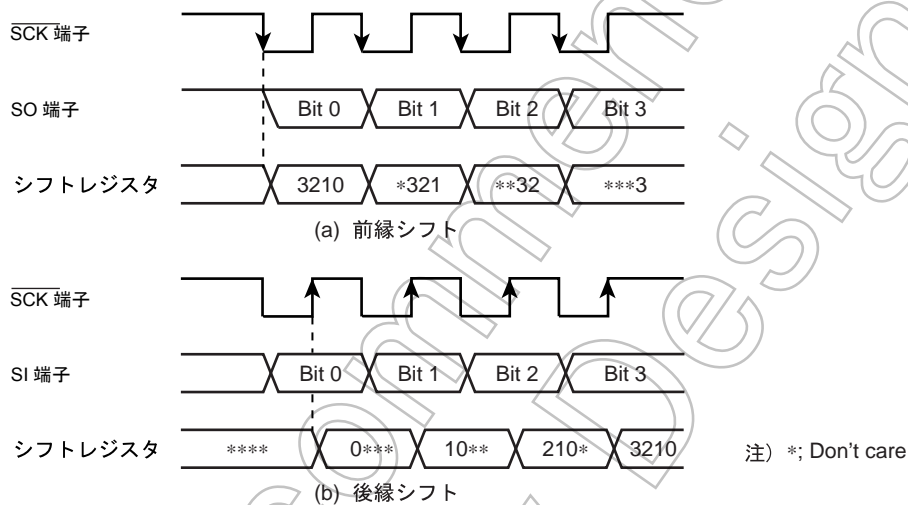


図 11-5 シフトエッジ

11.4 転送ビット数

4 ビットシリアル転送または 8 ビットシリアル転送が選択できます。4 ビットシリアル転送の場合、送受信データバッファは下位 4 ビットのみ使用し、上位 4 ビットは受信時“0”になります。

なお、データは最下位ビット (LSB) から順次シリアル転送されます。

11.5 転送ワード数

4 ビットデータ (4 ビットシリアル転送時)/8 ビットデータ (8 ビットシリアル転送時) を 1 ワードとして最大 8 ワードまで連続して転送することができます。転送ワード数は、SIOCR2<BUF> で設定します。

指定されたワード数の転送終了時点で、INTSIO 割り込み要求が発生します。途中で転送ワード数を変更する場合は、シリアルインタフェースを停止してから行ってください。ただし、内部クロック動作の場合は自動ウェイト動作中に転送ワード数の変更ができますので、停止させる必要はありません。

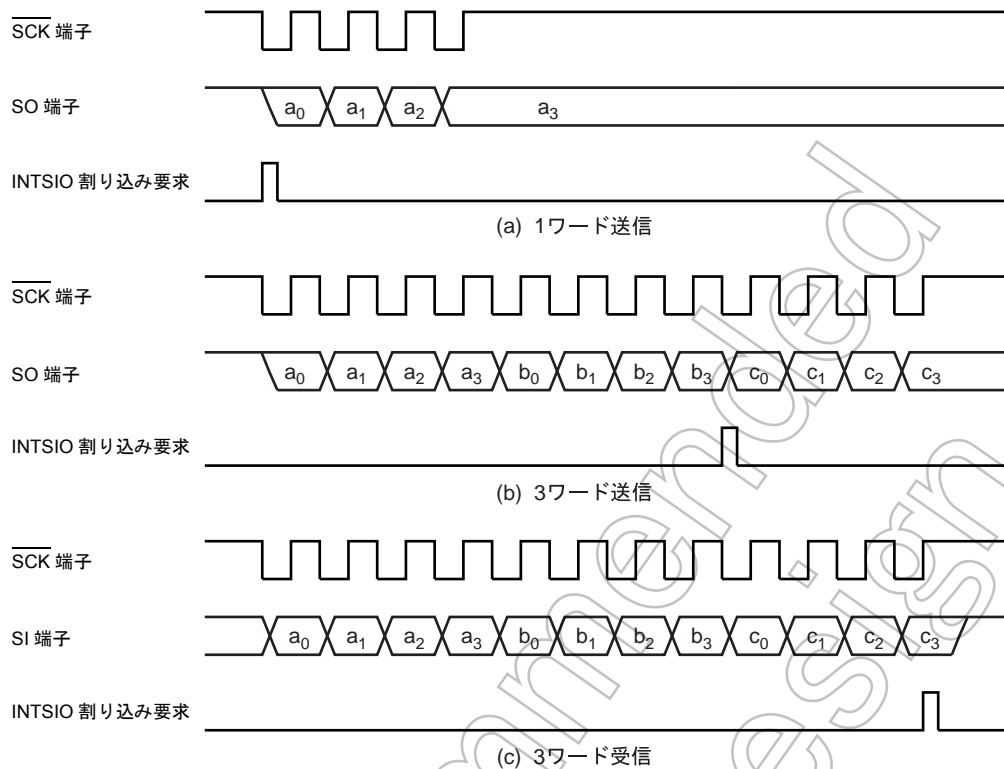


図 11-6 転送ワード数 (例 : 1 ワード = 4 ビット)

11.6 転送モード

転送モードは SIOCR1<SIOM> によって、送信 / 受信 / 送受信モードを選択することができます。

11.6.1 4 ビット送信モード、8 ビット送信モード

制御レジスタに送信モードをセットした後、最初の転送ワード数分の送信データをデータバッファレジスタ (DBR) に書き込みます。

送信データの書き込み後、SIOCR1<SIOS> を“1”にセットすることにより送信が開始されます。送信データは、シリアルクロックに同期して最下位ビット (LSB) 側から逐次 SO 端子に出力されます。LSB のデータを出力した時点で、送信データは、1 ワードずつバッファレジスタからシフトレジスタへ転送されます。最後の送信データが転送されると、バッファレジスタが空になりますので、次の送信データを要求する INTSIO (バッファEMPTY) 割り込み要求が発生します。

内部クロック動作の場合、SIOCR2<BUF> で指定されたワード数のデータをすべて送信したあと、次のデータがセットされていないとシリアルクロックを停止して自動ウェイト動作を行います。ただし、次の送信データを 1 ワードでも書き込むと自動ウェイト動作は解除されますので、2 ワード以上送信する場合は前の 1 ワードの送信が終わるまでに次のワードのデータを書き込んでください。

注) 送信データバッファに使用していない DBR への書き込みによっても自動ウェイト動作は解除されますので、不使用の DBR を他の用途に使用しないでください。例えば、3 ワード送信の場合、余った 5 ワードの DBR は使用しないでください。

外部クロック動作の場合、次のデータのシフト動作に入る前に、バッファレジスタに送信データが書き込まれている必要があります。従って、転送速度は、割り込み要求の発生から割り込みサービスプログラムにて、バッファレジスタにデータを書き込むまでの最大遅れ時間により決まります。

送信を終了させるには、バッファエンプティ割り込みサービスプログラムで SIOCR1<SIOS> を“0”にクリアするか SIOCR1<SIOINH> を“1”にセットします。SIOCR1<SIOS> がクリアされると、転送中のワードの全ビットが出力された時点で終了します。プログラムで送信の終了を確認するには、SIOSR<SIOF> をセンスします。SIOSR<SIOF> は送信の終了で“0”になります。SIOCR1<SIOINH> をセットした場合は、直ちに送信を打ち切り、SIOSR<SIOF> は“0”になります。

外部クロック動作では、次の送信データのシフト動作に入る前に SIOCR1<SIOS> を“0”クリアする必要があります。もしシフトアウトする前に SIOCR1<SIOS> がクリアされなかった場合は、ダミーのデータの送信後、停止します。転送ワード数を変更する必要がある場合は、SIOCR1<SIOS> を“0”にクリアし、SIOSR<SIOF> が“0”なったことを確認後 SIOCR2<BUF> を書き替えてください。

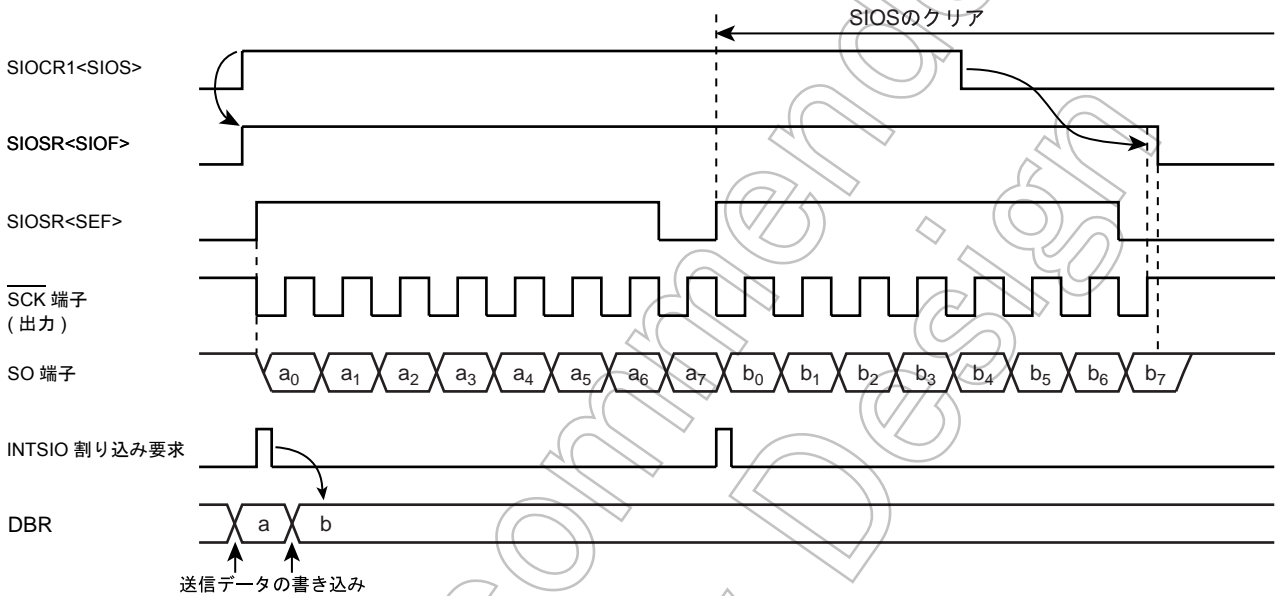


図 11-7 送信モード (例: 8 ビット, 1ワード転送、内部クロック)

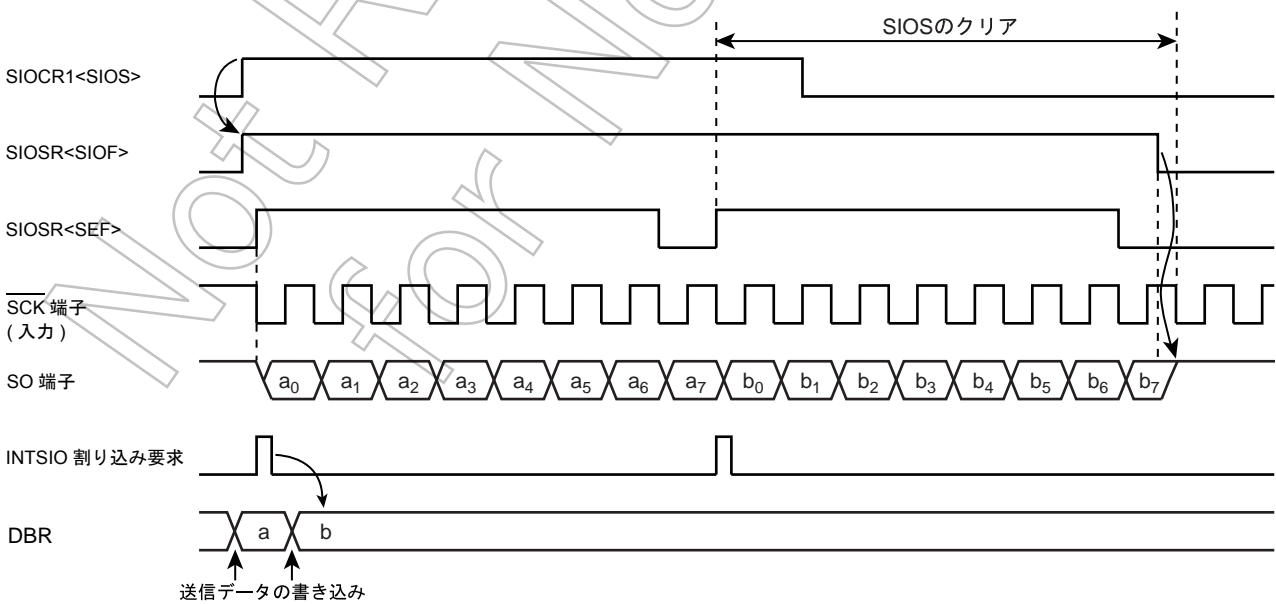


図 11-8 送信モード (例: 8 ビット, 1ワード転送、外部クロック)

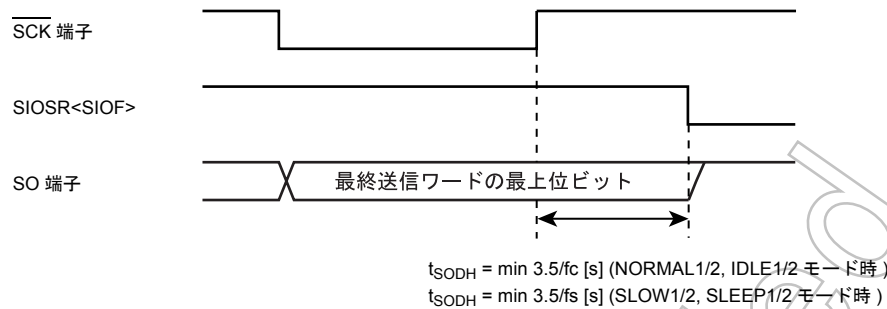


図 11-9 送信終了時の送信データ保持時間

11.6.2 4 ビット受信モード, 8 ビット受信モード

制御レジスタに受信モードをセットした後、SIOCR1<SIOS> を“1”にセットすることにより受信可能となります。シリアルクロックに同期して、SI 端子より最下位ビット側から順次シフトレジスタへデータを取り込みます。1 ワードのデータが取り込まれるとシフトレジスタからデータバッファレジスタ (DBR) に受信データが書き込まれます。SIOCR2<BUF> で指定されたワード数の受信が終了すると受信データの読み取りを要求する INTSIO (バッファフル) 割り込み要求が発生します。受信データは、割り込みサービスプログラムにてデータバッファレジスタから読み取ります。

内部クロック動作の場合、受信データがデータバッファレジスタから読み取られるまでシリアルクロックを停止する自動ウェイト動作を行います。1 ワードでも読み取っている場合は自動ウェイト動作は行われません。

注) 受信データバッファに使用していない DBR の読み出しによっても自動ウェイト動作は解除されますので、SIO で不使用の DBR を他の用途に使用しないでください。

外部クロック動作の場合、シフト動作が外部から供給されるクロックに同期しますので、次のシリアルクロックが入力される前に受信データを読み取ります。もし、受信データが読み取られない場合、それ以降に入力される受信データはキャンセルされます。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データの読み取りまでの最大遅れ時間により決まります。

受信を終了させるにはバッファフル割り込みサービスプログラムで SIOCR1<SIOS> を“0”にクリアするか SIOCR1<SIOINH> を“1”にセットします。SIOCR1<SIOS> が“0”にクリアされると、転送中のワードの全ビットが揃いデータバッファレジスタへの書き込みが完了した時点で受信が終了します。プログラムで受信の終了を確認するには、SIOSR<SIOF> をセンスします。SIOSR<SIOF> は受信の終了で“0”になります。受信終了の確認のあと最終受信データを読み取ります。

SIOCR1<SIOINH> をセットした場合は、直ちに受信を打ち切り、SIOSR<SIOF> は“0”になります (受信データは無効になりますので、読み取る必要はありません)。転送ワード数を変更する必要がある場合、外部クロック動作のときは SIOCR1<SIOS> を“0”にクリアし SIOSR<SIOF> が“0”になったことを確認後 SIOCR2<BUF> を書き替えてください。内部クロック動作のときは自動ウェイト動作に入りますので、受信データを読み取る前に SIOCR2<BUF> を書き替えてください。

注) 転送モードを変更した場合、データバッファレジスタの内容は保持されません。従って転送モードの変更は、受信終了指示 (SIOCR1<SIOS> を“0”にクリア) を行い、最終受信データを読み取った後で行ってください。

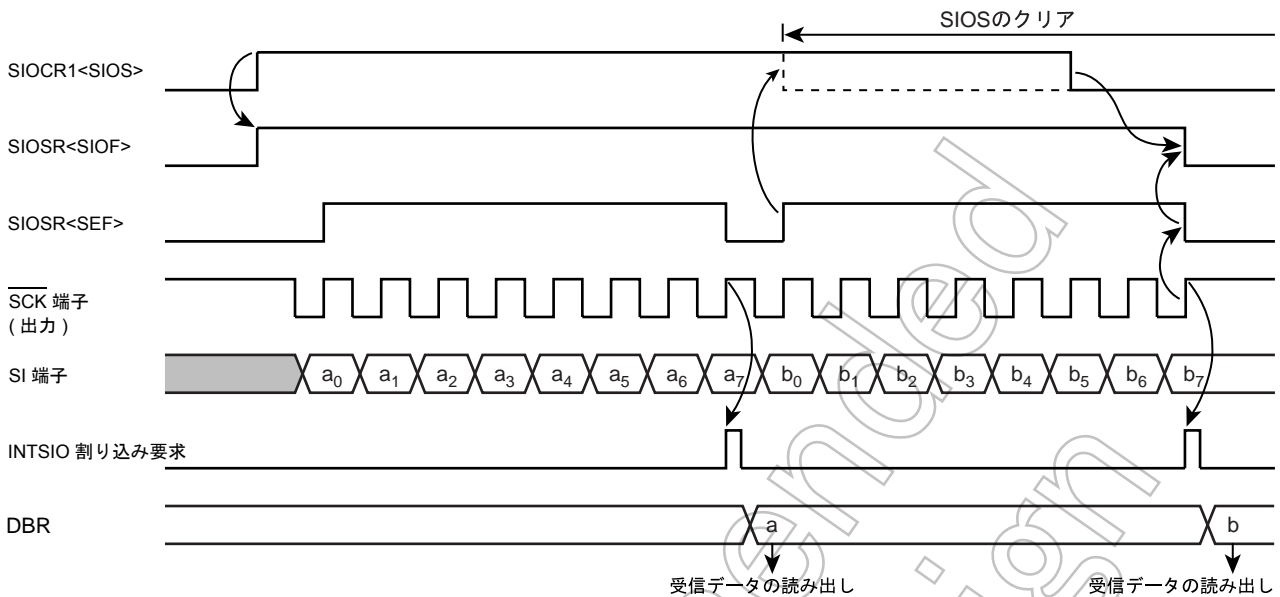


図 11-10 受信モード (例: 8 ビット, 1ワード転送, 内部クロック)

11.6.3 8 ビット送受信モード

制御レジスタに送受信モードをセットした後、最初の転送ワード数分の送信データをデータバッファレジスタ (DBR) に書き込みます。その後、SIOCR1<SIOS> に“1”をセットすることにより送受信可能となります。最下位ビットから順次、シリアルクロックの前縁で送信データは SO 端子から出力され、後縁で受信データが SI 端子から取り込まれます。8 ビットのデータが取り込まれると、シフトレジスタからデータバッファレジスタへ受信データが転送されます。SIOCR2<BUF> で指定されたワード数の送受信が終了すると、INTSIO 割り込み要求が発生します。割り込みサービスプログラムにて受信データをデータバッファレジスタから読み取り、そのあと送信データを書き込みます。データバッファレジスタは、送信、受信にて兼用していますので、送信データは、必ず全受信データを読み取ってから書き込むようにしてください。

内部クロック動作の場合、受信データを読み取り、次の送信データを書き込むまで自動ウェイト動作を行います。1 ワードでも送信データを書き込んでいる場合は自動ウェイト動作は行われません。

外部クロック動作の場合は、シフト動作が外部から供給されるシリアルクロックに同期しますので、次のシフト動作に入る前に受信データを読み取り、次の送信データを書き込む必要があります。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データを読み取り、送信データを書き込むまでの最大遅れ時間により決まります。

送受信を終了させるには、INTSIO 割り込みサービスプログラムで SIOCR1<SIOS> を“0”にクリアするか SIOCR1<SIOINH> を“1”にセットします。SIOCR1<SIOS> がクリアされると、転送中のワードの全ビットが揃い、データバッファレジスタへの転送が完了した時点で送受信が終了します。プログラムで送受信の終了を確認するには、SIOSR<SIOF> をセンスします。SIOSR<SIOF> は送受信の終了で“0”になります。SIOCR1<SIOINH> をセットした場合は、直ちに送受信を打ち切り、SIOF は“0”になります。

転送ワード数を変更する場合、外部クロック動作のときは、SIOCR1<SIOS> を“0”にクリアし SIOSR<SIOF> が“0”になったことを確認後、SIOCR2<BUF> を書き替えてください。内部クロック動作のときは、自動ウェイト動作に入りますので、送受信データのリード / ライトの前に書き替えてください。

注) 転送モードを変更した場合、データバッファレジスタの内容は保持されません。従って転送モードの変更は、受信終了指示 (SIOS を“0”にクリア) を行い、最終受信データを読み取った後で行ってください。

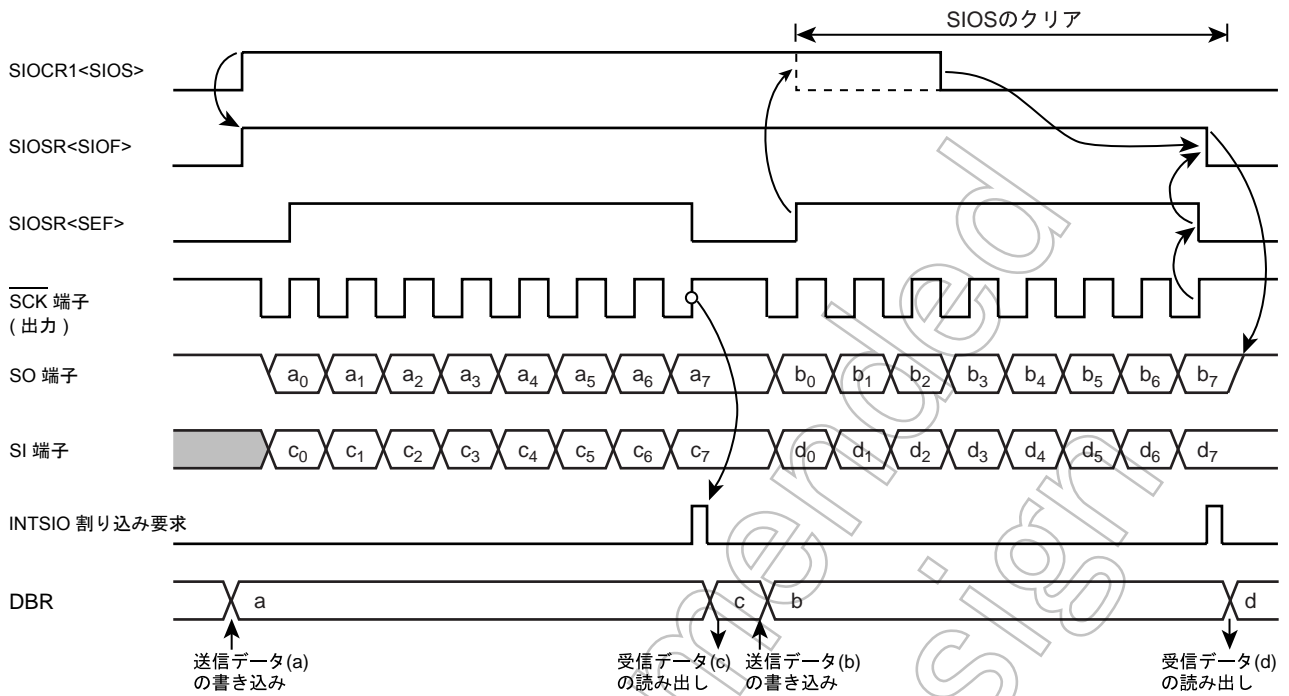


図 11-11 送受信モード (例: 8 ビット, 1 ワード, 内部クロック)

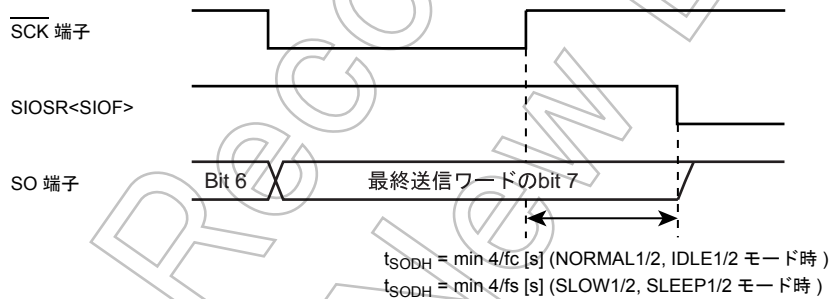


図 11-12 送受信終了時の送信データ保持時間

第 12 章 非同期型シリアルインターフェース (UART0)

12.1 構成

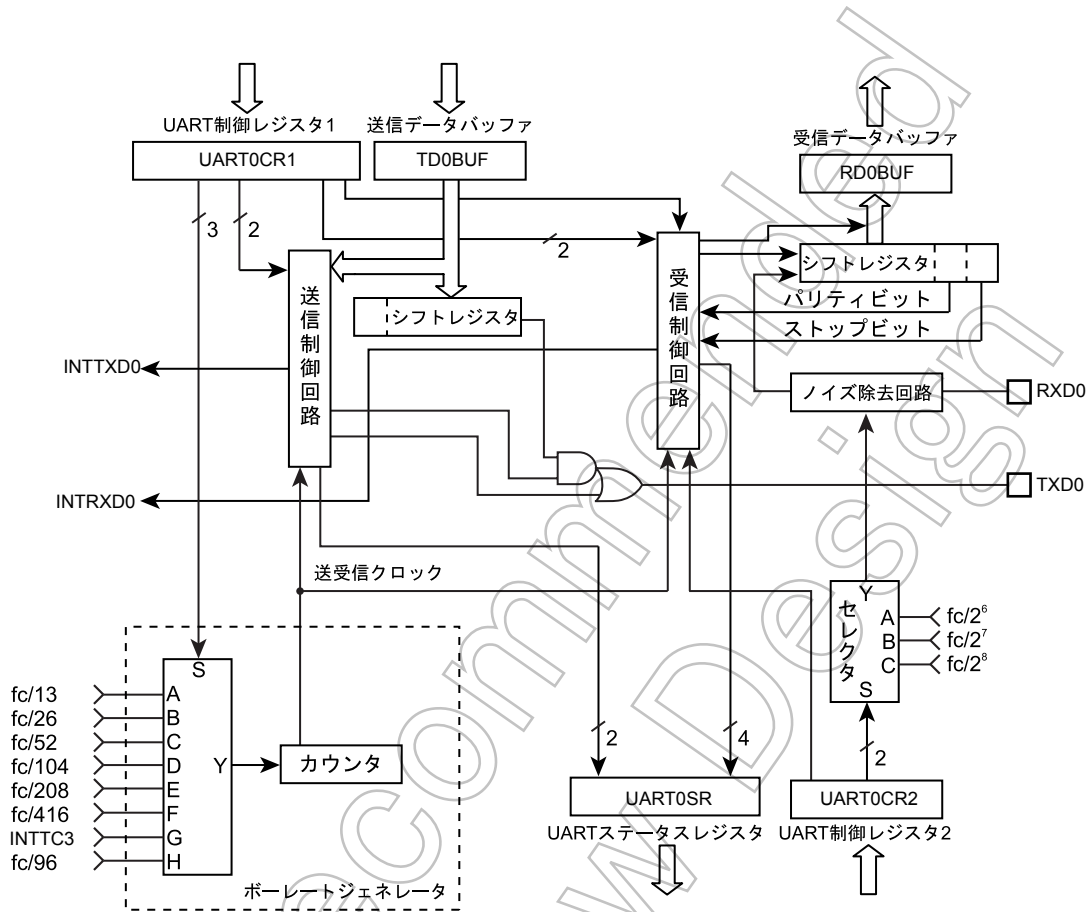


図 12-1 UART0 (非同期型シリアルインターフェース)

12.2 制御

UART0 は、UART0 制御レジスタ 1, 2 (UART0CR1, UART0CR2) で制御されます。また UART0 ステータスレジスタ (UART0SR) により動作状態のモニタができます。

UART0 制御レジスタ 1

UART0CR1 (0FE5H)	7	6	5	4	3	2	1	0	
	TXE	RXE	STBT	EVEN	PE	BRG			(初期値: 0000 0000)

TXE	送信動作	0: ディセーブル 1: イネーブル	Write only
RXE	受信動作	0: ディセーブル 1: イネーブル	
STBT	送信ストップビット長	0: 1 ビット 1: 2 ビット	
EVEN	偶数パリティ	0: 奇数パリティ 1: 偶数パリティ	
PE	パリティ付加	0: パリティなし 1: パリティ付加	
BRG	転送クロック選択	000: fc/13 [Hz] 001: fc/26 010: fc/52 011: fc/104 100: fc/208 101: fc/416 110: TC3 使用 (INTTC3 を入力) 111: fc/96	

- 注 1) TXE, RXE ビットを "0" に設定して動作を禁止させる場合、送信もしくは受信動作が完了されたときに有効となります。送信データが送信データバッファに格納されている場合は、そのデータの送出は行わず、そのあと送信許可に設定されても新たにデータを書き込むまで送信動作は行われません。
- 注 2) 転送クロックとパリティは送受信共通です。
- 注 3) BRG の書き替えは、RXE = "0" かつ TXE = "0" のときに行ってください。

UART0 制御レジスタ 2

UART0CR2 (0FE6H)	7	6	5	4	3	2	1	0	
						RXDNC	STOPBR		(初期値: **** *000)

RXDNC	RXD 入力のノイズ除去時間の選択	00: ノイズ除去なし (ヒステリシス入力) 01: 31/fc[s] 未満のパルスはノイズとして除去 10: 63/fc[s] 未満のパルスはノイズとして除去 11: 127/fc[s] 未満のパルスはノイズとして除去	Write only
STOPBR	受信ストップビット長	0: 1 ビット 1: 2 ビット	

- 注) RXDNC が "01" の場合 96/fc、"10" の場合 192/fc、"11" の場合 384/fc[s] 以上は確実に信号とみなされます。

UART0 ステータスレジスタ

UART0SR (0FE5H)	7	6	5	4	3	2	1	0	
	PERR	FERR	OERR	RBFL	TEND	TBEP			(初期値 : 0000 11**)

PERR	パリティエラーフラグ	0: パリティエラーなし 1: パリティエラー発生	Read only
FERR	フレーミングエラーフラグ	0: フレーミングエラーなし 1: フレーミングエラー発生	
OERR	オーバランエラーフラグ	0: オーバランエラーなし 1: オーバランエラー発生	
RBFL	受信バッファフルフラグ	0: 受信バッファ空き 1: 受信バッファフル	
TEND	送信終了フラグ	0: 送信中 1: 送信終了	
TBEP	送信バッファ空きフラグ	0: 送信バッファフル (送信データ書き込み済み) 1: 送信バッファ空き	

注) TBEP は、送信割り込み発生後、自動的に "1" にセットされます

UART0 受信データバッファ

RD0BUF (0FE7H)	7	6	5	4	3	2	1	0	Read only
									(初期値 : 0000 0000)

UART0 送信データバッファ

TD0BUF (0FE7H)	7	6	5	4	3	2	1	0	Write only
									(初期値 : 0000 0000)

Not Recommended for New Design

12.3 転送データフォーマット

UART0 で転送されるデータには、スタートビット 1 ビット (“L” レベル) とストップビット (“H” レベル、UART0CR1<STBT> でビット長の選択可)、パリティ UART0CR1<PE> でパリティ有無の選択可、UART0CR1<EVEN> で偶数 / 奇数パリティ選択可) が付加されます。以下に転送データフォーマットを示します。

PE	STBT	フレーム長											
		1	2	3	8	9	10	11	12				
0	0												
0	1												
1	0												
1	1												

図 12-2 転送データフォーマット

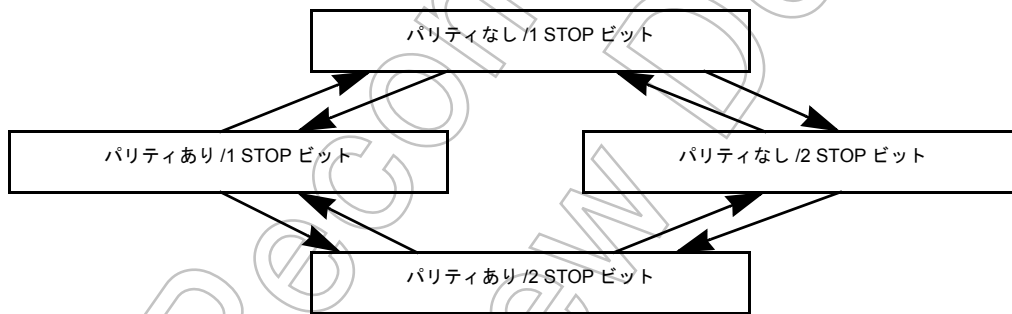


図 12-3 転送データフォーマット変更時の注意

注) 送信データフォーマットの切り替えは、初期設定時以外は図 12-3 の状態遷移にて送信動作を実施し、切り替えを行ってください。

12.4 転送レート

UART0 の転送レート (ボーレート) は UART0CR1<BRG> により設定されます。以下に転送レートの例を示します。

表 12-1 転送レート (例)

BRG	ソースクロック		
	16 MHz	8 MHz	4 MHz
000	76800 [baud]	38400 [baud]	19200 [baud]
001	38400	19200	9600
010	19200	9600	4800
011	9600	4800	2400
100	4800	2400	1200
101	2400	1200	600

UART0 の転送レートとして TC3 使用を選択したとき (つまり UART0CR1<BRG> = “110” に設定したとき) 転送クロックおよび転送レートは

$$\text{転送クロック [Hz]} = \text{TC3 ソースクロック [Hz]} \div \text{TTREG3 設定値}$$

$$\text{転送レート [baud]} = \text{転送クロック [Hz]} \div 16$$

となります。

12.5 データのサンプリング方法

UART0 のレシーバは、RXD0 端子入力にスタートビットが見つかるまで UART0CR1<BRG> で選択したクロックで入力のサンプリングを行います。RT クロックの開始は、RXD0 端子の “L” レベルを検出し始まります。スタートビットが見つかったらスタートビット、データビット、ストップビット、パリティビットは、以下に示すように 1 レシーバクロック (RT1 クロック) の間隔 (RT0 はビットが始まると予想される位置) で RT7, RT8, RT9 の位置で 3 回サンプリングし、多数決判定 (3 回のサンプリングのうち 2 回または 3 回) で決定しビットのデータとします。

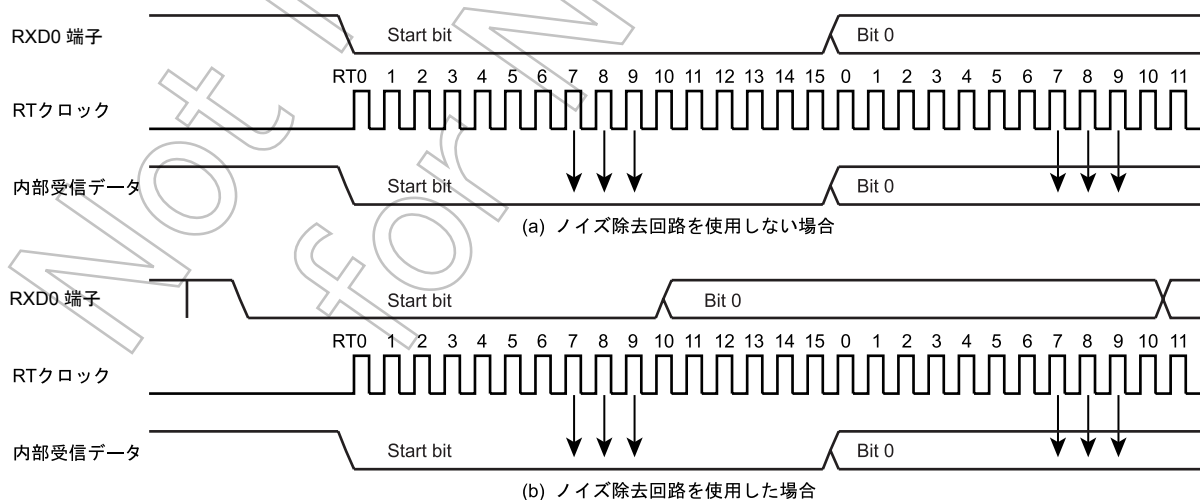


図 12-4 データのサンプリング方法

12.6 STOP ビット長

UART0CR1<STBT> で送信ストップビット長 (1 ビット / 2 ビット) の選択ができます。

12.7 パリティ

UART0CR1<PE> でパリティ付加の有無を、UART0CR1<EVEN> でパリティの種類 (奇数 / 偶数) を設定します。

12.8 送受信動作

12.8.1 データ送信動作

UART0CR1<TXE> を “1” にセットします。UART0SR を読み出し TBEP = “1” を確認後、TD0BUF (送信データバッファ) にデータを書き込みます。書き込みを行うと UART0SR<TBEP> は “0” にクリアされデータが送信シフトレジスタに転送された後、TXD0 端子より順次出力されます。このとき出力されるデータにはスタートビット1ビットとUART0CR1<STBT>で指定した数のストップビットおよびパリティビット (パリティありの場合) が付加されます。データ転送ボーレートは UART0CR1<BRG> で選択します。データの送信が始まると送信バッファエンプティフラグ UART0SR<TBEP> は “1” にセットされ、INTTXD0 割り込みが発生します。

UART0CR1<TXE> が “0” の間および UART0CR1<TXE> に “1” を書き込んでから TD0BUF に送信データが書き込まれるまでの間、TXD0 端子は “H” レベルに固定されます。

送信を行う場合、UART0SR を読み出してから TD0BUF にデータを書き込んでください。読み出さないと、UART0SR<TBEP> が “0” にクリアされず送信が開始されません。

12.8.2 データ受信動作

UART0CR1<RXE> を “1” にセットします。その後、RXD0 端子からデータを受信すると、RD0BUF (受信データバッファ) に受信データが転送されます。このとき、送られてくるデータにはスタートビットとストップビットおよびパリティビット (パリティありの場合) が付加されています。ストップビットが受信されるとデータだけが取り出され RD0BUF (受信データバッファ) に転送された後、受信バッファフルフラグ UART0SR<RBFL> がセットされ、INTRXD0 割り込みが発生します。データ転送ボーレートは UART0CR1<BRG> で選択します。

データが受信されたときに、オーバランエラーが発生すると、RD0BUF (受信データバッファ) へのデータ転送は行われず破棄されます。ただし、RD0BUF 内のデータは影響を受けません。

注) UART0CR1<RXE> ビットを “0” に設定して受信動作を停止させる場合、受信動作が完了したときに有効となります。ただし、この受信データにおいてフレーミングエラーが発生した場合、受信動作停止が有効とならない場合がありますので、フレーミングエラー発生時は、必ず再受信を実施してください。

12.9 ステータスフラグ

12.9.1 パリティエラー

受信データのデータビットから計算したパリティが、受信されたパリティビットと異なっているときパリティエラーフラグ UART0SR<PERR> が“1”にセットされます。UART0SR を読み出した後、RD0BUF を読み出すと UART0SR<PERR> は“0”にクリアされます。

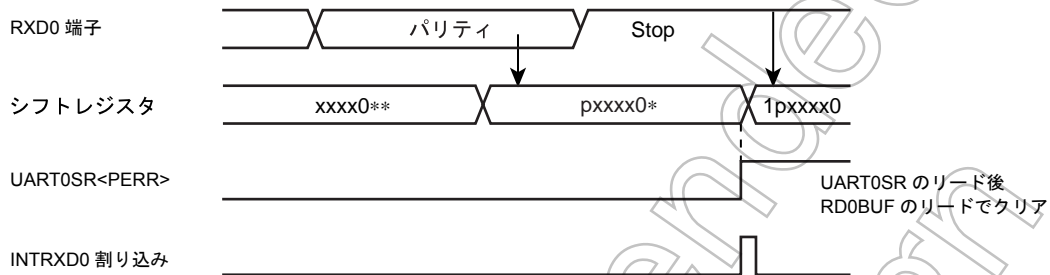


図 12-5 パリティエラーの発生

12.9.2 フレーミングエラー

受信データの STOP ビットとして“0”がサンプリングされたときフレーミングエラーフラグ UART0SR<FERR> が“1”にセットされます。UART0SR を読み出した後、RD0BUF を読み出すと UART0SR<FERR> は“0”にクリアされます。

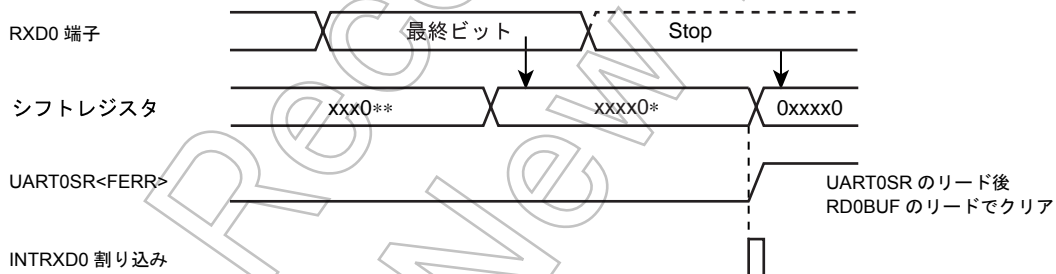


図 12-6 フレーミングエラーの発生

12.9.3 オーバランエラー

RD0BUF に読み出していないデータが格納されている状態で、次のデータの受信が全ビット終了するとオーバランエラーフラグ UART0SR<OERR> が“1”にセットされます。この場合、受信データは破棄され受信データバッファ内のデータは影響を受けません。UART0SR を読み出した後、RD0BUF を読み出すと UART0SR<OERR> は“0”にクリアされます。

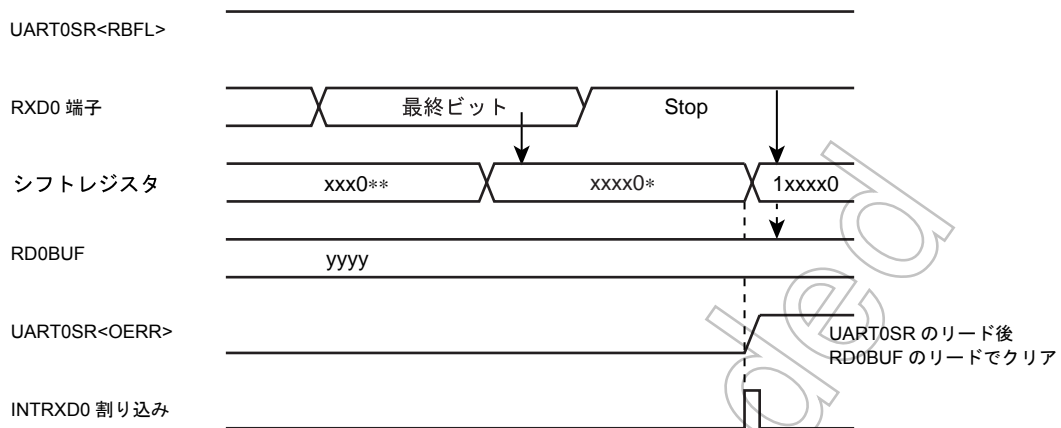


図 12-7 オーバランエラーの発生

注) オーバランエラーフラグ UART0SR<OERR> がクリアされるまで、受信動作は停止します。

12.9.4 受信バッファフル

受信データを RD0BUF に取り込むと UART0SR<RBFL> が “1” にセットされます。UART0SR を読み出した後、RD0BUF からデータを読み出すと UART0SR<RBFL> は “0” にクリアされます。

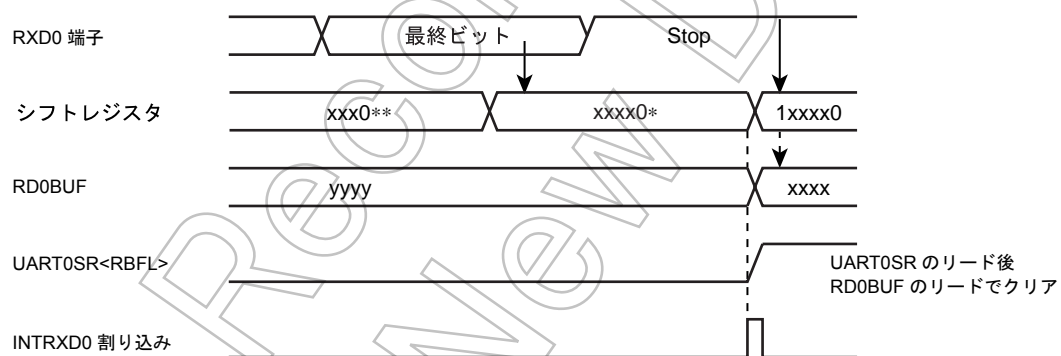


図 12-8 受信バッファフルの発生

注) 上記、UART0SR の読み出しから RD0BUF を読み出す間にオーバーランエラーフラグ UART0SR<OERR> がセットされた場合、RD0BUF 読み出しだけではエラーフラグがクリアされません。再度 UART0SR を読み込み、エラーの確認を行ってください。

12.9.5 送信バッファエンpty

TD0BUF にデータが存在しないとき、つまり TD0BUF のデータが送信シフトレジスタに転送され送信が開始されるとき UART0SR<TBEP> が “1” にセットされます。UART0SR を読み出した後、TD0BUF にデータを書き込むと UART0SR<TBEP> は “0” にクリアされます。

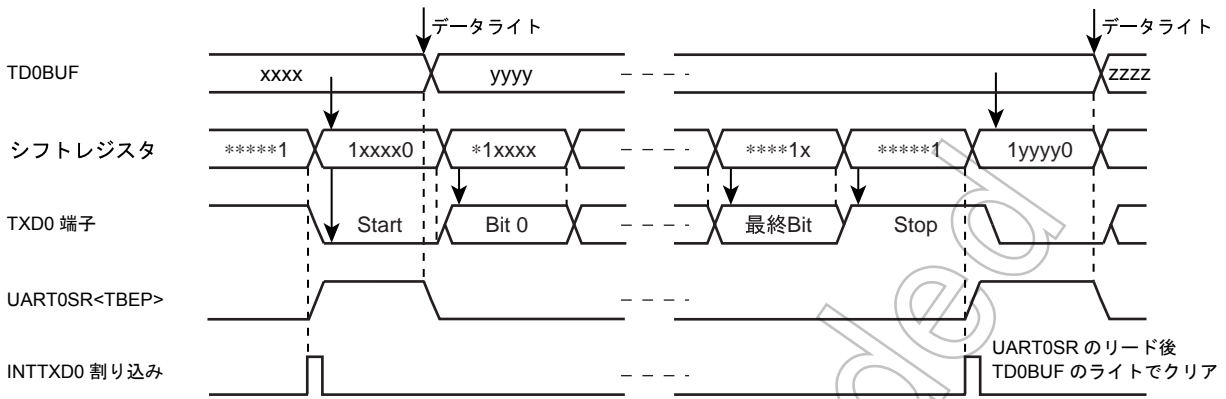


図 12-9 送信バッファエンプティの発生

12.9.6 送信終了フラグ

送信が終了し、TD0BUF 内に待機中のデータがないとき (UART0SR<TBEP>=“1”のとき) UART0SR<TEND> が“1”にセットされます。TD0BUF にデータを書き込んだ後、送信が開始されると UART0SR<TEND> は“0”にクリアされます。

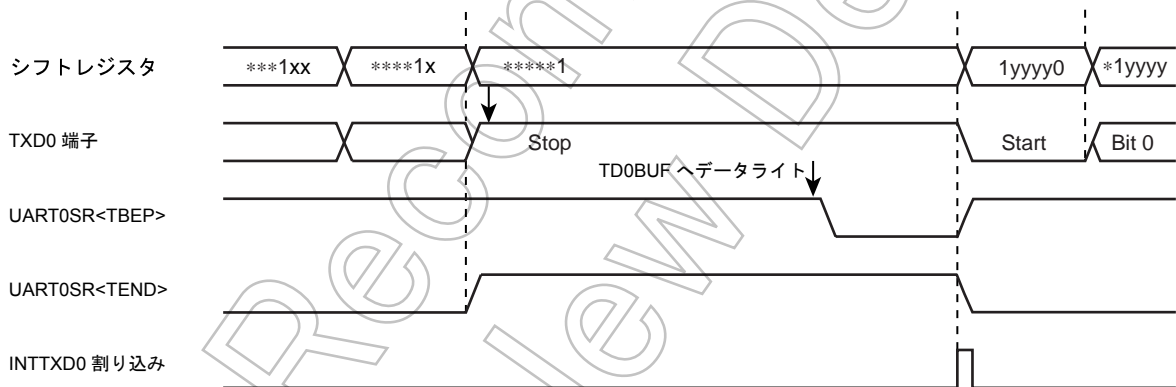


図 12-10 送信終了フラグと送信バッファエンプティの発生

Not Recommended
for New Design

第 13 章 非同期型シリアルインターフェース (UART1)

13.1 構成

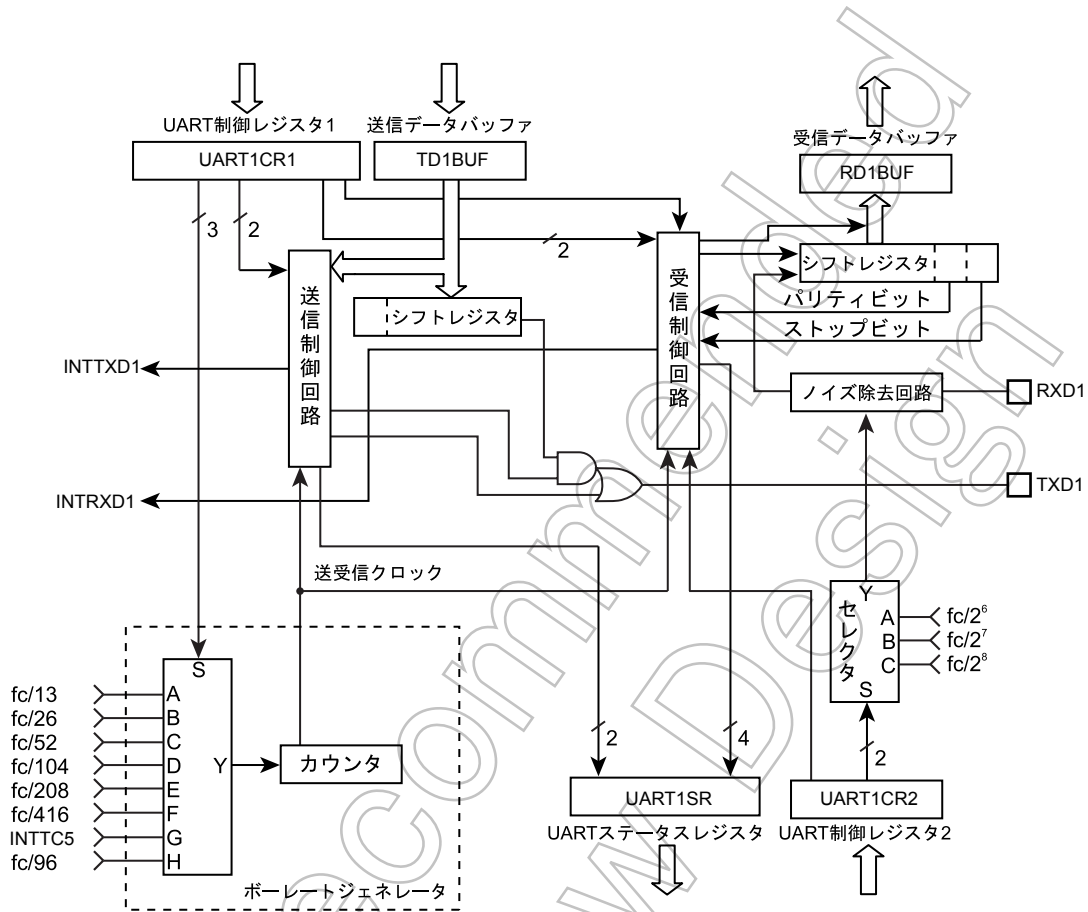


図 13-1 UART1 (非同期型シリアルインターフェース)

13.2 制御

UART1 は、UART1 制御レジスタ 1, 2 (UART1CR1, UART1CR2) で制御されます。また UART1 ステータスレジスタ (UART1SR) により動作状態のモニタができます。

UART1 制御レジスタ 1

UART1CR1 (0FE8H)	7	6	5	4	3	2	1	0	
	TXE	RXE	STBT	EVEN	PE	BRG			(初期値: 0000 0000)

TXE	送信動作	0: ディセーブル 1: イネーブル	Write only
RXE	受信動作	0: ディセーブル 1: イネーブル	
STBT	送信ストップビット長	0: 1 ビット 1: 2 ビット	
EVEN	偶数パリティ	0: 奇数パリティ 1: 偶数パリティ	
PE	パリティ付加	0: パリティなし 1: パリティ付加	
BRG	転送クロック選択	000: fc/13 [Hz] 001: fc/26 010: fc/52 011: fc/104 100: fc/208 101: fc/416 110: TC5 使用 (INTTC5 を入力) 111: fc/96	

- 注 1) TXE, RXE ビットを "0" に設定して動作を禁止させる場合、送信もしくは受信動作が完了されたときに有効となります。送信データが送信データバッファに格納されている場合は、そのデータの送出は行わず、そのあと送信許可に設定されても新たにデータを書き込むまで送信動作は行われません。
- 注 2) 転送クロックとパリティは送受信共通です。
- 注 3) BRG の書き替えは、RXE = "0" かつ TXE = "0" のときに行ってください。

UART1 制御レジスタ 2

UART1CR2 (0FE9H)	7	6	5	4	3	2	1	0	
						RXDNC	STOPBR		(初期値: **** *000)

RXDNC	RXD 入力のノイズ除去時間の選択	00: ノイズ除去なし (ヒステリシス入力) 01: 31/fc[s] 未満のパルスはノイズとして除去 10: 63/fc[s] 未満のパルスはノイズとして除去 11: 127/fc[s] 未満のパルスはノイズとして除去	Write only
STOPBR	受信ストップビット長	0: 1 ビット 1: 2 ビット	

- 注) RXDNC が "01" の場合 96/fc、"10" の場合 192/fc、"11" の場合 384/fc[s] 以上は確実に信号とみなされます。

UART1 ステータスレジスタ

UART1SR (0FE8H)	7	6	5	4	3	2	1	0	
	PERR	FERR	OERR	RBFL	TEND	TBEP			(初期値 : 0000 11**)

PERR	パリティエラーフラグ	0: パリティエラーなし 1: パリティエラー発生	Read only
FERR	フレーミングエラーフラグ	0: フレーミングエラーなし 1: フレーミングエラー発生	
OERR	オーバランエラーフラグ	0: オーバランエラーなし 1: オーバランエラー発生	
RBFL	受信バッファフルフラグ	0: 受信バッファ空き 1: 受信バッファフル	
TEND	送信終了フラグ	0: 送信中 1: 送信終了	
TBEP	送信バッファ空きフラグ	0: 送信バッファフル (送信データ書き込み済み) 1: 送信バッファ空き	

注) TBEP は、送信割り込み発生後、自動的に "1" にセットされます

UART1 受信データバッファ

RD1BUF (0FEAH)	7	6	5	4	3	2	1	0	Read only
									(初期値 : 0000 0000)

UART1 送信データバッファ

TD1BUF (0FEAH)	7	6	5	4	3	2	1	0	Write only
									(初期値 : 0000 0000)

Not Recommended for New Design

13.3 転送データフォーマット

UART1 で転送されるデータには、スタートビット 1 ビット (“L” レベル) とストップビット (“H” レベル、UART1CR1<STBT> でビット長の選択可)、パリティ UART1CR1<PE> でパリティ有無の選択可、UART1CR1<EVEN> で偶数 / 奇数パリティ選択可) が付加されます。以下に転送データフォーマットを示します。

PE	STBT	フレーム長											
		1	2	3	8	9	10	11	12				
0	0												
0	1												
1	0												
1	1												

図 13-2 転送データフォーマット

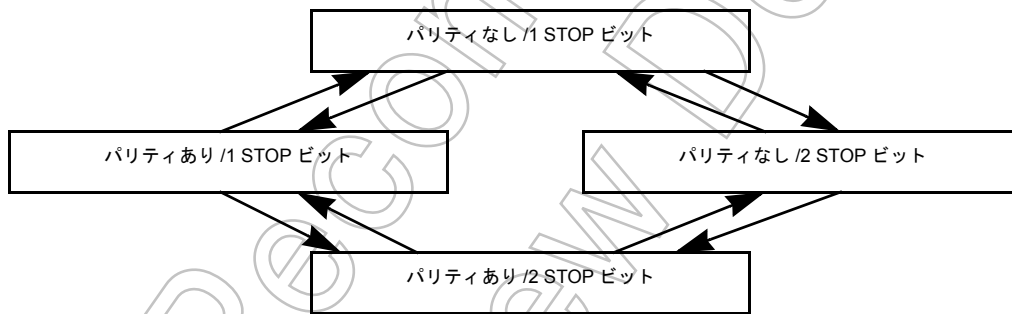


図 13-3 転送データフォーマット変更時の注意

注) 送信データフォーマットの切り替えは、初期設定時以外は図 13-3 の状態遷移にて送信動作を実施し、切り替えを行ってください。

13.4 転送レート

UART1 の転送レート (ボーレート) は UART1CR1<BRG> により設定されます。以下に転送レートの例を示します。

表 13-1 転送レート (例)

BRG	ソースクロック		
	16 MHz	8 MHz	4 MHz
000	76800 [baud]	38400 [baud]	19200 [baud]
001	38400	19200	9600
010	19200	9600	4800
011	9600	4800	2400
100	4800	2400	1200
101	2400	1200	600

UART1 の転送レートとして TC5 使用を選択したとき (つまり UART1CR1<BRG>="110" に設定したとき) 転送クロックおよび転送レートは

$$\text{転送クロック [Hz]} = \text{TC5 ソースクロック [Hz]} \div \text{TTREG5 設定値}$$

$$\text{転送レート [baud]} = \text{転送クロック [Hz]} \div 16$$

となります。

13.5 データのサンプリング方法

UART1 のレシーバは、RXD1 端子入力にスタートビットが見つかるまで UART1CR1<BRG> で選択したクロックで入力のサンプリングを行います。RT クロックの開始は、RXD1 端子の "L" レベルを検出し始まります。スタートビットが見つかったらスタートビット、データビット、ストップビット、パリティビットは、以下に示すように 1 レシーバクロック (RT1 クロック) の間隔 (RT0 はビットが始まると予想される位置) で RT7, RT8, RT9 の位置で 3 回サンプリングし、多数決判定 (3 回のサンプリングのうち 2 回または 3 回) で決定しビットのデータとします。

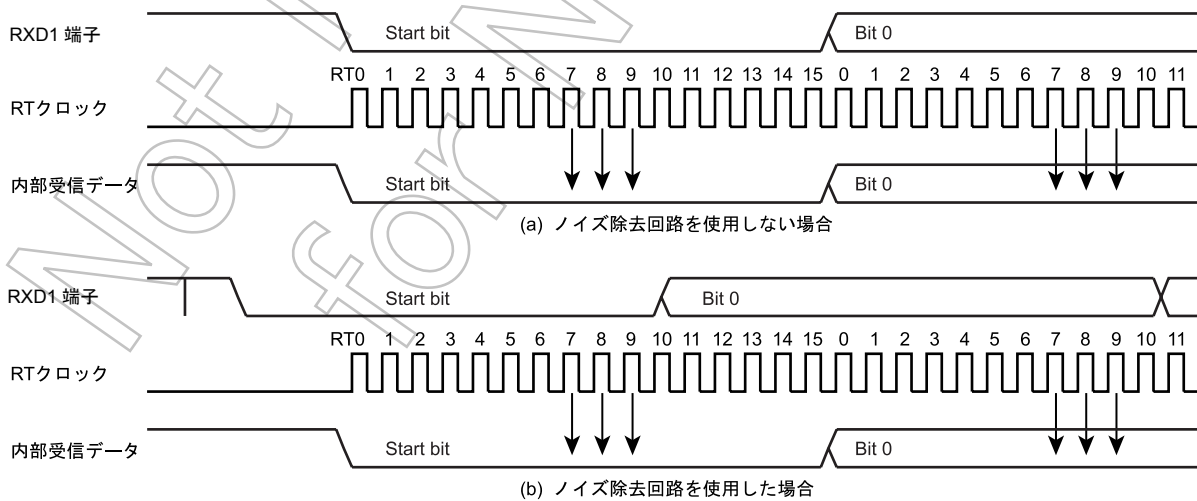


図 13-4 データのサンプリング方法

13.6 STOP ビット長

UART1CR1<STBT> で送信ストップビット長 (1 ビット / 2 ビット) の選択ができます。

13.7 パリティ

UART1CR1<PE> でパリティ付加の有無を、UART1CR1<EVEN> でパリティの種類 (奇数 / 偶数) を設定します。

13.8 送受信動作

13.8.1 データ送信動作

UART1CR1<TXE> を “1” にセットします。UART1SR を読み出し TBEP = “1” を確認後、TD1BUF (送信データバッファ) にデータを書き込みます。書き込みを行うと UART1SR<TBEP> は “0” にクリアされデータが送信シフトレジスタに転送された後、TXD1 端子より順次出力されます。このとき出力されるデータにはスタートビット1ビットとUART1CR1<STBT>で指定した数のストップビットおよびパリティビット (パリティありの場合) が付加されます。データ転送ボーレートは UART1CR1<BRG> で選択します。データの送信が始まると送信バッファエンプティフラグ UART1SR<TBEP> は “1” にセットされ、INTTXD1 割り込みが発生します。

UART1CR1<TXE> が “0” の間および UART1CR1<TXE> に “1” を書き込んでから TD1BUF に送信データが書き込まれるまでの間、TXD1 端子は “H” レベルに固定されます。

送信を行う場合、UART1SR を読み出してから TD1BUF にデータを書き込んでください。読み出さないと、UART1SR<TBEP> が “0” にクリアされず送信が開始されません。

13.8.2 データ受信動作

UART1CR1<RXE> を “1” にセットします。その後、RXD1 端子からデータを受信すると、RD1BUF (受信データバッファ) に受信データが転送されます。このとき、送られてくるデータにはスタートビットとストップビットおよびパリティビット (パリティありの場合) が付加されています。ストップビットが受信されるとデータだけが取り出され RD1BUF (受信データバッファ) に転送された後、受信バッファフルフラグ UART1SR<RBFL> がセットされ、INTRXD1 割り込みが発生します。データ転送ボーレートは UART1CR1<BRG> で選択します。

データが受信されたときに、オーバランエラーが発生すると、RD1BUF (受信データバッファ) へのデータ転送は行われず破棄されます。ただし、RD1BUF 内のデータは影響を受けません。

注) UART1CR1<RXE> ビットを “0” に設定して受信動作を停止させる場合、受信動作が完了したときに有効となります。ただし、この受信データにおいてフレーミングエラーが発生した場合、受信動作停止が有効とならない場合がありますので、フレーミングエラー発生時は、必ず再受信を実施してください。

13.9 ステータスフラグ

13.9.1 パリティエラー

受信データのデータビットから計算したパリティが、受信されたパリティビットと異なっているときパリティエラーフラグ UART1SR<PERR> が“1”にセットされます。UART1SR を読み出した後、RD1BUF を読み出すと UART1SR<PERR> は“0”にクリアされます。

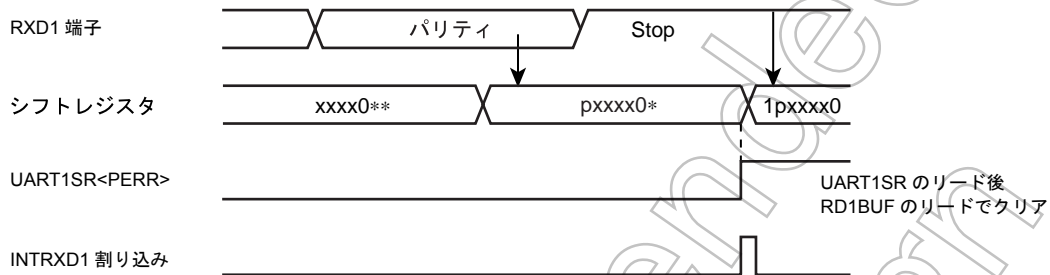


図 13-5 パリティエラーの発生

13.9.2 フレーミングエラー

受信データの STOP ビットとして“0”がサンプリングされたときフレーミングエラーフラグ UART1SR<FERR> が“1”にセットされます。UART1SR を読み出した後、RD1BUF を読み出すと UART1SR<FERR> は“0”にクリアされます。

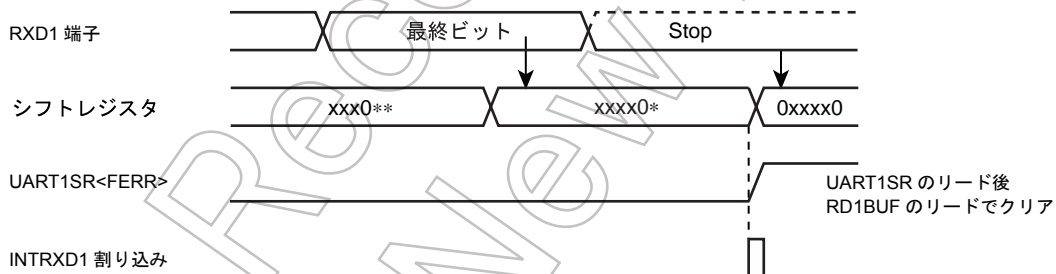


図 13-6 フレーミングエラーの発生

13.9.3 オーバランエラー

RD1BUF に読み出していないデータが格納されている状態で、次のデータの受信が全ビット終了するとオーバランエラーフラグ UART1SR<OERR> が“1”にセットされます。この場合、受信データは破棄され受信データバッファ内のデータは影響を受けません。UART1SR を読み出した後、RD1BUF を読み出すと UART1SR<OERR> は“0”にクリアされます。

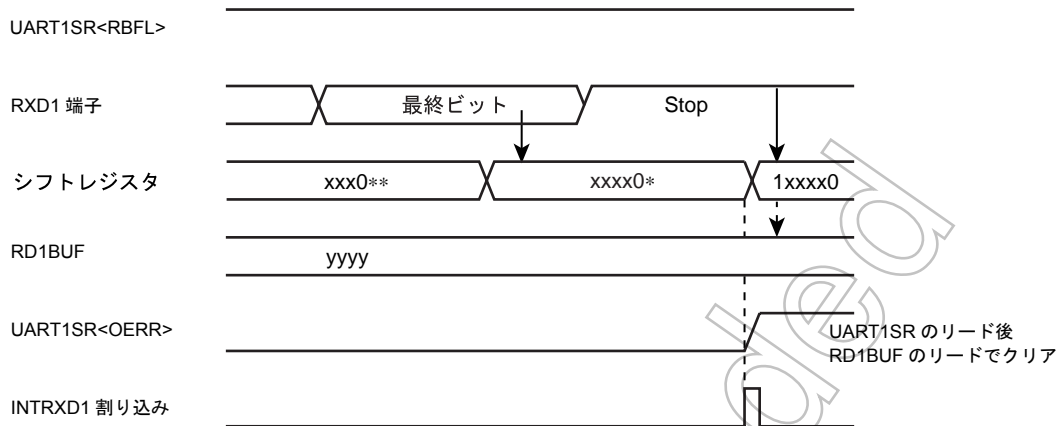


図 13-7 オーバランエラーの発生

注) オーバランエラーフラグ UART1SR<OERR> がクリアされるまで、受信動作は停止します。

13.9.4 受信バッファフル

受信データを RD1BUF に取り込むと UART1SR<RBFL> が “1” にセットされます。UART1SR を読み出した後、RD1BUF からデータを読み出すと UART1SR<RBFL> は “0” にクリアされます。

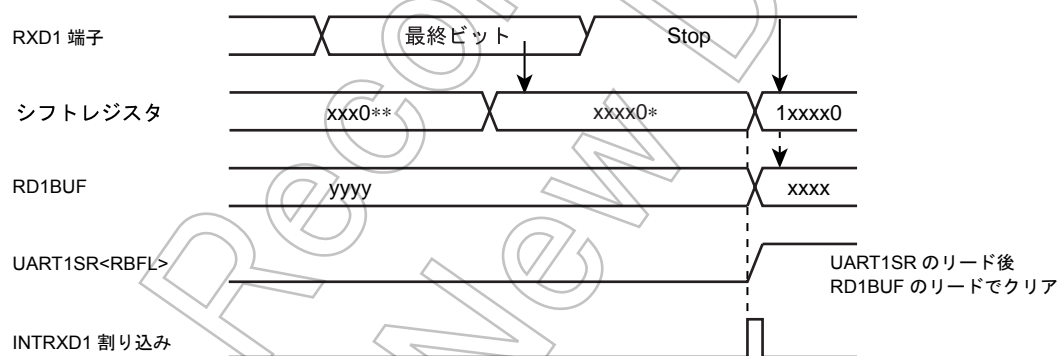


図 13-8 受信バッファフルの発生

注) 上記、UART1SR の読み出しから RD1BUF を読み出す間にオーバランエラーフラグ UART1SR<OERR> がセットされた場合、RD1BUF 読み出しだけではエラーフラグがクリアされません。再度 UART1SR を読み込み、エラーの確認を行ってください。

13.9.5 送信バッファエンpty

TD1BUF にデータが存在しないとき、つまり TD1BUF のデータが送信シフトレジスタに転送され送信が開始されるとき UART1SR<TBEP> が “1” にセットされます。UART1SR を読み出した後、TD1BUF にデータを書き込むと UART1SR<TBEP> は “0” にクリアされます。

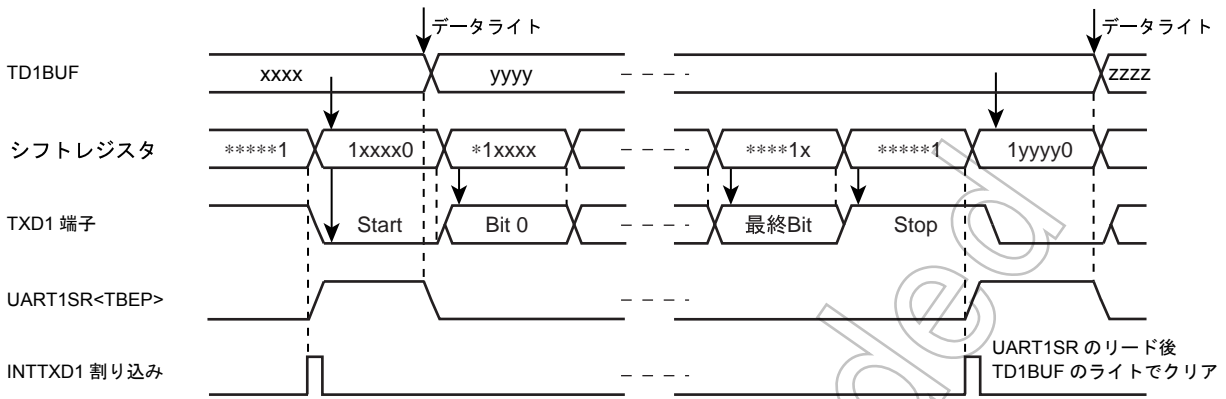


図 13-9 送信バッファエンプティの発生

13.9.6 送信終了フラグ

送信が終了し、TD1BUF 内に待機中のデータがないとき (UART1SR<TBEP>=“1”のとき) UART1SR<TEND> が“1”にセットされます。TD1BUF にデータを書き込んだ後、送信が開始されると UART1SR<TEND> は“0”にクリアされます。

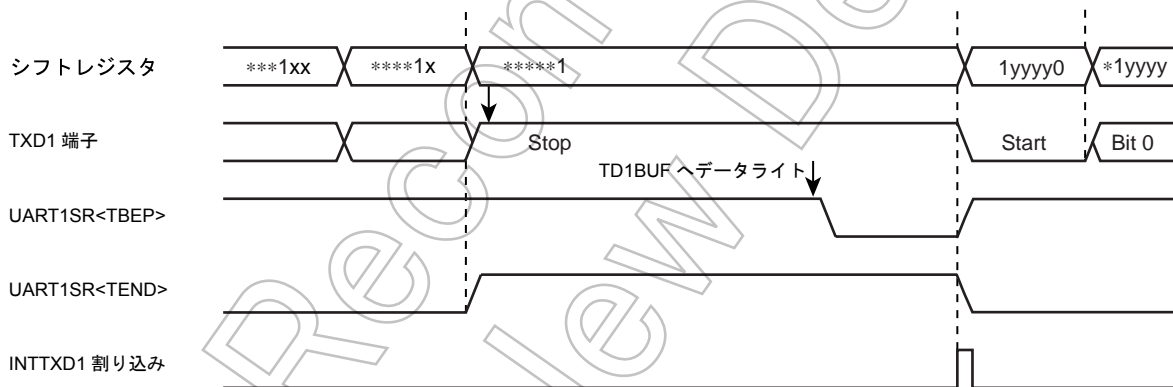


図 13-10 送信終了フラグと送信バッファエンプティの発生

Not Recommended
for New Design

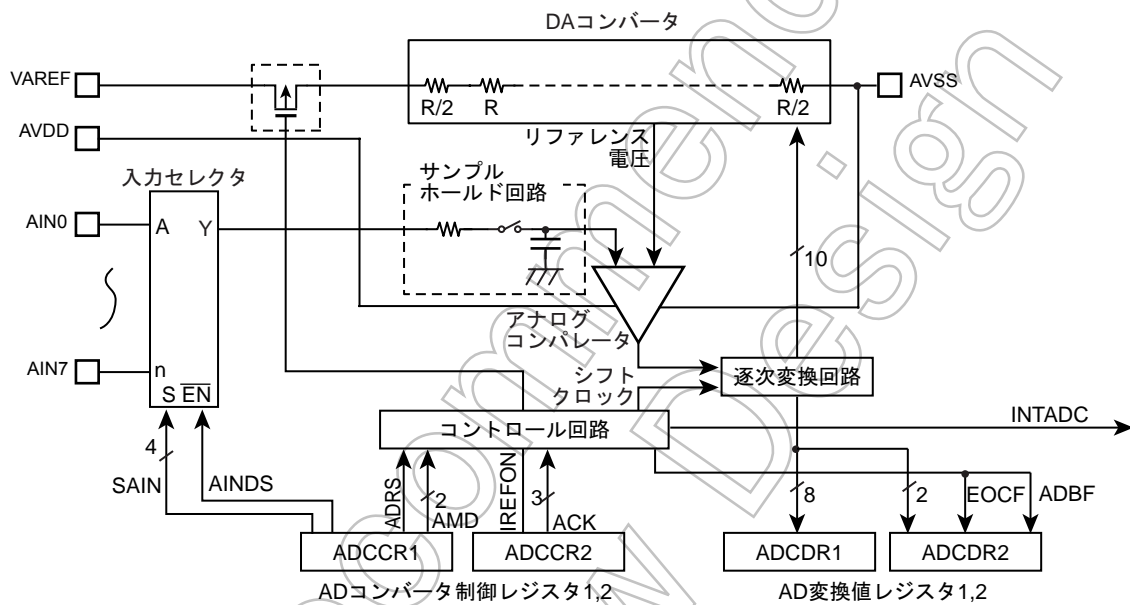
第 14 章 10 ビット AD コンバータ (ADC)

TMP86FS28DFG は、10 ビット分解能の逐次比較方式 AD コンバータを内蔵しています。

14.1 構成

10 ビット AD コンバータの回路構成を図 14-1 に示します。

制御レジスタ ADCCR1, ADCCR2, 変換値レジスタ ADCDR1, ADCDR2 と DA コンバータ、サンプルホールド回路、コンパレータ、逐次比較回路などで構成されています。



注) AD コンバータを使用する前に、アナログ入力と兼用の I/O ポートレジスタを適切な値に設定してください。詳しくは、I/O ポートの項を参照してください。

図 14-1 10 ビット AD コンバータ

14.2 制御

AD コンバータは、次の 4 つのレジスタで構成されています。

1. AD コンバータ制御レジスタ 1 (ADCCR1)

AD 変換を行うアナログチャネルの選択および動作モードの選択と AD コンバータの開始を制御するレジスタです。

2. AD コンバータ制御レジスタ 2 (ADCCR2)

AD 変換時間の選択と、DA コンバータ (ラダー抵抗) の接続を制御するレジスタです。

3. AD 変換値レジスタ 1 (ADCDR1)

AD コンバータによって変換されたデジタル値を格納するレジスタです。

4. AD 変換値レジスタ 2 (ADCDR2)

AD コンバータの動作状態をモニタするレジスタです。

AD コンバータ制御レジスタ 1

ADCCR1 (0FE2H)	7	6	5	4	3	2	1	0	
	ADRS	AMD		AINDS	SAIN				(初期値: 0001 0000)

ADRS	AD 変換開始	0: — 1: AD 変換開始	R/W
AMD	AD 動作モード	00: AD 動作ディセーブル 01: ソフトウェアスタートモード 10: Reserved 11: リピートモード	
AINDS	アナログ入力制御	0: アナログ入力ディセーブル 1: アナログ入力ディセーブル	
SAIN	アナログ入力チャネル選択	0000: AIN0 0001: AIN1 0010: AIN2 0011: AIN3 0100: AIN4 0101: AIN5 0110: AIN6 0111: AIN7 1000: Reserved 1001: Reserved 1010: Reserved 1011: Reserved 1100: Reserved 1101: Reserved 1110: Reserved 1111: Reserved	

- 注 1) アナログ入力チャネルの選択は AD 変換停止状態 (ADCDR2<ADBF> = "0") で行ってください。
- 注 2) アナログ入力チャネルをすべてディセーブルにする場合は、AINDS を "1" に設定してください。
- 注 3) アナログ入力はポートと兼用になっていますが、精度を保つ意味で AD 変換中はポート出力命令を実行しないでください。また、アナログ入力と近接するポートには AD 変換中、変化の激しい信号を入力しないようにしてください。
- 注 4) ADRS は、AD 変換開始後、自動的に "0" にクリアされます。
- 注 5) AD 変換中に ADRS の再設定は行わないでください。ADRS の再設定は、ADCDR2<EOCF> にて変換が終了したことを確認後、あるいは割り込み信号 (INTADC) 発生後 (割り込み処理ルーチンなど) に行ってください。
- 注 6) STOP または SLOW / SLEEP モードを起動すると、AD コンバータ制御レジスタ 1 (ADCCR1) はすべて初期化されるとともに書き込みができなくなります。再び AD コンバータを使用する場合は、NORMAL1 または NORMAL2 モードへ復帰後、ADCCR1 を再設定してください。

AD コンバータ制御レジスタ 2

ADCCR2 (0FE3H)	7	6	5	4	3	2	1	0	
			IREFON	"1"		ACK		"0"	(初期値:**0* 000*)

IREFON	DA コンバータ (ラダー抵抗) の接続時間	0: AD 変換中のみ接続 1: 常時接続	R/W
ACK	AD 変換時間選択 (変換時間例は下記表をご参照ください)	000: 39/fc 001: Reserved 010: 78/fc 011: 156/fc 100: 312/fc 101: 624/fc 110: 1248/fc 111: Reserved	

- 注 1) ADCCR2 のビット 4 には "1"、ビット 0 には "0" を必ず書き込んでください。
- 注 2) ADCCR2 に対しリード命令を実行すると、ビット 7,6 は不定値が読み込まれます。
- 注 3) STOP または SLOW/SLEEP モードを起動すると、AD コンバータ制御レジスタ 2 (ADCCR2) はすべて初期化されるとともに書き込みができなくなります。再び AD コンバータを使用する場合は、NORMAL1 または NORMAL2 モードへ復帰後、ADCCR2 を再設定してください。

表 14-1 ACK 設定と周波数別の変換時間

条件	変換時間	16MHz	8MHz	4 MHz	2 MHz	10-MHz	5 MHz	2.5 MHz
ACK 000	39/fc	—	—	—	19.5 μs	—	—	15.6 μs
001	Reserved							
010	78/fc	—	—	19.5 μs	39.0 μs	—	15.6 μs	31.2 μs
011	156/fc	—	19.5 μs	39.0 μs	78.0 μs	15.6 μs	31.2 μs	62.4 μs
100	312/fc	19.5 μs	39.0 μs	78.0 μs	156.0 μs	31.2 μs	62.4 μs	124.8 μs
101	624/fc	39.0 μs	78.0 μs	156.0 μs	—	62.4 μs	124.8 μs	—
110	1248/fc	78.0 μs	156.0 μs	—	—	124.8 μs	—	—
111	Reserved							

- 注 1) 上記表内 "—" 部分の設定は行わないでください。fc: 高周波発振周波数
- 注 2) 変換時間は、アナログ基準電圧 (VAREF) によって以下の時間以上を確保するように設定してください。

- VAREF = 4.5 ~ 5.5 V 時 15.6 μs 以上
- VAREF = 2.7 ~ 5.5 V 時 31.2 μs 以上

AD 変換値レジスタ 1

ADCDR1 (0FE1H)	7	6	5	4	3	2	1	0	
	AD09	AD08	AD07	AD06	AD05	AD04	AD03	AD02	(初期値: 0000 0000)

AD 変換値レジスタ 2

ADCDR2 (0FE0H)	7	6	5	4	3	2	1	0	
	AD01	AD00	EOCF	ADBF					(初期値: 0000 ****)

EOCF	AD 変換終了フラグ	0: 変換前または変換中 1: 変換終了	Read only
ADBF	AD 変換 BUSY フラグ	0: AD 変換停止中 1: AD 変換実行中	

- 注 1) EOCF は、AD 変換レジスタ 1 (ADCDR1) をリードすると "0" にクリアされます。このため、AD 変換結果を読み出すときは、(ADCDR2) をリードした後に (ADCDR1) をリードしてください。
- 注 2) ADBF は AD 変換開始により "1" にセットされ、AD 変換動作が終了すると "0" にクリアされます。また、STOP, SLOW モードを起動するときにもクリアされます。
- 注 3) ADCDR2 を読み出した場合、ビット 3~0 は不定となります。

Not Recommended
for New Design

14.3 機能

14.3.1 ソフトウェアスタートモード

ADCCR1<AMD> を“01” (ソフトウェアスタートモード) に設定後、ADCCR1<ADRS> を“1” に設定することにより ADCCR1<SAIN> で指定されたアナログ入力端子の電圧の AD 変換を開始します。

AD 変換終了後、変換結果を AD 変換値レジスタ (ADCDR1,2) に格納し、ADCDR2<EOCF> に“1” をセットするとともに AD 変換終了割り込み (INTADC) を発生します。

ADCCR1<ADRS> は AD 変換を開始後、自動的にクリアされます。AD 変換中に ADCCR1<ADRS> の再設定 (再スタート) は行わないでください。ADCCR1<ADRS> の再設定は ADCDR2<EOCF> にて変換が終了したことを確認後、あるいは割り込み信号 (INTADC) の発生後 (割り込み処理ルーチンなど) に行ってください。

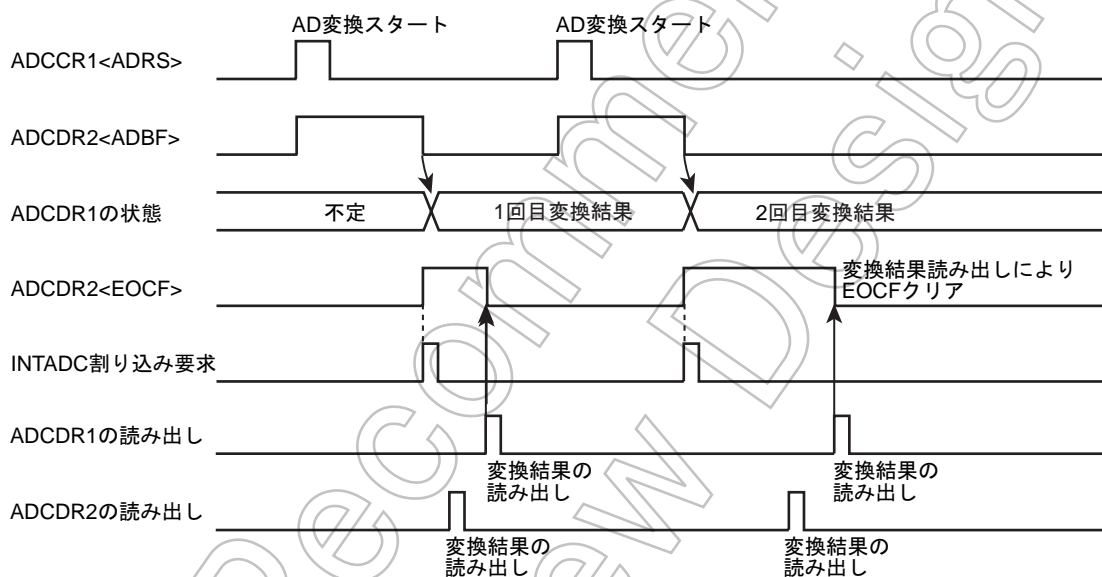


図 14-2 ソフトウェアスタートモード

14.3.2 リピードモード

ADCCR1<SAIN> で指定されたアナログ入力端子電圧の AD 変換を繰り返し行います。

ADCCR1<AMD> を“11” (リピートモード) に設定後、ADCCR1<ADRS> を“1” に設定することにより AD 変換を開始します。

AD 変換終了後、変換結果を AD 変換値レジスタ (ADCDR1,2) に格納し、ADCDR2<EOCF> に“1” をセットするとともに AD 変換終了割り込み (INTADC) を発生します。

リピートモードでは、1 回の AD 変換が終了すると直ちに次の AD 変換を開始します。AD 変換を停止するには、ADCCR1<AMD> に“00” (ディセーブルモード) を書き込んでください。AD 変換動作は即時に停止します。このときの変換値は、AD 変換値レジスタには格納されません。

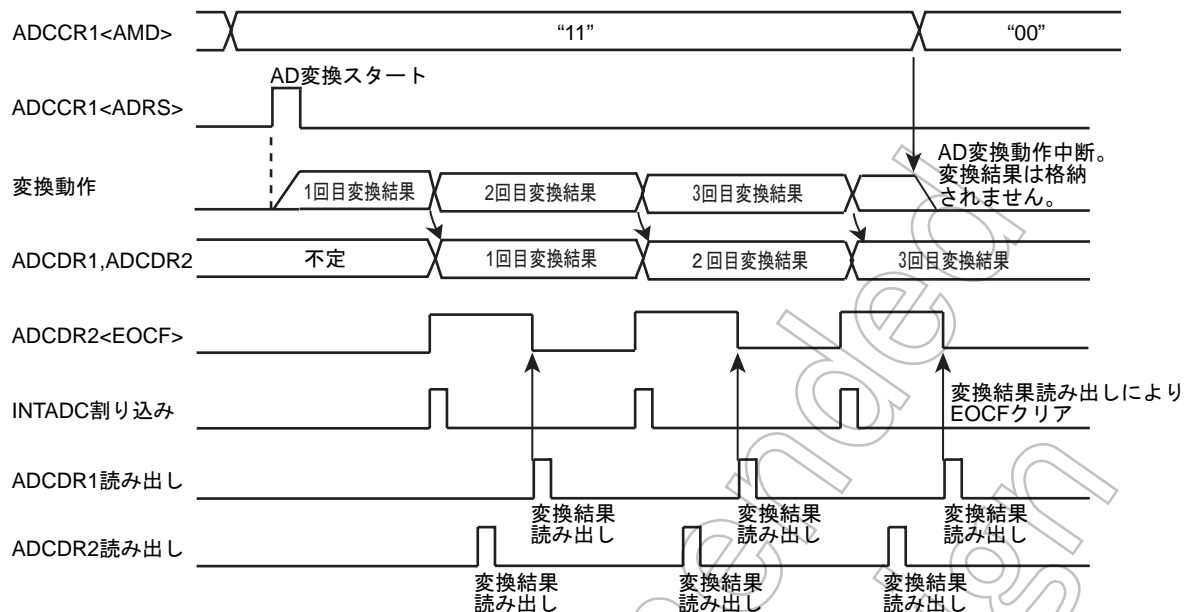


図 14-3 リピートモード

14.3.3 レジスタの設定

- AD コンバータ制御レジスタ 1 (ADCCR1) を以下のように設定してください。
 - AD 入力チャンネル選択 (SAIN) により AD 変換するチャンネルを選択してください。
 - アナログ入力制御 (AINDS) をアナログ入力イネーブルに指定してください。
 - AD コンバータ制御の動作モード (ソフトウェア、リピートモード) を (AMD) にて指定してください。
- AD コンバータ制御レジスタ 2 (ADCCR2) を以下のように設定してください。
 - AD 変換時間 (ACK) により AD 変換時間を設定してください。変換時間の設定については、AD コンバータ制御レジスタ 2 及び表 14-1 をご参照ください。
 - DA コンバータの制御 (IREFON) を選択してください。
- 上記 1. と 2. を設定後、AD コンバータ制御レジスタ 1 (ADCCR1) の AD 変換開始 (ADRS) に “1” を設定すると、ソフトウェアスタートの場合、直ちに AD 変換を開始します。
- AD 変換が完了すると、AD 変換値レジスタ 2 (ADCDR2) の AD 変換終了フラグ (EOCF) が “1” にセットされ、AD 変換結果が AD 変換値レジスタ 1 (ADCDR1)、AD 変換値レジスタ 2 (ADCDR2) に格納されます。また、このとき INTADC 割り込み要求が発生します。
- AD 変換値レジスタ 1 (ADCDR1) から変換結果を読み出すと EOCF は “0” にクリアされます。ただし、AD 変換値レジスタ 1 (ADCDR1) を読み出す前に再変換を行った場合は、EOCF は “0” にクリアされますが、変換結果は次の変換終了まで前回の結果を保持します。

(プログラム例) 変換時間 $19.5 \mu\text{s}$ @ 16 MHz およびアナログ入力チャンネル AIN3 端子を選択後、AD 変換を 1 回行います。EOCF を確認して変換値を読み出し、RAM の 009FH 番地に上位 8 ビット、009EH 番地に下位 2 ビットのデータを格納します。動作モードは、ソフトウェアスタートモードです。

```

; (ポートの設定)
;
;
;
LD      (ADCCR1), 00100011B      ; AIN3 を選択
LD      (ADCCR2), 11011000B      ; 変換時間 (312/fc), 動作モードを選択

SLOOP: SET      (ADCCR1). 7        ; ADRS = 1 (AD 変換開始)
        TEST     (ADCCR2). 5        ; EOCF = 1 ?
        JRS      T, SLOOP

LD      A, (ADCCR2)                ; 変換結果の読み出し
LD      (9EH), A
LD      A, (ADCCR1)                ; 変換結果の読み出し
LD      (9FH), A

```

14.4 AD 変換時の STOP/SLOW モード

AD 変換中に強制的に STOP または SLOW モードを起動すると AD 変換は中断され、AD コンバータは初期化されます (ADCCR1, ADCCR2 は初期値に初期化されます)。また、変換結果は不定となります (前回までの変換結果もクリアされますので、変換結果は STOP または SLOW モードを起動する前に読み出してください)。また STOP または SLOW モードから復帰した際は、AD 変換は自動的に再開しませんので、必要に応じて再度 AD 変換を開始してください。なお、アナログ基準電源は自動的にカットされるため、アナログ基準電源への電流の流れ込みはありません。

14.5 入力電圧と変換結果

アナログ入力電圧と AD 変換された 10 ビットデジタル値とは図 14-4 のように対応します。

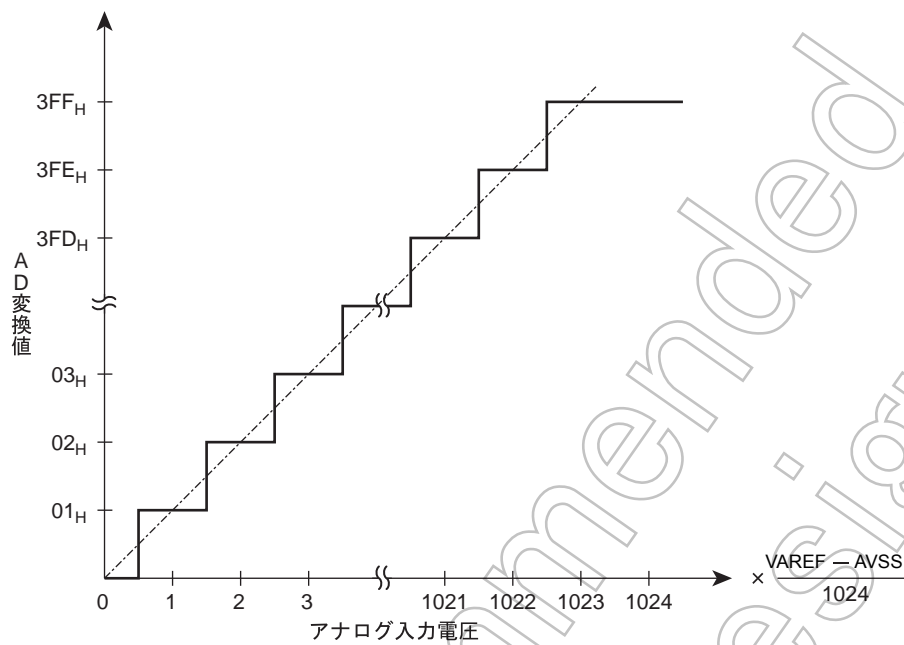


図 14-4 アナログ入力電圧と AD 変換値 (typ.) の関係

14.6 AD コンバータの注意事項

14.6.1 アナログ入力端子電圧範囲

アナログ入力端子 (AIN0 ~ AIN7) は、VAREF ~ AVSS 間でご使用ください。この範囲外の電圧が入力されるとその入力端子の変換値が不定となります。また他のアナログ入力端子の変換値にも影響を与えます。

14.6.2 アナログ入力兼用端子

アナログ入力端子 (AIN0 ~ AIN7) は、入出力ポートと兼用になっています。アナログ入力のいずれかを使用して AD 変換を実行する場合、それ以外のポートの入出力命令は実行しないでください。AD 変換精度が低下する場合があります。またアナログ入力兼用端子以外でも、隣接する端子への入出力によるノイズにより影響を受ける場合がありますので、注意が必要です。

14.6.3 ノイズ対策

アナログ入力端子の内部等価回路は、図 14-5 のようになっています。アナログ入力源の出力インピーダンスが高いほどノイズなどの影響を受けやすくなりますので、信号源の出力インピーダンスは $5\text{ k}\Omega$ 以下になるように設計してください。また、コンデンサの外付けを推奨いたします。

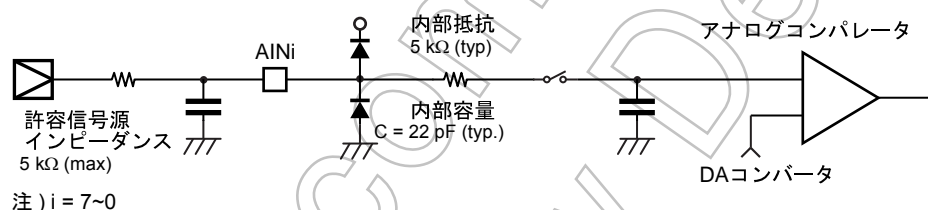


図 14-5 アナログ入力等価回路と入力端子処理例

Not Recommended
for New Design

第 15 章 キーオンウェイクアップ (KWU)

TMP86FS28DFG は、P20($\overline{\text{INT5}}/\overline{\text{STOP}}$) 端子以外に STOP2 ~ STOP5 の 4 つの端子でも STOP モードの解除が可能です。

STOP2 ~ STOP5 の入力で STOP モードを解除する場合、 $\overline{\text{STOP}}$ 端子の論理に注意が必要です。詳細については、後述の “15.2 制御” を参照してください。

15.1 構成

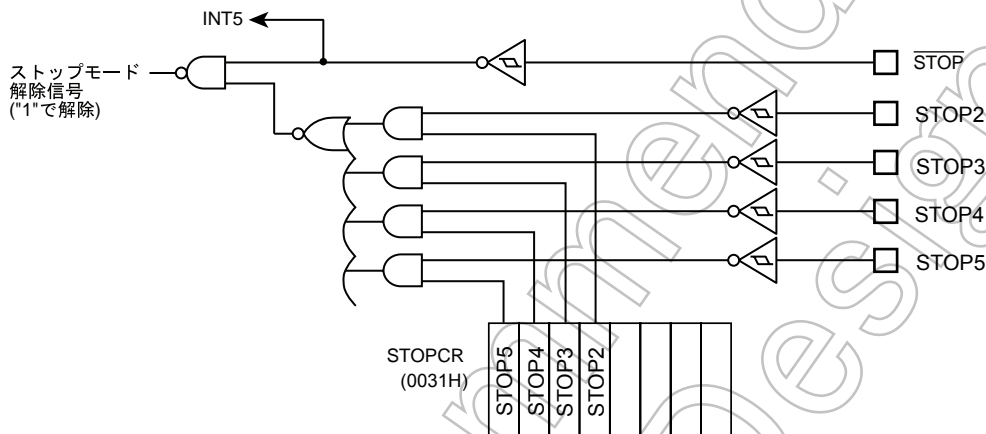
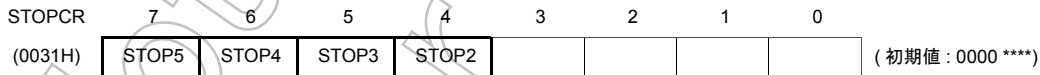


図 15-1 キーオンウェイクアップ回路

15.2 制御

STOP2 ~ STOP5 端子は、キーオンウェイクアップ制御レジスタ (STOPCR) によって、端子ごとに STOP モードの解除端子を許可/禁止することができます。STOP モードの解除入力に使用する端子はあらかじめ I/O ポートのレジスタにより入力端子状態に設定してください。

キーオンウェイクアップ制御レジスタ



STOP5	STOP5 端子による STOP モード解除	0: 禁止 1: 許可	Write only
STOP4	STOP4 端子による STOP モード解除	0: 禁止 1: 許可	Write only
STOP3	STOP3 端子による STOP モード解除	0: 禁止 1: 許可	Write only
STOP2	STOP2 端子による STOP モード解除	0: 禁止 1: 許可	Write only

15.3 機能

STOP モードの起動はシステムレジスタ 1 (SYSCR1) にて行い、解除は STOP モード解除が許可されている STOP2 ~ STOP5 端子のいずれかの端子を “L” レベルにすることにより解除できます (注 1)。

また、STOP2 ~ STOP5 端子の状態は、兼用する I/O ポートのレジスタを読み出すことにより確認できますので、STOP モードを起動する前に STOPCR によって許可された端子のレベルが“H”レベルになっていることを確認してください(注2)。

- 注 1) STOP モードの解除をエッジ解除モード (SYSCR1<RELM>="0") で行う場合、キーオンウェイクアップ制御レジスタ (STOPCR) によって STOP2 ~ STOP5 入力をすべて禁止にするか、入力が許可されている STOP2 ~ STOP5 端子を STOP モード中 "H" レベルに固定してください。
- 注 2) レベル解除の場合、 $\overline{\text{STOP}}$ 端子および STOP2 ~ STOP5 端子のいずれかが解除のレベルであると STOP モードに入らず、直ちに解除シーケンスに移ります。
- 注 3) $\overline{\text{STOP}}$ 端子は、入力を禁止する機能がありませんので、STOP2 ~ STOP5 入力によって STOP モードを解除する場合も、 $\overline{\text{STOP}}$ 端子を STOP モード解除用の端子として機能します。
- 注 4) キーオンウェイクアップ制御レジスタ (STOPCR) によって入力が許可されているキーオンウェイクアップ端子は、貫通電流が流れますのでアナログ電圧を印加しないでください。
- 注 5) STOP2 ~ STOP5 入力によって STOP モードを解除する ("L" レベル) 場合は、STOP モード中 $\overline{\text{STOP}}$ 端子を必ず "L" レベルに固定してください。(図 15-2)

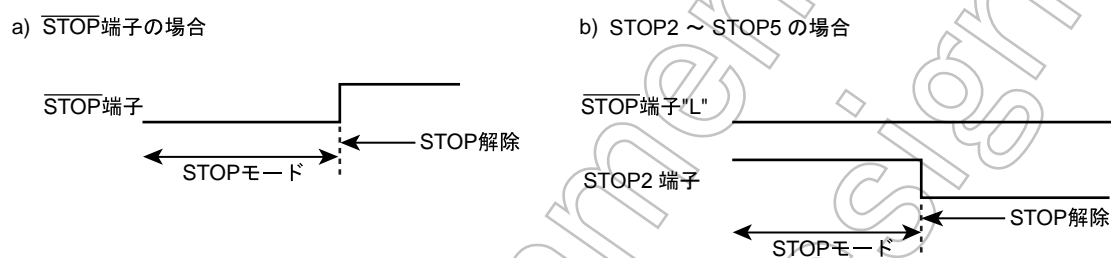


図 15-2 $\overline{\text{STOP}}$ 端子と STOP2 ~ STOP5 端子の優先順位

表 15-1 STOP モードの解除レベル (エッジ)

端子名	解除レベル (エッジ)	
	SYSCR1<RELM>="1" (注 2)	SYSCR1<RELM>="0"
$\overline{\text{STOP}}$	"H" レベル	立ち上がりエッジ
STOP2	"L" レベル	使用禁止 (注 1)
STOP3	"L" レベル	使用禁止 (注 1)
STOP4	"L" レベル	使用禁止 (注 1)
STOP5	"L" レベル	使用禁止 (注 1)

第 16 章 LCD ドライバ

TMP86FS28DFG は、液晶表示器 (LCD) を直接駆動するドライブおよびその制御回路を内蔵しています。LCD との接続端子は、次のとおりです。

1. セグメント出力 40 本 (SEG39 ~ SEG0)
2. コモン出力端子 4 本 (COM3 ~ COM0)

ほかに駆動用電源端子として、C0, C1, V1, V2, V3 端子があります。直接駆動が可能な LCD は、次の 4 種類です。

1. 1/4 デューティ (1/3 バイアス) LCD 最大 160 画素 (8 セグメント × 20 桁)
2. 1/3 デューティ (1/3 バイアス) LCD 最大 120 画素 (8 セグメント × 15 桁)
3. 1/2 デューティ (1/2 バイアス) LCD 最大 80 画素 (8 セグメント × 10 桁)
4. スタティック LCD 最大 40 画素 (8 セグメント × 5 桁)

16.1 LCD ドライバの構成

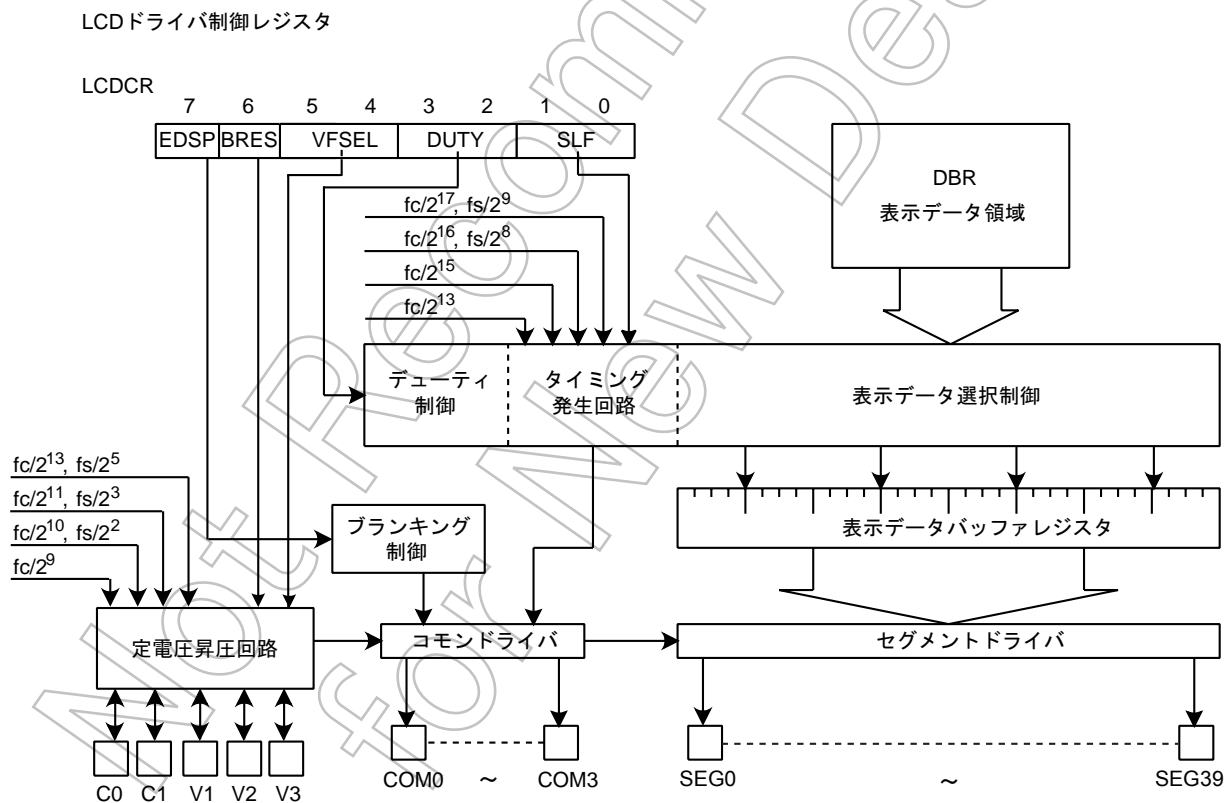


図 16-1 LCD ドライバ

注) LCD ドライバは専用のデバイダ回路を内蔵しています。従って開発ツールのデバッグ使用時にブレーク処理を行っても LCD ドライバは出力を停止しません。

16.2 LCD ドライバの制御

LCD ドライバの制御は、LCD 制御レジスタ (LCDCR) で行います。LCD ドライバの表示イネーブルは EDSP で制御します。

LCD ドライバ制御レジスタ

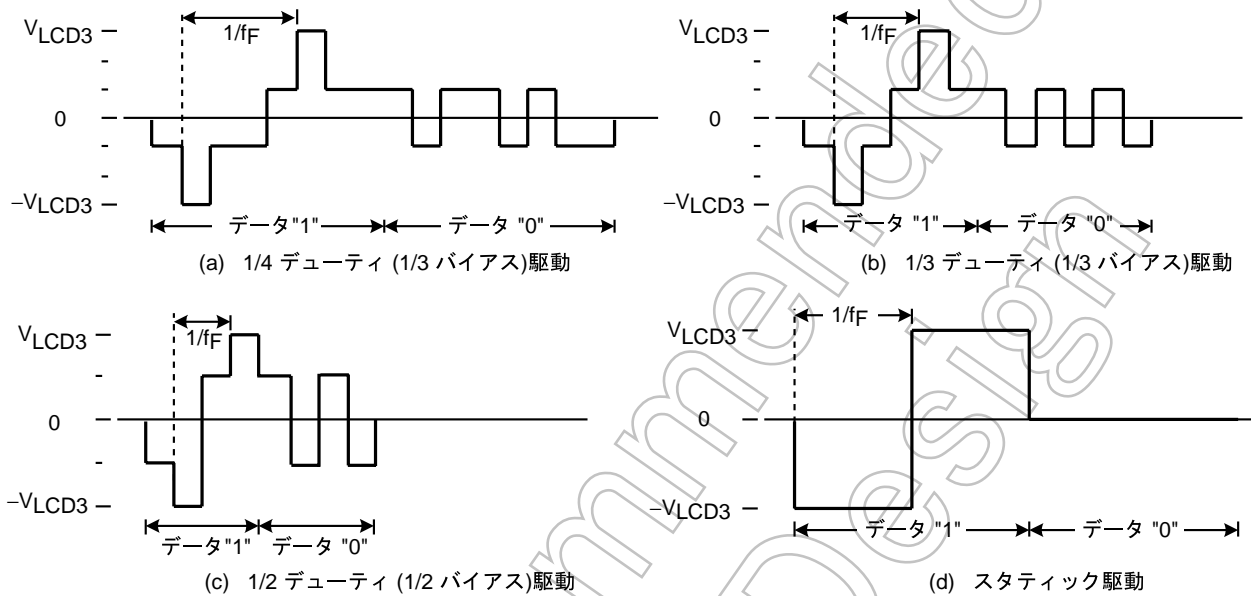
LCDCR (0FD9H)	7	6	5	4	3	2	1	0	(初期値: 0000 0000)
	EDSP	BRES	VFSEL	DUTY		SLF			

EDSP	LCD 表示制御	0: ブランキング 1: 表示イネーブル			R/W	
BRES	昇圧回路の設定	0: 昇圧回路ディゼーブル (外付け分割抵使用) 1: 昇圧回路 イネーブル				
VFSEL	昇圧周波数選択 [Hz]	NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP0/1/2 モード		
		DV7CK = 0	DV7CK = 1			
		00	$fc/2^{13}$	$fs/2^5$		$fs/2^5$
		01	$fc/2^{11}$	$fs/2^3$		$fs/2^3$
		10	$fc/2^{10}$	$fs/2^2$		$fs/2^2$
11	$fc/2^9$	$fc/2^9$	—			
DUTY	LCD 駆動方式の設定	00: 1/4 デューティ (1/3 バイアス) 01: 1/3 デューティ (1/3 バイアス) 10: 1/2 デューティ (1/2 バイアス) 11: スタティック				
SLF	ベース周波数の選択 [Hz]	NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP0/1/2 モード		
		DV7CK = 0	DV7CK = 1			
		00	$fc/2^{17}$	$fs/2^9$	$fs/2^9$	
		01	$fc/2^{16}$	$fs/2^8$	$fs/2^8$	
		10	$fc/2^{15}$	$fc/2^{15}$	—	
11	$fc/2^{13}$	$fc/2^{13}$	—			

- 注 1) 昇圧回路の設定 <BRES> = "0" のときは $V_{DD} \geq V_3 \geq V_2 \geq V_1 \geq V_{SS}$, <BRES> = "1" のときは $5.5[V] \geq V_3 \geq V_{DD}$ を満たす必要があります。これらの条件が適正でない場合、LCD 表示品位に影響を与えるばかりか、ポートに過電流が流れデバイスにダメージを与える可能性があります。
- 注 2) 昇圧回路がイネーブルの場合、LCD 駆動方式は 1/3 バイアスで使用する必要があります。従って <BRES> が "1" のとき、<DUTY> は "00B"、または "01B" を設定してください。
- 注 3) — ; 設定しないでください。

16.2.1 LCD 駆動方式

LCD の駆動方式は、LCDCR<DUTY>により、4 種類の選択ができます。駆動方式は、イニシャルプログラムの中で、使用する LCD に合わせて初期化します。



注 1) f_F : フレーム周波数

注 2) V_{LCD3} : LCD 駆動電圧

図 16-2 LCD 駆動波形 (COM - SEG 端子間電位差)

16.2.2 フレーム周波数

フレーム周波数 (f_f) は駆動方式とベース周波数により表 16-1 のように設定されます。ベース周波数は、使用する基本クロック周波数 f_c および f_s に応じて、LCDCR<SLF> により選択します。

表 16-1 フレーム周波数の設定 (高周波クロック)

(a) シングルクロックモード時、またはデュアルクロックモード時の DV7CK = "0" の場合

SLF	ベース周波数 [Hz]	フレーム周波数 [Hz]			
		1/4 デューティ	1/3 デューティ	1/2 デューティ	スタティック
00	$\frac{f_c}{2^{17}}$	$\frac{f_c}{2^{17}}$	$\frac{4}{3} \cdot \frac{f_c}{2^{17}}$	$\frac{4}{2} \cdot \frac{f_c}{2^{17}}$	$\frac{f_c}{2^{17}}$
	($f_c = 16$ MHz)	122	163	244	122
	($f_c = 8$ MHz)	61	81	122	61
01	$\frac{f_c}{2^{16}}$	$\frac{f_c}{2^{16}}$	$\frac{4}{3} \cdot \frac{f_c}{2^{16}}$	$\frac{4}{2} \cdot \frac{f_c}{2^{16}}$	$\frac{f_c}{2^{16}}$
	($f_c = 8$ MHz)	122	163	244	122
	($f_c = 4$ MHz)	61	81	122	61
10	$\frac{f_c}{2^{15}}$	$\frac{f_c}{2^{15}}$	$\frac{4}{3} \cdot \frac{f_c}{2^{15}}$	$\frac{4}{2} \cdot \frac{f_c}{2^{15}}$	$\frac{f_c}{2^{15}}$
	($f_c = 4$ MHz)	122	163	244	122
	($f_c = 2$ MHz)	61	81	122	61
11	$\frac{f_c}{2^{13}}$	$\frac{f_c}{2^{13}}$	$\frac{4}{3} \cdot \frac{f_c}{2^{13}}$	$\frac{4}{2} \cdot \frac{f_c}{2^{13}}$	$\frac{f_c}{2^{13}}$
	($f_c = 1$ MHz)	122	163	244	122

注) f_c : 高周波クロック周波数 [Hz]

表 16-2 フレーム周波数の設定 (低周波クロック)

(b) デュアルクロックモード時の DV7CK = "1"、または SYSCK = "1" の場合

SLF	ベース周波数 [Hz]	フレーム周波数 [Hz]			
		1/4 デューティ	1/3 デューティ	1/2 デューティ	スタティック
00	$\frac{f_s}{2^9}$	$\frac{f_s}{2^9}$	$\frac{4}{3} \cdot \frac{f_s}{2^9}$	$\frac{4}{2} \cdot \frac{f_s}{2^9}$	$\frac{f_s}{2^9}$
	($f_s = 32.768$ kHz)	64	85	128	64
01	$\frac{f_s}{2^8}$	$\frac{f_s}{2^8}$	$\frac{4}{3} \cdot \frac{f_s}{2^8}$	$\frac{4}{2} \cdot \frac{f_s}{2^8}$	$\frac{f_s}{2^8}$
	($f_s = 32.768$ kHz)	128	171	256	128

注) f_s : 低周波クロック周波数 [Hz]

16.2.3 LCD 駆動電圧

TMP86FS28DFG は、LCD 駆動用電源として、外部より供給される基準電圧を内部の昇圧回路で昇圧 (降圧) したものを使用するか、外部電源を外付け抵抗により分割としたものを使用するかを選択できます。この選択は LCD 制御レジスタ LCDCCR<BRES> で行います。

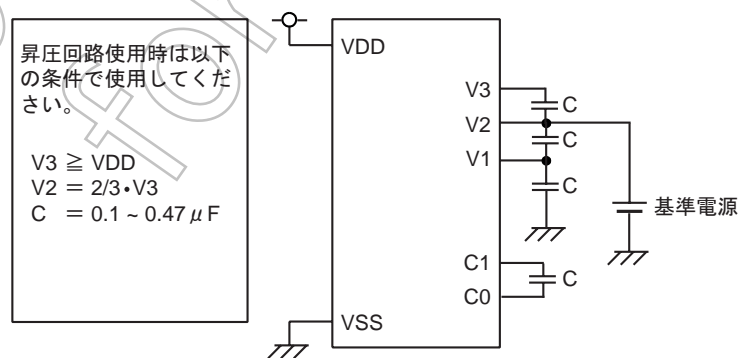
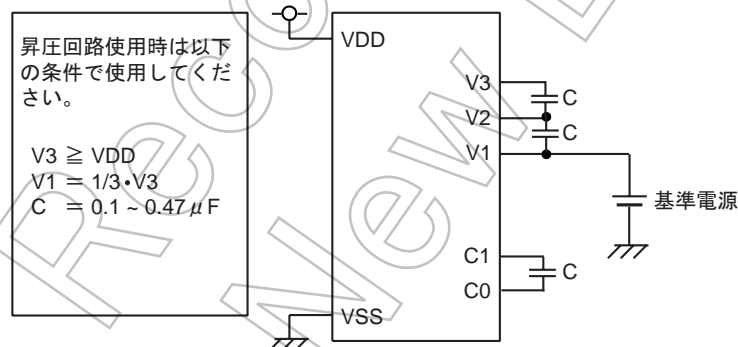
16.2.3.1 昇圧回路を使用する場合 (LCDCCR<BRES>="1" のとき)

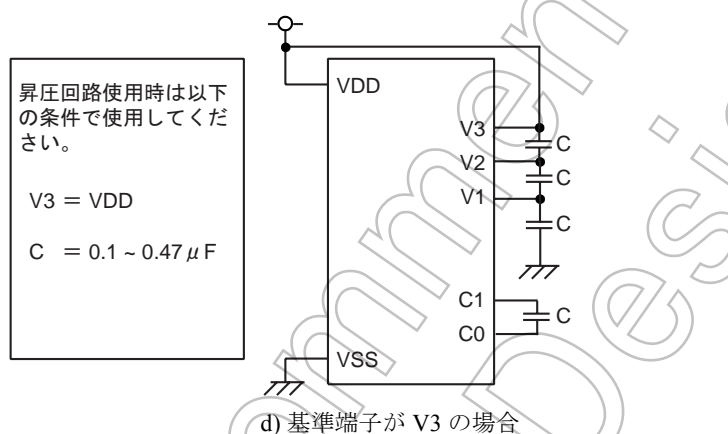
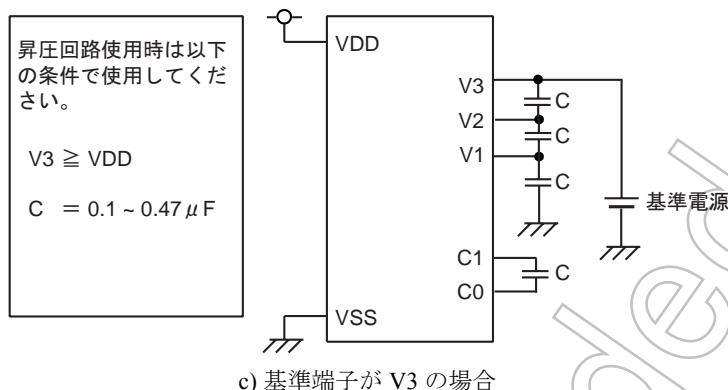
昇圧回路使用時は V1 端子に接続された基準電圧を 2 倍、3 倍に昇圧し、セグメント / コモン信号用の出力電圧を発生させます。V2 端子に基準電源が接続された場合は、1/2 倍 (V1) に降圧、3/2 倍 (V3) に昇圧されます。V3 端子に基準電源が接続された場合は、1/3 倍 (V1) に降圧、2/3 倍 (V2) に降圧されます。

また、LCDCCR<VFSEL> によって昇圧回路の基準周波数を選択することができます。昇圧周波数を速くするとセグメント / コモンの駆動能力は高くなりますが、その分消費電力が大きくなります。逆に昇圧周波数を遅くするとセグメント / コモンの駆動能力は低くなりますが、消費電力は少なくなります。駆動能力が不足すると LCD 表示が滲むなどの影響が現れますので、使用する LCD パネルに合わせて最適な設定値に調整してください。

昇圧回路の昇圧周波数に対する V3 端子の電流値容量を表 16-3 に示します。

注) 昇圧回路がイネーブルの場合、LCD 駆動方式は 1/3 バイアスで使用する必要があります。従って <BRES> が "1" のとき、<DUTY> は "00B"、または "01B" を設定してください。





- 注 1) TMP86FS28DFG で LCD の昇圧回路を使用するとき、昇圧回路の電源およびコンデンサは上図のように接続してください。
- 注 2) 基準電源を V1 端子以外に接続する場合、V1 端子と GND 間にコンデンサを接続してください。
- 注 3) a) ~ d) の接続方法は、従来製品のデータシートから接続例が変更されています。これらの接続方法に変更することによって昇圧特性が向上しますので、新規基板設計の際は上図の接続方法で開発することを推奨します。(従来の接続方法でも LCD 表示に影響はありません)

図 16-3 昇圧回路使用時の LCD 電源接続例 (LCDCR<BRES>= “1”)

表 16-3 昇圧周波数に対する V3 端子の電流値容量 (Typ.)

VFSEL	昇圧周波数	FC = 16 MHz 時	FC = 8 MHz 時	FC = 4 MHz 時	FC = 32.768 MHz 時
00	$fc/2^{13}$ または $fs/2^5$	-37 mV/ μA	-80 mV/ μA	-138 mV/ μA	-76 mV/ μA
01	$fc/2^{11}$ または $fs/2^3$	-19 mV/ μA	-24 mV/ μA	-37 mV/ μA	-23 mV/ μA
10	$fc/2^{10}$ または $fs/2^2$	-17 mV/ μA	-19 mV/ μA	-24 mV/ μA	-18 mV/ μA
11	$fc/2^9$	-16 mV/ μA	-17 mV/ μA	-19 mV/ μA	—

- 注 1) 電源容量は、1mA あたり降下する電圧の値を示すものです。
- 注 2) 昇圧周波数はご使用の LCD パネルに合わせて、選択してください。
- 注 3) 安定した動作を保つため、基準端子 V1 または基準端子 V2 の電流容量値は上記容量の 10 倍以上を推奨します。例えば、昇圧周波数が $fc/2^9$ (@ $fc = 8 \text{ MHz}$) のとき、基準端子 V1 の電流容量は、-1.7 mV/ mA 以上を推奨します。

16.2.3.2 外付け分割抵抗を使用する場合 (LCDCR<BRES>="0" のとき)

外付け分割抵抗使用時は、外部電源を抵抗で分圧した電圧をそれぞれ V1, V2, V3 に入力しセグメント / コモン信号用の出力電圧を発生させます。

外部抵抗値を小さくするとセグメント/コモン駆動能力は高くなりますが、その分消費電力が大きくなります。逆に外部抵抗値を大きくするとセグメント/コモン駆動能力は低くなりますが、消費電力は少なくなります。駆動能力が不足すると LCD 表示が滲むなどの影響が現れますので、使用する LCD パネルに合わせて最適な抵抗値に調整してください。

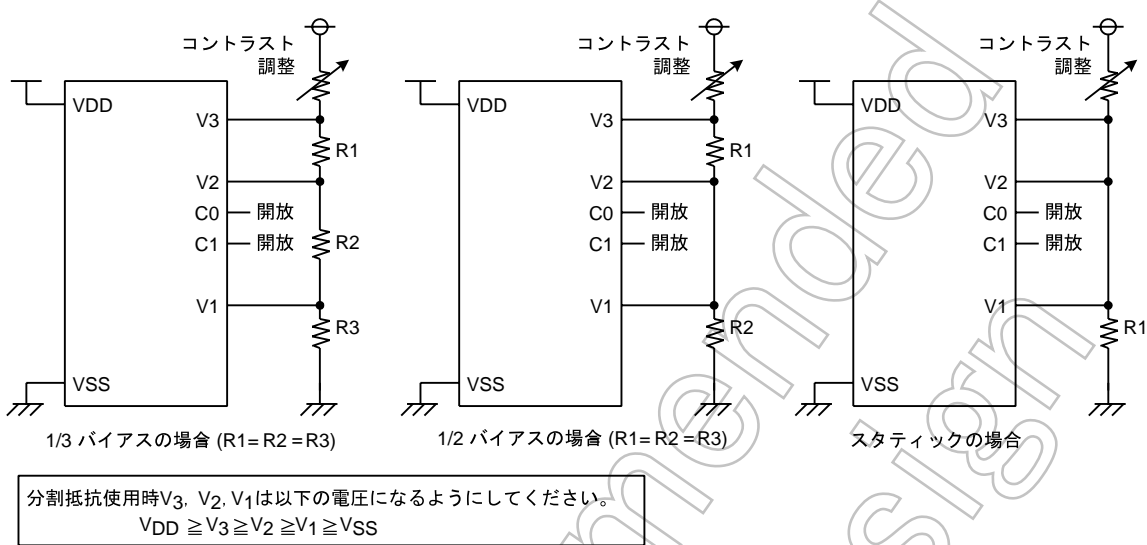


図 16-4 外部分割抵抗使用時の LCD 電源接続例 (LCDCR<BRES>= “0”)

16.3 LCD 表示動作

16.3.1 表示データの設定

表示データは、DBR 内に設けられた表示データ領域 (0FC0H ~ 0FD3H 番地の 20 バイト) に格納します。

表示データ領域に格納された表示データは、ハードウェアにより自動的に読み出され、LCD ドライバへ送出されます。LCD ドライバは、表示データと駆動方式に従い、セグメント信号、コモン信号を発生します。従って、表示パターンの変更は、プログラムで表示データ領域の内容を書き替えることで行えます。

表 16-5 に、表示データ領域と SEG/COM 端子の対応を示します。表示データが “1” のとき点灯し、“0” のとき消灯します。

LCD の駆動方式によって駆動可能な画素数が異なりますので、表示データを格納するために使用する表示データ領域のビット数も異なります。従って、表示データの格納に使用しないビットや、LCD を接続しないアドレスに相当するデータメモリは、通常のユーザー処理データの格納に使用できません (表 16-4 参照)。

注) 表示データ領域の内容は、電源投入時不定になりますのでイニシャライズルーチンで初期設定を行ってください。

表 16-4 表示データの格納に使用するビット

駆動方式	ビット 7/3	ビット 6/2	ビット 5/1	ビット 4/0
1/4 デューティ	COM3	COM2	COM1	COM0
1/3 デューティ	-	COM2	COM1	COM0
1/2 デューティ y	-	-	COM1	COM0
スタティック	-	-	-	COM0

注) -: 表示データの格納に使用しないビット

表 16-5 LCD 表示データ領域 (DBR)

アドレス	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0FC0H		SEG1					SEG0	
0FC1H		SEG3					SEG2	
0FC2H		SEG5					SEG4	
0FC3H		SEG7					SEG6	
0FC4H		SEG9					SEG8	
0FC5H		SEG11					SEG10	
0FC6H		SEG13					SEG12	
0FC7H		SEG15					SEG14	
0FC8H		SEG17					SEG16	
0FC9H		SEG19					SEG18	
0FCAH		SEG21					SEG20	
0FCBH		SEG23					SEG22	
0FCCH		SEG25					SEG24	
0FCDH		SEG27					SEG26	
0FCEH		SEG29					SEG28	
0FCFH		SEG31					SEG30	
0FD0H		SEG33					SEG32	
0FD1H		SEG35					SEG34	
0FD2H		SEG37					SEG36	
0FD3H		SEG39					SEG38	
	COM3	COM2	COM1	COM0	COM3	COM2	COM1	COM0

16.3.2 ブランキング

LCD<EDSP>を“0”にクリアすることによりブランキングがかかります。ブランキングは、COM/SEG 端子に GND レベルを出力することにより LCD を消灯します。

STOP モードに入ると LCD<EDSP>が“0”にクリアされ、自動的にブランキングがかかります。STOP モード復帰後、LCD の再表示を行うには LCD<EDSP>を“1”にセットする必要があります。

注) リセット時、コモン出力は GND レベルとなりますが、入出力ポート / セグメント兼用端子出力はハイインピーダンス状態となります。従って、外部からのリセット入力が増しく長くなる場合は LCD 表示が滲むなどの影響を及ぼす恐れがあります。

16.4 LCD ドライバの制御方法

16.4.1 初期設定

初期設定のフローチャートを、図 16-5 に示します。

(プログラム例) 40 セグメント×4 コモン、1/4 デューティ LCD をフレーム周波数 $fc/2^{16}$ [Hz]、昇圧周波数 $fc/2^{13}$ [Hz] で動作させる場合。

LD	(LCDCR), 01000001B	; LCD 駆動方法の設定、フレーム周波数の設定、昇圧周波数の設定、昇圧回路イネーブル
LD	(PxLCR), 0FFH	; PxLCR レジスタの設定 (x; I/O ポート番号)
:	:	
:	:	; 表示データの初期値設定
LD	(LCDCR), 11000001B	; 表示イネーブル

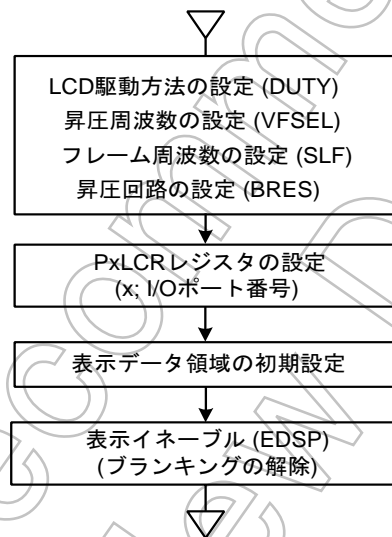


図 16-5 LCD ドライバの初期設定

16.4.2 表示データの格納

通常、表示データはプログラムメモリ (ROM) に固定データとして用意しておき、ロード命令により、表示データ領域に格納します。

(プログラム例) 1/4 デューティ LCD を用いて、データメモリの 80H 番地に格納されている BCD データに対応する数字を表示する場合 (COM, SEG 端子と LCD との接続を図 16-6 としたとき) の表示データは、表 16-6 のようになります。

```

LD      A, (80H)
ADD     A, TABLE-$-7
LD      HL, 0FC0H
LD      W, (PC + A)
LD      (HL), W
RET
TABLE:  DB      11011111B, 00000110B,
              11100011B, 10100111B,
              00110110B, 10110101B,
              11110101B, 00010111B,
              11110111B, 10110111B
    
```

注) DB はバイトデータ定義命令

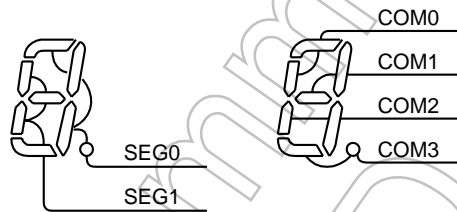


図 16-6 COM, SEG 端子接続例 (1/4 デューティ)

表 16-6 表示データ (1/4 デューティ) の例

数字	表示	表示データ	数字	表示	表示データ
0		11011111	5		10110101
1		00000110	6		11110101
2		11100011	7		00000111
3		10100111	8		11110111
4		00110110	9		10110111

Example 2: 1/2 デューティ LCD を用いて、表 16-6 と同様の数字表示を行う場合の表示データの例を表 16-7 に示します。COM 端子および SEG 端子の接続方法は図 16-7 の例を用います。

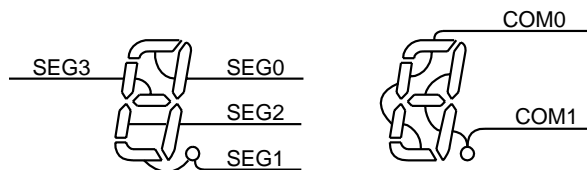


図 16-7 COM, SEG 端子接続例

表 16-7 表示データ (1/2 デューティ) の例

数字	表示データ		数字	表示データ	
	上位アドレス	下位アドレス		上位アドレス	下位アドレス
0	**01**11	**01**11	5	**11**10	**01**01
1	**00**10	**00**10	6	**11**11	**01**01
2	**10**01	**01**11	7	**01**10	**00**11
3	**10**10	**01**11	8	**11**11	**01**11
4	**11**10	**00**10	9	**11**10	**01**11

注) *: Don't care

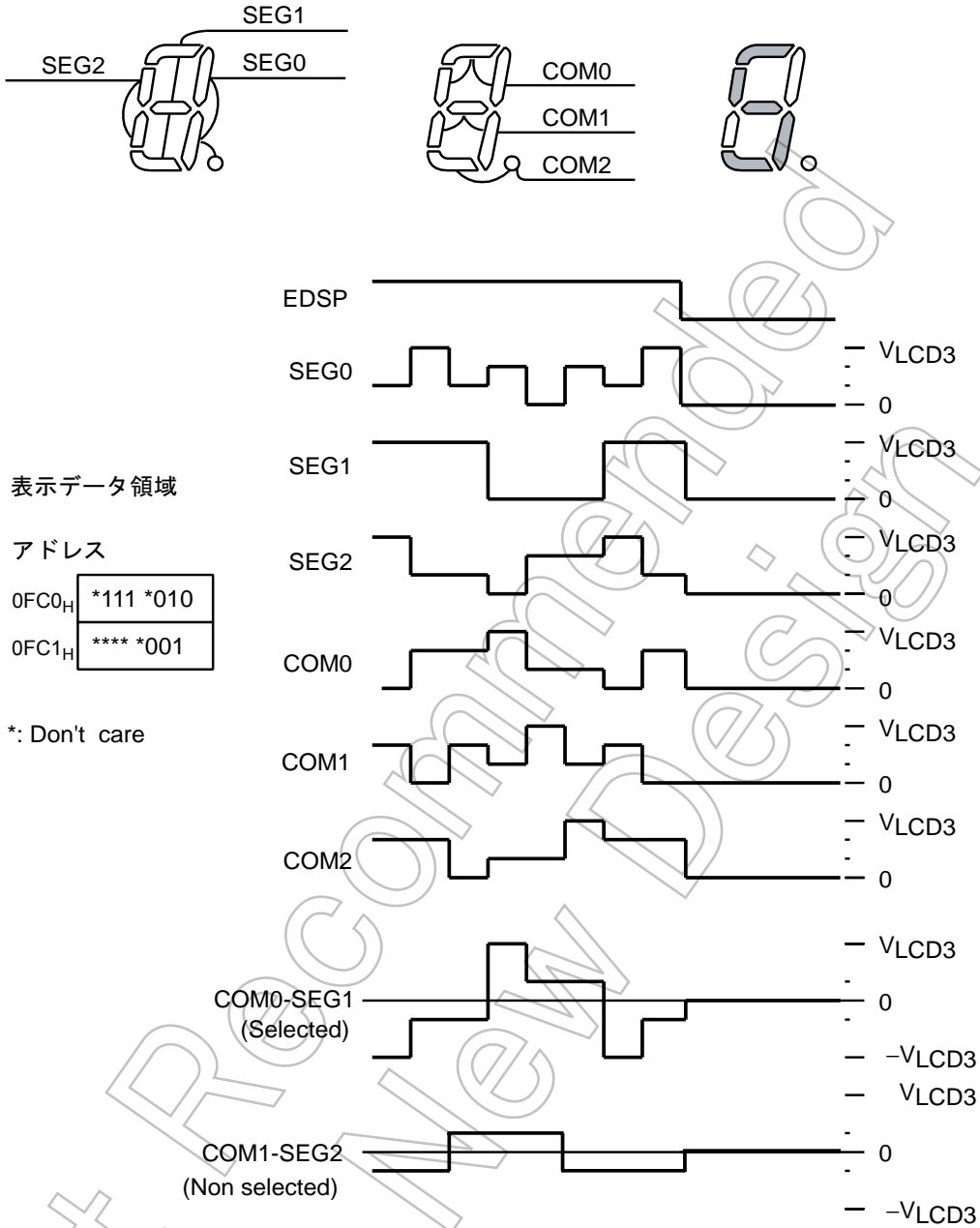


図 16-9 1/3 デューティ (1/3 バイアス) 駆動

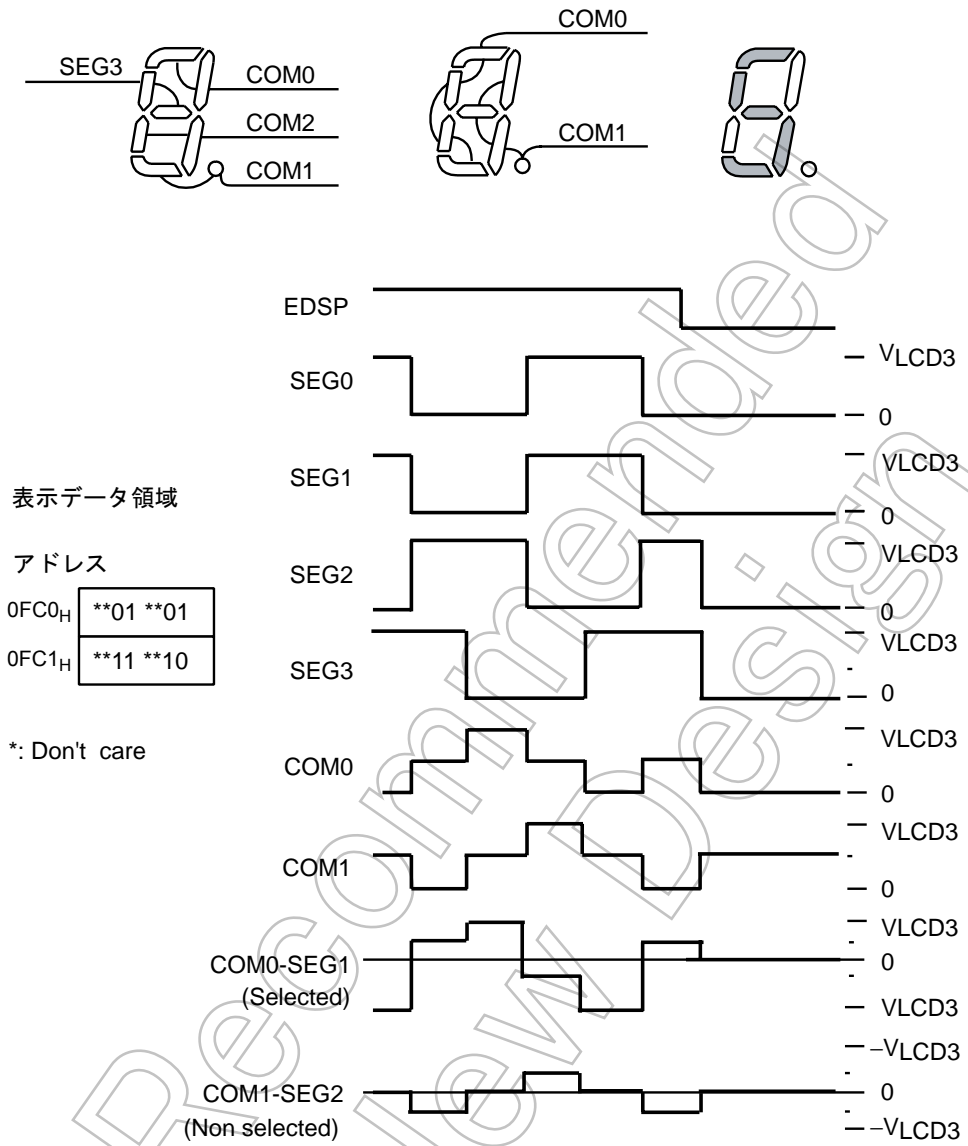
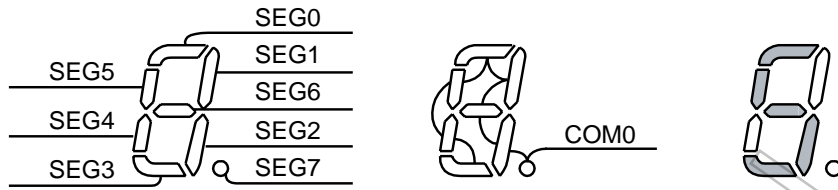


図 16-10 1/2 デューティ (1/2 バイアス) 駆動



表示データ領域

アドレス

0FC0 _H	***0 ***1
0FC1 _H	***1 ***1
0FC2 _H	***1 ***0
0FC3 _H	***0 ***1

*: Don't care

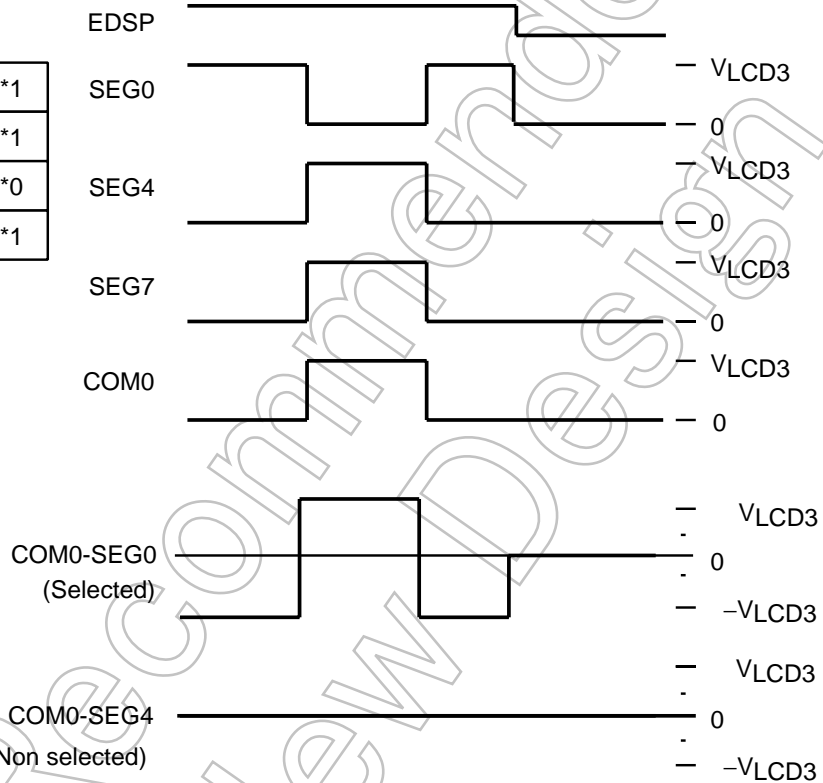


図 16-11 スタティック駆動

Not Recommended
for New Design

第 17 章 フラッシュメモリ

TMP86FS28DFG は、61440 バイト (アドレス 1000H ~ FFFFH) のフラッシュメモリを内蔵しています。フラッシュメモリの書き込み / 消去などの制御は、以下の 3 つのモードで実行可能です。

- MCU モード

MCU モードは、CPU の制御によってフラッシュメモリをアクセスするモードです。アプリケーションの動作を保った状態でフラッシュメモリの書き換えが可能ですので、出荷後のソフトウェアバグ修正やファームウェアの変更などに利用できます。

- シリアル PROM モード

シリアル PROM モードは、CPU の制御によってフラッシュメモリをアクセスするモードです。シリアルインタフェース (UART) を使用することによって少ない端子で制御が可能ですので、出荷工程のオンボード書き込み (マイクロコントローラが基板に実装された状態での書き込み) などに利用できます。

- パラレル PROM モード

パラレル PROM モードは、サードパーティの提供するプログラムライタ等で単体のフラッシュメモリとしてフラッシュメモリをアクセスするモードで、アドレス / データ信号を直接制御することにより高速にフラッシュメモリをアクセスすることができます。プログラムライタのサポート状況については、当社営業窓口までお問い合わせください。

MCU モードおよびシリアル PROM モードは、フラッシュメモリの制御のためにフラッシュメモリ制御レジスタ (FLSCR) を使用します。本章では MCU モードおよびシリアル PROM モードでフラッシュメモリ制御 (FLSCR) を使用したフラッシュメモリのアクセス方法を説明します。

17.1 制御

フラッシュメモリは、フラッシュメモリ制御レジスタ (FLSCR)、フラッシュメモリスタンバイ制御レジスタ (FLSSTB) によって制御されます。

フラッシュメモリ制御レジスタ

FLSCR (0FAFH)	7	6	5	4	3	2	1	0	(初期値: 1100 1***)
	FLSMD				BANKSEL				

FLSMD	フラッシュメモリのコマンドシーケンス制御	1100: コマンドシーケンスの実行を禁止 0011: コマンドシーケンスの実行を許可 その他: Reserved	R/W
BANKSEL	フラッシュメモリのバンク切り替え制御 (シリアル PROM モードのみ)	0: BANK0 に切り替え 1: BANK1 に切り替え	R/W

- 注 1) フラッシュメモリのコマンドシーケンスは、FLSMD= "0011B" 設定のときのみ実行可能です。それ以外の設定のときはコマンドシーケンスを実行しても無効となります。
- 注 2) FLSMD は、"1100B"、"0011B" 以外設定しないでください。
- 注 3) BANKSEL はシリアル PROM モード時のみ機能します。MCU モードでは、フラッシュメモリは BANKSEL の設定に関係無く、常に実アドレス (1000~FFFFH) でアクセスされます。
- 注 4) FLSCR に対してリード命令を実行すると、ビット 2~0 は不定値が読み込まれます。

フラッシュメモリスタンバイ制御レジスタ

FLSSTB (0FADH)	7	6	5	4	3	2	1	0	FSTB (初期値: **** ***)

FSTB	フラッシュメモリのスタンバイ制御	0: フラッシュメモリのスタンバイを行わない 1: フラッシュメモリのスタンバイを行う	Write only
------	------------------	--	------------

- 注 1) 期待するデータが読み出されなかったり、プログラムが正しく動作しない場合がありますので、FSTB が "1" のときはフラッシュメモリに対してリード/ライト命令を実行しないでください。もし実行した場合、FSTB は自動的に "0" に初期化されます。
- 注 2) FSTB が "1" のときに割り込みが発生した場合、FSTB は自動的に "0" に初期化された後、フラッシュメモリのベクタ領域がリードされます。
- 注 3) FSTB が "1" のときに IDLE0/1/2, SLEEP0/1/2, STOP モードを起動すると、FSTB は自動的に "0" に初期化されます。IDLE0/1/2, SLEEP0/1/2, STOP モードでは FSTB の設定に関係無く、スタンバイ機能が動作します。

17.1.1 フラッシュメモリのコマンドシーケンス制御 (FLSCR<FLSMD>)

フラッシュメモリ製品は、プログラムエラーやマイコンの誤動作によるフラッシュメモリの誤書き込みを防止するために、制御レジスタによって、フラッシュメモリへのコマンドシーケンスの実行を禁止することができます (ライトプロテクト)。コマンドシーケンスの実行を許可するときは、FLSCR<FLSMD> を 0011B に設定します。コマンドシーケンスの実行を禁止するときは、FLSCR<FLSMD> を 1100B に設定します。リセット後、FLSCR<FLSMD> は 1100B に初期化され、コマンドシーケンスの実行は禁止の状態となります。通常はフラッシュメモリの書き込み / 消去を行うときを除き、FLSCR<FLSMD> を 1100B に設定します。

17.1.2 フラッシュメモリのバンク切り替え制御 (FLSCR<BANKSEL>)

シリアル PROM モードのとき、7800H~7FFFH は 2K バイトの BOOTROM がマッピングされ、フラッシュメモリは 8000H~FFFFH に 2 バンク化されてマッピングされます。1000H~7FFFH のフラッシュメモリは BANK0 として 9000H~FFFFH に、8000H~FFFFH のフラッシュメモリは BANK1 として 8000H~FFFFH にマッピングされます。バンクの切り替えは FLSCR<BANKSEL> によって行いま

す。例えばフラッシュメモリの 7000H にアクセスするためには FLSCR<BANKSEL> を “0” に設定した後、F000H にアクセスします。フラッシュメモリの 9000H にアクセスするためには FLSCR<BANKSEL> を “1” に設定した後、9000H にアクセスします。

MCUモードのときは、1000H~FFFFHの実アドレスでアクセスします。このときFLSCR<BANKSEL>は機能しません(設定値は他の動作に影響を与えません)。

表 17-1 フラッシュメモリのアドレス指定

動作モード	FLSCR <BANKSEL>	アクセスする領域	アドレス指定
MCU モード	Don't care	1000H~FFFFH	
シリアル PROM モード	0 (BANK0)	1000H~7FFFH	9000H~FFFFH
	1 (BANK1)	8000H~FFFFH	

17.1.3 フラッシュメモリのスタンバイ制御 (FLSSTB<FSTB>)

TMP86FS28DFG は、フラッシュメモリアクセスしないとき、フラッシュメモリの定常電流をカットオフして低消費電力を実現することができます。

IDLE0/1/2、SLEEP0/1/2、STOP モードの場合、これらの電流は自動的にカットオフされます。

NORMAL1/2、SLOW1/2 モードの場合、RAM 上でプログラムを実行するとき(フラッシュメモリアクセスしないとき)、レジスタの制御によってこれらの電流をカットオフすることができます。フラッシュメモリの定常電流をカットオフするには、RAM 上に配置した制御プログラムの中で FLSSTB<FSTB> を “1” に設定します。以下に FLSSTB レジスタの制御例を示します。

(1~2 はフラッシュ上のプログラムによる制御、3~8 は RAM に展開されたプログラムによる制御となります)

1. FLSSTB レジスタの制御プログラムを RAM に転送します。
2. RAM 領域にジャンプします。
3. 割り込みマスタ許可フラグを禁止 (DI) にします (IMF← “0”)。
4. FLSSTB<FSTB> を “1” に設定します。
5. ユーザプログラムを実行します。
6. フラッシュメモリへの復帰要求を検出するまで 5 を繰り返します。
7. FLSSTB<FSTB> を “0” に設定します。
8. フラッシュ領域にジャンプします。

注 1) フラッシュメモリ上のプログラムから FLSSTB<FSTB> を設定してもスタンバイ機能は動作しませんので、FLSSTB<FSTB> はかならず RAM 上に配置されたプログラムで設定してください。

注 2) RAM 上のプログラムで FLSSTB<FSTB> を “1” に設定してスタンバイ機能を使用する場合、フラッシュメモリにプログラム制御を戻す前にならず RAM 上のプログラムで FLSSTB<FSTB> を “0” に設定してください。FLSSTB<FSTB> を “1” の状態でプログラム制御がフラッシュメモリに戻った場合、プログラムが正しく動作しない(暴走する)恐れがあります。

17.2 コマンドシーケンス

MCU モードおよびシリアル PROM モードのコマンドシーケンスは 6 つのコマンドから構成されます (JEDEC 互換)。表 17-2 にコマンドシーケンスの詳細を示します。コマンドシーケンスで指定するアドレスは下位 12 ビットで認識されます (表 17-2 の BA, SA, リードプロテクトの FF7FH を除く)。ただし上位 4 ビットは、フラッシュメモリがマッピングされている領域の何れかを指定する必要があります。詳細は表 17-3 を参照してください。

表 17-2 コマンドシーケンス

	コマンド シーケンス	1st Bus Write Cycle		2nd Bus Write Cycle		3rd Bus Write Cycle		4th Bus Write Cycle		5th Bus Write Cycle		6th Bus Write Cycle	
		Add	Data	Add	Data	Add	Data	Add	Data	Add	Data	Add	Data
1	1 バイト書き込み	555H	AAH	AAAH	55H	555H	A0H	BA (注 1)	Data (注 1)	-	-	-	-
2	セクタイレース (4KB 単位の部分消去)	555H	AAH	AAAH	55H	555H	80H	555H	AAH	AAAH	55H	SA (注 2)	30H
3	チップイレース (全面消去)	555H	AAH	AAAH	55H	555H	80H	555H	AAH	AAAH	55H	555H	10H
4	Product ID Entry	555H	AAH	AAAH	55H	555H	90H	-	-	-	-	-	-
5	Product ID Exit	XXH	F0H	-	-	-	-	-	-	-	-	-	-
	Product ID Exit	555H	AAH	AAAH	55H	555H	F0H	-	-	-	-	-	-
6	リードプロテクト設定	555H	AAH	AAAH	55H	555H	A5H	FF7FH	00H	-	-	-	-

注 1) 書き込みを行うアドレスとデータを設定してください。

注 2) アドレスの上位 4 ビットで消去範囲が選択されます。

表 17-3 コマンドシーケンスのアドレス指定

動作モード	FLSCR <BANKSEL>	アドレス指定
MCU モード	Don't care	1***H~F***H
シリアル PROM モード	0 (BANK0)	9***H~F***H
	1 (BANK1)	8***H~F***H

17.2.1 1 バイト書き込み

1 バイト単位でフラッシュメモリの書き込みを行います。4th Bus Write Cycle で書き込みを行うアドレスとデータを指定します。1 バイトあたりの書き込み時間は最大 40 μ s です。書き込みが終了するまでは、他のコマンドシーケンスを実行することができません。書き込み終了を確認するには、フラッシュメモリの同一アドレスに対しリード命令を 2 回実行し、同一データが読み込まれるまでポーリングを行います。書き込み中はリードする度にビット 6 が反転します。

注) 既にデータ (FFH を含む) が書き込まれたフラッシュのアドレスに対し、再度データの書き込みを行う場合、セクタイレースまたはチップイレースによって、かならずそのアドレスのデータを消去した後に書き込みを実行して下さい。

17.2.2 セクタイレース (4KB 単位の部分消去)

4K バイト単位でフラッシュメモリの消去を行います。消去範囲は、6th Bus Write Cycle アドレスの上位 4 ビットで指定します。例えば MCU モードのとき、7000H~7FFFH の 4K バイトを消去する場合は、6th Bus Write Cycle として 7000H~7FFFH の何れかのアドレスを指定します。シリアル PROM モードのとき、7000H~7FFFH の 4K バイトを消去する場合は、FLSCR<BANKSEL> を“0”に設定した

後、6th Bus Write Cycle として F000H~FFFFH の何れかのアドレスを指定します。なお、セクタイレースは、シリアル PROM モード、MCU モードのみ有効です。パラレル PROM モードのときは動作しません。

4K バイトあたりの消去時間は、最大 30 ms です。消去が終了するまでは、他のコマンドシーケンスを実行することができません。消去終了を確認するには、フラッシュメモリの同一アドレスに対しリード命令を 2 回実行し、同一データが読み込まれるまでポーリングを行います。消去中はリードする度にビット 6 が反転します。

17.2.3 チップイレース (全面消去)

フラッシュメモリの全領域を消去します。

全領域の消去時間は、最大 30 ms です。消去が終了するまでは、他のコマンドシーケンスを実行することができません。消去終了を確認するには、フラッシュメモリの同一アドレスに対しリード命令を 2 回実行し、同一データが読み込まれるまでポーリングを行います。消去中はリードする度にビット 6 が反転します。

なお、消去された領域のデータは FFH となります。

17.2.4 Product ID Entry

Product ID Entry を実行すると Product ID モードが起動します。Product ID モード中、フラッシュメモリに対してリード命令を実行するとベンダー ID、フラッシュ ID、リードプロテクトステータス等を読み出すことができます。

表 17-4 Product ID モード時のリード値

アドレス	意味	読み出される値
F000H	ベンダー ID	98H
F001H	フラッシュマクロ ID	41H
F002H	フラッシュサイズ	0EH: 60 Kバイト 0BH: 48 Kバイト 07H: 32 Kバイト 05H: 24 Kバイト 03H: 16 Kバイト 01H: 8 Kバイト 00H: 4 Kバイト
FF7FH	リードプロテクトステータス	FFH: リードプロテクト解除状態 FFH 以外: リードプロテクト設定状態

注) アドレス F002H (フラッシュサイズ) は、各製品に内蔵するフラッシュメモリの容量によって決まります。例えば 60K バイトのフラッシュメモリを内蔵する製品では、(F002H) をリードすると "0EH" が読み出されます。

17.2.5 Product ID Exit

Product ID モードを終了します。

17.2.6 リードプロテクト設定

フラッシュメモリに対してリードプロテクトを設定します。リードプロテクトを設定すると、パラレル PROM モードのときフラッシュメモリのリードができなくなります。シリアル PROM モードのときは、フラッシュメモリ書き替えコマンドが実行できなくなります。

シリアル PROM モードでリードプロテクトを設定するには、リードプロテクトコマンドシーケンスを実行する前に FLSCR<BANKSEL> を “1” にセットしてください。リードプロテクト設定を解除するには、チップイレースを実行する必要があります。リードプロテクトが設定されているかどうかを確認するには、Product ID モードで FF7FH をリードします。詳細は表 17-4 を参照してください。リードプロテクトの設定時間は最大 40 μ s です。リードプロテクトの設定が終了するまでは、他のコマンドシーケンスを実行することができません。リードプロテクトの設定終了を確認するには、フラッシュメモリの同一アドレスに対しリード命令を 2 回実行し、同一データが読み込まれるまでポーリングを行います。リードプロテクトの設定中はリードする度にビット 6 が反転します。

17.3 トグルビット (D6)

フラッシュメモリの書き込み、チップイレース、リードプロテクト設定のコマンドシーケンスを実行すると、これらの処理が完了するまでの間、リードオペレーションによって読み出されるデータの 6 ビット目 (D6) の値は、リードする度に値が反転します。これを利用すると各処理の終了をソフト的に確認することができます。通常はフラッシュメモリの同一アドレスに対しリード命令を 2 回実行し、同一データが読み込まれるまでポーリングを行います。

なお、フラッシュメモリの書き込み、チップイレース、リードプロテクト設定のコマンドシーケンスを実行した後、最初のリードオペレーションでリードされたトグルビットはかならず “1” になります。

17.4 フラッシュメモリ領域へのアクセス

フラッシュメモリの書き込み/消去/リードプロテクト設定時は、フラッシュメモリのすべての領域に対してリード、プログラムフェッチを実行することができません。従って、フラッシュメモリ領域に対してこれらの操作を行うときは BOOTROM 領域もしくは RAM 領域上の制御プログラムによってフラッシュメモリをアクセスする必要があります (フラッシュメモリのプログラムで直接フラッシュメモリを書き換えることはできません)。これらの領域上で制御プログラムを実行するにはシリアル PROM モード、または MCU モードを使用します。

- 注 1) フラッシュメモリ領域の書き込み、読み出しは 1 バイト単位、消去は全領域または 4K バイト単位で実行可能です。読み出しについては 1 つの転送命令で実行可能ですが、書き込み/消去については、コマンドシーケンス方式を使用していますので、数個の転送命令を実行する必要があります。
- 注 2) 既にデータ (FFH を含む) が書き込まれたフラッシュのアドレスに対し、再度データの書き込みを行う場合、セクタイレースまたはチップイレースによって、かならずそのアドレスのデータを消去した後に書き込みを実行して下さい。

17.4.1 シリアル PROM モードのフラッシュメモリ制御

シリアル PROM モードは、BOOTROM 上に予め用意された制御プログラムによってフラッシュメモリをアクセスするモードです。フラッシュメモリのアクセスに関するほとんどの動作は、シリアルインタフェース (UART) の通信データによって簡易的に制御可能ですので、ユーザは制御レジスタの操作を特に意識する必要はありません。シリアル PROM モードの詳細については「シリアル PROM モード」の章を参照してください。

17.4.2 MCU モードのフラッシュメモリ制御

MCU モードの場合、RAM 上で制御プログラムを実行することによってフラッシュメモリの書き込みを行うことができます。RAM 上で実行する制御プログラムは、予めフラッシュメモリ内にコピーを用意しておくか、通信端子などを利用して外部から取り込む必要があります。

以下に MCU モードで RAM 上の制御プログラムを実行する方法 (例) を示します。

17.4.2.1 MCU モードから RAM 領域に制御プログラムを展開して書き込む例

(1~2 はフラッシュメモリ上のプログラムによる制御、3~11 は RAM に展開されたプログラムによる制御となります)

1. 書き込み制御プログラムを RAM に転送します。
2. RAM 領域にジャンプします。
3. 割り込みマスタ許可フラグを禁止 (DI) にします (IMF←“0”)。
4. ウォッチドッグタイマを使用している場合は禁止に設定します。
5. FLSCR<FLSMD> を“0011B” に設定します (コマンドシーケンスの実行を許可します)。
6. 消去コマンドシーケンスを実行します。
7. フラッシュメモリの同一アドレスに対して 2 回連続でリード命令を実行します。(読み出した値が同一になるまで 7. を繰り返します)
8. 書き込みコマンドシーケンスを実行します。(BANK 指定は不要です)
9. フラッシュメモリの同一アドレスに対して 2 回連続でリード命令を実行します。(読み出した値が同一になるまで 9. を繰り返します)
10. FLSCR<FLSMD> を“1100B” に設定します (コマンドシーケンスの実行を禁止します)。
11. フラッシュ領域にジャンプします。

注 1) RAM 領域からフラッシュメモリに書き込みを行うときは、事前に割り込みマスタ許可フラグ (IMF) を“0” に設定し、割り込みを禁止にしてください。通常は RAM に展開するプログラムの先頭で DI 命令を実行してください。

注 2) フラッシュメモリに書き込みを行うときにノンマスクブル割り込みを意図的に使用しないでください (ウォッチドッグタイマを使用している場合は禁止にしてください)。書き込み中にノンマスクブル割り込みが発生すると、フラッシュメモリ (割り込みベクタ) から想定しないデータ値が読み込まれるためマイコンが誤動作する恐れがあります。

(プログラム例) E000H~EFFFH のセクタイレースを実行した後、E000H に 3FH のデータを書き込む (RAM に展開するプログラム)

```

DI                                ; 割り込みを禁止 (IMF←"0")

LD      (WDTCR2),4EH              ; WDT 2 進カウンタのクリア

LDW     (WDTCR1),0B101H          ; WDT の禁止

LD      (FLSCR),0011_1000B      ; コマンドシーケンスの実行を許可

LD      IX,0F555H

LD      IY,0FAAAH

LD      HL,0E000H

;#### フラッシュメモリセクタイレース処理 ####

LD      (IX),0AAH                ; 1st Bus Write Cycle

LD      (IY),55H                 ; 2nd Bus Write Cycle

LD      (IX),80H                 ; 3rd Bus Write Cycle

LD      (IX),0AAH                ; 4th Bus Write Cycle

LD      (IY),55H                 ; 5th Bus Write Cycle

LD      (HL),30H                 ; 6th Bus Write Cycle

sLOOP1: LD      W,(IX)

CMP     W,(IX)

JR      NZ,sLOOP1                ; 同一の値が読み出されるまでループする

;#### フラッシュメモリ書き込み処理 ####

LD      (IX),0AAH                ; 1st Bus Write Cycle

LD      (IY),55H                 ; 2nd Bus Write Cycle

LD      (IX),0A0H                ; 3rd Bus Write Cycle

LD      (HL),3FH                 ; 4th Bus Write Cycle, (E000H)=3FH

sLOOP2: LD      W,(HL)

CMP     W,(HL)

JR      NZ,sLOOP2                ; 同一の値が読み出されるまでループする

LD      (FLSCR),1100_1000B      ; コマンドシーケンスの実行を禁止

JP      XXXXH                    ; フラッシュ領域にジャンプします。

```

(プログラム例) F000H からデータをリードして RAM の 98H に格納する

```

LD      A,(0F000H)              ; F000H からデータを読み出す

LD      (98H),A                 ; 98H にデータを格納する

```

Not Recommended
for New Design

第 18 章 シリアル PROM モード

18.1 概要

TMP86FS28DFG はフラッシュメモリへのプログラミング用に 2K バイトの BOOTROM(MASK ROM) を内蔵しています。BOOTROM は、シリアル PROM モードで有効になります。シリアル PROM モードは、TEST 端子と BOOT 端子、RESET 端子で制御され、UART を通して通信します。

シリアル PROM モードには、フラッシュメモリ書き込み、フラッシュメモリ SUM 出力、製品識別コード出力、フラッシュメモリステータス出力、フラッシュメモリ消去、フラッシュメモリリードプロテクト設定の 6 種類のモードがあります。シリアル PROM モードでは、メモリのアドレス割り当てが MCU モードと異なります。図 18-1 にシリアル PROM モードでのメモリアドレスマップを示します。

注 1) TMP86FS28DFG では RAM ロードはサポートしていません(使用できません)。

表 18-1 シリアル PROM モード動作範囲

項目	Min	Max	単位
電源電圧	4.5	5.5	V
高周波周波数	2	16	MHz

注) 上記の高周波周波数の範囲であってもサポートされない周波数があります。詳細については表 18-5 を参照ください。

18.2 メモリマッピング

図 18-1 にシリアル PROM モードと MCU モードのメモリマップを示します。

シリアル PROM モードではアドレス 7800H ~ 7FFFH に BOOTROM (マスク ROM) がマッピングされ、フラッシュメモリは 2 つのバンクに分割されてマッピングされます。

フラッシュメモリ書き込みコマンド (30H) を使用するときは、BOOTROM がアドレス変換を行いますのでフラッシュメモリのアドレスは MCU モードと同様に 1000H ~ FFFFH を指定してください。

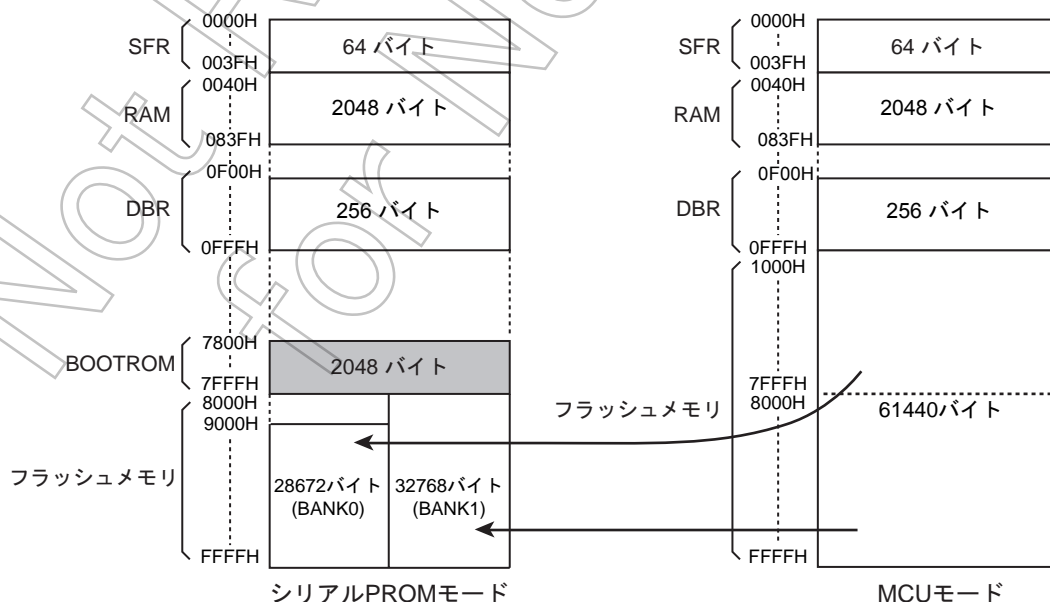


図 18-1 メモリアドレスマップ

18.3 シリアル PROM モード設定

18.3.1 シリアル PROM モード制御端子

オンボードプログラミングを実行する場合、シリアル PROM モードを起動します。シリアル PROM モードを起動するための端子設定を表 18-2 に示します。

表 18-2 シリアル PROM モード設定

端子	設定
TEST 端子	H レベル
BOOT/RXD1 端子	H レベル
$\overline{\text{RESET}}$ 端子	

注) シリアル PROM モードの起動端子 (BOOT 端子) は、UART 通信用端子 (RXD1 端子) と兼用です。同端子は、シリアル PROM モードが起動すると UART 通信用端子として機能します。

18.3.2 端子機能

シリアル PROM モード時、TXD1 (P35) と RXD1 (P34) をシリアル転送 (UART) 用端子として使用します。

表 18-3 シリアル PROM モードの端子機能

端子名 (シリアル PROM モード時)	入出力	機能	端子名 (MCU モード時)
TXD1	出力	シリアルデータ出力	P35
BOOT/RXD1	入力 / 入力	シリアル PROM モード制御 / シリアルデータ入力	(注 1) P34
$\overline{\text{RESET}}$	入力	シリアル PROM モード制御	
TEST	入力	“H” レベルに固定します。	TEST
VDD, AVDD	電源	4.5 V ~ 5.5 V	
VSS, AVSS	電源	0 V	
VAREF	電源	開放またはリファレンス電圧を印加してください。	
P35、P34 以外の入出力ポート	入出力	シリアル PROM モード中はハイインピーダンスになります。ポート入力は貫通電流を防止するためハード的に入力レベルが固定されます (ポート入力は無効となります)。	
COM3 ~ COM0	出力	シリアル PROM モード中は L レベル出力となります。	
C0, C1, V3 ~ V1	-	コンデンサ (抵抗) を接続するか、オープンにしてください。	
XIN	入力	発振子を取り付け自己発振させてください。	(注 2)
XOUT	出力		

注 1) オンボードプログラミング時、ほかの部品が実装されている場合は、これらの通信端子に影響を与えないようにしてください。

注 2) シリアル PROM モード時、高周波周波数の範囲は 2 ~ 16 MHz になります。

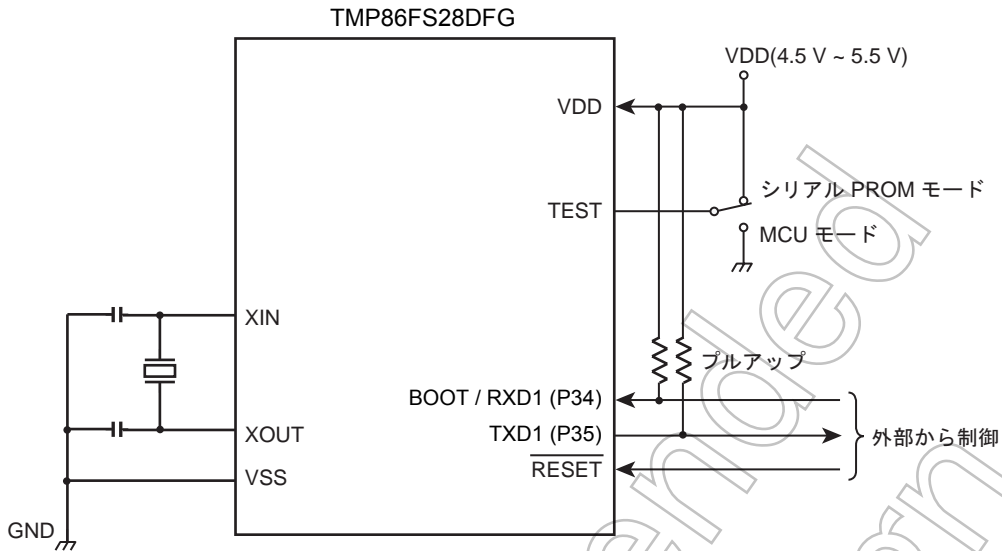


図 18-2 シリアル PROM モード端子設定

注) その他の端子処理については、“表 18-3 シリアル PROM モードの端子機能”を参照してください。

18.3.3 オンボード書き込み接続例

図 18-3 にオンボード書き込みを行う場合の接続例を示します。

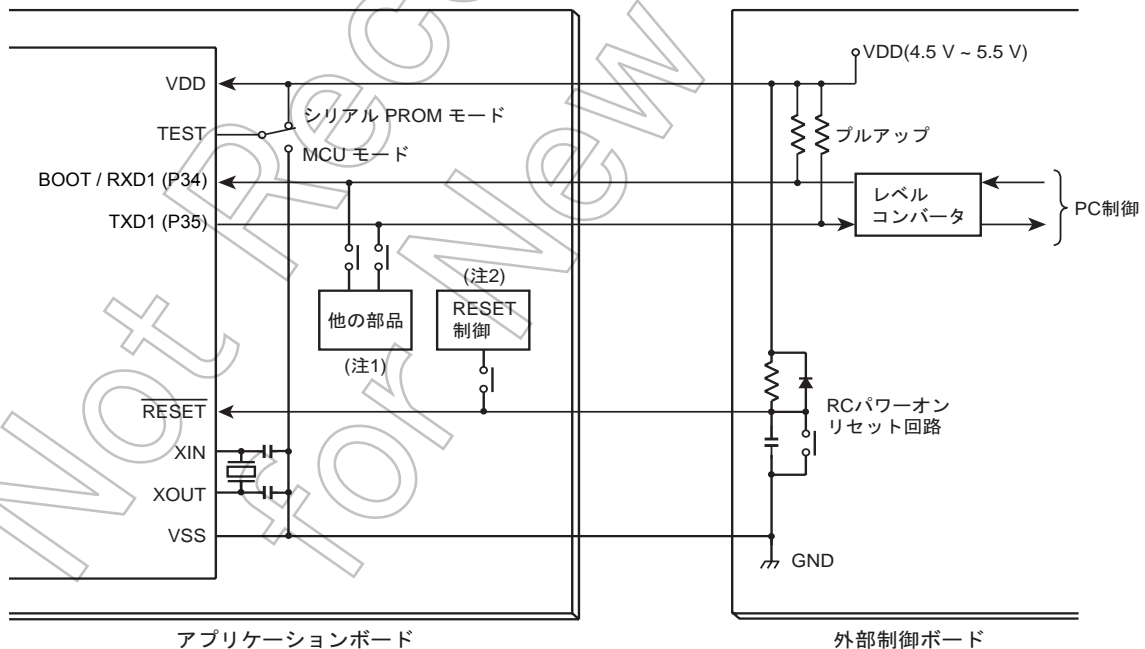


図 18-3 オンボード書き込み接続例

- 注 1) アプリケーション基板上的他の部品が、シリアル PROM モードの UART 通信に影響を与える場合、これらの端子はジャンパーやスイッチなどで切り離してください。
- 注 2) アプリケーション基板上的のリセット制御回路が、シリアル PROM モードの起動に影響を与える場合、ジャンパー等で切り離してください。
- 注 3) その他の端子処理については、“表 18-3 シリアル PROM モードの端子機能”を参照してください。

18.3.4 シリアル PROM モードの起動

シリアル PROM モードを起動するには以下の手順で行います。図 18-4 にシリアル PROM モードの設定タイミングを示します。

1. VDD 端子に電源を供給します。
2. $\overline{\text{RESET}}$ 端子を L レベルに設定します。
3. TEST 端子, BOOT/RXD1 端子を H レベルに設定します。
4. 電源およびクロック発振が十分安定するまで待ちます。
5. $\overline{\text{RESET}}$ 端子を L → H レベルに設定します。
6. セットアップ期間が経過した後、BOOT/RXD1 端子にマッチングデータ 5AH を入力します。セットアップ期間については “18.15 UART タイミング” を参照してください。

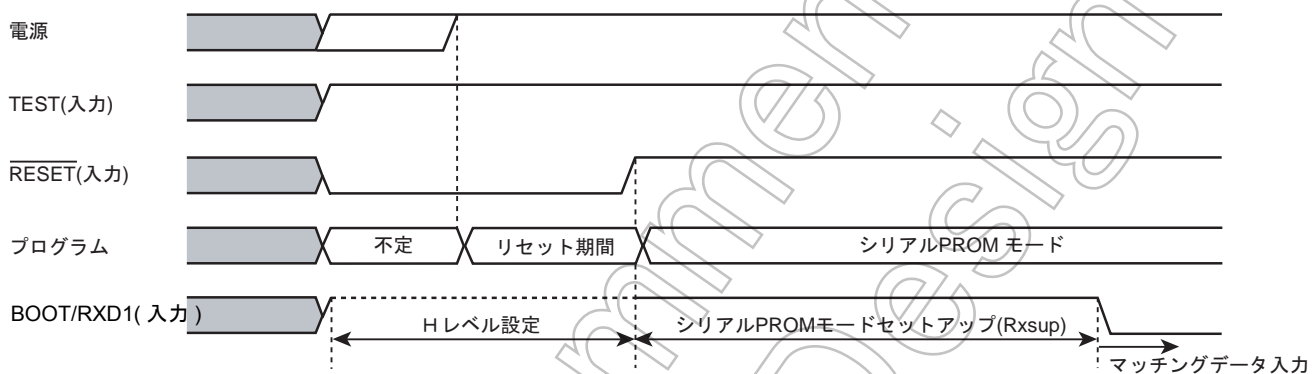


図 18-4 シリアル PROM モードタイミング

18.4 インタフェース仕様

シリアル PROM モードでの UART 通信フォーマットを以下に示します。

オンボードプログラミングを実行するためには、書き込みコントローラ側の通信フォーマットも同様に設定する必要があります。

初期ボーレートはマイコンの動作周波数によらず 9600 bps を自動検出します。その後、表 18-4 に示すボーレート変更データを TMP86FS28DFG に送信することによりボーレートの変更が可能です。表 18-5 にマイコンの動作周波数とボーレートを示します (表 18-5 に示されていない周波数では使用できません)。

- ボーレート (初期値) : 9600 bps
- データ長 : 8 ビット
- パリティビット : なし
- STOP ビット : 1 ビット

表 18-4 ボーレート変更データ

ボーレート変更データ	04H	05H	06H	07H	0AH	18H	28H
ボーレート (bps)	76800	62500	57600	38400	31250	19200	9600

表 18-5 シリアル PROM モード時の動作周波数とボーレート対応表

(注 3)	基準ボーレート (bps)		76800		62500		57600		38400		31250		19200		9600	
	ボーレート変更データ		04H		05H		06H		07H		0AH		18H		28H	
	基準周波数 (MHz)	対応範囲 (MHz)	Baud rate (bps)	(%)	(bps)	(%)	(bps)	(%)	(bps)	(%)	(bps)	(%)	(bps)	(%)	(bps)	(%)
1	2	1.91~2.10	-	-	-	-	-	-	-	-	-	-	-	-	9615	+0.16
2	4	3.82~4.19	-	-	-	-	-	-	-	-	31250	0.00	19231	+0.16	9615	+0.16
	4.19	3.82~4.19	-	-	-	-	-	-	-	-	32734	+4.75	20144	+4.92	10072	+4.92
3	4.9152	4.70~5.16	-	-	-	-	-	-	38400	0.00	-	-	19200	0.00	9600	0.00
	5	4.70~5.16	-	-	-	-	-	-	39063	+1.73	-	-	19531	+1.73	9766	+1.73
4	6	5.87~6.45	-	-	-	-	-	-	-	-	-	-	-	-	9375	-2.34
	6.144	5.87~6.45	-	-	-	-	-	-	-	-	-	-	-	-	9600	0.00
5	7.3728	7.05~7.74	-	-	-	-	57600	0.00	-	-	-	-	19200	0.00	9600	0.00
6	8	7.64~8.39	-	-	62500	0.00	-	-	38462	+0.16	31250	0.00	19231	+0.16	9615	+0.16
7	9.8304	9.40~10.32	76800	0.00	-	-	-	-	38400	0.00	-	-	19200	0.00	9600	0.00
	10	9.40~10.32	78125	+1.73	-	-	-	-	39063	+1.73	-	-	19531	+1.73	9766	+1.73
8	12	11.75~12.90	-	-	-	-	57692	+0.16	-	-	31250	0.00	18750	-2.34	9375	-2.34
	12.288	11.75~12.90	-	-	-	-	59077	+2.56	-	-	32000	+2.40	19200	0.00	9600	0.00
	12.5	11.75~12.90	-	-	60096	-3.85	60096	+4.33	-	-	30048	-3.85	19531	+1.73	9766	+1.73
9	14.7456	14.10~15.48	-	-	-	-	57600	0.00	38400	0.00	-	-	19200	0.00	9600	0.00
10	16	15.27~16.77	76923	+0.16	62500	0.00	-	-	38462	+0.16	31250	0.00	19231	+0.16	9615	+0.16

- 注 1) 基準周波数と対応範囲はシリアル PROM モードが動作可能な周波数です。ただし周波数が対応範囲内であっても、外部コントローラ (パソコン等) や発振子の周波数誤差、通信端子の負荷容量などの要因により、シリアル PROM モードが正しく動作しない場合があります。
- 注 2) 基準周波数で確実に自動検出を行うために、外部コントローラ (パソコン等) と、発振周波数誤差との総合誤差を ±3% 以内で使用することを推奨します。
- 注 3) 外部コントローラはボーレートの自動検出が行われるまで、マッチングデータ (5AH) を繰り返し送信する必要があります。上記は各周波数におけるマッチングデータの送信回数を示します。

18.5 動作コマンド

シリアル PROM モードでは、表 18-6 に示す 7 つのコマンドを使用します。リセット解除後、TMP86FS28DFG はマッチングデータ (5AH) 待ちの状態となります。

表 18-6 シリアル PROM モード動作コマンド

コマンドデータ	動作モード	備考
5AH	セットアップ	マッチングデータ。リセット解除後は、常にこのコマンドからスタートします。
F0H	フラッシュメモリ消去	フラッシュメモリ領域 (アドレス 1000H~FFFFH) の消去が可能です。
30H	フラッシュメモリ書き込み	フラッシュメモリ領域 (アドレス 1000H~FFFFH) への書き込みが可能です。
90H	フラッシュメモリ SUM 出力	フラッシュメモリの全領域 (アドレス 1000H~FFFFH) のチェックサム (2 バイト) の上位、下位の順に出力します。
C0H	製品識別コード出力	製品を識別するためのコード (13 バイトデータ) を出力します。
C3H	フラッシュメモリステータス出力	リードプロテクトの状態等のステータスコード (7 バイトデータ) を出力します。
FAH	フラッシュメモリリードプロテクト設定	リードプロテクトの設定が可能です。

注 1) TMP86FS28DFG では RAM ロダはサポートしていません。

18.6 動作モード

シリアル PROM モードには、(1) フラッシュメモリ消去、(2) フラッシュメモリ書き込み、(3) フラッシュメモリ SUM 出力、(4) 製品識別コード出力、(5) フラッシュメモリステータス出力、(6) フラッシュメモリリードプロテクト設定の 6 種類のモードがあります。以下は、各モードの概要です。

- フラッシュメモリ消去モード**
 チップイレース (フラッシュメモリの全面消去) またはセクタイレース (フラッシュメモリの 4K バイト単位の消去) のいずれかの方法でフラッシュメモリを消去することができます。消去されたエリアのデータは FFH となります。リードプロテクトが設定されている場合、フラッシュ消去モードのセクタイレースは実行できません。リードプロテクト設定を解除するには、フラッシュ消去モードのチップイレースを実行してください。なお、TMP86FS28DFG はブランク品の場合を除き、フラッシュメモリの消去を行う前にパスワード照合を行います。パスワードが一致しない限り、フラッシュメモリ消去モードは実行されません。
- フラッシュメモリ書き込みモード**
 指定したフラッシュメモリのアドレスに、1 バイト単位で任意のデータを書き込むことができます。外部コントローラは、書き込みデータをインテル HEX フォーマットのバイナリデータとして送信してください。エンドレコードまでエラーがなければ、TMP86FS28DFG はフラッシュメモリ全領域 (1000H~FFFFH) のチェックサムを計算し、その結果を返します。なお、フラッシュメモリ書き込みモードは、リードプロテクトが設定されている場合、実行できません。この場合事前にフラッシュメモリ消去モードによってチップイレースを実行してください。また、TMP86FS28DFG はブランク品の場合を除き、フラッシュメモリ書き込みモードを実行する前にパスワード照合を行います。パスワードが一致しない場合、フラッシュメモリ書き込みモードは実行されません。
- フラッシュメモリ SUM 出力モード**
 フラッシュメモリ全領域 (1000H~FFFFH) のチェックサムを計算し、その結果を返します。BOOTROM ではフラッシュメモリを読み出す動作コマンドはサポートしていませんので、アプリケーションプログラムのレビジョン管理を行う場合などは、このチェックサムによりプログラムの識別を行ってください。
- 製品識別コード出力モード**
 製品を識別するためのコードが出力されます。出力されるコードは製品が内蔵している ROM の領域を示す情報を含んだ 13 バイトのデータで構成されます。外部コントローラはこのコードを読み取るにより、書き込みを行う製品の識別をすることができます。(TMP86FS28DFG の場合、ROM の領域はアドレス 1000H~FFFFH となります。)

5. フラッシュメモリステータス出力モード
FFE0H ~ FFFFH の状態とリードプロテクトの状態が出力されます。出力されるコードは 7 バイトです。外部コントローラはこのコードを読み取ることにより、フラッシュメモリの状態を識別することができます。
6. フラッシュメモリリードプロテクト設定モード
パラレルモードでのフラッシュメモリデータの読み出しを禁止します。シリアル PROM モードでは、フラッシュメモリ書き込みモードが禁止されます。フラッシュメモリリードプロテクト設定を解除するにはフラッシュメモリ消去モードで、チップイレースを実行してください。

Not Recommended
for New Design

18.6.1 フラッシュメモリ消去モード (動作コマンド: F0H)

表 18-7 にフラッシュメモリ消去モードを示します。

表 18-7 フラッシュメモリ消去モード

	転送バイト数	外部コントローラから TMP86FS28DFG への転送データ	ボーレート	TMP86FS28DFG から 外部コントローラへの転送データ
BOOT ROM	1 バイト目 2 バイト目	マッチングデータ (5AH) -	9600 bps 9600 bps	- (ボーレート自動判定) OK: エコーバックデータ (5AH) Error: 何も送信しません
	3 バイト目 4 バイト目	ボーレート変更データ (表 18-4) -	9600 bps 9600 bps	- OK: エコーバックデータ Error: A1H × 3, A3H × 3, 62H × 3 (注 1)
	5 バイト目 6 バイト目	動作コマンドデータ (F0H) -	変更後ボーレート 変更後ボーレート	- OK: エコーバックデータ (F0H) Error: A1H × 3, A3H × 3, 63H × 3 (注 1)
	7 バイト目 8 バイト目	Password 数格納先アドレス 15-08 注 4,5)	変更後ボーレート 変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	9 バイト目 10 バイト目	Password 数格納先アドレス 07-00 注 4,5)	変更後ボーレート 変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	11 バイト目 12 バイト目	Password 比較開始アドレス 15-08 注 4,5)	変更後ボーレート 変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	13 バイト目 14 バイト目	Password 比較開始アドレス 07-00 注 4,5)	変更後ボーレート 変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	15 バイト目 : m バイト目	Password 列 注 4,5) -	変更後ボーレート 変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	n バイト目	消去範囲指定 注 2)	変更後ボーレート	-
	n'th-1 バイト目	-	変更後ボーレート	OK: チェックサム (上位) (注 3) Error: 何も送信しません
	n'th バイト目	-	変更後ボーレート	OK: チェックサム (下位) (注 3) Error: 何も送信しません
	n'th+1 バイト目	(次の動作コマンドデータ待ち)	変更後ボーレート	-

注 1) "xxH × 3" の意味は、xxH を 3 バイト送信後、動作停止状態になることを示します。

注 2) 消去範囲指定については "18.13 消去範囲指定" を参照してください。

注 3) チェックサムについては、後述の "18.8 チェックサム (SUM)" を参照してください。

注 4) パスワードについては、後述の "18.10 パスワード" を参照してください。

注 5) ブランク品には、Password 列は送信しないでください。

注 6) パスワードエラーが発生した場合、TMP86FS28DFG は UART 通信を終了し動作停止状態となります。従って、パスワードエラーの場合は RESET 端子による初期化を行い、シリアル PROM モードを再起動してください。

注 7) パスワードアドレス、パスワード列データ受信中に通信エラーが発生した場合、TMP86FS28DFG は UART 通信を終了し動作停止状態となります。従って、パスワードエラーの場合は RESET 端子による初期化を行い、シリアル PROM モードを再起動してください。

フラッシュメモリ消去モードの動作

1. 1 バイト目から 4 バイト目までの送受信データは、フラッシュメモリ書き込みモードの場合と同一です
2. 5 バイト目の受信データはフラッシュメモリ消去モードコマンドデータ (F0H) となります。
3. 5 バイト目の受信データが表 18-6 に示す動作コマンドデータのいずれかに該当する場合にのみ、デバイスは、6 バイト目として受信したデータと同じ値 (この場合 F0H) をエコーバック送信します。もし、5 バイト目の受信データがいずれの動作コマンドにも該当しない場合、デバイスは動作コマンドエラーコード (63H) を 3 バイト送信した後、動作停止状態となります。
4. 7 バイト目から m バイト目の送受信データは、フラッシュメモリ書き込みモードの場合と同様です。ただしブランク品の場合はパスワード列を送信しないでください (ダミーのパスワード列を送信しないでください)。
5. $n-2$ バイト目は消去範囲指定データです。上位 4 ビットが消去範囲の開始アドレス、下位 4 ビットが終了アドレスです。詳細については、“18.13 消去範囲指定”を参照してください。
6. $n-1$ バイト目と n バイト目は、チェックサムの上位、下位となります。チェックサムの計算方法については、“18.8 チェックサム (SUM)”を参照してください。チェックサムの計算はエンドレコードを検出し、受信エラーまたはインテル HEX フォーマットエラーが発生していない場合のみ行われます。外部コントローラは、エンドレコードを送信後、デバイスがチェックサムを送信するか否かで書き込みが正常に終了したかを判断してください。
7. デバイスはチェックサムを送信後、動作コマンドデータ待ちの状態となります。

18.6.2 フラッシュメモリ書き込みモード (動作コマンド: 30H)

表 18-8 にフラッシュメモリ書き込みモードの転送フォーマットを示します。

表 18-8 フラッシュメモリ書き込みモード転送フォーマット

	転送バイト数	外部コントローラから TMP86FS28DFG への転送データ	ボーレート	TMP86FS28DFG から 外部コントローラへの転送データ
BOOT ROM	1 バイト目 2 バイト目	マッチングデータ (5AH) -	9600 bps 9600 bps	- (ボーレート自動判定) OK: エコーバックデータ (5AH) Error: 何も送信しません
	3 バイト目 4 バイト目	ボーレート変更データ (表 18-4) -	9600 bps 9600 bps	- OK: エコーバックデータ Error: A1H × 3, A3H × 3, 62H × 3 (注 1)
	5 バイト目 6 バイト目	動作コマンドデータ (30H) -	変更後ボーレート 変更後ボーレート	- OK: エコーバックデータ (30H) Error: A1H × 3, A3H × 3, 63H × 3 (注 1)
	7 バイト目 8 バイト目	パスワード数格納アドレスのビット 15~08 (注 4)	変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	9 バイト目 10 バイト目	パスワード数格納アドレスのビット 07~00 (注 4)	変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	11 バイト目 12 バイト目	パスワード比較開始アドレスのビット 15~08 (注 4)	変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	13 バイト目 14 バイト目	パスワード比較開始アドレスのビット 07~00 (注 4)	変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	15 バイト目 : m バイト目	パスワード列 (注 5) -	変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	m + 1 byte : n - 2 バイト目	インテル HEX フォーマット (Binary) (注 2)	変更後ボーレート	- -
	n - 1 バイト目	-	変更後ボーレート	OK: チェックサム (High) (注 3) Error: 何も送信しません
	n バイト目	-	変更後ボーレート	OK: チェックサム (Low) (注 3) Error: 何も送信しません
	n + 1 バイト目	(次の動作コマンドデータ待ち)	変更後ボーレート	-

- 注 1) “xxH × 3” は xxH を 3 バイト送信した後、動作停止状態となることを意味します。詳細は “18.7 エラーコード” を参照してください。
- 注 2) インテル HEX フォーマットについては、“18.9 インテル Hex フォーマット (Binary)” を参照してください。
- 注 3) チェックサムについては、“18.8 チェックサム (SUM)” を参照してください。
- 注 4) パスワードについては、“18.10 パスワード” を参照してください。
- 注 5) FFE0H~FFFFH の領域がすべて “FFH” の場合、ブランク品と判定されパスワード照合は行われませんのでパスワード列の送信は不要です。ただし、ブランク品の場合でもパスワード数格納アドレス、パスワード比較開始アドレスの指定は必要ですので、外部コントローラよりこれらのデータを送信するようにしてください。なお、パスワード数格納アドレス、パスワード比較開始アドレスが正しくない場合パスワードエラーとなり、TMP86FS28DFG は UART 通信を終了し動作停止状態となります。従って、パスワードエラーの場合は RESET 端子による初期化を行い、シリアル PROM モードを再起動してください。
- 注 6) フラッシュメモリリードプロテクトが設定されている場合、またはパスワードエラーが発生した場合、TMP86FS28DFG は UART 通信を終了し動作停止状態となります。従って、パスワードエラーの場合は RESET 端子による初期化を行い、シリアル PROM モードを再起動してください。

- 注 7) パスワードアドレス、パスワード列データ受信中に通信エラーが発生した場合、TMP86FS28DFG は UART 通信を終了し動作停止状態となります。従って、パスワードエラーの場合は、 $\overline{\text{RESET}}$ 端子による初期化を行い、シリアル PROM モードを再起動してください。
- 注 8) フラッシュメモリのすべてのデータが同一データの場合、アドレス FFE0H~FFFFH 領域にのみ書き込みを行わないでください。もし、この領域にのみ書き込みが行われるとパスワードエラーとなるため、以降の処理が実行できなくなります。
- 注 9) 既にデータ (FFH を含む) が書き込まれたフラッシュのアドレスに対し、再度データの書き込みを行う場合、セクタイレースまたはチップイレースによって、かならずそのアドレスのデータを消去した後に書き込みを実行して下さい。

フラッシュメモリ書き込みモードの動作説明

- 1 バイト目の受信データはマッチングデータです。シリアル PROM モードを起動すると、TMP86FS28DFG (以下、デバイスと呼ぶ) はマッチングデータ (5AH) の受信待ちとなります。デバイスはマッチングデータを受信することで、UART の初期ボーレートを自動的に 9600 bps にあわせませす。
2. デバイスがマッチングデータ (5AH) を受信すると、2 バイト目のデータとしてエコーバックデータ (5AH) を外部コントローラに送信します。もし、デバイスがマッチングデータを認識できなかった場合、エコーバックデータは返さず、ボーレートの自動調整を行って再度マッチングデータの受信待ちの状態となります。したがって、外部コントローラはデバイスがエコーバックデータを送信するまでマッチングデータを繰り返し送信する必要があります。なお、繰り返し回数はデバイスの周波数に応じて変わります。詳細は表 18-5 を参照してください。
3. 3 バイト目の受信データはボーレート変更データです。ボーレート変更データは表 18-4 に示すとおり 5 種類あります。なお、ボーレートの変更を行わない場合でも、外部コントローラはボーレートの初期値データ (28H: 9600 bps) を送信する必要があります。
4. 3 バイト目の受信データが、動作周波数に対応したボーレートデータのいずれかに該当するときのみ、デバイスは 4 バイト目のデータとして、受信したデータと同じ値をエコーバック送信します。なお、ボーレートの変更は、ボーレート変更データに対するエコーバックデータを送信した後、有効となります。もし、3 バイト目の受信データが、いずれのボーレート変更データに該当しない場合、デバイスはボーレート変更エラーコード (62H) を 3 バイト送信した後、動作停止状態となります。
5. 5 バイト目の受信データはフラッシュメモリ書き込みモードコマンドデータ (30H) となります。
6. 5 バイト目の受信データが表 18-6 に示す動作コマンドデータのいずれかに該当する場合にのみ、デバイスは、6 バイト目として受信したデータと同じ値 (この場合 30H) をエコーバック送信します。もし、5 バイト目の受信データが、いずれの動作コマンドにも該当しない場合、デバイスは動作コマンドエラーコード (63H) を 3 バイト送信した後、動作停止状態となります。
7. 7 バイト目はパスワード数格納アドレスのビット 15~8 のデータとなります。7 バイト目に受信したデータに受信エラーがない場合、デバイスは何も送信しません。受信エラーまたはパスワードエラーがある場合、デバイスは何も送信せず、動作停止状態となります。
8. 9 バイト目はパスワード数格納アドレスのビット 7~0 のデータとなります。9 バイト目に受信したデータに受信エラーがない場合、デバイスは何も送信しません。受信エラーまたはパスワードエラーがある場合、デバイスは何も送信せず、動作停止状態となります。
9. 11 バイト目はパスワード比較開始アドレスのビット 15~8 のデータとなります。11 バイト目に受信したデータに受信エラーがない場合、デバイスは何も送信しません。受信エラーまたはパスワードエラーがある場合、デバイスは何も送信せず、動作停止状態となります。
10. 13 バイト目はパスワード比較開始アドレスのビット 7~0 のデータとなります。13 バイト目に受信したデータに受信エラーがない場合、デバイスは何も送信しません。受信エラーまたはパスワードエラーがある場合、デバイスは何も送信せず、動作停止状態となります。
11. 15~m バイト目の受信データはパスワードデータとなります。パスワード数は、パスワード数格納アドレスに格納されているデータ (N) となります。パスワードデータは、パスワード比較開始アドレスにて指定されたアドレスから N バイト分のデータと比較されます。したがって、外部コントローラは N バイトのパスワードデータを送信する必要があります。パスワードが一致しない場合、デバイスはエラーコードを送信せず、動作停止状態

となります。なお、FFE0H~FFFFH 領域がすべて FFH の場合はブランク品と判定され、パスワード比較は行われません。

12. $m+1$ バイト目 ~ $n-2$ バイト目の受信データは、インテル HEX フォーマットの binary データとして受信されます。この場合、エコーバックは行われません。デバイスはインテル HEX フォーマットのスタートマーク (3AH, “:”) を受信してからデータレコードの受信を開始しますので、スタートマークを受信するまで 3AH 以外の受信データは無視されます。デバイスがスタートマークを受信すると、以降のデータをデータレコード (データ長、アドレス、レコードタイプ、データ、チェックサムで構成) として受信します。

デバイスがエンドレコードを受信すると、チェックサムの計算処理を開始しますので、外部コントローラはエンドレコードを送信後、チェックサムの受信待ちとなるようにしてください。もし、受信エラーまたはインテル HEX フォーマットエラーが発生した場合、デバイスは何も送信せず、動作停止状態となります。

13. $n-1$ バイト目と n バイト目は、チェックサムの上位、下位となります。チェックサムの計算方法については “18.8 チェックサム (SUM)” を参照してください。チェックサムの計算はエンドレコードを検出し、受信エラーまたはインテル HEX フォーマットエラーが発生していない場合にのみ行われます。外部コントローラは、エンドレコードを送信後、デバイスがチェックサムを送信するか否かで書き込みが正常に終了したかを判断してください。
14. デバイスはチェックサムを送信後、次の動作コマンドデータ待ちの状態となります。

Not Recommended for New Designs

18.6.3 フラッシュメモリ SUM 出力モード (動作コマンド: 90H)

表 18-9 にフラッシュメモリ SUM 出力モードの転送フォーマットを示します。

表 18-9 フラッシュメモリ SUM 出力モード転送フォーマット

	転送バイト数	外部コントローラから TMP86FS28DFG への転送データ	ボーレート	TMP86FS28DFG から 外部コントローラへの転送データ
BOOT ROM	1 バイト目 2 バイト目	マッチングデータ (5AH) -	9600 bps 9600 bps	-(ボーレート自動判定) OK: エコーバックデータ (5AH) Error: 何も送信しません
	3 バイト目 4 バイト目	ボーレート変更データ (表 18-4) -	9600 bps 9600 bps	- OK: エコーバックデータ Error: A1H × 3, A3H × 3, 62H × 3 (注 1)
	5 バイト目 6 バイト目	動作コマンドデータ (90H) -	変更後ボーレート 変更後ボーレート	- OK: エコーバックデータ (90H) Error: A1H × 3, A3H × 3, 63H × 3 (注 1)
	7 バイト目	-	変更後ボーレート	OK: チェックサム (High) (注 2) Error: 何も送信しません
	8 バイト目	-	変更後ボーレート	OK: チェックサム (Low) (注 2) Error: 何も送信しません
	9 バイト目	(次の動作コマンドデータ待ち)	変更後ボーレート	-

注 1) “xxH × 3” は xxH を 3 バイト送信した後、動作停止状態となることを意味します。詳細は “18.7 エラーコード” を参照してください。

注 2) チェックサムについては “18.8 チェックサム (SUM)” を参照してください。

フラッシュメモリ SUM 出力モードの動作説明

- 1 バイト目から 4 バイト目までの送受信データは、フラッシュメモリ書き込みモードの場合と同一です。
- 5 バイト目の受信データはフラッシュメモリ SUM 出力モードコマンドデータ (90H) となります。
- 5 バイト目の受信データが “表 18-6 シリアル PROM モード動作コマンド” に示す動作コマンドデータのいずれかに該当する場合にのみ、デバイスは、6 バイト目として受信したデータと同じ値 (この場合 90H) をエコーバック送信します。もし、5 バイト目の受信データが、いずれの動作コマンドにも該当しない場合、デバイスは動作コマンドエラーコード (63H) を 3 バイト送信した後、動作停止状態となります。
- 7 バイト目と 8 バイト目は、チェックサムの上位、下位となります。チェックサムの計算方法については “18.8 チェックサム (SUM)” を参照してください。
- デバイスはチェックサムを送信後、次の動作コマンドデータ待ちの状態となります。

18.6.4 製品識別コード出力モード (動作コマンド: C0H)

表 18-10 に製品識別コード出力モードの転送フォーマットを示します。

表 18-10 製品識別コード出力モード転送フォーマット

	転送バイト数	外部コントローラから TMP86FS28DFG への転送データ	ボーレート	TMP86FS28DFG から 外部コントローラへの転送データ	
BOOT ROM	1 バイト目	マッチングデータ (5AH)	9600 bps	-(ボーレート自動判定)	
	2 バイト目	-	9600 bps	OK: エコーバックデータ (5AH) Error: 何も送信しません	
	3 バイト目	ボーレート変更データ (表 18-4)	9600 bps	-	
	4 バイト目	-	9600 bps	OK: エコーバックデータ Error: A1H × 3, A3H × 3, 62H × 3 (注 1)	
	5 バイト目	動作コマンドデータ (C0H)	変更後ボーレート	-	
	6 バイト目	-	変更後ボーレート	OK: エコーバックデータ (C0H) Error: A1H × 3, A3H × 3, 63H × 3 (注 1)	
	7 バイト目		変更後ボーレート	3AH	スタートマーク
	8 バイト目		変更後ボーレート	0AH	転送データ数 (9~18 バイト目 までのバイト数)
	9 バイト目		変更後ボーレート	02H	アドレス長 (2 バイト)
	10 バイト目		変更後ボーレート	1DH	Reserved
	11 バイト目		変更後ボーレート	00H	Reserved
	12 バイト目		変更後ボーレート	00H	Reserved
	13 バイト目		変更後ボーレート	00H	Reserved
	14 バイト目		変更後ボーレート	01H	ROM のブロック数 (1 ブロック)
	15 バイト目		変更後ボーレート	10H	ROM の先頭アドレス (上位)
	16 バイト目		変更後ボーレート	00H	ROM の先頭アドレス (下位)
	17 バイト目		変更後ボーレート	FFH	ROM の終了アドレス (上位)
	18 バイト目		変更後ボーレート	FFH	ROM の終了アドレス (下位)
	19 バイト目		変更後ボーレート	D2H	転送データのチェックサム (9~18 バイト目までのチェック サム)
	20 バイト目	(次の動作コマンドデータ待ち)	変更後ボーレート		-

注) “xxH × 3” は xxH を 3 バイト送信した後、動作停止状態となることを意味します。詳細は “18.7 エラーコード” を参照してください。

製品識別コード出力モードの動作説明

- 1 バイト目から 4 バイト目までの送受信データは、フラッシュメモリ書き込みモードの場合と同一です。
- 5 バイト目の受信データは製品識別コード出力モードコマンドデータ (C0H) となります。
- 5 バイト目の受信データが表 18-6 に示す動作コマンドデータのいずれかに該当する場合にのみ、デバイスは、6 バイト目として受信したデータと同じ値 (この場合 C0H) をエコーバック送信します。もし、5 バイト目の受信データが、いずれの動作コマンドにも該当しない場合、デバイスは動作コマンドエラーコード (63H) を 3 バイト送信した後、動作停止状態となります。
- 9 バイト目から 19 バイト目は製品識別コードとなります。識別コードの詳細については “18.11 製品識別コード” を参照してください。

5. デバイスはチェックサムを送信後、次の動作コマンドデータ待ちの状態となります。

Not Recommended
for New Design

18.6.5 フラッシュメモリステータス出力モード (動作コマンド: C3H)

表 18-11 にフラッシュメモリステータス出力モードを示します。

表 18-11 フラッシュメモリステータス出力モード

	転送バイト数	外部コントローラから TMP86FS28DFG への転送データ	ボーレート	TMP86FS28DFG から 外部コントローラへの転送データ	
BOOT ROM	1 バイト目 2 バイト目	マッチングデータ (5AH) -	9600 bps 9600 bps	-(ボーレート自動判定) OK: エコーバックデータ (5AH) Error: 何も送信しません	
	3 バイト目 4 バイト目	ボーレート変更データ (表 18-4) -	9600 bps 9600 bps	- OK: エコーバックデータ Error: A1H × 3, A3H × 3, 62H × 3 (注 1)	
	5 バイト目 6 バイト目	動作コマンドデータ (C3H) -	変更後ボーレート 変更後ボーレート	- OK: エコーバックデータ (C3H) Error: A1H × 3, A3H × 3, 63H × 3 (注 1)	
	7 バイト目		変更後ボーレート	3AH	スタートマーク
	8 バイト目		変更後ボーレート	04H	バイトカウント (9 ~ 12 バイト目までの数)
	9 バイト目		変更後ボーレート	00H ~ 03H	ステータスコード 1
	10 バイト目		変更後ボーレート	00H	Reserved
	11 バイト目		変更後ボーレート	00H	Reserved
	12 バイト目		変更後ボーレート	00H	Reserved
	13 バイト目		変更後ボーレート	チェックサム (9~12 バイト目までの総和の 2 の補数) 9 バイト目が 00H のとき: 00H 9 バイト目が 01H のとき: FFH 9 バイト目が 02H のとき: FEH 9 バイト目が 03H のとき: FDH	
	14 バイト目	(次の動作コマンドデータ待ち)	変更後ボーレート	-	

注 1) "xxH × 3" の意味は、xxh を 3 バイト送信後、動作停止状態になることを示します。

注 2) ステータスコード 1 の詳細については、“18.12 フラッシュメモリステータスコード” を参照してください。

フラッシュメモリステータス出力モードの動作説明

1. 1 バイト目から 4 バイト目までの送受信データは、フラッシュメモリ書き込みモードの場合と同一です
2. 5 バイト目の受信データはフラッシュメモリステータス出力モードコマンドデータ (C3H) となります。
3. 5 バイト目の受信データが表 18-6 に示す動作コマンドデータのいずれかに該当する場合にのみ、デバイスは、6 バイト目として受信したデータと同じ値 (この場合 C3H) をエコーバック送信します。もし、5 バイト目の受信データがいずれの動作コマンドにも該当しない場合、デバイスは動作コマンドエラーコード (63H) を 3 バイト送信した後、動作停止状態となります。
4. 9~13 バイト目は、ステータスコードとなります。ステータスコードの詳細については、“18.12 フラッシュメモリステータスコード” を参照してください。
5. ステータスコードを送信後、次の動作コマンドデータ待ちの状態となります。

18.6.6 フラッシュメモリリードプロテクト設定モード (動作コマンド: FAH)

表 18-12 にフラッシュメモリリードプロテクト設定モードを示します。

表 18-12 フラッシュメモリリードプロテクト設定モード

	転送バイト数	外部コントローラから TMP86FS28DFG への転送データ	ボーレート	TMP86FS28DFG から 外部コントローラへの転送データ
BOOT ROM	1 バイト目 2 バイト目	マッチングデータ (5AH) -	9600 bps 9600 bps	- (ボーレート自動判定) OK: エコーバックデータ (5AH) Error: 何も送信しません
	3 バイト目 4 バイト目	ボーレート変更データ (表 18-4) -	9600 bps 9600 bps	- OK: エコーバックデータ Error: A1H × 3, A3H × 3, 62H × 3 (注 1)
	5 バイト目 6 バイト目	動作コマンドデータ (FAH) -	変更後ボーレート 変更後ボーレート	- OK: エコーバックデータ (FAH) Error: A1H × 3, A3H × 3, 63H × 3 (注 1)
	7 バイト目 8 バイト目	Password 数格納先アドレス 15-08 (注 2)	変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	9 バイト目 10 バイト目	Password 数格納先アドレス 07-00 (注 2)	変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	11 バイト目 12 バイト目	Password 比較開始アドレス 15-08 (注 2)	変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	13 バイト目 14 バイト目	Password 比較開始アドレス 07-00 (注 2)	変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	15 バイト目 : m バイト目	Password 列 (注 2) -	変更後ボーレート	- OK: 何も送信しません Error: 何も送信しません
	n バイト目	-	変更後ボーレート	OK: FBH (注 3) Error: 何も送信しません
	n+1 バイト目	(次の動作コマンドデータ待ち)	変更後ボーレート	-

注 1) "xxH × 3" の意味は、xxh を 3 バイト送信後、動作停止状態になることを示します。

注 2) パスワードについては、後述の“18.10 パスワード”を参照してください。

注 3) ブランク品に対してリードプロテクト設定モードを実行した場合、また、非ブランク品でパスワードエラーが発生した場合、TMP86FS28DFG は UART 通信を終了し動作停止状態となります。この場合は RESET 端子による初期化を行い、シリアル PROM モードを再起動してください。

注 4) パスワードアドレス、列データ受信中に通信エラーが発生した場合、TMP86FS28DFG は UART 通信を終了し動作停止状態となります。この場合は RESET 端子による初期化を行い、シリアル PROM モードを再起動してください。

フラッシュメモリリードプロテクト設定モードの動作説明

- 1 バイト目から 4 バイト目までの送受信データは、フラッシュメモリ書き込みモードの場合と同一です
- 5 バイト目の受信データはフラッシュメモリステータス出力モードコマンドデータ (FAH) となります。
- 5 バイト目の受信データが“表 18-6 シリアル PROM モード動作コマンド”に示す動作コマンドデータのいずれかに該当する場合にのみ、デバイスは、6 バイト目として受信した

データと同じ値（この場合 FAH）をエコーバック送信します。もし、5 バイト目の受信データがいずれの動作コマンドにも該当しない場合、デバイスは動作コマンドエラーコード（63H）を 3 バイト送信した後、動作停止状態となります。

4. 7 バイト目から m バイト目の送受信データは、フラッシュメモリ書き込みモードの場合と同一です。
5. n バイト目は、フラッシュメモリリードプロテクトが成功した場合、ステータスが外部コントローラに送信されます。

Not Recommended
for New Design

18.7 エラーコード

デバイスが各エラーを検出した場合に送信するエラーコードを表 18-13 に示します。

表 18-13 エラーコード一覧

送信データ	エラー内容
62H, 62H, 62H	ポーレート変更データエラー
63H, 63H, 63H	動作コマンドエラー
A1H, A1H, A1H	受信データのフレーミングエラー
A3H, A3H, A3H	受信データのオーバーランエラー

注) パスワードエラーの場合は、エラーコードは送信されません。

18.8 チェックサム (SUM)

18.8.1 計算方法

チェックサム (SUM) は byte + byte... + byte の結果をワードで返します。つまり、バイトでデータを読み出して計算し、その結果をワードで返します。

例)

A1H	左記 4 バイトが計算対象データの場合、チェックサムは以下ようになります。 A1H + B2H + C3H + D4H = 02EAH SUM (HIGH)= 02h SUM (LOW)= EAH
B2H	
C3H	
D4H	

フラッシュメモリ書き込みモードおよびフラッシュメモリ SUM 出力モードを実行した際に送信されるチェックサムは、本計算方法を使用します。

18.8.2 計算対象データ

表 18-14 に各モードにおけるチェックサムの計算対象データを示します。

表 18-14 チェックサムの計算対象データ

動作モード	計算対象データ	備考
フラッシュメモリ書き込みモード	フラッシュメモリの全領域のデータ	フラッシュメモリの一部に書き込みを行った場合でも、フラッシュメモリ全領域 (1000H ~ FFFFH) のチェックサムを計算します。なお、インテル HEX フォーマットにおけるデータ長、アドレス、レコードタイプ、チェックサムはチェックサムの対象とはなりません。
フラッシュメモリ SUM 出力モード		
製品識別コード出力モード	転送データの 9~18 バイト目のデータ	詳細については、“18.11 製品識別コード”を参照してください。
フラッシュメモリステータス出力モード	転送データの 9~12 バイト目のデータ	詳細については、“表 18-11 フラッシュメモリステータス出力モード”を参照してください。
フラッシュメモリ消去モード	消去したフラッシュメモリエリアの全データ (フラッシュメモリの全体または一部)	ブロック消去を行った場合は、消去した領域のみがチェックサムの対象となります。チップイレース (全面消去) を行った場合は、フラッシュメモリの全領域がチェックサムの対象となります。

18.9 インテル Hex フォーマット (Binary)

1. デバイスは各データレコードのチェックサムを受信後、次のデータレコードのスタートマーク (3AH “:”) 待ちとなりますので、外部コントローラがレコード間に 3AH 以外のデータを送信してもそのデータは無視されます。
2. 外部コントローラは、エンドレコードのチェックサムを送信した後は何も送信せず、2 バイトの受信データ (チェックサムの上位と下位) 待ちとなるようにしてください。
3. 受信エラーまたはインテル HEX フォーマットエラーが発生した場合は、エラーコードを送信せず、デバイスは動作停止状態となります。インテル HEX フォーマットエラーは以下の場合発生します。
 - レコードタイプが “00h”、“01h”、“02h” 以外の場合
 - チェックサムエラーが発生した場合
 - 拡張レコード (レコードタイプ = 02H) のデータ長が 02H でない場合
 - 拡張レコード (レコードタイプ = 02H) の拡張アドレスが 1000H 以上で、その後データレコードを受信した場合
 - エンドレコード (レコードタイプ = 01H) のデータ長が 00H でない場合

18.10 パスワード

TMP86FS28DFG はフラッシュメモリ内の任意のデータ (連続する 8 バイト以上のデータ) をパスワードとして設定することができ、外部コントローラから送信されるパスワード列と、パスワードに設定されたデータ列との照合を行うことによりパスワード判定を行います。パスワードを指定できる領域は、フラッシュメモリ内のアドレス 1000H~FF9FH となります (アドレス FFA0H~FFFFH はパスワードとして設定できません)。

アドレス FFE0H~FFFFH のデータがすべて“FFH”の場合、ブランク品とみなされパスワード判定は行われません。ただし、ブランク品の場合でもパスワード数格納アドレス、パスワード比較開始アドレスを送信する必要があります。“表 18-15 ブランク品と書き込み品でのパスワード設定方法”にブランク品と書き込み品の場合のパスワード設定方法を示します。

表 18-15 ブランク品と書き込み品でのパスワード設定方法

パスワード	ブランク品 (注 1)	書き込み品
PNSA (パスワード数格納アドレス)	$1000H \leq PNSA \leq FF9FH$	$1000H \leq PNSA \leq FF9FH$
PCSA (パスワード比較開始アドレス)	$1000H \leq PCSA \leq FF9FH$	$1000H \leq PCSA \leq FFA0 - N$
N (パスワード数)	*	$8 \leq N$
パスワード列の設定	不要 (注 5)	必要 (注 2)

注 1) アドレス FFE0H~FFFFH の領域がすべて“FFH”となっている製品をブランク品とします。

注 2) 3 バイト以上同一となるデータは、パスワード列として設定できません (パスワード判定でエラーとなり、TMP86FS28DFG は何のデータも送信せず、停止状態となります)。

注 3) *: Don't care.

注 4) 上記条件を満たさない場合パスワードエラーとなります。なおパスワードエラーが発生した場合、デバイスはエラーコードを送信せず、動作停止状態となります。

注 5) フラッシュメモリ書き込みモード、ブランク品は PCSA の受信後、パスワード列の受信は行わず即座に Intel-Hex フォーマットの受信処理を行います。このとき外部コントローラはダミーのパスワード列を送信したとしても、デバイスは Intel-Hex フォーマットとしてスタートマーク (3AH“)を検出するまで受信データを読み飛ばしますので、その後の処理は正しく動作します。ただし、ダミーのパスワード列に“3AH”が含まれていると、誤ってスタートマークと検出されるためマイコンは動作停止状態となります。これが問題となる場合は、ダミーのパスワード列を送信しないでください。

注 6) フラッシュメモリ消去モードでは、ブランク品に対してパスワード列を送信しないでください。

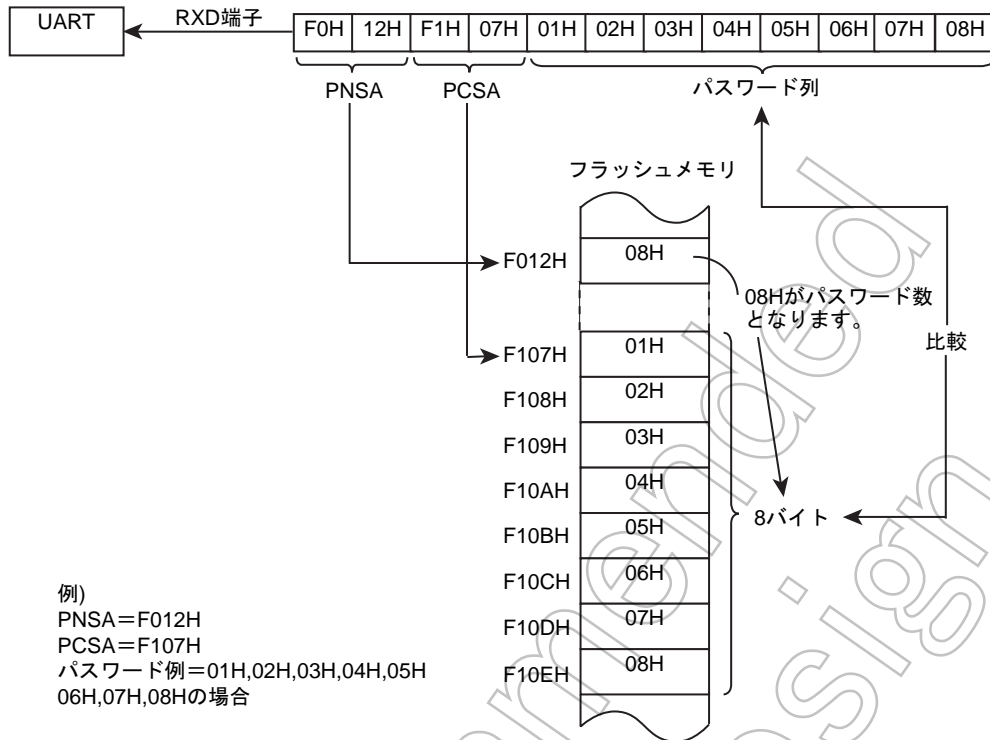


図 18-5 パスワードの比較 (例)

18.10.1 パスワード列

外部コントローラが送信したパスワード列は、指定されたフラッシュメモリのデータと比較されます。パスワード列と指定されたフラッシュメモリのデータが一致しなかった場合、パスワードエラーとなり、マイコンは動作停止状態となります。

18.10.2 パスワードエラー処理

パスワードエラーが発生した場合、デバイスは動作停止状態となります。この場合、シリアル PROM モードを再起動するためにデバイスをリセットしてください。

18.10.3 ソフトウェア開発時のパスワードについて

ソフトウェアの開発時にプログラムの変更が何度も行われると、パスワードが分からなくなってしまうことがあります。よって、ソフトウェアの開発時はパスワードを固定することを推奨します。

(プログラム例) F000H に PNSA、F001H から 8 バイトをパスワード列に割り当てる。
 (PCSA は F001H になります)

Password Section code abs = 0F000H

DB	08H	; PNSA の定義
DB	"CODE1234"	; パスワード列の定義

18.11 製品識別コード

製品識別コードは、ROM の先頭アドレス、終了アドレスを含む 13 バイトのデータです。表 18-16 に製品識別コードのデータフォーマットを示します。

表 18-16 製品識別コードのデータフォーマット

データ	データの意味	TMP86FS28DFG の場合のデータ
1st	スタートマーク (3AH)	3AH
2nd	転送データ数 (3rd ~ 12th データの 10 バイト)	0AH
3rd	アドレスのバイト長 (2 バイト)	02H
4th	Reserved	1DH
5th	Reserved	00H
6th	Reserved	00H
7th	Reserved	00H
8th	ROM のブロック数	01H
9th	ROM の先頭アドレス (上位)	10H
10th	ROM の先頭アドレス (下位)	00H
11th	ROM の終了アドレス (上位)	FFH
12th	ROM の終了アドレス (下位)	FFH
13th	転送データのチェックサム (3rd ~ 12th データまでの総和の 2 の補数)	D2H

18.12フラッシュメモリステータスコード

フラッシュメモリステータスコードは7バイトのデータで、フラッシュメモリリードプロテクトの状態、FFE0H から FFFFH の状態を示します。

表 18-17 フラッシュメモリステータスコード

データ	データの意味	TMP86FS28DFG の場合
1st	スタートマーク	3AH
2nd	転送データ数 (3rd ~ 6th データの 4 バイト)	04H
3rd	ステータスコード	00H ~ 03H (下記を参照)
4th	Reserved	00H
5th	Reserved	00H
6th	Reserved	00H
7th	転送データのチェックサム (3th ~ 6th データまでの総和の 2 の補数)	3rd データが 00H のとき: 00H 3rd データが 01H のとき: FFH 3rd データが 02H のとき: FEH 3rd データが 03H のとき: FDH

ステータスコード 1

7	6	5	4	3	2	1	0	
						RPENA	BLANK	初期値 (0000 00**)

RPENA	フラッシュメモリリードプロテクト状態	0: リードプロテクトが解除された状態 1: リードプロテクトが設定された状態
BLANK	FFE0H ~ FFFFH の状態	0: FFE0 ~ FFFFH までの領域のデータがすべて FFH の場合 1: FFE0 ~ FFFFH までの領域のデータが上記以外の場合

ステータスコード 1 の内容によって、実行が制限されるコマンドがあります。詳細は以下の表を参照してください。フラッシュメモリリードプロテクトがリードプロテクトが設定されると「フラッシュメモリ書き替えコマンド」は実行できなくなります。これらのコマンドを実行するためには事前にフラッシュの全面消去を実行してください。

RPENA	BLANK	フラッシュメモリ書き替えモード	フラッシュメモリ SUM 出力モード	製品識別コード出力モード	フラッシュメモリステータス出力モード	フラッシュメモリ消去モード		フラッシュメモリリードプロテクト設定モード
						チップイレース	セクタイレース	
0	0	○	○	○	○	○	○	×
0	1	Pass	○	○	○	Pass	Pass	Pass
1	0	×	○	○	○	○	×	×
1	1	×	○	○	○	Pass	×	Pass

注) ○: コマンド実行可能
 Pass: コマンド実行にはパスワードが必要
 ×: コマンド実行不可
 (コマンドのエコーバックを返した後、TMP86FS28DFG は UART 通信を終了し動作停止状態となります)

18.13 消去範囲指定

フラッシュメモリ消去モードで、n-2 バイト目はフラッシュ領域の消去範囲を指定します。

ERASTA で消去領域の開始アドレス、ERAEND で消去領域の終了アドレスを指定します。

ERASTA ≤ ERAEND となるデータを指定すると、セクタイレース (フラッシュメモリの 4K バイト単位の消去) が実行されます。ただしリードプロテクトが設定された状態でセクタイレースを実行すると無限ループ状態となります。

ERASTA > ERAEND となるデータを指定すると、チップイレース (フラッシュメモリの全面消去) が実行され、フラッシュメモリのリードプロテクトが解除されます。よってフラッシュメモリのリードプロテクトを解除するためには、セクタイレースではなくチップイレースを実行してください。

消去範囲指定データ (n-2 バイト目のデータ)

7	6	5	4	3	2	1	0
ERASTA				ERAEND			

ERASTA	消去領域開始アドレス	0000:	0000H ~
		0001:	1000H ~
		0010:	2000H ~
		0011:	3000H ~
		0100:	4000H ~
		0101:	5000H ~
		0110:	6000H ~
		0111:	7000H ~
		1000:	8000H ~
		1001:	9000H ~
		1010:	A000H ~
		1011:	B000H ~
		1100:	C000H ~
		1101:	D000H ~
1110:	E000H ~		
1111:	F000H ~		
ERAEND	消去領域終了アドレス	0000:	~ 0FFFH
		0001:	~ 1FFFH
		0010:	~ 2FFFH
		0011:	~ 3FFFH
		0100:	~ 4FFFH
		0101:	~ 5FFFH
		0110:	~ 6FFFH
		0111:	~ 7FFFH
		1000:	~ 8FFFH
		1001:	~ 9FFFH
		1010:	~ AFFFH
		1011:	~ BFFFH
		1100:	~ CFFFH
		1101:	~ DFFFH
1110:	~ EFFFH		
1111:	~ FFFFH		

注) フラッシュセルの存在しない領域に対してブロック消去を実行すると TMP86FS28DFG は UART 通信を終了し動作停止状態となります

Not Recommended
for New Design

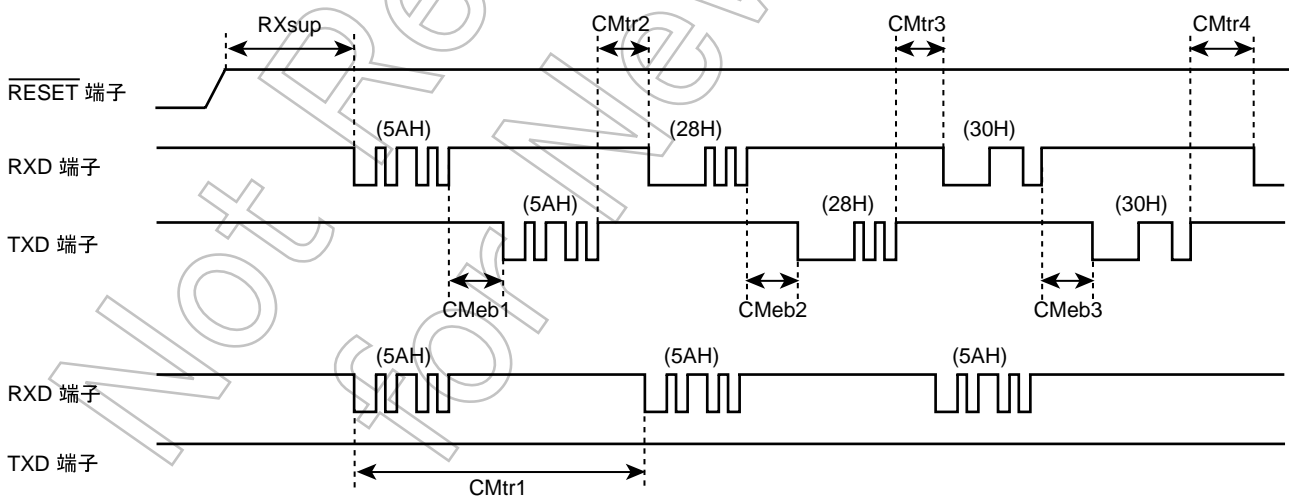
18.15UART タイミング

表 18-18 UART タイミング -1 (VDD = 4.5 V~5.5 V, fc = 2~16 MHz, Topr = -10 ~ 40°C)

項目	記号	クロック数 (fc)	必要最低時間	
			At fc = 2 MHz	At fc = 16 MHz
マッチングデータ (5AH) 受信からエコーバックまでの時間	CMeb1	Approx. 930	465 μ s	58.1 μ s
ボーレート変更データ受信からエコーバックまでの時間	CMeb2	Approx. 980	490 μ s	61.3 μ s
動作コマンド受信からエコーバックまでの時間	CMeb3	Approx. 800	400 μ s	50 μ s
チェックサム計算時間	CKsm	Approx. 7864500	3.93 s	491.5 μ s
フラッシュメモリ一括消去時間	CEall	-	30 ms	30 ms
フラッシュメモリ一部消去時間 (4K ごと)	CEsec	-	15 ms	15 ms

表 18-19 UART タイミング -2 (VDD = 4.5 V~5.5 V, fc = 2 ~16 MHz, Topr = -10 ~ 40°C)

項目	記号	クロック数 (fc)	必要最低時間	
			At fc = 2 MHz	At fc = 16 MHz
リセット解除後、マッチングデータ受信可能となるまでのセットアップ時間	RXsup	2100	1.05 ms	131.3 ms
マッチングデータ送信間隔	CMtr1	28500	14.2 ms	1.78 ms
マッチングデータのエコーバックからボーレート変更データ受信可能となるまでの時間	CMtr2	380	190 μ s	23.8 μ s
ボーレート変更データのエコーバックから動作コマンド受信可能となるまでの時間	CMtr3	650	325 μ s	40.6 μ s
動作コマンドのエコーバックからパスワード数格納アドレス (上位) 受信可能となるまでの時間	CMtr4	800	400 μ s	50 μ s



Not Recommended
for New Design

第 19 章 端子の入出力回路

19.1 制御端子

TMP86FS28DFG の制御端子の入出力回路を示します。

制御端子	入出力	回路	備考
XIN XOUT	入力 出力		高周波発振子接続端子 $R_f = 1.2 \text{ M}\Omega$ (typ.) $R_o = 0.5 \text{ k}\Omega$ (typ.)
XTIN XTOUT	入力 出力		低周波発振子接続端子 $R_f = 6 \text{ M}\Omega$ (typ.) $R_o = 220 \text{ k}\Omega$ (typ.)
RESET	入力		ヒステリシス入力 プルアップ抵抗内蔵 $R_{IN} = 220 \text{ k}\Omega$ (typ.) $R = 100 \Omega$ (typ.)
TEST	入力		プルダウン抵抗なし $R = 100 \Omega$ (typ.) MCU モードでは、必ず“L”レベルに固定してください。

19.2 入出力ポート

TMP86FS28DFG の入出力回路を示します。

ポート	入出力	入出力回路およびコード	備考
P0,P3	入出力	<p>初期値 "High-Z"</p> <p>Pch 制御 データ出力 出力ラッチ入力 端子入力</p>	<p>シンクオープンドレイン出力 または C-MOS 出力 ヒステリシス入力 R = 100 Ω (typ.)</p>
P1	入出力	<p>初期値 "High-Z"</p> <p>AIN データ出力 禁止 端子入力</p>	<p>トリステート入出力 ヒステリシス入力 AIN 入力兼用 R = 100 Ω (typ.)</p>
P2	入出力	<p>初期値 "High-Z"</p> <p>データ出力 出力ラッチ入力 端子入力</p>	<p>シンクオープンドレイン出力 ヒステリシス入力 R = 100 Ω (typ.)</p>
P4,P5,P6,P7,P8	入出力	<p>初期値 "High-Z"</p> <p>SEG出力 Pch 制御 データ出力 出力ラッチ入力 端子入力</p>	<p>シンクオープンドレイン出力 または C-MOS 出力 ヒステリシス入力 R = 100 Ω (typ.) LCD セグメント出力兼用</p>

第 20 章 電気的特性

20.1 絶対最大定格

絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

($V_{SS} = 0\text{ V}$)

項目	記号	端子	規格	単位
電源電圧	V_{DD}		-0.3~6.5	V
入力電圧	V_{IN}		-0.3~ $V_{DD} + 0.3$	
出力電圧	V_{OUT}		-0.3~ $V_{DD} + 0.3$	
出力電流 (1 端子当たり)	I_{OL1}	P0,P1,P2,P3,P4,P5,P6,P7,P8 ポート	3.2	mA
	I_{OH1}	P0,P1,P3,P4,P5,P6,P7,P8 ポート	-1.8	
出力電流 (全端子総計)	ΣI_{OL1}	P0,P1,P2,P3,P4,P5,P6,P7,P8 ポート	80	
	ΣI_{OH1}	P0,P1,P3,P4,P5,P6,P7,P8 ポート	-30	
消費電力 [$T_{opr} = 85^{\circ}\text{C}$]	PD		350	mW
はんだ付け温度 (時間)	T_{sld}		260 (10 s)	$^{\circ}\text{C}$
保存温度	T_{stg}		-55~125	
動作温度	T_{opr}		-40~85	

20.2 動作条件

動作条件とは、製品が一定の品質を保って正常に動作するための使用条件です。動作条件（電源電圧、動作温度範囲、AC/DC 規定値）から外れる動作条件で使用した場合、誤動作が生じる恐れがあります。従ってご使用の条件に対して、必ず動作条件の範囲を超えないように応用機器の設計を行ってください。

20.2.1 MCU モード（フラッシュメモリの書き込みおよび消去動作時）

(V_{SS} = 0 V, Topr = -10 ~ 40°C)

項目	記号	端子	条件	Min	Max	単位
電源電圧	V _{DD}		NORMAL1, 2 モード	4.5	5.5	V
高レベル入力電圧	V _{IH1}	ヒステリシス入力を除く	V _{DD} ≥ 4.5 V	V _{DD} × 0.70	V _{DD}	
	V _{IH2}	ヒステリシス入力		V _{DD} × 0.75		
低レベル入力電圧	V _{IL1}	ヒステリシス入力を除く	V _{DD} ≥ 4.5 V	0	V _{DD} × 0.30	
	V _{IL2}	ヒステリシス入力		V _{DD} × 0.25		
クロック周波数	fc	XIN, XOUT		1.0	16.0	

20.2.2 MCU モード（フラッシュメモリの書き込みおよび消去動作を除く）

(V_{SS} = 0 V, Topr = -40 ~ 85°C)

項目	記号	端子	条件	Min	Max	単位	
電源電圧	V _{DD}		fc = 16 MHz	NORMAL1, 2 モード IDLE0, 1, 2 モード	4.0	5.5	V
			fc = 8 MHz	NORMAL1, 2 モード IDLE0, 1, 2 モード			
			fs = 32.768 kHz	SLOW1, 2 モード SLEEPE0, 1, 2 モード			
			STOP モード				
高レベル入力電圧	V _{IH1}	ヒステリシス入力を除く	V _{DD} ≥ 4.5 V	V _{DD} × 0.70	V _{DD}	V	
	V _{IH2}	ヒステリシス入力		V _{DD} × 0.75			
	V _{IH3}			V _{DD} < 4.5 V			V _{DD} × 0.90
低レベル入力電圧	V _{IL1}	ヒステリシス入力を除く	V _{DD} ≥ 4.5 V	0	V _{DD} × 0.30		
	V _{IL2}	ヒステリシス入力			V _{DD} × 0.25		
	V _{IL3}				V _{DD} < 4.5 V		V _{DD} × 0.10
クロック周波数	fc	XIN, XOUT	V _{DD} = 2.7 ~ 5.5 V	1.0	8.0	MHz	
	fc	XIN, XOUT	V _{DD} = 4.0 ~ 5.5 V	1.0	16.0		
	fs	XTIN, XTOUT	V _{DD} = 2.7 ~ 5.5 V	30.0	34.0	kHz	
LCD 基準電源端子 電圧範囲	V1		昇圧回路使用時 (V3 ≥ V _{DD})	0.9	1.8	V	
LCD 昇圧用 コンデンサ	C _{LCD}		昇圧回路使用時 (V3 ≥ V _{DD})	0.1	0.47	μF	

注 1) 電源電圧 V_{DD} が 3.0V 未満の場合、動作温度 (Topr) は -20 ~ 85 °C の範囲内で使用してください。

20.2.3 シリアル PROM モード

(V_{SS} = 0 V, Topr = -10 ~ 40°C)

項目	記号	端子	条件	Min	Max	単位
電源電圧	V _{DD}		NORMAL1, 2 モード	4.5	5.5	V
高レベル入力電圧	V _{IH1}	ヒステリシス入力を除く	V _{DD} ≥ 4.5 V	V _{DD} × 0.70	V _{DD}	
	V _{IH2}	ヒステリシス入力		V _{DD} × 0.75		
低レベル入力電圧	V _{IL1}	ヒステリシス入力を除く	V _{DD} ≥ 4.5 V	0	V _{DD} × 0.30	
	V _{IL2}	ヒステリシス入力			V _{DD} × 0.25	
クロック周波数	f _c	XIN, XOUT		2.0	16.0	

Not Recommended
for New Design

20.3 DC 特性

($V_{SS} = 0\text{ V}$, $T_{opr} = -40\sim 85^{\circ}\text{C}$)

項目	記号	端子	条件	Min	Typ.	Max	単位				
ヒステリシス電圧	V_{HS}	ヒステリシス入力		-	0.9	-	V				
入力電流	I_{IN1}	TEST	$V_{DD} = 5.5\text{ V}$, $V_{IN} = 5.5\text{ V}/0\text{ V}$	-	-	± 2	μA				
	I_{IN2}	シンクオーブンドレイン, トライステートポート									
	I_{IN3}	RESET, STOP									
入力抵抗	R_{IN2}	RESET プルアップ		100	220	450	k Ω				
出力リーク電流	I_{LO}	シンクオーブンドレイン, トライステートポート	$V_{DD} = 5.5\text{ V}$, $V_{OUT} = 5.5\text{ V}/0\text{ V}$	-	-	± 2	μA				
高レベル出力電圧	V_{OH}	C-MOS, トライステートポート	$V_{DD} = 4.5\text{ V}$, $I_{OH} = -0.7\text{ mA}$	4.1	-	-	V				
低レベル出力電圧	V_{OL}	XOUT を除く	$V_{DD} = 4.5\text{ V}$, $I_{OL} = 1.6\text{ mA}$	-	-	0.4					
LCD 出力電圧 (昇圧回路使用時)	V_{2-3OUT}	V2 端子	$V_3 \geq V_{DD}$ 基準電源端子: V1 SEG/COM 端子無負荷時	-	$V_1 \times 2$	-	V				
		V3 端子		-	$V_1 \times 3$	-					
NORMAL1, 2 モード時電源電流	I_{DD}		$V_{DD} = 5.5\text{ V}$ $V_{IN} = 5.3\text{ V}/0.2\text{ V}$ $f_c = 16\text{ MHz}$ $f_s = 32.768\text{ kHz}$	フラッシュメモリで プログラムが動作し ているとき (注 7,8)	-	15.5	16.5	mA			
IDLE0, 1, 2 モード時電源電流					-	6	8.3				
SLOW1 モード時 電源電流					$V_{DD} = 3.0\text{ V}$ $V_{IN} = 2.8\text{ V}/0.2\text{ V}$ $f_s = 32.768\text{ kHz}$	フラッシュメモリで プログラムが動作し ているとき (注 7,8)	-	25	260	μA	
SLEEP1 モード時 電源電流							RAM でプログラム が動作しているとき	-	20		24
SLEEP0 モード時 電源電流								-	9		21
STOP モード時 電源電流							$V_{DD} = 5.5\text{ V}$ $V_{IN} = 5.3\text{ V}/0.2\text{ V}$	-	0.5		10

注 1) Typ. 値は、条件に指定なき場合 $T_{opr} = 25^{\circ}\text{C}$, $V_{DD} = 5\text{ V}$ 時の値を示します。

注 2) 入力電流 I_{IN3} : プルアップまたはプルダウン抵抗による電流を除きます。

注 3) I_{DD} は、 I_{REF} を含みません。

注 4) SLOW2, SLEEP2 モードの各電源電流は、IDLE0, 1, 2 モードと同等です。

注 5) フラッシュメモリでプログラムが動作しているとき、またはフラッシュメモリからデータをリードしているとき、フラッシュメモリは間欠動作を行いますので、瞬間的に図 20-1 のようなピーク電流が流れます。よってこの場合の電源電流 I_{DD} (NORMAL1/2、SLOW1 モード時) は、ピーク電流を平均化した電流値と MCU 電流の和となります。

注 6) 電源設計の際はピーク電流が供給可能な回路設計にしてください。SLOW1 モードではピーク電流と平均化された電流の差が大きくなります。

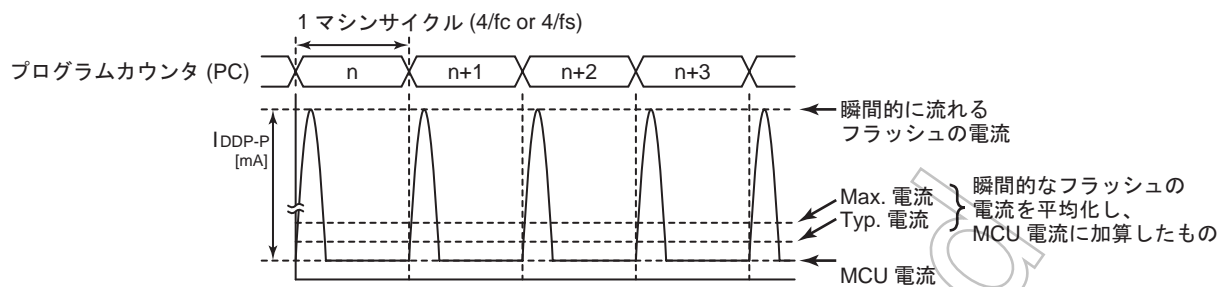


図 20-1 フラッシュメモリの間欠動作

Not Recommended for New Design

20.4 AD 変換特性

($V_{SS} = 0.0\text{ V}$, $4.5\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $T_{opr} = -40\sim 85^\circ\text{C}$)

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電源電圧	V_{AREF}		$A_{VDD} - 1.0$	-	A_{VDD}	V
アナログ制御回路電源電圧	A_{VDD}		V_{DD}			
	A_{VSS}		V_{SS}			
アナログ基準電源電圧範囲 (注 4)	ΔV_{AREF}		3.5	-	-	
アナログ入力電圧範囲	V_{AIN}		A_{VSS}	-	V_{AREF}	
アナログ基準電圧電源電流	I_{REF}	$V_{DD} = A_{VDD} = V_{AREF} = 5.5\text{ V}$ $V_{SS} = A_{VSS} = 0.0\text{ V}$	-	0.6	1.0	mA
非直線性誤差		$V_{DD} = A_{VDD} = 5.0\text{ V}$ $V_{SS} = A_{VSS} = 0.0\text{ V}$ $V_{AREF} = 5.0\text{ V}$	-	-	± 2	LSB
ゼロ誤差			-	-	± 2	
フルスケール誤差			-	-	± 2	
総合誤差			-	-	± 2	

($V_{SS} = 0.0\text{ V}$, $2.7\text{ V} \leq V_{DD} < 4.5\text{ V}$, $T_{opr} = -40\sim 85^\circ\text{C}$)

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電源電圧	V_{AREF}		$A_{VDD} - 1.0$	-	A_{VDD}	V
アナログ制御回路電源電圧	A_{VDD}		V_{DD}			
	A_{VSS}		V_{SS}			
アナログ基準電源電圧範囲 (注 4)	ΔV_{AREF}		2.5	-	-	
アナログ入力電圧範囲	V_{AIN}		V_{SS}	-	V_{AREF}	
アナログ基準電圧電源電流	I_{REF}	$V_{DD} = A_{VDD} = V_{AREF} = 4.5\text{ V}$ $V_{SS} = A_{VSS} = 0.0\text{ V}$	-	0.5	0.8	mA
非直線性誤差		$V_{DD} = A_{VDD} = 2.7\text{ V}$ $V_{SS} = A_{VSS} = 0.0\text{ V}$ $V_{AREF} = 2.7\text{ V}$	-	-	± 2	LSB
ゼロ誤差			-	-	± 2	
フルスケール誤差			-	-	± 2	
総合誤差			-	-	± 2	

- 注 1) 総合誤差は量子化誤差を除いたすべての誤差を含み、理想変換直線に対する最大の隔たりとして定義します。
- 注 2) 変換時間は電源電圧範囲によって推奨値が異なります。変換時間については、レジスタ構成を参照ください。
- 注 3) A_{IN} 入力端子への入力電圧は $V_{AREF} - V_{SS}$ 範囲内でご使用ください。範囲外の電圧が入力されると、変換値が不定となり、他のチャンネルの変換値にも影響を与えます。
- 注 4) アナログ基準電源電圧範囲: $\Delta V_{AREF} = V_{AREF} - A_{VSS}$
- 注 5) AD コンバータを使用しない場合、 A_{VDD} 端子は V_{DD} レベルに固定してください。
- 注 6) 電源電圧 V_{DD} が 3.0V 未満の場合、動作温度 (T_{opr}) は $-20 \sim 85^\circ\text{C}$ の範囲内で使用してください。

20.5 AC 特性

(V_{SS} = 0 V, V_{DD} = 4.0 ~ 5.5 V, Topr = -40 ~ 85°C)

項目	記号	条件	Min	Typ.	Max	単位
マシンサイクルタイム	tcy	NORMAL1, 2モード時	0.25	-	4	μs
		IDLE1, 2モード時				
		SLOW1, 2モード時	117.6	-	133.3	
		SLEEP1, 2モード時				
高レベルロックパルス幅	t _{WCH}	外部クロック動作 (XIN 入力)	-	31.25	-	ns
低レベルロックパルス幅	t _{WCL}	fc = 16 MHz 時				
高レベルロックパルス幅	t _{WSH}	外部クロック動作 (XTIN 入力)	-	15.26	-	μs
低レベルロックパルス幅	t _{WSL}	fs = 32.768 kHz 時				

(V_{SS} = 0 V, V_{DD} = 2.7~5.5 V, Topr = -40~85°C)

項目	記号	条件	Min	Typ.	Max	単位
マシンサイクルタイム	tcy	NORMAL1, 2モード時	0.5	-	4	μs
		IDLE1, 2モード時				
		SLOW1, 2モード時	117.6	-	133.3	
		SLEEP1, 2モード時				
高レベルロックパルス幅	t _{WCH}	外部クロック動作 (XIN 入力)	-	62.5	-	ns
低レベルロックパルス幅	t _{WCL}	fc = 8 MHz 時				
高レベルロックパルス幅	t _{WSH}	外部クロック動作 (XTIN 入力)	-	15.26	-	μs
低レベルロックパルス幅	t _{WSL}	fs = 32.768 kHz 時				

注 1) 電源電圧 VDD が 3.0V 未満の場合、動作温度 (Topr) は -20 ~ 85 °C の範囲内で使用してください。

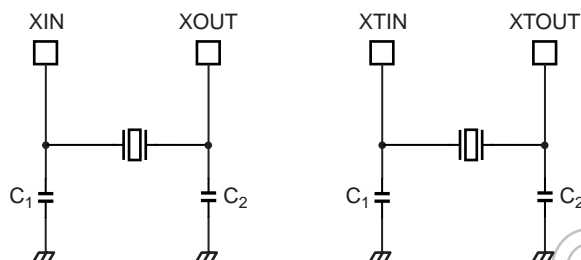
20.6 フラッシュ特性

20.6.1 書き込み特性

(V_{SS} = 0 V)

項目	条件	Min	Typ.	Max.	単位
フラッシュメモリ書き替え保証回数	V _{SS} = 0 V, Topr = -10 ~ 40°C	-	-	100	回

20.7 推奨発振条件



(1) 高周波発振

(2) 低周波発振

- 注 1) 発振の安定には、発振子の位置、負荷容量等を適切にする必要があります。これらは、基板パターンにより大きな影響を受けます。よって安定した発振を得るために、ご使用される基板での評価をされるようお願いいたします。
- 注 2) 弊社マイクロコントローラの発振子として、(株)村田製作所のセラミック発振子を推奨します。詳細につきましては、下記アドレスの弊社ホームページをご参照ください。
<http://www.murata.co.jp>

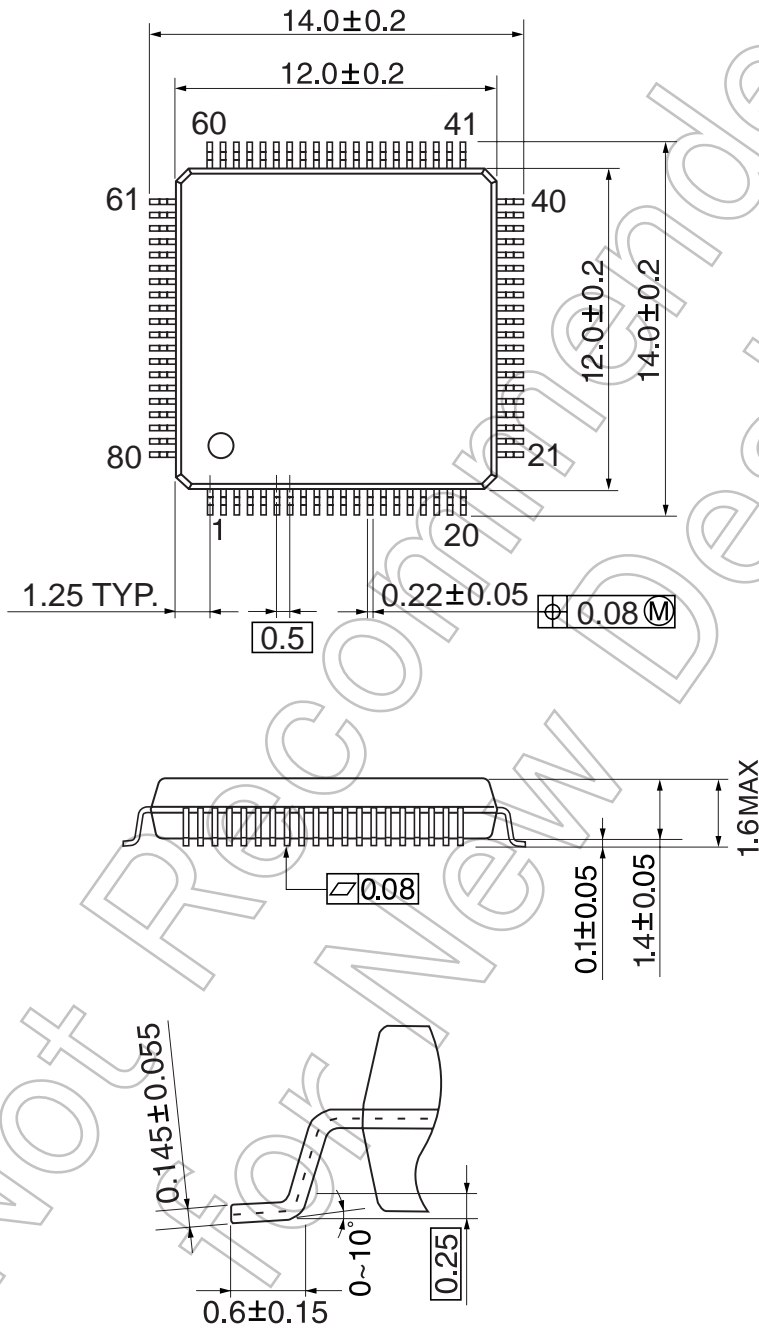
20.8 取り扱い上のご注意

- 鉛フリー品 (G 付製品) へのはんだ濡れ性についての注意事項
 - 試験項目
はんだ付け性
 - 試験条件
230°C 5 秒間 1 回 R タイプフラックス使用 (鉛はんだ使用時)
245°C 5 秒間 1 回 R タイプフラックス使用 (鉛フリーはんだ使用時)
 - 備考
フォーミングまではんだ付着率 95% を良品とする。
- ブラウン管などの高電界のかかる場所で使用する場合は、正常動作を保つためにパッケージを電氣的にシールドすることを推奨します。

第 21 章 外形寸法

LQFP80-P-1212-0.50E Rev 01

Unit: mm



Not Recommended
for New Design

あとがき

この資料は TMP86FS28DFG のハードウェア (LSI) を中心にした動作機能および電気的特性を説明した技術資料です。

当社ではソフトウェア開発をより効果的に行うため、多くの開発ツールおよび基本ソフトウェアを用意しております。

これらの開発ツールはマイコンハードウェア (LSI) の発展を見越した仕様になっており、長期に渡って使用することができます。またハードウェア/ソフトウェアともバージョンアップのためのアフターサービスも行っており安心してお使いいただけます。

また、昨今の CMOS LSI の製造技術の発展は目覚ましいものがありマイクロコンピュータシステム用 LSI も次々と改良が加えられております。本資料に掲載されている品種も時代とともに改良することがありますのでご使用に当たりましてはご確認の上ご採用いただきますようお願い申し上げます。

当社では優れた MOS 製造技術、特に実績のある CMOS 技術を生かし高速、高集積のパフォーマンスの高いマイクロコンピュータを開発してまいります。

また応用範囲の広がりとともに多様化しているパッケージへのご要望にも応えていく用意も行っております。

今後とも末永く東芝マイクロコンピュータをご利用いただきますようお願い申し上げます。

2007年7月23日

8ビットマイクロコントローラ

TMP86FS28DFG

発行年月日

2007年7月23日

発行

株式会社東芝セミコンダクター社

編集

東芝 LSI システムサポート株式会社
