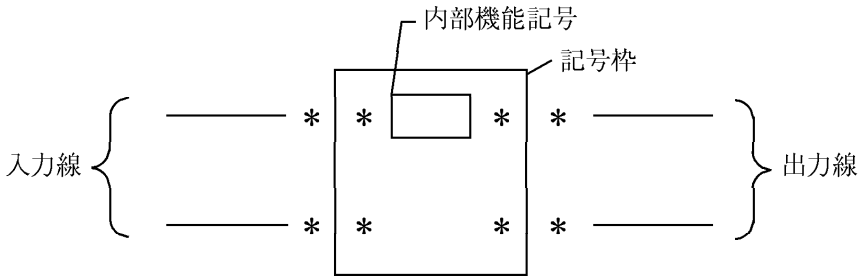
5.1 論理素子図記号の構成

論理素子図記号は、記号枠、機能記号、入出力線、および付加情報で構成されます。機能記号はその素子の動作機能を表す記号で、入力と出力との論理状態の関係を示す内部論理記号と、入力や出力の接続や論理状態を表す入出力機能記号、および内部の接続を表す内部記号があります。

また、この規格で規定されていない特定の入出力に関する情報や、素子の一般的な論理機能に関する情報を、付加情報として、記号枠の内部に [ ] でくくって示しても良いことになっています。



5.2 機能記号

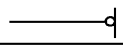
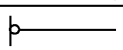
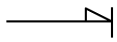
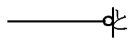
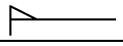
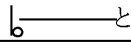
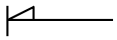
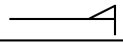
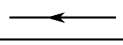
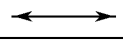
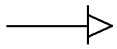
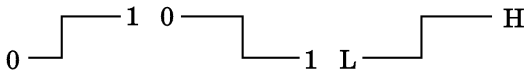
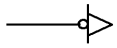
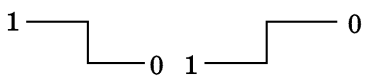
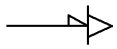
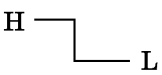
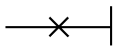
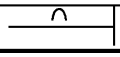
(1) 内部機能記号

内部機能記号は、その素子の基本的な機能を表す記号です。

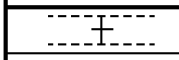
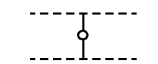
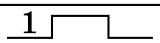
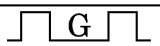
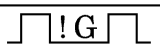
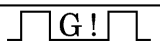
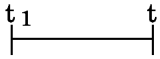
記　号	名　称　お　よ　び　機　能
&	ANDゲート
≥1	ORゲート
=1	Exclusive ORゲート
=	一致論理。入力のすべてが状態1のとき、あるいは状態0のとき出力は状態1となる。
2K	偶数パリティ素子。 状態1の入力が偶数個(0，2，4…)のときだけ状態1となる。
2K+1	奇数パリティ素子、モジュロ2加算素子。 状態1の入力が奇数個(1，3，5…)のときだけ出力は状態1となる。
1	バッファ。(増幅機能なし) 入力が状態1のときだけ、出力は状態1となる。
▷または◁	バッファ。出力を増幅する。 記号の方向が右向きの場合：▷ 信号の方向が左向きの場合：◁

(2) 入出力機能記号

入出力機能記号は、入力・出力・その他の接続に関する機能や特性の情報を与える記号です。

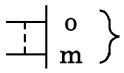
記　号	名　称　お　よ　び　機　能
	入力論理否定子。外部状態 0は内部状態 1となる。
	出力論理否定子。内部状態 1は外部状態 0となる。
	“L” レベル入力能動。正論理の  と等価
	“L” レベル出力能動。正論理の  と等価
	“L” レベル入力能動。(信号の方向が右から左の場合)
	“L” レベル出力能動。(信号の方向が右から左の場合)
	信号の流れる方向
	双方向の信号の流れ
	ダイナミック入力 正論理　負論理　極性表示  左のパルスの遷移のとき、 能動状態になる。
	ダイナミック入力 正論理　負論理  左のパルスの遷移のとき、 能動状態になる。
	ダイナミック入力 極性表示  左のパルスの遷移のとき、 能動状態になる。
	非論理接続端子 (例 : 電源電圧端子、CR端子など)
	アナログ信号入力

(3)　内部接続に関する記号

記　号	名　称　お　よ　び　機　能
	左側が状態1のとき、右側も状態1
	内部否定接続 左側が状態1のとき、右側は状態0
	内部ダイナミック入力 左側の状態0から状態1への遷移で右側は状態1になる。
	内部入力 (仮想入力)。 機能表記法による特記がない場合、入力は常に内部状態1 となる。
	内部出力 (仮想出力)。 内部入力に接続された場合の影響は機能表記法によって表示する。
	シュミットトリガ ヒステリシス特性をもつ。
	単安定素子 (リトリガ可能)
	単安定素子 (ワンショット)
	非安定素子
	スタート信号に同期する非安定素子
	終了信号により機能停止する非安定素子
SRGm	シフトレジスタ、m＝ビット数
CTRm	カウンタ、m＝ビット数、サイクル長＝2^m
CTRDIVm	カウンタ、サイクル長＝m
RCTRm	非同期式 (リップルキャリ) カウンタ、サイクル長＝2^m
X / Y	コーダ、コードコンバータ、DEC / BCD、BIN / OUT、BIN / 7−SEGなど。
MUX	マルチプレクサ / データセレクタ
DMUXまたはDX	デマルチプレクサ
Σ	加算器
P − Q	減算器
CPG	ルックアヘッド・キャリ・ジュネレータ
π	乗算器
COMP	マグニチュード・コンパレータ
ALU	算術演算回路 (Arithmetic Logic Unit)
ROM	リードオンリ・メモリ
RAM	ランダムアクセス・リード / ライト・メモリ
FIFO	ファーストイン・ファーストアウト・メモリ
I＝0	電源が投入されると出力は状態0にリセットされる。
I＝1	電源が投入されると出力は状態1にリセットされる。
	固定遅延素子 入力が状態0から1に遷移した後、t1時間遅れて出力の状態が同様に遷移する。 また、入力が状態1から状態0に遷移した後、t2時間遅れて出力の状態が同様に遷移する。

(4) 記号枠内部で用いられる機能記号

この記号は記号枠内部で使用し、入出力特性や機能を規定する機能記号です。

記　号	名　称　お　よ　び　機　能
	延期出力 出力信号は、入力信号が変化し、以前の外部状態または論理レベルに戻るまで変化しない。 (例：マスタスレーブ型プリップ・プロップ)
	シュミットトリガ入力
	オープンドレイン出力 外付けプルアップ抵抗が必要。
	オープンドレイン出力 外付けプルアップ抵抗内蔵。
	オープンソース出力 外付けプルダウン抵抗が必要。
	オープンソース出力 外付けプルダウン抵抗内蔵。
	3-ステイト出力
	バッファ出力 (記号の向きによって信号の流れを示す。)
	イネーブル入力
J, K	JKフリップ・フロップのJ入力、K入力
R, S	フリップ・フロップのR(リセット)入力、S(セット)入力
T	トリガ(トグル)フリップ・フロップのT(クロック)入力、入力の状態が1になるごとに、出力の状態が反転する。
D	Dフリップ・フロップの D(データ)入力 入力の状態がある時間記憶される。なお、この記号は従属関係表記を必要とする。
	右または左シフト入力 m＝1、2、3…。ただし、m＝1の場合は表記されない。
	カウントアップまたはカウントダウン入力 m＝1、2、3…。ただし、m＝1の場合は表記されない。
	2進複数入力の一括化記号 mは2の累乗の最大値
	CT(内容)出力 内部レジスタが“CT＝9”で示される値に一致したとき、出力は状態1となる。
	CT(内容)入力 入力の状態が1になると、内部レジスタが“CT＝9”で示される値のセットされる。
	複数の入力線を示す。
	固定状態入力、固定状態出力 常に状態が1である入力、出力を示す。

5.3 複合素子の機能表記

複合素子 (複雑な構成の素子) の機能表記には、従属関係表記法を用います。

従属関係表記は、複数の論理素子で構成される回路のすべての接続状態を実際に示すことなしに、入力間、出力間、または入出力間の相互関係を表記するもので、複合素子の中で使用されるものです。

この表記法では、他の入出力に影響を及ぼす側 (影響入出力) と、影響を及ぼされる側 (被影響入出力) の2つの側から規定されます。

(1) 従属関係表記法の概略

1) 影響入出力にその機能を表す従属記号 (1文字又は2文字) を付け、その後に識別番号を付けます。

2) ある影響入出力によって影響を受ける被影響入出力には、その影響入力の識別番号を付け、どの入出力が影響 – 被影響の関係にあるか、わかるようにします。

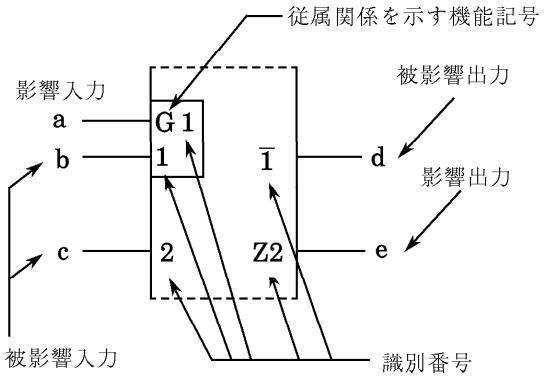
3) 影響入出力の内部論理状態の逆の論理が他の入出力に影響を及ぼす場合は、その被影響入出力の識別番号にオーバーラインを引きます。

4) 被影響入出力の機能を表記する必要がある場合、その影響入出力より与えられる識別番号の後ろに、機能を表す記号を表示します。

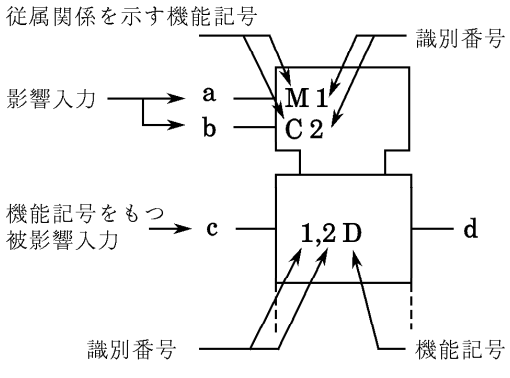
5) 2つの影響入力が同一の従属記号と識別記号を持っている場合、それらの入力は論理和(OR)の関係を持つことになります。

6) 被影響入出力の機能が数字で示されるとき (ex . コード変換器の出力) 影響入出力と被影響入出力の両者に付ける識別番号は、数字以外の文字 (ex . ギリシャ文字)に置換えます。

7) 1つの被影響入出力が複数の影響入力により影響を受ける場合は、影響入力の識別番号はその被影響入出力に、コンマで区切って表示します。このとき、識別番号は、影響を与える順に左から右へ付けられます。



表記例　1



表記例　2

(2) 従属関係を表す機能記号

従属関係を表す機能記号には次のようなものがあります。

従属関係機能記号一覧表

機　能　名	文字記号	入 力 状 態 1	入　力　状　態　0
AND	G	イネーブル	出力状態0
OR	V	出力状態1	イネーブル
否　定 (EX － OR)	N	逆相状態	影響なし
相 互 接 続	Z	出力状態1	出力状態0
コントロール	C	イネーブル	出力状態0
セ　ッ　ト	S	S=1,R=0	ディセイブル
リ セ ッ ト	R	S=0,R=1	影響なし
イ ネ ー ブ ル	EN	イネーブル	ディセイブル ◇出力はオフ状態 ▽出力はハイインピーダンス状態
モ　ー　ド	M	モードを選択	モードは選択されない
ア ド レ ス	A	アドレスを選択	アドレスは選択されない