

TOSHIBA

8 ビットマイクロコントローラ
TLCS-870/C シリーズ

TMP86FM29UG

TMP86FM29FG

株式会社 **東芝** セミコンダクター社

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などをご確認ください。021023_A
- 本資料に掲載されている製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。021023_B

● 本資料に掲載されている製品を、国内外の法令、規則及び命令により製造、使用、販売を禁止されている応用製品に使用することはできません。060106_Q

● 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。021023_C

● 本資料に掲載されている製品のうち外国為替および外国貿易法により、輸出または海外への提供が規制されているものがあります。021023_F

● 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。021023_D

● マイコン製品の信頼性予測については、「品質保証と信頼性 / 取り扱い上のご注意とお願い」の 1.3 項に記載されておりますのでかならずお読みください。030519_S

改訂履歴

日付	版	改訂理由
2004/3/1	1	First Release
2008/8/29	2	内容改訂

Not Recommended
for New Design

UART ノイズ除去時間設定における注意事項

本製品に搭載されている UART を使用する場合、転送クロック選択 (BRG) により、ノイズ除去時間設定 (RXDNC 設定) には以下の制約があります。"○"の箇所にて使用し、"- "の箇所は設定しないでください。

なお、転送クロックとしてタイマカウンタ割り込みを使用する場合、転送クロックはタイマカウンタソースクロック [Hz] \div TTREG 設定値で計算されます。

BRG 設定	転送クロック [Hz]	RXDNC 設定			
		00 (ノイズ除去なし)	01 (31/fc[s] 未満の パルス除去)	10 (63/fc[s] 未満の パルス除去)	11 (127/fc[s] 未満の パルス除去)
000	fc/13	○	○	○	-
110 (タイマカウンタ割り込みでの転送クロックが右記となる場合)	fc/8	○	-	-	-
	fc/16	○	○	-	-
	fc/32	○	○	○	-
上記以外		○	○	○	○

Not Recommended for New Designs

TMP86C829B/H29B/M29B/PM29A/PM29B/C929AXB と TMP86FM29 との違い 相違点

	TMP86C829B TMP86CH29B TMP86CM29B	TMP86PM29A TMP86PM29B	TMP86C929AXB (エミュレーションチップ) 注 3)	TMP86FM29
ROM	8 K (Mask ROM) 16 K (Mask ROM) 32 K (Mask ROM)	32 K (OTP)	-	32 K (フラッシュ)
RAM	512 1.5 K 1.5 K	1.5 K	-	2 K
I/O	42 端子		42 端子 (MCU 部)	42 端子
外部割り込み	5 本			5 本
AD コンバータ	10 ビット AD コンバータ × 8 ch			10 ビット AD コンバータ × 8 ch
タイマカウンタ	18 ビットタイマ × 1 ch 8 ビットタイマ × 4 ch			18 ビットタイマ × 1 ch 8 ビットタイマ × 4 ch
シリアル インタフェース	8 ビット UART / SIO × 1 ch			8 ビット UART / SIO × 1 ch
LCD	32 seg × 4 com			32 seg × 4 com 注 2)
キーオン ウェイクアップ	4 ch			4 ch
動作電圧 (MCU モード)	1.8~5.5 V @ 4.2 MHz 2.7~5.5 V @ 8 MHz 4.5~5.5 V @ 16 MHz		1.8~5.25 V @ 4.2 MHz 2.7~5.25 V @ 8 MHz 4.5~5.25 V @ 16 MHz	1.8~3.6 V @ 4.2 MHz (外部クロック時) 1.8~3.6 V @ 8 MHz (自己発振時) 2.7~3.6 V @ 16 MHz
動作温度 (MCU モード)	-40~85°C		0~60°C	-40~85°C
フラッシュ 書き込み条件	-		-	2.7~3.6 V @ 16 MHz 25°C ± 5°C
CPU ウェイト 注 1)	なし			あり

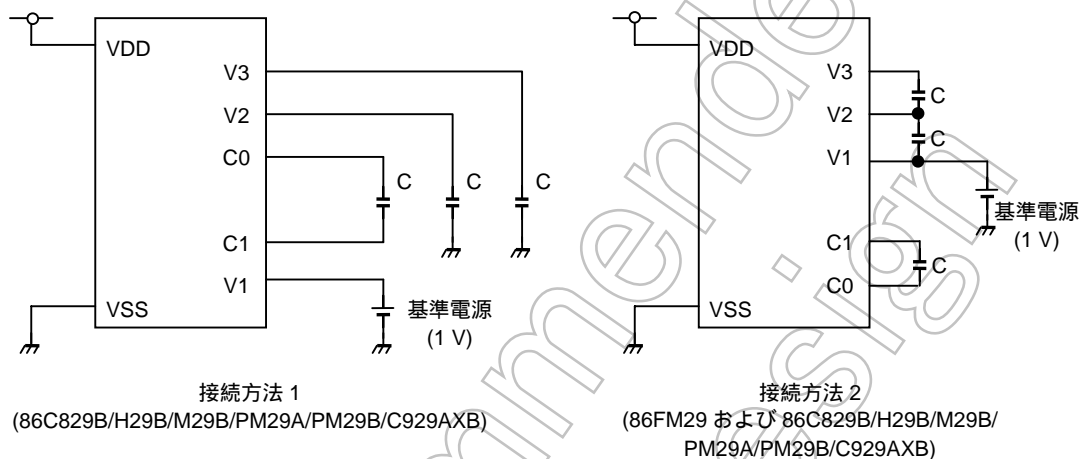
注 1) TMP86FM29 は、フラッシュメモリの電源安定化のため、下記の時間 CPU ウェイトがかかります (CPU が停止します)。なお、リセット解除時以外の CPU ウェイトの時は周辺機能は動作しますので、ウェイト中に割り込みが発生すると割り込みラッチがセットされ、IMF = “1” に設定されている場合はウェイト後に割り込み処理を開始することがありますので注意が必要です。詳細については TMP86FM29 の技術資料 2.14 「フラッシュメモリ」を参照してください。

このことから、86FM29 は同一のソフトウェアを使用しても 86C829B/H29B/M29B/PM29A/PM29B/C929AXB と同一の動作をしません。従って 86C829B/H29B/M29B のソフトウェア最終検証は 86FM29 (フラッシュ) ではなく、かならず 86PM29A/PM29B(OTP 製品)を使用してください。

状態	ウェイト時間	ウェイト時の動作	
		CPU	周辺機能
リセット解除時	2 ¹⁰ /f _c [s]	停止	停止
STOP モードから NORMAL モードへ復帰時 (EEPCCR<MNPWDW> = “1” 設定時)	2 ¹⁰ /f _c [s]	停止	動作
STOP モードから SLOW モードへ復帰時 (EEPCCR<MNPWDW> = “1” 設定時)	2 ³ /f _s [s]	停止	動作
IDLE0/1/2 モードから NORMAL モードへ復帰時 (EEPCCR<ATPWDW> = “0” 設定時)	2 ¹⁰ /f _c [s]	停止	動作
SLEEP0/1/2 モードから SLOW モードへ復帰時 (EEPCCR<ATPWDW> = “0” 設定時)	2 ³ /f _s [s]	停止	動作

注 2) 86FM29 は、絶対最大定格の変更により 5V 系 LCD パネルを駆動することができません。3V 系 LCD パネルをご使用ください。V3 端子の推奨動作電圧は 3.6V(最大)となります。詳細については、「電気的特性」を参照してください。

また、86FM29 で LCD の昇圧回路を使用するとき、昇圧電源とコンデンサの接続は、下図に示す「接続方法 2」を使用してください。「接続方法 1」は、86C829B/H29B/M29B/PM29A/PM29B のデータシートで推奨されていた方法ですが、86FM29 では「接続方法 1」は使用できません。86C829B/H29B/M29B/PM29A/PM29B/C929AXB は、「接続方法 1」で機能、動作的に問題ありませんが、「接続方法 2」の方が昇圧特性が向上しますので新規基板設計の際は「接続方法 2」で設計することを推奨します。



注 3) 86C929AXB はフラッシュ機能、CPU ウェイト、シリアル PROM モードはエミュレートできません。86C929AXB でフラッシュ制御を含んだソフトウェアを実行すると 86FM29 とは異なった動作をします。

CMOS 8 ビットマイクロコントローラ

TMP86FM29UG/FG

TMP86FM29 は TLCS-870/C シリーズコアに 3Tr NAND 型フラッシュ EEPROM (以下フラッシュと称す)、RAM、LCD ドライバ、多機能タイマカウンタ、シリアルインタフェース (UART/SIO)、10 ビット AD コンバータおよび 2 系統の発振回路などを内蔵した高速、高機能 8 ビットシングルチップマイクロコンピュータです。

製品形名	フラッシュメモリ	RAM	パッケージ	エミュレーションチップ
TMP86FM29UG	32768 × 8 ビット	1536 × 8 ビット	P-LQFP64-1010-0.50E	TMP86C929AXB
TMP86FM29FG			P-QFP64-1414-0.80C	

特長

8 ビットシングルチップマイクロコンピュータ
TLCS-870/C シリーズ

最小実行時間: 0.25 μ s (16 MHz 動作時)
122 μ s (32.768 kHz)

基本機械命令: 132 種類 731 命令

割り込み要因 19 要因 (外部: 5, 内部: 14)

入出力ポート (39 端子) (内 24 本は SEG 端子と兼用)

18 ビットタイマカウンタ: 1 チャンネル

- ・ 周波数測定, パルス幅測定, イベントカウンタ, タイマモード

8 ビットタイマカウンタ: 4 チャンネル

- ・ タイマ, イベントカウンタ
- ・ PWM (パルス幅変調出力)
- ・ PDO (Programmable Divider Output) モード
- ・ PPG モード

タイムベースタイマ

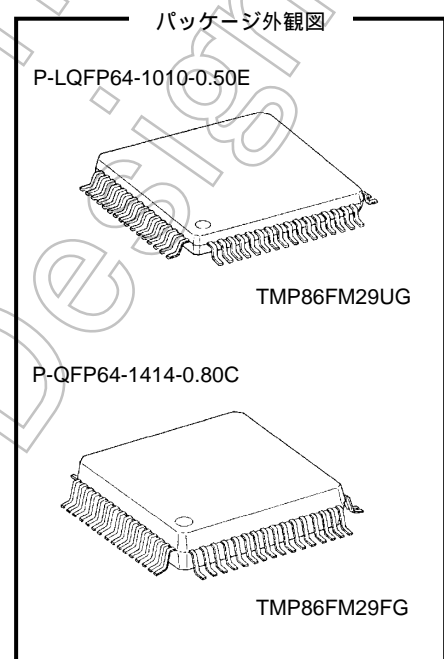
デバウンス出力機能

ウォッチドッグタイマ

- ・ 割り込み/リセット出力の選択 (プログラマブル)

シリアルインタフェース

- ・ 8 ビット UART/SIO: 1ch



030519TBP1

- ・ マイコン製品の信頼性予測については、「品質保証と信頼性 / 取り扱い上のご注意とお願い」の 1.3 項に記載されておりますので必ずお読みください。
- ・ 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
- ・ なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などをご確認ください。
- ・ 本資料に掲載されている製品は、一般的電子機器 (コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など) に使用されることを意図しています。特に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器 (原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など) にこれらの製品を使用すること (以下「特定用途」という) は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。
- ・ 本資料に掲載されている製品は、外国為替および外国貿易法により、輸出または海外への提供が規制されているものです。
- ・ 本資料に掲載されている技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- ・ 本資料に掲載されている製品を、国内外の法令、規則および命令により製造、販売を禁止されている応用製品に使用することはできません。
- ・ 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

10 ビット逐次比較方式 AD コンバータ

- アナログ入力: 8 チャンネル

キーオンウェイクアップ: 4 チャンネル

LCD ドライバ/コントローラ

- LCD 直接駆動可能 (32~8 セグメント×4 コモン)
- 1/4, 1/3, 1/2 デューティ, スタティック駆動の選択
- LCD 電源電圧用昇圧回路内蔵

クロック発振回路: 2 回路

- シングル/デュアルクロックモードの選択

低消費電力動作 (9 モード)

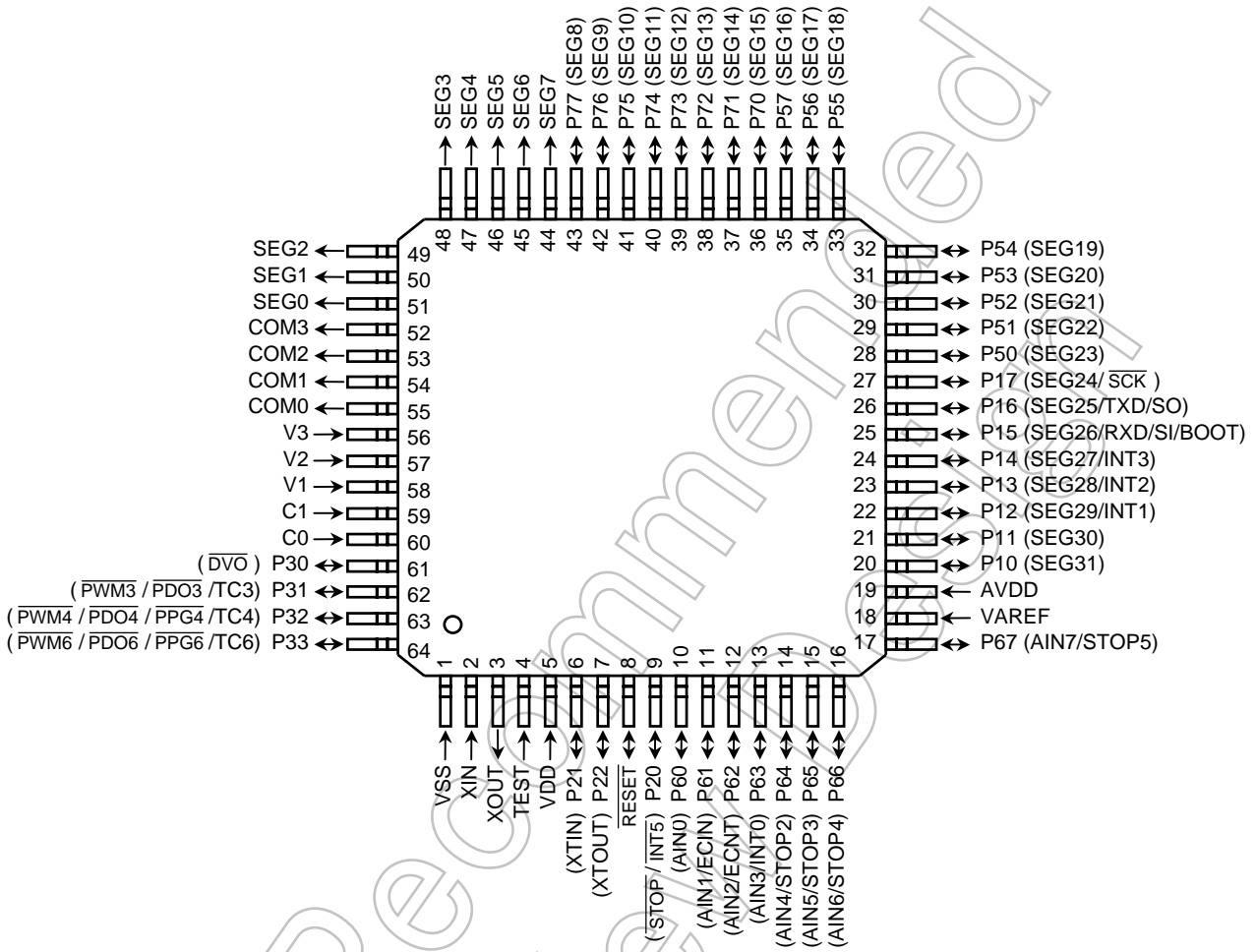
- STOP モード : 発振停止 (バッテリーコンデンサバックアップ)
- SLOW1 モード : 低周波クロックによる低周波動作 (高周波停止)
- SLOW2 モード : 低周波クロックによる低周波動作 (高周波発振)
- IDLE0 モード : CPU 停止。周辺ハードウェアのうち、TBT のみ動作 (高周波クロック) 継続し、TBT 設定の基準時間経過により解除。
- IDLE1 モード : CPU 停止。周辺ハードウェアのみ動作 (高周波クロック) 継続し、割り込みで解除 (CPU 再起動)
- IDLE2 モード : CPU 停止。周辺ハードウェアのみ動作 (高周波/低周波クロック) 継続し、割り込みで解除
- SLEEP0 モード : CPU 停止。周辺ハードウェアのうち、TBT のみ動作 (低周波クロック) 継続し、TBT 設定の基準時間経過により解除。
- SLEEP1 モード : CPU 停止。周辺ハードウェアのみ動作 (低周波クロック) 継続し、割り込みで解除。
- SLEEP2 モード : CPU 停止。周辺ハードウェアのみ動作 (高周波/低周波クロック) 継続し、割り込みで解除。

動作電圧: 1.8~3.6 V @ 8 MHz/32.768 kHz

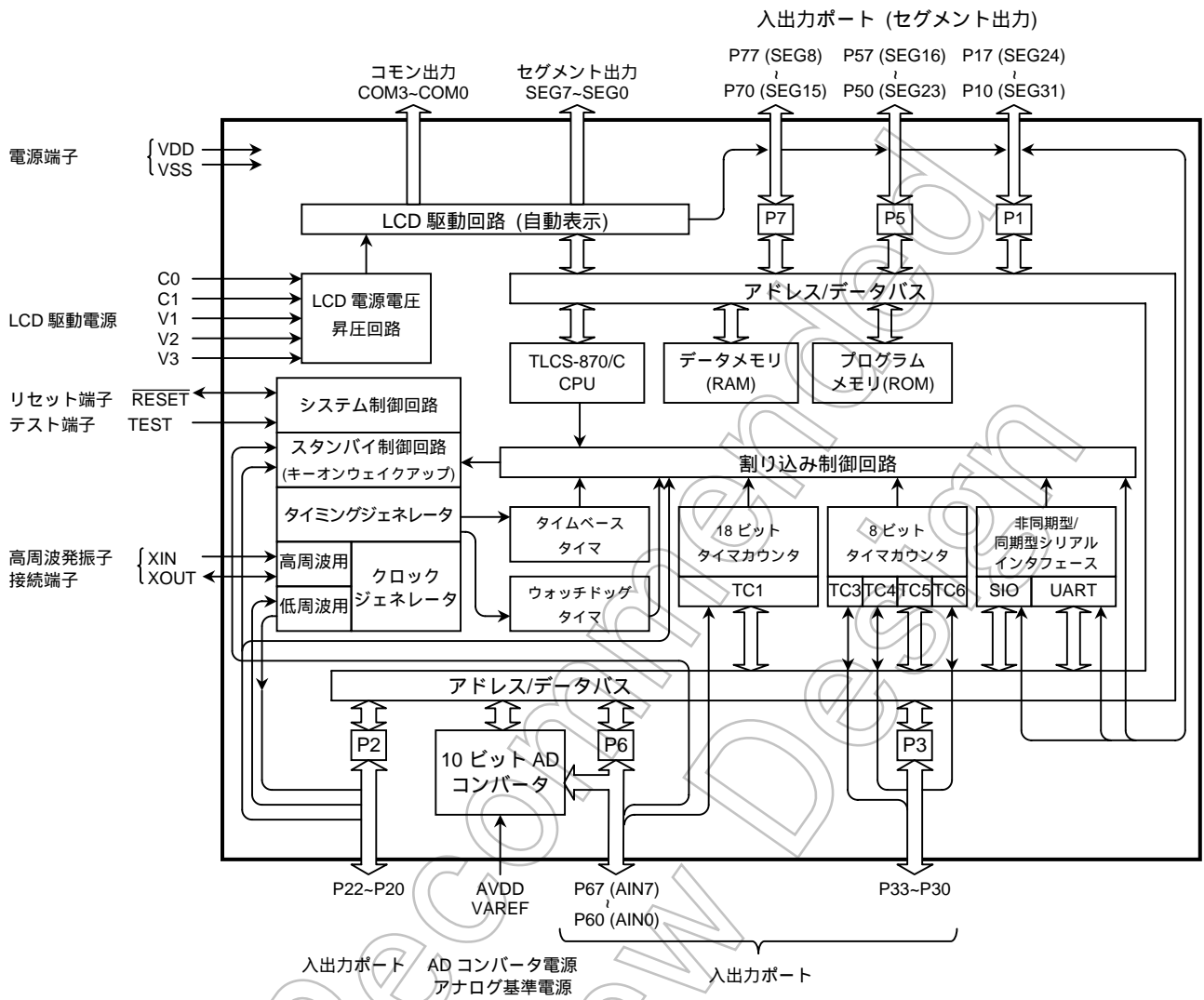
2.7~3.6 V @ 16 MHz/32.768 kHz

ピン配置図 (上面図)

P-LQFP64-1010-0.50E
 P-QFP64-1414-0.80C



ブロック図



Not for New

端子機能

端子名	入出力	機能	
P17 (SEG24, SCK)	入出力 (入出力)	8ビットの入出力ポート。入力ポート、外部割り込み入力、シリアルインタフェース入出力または UART 入出力として使用する場合は、出力ラッチを“1”にした後、セグメント出力制御 (P1LCR) を“0”にセットします。セグメント出力として使用する場合は、P1LCR を“1”にセットします。	シリアルクロック入出力
P16 (SEG25, TxD, SO)	入出力 (出力)		UART 送信出力 シリアルデータ出力
P15 (SEG26, RxD, SI BOOT)	入出力 (入出力)		UART 受信入力 シリアルデータ入力 シリアル PROM モード制御入力
P14 (SEG27, INT3)	入出力 (入出力)		外部割り込み 3 入力
P13 (SEG28, INT2)	入出力 (入出力)		外部割り込み 2 入力
P12 (SEG29, INT1)	入出力 (入出力)		外部割り込み 1 入力
P11 (SEG30)	入出力 (出力)		
P10 (SEG31)	入出力 (出力)		
P22 (XTOUT)	入出力 (出力)	3ビットの入出力ポート。入力ポート、機能端子として使用する場合は、出力ラッチを“1”にセットします。	低周波発振子接続端子 (32.768 kHz)。 外部クロック入力の場合、XTIN へ入力し XTOUT は解放します
P21 (XTIN)	入出力 (入力)		
P20 (INT5, STOP)	入出力 (入力)		外部割り込み 5 入力/STOP モード解除入力
P33 (PWM6, PDO6 PPG6, TC6)	入出力 (入出力)	4ビット入出力ポート (Nch 大電流)。タイマカウンタ出力、デバイダ出力として使用する場合は、出力ラッチを“1”にセットします。入力ポート、タイマカウンタ入力として使用する場合は、出力ラッチを“1”にした後、P3OUTCR を“0”にセットします。	タイマカウンタ 6 入出力
P32 (PWM4, PDO4 PPG4, TC4)	入出力 (入出力)		タイマカウンタ 4 入出力
P31 (PWM3, PDO3, TC3)	入出力 (入出力)		タイマカウンタ 3 入出力
P30 (DV0)	入出力 (出力)		デバイダ出力
P57 (SEG16)~ P50 (SEG23)	入出力 (出力)	8ビットの入出力ポート。セグメント出力として使用する場合は、P5 ポート制御レジスタ (P5LCR) を“1”にセットします。	LCD セグメント出力
P67 (AIN7, STOP5)	入出力 (入力)	8ビットプログラマブル入出力ポート (トライステート)。1ビット単位で入力/出力の指定ができます。アナログ入力として使用する場合は、出力ラッチを“0”にした後、入力モードにします。ポート入力、外部割り込み入力、タイマカウンタ入力またはキーオンウェイクアップ入力として使用する場合は、出力ラッチを“1”にした後、入力モードにします。	STOP5 入力
P66 (AIN6, STOP4)	入出力 (入力)		STOP4 入力
P65 (AIN5, STOP3)	入出力 (入力)		STOP3 入力
P64 (AIN4, STOP2)	入出力 (入力)		STOP2 入力
P63 (AIN3, INT0)	入出力 (入力)		外部割り込み 0 入力
P62 (AIN2, ECNT)	入出力 (入力)		タイマカウンタ 1 入力
P61 (AIN1, ECIN)	入出力 (入力)		
P60 (AIN0)	入出力 (入力)		
P77 (SEG8)~ P70 (SEG15)	入出力 (出力)	8ビットの入出力ポート。セグメント出力として使用する場合は、P7 ポート制御レジスタ (P7LCR) を“1”にセットします。	LCD セグメント出力
SEG7~SEG0	出力	LCD セグメント出力	
COM3~COM0		LCD コモン出力	
V3~V1 C1~C0	LCD 駆動用 昇圧端子	LCD ドライバ昇圧用コンデンサ接続端子 (昇圧回路不使用時は、分割抵抗を接続)	
XIN, XOUT	入力、出力	高周波発振子接続端子。 外部クロック入力の場合、XIN へ入力し、XOUT は開放してください	
RESET	入出力	リセット信号入力、ウォッチドックタイマ出力/アドレストラップリセット出力/システムクロックリセット出力	
TEST	入力	出荷試験用端子およびシリアル PROM モード制御入力端子。通常“L”レベルに固定してください。シリアル PROM モードを起動する場合は、“1”に設定してください。	
VDD, VSS	電源	+5 V, 0 (GND)	
VAREF		AD 変換用アナログ基準端子。	
AVDD		AD 変換回路専用電源	

動作説明

1. CPU コア機能

CPU コアは、CPU、システムクロック制御回路、割り込み制御回路およびウォッチドッグタイマから構成されています。

本章では、CPU コア、プログラムメモリ、データメモリ、およびリセット回路について説明します。

1.1 メモリアドレスマップ

TMP86FM29 のメモリは、フラッシュ、BOOT、RAM、SFR (スペシャルファンクションレジスタ)、DBR (データバッファレジスタ) の 5 つのブロックで構成され、それらは 1 つの 64 K バイトアドレス空間上にマッピングされています。図 1.1.1 に TMP86FM29 のメモリアドレスマップを示します。

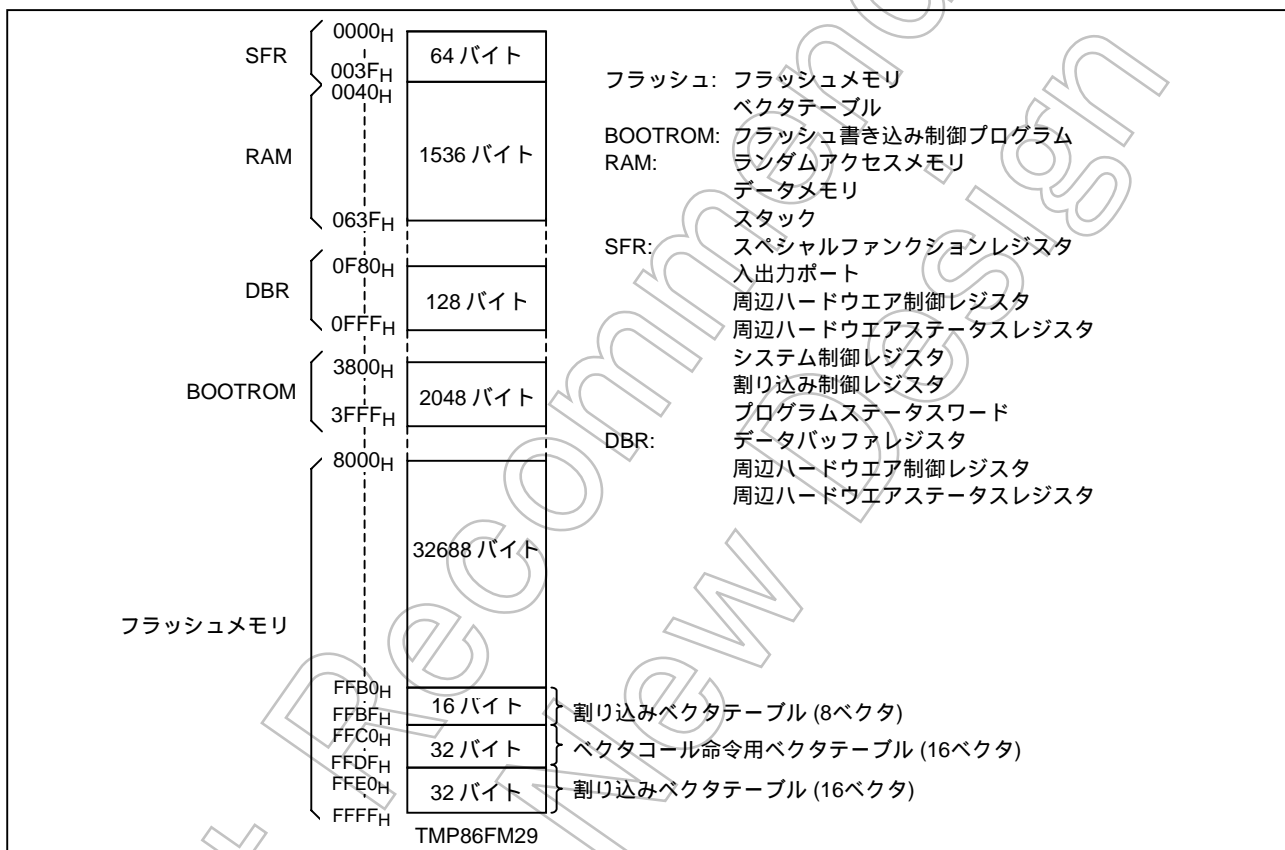


図1.1.1 メモリアドレスマップ

1.2 プログラムメモリ (フラッシュ)

TMP86FM29 は 32 K バイト (アドレス 8000H~FFFFH) のフラッシュメモリを内蔵しています。

1.3 データメモリ (RAM)

TMP86FM29 は、1.5 K バイト (アドレス 0040~063FH) の RAM を内蔵しています。内蔵 RAM の領域中、アドレス (0040H~00FFH) はダイレクト領域となっており、この領域に対しては実行時間を短縮した命令による処理が可能です

データメモリの内容は、電源投入時不定になりますので、イニシャライズルーチンで初期設定を行ってください。

例: 内蔵 RAM の全領域を "00H" にクリア

	LD	HL, 0040H	;	スタートアドレスの設定
	LD	A, H	;	初期化データ (00H) の設定
	LD	BC, 05FFH	;	バイト数 (-1) の設定
SRAMCLR:	LD	(HL), A		
	INC	HL		
	DEC	BC		
	JRS	F, SRAMCLR		

Not Recommended
for New Design

1.4 システムクロック制御回路

システムクロック制御回路は、クロックジェネレータ、タイミングジェネレータおよびスタンバイ制御回路から構成されています。

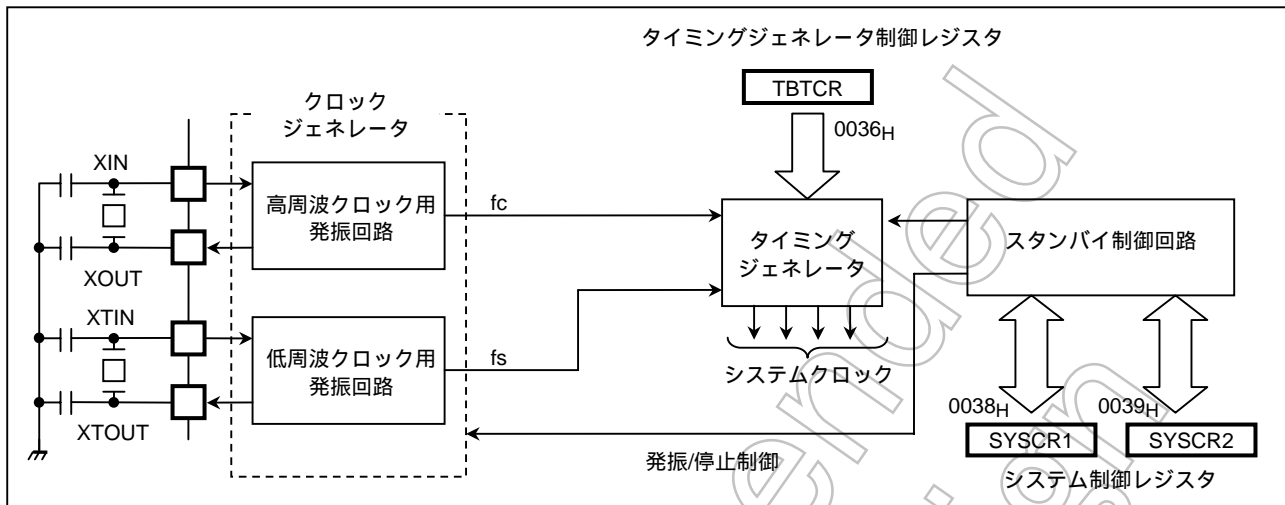


図1.4.1 システムクロック制御回路

1.4.1 クロックジェネレータ

クロックジェネレータは、CPU コアおよび周辺ハードウェアに供給されるシステムクロックの基準となる基本クロックを発生する回路です。高周波クロック用と低周波クロック用の2つの発振回路を内蔵しており、スタンバイ制御回路で低周波クロックによる低速動作に切り替えて消費電力の低減を図ることもできます。

高周波クロック（周波数 f_c ）、低周波クロック（周波数 f_s ）は、それぞれ XIN, XOUT 端子, XTIN, XTOUT 端子に発振子を接続することにより容易に得られます。また、外部発振器からのクロックを入力することもできます。この場合、XIN, XTIN 端子からクロックを入力し、XOUT, XTOUT 端子は開放しておきます。

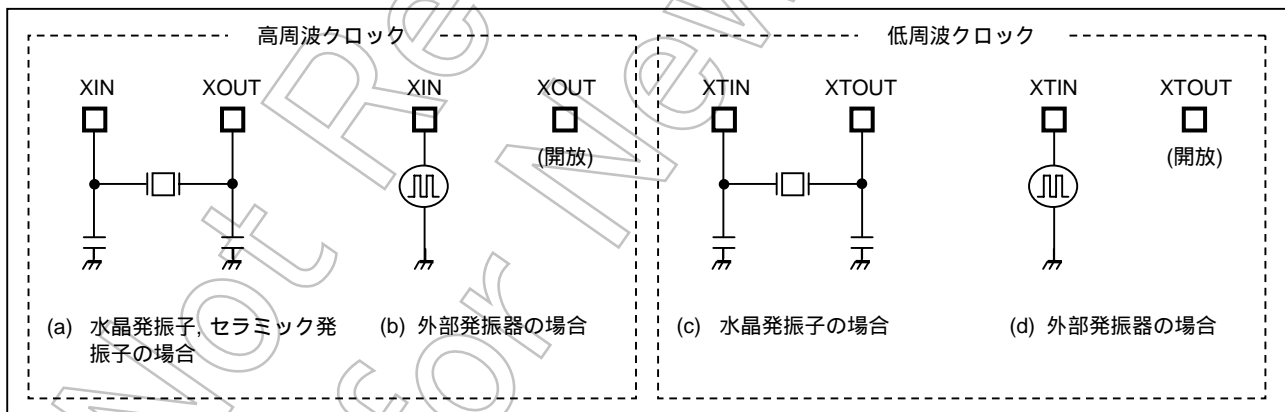


図1.4.2 発振子の接続例

注) 基本クロックを外部的に直接モニタする機能はハードウェア的には用意されていませんが、割り込み禁止状態、ウォッチドッグタイマのディセーブル状態でプログラムによってポートに一定周波数のパルス（例えばクロック出力）を出力させ、これをモニタすることにより調節を行うことができます。発振周波数の調整が必要なシステムでは、あらかじめ調整用プログラムを作成しておく必要があります。

1.4.2 タイミングジェネレータ

タイミングジェネレータは、基本クロック (fc または fs) から CPU コアおよび周辺ハードウェアに供給する各種システムクロックを発生する回路です。タイミングジェネレータの機能は、次のとおりです。

- a. メインシステムクロックの生成
- b. デバイダ出力 (DV0) パルス生成
- c. タイムベースタイマのソースクロック生成
- d. ウォッチドッグタイマのソースクロック生成
- e. タイマカウンタなどの内部ソースクロック生成
- f. STOP モード解除時のウォームアップクロック生成

(1) タイミングジェネレータの構成

タイミングジェネレータは、2 段のプリスケアラ、21 段のデバイダ、メインシステムクロック切り替え回路およびマシンサイクルカウンタから構成されています。

デバイダの 7 段目への入力クロックは動作モード、TBTCR<DV7CK> により図 1.4.4 のようになります。なお、リセット時および STOP モード起動/解除時プリスケアラおよびデバイダは“0”にクリアされます。

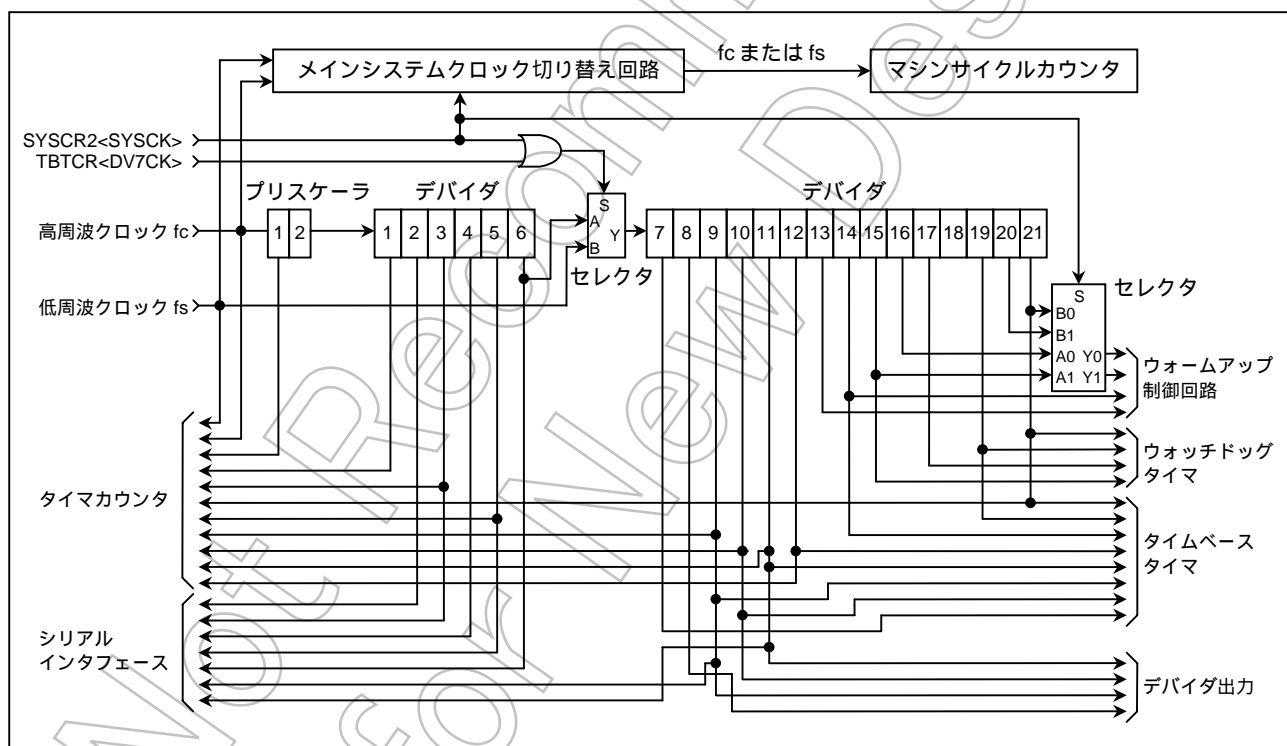


図1.4.3 タイミングジェネレータの構成

TBTCR (0036H)	7	6	5	4	3	2	1	0	(初期値: 0000 0000)
	(DVOEN)	(DVQCK)	DV7CK	(TBTEN)		(TBTCK)			
DV7CK	デバイダの7段目への 入力クロックの選択		0: $fc/2^8$ [Hz] 1: fs		R/W				

注1) シングルクロックモード時は、DV7CKを“1”セットしないでください。
 注2) 低周波クロックの発振安定前にDV7CKを“1”にセットしないでください。
 注3) fc : 高周波クロック [Hz]、 fs : 低周波クロック [Hz]、*: Don't care
 注4) SLOW1/2, SLEEP1/2 モード時は、DV7CKの設定にかかわらず、デバイダ7段目には fs が入力されます。
 注5) NORMAL1/2 モードからSTOPモードを起動した場合、STOPモード解除後のウォームアップ中はDV7CKの設定にかかわらず、デバイダ7段目にはデバイダ6段目の出力が入力されます。

図1.4.4 タイミングジェネレータ制御レジスタ

(2) マシンサイクル

命令の実行および内蔵ハードウェアの動作は、システムクロックに同期して行われます。

命令実行の最小単位を、『マシンサイクル』と呼びます。TLC8-870/Cシリーズの命令には、1マシンサイクルで実行される1サイクル命令から最長10マシンサイクルを要する10サイクル命令までの10種類があります。

マシンサイクルは、4ステート(S0~S3)で構成され、各ステートは1メインシステムクロックで構成されます。

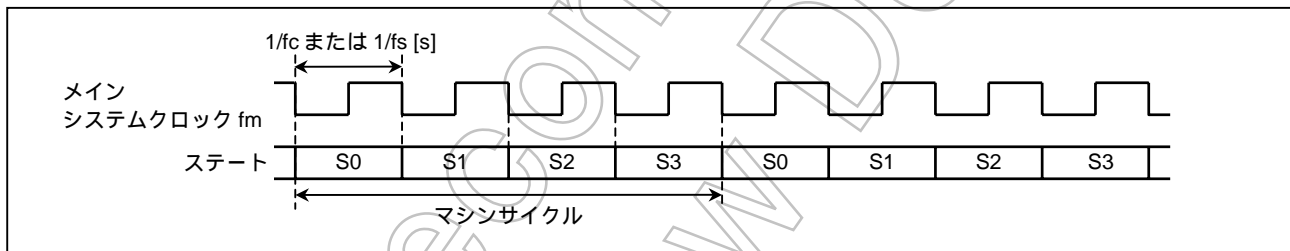


図1.4.5 マシンサイクル

1.4.3 動作モード制御回路

動作モード制御回路は、高周波クロック用、低周波クロック用の各発振回路の発振/停止およびメインシステムクロックの切り替えを行います。動作モードは、シングルクロックモードとデュアルクロックモードに大別され、各動作モードの制御はシステム制御レジスタ (SYSCR1, SYSCR2) で行います。

図 1.4.6に動作モード遷移図を、図 1.4.7に制御レジスタを示します。

(1) シングルクロックモード

高周波クロック用発振回路のみ使用し、P21 (XTIN), P22 (XTOUT) は、通常の入出力ポートとなります。メインシステムクロックは、高周波クロックから生成されますので、シングルクロックモードにおけるマシンサイクルタイムは $4/f_c$ [s] となります。

a. NORMAL1 モード

CPU コアおよび周辺ハードウェアを高周波クロックで動作させるモードです。リセット解除後は、NORMAL1 モードになります。

b. IDLE1 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウェアを高周波クロックで動作させるモードです。IDLE1 モードの起動は、システム制御レジスタ 2 (SYSCR2) の IDLE を “1” にセットすることで行います。周辺ハードウェアからの割り込みまたは外部割り込みにより解除され、NORMAL1 モードに復帰します。IMF (割り込みマスタ許可フラグ) が “1” (割り込み許可状態) のときは、割り込み処理が行われたあと、通常の動作に戻ります。IMF が “0” (割り込み禁止状態) のときは、IDLE1 モードを起動した命令の次の命令から実行再開します。

c. IDLE0 モード

発振回路と TBT を除き、コアおよび周辺回路を停止させるモードです。NORMAL1 モード時にシステム制御レジスタ SYSCR2 の TGHALT ビットに “1” をセットすることにより起動します。IDLE0 モードを起動すると、CPU が停止しタイミングジェネレータは TBT 以外の周辺回路へのクロック供給を停止します。その後、TBTCR<TBTCK>によって設定されたソースクロックの立ち上がりエッジを検出するとタイミングジェネレータは全周辺回路へのクロック供給を開始します。

IDLE0 モードを解除すると、CPU は動作を再開し、NORMAL1 モードに復帰します。

なお、IDLE0 モードは、TBTCR<TBTEN>の設定に関係なく起動/復帰し IMF = “1”, EF₆ (TBT の割り込み個別許可フラグ) = “1”, TBTCR<TBTEN> = “1” のときは割り込み処理が行われます。

TBTCR<TBTEN> = “1” の状態で IDLE0 モードを起動すると、NORMAL1 モードに復帰後、INTTBT 割り込みラッチがセットされます。

(2) デュアルクロックモード

高周波、低周波用の 2 つの発振回路を使用する動作モードで、P21 (XTIN), P22 (XTOUT) は入出力ポートとして使用することはできません。メインシステムクロックは、NORMAL2, IDLE2 モード時、高周波クロックから生成され、SLOW1, 2, SLEEP1, 2 モード時、低周波クロックから生成されています。従って、マシンサイクルタイムは、NORMAL2, IDLE2 モード時 $4/f_c$ [s], SLOW, SLEEP モード時 $4/f_s$ [s] ($122 \mu\text{s} @ f_s = 32.768 \text{ kHz}$) となります。

TLCS-870/C シリーズは、リセット中シングルクロックモードとなります。デュアルクロックモードで使用する場合は、プログラムの先頭で低周波クロックを発振させてください。

a. NORMAL2 モード

CPU コアを高周波クロックで動作させるモードで、周辺ハードウェアは高周波/低周波の両クロックで動作します。

b. SLOW2 モード

高周波クロックの発振を動作させながら、CPU コアを低周波クロックで動作させるモードです。NORMAL2 から SLOW2 への切り替え、SLOW2 から NORMAL2 への切り替えは、システム制御レジスタ 2 (SYSCR) の SYSCK ビットで行います。SLOW2 モード時、XTEN を “0” にクリアしないでください。

c. SLOW1 モード

高周波クロックの発振を停止させ、CPU コア、周辺ハードウェアを低周波クロックで動作させるモードで消費電力を低減できます。

SLOW1 モードと SLOW2 モードの間の変換はシステム制御レジスタ 2 (SYSCR2) の XEN ビットで行います。SLOW1、SLEEP1 モード時、デバイダの初段から 6 段目までの出力は停止します。

d. IDLE2 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウェアを高周波/低周波の両クロックで動作させるモードです。IDLE2 モードの起動/解除方法は、IDLE1 モードと同じです。解除後、NORMAL2 モードに戻ります。

e. SLEEP1 モード

CPU およびウォッチドッグタイマを停止し、周辺ハードウェアを低周波クロックで動作させるモードです。SLEEP1 モードの起動/解除方法は、IDLE1 モードと同じです。解除後、SLOW1 モードに戻ります。なお、高周波クロックは発振していません。SLOW1、SLEEP1 時、デバイダの初段から 6 段目までの出力は停止します。

f. SLEEP2 モード

SLOW2 モードに対応する IDLE モードです。高周波クロックが動作することを除き、SLEEP1 モードと同一の状態です。

g. SLEEP0 モード

発振回路と TBT を除き、コアおよび周辺回路を停止させるモードです。SLOW1 モード時にシステム制御レジスタ SYSCR2 の TGHALT ビットに “1” をセットすることにより起動します。SLEEP0 モードを起動すると、CPU が停止しタイミングジェネレータは TBT 以外へのクロック供給を停止します。その後、TBTCR<TBTCCK>によって設定されたソースクロックの立ち下がりエッジを検出すると、タイミングジェネレータは全周辺回路へのクロック供給を開始します。

SLEEP0 モードを解除すると、CPU は動作を再開し、SLOW1 モードに復帰します。

なお、SLEEP0 モードは、TBTCR<TBTEN>の設定に関係なく起動/復帰し、IMF = “1”、EF₆ (TBT の割り込み許可フラグ) = “1”、TBTCR<TBTEN> = “1” のときは割り込み処理が行われます。

TBTCR<TBTEN> = “1” の状態で SLEEP0 モードを起動すると、SLOW1 モードに復帰後、INTTBT 割り込みラッチがセットされます。

(3) STOP モード

シングルクロックモード、デュアルクロックモードを問わず、発振回路を含めシステムの動作をすべて停止し、停止直前の内部状態を低消費電力で保持するモードです。

STOP モードの起動は、システム制御レジスタ 1 で行います。解除は、 $\overline{\text{STOP}}$ 端子入力 (レベル/エッジの選択可能) で行い、ウォームアップ時間経過後、STOP モード起動時のモードに戻り、STOP モードを起動した命令の次の命令から実行再開します。

注 1) EEPCR<ATPWDW>が“0”のときに IDLE0/1/2, SLEEP0/1/2 モードを起動すると、これらのモードを解除した後にフラッシュ制御回路の電源が安定するまでの期間、CPU ウェイトが行われます。

注 2) EEPCR<MNPWDW>が“1”のときに STOP モードを起動すると、STOP モードの解除後、STOP のウォームアップに続きフラッシュ制御回路の電源が安定するまでの期間 CPU ウェイトが行われます。

Not Recommended
for New Design

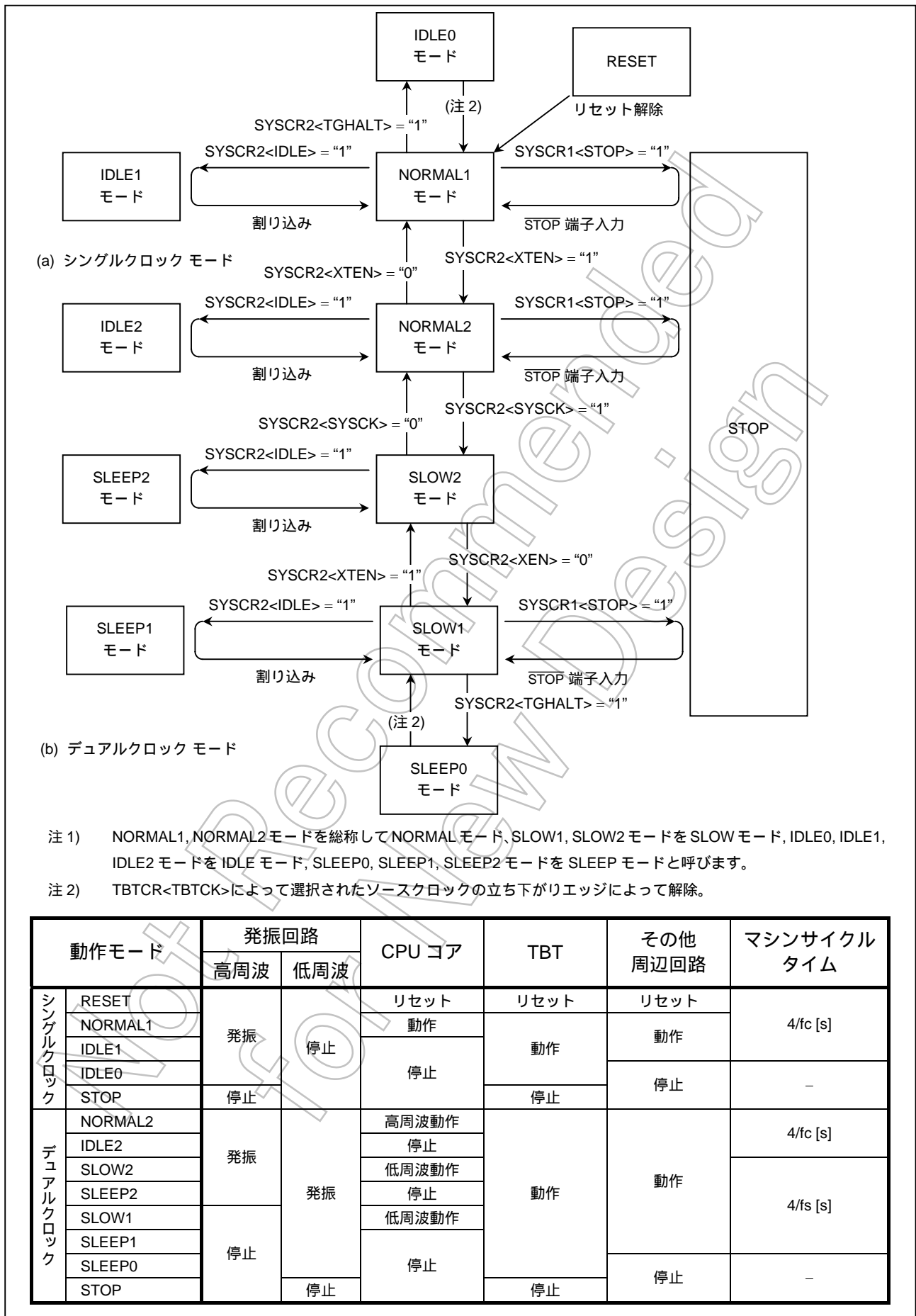


図1.4.6 動作モード状態遷移図

システム制御レジスタ 1		SYSCR1								(初期値: 0000 00**)	
		7	6	5	4	3	2	1	0		
(0038H)		STOP	RELM	RETM	OUTEN	WUT					
STOP	STOP モードの起動	0: CPU コア, 周辺ハードウェア 動作 1: CPU コア, 周辺ハードウェア 停止 (STOP モード起動)		R/W							
RELM	STOP 端子の解除方法の選択	0: $\overline{\text{STOP}}$ 端子入力の立ち上がりエッジで解除 1: $\overline{\text{STOP}}$ 端子入力の "H" レベルで解除									
RETM	STOP モード解除後の動作モードの選択	0: NORMAL1/2 モードへ戻る 1: SLOW1 モードへ戻る									
OUTEN	STOP モード時のポート出力状態の選択	0: ハイインピーダンス 1: 出力保持									
WUT	STOP モード解除時のウォームアップ時間 単位: [s] (注 8)										
		00	$3 \times 2^{16}/fc + (2^{10}/fc)$		$3 \times 2^{13}/fs + (2^3/fs)$						
		01	$2^{16}/fc + (2^{10}/fc)$		$2^{13}/fs + (2^3/fs)$						
		10	$3 \times 2^{14}/fc + (2^{10}/fc)$		$3 \times 2^6/fs + (2^3/fs)$						
		11	$2^{14}/fc + (2^{10}/fc)$		$2^6/fs + (2^3/fs)$						
<p>注 1) NORMAL モードから STOP モードを起動する場合、RETM は "0" に設定してください。SLOW モードから STOP モードを起動する場合、RETM は "1" に設定してください。</p> <p>注 2) STOP モードを RESET 端子入力で解除した場合は、RETM の値にかかわらず NORMAL1 モードに戻ります。</p> <p>注 3) fc: 高周波クロック [Hz]、fs: 低周波クロック [Hz]、*: Don't care</p> <p>注 4) SYSCR1 のビット 1, 0 は、リードすると不定値が読み出されます。</p> <p>注 5) OUTEN = "0" のときに STOP モードを起動すると、ポートの内部入力は "0" に固定されますので、外部割り込み端子の状態によっては立ち下がりエッジの割り込みがセットされる恐れがあります。</p> <p>注 6) キーオンウェイクアップ入力を使用する場合は、RELM を "1" に設定してください。</p> <p>注 7) P20 端子は $\overline{\text{STOP}}$ 端子と兼用のため、STOP モードを起動すると OUTEN の状態にかかわらず、出力は High-Z 状態となります。</p> <p>注 8) EEPCCR<MNPWDW>が "1" のときに STOP モードを起動すると、STOP モードの解除後、STOP のウォームアップに続きフラッシュ制御回路の電源が安定するまでの期間 CPU ウェイトが行われます。(CPU ウェイト時間を括弧内に示します)</p>											
システム制御レジスタ 2		SYSCR2								(初期値: 1000 *0**)	
		7	6	5	4	3	2	1	0		
(0039H)		XEN	XTEN	SYSCK	IDLE	TGHALT					
XEN	高周波発振器の制御	0: 発振停止 1: 発振継続 または 発振開始		R/W							
XTEN	低周波発振器の制御	0: 発振停止 1: 発振継続 または 発振開始									
SYSCK	システムクロックの選択 (Write)/モニタ (Read)	0: 高周波クロック (NORMAL1/NORMAL2/IDLE1/IDLE2) 1: 低周波クロック (SLOW/ SLEEP)									
IDLE	CPU, WDT 制御 (IDLE1/2, SLEEP1/2 モード)	0: CPU, WDT 動作 1: CPU, WDT 停止 (IDLE1/2, SLEEP1/2 モード起動)									
TGHALT	TG 制御 (IDLE0, SLEEP0 モード)	0: TG から全周辺回路へのクロック供給動作 1: TG から TBT を除く周辺回路へのクロック供給停止 (IDLE0, SLEEP0 モード起動)									
<p>注 1) XEN, XTEN をともに "0" にクリアした場合、SYSCK = "0" で XEN を "0" にクリアした場合、および SYSCK = "1" で XTEN を "0" にクリアした場合、リセットがかかります。(RESET 端子出力が "L" レベルとなります)</p> <p>注 2) WDT: ウォッチドッグタイマ, TG: タイミングジェネレータ、*: Don't care</p> <p>注 3) SYSCR2 のビット 3, 1, 0 は、リードすると不定値が読み出されます。</p> <p>注 4) IDLE と TGHALT は、同時に "1" に設定しないでください。</p> <p>注 5) IDLE0/SLEEP0 モードは、TBTCR<TBTC>によって選択された非同期の内部ソースクロックによって NORMAL1/SLOW1 モードに復帰しますので、モード起動から復帰までの時間は、TBTCR<TBTC>の時間よりも短くなります</p> <p>注 6) IDLE1/2, SLEEP1/2 モード解除時、IDLE は自動的に "0" にクリアされます。</p> <p>注 7) IDLE0, SLEEP0 モード解除時、TGHALT は自動的に "0" にクリアされます。</p> <p>注 8) TGHALT を "1" に設定するときは、事前に周辺機能の動作を停止してから行ってください。周辺機能の動作が停止されない場合、IDLE0 または SLEEP0 モードから復帰した直後に周辺機能の割り込みラッチがセットされることがあります。</p>											

図1.4.7 システム制御レジスタ 1, 2

1.4.4 動作モードの制御

(1) STOP モード

STOP モードは、システム制御レジスタ 1 (SYSCR1) と $\overline{\text{STOP}}$ 端子入力およびキーオンウェイクアップ入力端子 (STOP2~STOP5) によって制御されます。 $\overline{\text{STOP}}$ 端子は、P20 ポートならびに $\overline{\text{INT5}}$ (外部割り込み入力 5) 端子と兼用です。STOP モードは、SYSCR1<STOP> を“1” にセットすることにより起動され、STOP モード中、次の状態を保持しています。

- a. 高周波、低周波とも発振を停止し、内部の動作をすべて停止します。
- b. データメモリ、レジスタ、プログラムステータスワード、ポートの出力ラッチなどは STOP モードに入る直前の状態を保持します。
- c. タイミングジェネレータのプリスケアラおよびデバイダを“0” にクリアします。
- d. プログラムカウンタは、STOP モードを起動する命令 (SET (SYSCR1). 7 など) の 2 つ先の命令のアドレスを保持します。

STOP モードの解除には、レベル解除モードとエッジ解除モードがあり、システム制御レジスタ 1 の SYSCR1<RELM> で選択します。エッジ解除モードの場合には、STOP2~STOP5 を使用禁止に設定してください。

EEPCCR<MNPWDW>が“1” のときに STOP モードを起動すると、STOP モードの解除後、STOP のウォームアップに続きフラッシュ制御回路の電源が安定するまでの期間 CPU ウェイトが発生します。

注 1) STOP モードは、 $\overline{\text{STOP}}$ 端子とキーオンウェイクアップ入力端子 (STOP2~STOP5) のいずれかの端子によって解除することが可能ですが、 $\overline{\text{STOP}}$ 端子はキーオンウェイクアップ入力端子とは異なり入力を禁止する機能がありませんので、必ず STOP モード解除用の端子として使用してください。

注 2) STOP 期間中 (STOP モード起動からウォームアップ終了までの期間)、外部割り込み端子の信号の変化により割り込みラッチが“1” にセットされ、STOP モード解除後、直ちに割り込みを受け付ける場合があります。従って、STOP モードの起動は、割り込みを禁止してから行ってください。また STOP モード解除後に割り込みを許可する場合、あらかじめ不要な割り込みラッチをクリアしてください。

a. レベル解除モード (RELM = “1” のとき)

$\overline{\text{STOP}}$ 端子への“H” レベル入力または STOP2~STOP5 (STOPCR でビットごとに設定可能) 端子への“L” レベル入力により STOP モードを解除するモードで、メイン電源じゃ断時のコンデンサバックアップや長時間のバッテリーバックアップなどに使用します。

$\overline{\text{STOP}}$ 端子入力が“H” レベルまたは STOP2~STOP5 端子が“L” レベルの状態では STOP モードを起動する命令を実行した場合、STOP モードは起動されず、直ちに解除シーケンス (ウォームアップ) が行われます。従って、レベル解除モードで STOP モードを起動する場合、 $\overline{\text{STOP}}$ 端子入力が“L” レベルであり、また STOP2~STOP5 端子入力が“H” レベルになっていることをプログラム上で認識する必要があります。この認識を行うには、次の方法があります。

1. ポートの状態をテストする方法
2. INT5 割り込みによる方法 ($\overline{\text{INT5}}$ 端子入力の立ち下がりエッジで割り込みが発生します)

例 1: P20 ポートをテストして NORMAL モードから STOP モードを起動

	LD	(SYSCR1), 01010000B	; レベル解除モードにセットアップ
SSTOPH:	TEST	(P2PRD), 0	; $\overline{\text{STOP}}$ 端子入力が "L" レベルになるまでウェイト
	JRS	F, SSTOPH	; システムクロック f_{SYS} を $f_c/2$ へ切り替え
	SET	(SYSCR1), 7	; STOP モードを起動

例 2: INT5 割り込みにより、NORMAL モードから STOP モードを起動

PINT5:	TEST	(P2PRD), 0	; ノイズ除去のため P20 ポート入力が "H" レベルなら STOP モードを起動しない。
	JRS	F, SINT5	
	LD	(SYSCR1), 01010000B	; レベル解除モードにセットアップ
	SET	(SYSCR1), 7	; STOP モードを起動
SINT5:	RETI		

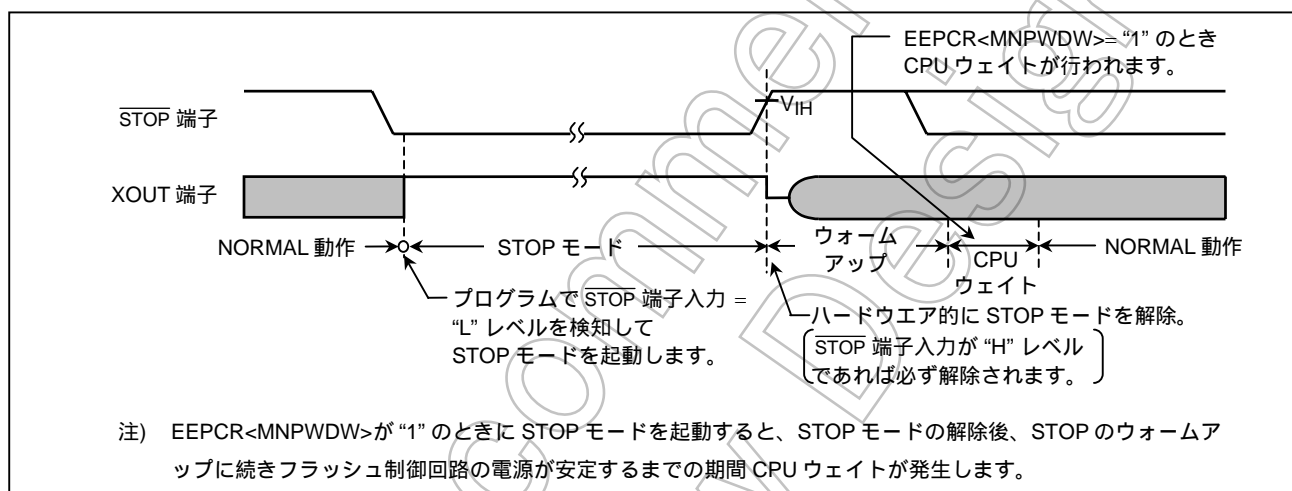


図1.4.8 レベル解除モード

注 1) ウォームアップ開始後、再び $\overline{\text{STOP}}$ 端子入力が "L" レベルまたは、STOP2~STOP5 端子が "H" レベルになっても STOP モードには戻りません。

注 2) エッジ解除モードにセットアップ後にレベル解除モードに戻した場合は、 $\overline{\text{STOP}}$ 端子入力の立ち上がりエッジが検出されるまではモードは切り替わりません。

b. エッジ解除モード (RELM = "0" のとき)

$\overline{\text{STOP}}$ 端子入力の立ち上がりエッジで STOP モードを解除するモードです。比較的短時間のプログラム処理を一定周期で繰り返す応用などに使用し、この一定周期の信号、例えば、低消費電力の発振源からのクロックを $\overline{\text{STOP}}$ 端子に入力します。エッジ解除モードの場合、 $\overline{\text{STOP}}$ 端子入力が "H" レベルの状態でも STOP モードが起動されます。なお、STOP2~STOP5 端子入力は、キーオンウェイクアップ制御レジスタ (STOPCR) によってすべて禁止に設定してください。

例: NORMAL モードから STOP モードを起動

	LD	(SYSCR1), 10010000B	; エッジ解除で STOP モードを起動
--	----	---------------------	----------------------

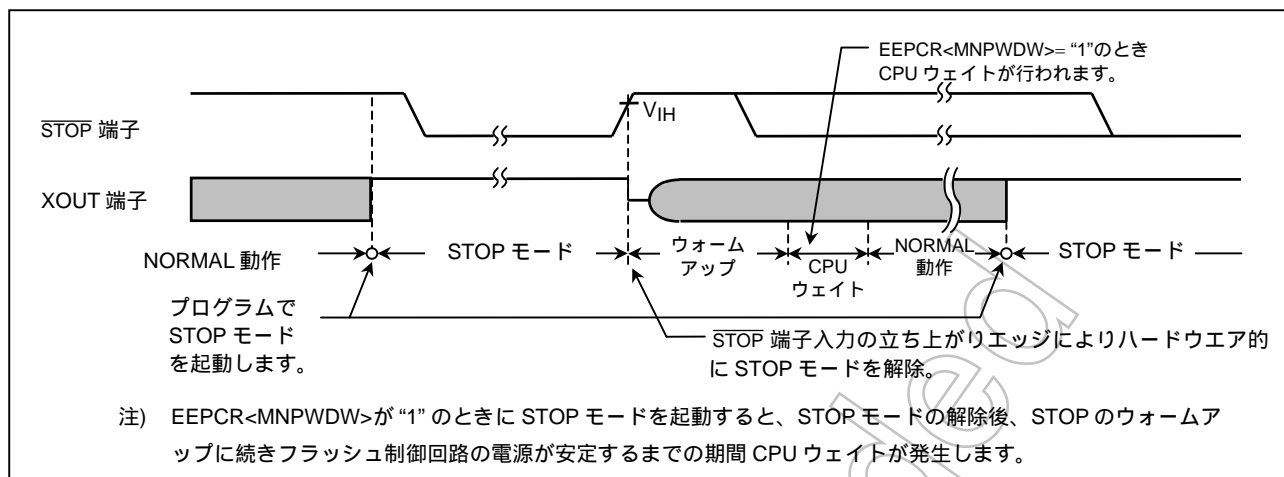


図1.4.9 エッジ解除モード

STOP モードの解除は、次のシーケンスで行われます。

1. 発振が開始されます。デュアルクロックモードの場合、NORMAL2 へ戻るときは、高周波/低周波発振器の両方が発振し、SLOW1 に戻るときは低周波発振器のみ発振します。シングルクロックモードの場合は、高周波発振器のみ発振します。
2. 発振が安定するのに必要な時間の確保のため、ウォームアップを行います。ウォームアップ中、内部動作は停止したままです。ウォームアップ時間は、発振器の特性に合わせて SYSCR1<WUT> で 4 種類選択できます。
3. EEPCCR<MNPWDW>が“1”の場合、フラッシュ制御回路の電源が安定するまでの期間 CPU ウェイトが行われます。CPU ウェイトが開始すると、CPU は動作停止状態となりますが、周辺機能およびタイミングジェネレータは動作を再開します。CPU ウェイトが終了した後、STOP モードを起動する命令の次の命令から通常の動作が再開されます。
4. EEPCCR<MNPWDW>が“0”の場合、ウォームアップが終了した後、STOP モードを起動する命令の次の命令から通常の動作が再開されます。

注 1) STOP モードを解除すると、タイミングジェネレータのプリスケラおよびデバイダは“0”にクリアされた状態から始まります。

注 2) STOP モードは、RESET 端子を“L”レベルにすることによっても解除され、直ちに通常のリセット動作を行います。

注 3) 低い保持電圧で STOP モードの解除を行う場合には、次の注意が必要です。STOP モードの解除に先立ち、電源電圧を動作電圧に上げる必要があります。その際、RESET 端子も“H”レベルにあり、電源電圧とともに上昇します。この場合、外部に時定数回路などが付加されているときには、RESET 端子入力の電圧上昇は電源電圧の上昇よりも立ち上がりが遅くなります。このとき、RESET 端子の入力電圧レベルが、RESET 端子入力（ヒステリシス入力）の非反転高レベル入力電圧を切るとリセット動作を行う恐れがあります。

表1.4.1 ウォームアップ時間 (例: $f_c = 16.0$ MHz, $f_s = 32.768$ kHz 時)

WUT	ウォームアップ時間 [ms] (注 2)	
	NORMAL モードへ戻る場合	SLOW モードに戻る場合
00	12.288 + (0.064)	750 + (0.244)
01	4.096 + (0.064)	250 + (0.244)
10	3.072 + (0.064)	5.85 + (0.244)
11	1.024 + (0.064)	1.95 + (0.244)

注 1) ウォームアップ時間は、基本クロックをデバイダにて分周して得ていますので、STOP モードの解除時に発振周波数にゆらぎがある場合は、ウォームアップ時間は誤差を含むこととなります。従って、ウォームアップ時間は、概略値としてとらえる必要があります。

注 2) CPU ウェイト時間を括弧内に示します。

Not Recommended for New Design

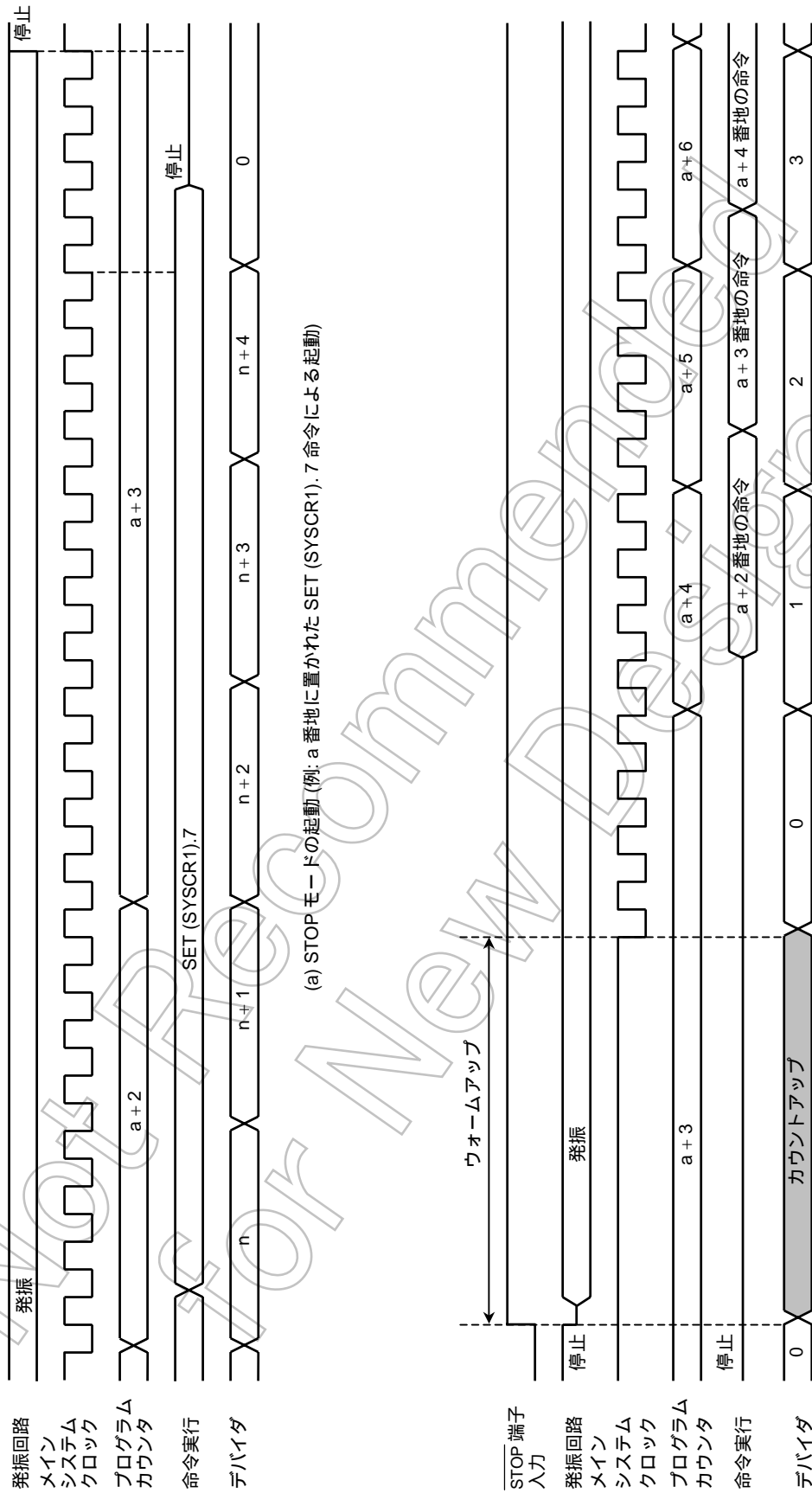


図1.4.10 STOP モードの起動/解除 (EEPCR<MNPWDW> = "0" のとき)

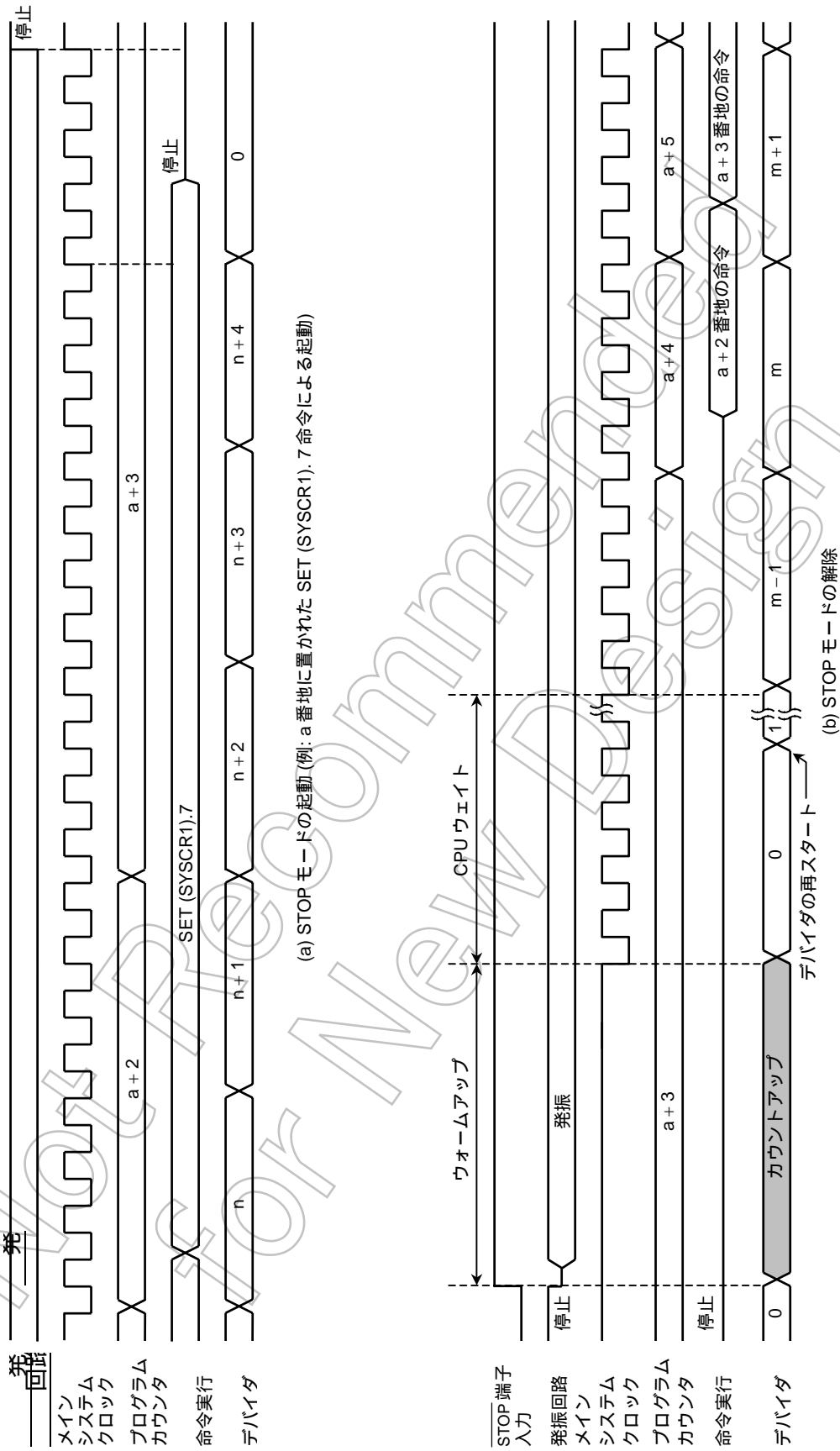


図1.4.11 STOP モードの起動/解除 (EEPCR<MNPWDW> = "1" のとき)

(2) IDLE1/2 モード, SLEEP1/2 モード

IDLE1/2 モード, SLEEP1/2 モードは、システム制御レジスタ 2 (SYSCR2) とマスク割り込みによって制御されます。IDLE1/2 モード, SLEEP1/2 モード中、次の状態を保持しています。

- CPU およびウォッチドッグタイマは動作を停止します。周辺ハードウェアは動作を継続します。
- データメモリ, レジスタ, プログラムステータスワード, ポートの出力ラッチなどは IDLE1/2 モード, SLEEP1/2 モードに入る直前の状態を保持します。
- プログラムカウンタは、IDLE1/2 モード, SLEEP1/2 モードを起動する命令の 2 つ先の命令のアドレスを保持します。

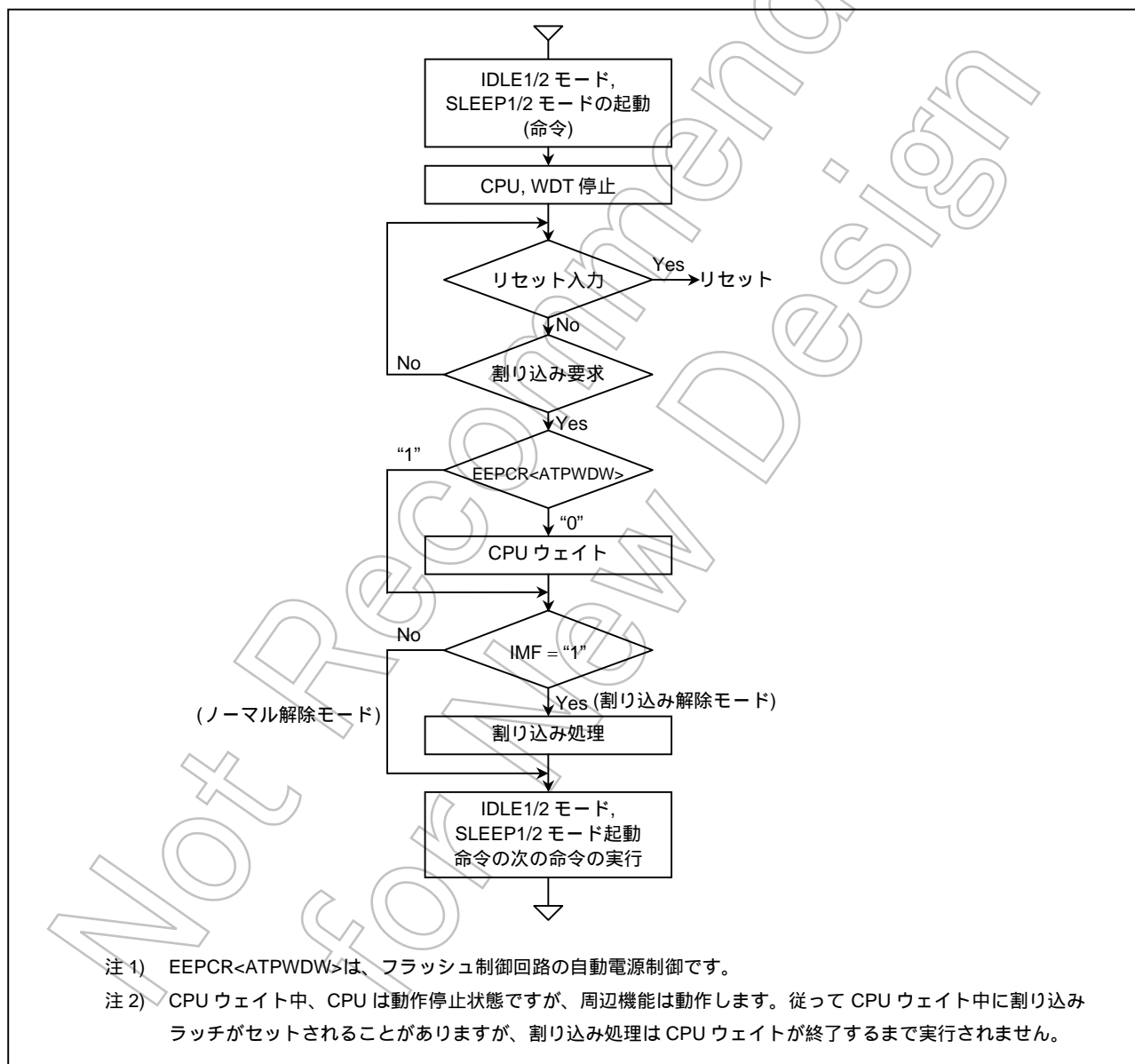


図1.4.12 IDLE1/2 モード, SLEEP1/2 モード

- IDLE1/2, SLEEP1/2 モードの起動
IDLE1/2, SLEEP1/2 モードを起動するには、SYSCR2<IDLE>を“1”に設定します。

- IDLE1/2, SLEEP1/2 モードの解除
IDLE1/2, SLEEP1/2 モードには、ノーマル解除モードと割り込み解除モードがあり、それぞれの選択は割り込みマスタ許可フラグ (IMF) によって行います。IDLE1/2, SLEEP1/2 モードが解除されると、SYSCR2<IDLE>は自動的に“0”にクリアされ、起動したモードに復帰します。

EEPCCR<ATPWDW>が“0”のときに IDLE1/2, SLEEP1/2 モードを起動すると、起動したモードに復帰する前にフラッシュ制御回路の電源が安定するまでの期間 CPU ウェイトが行われず。CPU ウェイト時間は、IDLE1/2 モード時 $2^{10}/f_c$ [s]、SLEEP1/2 モード時 $2^3/f_s$ [s]となります。

なお、IDLE1/2, SLEEP1/2 モードは RESET 端子を“L”レベルにすることによっても解除されます。この場合、リセット解除後は NORMAL1 モードが起動します。

- 注) CPU ウェイト中、CPU は動作停止状態ですが、周辺機能は動作します。従って CPU ウェイト中に割り込みラッチがセットされることがありますが、割り込み処理は CPU ウェイトが終了するまで実行されません。

(I) ノーマル解除モード (IMF = “0” のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因により、IDLE1/2, SLEEP1/2 モードが解除され、IDLE1/2, SLEEP1/2 モードを起動した命令の次の命令から実行を再開します。通常、解除に使用した割り込み要因の割り込みラッチ (IL) はロード命令で“0”にクリアする必要があります

(II) 割り込み解除モード (IMF = “1” のとき)

割り込み個別許可フラグ (EF) で許可された割り込み要因により IDLE1/2, SLEEP1/2 モードが解除され、割り込み処理に入ります。割り込み処理後、IDLE1/2, SLEEP1/2 モードを起動した命令の次の命令に戻ります。

- 注) IDLE1/2, SLEEP1/2 モード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLE1/2, SLEEP1/2 モードは起動されずウォッチドッグタイマ割り込み処理が行われず。

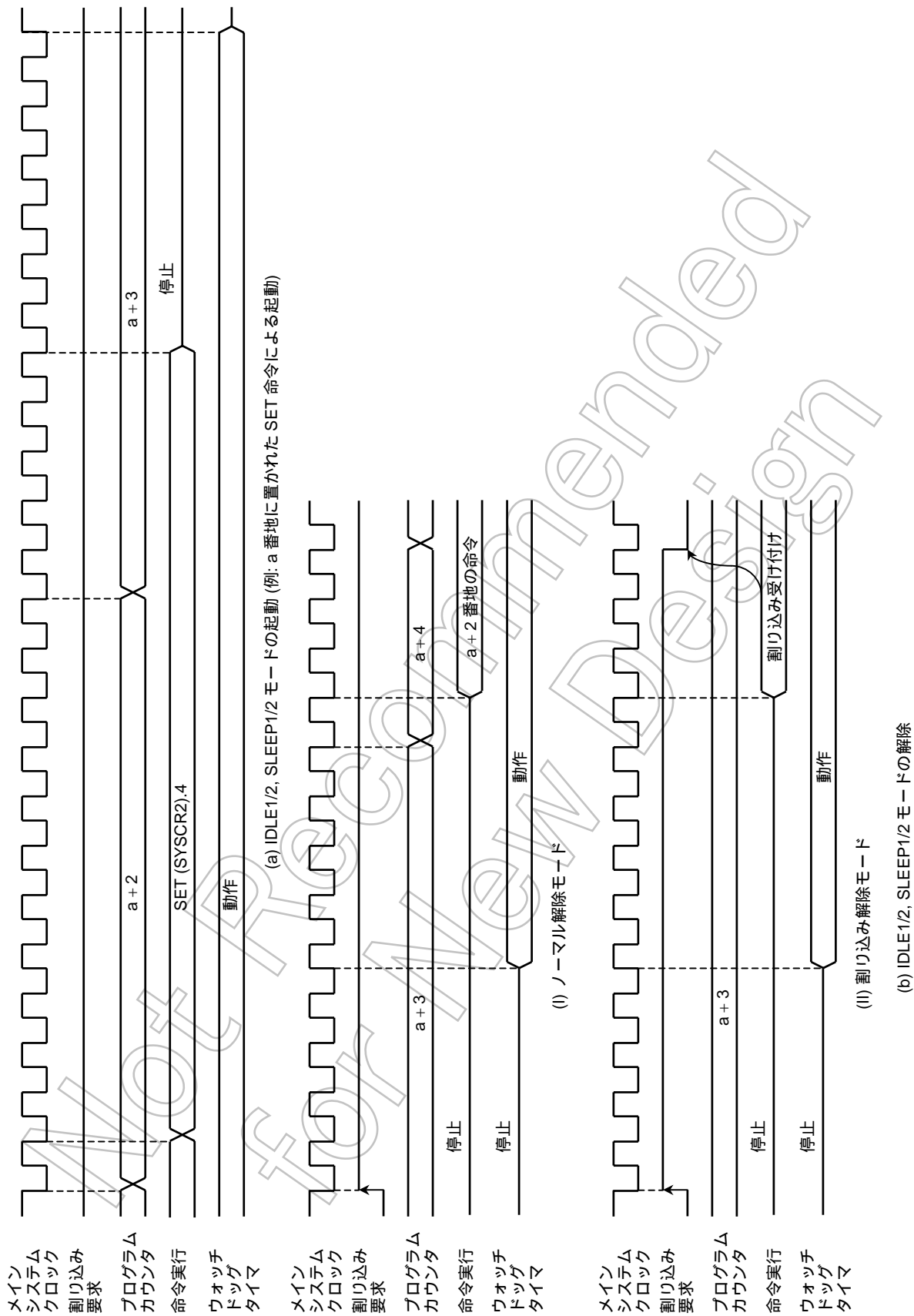


図1.4.13 IDLE1/2, SLEEP1/2 モードの起動/解除

(3) IDLE0, SLEEP0 モード

IDLE0, SLEEP0 モードは、システム制御レジスタ 2 (SYSCR2) とタイムベースタイマ制御レジスタ (TBTCCR) によって制御されます。IDLE0, SLEEP0 モード中、次の状態を保持しています。

- タイミングジェネレータは、タイムベースタイマを除く周辺回路へのクロック供給を停止します。
- データメモリ、レジスタ、プログラムステータスワード、ポートの出力ラッチなどは IDLE0, SLEEP0 モードに入る直前の状態を保持します。
- プログラムカウンタは、IDLE0, SLEEP0 モードを起動する命令の 2 つ先の命令のアドレスを保持します。

注) IDLE0, SLEEP0 モードを起動する場合は、事前に周辺機能を停止状態 (ディセーブル状態) に設定してください。

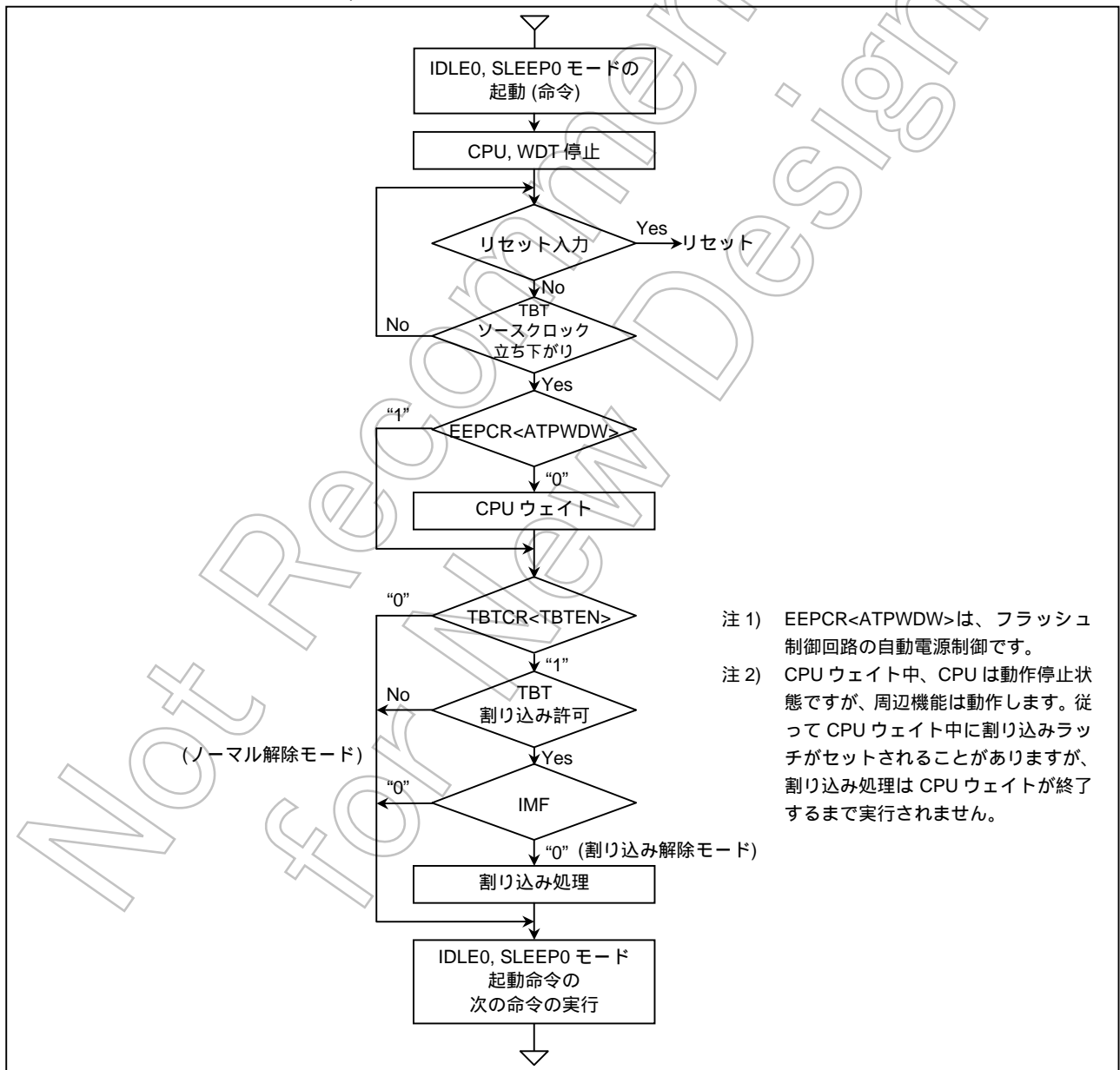


図1.4.14 IDLE0, SLEEP0 モード

- IDLE0, SLEEP0 モードの起動
IDLE0, SLEEP0 モードを起動するには、SYSCR2<TGHALT>を“1”に設定します。
- IDLE0, SLEEP0 モードの解除
IDLE0, SLEEP0 モードには、ノーマル解除モードと割り込み解除モードがあり、それぞれの選択は割り込みマスタ許可フラグ (IMF)、タイムベースタイマ割り込み個別許可フラグ (EF6)、TBTCR<TBTEN>によって行います。IDLE0, SLEEP0 モードが解除されると、SYSCR2<TGHALT>は自動的に“0”にクリアされ、起動したモードに復帰します。またこのとき TBTCR<TBTEN>が“1”にセットされていると INTTBT の割り込みラッチがセットされます。
EEPCR<ATPWDW>が“0”のときに IDLE0, SLEEP0 モードを起動すると、これらのモードを解除した後にフラッシュ制御回路の電源が安定するまでの期間、CPU ウェイトが行われます。CPU ウェイト時間は、IDLE1/2 モード時 $2^{10}/f_c$ [s]、SLEEP1/2 モード時 $2^3/f_s$ [s]となります。
なお、IDLE0, SLEEP0 モードは RESET 端子を“L”レベルにすることによっても解除されます。この場合、リセット解除後は NORMAL1 モードが起動します。

- 注 1) IDLE0, SLEEP0 モードは、TBTCR<TBTEN>の設定に関係なく起動/復帰します。
- 注 2) CPU ウェイト中、CPU は動作停止状態ですが、周辺機能は動作します。従って CPU ウェイト中に割り込みラッチがセットされることがありますが、割り込み処理は CPU ウェイトが終了するまで実行されません。

(I) ノーマル解除モード (IMF・EF6・TBTCR<TBTEN> = “0” のとき)

TBTCR<TBTK>によって設定されたソースクロックの立ち下がりエッジを検出すると、IDLE0, SLEEP0 モードは解除されます。IDLE0, SLEEP0 モードが解除されると、それらのモードを起動した命令の次の命令から処理を再開します。

(II) 割り込み解除モード (IMF・EF6・TBTCR<TBTEN> = “1” のとき)

TBTCR<TBTK>によって設定されたソースクロックの立ち下がりエッジを検出すると、IDLE0, SLEEP0 モードが解除された後、INTTBT の割り込み処理が行われます。

- 注1) IDLE0, SLEEP0 モードは、TBTCR<TBTK>によって選択された非同期の内部ソースクロックによって NORMAL1, SLOW1 に復帰しますので、モード起動から復帰までの時間は TBTCR<TBTK>の時間よりも短くなります。
- 注2) IDLE0, SLEEP0 モード起動直前にウォッチドッグタイマ割り込みが発生した場合、IDLE0, SLEEP0 モードは起動されずウォッチドッグタイマ割り込み処理が行われます。

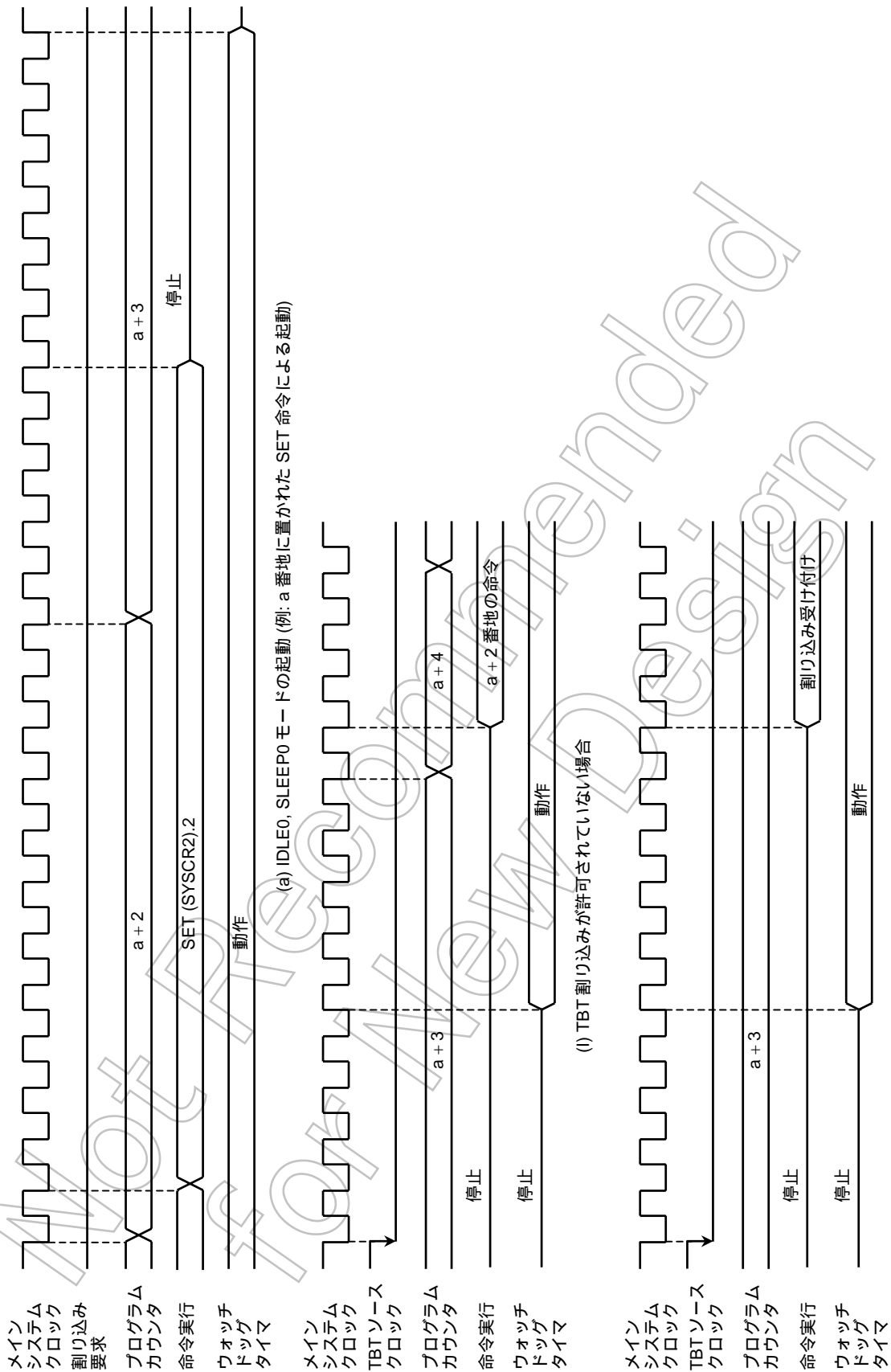


図1.4.15 IDLE0, SLEEP0 モードの起動/解除

(4) SLOW モード

SLOW モードは、システム制御レジスタ 2 (SYSCR2) によって制御されます。

ここでは、ウォームアップにタイマカウンタ 2 (TC2) を用いた場合を示しています。

a. NORMAL2 モードから SLOW モードへの切り替え

まず、SYSCR2<SYSCK> に“1”を書き込み、システムクロックを低周波クロックに切り替えます。

次に、SYSCR2<XEN> を“0”にクリアして高周波発振器を停止します。

注) NORMAL2 モードへ早く戻るために高周波クロックの発振を継続させることも可能です。

ただし、SLOW モードから STOP モードを起動する場合は、必ず高周波クロックを停止してください。

なお、低周波クロックが安定に発振していない場合は、安定発振するまで待ってから上記操作を行ってください。低周波クロックの安定発振を確認するのに、タイマカウンタ 2 を使用すると便利です。

例 1: NORMAL2 モードから SLOW1 モードへの切り替え。

```
SET      (SYSCR2). 5      ; SYSCR2<SYSCK> ← 1
                          ; (システムクロックを低周波 (SLOW2
                          ;   モードに) に切り替え)
CLR      (SYSCR2). 7      ; SYSCR2<XEN> ← 0
                          ; (高周波クロック停止)
```

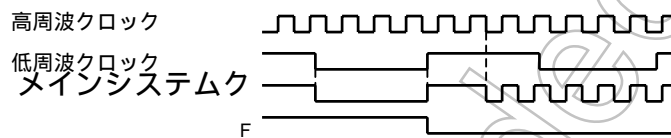
例 2: TC2 で低周波クロックの安定発振の確認後、SLOW1 モードへ切り替え。

```
SET      (SYSCR2). 6      ; SYSCR2<XTEN> ← 1
                          ; (低周波クロック発振開始)
LD       (TC2CR), 14H     ; TC2 のモードをセット
LDW     (TC2DRL), 8000H   ; ウォームアップ時間をセット
                          ; (発振子の特性で時間を決定します。)
DI      ; IMF ← 0
SET     (EIRE). 4        ; INTTC2 割り込み許可
EI      ; IMF ← 1
SET     (TC2CR). 5       ; TC2 スタート
      ⋮
PINTTC2: CLR      (TC2CR). 5 ; TC2 ストップ
          SET     (SYSCR2). 5 ; SYSCR2<SYSCK> ← 1
                          ; (システムクロックを低周波に切り替え)
          CLR     (SYSCR2). 7 ; SYSCR2<XEN> ← 0
                          ; (高周波クロック停止)
          RETI
      ⋮
VINTTC2: DW      PINTTC2   ; INTTC2 ベクタテーブル
```

b. SLOW1 モードから NORMAL2 モードへの切り替え

まず、XEN (SYSCR2 のビット 7) を “1” にセットして高周波クロックを発振させます。発振の安定時間 (ウォームアップ) をタイマカウンタ 2 によって確保したあと、SYSCK (SYSCR2 のビット 5) を “0” にクリアします。

注 1) SYSCK を “0” にクリアした後、低周波クロックと高周波クロックの同期をとっている期間は低周波クロックで命令の実行を継続しています。



注 2) SLOW モードは、RESET 端子を “L” レベルにすることによっても解除され、直ちに通常のリセット動作を行います。TMP86FM29 は、リセット解除後 NORMAL1 モードになります。

例: SLOW1 モードから NORMAL2 モードへの切り替え
($f_c = 16 \text{ MHz}$, ウォームアップ時間 = 4.0 ms)。

```

SET      (SYSCR2). 7      ; SYSCR2<XEN> ← 1
                          ; (高周波クロック発振開始)

LD       (TC2CR), 10H     ; TC2 のモードをセット
LD       (TC2DRH), 0F8H  ; ウォームアップ時間をセット
                          ; (周波数と発振子の特性で時間を決定しま
                          ; す。)

DI       ; IMF ← 0
SET      (EIRE), 4       ; INTTC2 割り込み許可
EI       ; IMF ← 1
SET      (TC2CR). 5     ; TC2 スタート
      |
      |
PINTTC2: CLR      (TC2CR). 5 ; TC2 ストップ
      |
      |
      CLR      (SYSCR2). 5 ; SYSCR2<SYSCK> ← 0
                          ; (システムクロックを高周波に切り替え)

      RETI

VINTTC2: DW       PINTTC2 ; INTTC2 ベクタテーブル

```

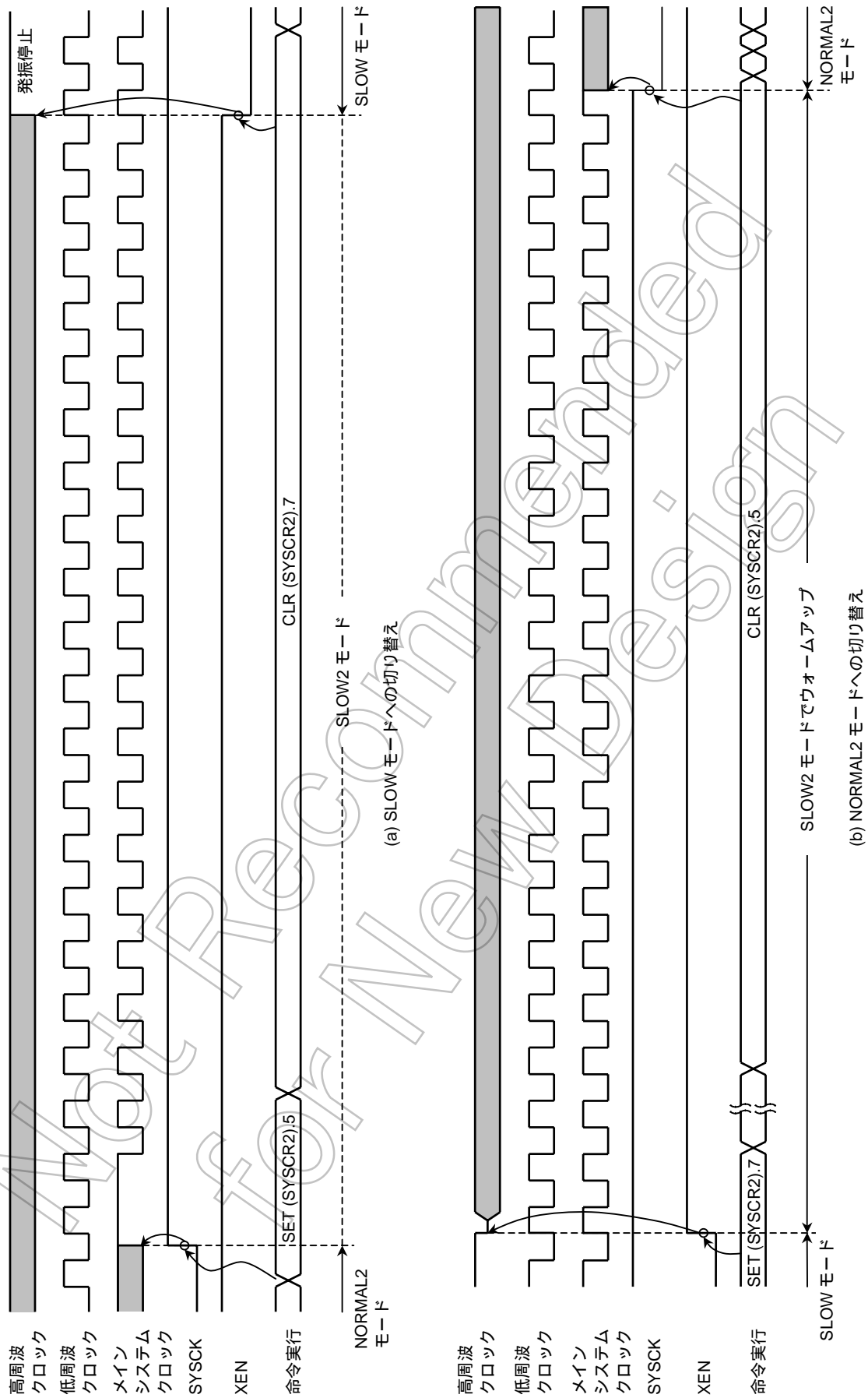


図1.4.16 SLOW↔NORMAL2 モード切り替え

1.5 割り込み制御回路

TMP86FM29 には、リセットを除き合計 19 種類の割り込み要因（うち、3 要因はマルチプレクス）があり、優先順位付きの多重割り込みが可能です。内部要因のうち 5 種はノンマスクابل割り込みで、そのほかはすべてマスクابل割り込みです。

割り込み要因には、それぞれ割り込み要求を保持する割り込みラッチ (IL) が用意され、また、独立したベクタになっています。割り込みラッチは、割り込み要求の発生により“1”にセットされ、CPU に割り込みの受け付けを要求します。割り込みの受け付けは、割り込みマスタ許可フラグ (IMF) と各割り込み要因の個別許可フラグ (EF) によって、プログラムで選択し許可/禁止できます。なお、複数の割り込みが同時に発生した場合は、ハードウェアで定められた優先順位の高いものから受け付けられます。ただし、ノンマスクابل割り込みに優先順位はありません。

図 1.5.1 に割り込み制御回路を示します。

表1.5.1 割り込み要因

割り込み要因	許可条件	割り込みラッチ	ベクタアドレス	優先順位
内部/外部 (リセット)	ノンマスクابل	-	FFFE _H	高位 1
内部 INTSWI (ソフトウェア割り込み)	ノンマスクابل	-	FFFC _H	2
内部 INTUNDEF (未定義命令実行割り込み)	ノンマスクابل	-	FFFC _H	2
内部 INTATRAP (アドレストラップ割り込み)	ノンマスクابل	IL ₂	FFFA _H	2
内部 INTWDT (ウォッチドッグタイマ割り込み)	ノンマスクابل	IL ₃	FFF8 _H	2
外部 INT0 (外部割り込み 0)	IMF・EF ₄ = 1	IL ₄	FFF6 _H	5
外部 INT1 (外部割り込み 1)	IMF・EF ₅ = 1	IL ₅	FFF4 _H	6
内部 INTTBT (タイムベースタイマ割り込み)	IMF・EF ₆ = 1	IL ₆	FFF2 _H	7
外部 INT2 (外部割り込み 2)	IMF・EF ₇ = 1	IL ₇	FFF0 _H	8
内部 INTTC1 (18-bit タイマカウンタ 1 割り込み)	IMF・EF ₈ = 1	IL ₈	FFEE _H	9
内部 INTRXD (UART 受信割り込み)	IMF・EF ₉ = 1	IL ₉	FFEC _H	10
内部 INTSIO (SIO 割り込み)				
内部 INTTXD (UART 送信割り込み)	IMF・EF ₁₀ = 1	IL ₁₀	FFEA _H	11
内部 INTTC4 (タイマカウンタ 4 割り込み)	IMF・EF ₁₁ = 1	IL ₁₁	FFE8 _H	12
内部 INTTC6 (タイマカウンタ 6 割り込み)	IMF・EF ₁₂ = 1	IL ₁₂	FFE6 _H	13
内部 INTADC (AD 変換終了割り込み)	IMF・EF ₁₃ = 1	IL ₁₃	FFE4 _H	14
外部 INT3 (外部割り込み 3)	IMF・EF ₁₄ = 1	IL ₁₄	FFE2 _H	15
内部 INTTC3 (タイマカウンタ 3 割り込み)				
外部 INT5 (外部割り込み 5)	IMF・EF ₁₅ = 1	IL ₁₅	FFE0 _H	低位 16
内部 INTTC5 (タイマカウンタ 5 割り込み)				

注 1) 以下の割り込み要因は割り込みソースを共有しています。選択する割り込み要因は、INTSEL レジスタで設定します。

- INTRXD と INTSIO は優先順位 10 の割り込みソースを共有します。
- INT3 と INTTC3 は優先順位 15 の割り込みソースを共有します。
- INT5 と INTTC5 は優先順位 16 の割り込みソースを共有します。

注 2) アドレストラップ割り込み (INTATRAP) を使用するには、WDTCR1<ATOUT>を“0”に設定してください (リセット解除後は、“リセット要求”に設定されています)。詳しくは「2.4.5 アドレストラップ」をご参照ください。

注 3) ウォッチドッグタイマ割り込み (INTWDT) を使用するためには、WDTCR1<WDTOUT>を“0”に設定してください (リセット解除後は、“リセット要求”に設定されています)。詳しくは「2.4 ウォッチドッグタイマ」を参照してください。

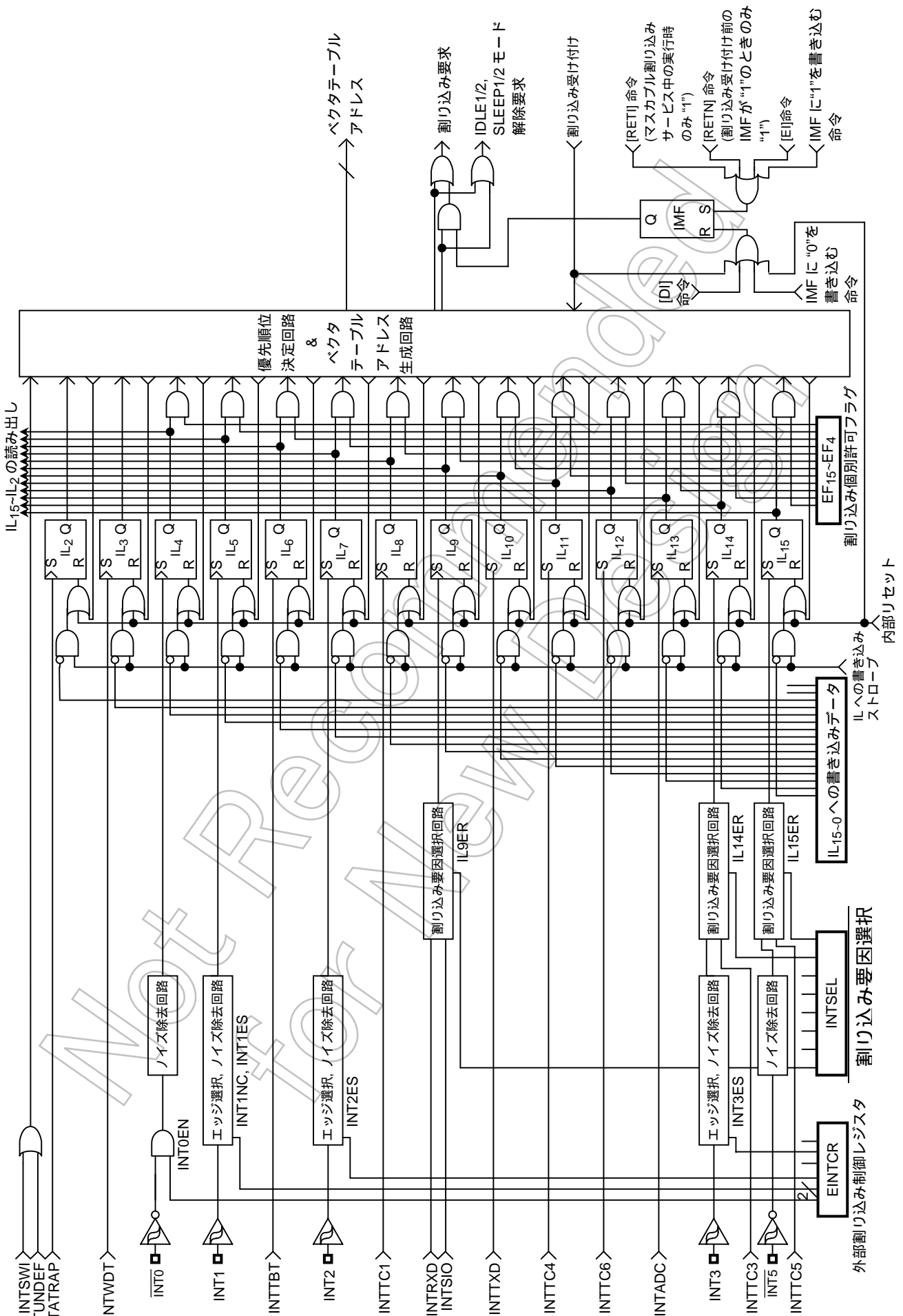


図1.5.1 割り込み制御回路

(1) 割り込みラッチ (IL₁₅~IL₂)

割り込みラッチは、ソフトウェア割り込みを除いて各要因ごとに設けられており、割り込み要求の発生により“1”にセットされます。割り込み受け付けが許可されていると、CPUに割り込みの受け付けを要求します。割り込みが受け付けられた直後に割り込みラッチは“0”にクリアされます。リセット時、割り込みラッチはすべて“0”に初期化されます。

割り込みラッチは、SFR内のアドレス 003CH, 003DHに割り付けられており、IL₂, IL₃を除いて命令で個別にクリアすることができ(ただし、ビット操作命令や演算命令などのリードモディファイライト命令は使用できません。これは、リードモディファイライト命令実行中に割り込み要求が発生してもクリアされる場合が想定されるためです。)、プログラムで割り込み要求の取り消し/初期化ができます。なお、割り込みラッチを命令で直接セットすることはできません。また、割り込みラッチの内容を読み出すことができますので、割り込み要求のソフトウェアによるテストも可能です。

注) 割り込みラッチ (IL) を操作する場合は、事前にマスタ許可フラグ (IMF) を“0” (割り込み禁止状態) にしてから行ってください。

例 1: 割り込みラッチのクリア

```
DI ; IMF ← 0
LDW (ILL), 1110100000111111B ; IL12, IL10~IL6 ← 0
EI ; IMF ← 1
```

例 2: 割り込みラッチの読み出し

```
LD WA, (ILL) ; W ← ILH, A ← ILL
```

例 3: 割り込みラッチのテスト

```
TEST (IL).7 ; IL7 = 1 ならジャンプ
JR F, SSET
```

(2) 割り込み許可レジスタ (EIR)

ノンマスカブル割り込み (ソフトウェア割り込み、未定義命令割り込み、アドレストラップ割り込みとウォッチドッグタイマ割り込み) を除く割り込み要因に対して受け付けの許可/禁止を行うレジスタです。ノンマスカブル割り込みは、割り込み許可レジスタの内容にかかわらず受け付けられます。

割り込み許可レジスタは、割り込みマスタ許可フラグ (IMF) と割り込み個別許可フラグ (EF) で構成されています。割り込み許可レジスタは、SFR内のアドレス 003AH, 003BHに割り付けられており、命令でリード/ライト(ビット操作命令などのリードモディファイライトも含む) できます。

a. 割り込みマスタ許可フラグ (IMF)

マスカブル割り込み全体に対して受け付けの許可/禁止の制御を行うフラグです。“0”にクリアされていると、すべてのマスカブル割り込みの受け付けは禁止状態であり、“1”にセットされていると、割り込み個別許可フラグで指定された割り込み受け付けが許可状態です。

割り込みが受け付けられると割り込みマスタ許可フラグはスタックの一時退避された後“0”にクリアされ、そのあとのマスカブル割り込みの受け付けを一時的に禁止します。割り込みサービスプログラムを実行後、マスカブル割り込みリターン命令 [RETI]/[RETN]によりスタックから読み出された値がセットされ割り込み受け付け前の状態に戻ります。

割り込みマスタ許可フラグは、EIR_L (SFR内のアドレス 003AH) のビット 0 に割り付けられており、命令でリード/ライトできます。通常、割り込みマスタ許可フラグのセット/クリアは、[EI]/[DI]命令で行います。なお、リセット時、割り込みマスタ許可フラグは“0”に初期化されます。

b. 割り込み個別許可フラグ (EF₁₅~EF₄)

各マスクابل割り込み要因に対し、個々に割り込み受け付けの許可/禁止の指定を行うフラグです。割り込み個別許可フラグの該当ビットが“1”なら割り込み受け付けを許可し、“0”なら禁止します。

注) 割り込み個別許可フラグ (EF) を操作する場合は、事前にマスタ許可フラグ (IMF) を“0”にクリア (割り込み禁止状態) にしてから行ってください。通常、割り込みサービスルーチン内では、自動的に IMF = “0” となりますので上記操作は不要ですが、多重割り込みを利用するため割り込みサービスルーチン内で IMF = “1” の操作を行っている場合は、同様な処理を行ってください。

例 1: 割り込みの個別許可と IMF のセット

```
DI ; IMF ← “0”
LDW (EIRL), 0110100010100000B ; EF14, EF13, EF11, EF7, EF5 ← “1”
; 注) IMF はセットしない。
EI ; IMF ← “1”
```

例 2: C コンパイラ記述例

```
unsigned int _io (3AH) EIRL; /* 3AH は EIRL のアドレス*/
_DI ();
EIRL = 10100000B;
_EI ();
```




図1.5.2 割り込みラッチ (IL), 割り込み許可レジスタ (EIR)

(3) 割り込み要因の選択 (INTSEL)

割り込みソースを他の割り込み要因と共有する割り込み要因は、INTSEL レジスタで選択された場合に限り割り込みラッチをイネーブルにすることができます。割り込みコントローラは INTSEL レジスタで選択されていないときに発生する割り込み要求を保持しません。このため、割り込み要因が生じる前に INTSEL レジスタを適切に設定する必要があります。

割り込み要因セレクト									
INTSEL (003EH)	7	6	5	4	3	2	1	0	(初期値 *0** **00)
	-	IL9ER	-	-	-	-	IL14ER	IL15ER	
IL9ER	INTRXD, INTSIO の選択		0: INTRXD 1: INTSIO		R/W				
IL14ER	INT3, INTTC3 の選択		0: INT3 1: INTTC3						
IL15ER	INT5, INTTC5 の選択		0: INT5 1: INTTC5						

図 1.5.3 割り込み要因セレクト

1.5.1 割り込み処理

割り込み要求は、割り込みが受け付けられるか、リセット動作または命令によって、割り込みラッチが“0”にクリアされるまで保持されます。割り込み受け付け処理は、実行中の命令が終了したあと、8 マシンサイクル (4 μ s @ 8.0 MHz) を要して実行されます。割り込みサービスタスクは、割り込みリターン命令 [RETI] (マスカブル割り込みの場合)/[RETN] (ノンマスカブル割り込みの場合)を実行して終了します。図 1.5.4に割り込み受け付け処理タイミングを示します。

(1) 割り込み受け付け処理

割り込み受け付け処理は、次の動作を自動的にを行います。

1. 割り込みマスタ許可フラグ (IMF) を“0”にクリアし、そのあとのマスカブル割り込みの受け付けを一時的に禁止します。
2. 受け付けた割り込み要因の割り込みラッチを“0”にクリアします。
3. プログラムカウンタ (PC) プログラムステータスワード (PSW) および割り込み受け付け前の IMF の内容をスタックに退避します (PSW + IMF, PC_H, PC_Lの順にプッシュダウンされます)。スタックポインタ (SP) は3回デクリメントされます。
4. 割り込み要因に応じたベクタテーブルアドレスから割り込みサービスプログラムのエントリーアドレス (割り込みベクタ) を読み出し、プログラムカウンタにセットします。
5. 割り込みサービスプログラムのエントリーアドレスに格納されている命令の実行に移ります。

注) PSW の内容がスタックに退避される際、同時に IMF の状態も退避されます。

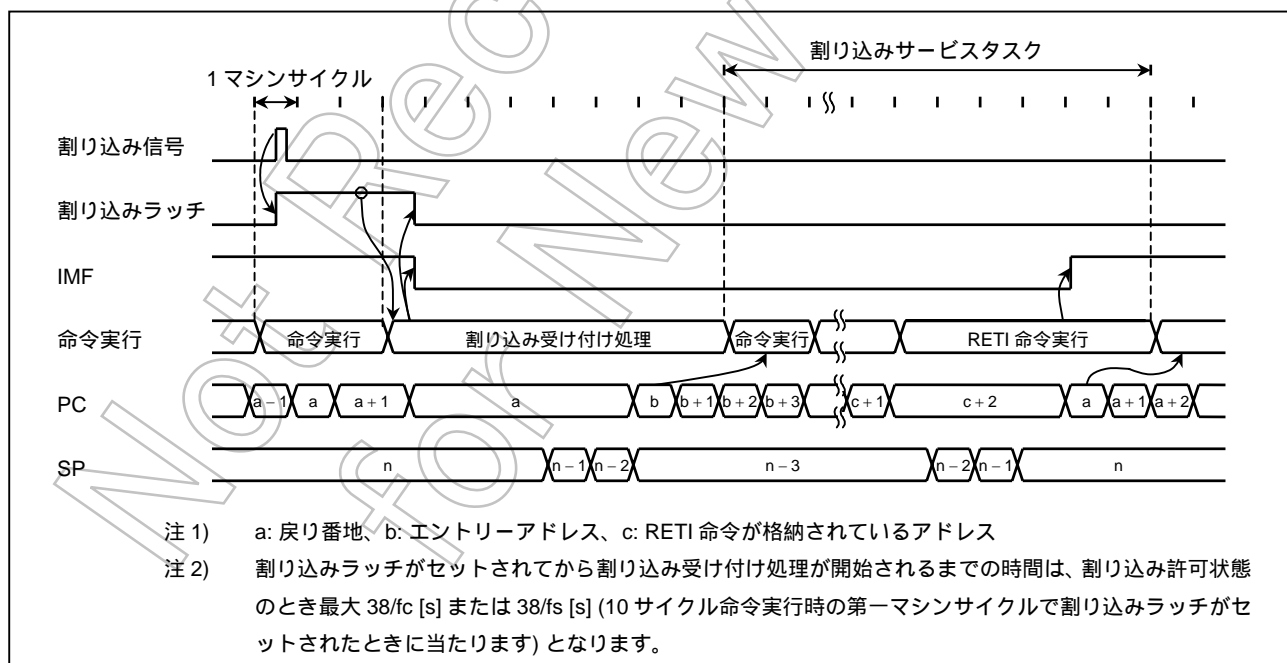
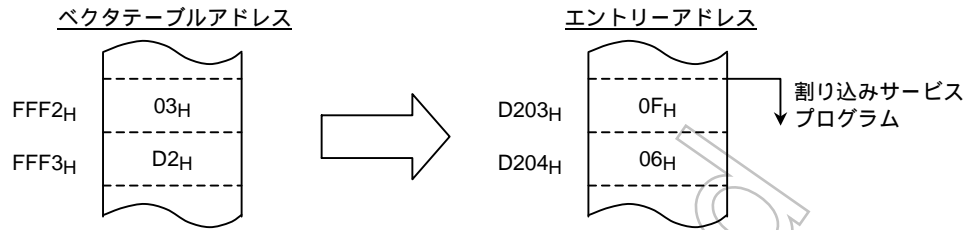


図1.5.4 割り込み受け付け処理/割り込みリターン命令タイミングチャート

例: INTTBT の受け付け処理におけるベクタテーブルアドレスと割り込みサービスプログラムのエントリーアドレスの対応



割り込みサービス中に、その割り込み要因よりレベルの高いマスカブル割り込みが発生しても、割り込みマスタ許可フラグが“1”にセットさせるまで受け付けられません。従って、多重割り込みを行う場合は、割り込みサービスプログラムの中で、割り込みマスタ許可フラグを“1”にセットします。その際、割り込み個別許可フラグにより、受け付けて良い割り込み要因を選択的に許可します。過重なネスティングを防ぐため、現在受け付けている割り込みの割り込み個別許可フラグは、割り込みマスタ許可フラグを“1”にセットする前にクリアしてください。また、ノンマスカブル割り込みは、割り込み要求の間隔より割り込み処理時間が短くなるようにしてください。

(2) 汎用レジスタ退避/復帰処理

割り込み受け付け処理で、プログラムカウンタとプログラムステータスワードは自動的にスタックに退避されますが、アキュムレータやその他のレジスタは自動的に退避されません。これらのレジスタ類の退避処理が必要な場合は、プログラムで行います。また、多重割り込みを行う場合、退避用のデータメモリ領域が重ならないようにする必要があります。

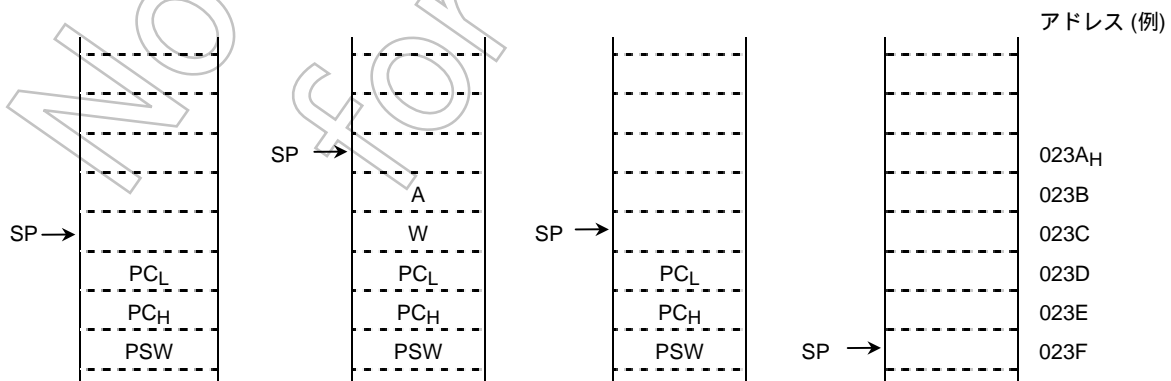
汎用レジスタの退避には、次の2つの方法があります。

a. プッシュ/ポップ命令による汎用レジスタの退避/復帰

特定のレジスタのみ退避する場合や同一の割り込み要因の多重化の場合には、プッシュ/ポップ命令により汎用レジスタの退避/復帰を行います。

例: プッシュ/ポップによるレジスタの退避/復帰

PINTxx:	PUSH	WA	:	WA レジスタペアをスタックに退避。
	割り込み処理			
	POP	WA	:	WA レジスタペアをスタックから復帰
	RETI			リターン。



割り込み受け付け後 → WA レジスタペアのプッシュ後 → WA レジスタペアのポップ後 → リターン後

b. 転送命令による汎用レジスタの退避/復帰

多重割り込みを行わない割り込み処理において、特定のレジスタのみ退避する場合は、データメモリとの転送命令により汎用レジスタの退避/復帰を行います。

例: データメモリとの転送命令によるレジスタの退避/復帰

```

PINTxx: LD      (GSAVA), A      ; Aレジスタの退避
         割り込み処理
         LD      A, (GSAVA)     ; Aレジスタの復帰
         RETI                    ; リターン
  
```

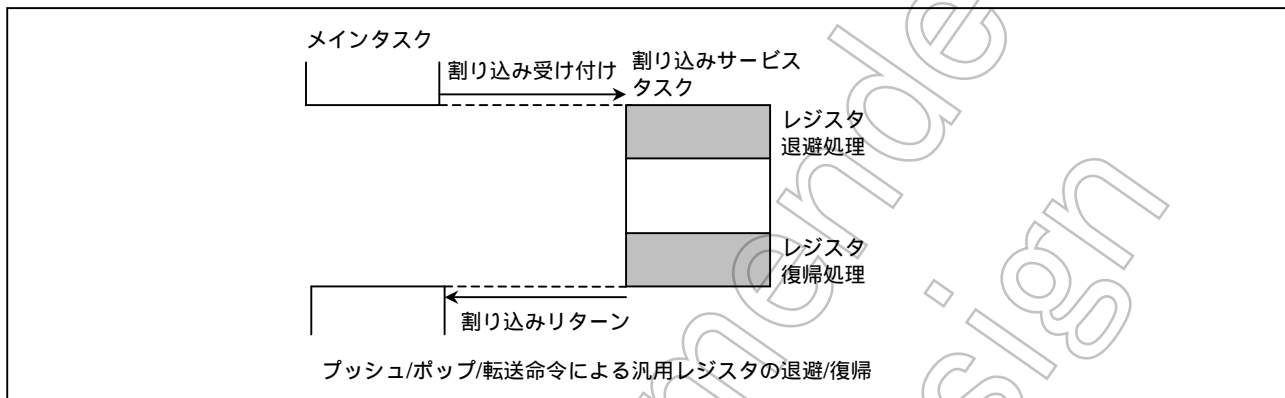


図1.5.5 割り込み処理における汎用レジスタの退避/復帰処理

(3) 割り込みリターン

割り込みリターン命令は、次の動作を行います。

[RETI]/[RETN] マスカブル割り込みリターン
1. プログラムカウンタ、プログラムステータスワードおよびIMFの内容をスタックからそれぞれリストアします。
2. スタックポインタを3回インクリメントします。

1. プログラムカウンタ、プログラムステータスワードおよびIMFの内容をスタックからそれぞれリストアします。
2. スタックポインタを3回インクリメントします。

ただし、アドレストラップ割り込みからのリターンは、割り込み受け付け処理直後にスタックされる PC_L 、 PC_H の値を、割り込みサービスプログラムの先頭で、プログラム実行を再開するアドレスに書き替える必要があります。

注) これらを書き替えないままリターン命令 [RETN] を実行した場合、アドレストラップ領域に復帰し、再度アドレストラップ割り込みが発生します。割り込みリターン後の PC_L 、 PC_H となる値は、割り込み受け付け処理後はそれぞれ $(SP + 1)$ 、 $(SP + 2)$ のアドレスに格納されています。

例 1: アドレストラップ割り込みサービスプログラムからのリターン

```

PINTxx:  POP      WA          ; スタックポインタを 2 つ戻す。
          LD       WA, ReturnAddress ; WA レジスタに再開アドレスを代入する。
          PUSH    WA          ; スタックにプッシュダウンする。
          割り込み処理
          RETN                ; ノンマスカブル割り込みリターン命令
  
```

例 2: リターンしない場合 (割り込み受け付け前の PSW および IMF の値を破棄する場合)

```

PINTxx:  INC      SP          ; スタックポインタを 3 つ戻す。
          INC      SP
          INC      SP
          割り込み処理
          LD       EIRL, data    ; IMF を "1" にセット、または "0" にクリア。
          JP       RestartAddress ; 復帰アドレスへジャンプ。
  
```

注) アドレストラップ割り込みが発生し、割り込みサービスプログラムでリターン命令 [RETN] を使用しない場合 (例 2 のような場合)、割り込みサービスプログラムで、スタックポインタの値を、アドレストラップ発生時の値にインクリメントすることを推奨します (3 回インクリメントする)。

割り込み要求は、実行中の命令の最終サイクルでサンプリングされます。従って、割り込みリターン命令の実行直後から次の割り込み処理を行うことができます。

注) 割り込み処理時間が、割り込み要求の発生時間よりも長いと、割り込みサービスタスクの実行のみ行われ、メインタスクの実行が行われなくなります。

1.5.2 ソフトウェア割り込み (INTSW)

SWI 命令を実行することにより、ソフトウェア割り込みが発生し直ちに割り込み処理に入ります (最優先割り込み)。

SWI 命令は、次に示すアドレスエラー検出またはデバッグ以外には使用しないでください。

a. アドレスエラー検出

シングルチップモードのとき、CPU が何らかの原因 (ノイズなど) により、メモリの存在しないアドレスから命令フェッチを行った場合、FF_H が読み込まれます。コード FF_H は、SWI 命令ですのでソフトウェア割り込みが発生し、これによりアドレスエラーの検出ができます。また、プログラムメモリの不使用領域をすべて FF_H で埋めておくことで、アドレスエラー検出範囲がよりいっそう広がります。なお、RAM, SFR 領域に対する命令フェッチのときは、アドレストラップリセット、もしくは設定によりアドレストラップ割り込みがかかります。

b. デバッグ

SWI 命令をソフトウェアブレークポイント設定アドレスに置くことによって、デバッグ効率を高めることができます。

1.5.3 未定義命令割り込み (INTUNDEF)

命令セットで定義されていない命令をフェッチし、実行しようとした場合は、INTUNDEF が発生し、割り込み処理に入ります。INTUNDEF は他のノンマスカブル割り込み処理中でも受け付けられ、現在の処理を中断し、即、INTUNDEF 割り込み処理に入ります。

注) 未定義命令割り込み (INTUNDEF) は、ソフトウェア割り込みと同じ割り込みベクタアドレスへジャンプします。

1.5.4 アドレストラップ割り込み (INTATRAP)

命令が置かれている以外の領域 (アドレストラップ領域) から命令をフェッチした場合、リセット出力または割り込み信号 (INTATRAP) 出力を行います。アドレストラップ割り込みが発生すると、割り込みラッチ (IL₂) がセットされ、割り込み処理に入ります。INTATRAP は他のノンマスカブル割り込み処理中でも受け付けられ、現在の処理を中断し、即、INTATRAP 割り込み処理に入ります。

注) アドレストラップ時の動作設定 (リセット出力/割り込み信号出力) は、ウォッチドッグタイマ制御レジスタで設定します。

1.5.5 外部割り込み

TMP86FM29 には、5 本の外部割り込み入力があり、すべてデジタルノイズ除去回路付き (一定時間未満のパルス入力を、ノイズとして除去します) となっています。

また、INT1~INT3 端子は、エッジ選択が可能です。なお、INT0/P63 端子は、外部割り込み入力端子として使用するか、入出力ポートとして使用するかの選択ができます。リセット時は入力ポートとなります。

エッジの選択、ノイズ除去の制御および INT0/P63 端子の機能選択は、外部割り込み制御レジスタ (EINTCR) で行います。

表1.5.2 外部割り込み

要因	端子名	兼用端子	許可条件	エッジ	デジタルノイズ除去回路
INT0	$\overline{\text{INT0}}$	P63/AIN3	IMF = 1, EF ₄ = 1, INT0EN = 1	立ち下がりエッジ	2/fc [s] 未満のパルスはノイズとして除去されます。7/fc [s] 以上は確実に信号とみなされます。 SLOW/SLEEP モード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。
INT1	INT1	P12/SEG29	IMF・EF ₅ = 1	立ち下がりエッジ または 立ち上がりエッジ	15/fc または 63/fc [s] 未満のパルスはノイズとして除去されます。49/fc または 193/fc [s] 以上は確実に信号とみなされます。 SLOW/SLEEP モード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。
INT2	INT2	P13/SEG28	IMF・EF ₇ = 1		7/fc [s] 未満のパルスはノイズとして除去されます。25/fc [s] 以上は確実に信号とみなされます。 SLOW/SLEEP モード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。
INT3	INT3	P14/SEG27	IMF・EF ₁₄ = 1 IL14ER = 0		
INT5	$\overline{\text{INT5}}$	P20/STOP	IMF・EF ₁₅ = 1 IL15ER = 0	立ち下がりエッジ	2/fc [s] 未満のパルスはノイズとして除去されます。7/fc [s] 以上は確実に信号とみなされます。 SLOW/SLEEP モード時は、1/fs [s] 未満はノイズとして除去され、3.5/fs [s] 以上は確実に信号とみなされます。

注 1) NORMAL1, NORMAL2 または IDLE1, IDLE2 モード時、ノイズのない信号が外部割り込み端子に入力された場合、入力信号のエッジから割り込みラッチがセットされるまでの最大時間は次のとおりです。

- a. INT1 端子 55/fc [s] (INT1NC = "1" のとき), 199/fc [s] (INT1NC = "0" のとき)
- b. INT2, INT3 端子 31/fc [s]

注 2) INT0EN = "0" のとき、 $\overline{\text{INT0}}$ 端子入力の立ち下がりエッジが検出されても割り込みラッチ IL₄ はセットされません。

注 3) 兼用の端子を出力ポートとして使用し、データが変化したり入出力の切り替えを行った場合、擬似的に割り込み要求信号が発生しますので、割り込み許可フラグの禁止などの処理が必要です。

注 4) INT1NC を切り替えた場合、最大 2⁶/fc の期間ノイズキャンセル時間が切り替わらないことがあります。

外部割り込み制御レジスタ

EINTCR (0037H) 7 6 5 4 3 2 1 0
 (INT1NC INT0EN) INT3ES INT2ES INT1ES (初期値: 00** 000*)

INT1NC	INT1 のノイズ除去時間の選択	0: 63/fc [s] 未満のパルスはノイズとして除去 1: 15/fc [s] 未満のパルスはノイズとして除去	R/W
INT0EN	P63/INT0 の機能選択	0: P63 入出力ポート 1: INT0 端子 (P63 ポートは入力モードにしてください)	
INT3ES INT2ES INT1ES	INT3~INT1 のエッジ選択	0: 立ち上がりエッジで割り込み要求発生 1: 立ち下がりエッジで割り込み要求発生	

注 1) fc: 高周波クロック [Hz]、*: Don't care
 注 2) システムクロックを高周波と低周波の間で切り替えるとき、または外部割り込み制御レジスタ (EINTCR) を書き替えるときは、切り替えの前後でノイズキャンセラが正常に動作しない場合がありますので、割り込み許可レジスタ (EIR) によって外部割り込みを禁止しておくことを推奨します。

図1.5.6 外部割り込み制御レジスタ

1.6 リセット回路

TMP86FM29には外部リセット入力、アドレストラップリセット出力、ウォッチドッグタイマリセット出力、システムクロックリセット出力の4種類のリセット発生手段があります。

リセット回路は11段のフラッシュリセットカウンタを内蔵しており、上記のリセットが発生するとフラッシュ制御回路の電源が安定するまでの間、リセットを発生します。リセット時間は $2^{10}/f_c$ [s] ($64 \mu\text{s}$ @ 16MHz) です。

また、電源投入時、内部要因リセット出力回路(ウォッチドッグタイマリセット、アドレストラップリセットおよびシステムクロックリセット)は初期化されませんので、電源投入時にRESET端子が最大 $24/f_c$ [s] ($1.5 \mu\text{s}$ @ 16 MHz)の期間、“L”レベルを出力することがあります。

従ってリセットの最大時間は、 $24/f_c$ [s] + $2^{10}/f_c$ [s] ($65.5 \mu\text{s}$ @ 16 MHz) となります。

表1.6.1にリセット動作による内蔵ハードウェアの初期化を示します。

表1.6.1 リセット動作による内蔵ハードウェアの初期化

内蔵ハードウェア	初期値	内蔵ハードウェア	初期値
プログラムカウンタ (PC)	(FFFE _H)	タイミングジェネレータのプリスケールおよびデバイダ	0
スタックポインタ (SP)	初期化されません		
汎用レジスタ (W, A, B, C, D, E, H, L, IX, IY)	初期化されません		
ジャンプステータスフラグ (JF)	初期化されません	ウォッチドッグタイマ	イネーブル
ゼロフラグ (ZF)	初期化されません	入出力ポートの出力ラッチ	各入出力ポートの説明箇所を参照
キャリーフラグ (CF)	初期化されません		
ハーフキャリーフラグ (HF)	初期化されません		
サインフラグ (SF)	初期化されません		
オーバフローフラグ (VF)	初期化されません		
割り込みマスク許可フラグ (IMF)	0		
割り込み個別許可フラグ (EF)	0	制御レジスタ	各制御レジスタの説明箇所を参照
割り込みラッチ (IL)	0		
		RAM	初期化されません

1.6.1 外部リセット入力

RESET端子はプルアップ抵抗付きのヒステリシス入力となっており、電源電圧が動作電圧範囲内にあり、発振が安定している条件のもとで最小3マシンサイクル ($12/f_c$ [s]) 以上の間RESET端子を“L”レベルに保つと、リセットがかかり内部状態が初期化されます。

RESET端子入力が“H”レベルに立ち上がった後、 $2^{10}/f_c$ [s] ($65.5 \mu\text{s}$ @ 16 MHz) 経過すると、リセット動作は解除され、アドレスFFFE_H~FFFF_Hに格納されたベクタアドレスからプログラムの実行を開始します。

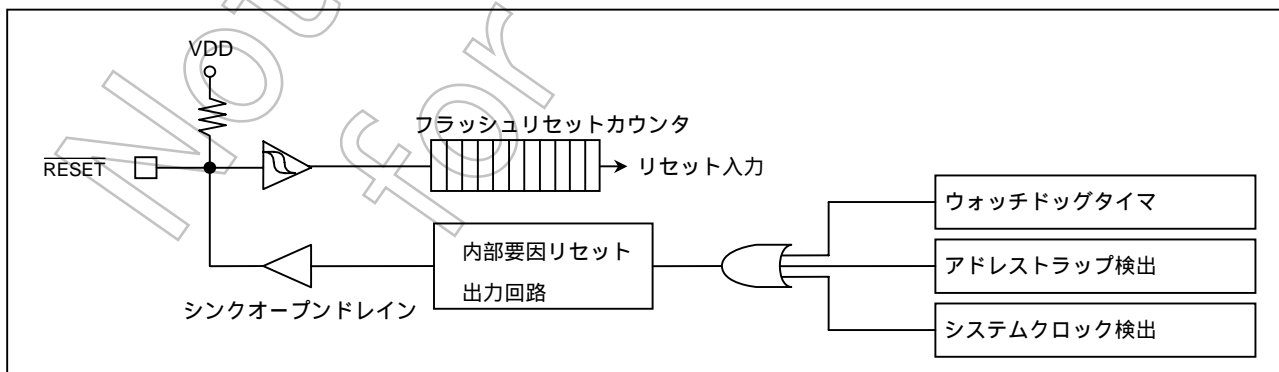


図1.6.1 リセット回路

1.6.2 アドレストラップリセット

CPU がノイズなどの原因により暴走して内蔵 RAM (WDTCR1<ATAS> = “1” 時), DBR または SFR 領域から命令をフェッチしようとするときアドレストラップリセットおよび、フラッシュリセットが発生します。 $\overline{\text{RESET}}$ 端子は、アドレストラップリセットの期間 “L” レベルを出力します。リセット時間は、最大 $24/f_c + 2^{10}/f_c$ [s] ($65.5 \mu\text{s}$ @ 16.0 MHz) です。

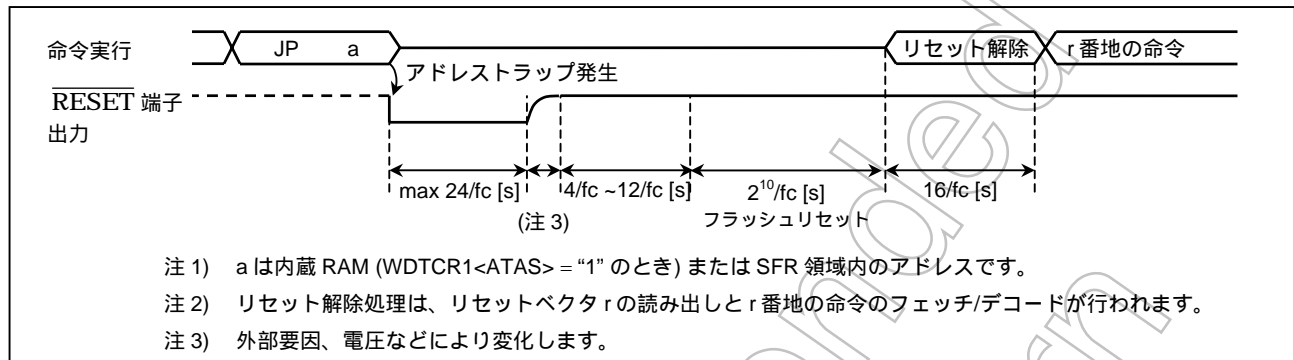


図1.6.2 アドレストラップリセット

注) アドレストラップはリセットと割り込みの選択が可能です。また、内蔵 RAM はアドレストラップするか否かを WDTCR1<ATAS> によって選択することが可能です。

1.6.3 ウォッチドッグタイマリセット

『2.4 ウォッチドッグタイマ』をご参照ください。

1.6.4 システムクロックリセット

以下のいずれかの条件が成立した場合、CPU がデッドロック状態に陥るのを防ぐため、自動的にシステムクロックリセットが発生します。(発振は続きます)

$\overline{\text{RESET}}$ 端子は、システムクロックリセットの期間 “L” レベルを出力します。

- SYSCR2<XEN>, SYSCR2<XTEN> をともに “0” にクリアした場合
- SYSCR2<SYSCK> = “0” のとき、SYSCR2<XEN>を “0” にクリアした場合
- SYSCR2<SYSCK> = “1” のとき、SYSCR2<XTEN>を “0” にクリアした場合

システムクロックリセットが発生すると、その後フラッシュリセットが発生します。リセット時間は、最大 $24/f_c + 2^{10}/f_c$ [s] ($65.5 \mu\text{s}$ @ 16.0 MHz) です。

2. 周辺ハードウェア機能

2.1 スペシャルファンクションレジスタ (SFR)

TMP86FM29 は、メモリマップ I/O 方式で、周辺ハードウェアのデータ制御/転送はすべてスペシャルファンクションレジスタ (SFR) またはデータバッファレジスタ (DBR) を通して行われます。SFR は、0000~003FH に、DBR は 0F80~0FFFH にマッピングされています。図 2.1.1 に TMP86FM29 の SFR, DBR の一覧を示します。

アドレス	リード	ライト	アドレス	リード	ライト
0000H	Reserved		0020H	ADCDR1 (AD 変換値レジスタ 1)	-
01	P1DR (P1 ポート出力ラッチ制御)	-	21	ADCDR2 (AD 変換値レジスタ 2)	-
02	P2DR (P2 ポート出力ラッチ制御)	-	22	Reserved	
03	P3DR (P3 ポート出力ラッチ制御)	-	23	Reserved	
04	P3OUTCR (P3 ポート出力回路制御)	-	24	Reserved	
05	P5DR (P5 ポート出力ラッチ制御)	-	25	UARTSR (UART ステータスレジスタ)	UARTCR1 (UART 制御レジスタ 1)
06	P6DR (P6 ポート出力ラッチ制御)	-	26	-	UARTCR2 (UART 制御レジスタ 2)
07	P7DR (P7 ポート出力ラッチ制御)	-	27	Reserved	
08	P1PRD (P1 端子入力)	-	28	LCDCR (LCD 制御レジスタ)	
09	P2PRD (P2 端子入力)	-	29	P1LCR (P1 セグメント出力制御)	
0A	P3PRD (P3 端子入力)	-	2A	P5LCR (P5 セグメント出力制御)	
0B	P5PRD (P5 端子入力)	-	2B	P7LCR (P7 セグメント出力制御)	
0C	P6CR (P6 ポート入出力制御)	-	2C	PWREG3 (タイマレジスタ 3)	
0D	P7PRD (P7 端子入力)	-	2D	PWREG4 (タイマレジスタ 4)	
0E	ADCCR1 (AD 制御レジスタ 1)	-	2E	PWREG5 (タイマレジスタ 5)	
0F	ADCCR2 (AD 制御レジスタ 2)	-	2F	PWREG6 (タイマレジスタ 6)	
10	TREG1AL		30	Reserved	
11	TREG1AM (タイマレジスタ 1A)		31	Reserved	
12	TREG1AH		32	Reserved	
13	TREG1B (タイマレジスタ 1B)		33	Reserved	
14	TC1CR1 (タイマカウンタ 1 制御 1)		34	-	WDTCR1 (ウォッチドッグ タイマ制御)
15	TC1CR2 (タイマカウンタ 1 制御 2)		35	-	WDTCR2
16	TC1SR (TC1 ステータス)	-	36	TBTCR (TBT/TG/DVO 制御)	
17	Reserved		37	EINTCR (外部割り込み制御)	
18	TC3CR (タイマカウンタ 3 制御)		38	SYSCR1 (システム制御 1)	
19	TC4CR (タイマカウンタ 4 制御)		39	SYSCR2 (システム制御 2)	
1A	TC5CR (タイマカウンタ 5 制御)		3A	EIRL (割り込み許可レジスタ)	
1B	TC6CR (タイマカウンタ 6 制御)		3B	EIRH (割り込み許可レジスタ)	
1C	TTREG3 (タイマレジスタ 3)		3C	ILL (割り込みラッチ)	
1D	TTREG4 (タイマレジスタ 4)		3D	ILH (割り込みラッチ)	
1E	TTREG5 (タイマレジスタ 5)		3E	INTSEL (割り込み要因セレクト)	
1F	TTREG6 (タイマレジスタ 6)		3F	PSW (プログラムステータスワード)	

注 1) Reserved の番地はプログラムでアクセスしないでください。
 注 2) -; アクセスできません。
 注 3) 書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令 (SET, CLR などのビット操作命令や AND, OR などの演算命令など) による操作はできません。

図 2.1.1 スペシャルファンクションレジスタ (SFR) (1/2)

アドレス		リード/ライト								アドレス		リード		ライト		
		Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0							
0F80H		SEG1				SEG0				0F90H	SIOBR0 (SIO バッファ 0)					
81		SEG3				SEG2				91	SIOBR1 (SIO バッファ 1)					
82		SEG5				SEG4				92	SIOBR2 (SIO バッファ 2)					
83		SEG7				SEG6				93	SIOBR3 (SIO バッファ 3)					
84		SEG9				SEG8				94	SIOBR4 (SIO バッファ 4)					
85		SEG11				SEG10				95	SIOBR5 (SIO バッファ 5)					
86		SEG13				SEG12				96	SIOBR6 (SIO バッファ 6)					
87		SEG15				SEG14				97	SIOBR7 (SIO バッファ 7)					
88		SEG17				SEG16				98	-		SIOCR1 (SIO 制御レジスタ 1)			
89		SEG19				SEG18				99	SIOSR (SIO ステータスレジスタ)		SIOCR2 (SIO 制御レジスタ 2)			
8A		SEG21				SEG20				9A	-		STOPCR			
8B		SEG23				SEG22				9B	RDBUF (UART 受信データバッファ)		TDBUF (UART 送信データバッファ)		(キーオンウェイクアップ制御レジスタ)	
8C		SEG25				SEG24				9C	-		Reserved			
8D		SEG27				SEG26				:	-		Reserved			
8E		SEG29				SEG28				:	-		Reserved			
8F		SEG31				SEG30				:	-		Reserved			
										E0	EEPSCR (フラッシュメモリ制御)					
										E1	EEPSR (フラッシュメモリステータス)		-			
										:	-		Reserved			
										:	-		Reserved			
										:	-		Reserved			
										FF	-		Reserved			

注 1) Reserved の番地はプログラムでアクセスしないでください。
 注 2) -; アクセスできません。
 注 3) 書き込み専用レジスタおよび割り込みラッチに対して、リードモディファイライト命令 (SET, CLR などのビット操作命令や AND, OR などの演算命令など) による操作はできません。

図 2.1.2 スペシャルファンクションレジスタ (SFR) (2/2)

2.2 入出力ポート

TMP86FM29 は、6 ポート 39 端子の入出力ポートを内蔵しています。

- a. P1 ポート; 8 ビット入出力ポート (外部割り込み入力, シリアルクロック入出力, UART 入出力, LCD セグメント出力, シリアル PROM モード制御入力と兼用)
- b. P2 ポート; 3 ビット入出力ポート (低周波発振子接続端子, 外部割り込み入力, STOP モード解除信号入力と兼用)
- c. P3 ポート; 4 ビット入出力ポート (デバイダ出力, タイマ入出力と兼用)
- d. P5 ポート; 8 ビット入出力ポート (LCD セグメント出力と兼用)
- e. P6 ポート; 8 ビット入出力ポート (アナログ入力, 外部割り込み入力, STOP モード解除信号, タイマカウンタ入力と兼用)
- f. P7 ポート; 8 ビット入出力ポート (LCD セグメント出力と兼用)

すべての出力ポートは、ラッチを内蔵していますので、出力データはラッチにより保持されます。すべての入力ポートにはラッチがありませんので、外部から入力データを読み取るまでは外部でデータを保持しておくか、複数回読み取ってから処理することが望まれます。図 2.2.1 に入出力タイミングを示します。

入出力ポートから外部データを読み込むタイミングは、命令実行におけるリードサイクルの S1 ステートです。外部からはこのタイミングを認識できませんので、チャタリングなどの過渡的な入力データはプログラムで対処する必要があります。入出力ポートへデータを入力するタイミングは、命令実行におけるライトサイクルの S2 ステートです。

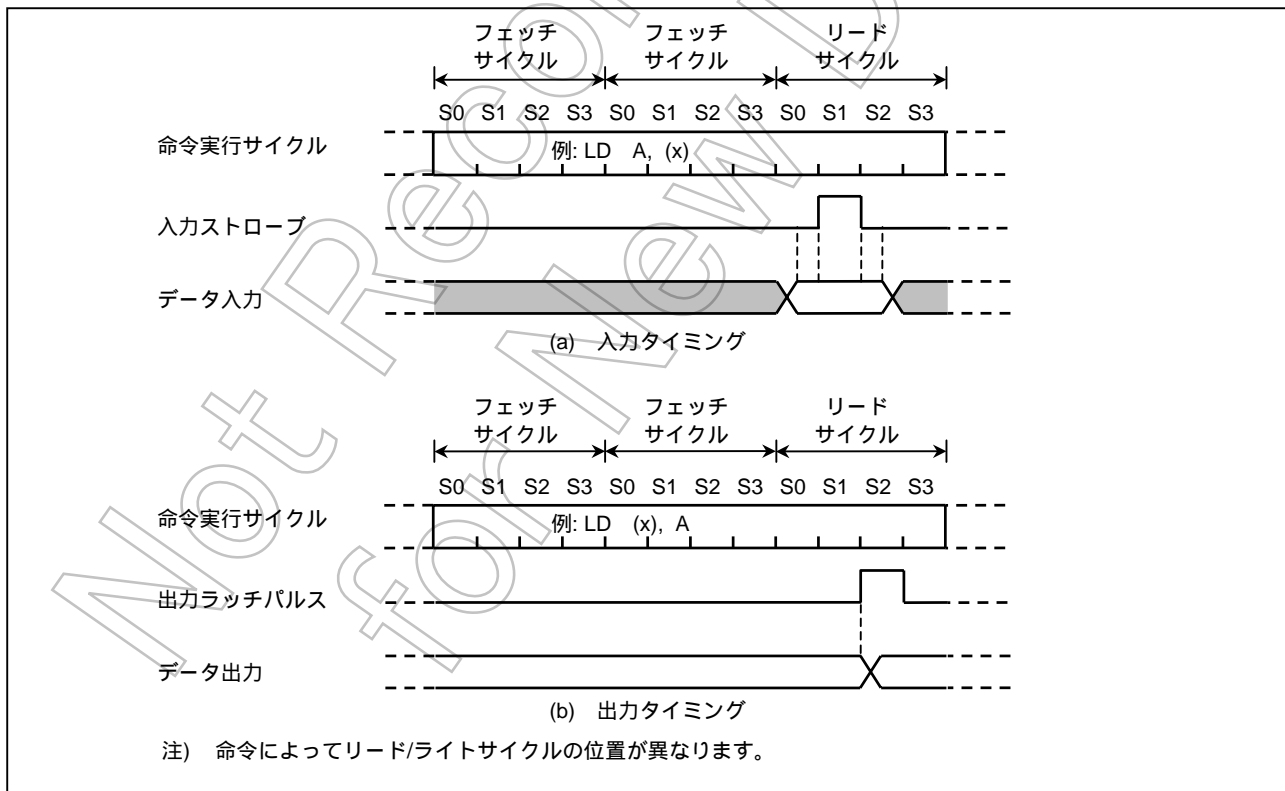


図 2.2.1 入出力タイミング (例)

2.2.1 P1 (P17~P10) ポート

P1 ポートは、8 ビットの入出力ポートで、外部割り込み入力、シリアルインタフェース入出力、UART 入出力、LCD セグメント出力、シリアル PROM モード制御入力と兼用です。入力ポートまたは、外部割り込み入力、シリアルインタフェース入出力、UART 入出力として用いる場合は、セグメント出力制御 (P1LCR) を “0” にセットした後、出力ラッチ (P1DR) を “1” にセットします。出力ポートとして使用する場合は P1LCR の対応するビットを “0” にセットします。LCD セグメント出力として使用する場合は P1LCR の対応するビットを “1” にセットします。リセット時、P1DR は “1” に、P1LCR は “0” に初期化されます。

シリアル PROM モードの詳細については、2.16 シリアル PROM モードを参照してください。

P1 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P1DR を、端子の状態を読み込む場合は P1PRD レジスタをそれぞれ読み出してください。LCD セグメント出力に設定した端子に対して P1PRD で端子の状態を読み出すと不定値が読み出されます。

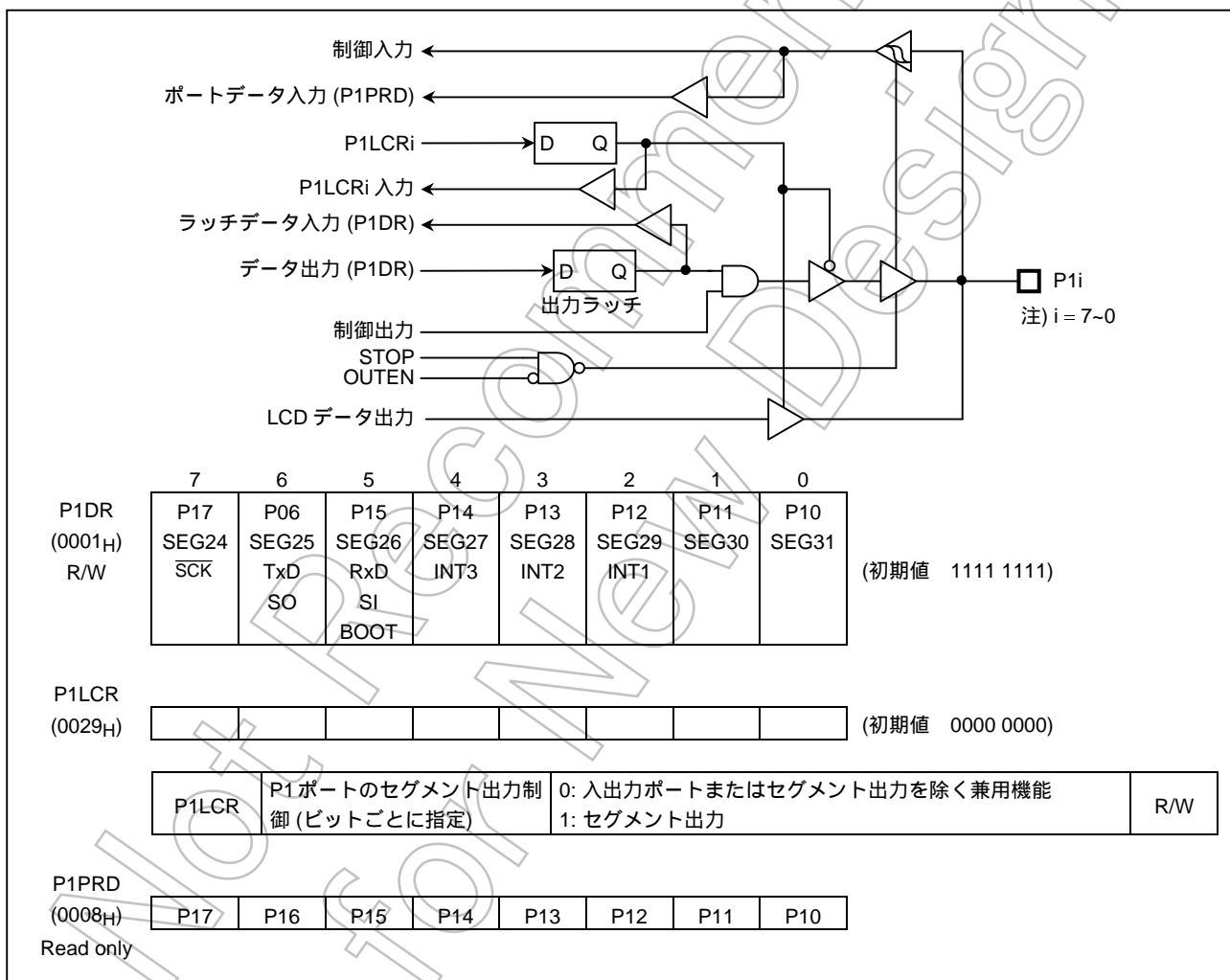


図 2.2.2 P1 ポート

2.2.2 P2 (P22~P20) ポート

P2 ポートは、3 ビットの入出力ポートで、外部割り込み入力、STOP 解除信号入力、低周波発振子接続端子と兼用です。入力ポートまたは、機能端子として用いる場合は、出力ラッチ (P2DR) を “1” にセットします。P2DR はリセット時 “1” に初期化されます。デュアルクロックモードで動作させる場合は、P21 (XTIN)、P22 (XOUT) 端子に低周波発振子 (32.768 kHz) を接続します。シングルクロックモードで動作させる場合、P21、P22 端子は通常の入出力ポートとして使用できます。P20 端子は外部割り込み入力、STOP 解除信号入力、入力ポートとして使用されることを推奨します (出力ポートとして使用すると立ち下がりで割り込みラッチがセットされます)。

また、P2 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P2DR を、端子の状態を読み込む場合は P2PRD レジスタをそれぞれ読み出してください。

P2 ポートに対して P2DR、P2PRD のリード命令を実行した場合、ビット 7~3 は不定値が読み込まれます。

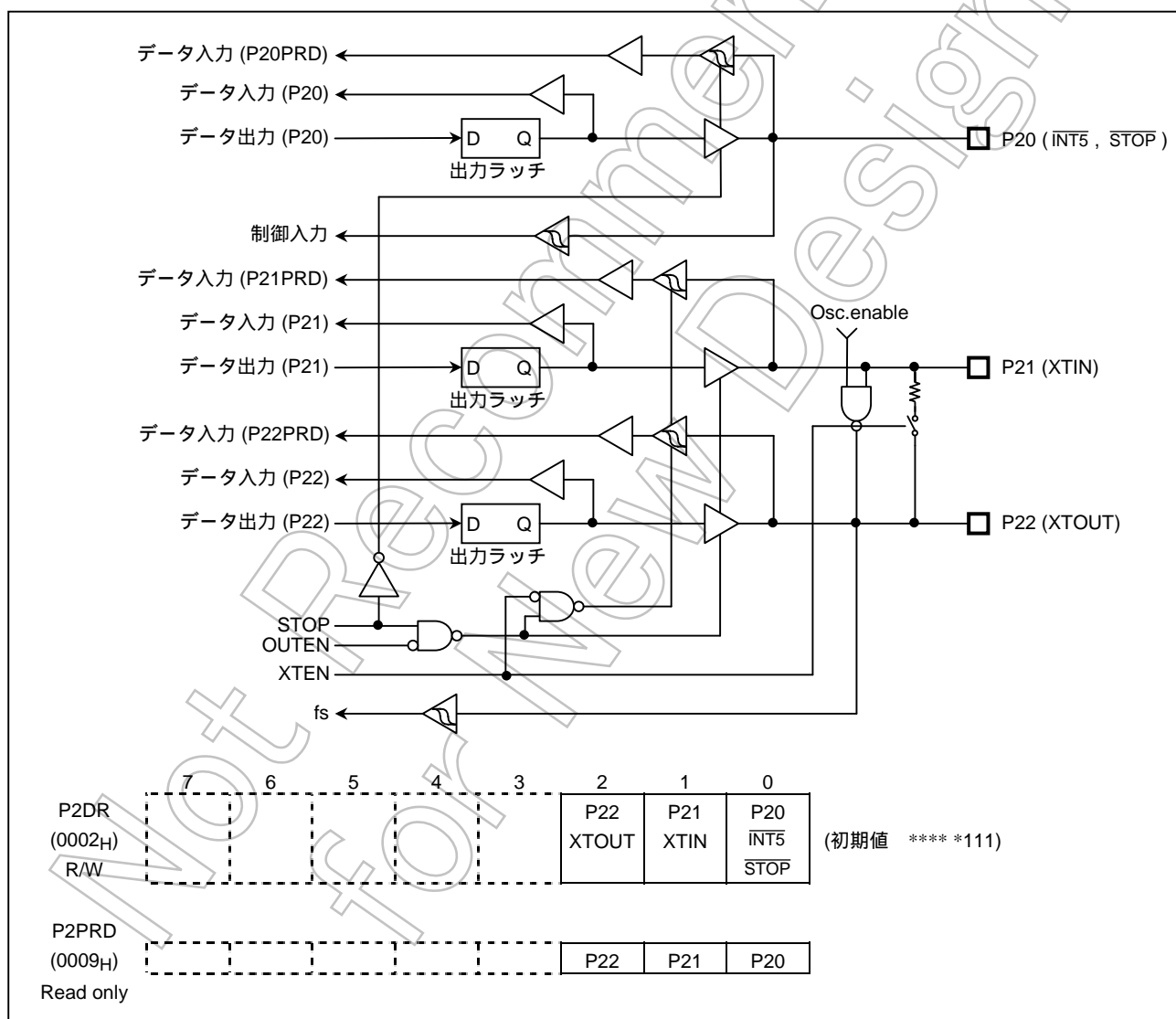


図 2.2.3 P2 ポート

注) P20 端子は $\overline{\text{STOP}}$ 端子と兼用のため、STOP モードに入ると OUTEN の状態にもかかわらず、出力は High-Z 状態となります。

2.2.3 P3 (P33~P30)ポート

P3ポートは、4ビットの入出力ポートで、タイマカウンタ入出力、デバイダ出力と兼用です。タイマカウンタ出力、デバイダ出力として使用する場合は、出力ラッチ (P3DR) を“1”にセットします。

P3ポートは、出力回路制御 (P3OUTCR) により出力回路をシンクオープンドレイン出力、C-MOS出力に選択することができます。入力ポートまたはタイマカウンタ入力として使用する場合は、P3DRを“1”にセットした後、P3OUTCRの対応するビットを“0”に設定します。

リセット時、P3DRは“1”に、P3OUTCRは“0”に初期化されます。

P3ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P3DRを、端子の状態を読み込む場合はP3PRDレジスタをそれぞれ読み出してください。

P3ポートに対してP3DR、P3PRDのリード命令を実行した場合、ビット7~4は不定値が読み込まれます。

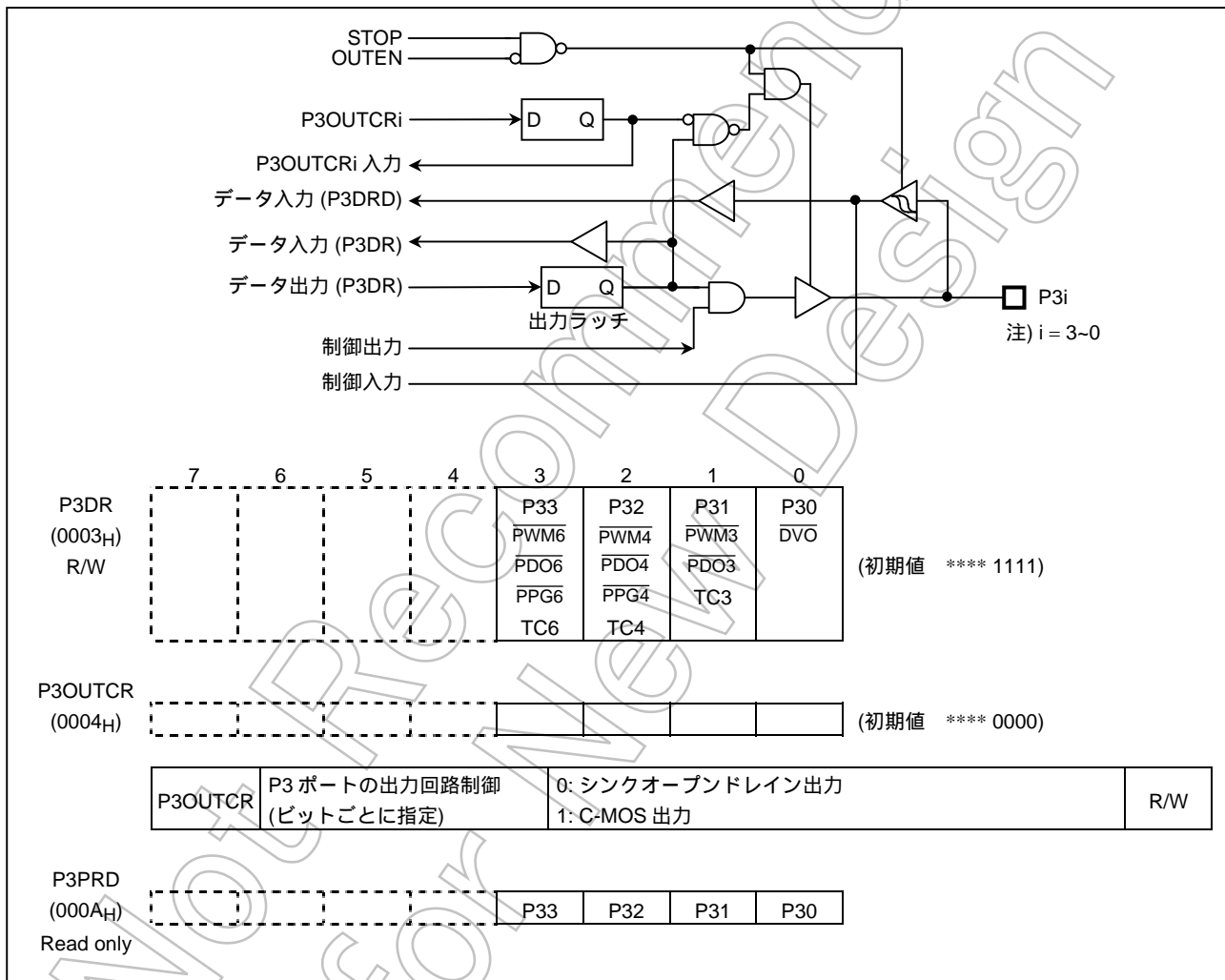


図 2.2.4 P3ポート

2.2.4 P5 (P57~P50)ポート

P5ポートは、8ビットの入出力ポートで、LCDセグメント出力と兼用です。入力ポートとして用いる場合は、セグメント出力制御(P5LCR)を“0”にセットした後、出力ラッチ(P5DR)を“1”にセットします。出力ポートとして用いる場合はP5LCRの対応するビットを“0”にセットします。LCDセグメント出力として使用する場合はP5LCRの対応するビットを“1”にセットします。リセット時、P5DRは“1”に、P5LCRは“0”に初期化されます。

P5ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P5DRを、端子の状態を読み込む場合はP5PRDレジスタをそれぞれ読み出してください。

LCDセグメント出力に設定した端子に対してP5PRDで端子の状態を読み出すと不定値が読み出されます。

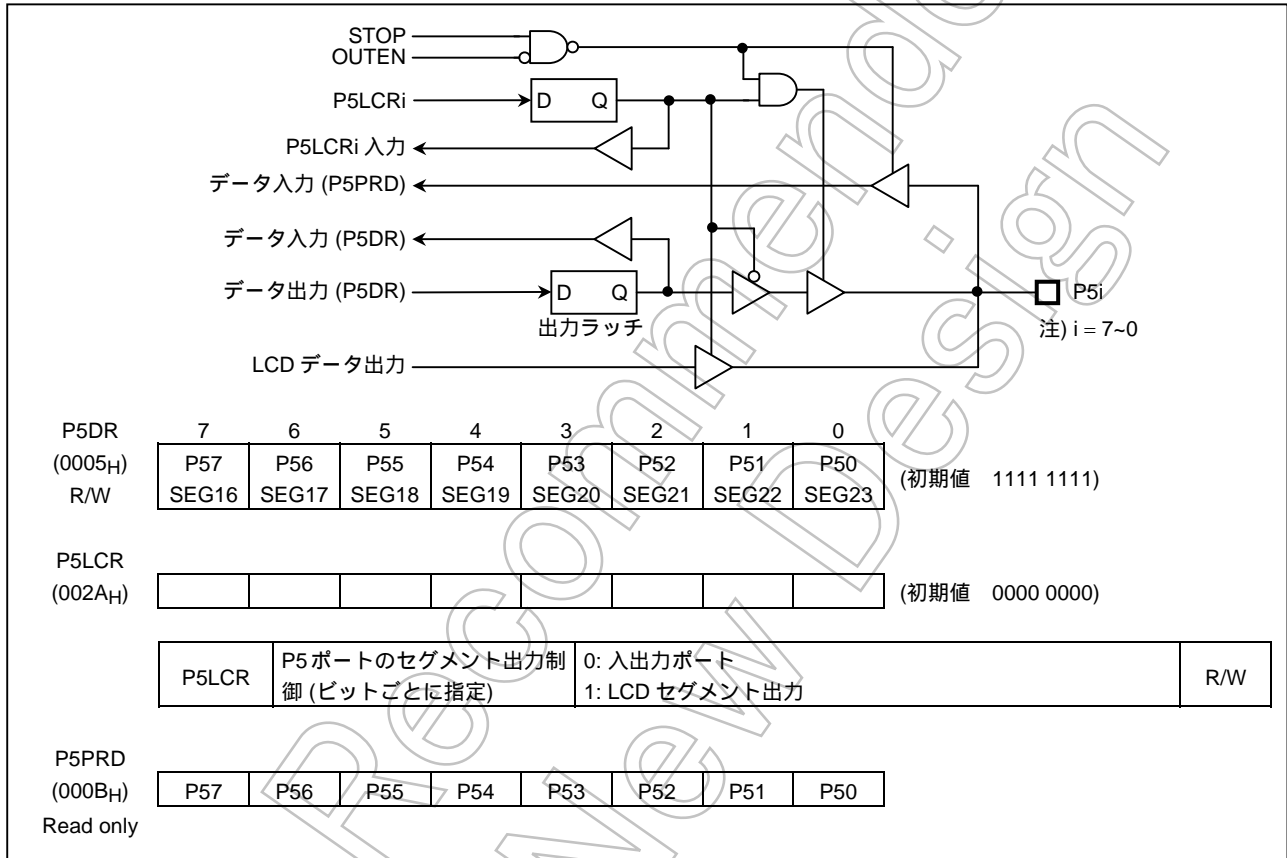


図 2.2.5 P5ポート

2.2.5 P6 (P67~P60) ポート

P6 ポートは、1 ビット単位で入出力の指定ができる 8 ビットの入出力ポートで、アナログ入力、キーオンウェイクアップ入力、タイマカウンタ入力、外部割り込み入力と兼用です。入出力の指定は、入出力制御レジスタ (P6CR) と出力ラッチ (P6DR) と AINDS (ADCCR1 のビット 4) によって行います。リセット時は、P6CR と P6DR は “0” にクリアされ、AINDS は “1” にセットされますので、P67~P60 は入力が “0” レベル固定の状態となります。入力ポート、外部割り込み入力、タイマカウンタ入力またはキーオンウェイクアップ入力として使用する場合は、対応するビットを入力モード (P6CR = “0”, P6DR = “1”) に設定します。出力ポートとして使用する場合は、P6CR の対応するビットを “1” に設定します。アナログ入力として使用する場合は、対応するビットをアナログ入力モード (P6CR = “0”, P6DR = “0”) に設定し、AINDS = “0” にするとともに AD をスタートさせます。

出力ラッチ = “0” に設定するのは、兼用のデジタル入力回路の貫通電流防止を行うために必要です。そのため、アナログ入力として使用するポートの出力ラッチはあらかじめ “0” に設定してください。実際の変換入力チャンネル選択は、SAIN (ADCCR1 のビット 2~0) の設定で行います。

アナログ入力として使用しないビットは入出力ポートとして使用できませんが、AD 変換中は精度を保つ意味で出力命令は行わないようにしてください。また、アナログ入力と近接するポートに AD 変換中、変化の激しい信号を入力しないようにしてください。

AD コンバータ入力として使用するビットの宣言・設定つまり P6DR を “0” にクリアしているときに、入力命令を実行すると上記ビットは “0” が読み込まれます。

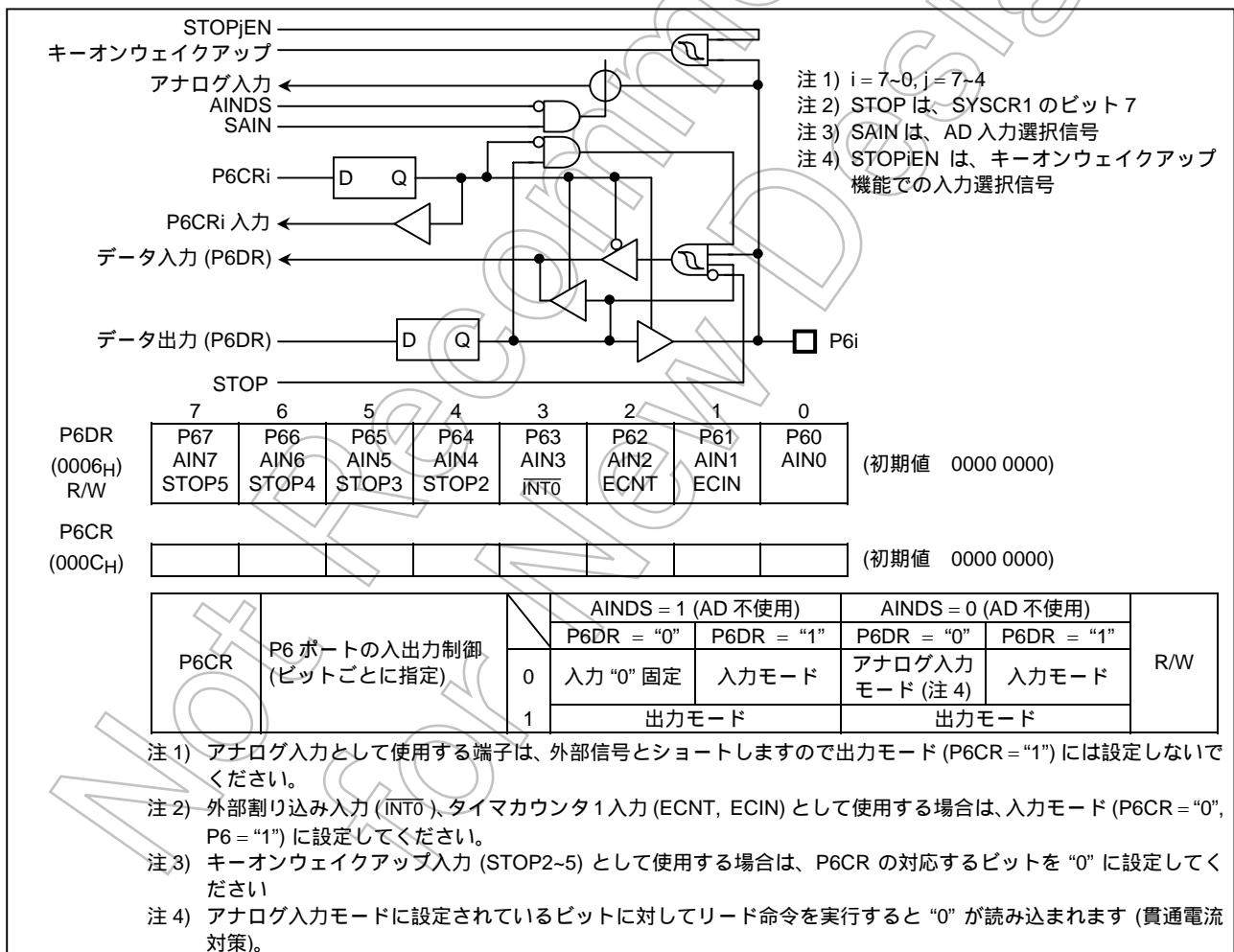


図 2.2.6 P6 ポートと P6 ポート入出力制御レジスタ

注) P6DR は R/W レジスタですが、入力モード制御機能と兼用のため、ビット操作命令などのリードモディファイライト命令は使用できません。入力に設定されているビットは、リード命令により端子の内容を読み込みますので、リードモディファイライト命令を実行すると、P6DR が書き替えられ入力ができなくなります。(リードモディファイライト命令は、最初に 8 ビットすべてのデータを読み込みモディファイ (ビット操作) した後、8 ビット分すべてのデータを出力ラッチに書き込みます。)

2.2.6 P7 (P77~P70) ポート

P7 ポートは、8 ビットの入出力ポートで、LCD セグメント出力と兼用です。入力ポートとして用いる場合は、セグメント出力制御 (P7LCR) を“0” にセットした後、出力ラッチ (P7DR) を“1” にセットします。出力ポートとして用いる場合は P7LCR の対応するビットを“0” にセットします。LCD セグメント出力として使用する場合は、P7LCR の対応するビットを“1” にセットします。リセット時、P7DR は“1” に、P7LCR は“0” に初期化されます。

P7 ポートはデータ入力のレジスタが独立しています。出力ラッチの状態を読み込む場合は、P7DR を、端子の状態を読み込む場合は P7PRD レジスタをそれぞれ読み出してください。LCD セグメント出力に設定した端子に対して P7PRD で端子の状態を読み出すと不定値が読み出されます。

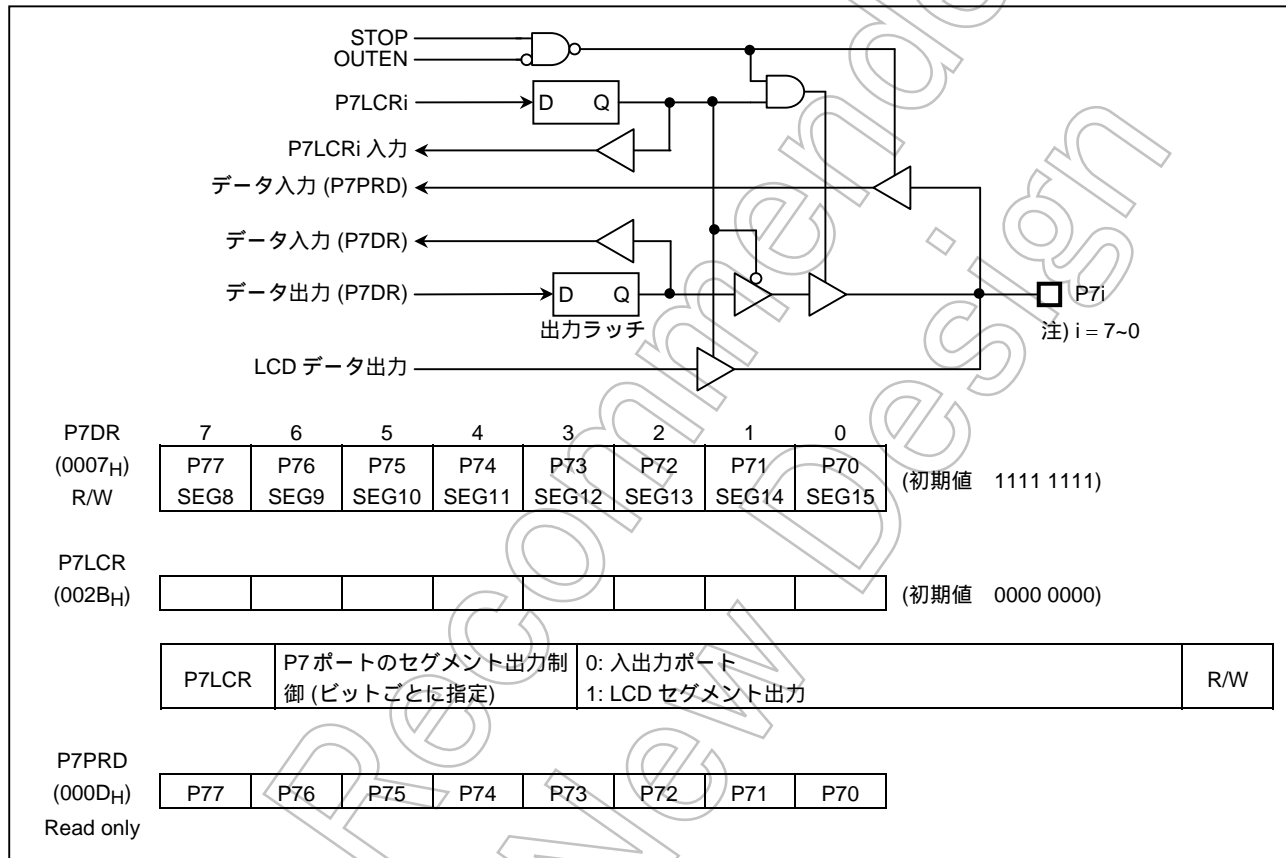


図 2.2.7 P7 ポート

2.3 タイムベースタイマ (TBT)

タイムベースタイマは、キースキャンやダイナミック表示処理などの基準時間生成用タイマで、一定周期ごとにタイムベースタイマ割り込み (INTTBT) を発生します。

タイムベースタイマ割り込みは、タイムベースタイマをイネーブルにした後、ソースクロック (タイミングジェネレータのデバイダ出力を TBTCK で選択) の最初の立ち下がりから発生します。なお、デバイダはプログラムでクリアされませんので、最初の割り込みに限り設定した割り込み周期よりも早く割り込みが発生することがあります (図 2.3.1 (b) 参照)。

割り込み周波数の選択は、タイムベースタイマがディセーブルの状態で行ってください (イネーブル状態からディセーブルにする際も割り込み周波数の設定を変更しないでください)。なお、周波数の選択とイネーブルを同時にすることはできません。

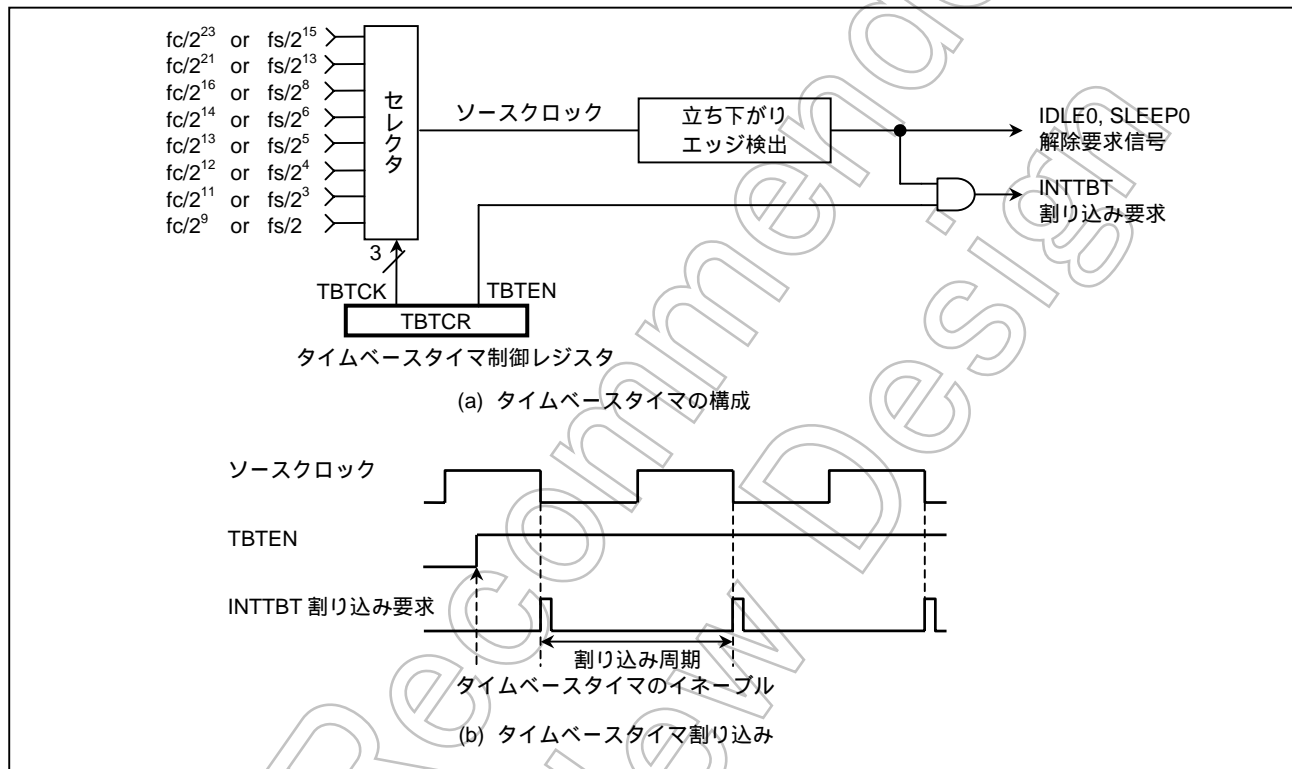


図2.3.1 タイムベースタイマ

例: タイムベースタイマ割り込み周波数を $fc/2^{16}$ [Hz] にセットし、割り込みを許可します。

```
LD      (TBTCCR), 00000010B    ; TBTCK ← 010
LD      (TBTCCR), 00001010B    ; TBTEN ← 1
DI      ; IMF ← 0
SET     (EIRL). 6
```

TBTCR (0036H)	7 (DVOEN)	6 (DVOCK)	5	4 (DV7CK)	3 TBTEN	2	1	0 TBTCK	(初期値: 0000 0000)
TBTEN	タイムベースタイマの 許可/禁止		0: ディセーブル 1: イネーブル						
TBTCK	タイムベースタイマ割り込み 周波数の選択 単位: [Hz]		NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード			R/W	
			DV7CK = 0		DV7CK = 1				
			000	$fc/2^{23}$	$fs/2^{15}$	$fs/2^{15}$			
			001	$fc/2^{21}$	$fs/2^{13}$	$fs/2^{13}$			
			010	$fc/2^{16}$	$fs/2^8$	-			
			011	$fc/2^{14}$	$fs/2^6$	-			
			100	$fc/2^{13}$	$fs/2^5$	-			
			101	$fc/2^{12}$	$fs/2^4$	-			
110	$fc/2^{11}$	$fs/2^3$	-						
111	$fc/2^9$	$fs/2$	-						

注) fc: 高周波クロック [Hz]、fs: 低周波クロック [Hz]、*: Don't care

図2.3.2 タイムベースタイマ制御レジスタ

表2.3.1 タイムベースタイマ割り込み周波数 (例: $fc = 16$ MHz, $fs = 32.768$ kHz 時)

TBTCK	タイムベースタイマ割り込み周波数 [Hz]		
	NORMAL1/2, IDLE1/2 モード		SLOW, SLEEP モード
	DV7CK = 0	DV7CK = 1	
000	1.91	1	1
001	7.63	4	4
010	244.14	128	-
011	976.56	512	-
100	1953.13	1024	-
101	3906.25	2048	-
110	7812.5	4096	-
111	31250	16384	-

2.4 ウォッチドッグタイマ (WDT)

ウォッチドッグタイマは、ノイズなどの原因による誤動作 (暴走) やデッドロック状態を速やかに検出し、正常な状態に戻すことを目的としたフェイルセーフ機能です。

ウォッチドッグタイマによる暴走検出信号は、“リセット要求” または “ノンマスカブル割り込み要求” のいずれかにプログラムで選択することができます。ただし、選択は 1 回限りです。リセット解除時は、“リセット要求” に初期化されます。

なお、ウォッチドッグタイマを暴走検出用として使用しない場合、一定周期ごとに割り込みを発生するタイマとして利用できます。

注) 外乱ノイズなどの影響によっては、ウォッチドッグタイマが完全な機能を果たせない場合がありますので、機器設計時には十分な考慮が必要です。

2.4.1 ウォッチドッグタイマの構成

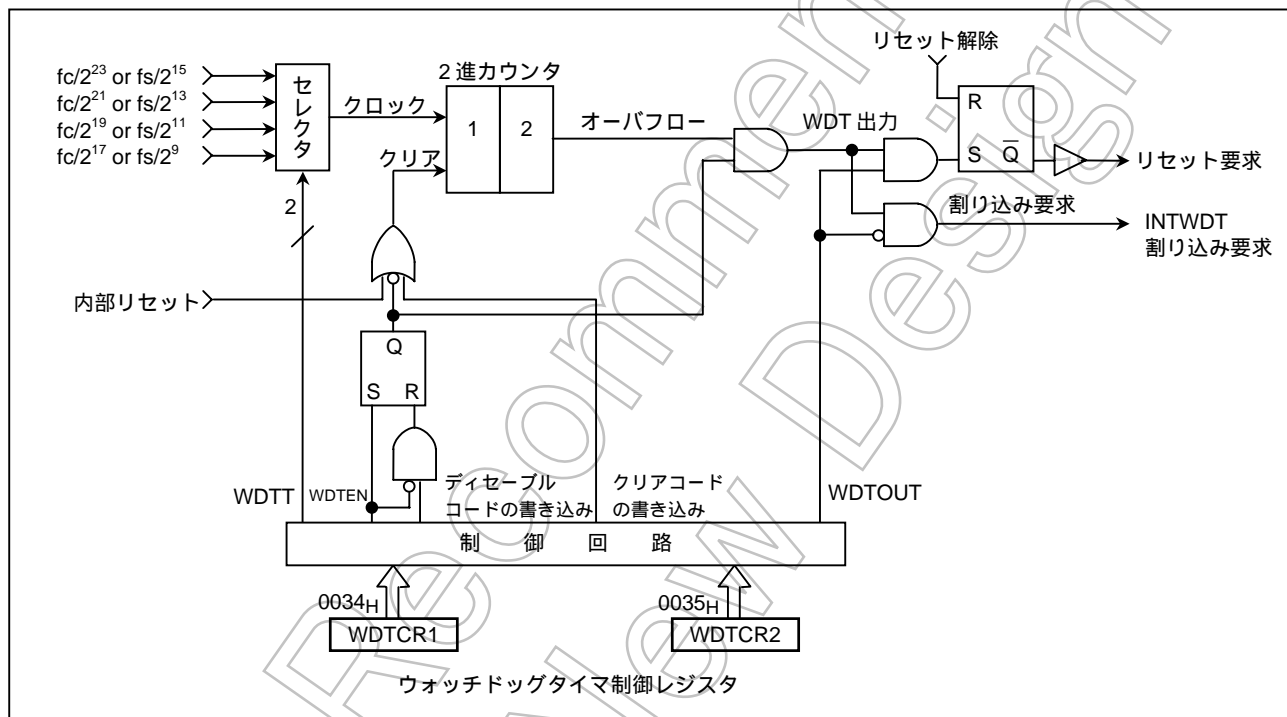


図2.4.1 ウォッチドッグタイマの構成

2.4.2 ウォッチドッグタイマの制御

ウォッチドッグタイマの制御レジスタを図 2.4.2に示します。リセット解除後、ウォッチドッグタイマはイネーブルになります。

(1) ウォッチドッグタイマによる暴走検出の方法

CPU の暴走検出を行うには、次のようにします。

- a. 検出時間の設定, 出力の選択および 2 進カウンタのクリア
- b. 設定した検出時間以内ごとに、2 進カウンタのクリアを繰り返し行います。

もし、何らかの原因で暴走またはデッドロック状態に陥り、2 進カウンタのクリアが行われないと、2 進カウンタのオーバフローでウォッチドッグタイマ出力がアクティブになります。このとき WDTCR1<WDTOUT> = “1” なら RESET 端子から “L” レベルを出力するとともに、内蔵ハードウェアをリセットします。また、WDTCR1<WDTOUT> = “0” なら、ウォッチドッグタイマ割り込み (INTWDT) を発生します。

なお、STOP モード (ウォームアップ中を含む) または IDLE モード中、ウォッチドッグタイマは一時的にカウントアップを停止し、STOP/IDLE モード解除後、自動的に再起動 (カウントアップ継続) します。

注) ウォッチドッグタイマは、内部デバイダと 2 段の 2 進カウンタによって構成されており、クリアコード (4EH) を書き込んだ場合、2 進カウンタはクリアされますが、内部デバイダはクリアされません。従って 2 進カウンタのオーバフロー時間は、WDTCR2 レジスタにクリアコード (4EH) を書き込むタイミングによって、最短で WDTCR1<WDTT> の設定時間の 3/4 となる場合がありますので、これより短い周期でクリアコードを書き込んでください。

例: ウォッチドッグタイマ検出時間を $2^{21}/f_c$ [s] に設定し、暴走検出リセットを行う。

	LD	(WDTCR2), 4EH	; 2 進カウンタのクリア
	LD	(WDTCR1), 00001101B	; WDTT ← 10, WDTOUT ← 1
WDT 検出 時間 3/4 以内	LD	(WDTCR2), 4EH	; 2 進カウンタのクリア (WDTT 変更直前直後は必ずクリアします。)
WDT 検出 時間 3/4 以内	LD	(WDTCR2), 4EH	; 2 進カウンタのクリア
	LD	(WDTCR2), 4EH	; 2 進カウンタのクリア

ウォッチドッグタイマ制御レジスタ 1

WDTCR1 7 6 5 4 3 2 1 0
 (0034H) - - (ATAS) (AOUT) WDTEN WDTT WDTOUT (初期値: **11 1001)

WDTCR1	7	6	5	4	3	2	1	0	
(0034H)	-	-	(ATAS)	(AOUT)	WDTEN	WDTT	WDTOUT		(初期値: **11 1001)
WDTCR1	ウォッチドッグタイマの許可/禁止		0: 禁止 (WDTCR2 にディセーブルコードを書き込む必要あり) 1: 許可						
WDTCR1	ウォッチドッグタイマ検出時間の設定 単位: [s]			NORMAL1/2 モード		SLOW1/2 モード		Write only	
				DV7CK = 0	DV7CK = 1				
		00	$2^{25}/fc$	$2^{17}/fs$	$2^{17}/fs$				
		01	$2^{23}/fc$	$2^{15}/fs$	$2^{15}/fs$				
		10	$2^{21}/fc$	$2^{13}/fs$	$2^{13}/fs$				
11	$2^{19}/fc$	$2^{11}/fs$	$2^{11}/fs$						
WDTCR1	ウォッチドッグタイマ出力の選択		0: 割り込み要求 1: リセット要求						

注 1) WDTOUT を "0" にクリア後は、プログラムで "1" に再セットできません。

注 2) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz], *: Don't care

注 3) WDTCR1 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令ではアクセスしないでください。

注 4) STOP モード起動時は、STOP モードに入る直前にウォッチドッグタイマを禁止するか、カウンタをクリアしてください。

また、カウンタをクリアした場合は、STOP モード解除直後に再度カウンタをクリアしてください。

注 5) WDTEN を "1" から "0" に切り替える場合は、誤動作の原因となる場合がありますので、直前に WDTCR2 へ "4EH" を書き込み、2進カウンタをクリアした後、WDTCR2 へ "B1H" を書き込んでウォッチドッグタイマをディセーブルにしてください。また、これらの動作の直前に、割り込みマスタ許可フラグ (IMF) を "0" に設定してください。

ウォッチドッグタイマ制御レジスタ 2

WDTCR2 7 6 5 4 3 2 1 0
 (0035H) | | | | | | | | (初期値: **** *)

WDTCR2	ウォッチドッグタイマの制御コード書き込み	4EH: ウォッチドッグタイマの2進カウンタのクリア (クリアコード) B1H: ウォッチドッグタイマのディセーブル (ディセーブルコード) D2H: アドレストラップ領域選択有効 その他: 無効	Write only
--------	----------------------	---	------------

注 1) ディセーブルコードは、WDTCR1<WDTEN> = "0" のとき以外は書き込み無効です。

注 2) *: Don't care

注 3) ウォッチドッグタイマの2進カウンタのクリアは、割り込みタスクで行わないでください。

注 4) クリアコード (4EH) は、WDTCR1<WDTT> の設定時間の 3/4 以内に書き込んでください。

図2.4.2 ウォッチドッグタイマ制御レジスタ

(2) ウォッチドッグタイマのイネーブル

WDTCR1<WDTEN> を "1" にセットするとイネーブルになります。リセット時、WDTCR1<WDTEN> は "1" に初期化されますので、リセット解除後ウォッチドッグタイマは直ちに動作します。

(3) ウォッチドッグタイマのディセーブル

ウォッチドッグタイマをディセーブルするには、割り込みマスタ許可フラグ (IMF) を "0" にし、WDTCR2 にクリアコード (4EH) を書き込んだ後、WDTCR1<WDTEN> を "0" にクリアします。その後 WDTCR2 にディセーブルコード (B1H) を書き込むことによりディセーブルになります。なお、逆に WDTCR2 にディセーブルコードを書き込んだ後、WDTCR1<WDTEN> を "0" にクリアしてもディセーブルになりません。ディセーブル中は、ウォッチドッグタイマの2進カウンタはクリアされています。

例: ウォッチドッグタイマのディセーブル

DI ; IMF ← 0
 LD (WDTCR2), 4EH ; 2進カウンタのクリア
 LDW (WDTCR1), 0B101H ; WDTEN ← 0, WDTCR2 ← ディセーブルコード

表2.4.1 ウォッチドッグタイマ検出時間 (例: $f_c = 16 \text{ MHz}$ 時, $f_s = 32.768 \text{ kHz}$ 時)

WDTT	ウォッチドッグタイマ検出時間 [s]		
	NORMAL1/2 モード		SLOW モード
	DV7CK = 0	DV7CK = 1	
00	2.097	4	4
01	524.288 m	1	1
10	131.072 m	250 m	250 m
11	32.768 m	62.5 m	62.5 m

2.4.3 ウォッチドッグタイマ割り込み (INTWDT)

ノンマスクابل割り込みは、割り込み許可レジスタの内容にかかわらず割り込みを受け付けます。ただし、すでにウォッチドッグタイマ割り込み中、もしくはソフトウェア割り込み中であれば、それらの処理が終了 (RETN 命令の実行終了) するまで受け付けは待たされます。なお、スタックポインタ (SP) の設定はウォッチドッグタイマ出力 (WDTOUT) を割り込み要因に設定する前に行ってください。

例: ウォッチドッグタイマ割り込みの設定例

LD SP, 023FH ; SP の設定
 LD (WDTCR1), 00001000B ; WDTOUT ← 0

2.4.4 ウォッチドッグタイマリセット

ウォッチドッグタイマのリセット要求が発生すると、RESET端子から“L”レベルを出力するとともに内蔵ハードウェアはリセットされます。ウォッチドッグタイマリセットが発生すると、フラッシュリセットも発生します。従ってリセットの最大時間は、 $24/f_c + 2^{10}/f_c$ [s] ($65.5 \mu\text{s}$ @ $f_c = 16.0 \text{ MHz}$) です。

注) SLOW モードのときにウォッチドッグタイマリセットが発生した場合、高周波クロックの発振が直ちに開始されます。このとき高周波発振クロックの発振周波数にゆらぎがある場合、リセット時間は誤差を含むことになります。従ってリセット時間は概略値としてとらえる必要があります。

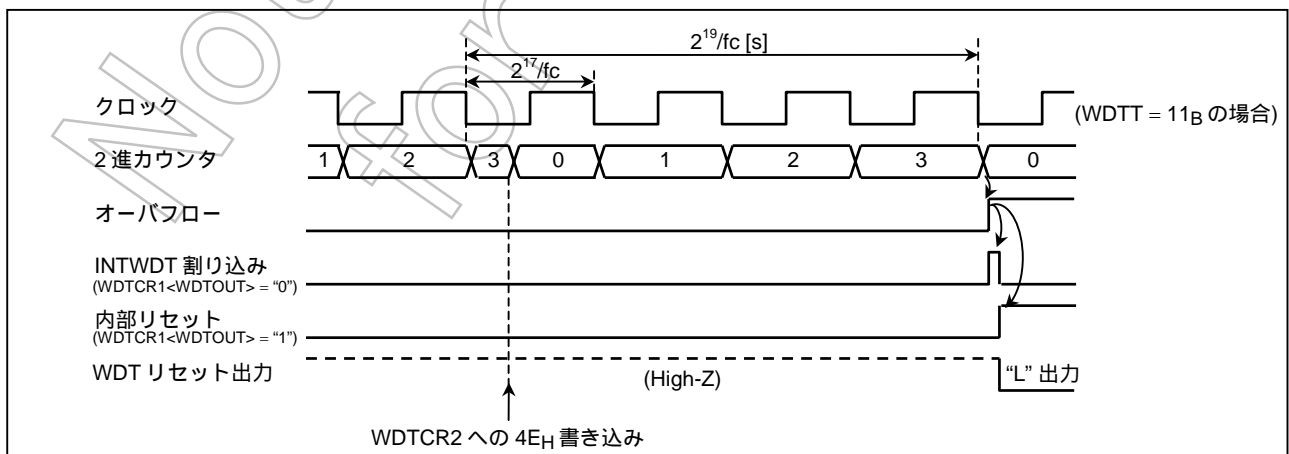


図2.4.3 ウォッチドッグタイマ割り込み/リセット

2.5 アドレストラップ

ウォッチドッグタイマ制御レジスタ 1, 2 は、アドレストラップ時の制御用レジスタと兼用となっています。アドレストラップの制御レジスタを図 2.5.1 に示します。

ウォッチドッグタイマ制御レジスタ 1								
WDTCR1	7	6	5	4	3	2	1	0
(0034H)	-	-	ATAS	ATOUT	(WDTEN)	(WDTT)	(WDTOUT)	(初期値: **11.1001)
ATAS	内蔵 RAM 領域のアドレストラップ選択		0: アドレストラップ発生しない 1: アドレストラップ発生する (ATAS の設定後 WDTCR2 に制御コード "D2H" を書き込む必要あり)				Write only	
ATOUT	アドレストラップ発生時の動作選択		0: 割り込み要求 1: リセット要求					
ウォッチドッグタイマ制御レジスタ 2								
WDTCR2	7	6	5	4	3	2	1	0
(0035H)								(初期値: **** *)
WDTCR2	ウォッチドッグタイマの制御コード書き込み兼 アドレストラップ領域選択の制御コード書き込み		D2H: アドレストラップ領域選択有効 (ATRAP 設定コード) 4EH: ウォッチドッグタイマの 2 進カウンタのクリア (WDT クリアコード) B1H: ウォッチドッグタイマのディセーブル (WDT ディセーブルコード) その他: 無効				Write only	

図2.5.1 ウォッチドッグタイマ制御レジスタ

(1) 内蔵 RAM 領域のアドレストラップ選択 (ATAS)

内蔵 RAM 領域は、WDTCR1<ATAS>によってアドレストラップする/しないを選択することができます。内蔵 RAM 領域で命令を実行する場合、WDTCR1<ATAS>を "0" に設定します。

WDTCR1<ATAS>の設定は、WDTCR1 の設定後、WDTCR2 に "D2H" を書き込むことで有効となります。SFR, DBR 領域内で命令を実行すると、WDTCR1<ATAS>の設定にかかわらず無条件にアドレストラップが発生します。

(2) アドレストラップ発生時の動作選択 (ATOUT)

アドレストラップ発生時は、WDTCR1<ATOUT>によって割り込みを発生するか、リセットを発生 (RESET端子から "L" レベルを出力) するかを選択することができます。

2.6 デバイダ出力 (DVO)

タイミングジェネレータのデバイダによって、デューティ約 50% のパルスを出力することができ、圧電ブザーなどの駆動に利用できます。デバイダ出力は、P30 (DVO) 端子から出力されます。なお、P51 ポートは出力ラッチを “1” にセットします。

注) デバイダ出力周波数の選択は、デバイダ出力が禁止の状態で行ってください (許可状態から禁止状態にする際も、デバイダ出力周波数の設定を変更しないでください)。

TBTCR (0036H)	7	6	5	4	3	2	1	0	(初期値: 0000 0000)
	DVOEN	DVOCK	(DV7CK)	(TBTEN)		(TBTC)			

DVOEN	デバイダ出力の許可/禁止	0: 出力禁止 1: 出力許可			
DVOCK	デバイダ出力 (DVO 端子) の周波数選択 単位: [Hz]		NORMAL1/2, IDLE1/2 モード	SLOW, SLEEP モード	
			DV7CK = 0	DV7CK = 1	
		00	$fc/2^{13}$	$fs/2^5$	$fs/2^5$
		01	$fc/2^{12}$	$fs/2^4$	$fs/2^4$
		10	$fc/2^{11}$	$fs/2^3$	$fs/2^3$
		11	$fc/2^{10}$	$fs/2^2$	$fs/2^2$

注) fc: 高周波クロック [Hz], fs: 低周波クロック [Hz], *: Don't care

図2.6.1 デバイダ出力制御レジスタ

例: 1.95 kHz のパルスを出力 ($fc = 16.0$ MHz)。

SET (P3DR).0 ; P30 出力ラッチ ← “1”
 LD (TBTCR), 00000000B ; DVOCK ← “00”
 LD (TBTCR), 10000000B ; DVOEN ← “1”

表2.6.1 デバイダ出力の周波数 (例: $fc = 16.0$ MHz, $fs = 32.768$ kHz)

DVOCK	デバイダ出力の周波数 [Hz]		
	NORMAL1/2, IDLE1/2 モード		SLOW, SLEEP モード
	DV7CK = 0	DV7CK = 1	
00	1.953 k	1.024 k	1.024 k
01	3.906 k	2.048 k	2.048 k
10	7.813 k	4.096 k	4.096 k
11	15.625 k	8.192 k	8.192 k

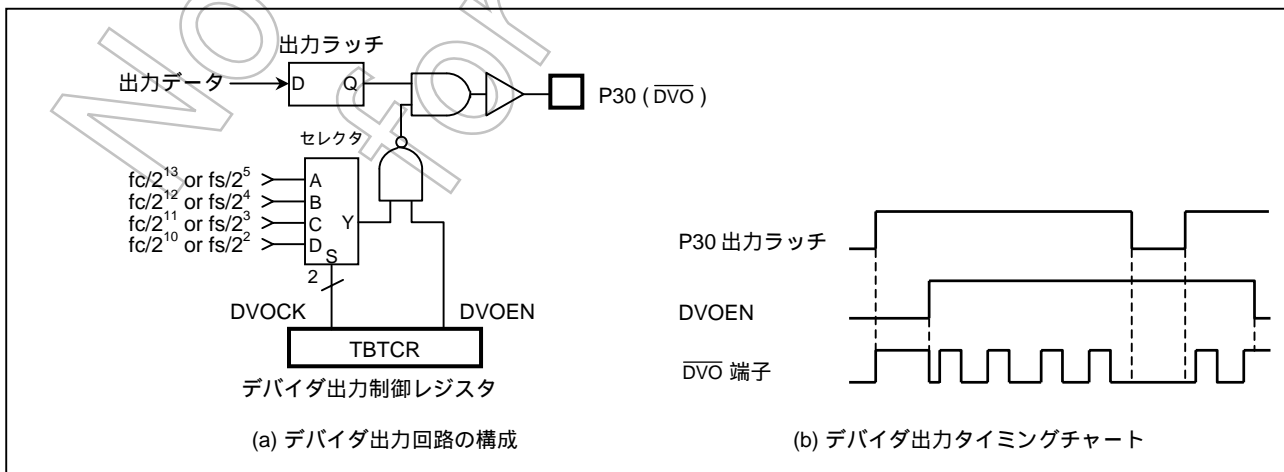


図2.6.2 デバイダ出力

2.7 18ビットタイマカウンタ1 (HEC)

2.7.1 構成

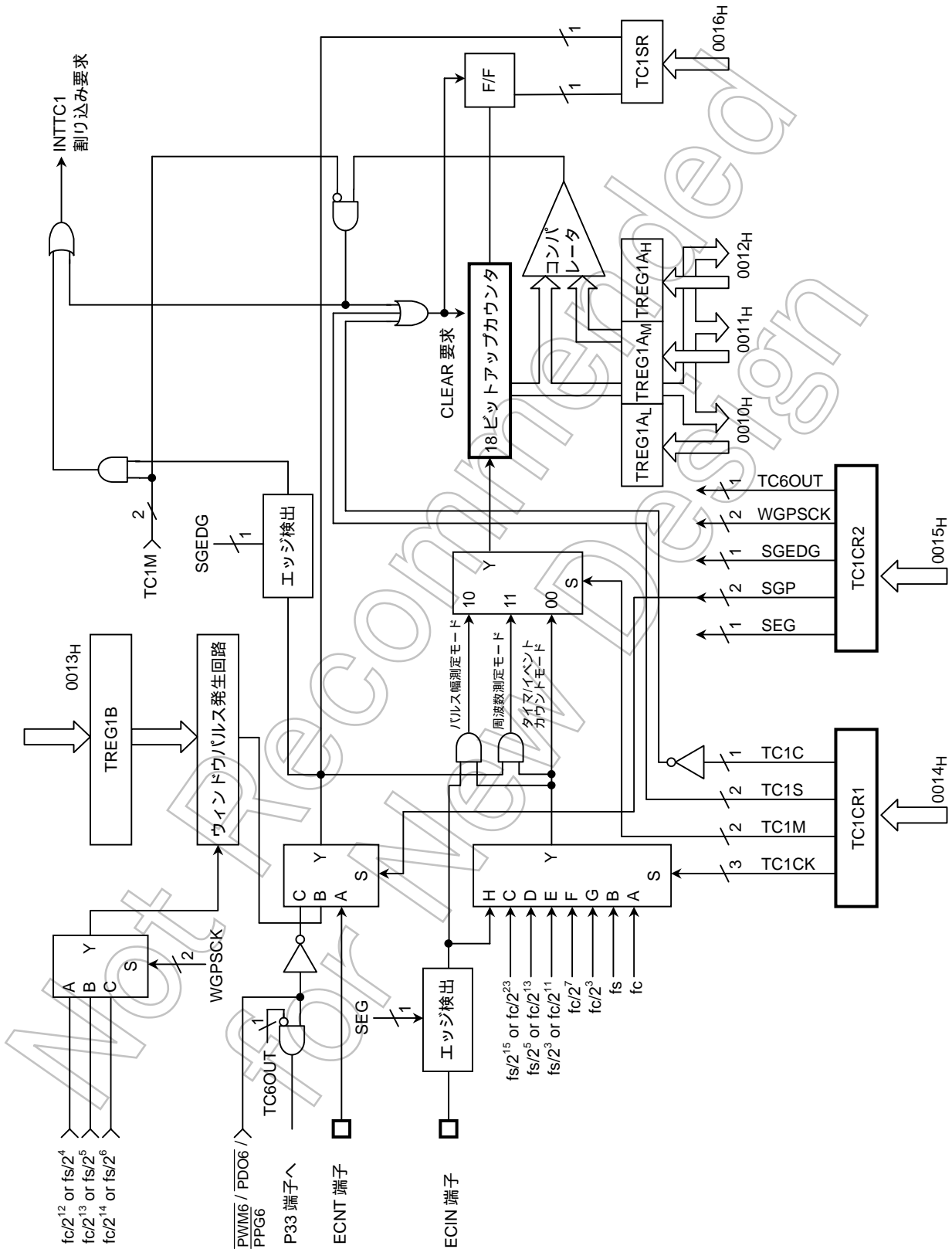


図 2.7.1 タイマ/カウンタ1 (TC1)

2.7.2 制御

タイマカウンタ 1 は、タイマカウンタ 1 制御レジスタ (TC1CR1/TC1CR2), 18 ビットタイマレジスタ (TREG1A) および 8 ビットの内部ウィンドウゲートパルス設定レジスタ (TREG1B) で制御されます。

タイマレジスタ																	
17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TREG1AH (0012H)		TREG1AM (0011H)								TREG1AL (0010H)							
TREG1A (0012H, 0011H, 0010H) Read/Write (初期値 00 0000 0000 0000 0000)																	
内部ウィンドウゲートパルス設定レジスタ																	
TREG1B (0013H)		7	6	5	4	3	2	1	0	(初期値 0000 0000)							
Ta		ウィンドウゲートパルスの "H" レベル期間の設定				$(16 - Ta) \times 2^{13}/fc$ または $(16 - Ta) \times 2^5/fs$ [s]								R/W			
Tb		ウィンドウゲートパルスの "L" レベル期間の設定				$(16 - Tb) \times 2^{13}/fc$ または $(16 - Tb) \times 2^5/fs$ [s]								R/W			
注) WGPSCK = 01 の場合																	
タイマカウンタ 1 制御レジスタ 1																	
TC1CR1 (0014H)		7	6	5	4	3	2	1	0	(初期値 1000 1000)							
TC1C		0: カウンタ/オーバフローフラグクリア要求 (クリア後、自動的に "1" にセットされます)															
TC1S		タイマカウンタ 1 のスタート制御		00: ストップ&カウンタクリア (オーバフローフラグもクリアされます) 10: スタート *1: Reserved													
TC1CK		タイマカウンタ 1 のソースクロックの選択		000: 内部クロック fc [Hz] 001: 内部クロック fs [Hz] 010: 内部クロック $fc/2^{23}$ または $fs/2^{15}$ [Hz] 011: 内部クロック $fc/2^{13}$ または $fs/2^5$ [Hz] 100: 内部クロック $fc/2^{11}$ または $fs/2^3$ [Hz] 101: 内部クロック $fc/2^7$ [Hz] 110: 内部クロック $fc/2^3$ [Hz] 111: 外部クロック (ECIN 端子入力)													
TC1M		タイマカウンタ 1 の動作モードの選択		00: タイマ/イベントカウンタモード 01: Reserved 10: パルス幅測定モード 11: 周波数測定モード													
注 1) fc: 高周波クロック [Hz] fs: 低周波クロック [Hz] *: Don't care																	
注 2) タイマレジスタの下位側 (TREG1AL, TREG1AM) に書き込むと上位側 (TREG1AH) への書き込みが終わるまで、一致検出を停止します (従ってタイマレジスタの下位側だけの変更はできません)。また、上位側への書き込み後 1 マシンサイクル以内 (すなわち命令実行中) の一致検出も無視されます。																	
注 3) モード、ソースクロック、エッジ (選択) は、停止 (TC1S = 00) 状態で設定してください。																	
注 4) ソースクロックに fc を選択できるのは、タイマモード (SLOW 時) とパルス幅測定モード (NORMAL1/2 または IDLE1/2 時) だけです。																	
注 5) タイマレジスタ (TREG1A) にリード命令を実行すると、レジスタ設定値ではなくカウンタ即値が読み出され TREG1A に書き込んだ値を読み出すことはできません。従ってカウンタ即値を読み出す場合、カウント中にリード命令を実行すると不定値が読み出されることがありますので、必ずカウントが停止している状態でリードしてください。																	
注 6) タイマレジスタの設定は TREG1A 1 で使用してください。																	
注 7) タイマモード/パルス幅測定モードで使用する場合、ソースクロックの選択 (TC1CK) は内部クロックに設定してください。																	
注 8) イベントカウンタモードで使用する場合、ソースクロックの選択 (TC1CK) は外部クロックに設定してください。																	
注 9) タイマレジスタ (TREG1A) は書き込み値、読み出し値が異なりますのでリードモディファイライト命令ではアクセスしないでください。																	
注 10) TREG1AH (0012H) の bit 2~7 は常に "0" が読み出されます ("1" は書き込めません)。																	
注 11) SLOW モード/SLEEP モードでは $fc/2^7$, $fc/2^3$ はソースクロックとして選択できません。																	

図 2.7.2 タイマカウンタ 1 のタイマレジスタ/ウィンドウゲートパルス設定レジスタ/制御レジスタ

タイマカウンタ 1 制御レジスタ 2

TC1CR2 7 6 5 4 3 2 1 0
 (0015H) SEG SGP SGEDG WGPSCK TC6OUT "0" (初期値 0000 000*)

SEG	外部入力クロック (ECIN) エッジ選択	0: 立ち下がりエッジでカウント 1: 立ち下がり/立ち上がり両エッジでカウント	R/W
SGP	ウィンドウゲートパルスの選択	00: ECNT 入力 01: 内部ウィンドウゲートパルス (TREG1B) 10: $\overline{\text{PWM6}} / \overline{\text{PDO6}} / \overline{\text{PPG6}}$ (TC6) 出力 11: Reserved	
SGEDG	ウィンドウゲートパルス 割り込みエッジの選択	0: 立ち下がりエッジで割り込み 1: 立ち下がり/立ち上がり両エッジで割り込み	
WGPSCK	ウィンドウゲートパルス ソースクロックの選択	00: $2^{12}/f_c$ または $2^4/f_s$ を選択 01: $2^9/f_c$ または $2^5/f_s$ を選択 10: $2^4/f_c$ または $2^6/f_s$ を選択 11: Reserved	
TC6OUT	TC6 出力 ($\overline{\text{PWM6}} / \overline{\text{PDO6}} / \overline{\text{PPG6}}$) の外部出力の選択	0: P33 へ出力する 1: P33 へ出力しない	

注 1) f_c : 高周波クロック [Hz] f_s : 低周波クロック [Hz] *: Don't care

注 2) TC1CR2 の設定はタイマカウンタ停止状態 (TC1S = 00) で行ってください。

注 3) TC1CR2 の 0 ビット目には "0" を必ず書き込んでください。

注 4) $\overline{\text{PWM6}} / \overline{\text{PDO6}} / \overline{\text{PPG6}}$ をタイマカウンタ 1 のウィンドウゲートパルスとして使用しない場合は、TC6OUT は "0" に設定してください。

タイマカウンタ 1 ステータスレジスタ

TC1SR 7 6 5 4 3 2 1 0
 (0016H) HECF HEOVF "0" "0" "0" "0" "0" "0" (初期値 0000 0000)

HECF	動作状態モニタ	0: 停止 (Tb の期間) またはディセーブル 1: カウント動作中 (Ta の期間)	Read only
HEOVF	カウンタオーバーフローモニタ	0: オーバフロー未検出 1: オーバフロー状態	

図 2.7.3 タイマカウンタ 1 の制御レジスタ/ステータスレジスタ

2.7.3 機能

タイマカウンタ 1 には、4 つの動作モードがあります。また、SLOW モードから NORMAL2 モードへの切り替え時のウォーミングアップの際、通常タイマカウンタ 1 のタイマモードを使用します。

(1) タイマモード

内部クロックの立ち下がりエッジでカウントアップするモードです。カウンタ値とタイマレジスタ 1A (TREG1A) 設定値との一致で INTTC1 割り込みが発生し、カウンタがクリアされます。カウンタクリア後もカウントアップを続けます。

表 2.7.1 タイマカウンタ 1 のソースクロック (内部クロック)

ソースクロック				分解能		最大設定時間	
NORMAL1/2, IDLE1/2 モード		SLOW モード	SLEEP モード	fc = 16 MHz	fs = 32.768 kHz	fc = 16 MHz	fs = 32.768 kHz
DV7CK = 0	DV7CK = 0						
fc/2 ²³ [Hz]	fs/2 ¹⁵ [Hz]	fc/2 ¹⁵ [Hz]	fc/2 ¹⁵ [Hz]	0.52 s	1 s	38.2 h	72.8 h
fc/2 ¹³	fs/2 ⁵	fc/2 ⁵	fc/2 ⁵	512 μs	0.98 ms	2.2 min	4.3 min
fc/2 ¹¹	fs/2 ³	fc/2 ³	fc/2 ³	128 μs	244 μs	0.5 min	1.07 min
fc/2 ⁷	fc/2 ⁷	-	-	8 μs	-	2.1 s	-
fc/2 ³	fc/2 ³	-	-	0.5 μs	-	131 ms	-
fc	fc	fc (注)	-	62.5 ns	-	16.4 ms	-
fs	fs	-	-	-	30.5 μs	-	8 s

注) SLOW モードでソースクロックに fc を選択した場合は、TREG1A の下位 11 ビットは無視され、上位 7 ビットの一貫で割り込みを発生します。

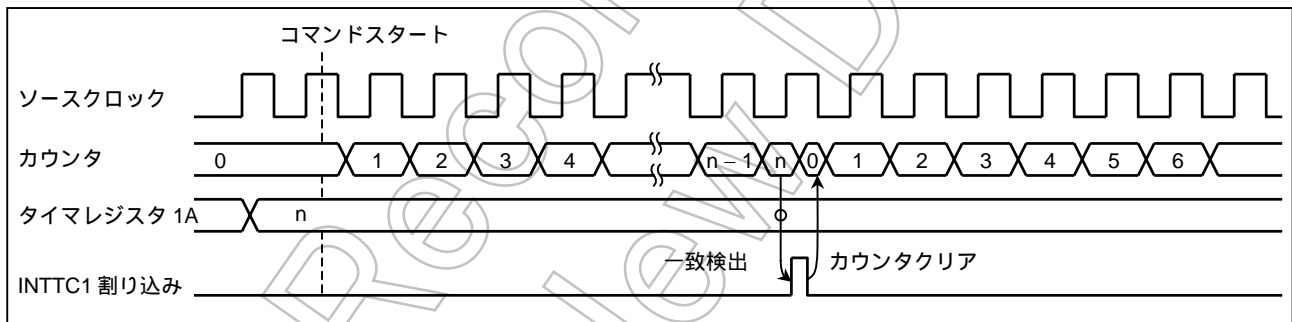


図 2.7.4 タイマモード タイミングチャート

(2) イベントカウンタモード

ECIN 端子入力の立ち下がりエッジでカウントアップするモードです。カウンタ値と TREG1A 設定値との一致で INTTC1 割り込み発生し、カウンタはクリアされます。カウンタクリア後も ECIN 端子入力のエッジごとにカウントアップします。最大印可周波数は、fc/2⁴ [Hz] (NORMAL1/2 または IDLE1/2 モード時)、fs/2⁴ [Hz] (SLOW1/2, SLEEP1/2 モード時) で、“H”、“L” レベルとも 2 マシンサイクル以上のパルス幅が必要です。

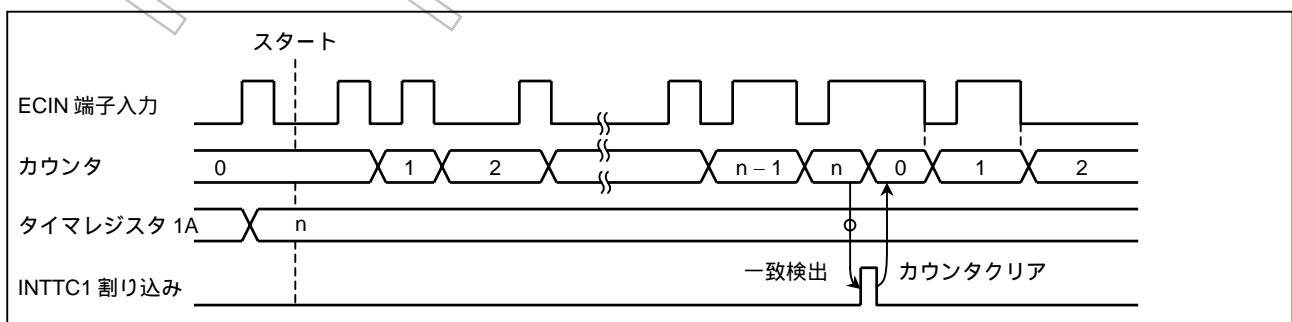


図 2.7.5 イベントカウンタモード タイミングチャート

(3) パルス幅測定モード

ECIN 端子入力 (ウィンドウパルス) と内部クロックとの論理積パルスの立ち下がりエッジでカウントアップするモードです。内部クロックは、TC1CK で選択します。ウィンドウパルスの立ち下がりエッジもしくは立ち上がり/立ち下がり両エッジで (TC1CR2 の SGEDG により選択可能) で (INTTC1) 割り込みが発生します。カウンタ値 (TREG1A) の読み出しは、割り込みサービスプログラムでカウントが停止している状態 (ECIN 端子が “L” の期間) で行い、その後 TC1C によりカウンタをクリアしてください。カウンタクリアしない場合、次のカウントスタートよりカウントアップが継続されます。TREG1A が 3FFFFH から 00000H にカウントアップしたとき、オーバフローが発生します。オーバフローの検出はステータスレジスタの HEOVF によりモニタすることができます。なお、オーバフローフラグ状態はカウンタクリア要求しない限り前のデータが残ったままになります。

注 1) パルス幅測定モードにおいて ECIN 端子入力が “1” のとき、タイマカウンタ 1 のスタート制御 (TC1S) を “00” (ストップ&カウンタクリア) に設定すると INTTC1 割り込みが発生します。従ってタイマカウンタを停止するときは、以下のような手順で割り込みラッチ (IL8) をクリアしてください。

TC1STOP:

```

:      ;
DI      ; IMF クリア
CLR (EIRH). EF8 ; TC1 許可フラグクリア
LD (TC1CR1), 00011010B ; タイマ停止
LD (ILH), 11111110B ; 割り込みラッチ (IL8) クリア
SET (EIRH). EF8 ; TC1 許可フラグ
EI      ; IMF セット
:      ;

```

注 2) パルス幅測定モードにおいてウィンドウゲートパルスの割り込みエッジの選択 (SGEDG) が両エッジかつ ECIN 端子が “1” のとき、タイマカウンタ 1 のスタート制御 (TC1S) を “10” (スタート) に設定すると INTTC1 割り込みが発生します。

注 3) パルス幅測定モードでは、動作状態モニタ (HECF) を使用できません。

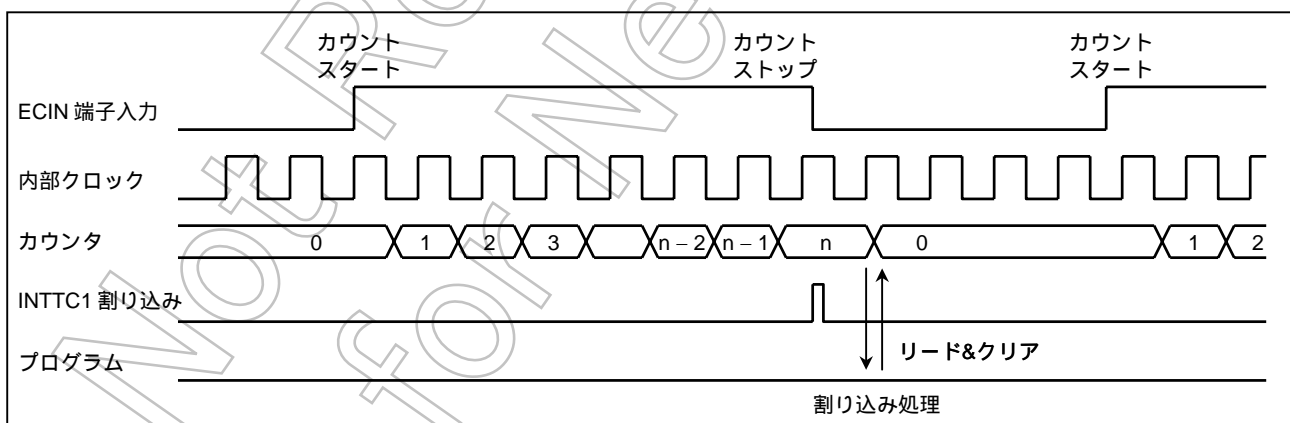


図 2.7.6 パルス幅測定モードタイミングチャート

(4) 周波数測定モード

ECIN 端子入力パルスの周波数を測定するモードです (TC1CK は外部クロックに設定してください)。TC1CR2 の SGP (ウィンドウゲートパルスの選択) で選択されたウィンドウゲートパルスが “H” レベルの期間、入力パルスの立ち下りエッジをカウントし、ウィンドウゲートパルスの立ち下がりエッジもしくは立ち上がり/立ち下がり両エッジで (TC1CR2 の SGEDG により選択可能) INTTC1 割り込みが発生します。ウィンドウゲートパルスとして ECNT 端子入力を使用する場合は SPG を “00” にセットします。カウンタ値 (TREG1A) の読み出しは、割り込みサービスプログラムでカウントが停止している状態 (ウィンドウゲートパルスが “L” の期間) で行い、その後 TC1C によりカウンタをクリアしてください。カウンタクリアしない場合、次のカウントスタートよりカウントアップが継続されます。なお、ウィンドウパルスの状態をステータスレジスタの HECF によりモニタできました、2 進カウンタのオーバフローの検出をステータスレジスタの HEOVF によりモニタすることができます。なお、オーバフローフラグ状態はカウンタクリア要求をしない限り前のデータが残ったままになります。

- ウィンドウゲートパルスに TC6 出力 (PWM6 / PDO6 / PPG6) を使用した場合、TC6OUT (TC1CR2 のビット 1) により $\overline{PWM6} / \overline{PDO6} / \overline{PPG6}$ の外部 (P33) への出力制御が可能です。TC6OUT を “0” にクリアすると P33 から $\overline{PWM6} / \overline{PDO6} / \overline{PPG6}$ が出力され、TC6OUT を “1” にセットすると P33 からは $\overline{PWM6} / \overline{PDO6} / \overline{PPG6}$ は出力されません (TC6OUT は P33 からの出力のみ制御しますので、 $\overline{PWM6} / \overline{PDO6} / \overline{PPG6}$ の動作/停止はタイマカウンタ 6 制御レジスタにて行ってください)。
- 内部ウィンドウゲートパルスを選択した場合ウィンドウゲートパルスの設定は以下のようになります。
内部ウィンドウゲートパルスはカウントを行う時間すなわち “H” レベル期間 (Ta) とカウントを停止する時間すなわち “L” レベル期間 (Tb) とから構成されそれぞれ TREG1B により独立に設定できます。従って、一周期は Ta + Tb となります。

注 1) 内部ウィンドウゲートパルスは、内部デバイダに同期して生成されますので、タイマスタート直後に最大でソースクロック(WGPSCK)の 1 周期分遅れることがあります。

注 2) 内部ウィンドウゲートパルスの設定は、タイマカウンタ停止中もしくは Tb 期間中に行ってください。なお、Tb 期間中に Tb を置き替えた場合、次の Tb の幅から反映されます。

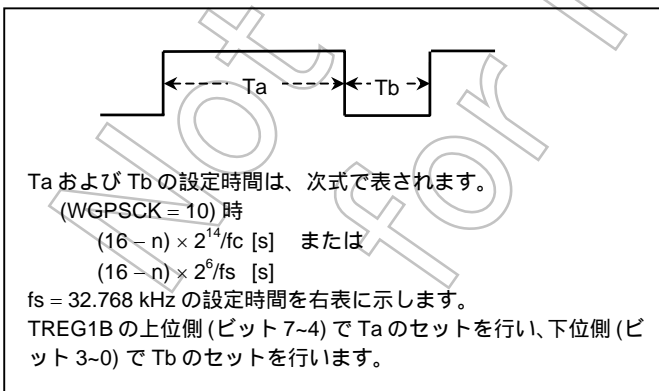


図 2.7.7 ウィンドウゲートパルス設定時間

表 2.7.2 Ta, Tb の設定
(WGPSCK = 10, fs = 32.768 kHz 時)

設定値 n	設定時間	設定値	設定時間
0	31.25 ms	8	15.63 ms
1	29.30 ms	9	13.67 ms
2	27.34 ms	A	11.72 ms
3	25.39 ms	B	9.77 ms
4	23.44 ms	C	7.81 ms
5	21.48 ms	D	5.86 ms
6	19.53 ms	E	3.91 ms
7	17.58 ms	F	1.95 ms

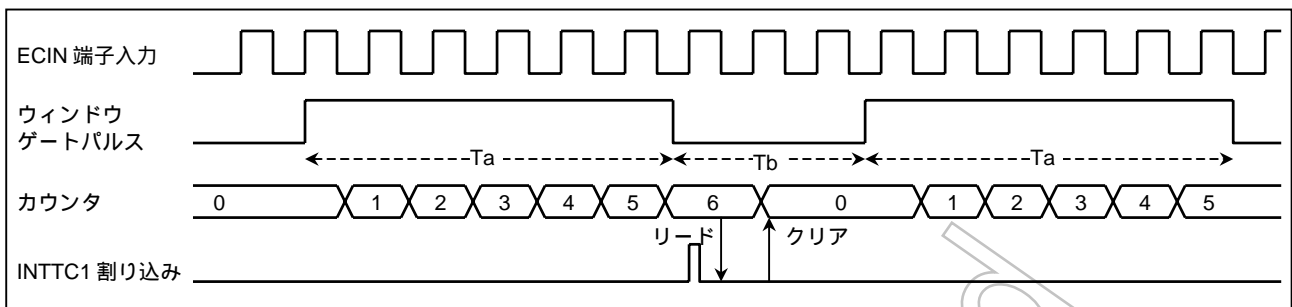


図 2.7.8 周波数測定モードタイミングチャート
(ゲートパルス立ち下がり割り込みの場合)

Not Recommended for New Design

2.8 8ビットタイマカウンタ 3, 4 (TC3, 4)

2.8.1 構成

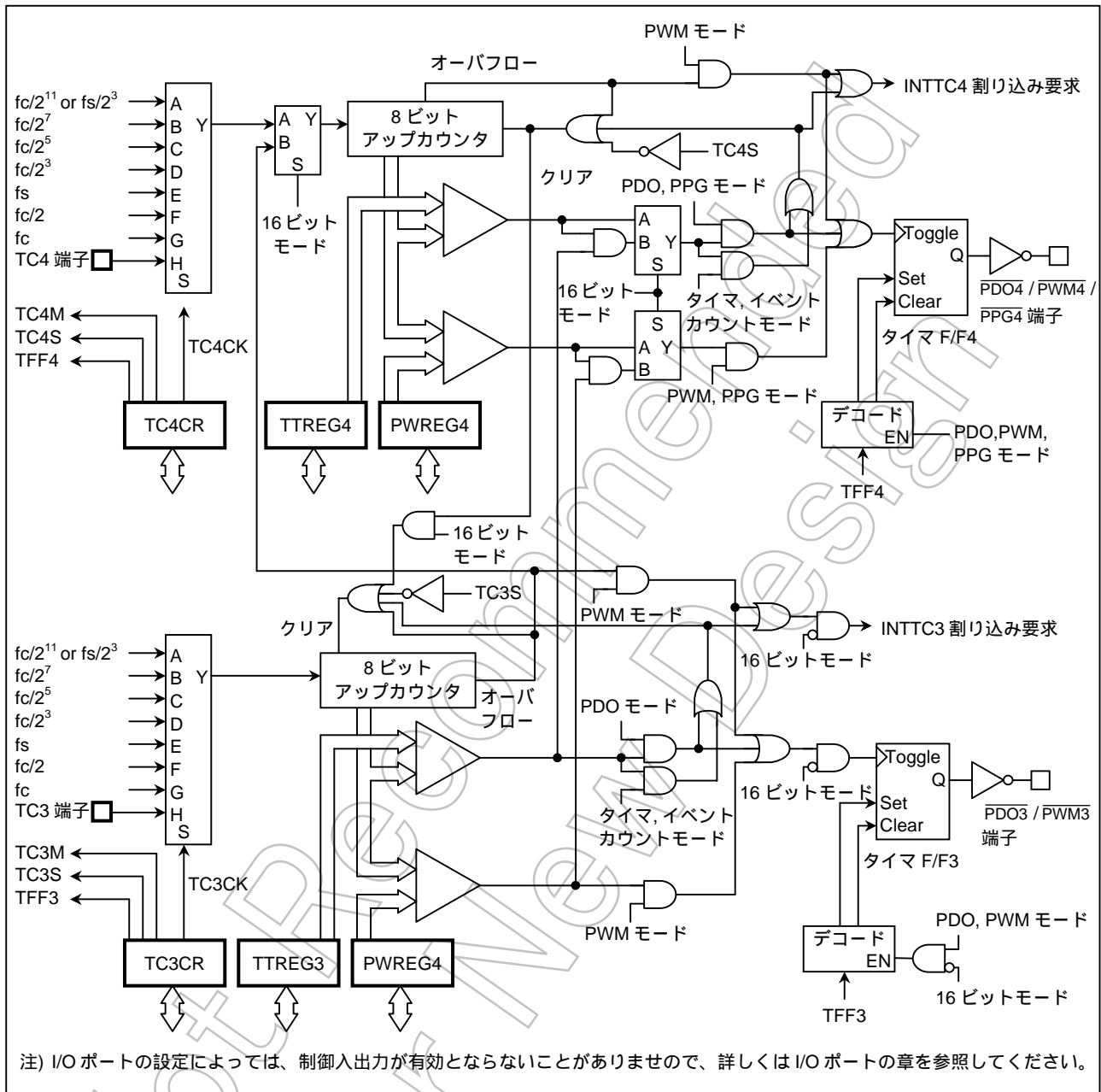


図 2.8.1 8ビットタイマカウンタ 3, 4

2.8.2 制御

タイマカウンタ 3 は、タイマカウンタ 3 制御レジスタ (TC3CR) と 2 本の 8 ビットタイマレジスタ (TTREG3, PWREG3) で制御されます。

タイマレジスタ																																									
TTREG3 (001CH)	<table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>□</td><td>□</td><td>□</td><td>□</td><td>□</td><td>□</td><td>□</td><td>□</td> </tr> </table> (初期値 1111 1111)	7	6	5	4	3	2	1	0	□	□	□	□	□	□	□	□																								
7	6	5	4	3	2	1	0																																		
□	□	□	□	□	□	□	□																																		
R/W																																									
PWREG3 (002CH)	<table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>□</td><td>□</td><td>□</td><td>□</td><td>□</td><td>□</td><td>□</td><td>□</td> </tr> </table> (初期値 1111 1111)	7	6	5	4	3	2	1	0	□	□	□	□	□	□	□	□																								
7	6	5	4	3	2	1	0																																		
□	□	□	□	□	□	□	□																																		
R/W																																									
注 1) タイマ動作中は、タイマレジスタ (TTREG3) の設定値を変更しないでください。 注 2) 8/16 ビット PWM モード以外の動作モードでは、タイマ動作中にタイマレジスタ (PWREG3) の設定値を変更しないでください。																																									
タイマカウンタ 3 制御レジスタ																																									
TC3CR (0018H)	<table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>TFF3</td><td></td><td>TC3CK</td><td></td><td>TC3S</td><td></td><td>TC3M</td><td></td> </tr> </table> (初期値 0000 0000)	7	6	5	4	3	2	1	0	TFF3		TC3CK		TC3S		TC3M																									
7	6	5	4	3	2	1	0																																		
TFF3		TC3CK		TC3S		TC3M																																			
TFF3	<table border="1"> <tr> <th>タイマ F/F3 の制御</th> <th>0: クリア 1: セット</th> <th rowspan="2">NORMAL1/2, IDLE1/2 モード DV7CK = 0</th> <th rowspan="2">DV7CK = 1</th> <th rowspan="2">SLOW1/2 SLEEP1/2 モード</th> <th rowspan="10">R/W</th> </tr> <tr> <th rowspan="2">TC3CK</th> <th rowspan="2">動作クロック選択 [Hz]</th> <th>000</th> <th>fs/2¹¹</th> <th>fs/2³</th> </tr> <tr> <th>001</th> <th>fc/2⁷</th> <th>fc/2⁷</th> <th>—</th> </tr> <tr> <th>010</th> <th>fc/2⁵</th> <th>fc/2⁵</th> <th>—</th> </tr> <tr> <th>011</th> <th>fc/2³</th> <th>fc/2³</th> <th>—</th> </tr> <tr> <th>100</th> <th>fs</th> <th>fs</th> <th>fs</th> </tr> <tr> <th>101</th> <th>fc/2</th> <th>fc/2</th> <th>—</th> </tr> <tr> <th>110</th> <th>fc</th> <th>fc</th> <th>fc 注 8)</th> </tr> <tr> <th>111</th> <th colspan="3">TC3 端子入力</th> <th>—</th> </tr> </table>	タイマ F/F3 の制御	0: クリア 1: セット	NORMAL1/2, IDLE1/2 モード DV7CK = 0	DV7CK = 1	SLOW1/2 SLEEP1/2 モード	R/W	TC3CK	動作クロック選択 [Hz]	000	fs/2 ¹¹	fs/2 ³	001	fc/2 ⁷	fc/2 ⁷	—	010	fc/2 ⁵	fc/2 ⁵	—	011	fc/2 ³	fc/2 ³	—	100	fs	fs	fs	101	fc/2	fc/2	—	110	fc	fc	fc 注 8)	111	TC3 端子入力			—
タイマ F/F3 の制御	0: クリア 1: セット	NORMAL1/2, IDLE1/2 モード DV7CK = 0	DV7CK = 1							SLOW1/2 SLEEP1/2 モード	R/W																														
TC3CK	動作クロック選択 [Hz]			000	fs/2 ¹¹	fs/2 ³																																			
		001	fc/2 ⁷	fc/2 ⁷	—																																				
010	fc/2 ⁵	fc/2 ⁵	—																																						
011	fc/2 ³	fc/2 ³	—																																						
100	fs	fs	fs																																						
101	fc/2	fc/2	—																																						
110	fc	fc	fc 注 8)																																						
111	TC3 端子入力			—																																					
TC3S	<table border="1"> <tr> <th>タイマスタート制御</th> <th>0: ストップ&カウンタクリア 1: スタート</th> </tr> </table>	タイマスタート制御	0: ストップ&カウンタクリア 1: スタート																																						
タイマスタート制御	0: ストップ&カウンタクリア 1: スタート																																								
TC3M	<table border="1"> <tr> <th>動作モード選択</th> <th>000: 8 ビットタイマ/イベントカウンタモード 001: 8 ビットプログラマブルデバイダ出力 (PDO) モード 010: 8 ビットパルス幅変調出力 (PWM) モード 011: 16 ビットモード (各モード選択は TC4M にて設定してください) 1** : Reserved</th> </tr> </table>	動作モード選択	000: 8 ビットタイマ/イベントカウンタモード 001: 8 ビットプログラマブルデバイダ出力 (PDO) モード 010: 8 ビットパルス幅変調出力 (PWM) モード 011: 16 ビットモード (各モード選択は TC4M にて設定してください) 1** : Reserved																																						
動作モード選択	000: 8 ビットタイマ/イベントカウンタモード 001: 8 ビットプログラマブルデバイダ出力 (PDO) モード 010: 8 ビットパルス幅変調出力 (PWM) モード 011: 16 ビットモード (各モード選択は TC4M にて設定してください) 1** : Reserved																																								
注 1) fc: 高周波クロック [Hz] fs: 低周波クロック [Hz] 注 2) タイマ動作中は、TC3M, TC3CK, TFF3 の設定を変更しないでください。 注 3) タイマを動作停止 (TC3S = "1" → "0") するときは、TC3M, TC3CK, TFF3 の設定を変更しないでください。ただしタイマを動作開始 (TC3S = "0" → "1") するときは、TC3M, TC3CK, TFF3 の設定を変更することができます。 注 4) 16 ビットモードで使用する場合、動作モードの設定は TC4CR<TC4M>にて行い、TC3M は "011" に固定してください。 注 5) 16 ビットモードで使用する場合、ソースクロックの選択は TC3CK にて行い、タイマスタート制御、タイマ F/F の制御については TC4CR<TC4S>, TC4CR<TFF4>にて設定してください。 注 6) 動作クロックの選択は、タイマの動作モードにより制限があります。詳しくは表 2.8.1, 表 2.8.2 を参照してください。 注 7) タイマレジスタの設定値は、タイマの動作モードにより制限があります。詳しくは表 2.8.3 を参照してください。 注 8) SLOW, SLEEP モード時の動作クロック fc は、高周波ウォーミングアップモードとしてのみ使用できます。																																									

図 2.8.2 タイマカウンタ 3 のタイマレジスタ/制御レジスタ

タイマカウンタ 4 は、タイマカウンタ 4 制御レジスタ (TC4CR) と 2 本の 8 ビットタイマレジスタ (TTREG4, PWREG4) で制御されます。

タイマレジスタ																	
TTREG4 (001D _H)	<table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>□</td><td>□</td><td>□</td><td>□</td><td>□</td><td>□</td><td>□</td><td>□</td> </tr> </table> (初期値 1111 1111)	7	6	5	4	3	2	1	0	□	□	□	□	□	□	□	□
7	6	5	4	3	2	1	0										
□	□	□	□	□	□	□	□										
R/W																	
PWREG4 (002D _H)	<table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>□</td><td>□</td><td>□</td><td>□</td><td>□</td><td>□</td><td>□</td><td>□</td> </tr> </table> (初期値 1111 1111)	7	6	5	4	3	2	1	0	□	□	□	□	□	□	□	□
7	6	5	4	3	2	1	0										
□	□	□	□	□	□	□	□										
R/W																	
注 1) タイマ動作中は、タイマレジスタ (TTREG4) の設定値を変更しないでください。 注 2) 8/16 ビット PWM モード以外の動作モードでは、タイマ動作中にタイマレジスタ (PWREG4) の設定値を変更しないでください。																	
タイマカウンタ 4 制御レジスタ																	
TC4CR (0019 _H)	<table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>TFF4</td><td></td><td>TC4CK</td><td></td><td>TC4S</td><td></td><td>TC4M</td><td></td> </tr> </table> (初期値 0000 0000)	7	6	5	4	3	2	1	0	TFF4		TC4CK		TC4S		TC4M	
7	6	5	4	3	2	1	0										
TFF4		TC4CK		TC4S		TC4M											
TFF4	タイマ F/F4 の制御	0: クリア 1: セット															
TC4CK	動作クロック選択 [Hz]	NORMAL1/2, IDLE1/2 モード		SLOW1/2 SLEEP1/2 モード													
		DV7CK = 0	DV7CK = 1														
		000	$fc/2^{11}$	$fs/2^3$	$fs/2^3$												
		001	$fc/2^7$	$fc/2^7$	-												
		010	$fc/2^5$	$fc/2^5$	-												
		011	$fc/2^3$	$fc/2^3$	-												
		100	fs	fs	fs												
		101	fc/2	fc/2	-												
110	fc	fc	-														
111	TC4 端子入力																
TC4S	タイマスタート	0: ストップ&カウンタクリア 1: スタート															
TC4M	動作モード選択	000: 8 ビットタイマ/イベントカウンタモード 001: 8 ビットプログラマブルデバイダ出力 (PDO) モード 010: 8 ビットパルス幅変調出力 (PWM) モード 011: Reserved 100: 16 ビットタイマ/イベントカウンタモード 101: ウォーミングアップカウンタモード 110: 16 ビットパルス幅変調出力 (PWM) モード 111: 16 ビット PPG モード															
				R/W													
注 1) fc: 高周波クロック [Hz] fs: 低周波クロック [Hz] 注 2) タイマ動作中は、TC4M, TC4CK, TFF4 の設定を変更しないでください。 注 3) タイマを動作停止 (TC4S = "1" → "0") するときは、TC4M, TC4CK, TFF4 の設定を変更しないでください。ただしタイマを動作開始 (TC4S = "0" → "1") するときは、TC4M, TC4CK, TFF4 の設定を変更することができます。 注 4) TC4M = 1** のとき (16 ビットモードの上位側のとき) は、TC4CK の設定に関係なく、ソースクロックは TC3 オーバフロー信号になります。 注 5) 16 ビットモードで使用する場合、動作モード選択は TC4M にて行います。そのとき、TC3CR<TC3M>は必ず "011" に設定してください。 注 6) 16 ビットモードで使用する場合、ソースクロックの選択は TC3CR<TC3CK>にて行い、タイマスタート制御、タイマ F/F の制御については TC4S, TFF4 にて設定してください。 注 7) 動作クロックの選択は、タイマの動作モードにより制限があります。詳しくは表 2.8.1, 表 2.8.2 を参照してください。 注 8) タイマレジスタの設定値は、タイマの動作モードにより制限があります。詳しくは表 2.8.3 を参照してください。																	

図 2.8.3 タイマカウンタ 4 のタイマレジスタ/制御レジスタ

表 2.8.1 動作モードと使用できるソースクロック
(NORMAL1/2, IDLE1/2 モード時)

動作モード	$fc/2^{11}$ or $fc/2^3$	$fc/2^7$	$fc/2^5$	$fc/2^3$	fs	fc/2	fc	TCi 端子 入力
8ビットタイマ	○	○	○	○	-	-	-	-
8ビットイベントカウンタ	-	-	-	-	-	-	-	○
8ビットPDO	○	○	○	○	-	-	-	-
8ビットPWM	○	○	○	○	○	○	○	-
16ビットタイマ	○	○	○	○	-	-	-	-
16ビットイベントカウンタ	-	-	-	-	-	-	-	○
ウォーミングアップカウンタ	-	-	-	-	○	-	-	-
16ビットPWM	○	○	○	○	○	○	○	○
16ビットPPG	○	○	○	○	-	-	-	○

注1) 16ビット動作(16ビットタイマ/イベントカウンタ、ウォーミングアップカウンタ、16ビットPWM、16ビットPPG)のソースクロックは下位ビット側(TC3CK)にて設定します。

注2) $i=3, 4$ (16ビットモードは $i=3$ のみ)

表 2.8.2 動作モードと使用できるソースクロック
(SLOW1/2, SLEEP1/2 モード時)

動作モード	$fc/2^{11}$ or $fc/2^3$	$fc/2^7$	$fc/2^5$	$fc/2^3$	fs	fc/2	fc	TCi 端子 入力
8ビットタイマ	○	-	-	-	-	-	-	-
8ビットイベントカウンタ	-	-	-	-	-	-	-	○
8ビットPDO	○	-	-	-	-	-	-	-
8ビットPWM	○	-	-	-	○	-	-	-
16ビットタイマ	○	-	-	-	-	-	-	-
16ビットイベントカウンタ	-	-	-	-	-	-	-	○
ウォーミングアップカウンタ	-	-	-	-	-	-	○	-
16ビットPWM	○	-	-	-	○	-	-	○
16ビットPPG	○	-	-	-	-	-	-	○

注1) 16ビット動作(16ビットタイマ/イベントカウンタ、ウォーミングアップカウンタ、16ビットPWM、16ビットPPG)のソースクロックは下位ビット側(TC3CK)にて設定します。

注2) $i=3, 4$ (16ビットモードは $i=3$ のみ)

表 2.8.3 比較用レジスタへの設定値に関する制約事項

動作モード	レジスタへの設定値
8ビットタイマ/イベントカウンタ	$1 \leq (TTREGj) \leq 255$
8ビットPDO	$1 \leq (TTREGj) \leq 255$
8ビットPWM	$2 \leq (PWREGj) \leq 254$
16ビットタイマ/イベントカウンタ	$1 \leq (TTREGm, n) \leq 65535$
ウォーミングアップカウンタ	$256 \leq (TTREGm, n) \leq 65535$
16ビットPWM	$2 \leq (PWREGm, n) \leq 65534$
16ビットPPG	$1 \leq (PWREGm, n) < (TTREGm, n) \leq 65535$ かつ $(PWREGm, n) + 1 < (TTREGm, n)$

注) $j=3, 4, m=4, n=3$

2.8.3 機能

タイマカウンタ 3, 4 にはそれぞれ、8 ビットタイマモード、8 ビットイベントカウンタモード、8 ビットプログラマブルデバイダ出力 (PDO) モード、8 ビットパルス幅変調出力 (PWM) モード、16 ビットタイマモード、16 ビットイベントカウンタモード、16 ビットパルス幅変調出力 (PWM) モード、16 ビットプログラマブルパルスジェネレート出力 (PPG) モードの 8 つの動作モードがあります。

16 ビットタイマモードは、タイマカウンタ 3 と 4 をカスケード接続することにより使用することができます。

(1) 8 ビットタイマモード (TC3, 4)

内部クロックでカウントアップするモードです。カウンタ値とタイマレジスタ j (TTREG j) 設定値との一致で INTTC j 割り込みが発生し、カウンタがクリアされます。カウンタクリア後もカウントアップを継続します。

注 1) タイマモード時は、TC j CR<TFF j >を“0”に固定してください。固定されない場合は、PDO j /PWM j /PPG j 端子からパルスが出力されることがあります。

注 2) タイマモード時は、タイマ動作中に TTREG j の設定値を変更しないでください。タイマモード時、TTREG j はシフトレジスタ構成となりませんので、TTREG j への設定値は書き替え直後に反映されます。従って、タイマ動作中に TTREG j を書き替えると想定している動作を得られない場合があります。

注 3) $j = 3, 4$

表 2.8.4 タイマカウンタ 3, 4 のソースクロック (内部クロック)

ソースクロック			分解能		最大設定時間	
NORMAL1/2, IDLE1/2 モード	SLOW1/2, SLEEP1/2 モード	fc = 16 MHz	fs = 32.768 kHz	fc = 16 MHz	fs = 32.768 kHz	
DV7CK = 0						DV7CK = 0
fc/2 ¹¹ [Hz]	fs/2 ³ [Hz]	fs/2 ³ [Hz]	128 μs	244.14 μs	32.6 ms	62.3 ms
fc/2 ⁷	fc/2 ⁷	-	8 μs	-	2.0 ms	-
fc/2 ⁵	fc/2 ⁵	-	2 μs	-	510 μs	-
fc/2 ³	fc/2 ³	-	500 ns	-	127.5 μs	-

例: ソースクロック $fc/2^7$ [Hz] でタイマモードにセットし、80 μs 後に割り込みを発生させる ($fc = 16.0$ MHz 時)。

LD (TTREG4), 0AH ; タイマレジスタの設定 ($80 \mu s \div 2^7 / fc = 0AH$)

DI

SET (EIRH). EF11 ; INTTC4 割り込み

EI

LD (TC4CR), 00010000B ; 動作クロックを $fc/2^7$, 8 ビットタイマモードに設定

LD (TC4CR), 00011000B : TC4 スタート

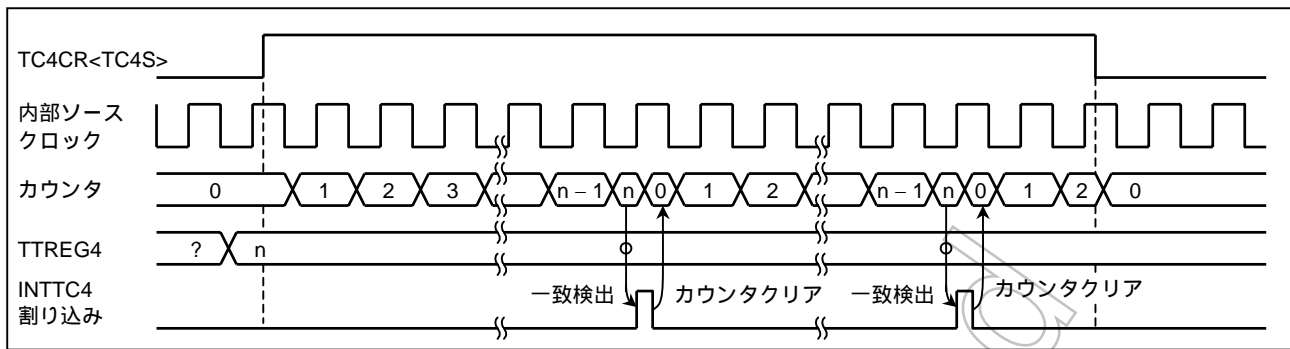


図 2.8.4 8ビットタイマモードタイミングチャート (TC4の場合)

(2) 8ビットイベントカウンタモード (TC3, 4)

TC_j 端子の立ち下がりエッジでカウントアップするモードです。カウンタ値と TTREG_j 設定値との一致で INTTC_j 割り込み発生し、カウンタはクリアされます。カウンタクリア後も TC_j 端子入力の立ち下がりエッジごとにカウントアップします。最大印加周波数は、 $f_c/2^4$ [Hz] (NORMAL1, 2 または IDLE1, 2 モード時)、 $f_s/2^4$ [Hz] (SLOW1/2, SLEEP1/2 モード時) で、“H”, “L” レベルともに 2 マシンサイクル以上のパルス幅が必要です。

注 1) イベントカウンタモード時は、TC_jCR<TFF_j>を“0”に固定してください。固定されない場合は、P_{DO}_j/P_{WM}_j/P_{PG}_j 端子からパルスが出力されることがあります。

注 2) イベントカウンタモード時は、タイマ動作中に TTREG_j の設定値を変更しないでください。イベントカウンタモード時、TTREG_j はシフトレジスタ構成となりますので、TTREG_j への設定値は書き替え直後に反映されます。従って、タイマ動作中に TTREG_j を書き替えると想定している動作を得られない場合があります。

注 3) j = 3, 4

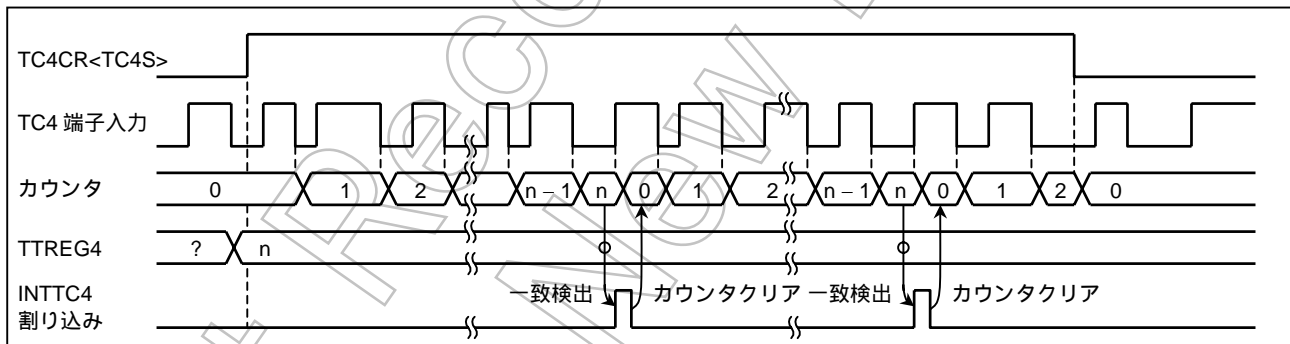


図 2.8.5 8ビットタイマモードタイミングチャート (TC4の場合)

(3) 8ビットプログラマブルデバイダ出力 (PDO) モード (TC3, 4)

内部クロックでカウントアップし、TTREG_jとの一致ごとにタイマ F/F_j 出力を反転し、カウンタをクリアします。タイマ F/F_j 出力は、反転されて $\overline{\text{PDO}}_j$ 端子に出力されます。このモードはデューティ 50%のパルス出力に利用できます。なお、タイマ F/F_j はプログラムで初期設定することができます。リセット時、タイマ F/F_j は“0”に初期化されます。 $\overline{\text{PDO}}_j$ 出力反転ごとに INTTC_j 割り込みが発生します。

例: TC4 を使用し、1024 Hz のパルスを出力 ($f_c = 16.0 \text{ MHz}$ 時)。

LD (TTREG4), 3DH ; $(1/1024 \div 2^7/f_c) \div 2 = 3\text{DH}$

LD (TC4CR), 00010001B ; 動作クロックを $f_c/2^7$, 8ビット PDO モードに設定

LD (TC4CR), 00011001B ; TC4 スタート

注 1) プログラマブルデバイダ出力モード時は、タイマ動作中に TTREG_j の設定値を変更しないでください。プログラマブルデバイダ出力モード時、TTREG_j はシフトレジスタ構成となりませんので、TTREG_j への設定値は書き替え直後に反映されます。従って、タイマ動作中に TTREG_j を書き替えると想定している動作を得られない場合があります。

注 2) PDO 出力中にタイマを停止すると $\overline{\text{PDO}}_j$ 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TC_jCR<TFF_j>の操作を行ってください。ただし、タイマ停止と同時に TC_jCR<TFF_j>の設定を変更しないでください。

例: タイマカウンタ停止時に $\overline{\text{PDO}}_j$ 端子を“H”レベルに固定する。

CLR (TC_jCR).3 ; タイマ停止

CLR (TC_jCR).7 ; $\overline{\text{PDO}}_j$ 端子を“H”レベルに設定

注 3) $j = 3, 4$

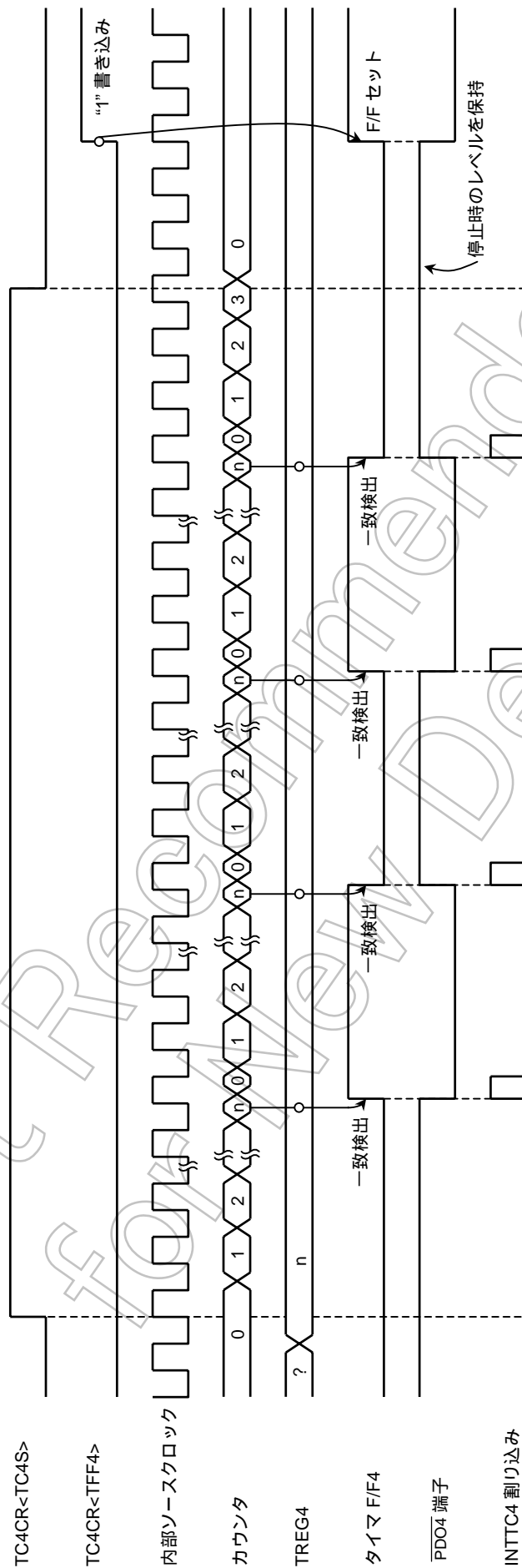


図 2.8.6 8ビット PDO モードタイミングチャート (TC4 の場合)

(4) 8ビットパルス幅変調 (PWM) 出力モード (TC3, 4)

分解能 8 ビットの PWM 出力ができます。内部クロックでカウントアップし、カウンタ値と PWREG_i 設定値との一致でタイマ F/F_i 出力を反転します。カウンタはさらにカウントアップし、オーバフローでタイマ F/F_i 出力を再び反転し、カウンタをクリアします。タイマ F/F_i 出力は反転されて、 $\overline{\text{PWM}}_i$ 端子に出力されます。なお、オーバフロー時 INTTC_i 割り込みが発生します。

PWM モード中の PWREG_i は、シフトレジスタとの 2 段構成となっていますので、タイマ動作中に PWREG_i の設定値を変更することが可能です。タイマ動作中、PWREG_i への設定値は INTTC_i 割り込みによってシフトし反映されますので、連続的にパルス幅を変更することができます。ただしタイマ停止時は、PWREG_i にデータを設定した直後にシフトされます。

PWM 出力中、PWREG_i に対してリード命令を実行すると PWREG_i の設定値ではなく、シフトレジスタの値が読み込まれます。従って PWREG_i を設定してから INTTC_i 割り込みまでの間は、前回の PWREG_i 設定値が読み込まれます。

注 1) PWM モード時、タイマレジスタ PWREG_i への書き込みは、INTTC_i 割り込み発生直後 (通常は INTTC_i 割り込みサービスルーチン内) に行ってください。タイマレジスタ PWREG_i への書き込みと INTTC_i 割り込みのタイミングが重なった場合、書き込み途中の不安定な値がシフト動作されるため、次の INTTC_i 割り込みまでの間、設定値と異なるパルスが出力されることがあります。

注 2) PWM 出力中にタイマを停止すると、 $\overline{\text{PWM}}_i$ 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TCiCR<TFFi> の操作を行ってください。ただし、タイマ停止と同時に TCiCR<TFFi> の設定を変更しないでください。

例: タイマカウンタ停止時に $\overline{\text{PWM}}_i$ 端子を "H" レベルに固定する。

CLR (TCiCR).3 ; タイマ停止

CLR (TCiCR).7 ; $\overline{\text{PWM}}_i$ 出力を "H" レベルに設定

注 3) PWM 出力中、STOP モードを起動する場合は、タイマを停止してから STOP モードを起動してください。タイマを停止せずに STOP モードを起動し、更にソースクロックとして f_c , $f_c/2$ または f_s が選択されている場合は、STOP 解除後のウォーミングアップ中に $\overline{\text{PWM}}_i$ 端子からパルスが出力されます。

注 4) $i = 3, 4$

表 2.8.5 PWM 出力モード

ソースクロック		SLOW1/2, SLEEP1/2 モード	分解能		繰り返し周期	
NORMAL1/2, IDLE1/2 モード	DV7CK = 0		$f_c = 16 \text{ MHz}$	$f_s = 32.768 \text{ kHz}$	$f_c = 16 \text{ MHz}$	$f_s = 32.768 \text{ kHz}$
$f_c/2^{11}$ [Hz]	$f_s/2^3$ [Hz]	$f_s/2^3$ [Hz]	128 μs	244.14 μs	32.8 ms	62.5 ms
$f_c/2^7$	$f_c/2^7$	—	8 μs	—	2.05 ms	—
$f_c/2^5$	$f_c/2^5$	—	2 μs	—	512 μs	—
$f_c/2^3$	$f_c/2^3$	—	500 ns	—	128 μs	—
f_s	f_s	f_s	30.5 μs	30.5 μs	7.81 ms	78.1 ms
$f_c/2$	$f_c/2$	—	125 ns	—	32 μs	—
f_c	f_c	—	62.5 ns	—	16 μs	—

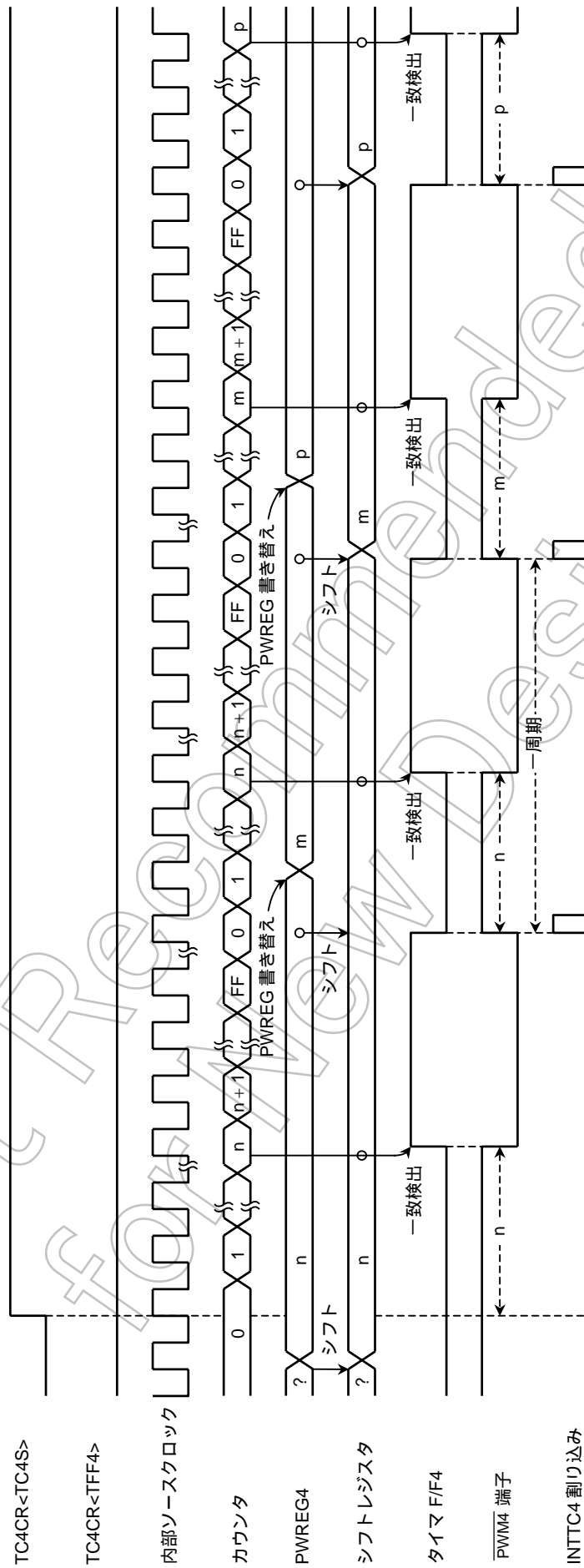


図 2.8.7 8ビット PWM モードタイミングチャート (TC4 の場合)

(5) 16 ビットタイマモード (TC3 + 4)

内部クロックでカウントアップするモードです。

タイマカウンタ 3 と 4 はカスケード接続することにより、16 ビットタイマモードとして使用することができます。

TC4S (TC4CR のビット 3) によりタイマスタート後、カウンタ値とタイマレジスタ (TTREG3, TTREG4) 設定との一致で INTTC4 割り込みが発生し、カウンタがクリアされます。カウンタクリア後もカウントアップは継続されます。タイマレジスタは、必ず下位側 (TTREG3)、上位側 (TTREG4) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

注 1) タイマモード時は、TCjCR<TFFj>を “0” に固定してください。固定されない場合は、PDOj/PWMj/PPGj 端子からパルスが出力されることがあります。

注 2) タイマモード時は、タイマ動作中に TTREGj の設定値を変更しないでください。タイマモード時、TTREGj はシフトレジスタ構成となりませんので、TTREGj への設定値は書き替え直後に反映されます。従って、タイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。

注 3) j = 3, 4

表 2.8.6 16 ビットタイマモードのソースクロック

ソースクロック			分解能		繰り返し周期	
NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード	fc = 16 MHz	fs = 32.768 kHz	fc = 16 MHz	fs = 32.768 kHz
DV7CK = 0	DV7CK = 0					
fc/2 ¹¹	fs/2 ³	fs/2 ³	128 μs	244.14 μs	8.39 s	16 s
fc/2 ⁷	fc/2 ⁷	-	8 μs	-	524.3 ms	-
fc/2 ⁵	fc/2 ⁵	-	2 μs	-	131.1 ms	-
fc/2 ³	fc/2 ³	-	500 ns	-	32.8 ms	-

例: ソースクロック fc/2⁷ [Hz] でタイマモードにセットし、300 ms 後に割り込みを発生させる (fc = 16.0 MHz 時)。

LDW (TTREG3), 927CH ; タイマレジスタの設定
(300 ms ÷ 2⁷/fc = 927CH)

DI
SET (EIRH), EF11 ; INTTC4 割り込みを許可。

EI
LD (TC3CR), 13H ; 動作クロックを fc/2⁷, 16 ビットタイマモードに設定

LD (TC4CR), 04H ; 16 ビットタイマモード (上位側) に設定

LD (TC4CR), 0CH ; タイマスタート

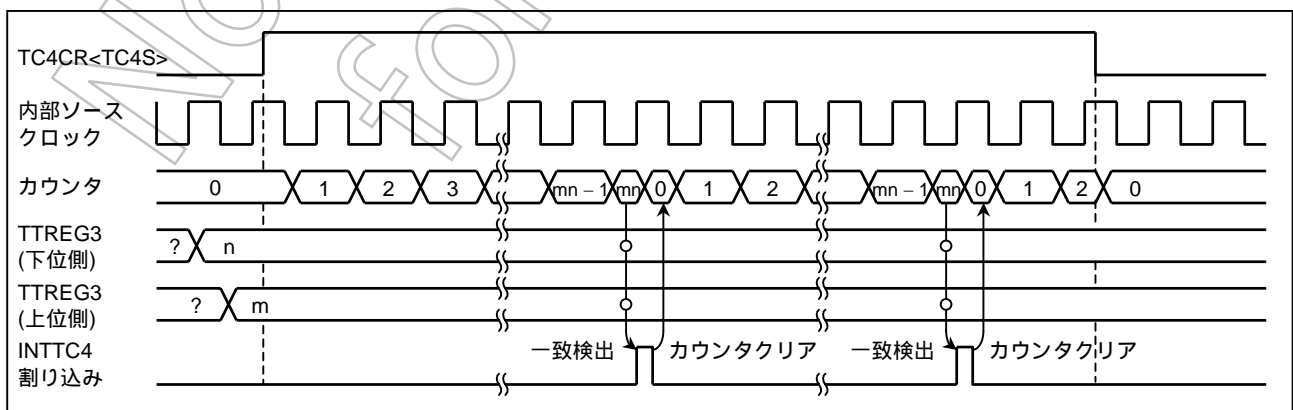


図 2.8.8 16 ビットタイマモードタイミングチャート (TC3 + TC4 の場合)

(6) 16 ビットイベントカウンタモード (TC3 + 4)

TC3 端子の立ち下がりエッジでカウントアップするモードです。

タイマカウンタ 3 と 4 はカスケード接続することにより、16 ビットイベントカウンタモードとして使用することができます。

TC4S (TC4CR のビット 3) によりタイマスタート後、カウンタ値とタイマレジスタ (TTREG3, TTREG4) 設定との一致で INTTC3 割り込みが発生し、カウンタがクリアされます。カウンタクリア後も TC3 端子入力の立ち下がりエッジごとにカウントアップは継続されます。

最大印加周波数は、 $f_c/2^4$ [Hz](NORMAL1, 2 または IDLE1, 2 モード時)、 $f_s/2^4$ [Hz](SLOW1, 2 または SLEEP1,2 モード時)で、“H”、“L”レベルともに 2 マシンサイクル以上のパルス幅が必要です。

タイマレジスタは、必ず下位側 (TTREG3)、上位側 (TTREG4) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。カウンタ継続中にタイマレジスタを書き替える場合、タイマレジスタの設定値は上位側 (TTREG4) の書き込みが終了後、TC3 端子入力の次の立ち下がりエッジで切り替わります (切り替えが終了するまでは、前回の設定値で一致検出を行います)。なお初回は、TTREG3, 4 にデータ設定後、TC4S によりタイマスタートした時点で切り替わります。

注 1) イベントカウンタモード時は、TCjCR<TFFj>を“0”に固定してください。固定されない場合は、 $\overline{PDOj}/\overline{PWMj}/\overline{PPGj}$ 端子からパルスが出力されることがあります。

注 2) イベントカウンタモード時は、タイマ動作中に TTREGj の設定値を変更しないでください。イベントカウンタモード時、TTREGj はシフトレジスタ構成となりますので、TTREGj への設定値は書き替え直後に反映されます。従って、タイマ動作中に TTREGj を書き替えると想定している動作を得られない場合があります。

注 3) j = 3, 4

(7) 16 ビットパルス幅変調 (PWM) 出力モード (TC3 + 4)

分解能 16 ビットの PWM 出力ができます。タイマカウンタ 3 と 4 はカスケード接続することにより、16 ビット PWM モードとして使用することができます。

カウンタ値とタイマレジスタ (PWREG3, PWREG4) 設定との一致でタイマ F/F4 を反転します。カウンタはさらにカウントアップし、オーバフローでタイマ F/F4 を再び反転し、カウンタをクリアします。なお、オーバフロー時 INTTC4 割り込みが発生します。PWM モード中の PWREG4, 3 は、シフトレジスタとの 2 段構成となっていますので、タイマ動作中に PWREG4, 3 の設定値を変更することが可能です。タイマ動作中、PWREG4, 3 への設定値は INTTC4 割り込みによってシフトし反映されますので、連続的にパルス幅を変更することができます。ただしタイマ停止時は、PWREG4, 3 にデータを設定した直後にシフトされます。PWREG4, 3 の書き替えを行うときは、必ず下位側 (PWREG3)、上位側 (PWREG4) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

PWM 出力中、PWREG4, 3 に対してリード命令を実行すると PWREG4, 3 の設定値ではなく、シフトレジスタの値が読み込まれます。従って、PWREG4, 3 を設定してから INTTC4 割り込みまでの間は、前回の PWREG4, 3 設定値が読み込まれます。

- 注 1) PWM モード時、タイマレジスタ PWREGm, n への書き込みは、INTTCm 割り込み発生直後 (通常は INTTCm 割り込みサービスルーチン内) に行ってください。タイマレジスタ PWREGm, n への書き込みと INTTCm 割り込みのタイミングが重なった場合、書き込み途中の不安定な値がシフト動作されるため、次の INTTCm 割り込みまでの間、設定値と異なるパルスが出力されることがあります。
- 注 2) PWM 出力中にタイマを停止すると、 \overline{PWMi} 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に $TCiCR<TFFi>$ の操作を行ってください (タイマ停止と同時に $TCiCR<TFFi>$ の設定を変更しないでください)。
例: タイマカウンタ停止時に \overline{PWMi} 端子を “H” レベルに固定する。
CLR (TCiCR).3 ; タイマ停止
CLR (TCiCR).7 ; \overline{PWMi} 出力を “H” レベルに設定
- 注 3) PWM モード中、STOP モードを起動する場合は、タイマを停止してから STOP モードを起動してください。タイマを停止せずに STOP モードを起動し、更にソースクロックとして f_c , $f_c/2$ または f_s が選択されている場合は、STOP 解除後のウォーミングアップ中に \overline{PWMi} 端子からパルスが出力されます。
- 注 4) $m = 4$, $n = 3$, $i = 4$

表 2.8.7 16 ビット PWM 出力モード

ソースクロック		SLOW, SLEEP モード	分解能		繰り返し周期	
NORMAL1/2, IDLE1/2 モード DV7CK = 0	DV7CK = 0		$f_c = 16 \text{ MHz}$	$f_s = 32.768 \text{ kHz}$	$f_c = 16 \text{ MHz}$	$f_s = 32.768 \text{ kHz}$
$f_c/2^{11}$	$f_s/2^3$	$f_s/2^3$	128 μs	244.14 μs	8.39 s	16 s
$f_c/2^7$	$f_c/2^7$	—	8 μs	—	524.3 ms	—
$f_c/2^5$	$f_c/2^5$	—	2 μs	—	131.1 ms	—
$f_c/2^3$	$f_c/2^3$	—	500 ns	—	32.8 ms	—
f_s	f_s	f_s	30.5 μs	30.5 μs	2 s	2 s
$f_c/2$	$f_c/2$	—	125 ns	—	8.2 ms	—
f_c	f_c	—	62.5 ns	—	4.1 ms	—

例: P32 から周期 32.768 ms、 “H” レベル幅 1 ms のパルスを出力する ($f_c = 16.0 \text{ MHz}$, DV7CK = 0 時)。

- LDW (PWREG3), 07D0H ; パルス幅の設定
LD (TC3CR), 33H ; 動作クロックを $f_c/2^3$ 、16 ビット PWM モード (下位側) に設定
LD (TC4CR), 056H ; TFF4 初期値 “0”、16 ビット PWM モード (上位側) に設定
LD (TC4CR), 05EH ; タイマスタート

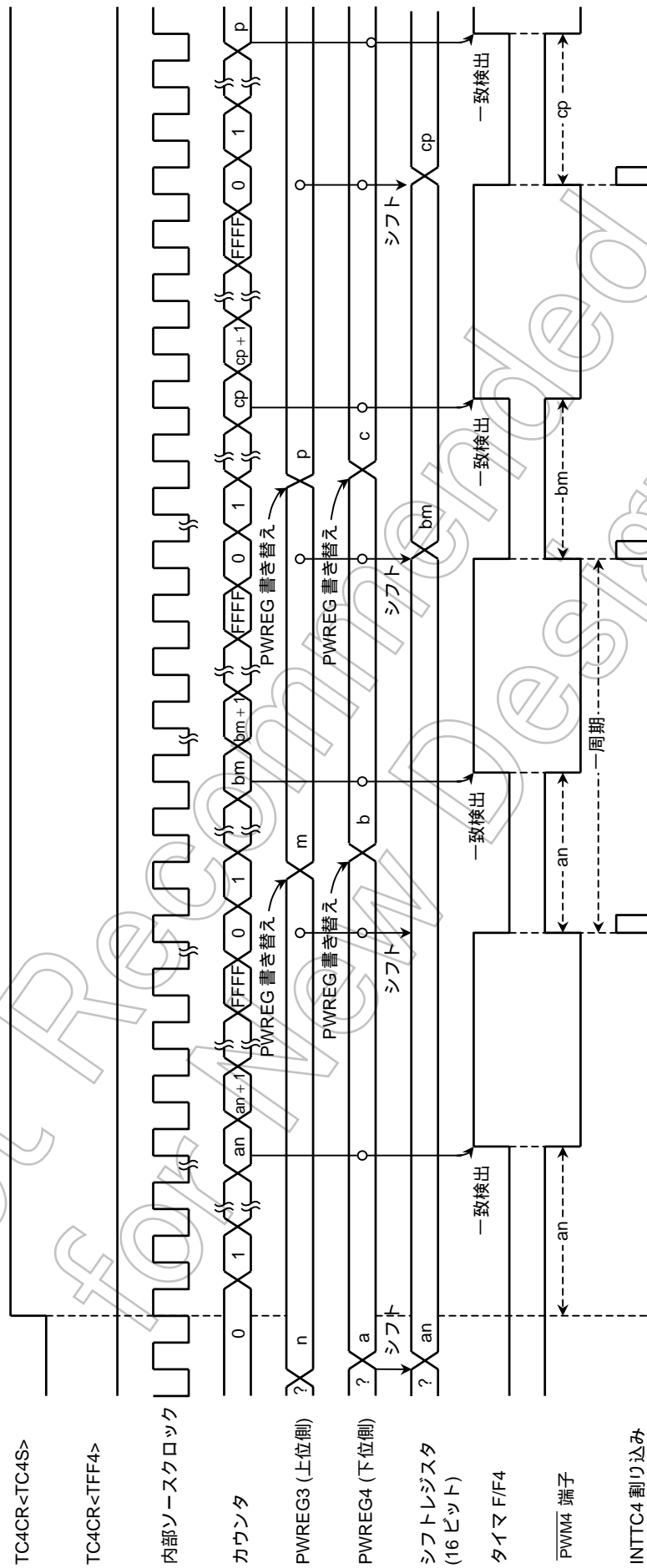


図 2.8.9 16ビットPWMモードタイミングチャート (TC3 + TC4の場合)

(8) 16 ビットプログラマブルパルスジェネレータ (PPG) 出力モード (TC3 + 4)

分解能 16 ビットの PPG 出力ができます。

タイマカウンタ 3 と 4 はカスケード接続することにより、16 ビット PPG モードとして使用することができます。

カウンタ値とタイマレジスタ (PWREG3, PWREG4) 設定との一致でタイマ F/F4 を反転します。カウンタはさらにカウントアップし、タイマレジスタ (TTREG3, TTREG4) 設定との一致でタイマ F/F4 を再び反転し、カウンタをクリアします。このとき、INTTC4 割り込みが発生します。タイマ F/F4 はリセット時 “0” にクリアされます。また、TC4CR<TFF4> でタイマ F/F4 の値を設定することができますので、正論理/負論理いずれのパルスも出力可能です。タイマレジスタは、必ず下位側、上位側の順 (TTREG3 → TTREG4, PWREG3 → PWREG4) に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

例: P32 から周期 16.385 ms、“H” レベル幅 1 ms のパルスを出力する (fc = 16.0 MHz, DV7CK = 0 時)。

```
LDW (PWREG3), 07D0H ; パルス幅の設定
LDW (TTREG3), 8002H ; 周期の設定
LD (TC3CR), 33H ; 動作クロックを fc/23、16 ビット PPG モード (下位側) に設定
LD (TC4CR), 057H ; TFF4 初期値 “0”、16 ビット PPG モード (上位側) に設定
LD (TC4CR), 05FH ; タイマスタート
```

注 1) プログラマブルパルスジェネレータモード時は、タイマ動作中に PWREG_i, TTREG_i の設定値を変更しないでください。プログラマブルパルスジェネレータモード時、PWREG_i, TTREG_i はシフトレジスタ構成となりませんので、PWREG_i, TTREG_i への設定値は書き替え直後に反映されます。従って、タイマ動作中に PWREG_i, TTREG_i を書き替えると想定している動作を得られない場合があります。

注 2) PPG 出力中にタイマを停止すると、PPG_j 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TCjCR<TFFj> の操作を行ってください。タイマ停止と同時に TCjCR<TFFj> の設定を変更しないでください。

例: タイマカウンタ停止時に PPG_j 端子を “H” レベルに固定する。

```
CLR (TCjCR).3 ; タイマ停止
CLR (TCjCR).7 ; PPGj 端子を “H” レベルに設定
```

注 3) j = 4, i = 3, 4

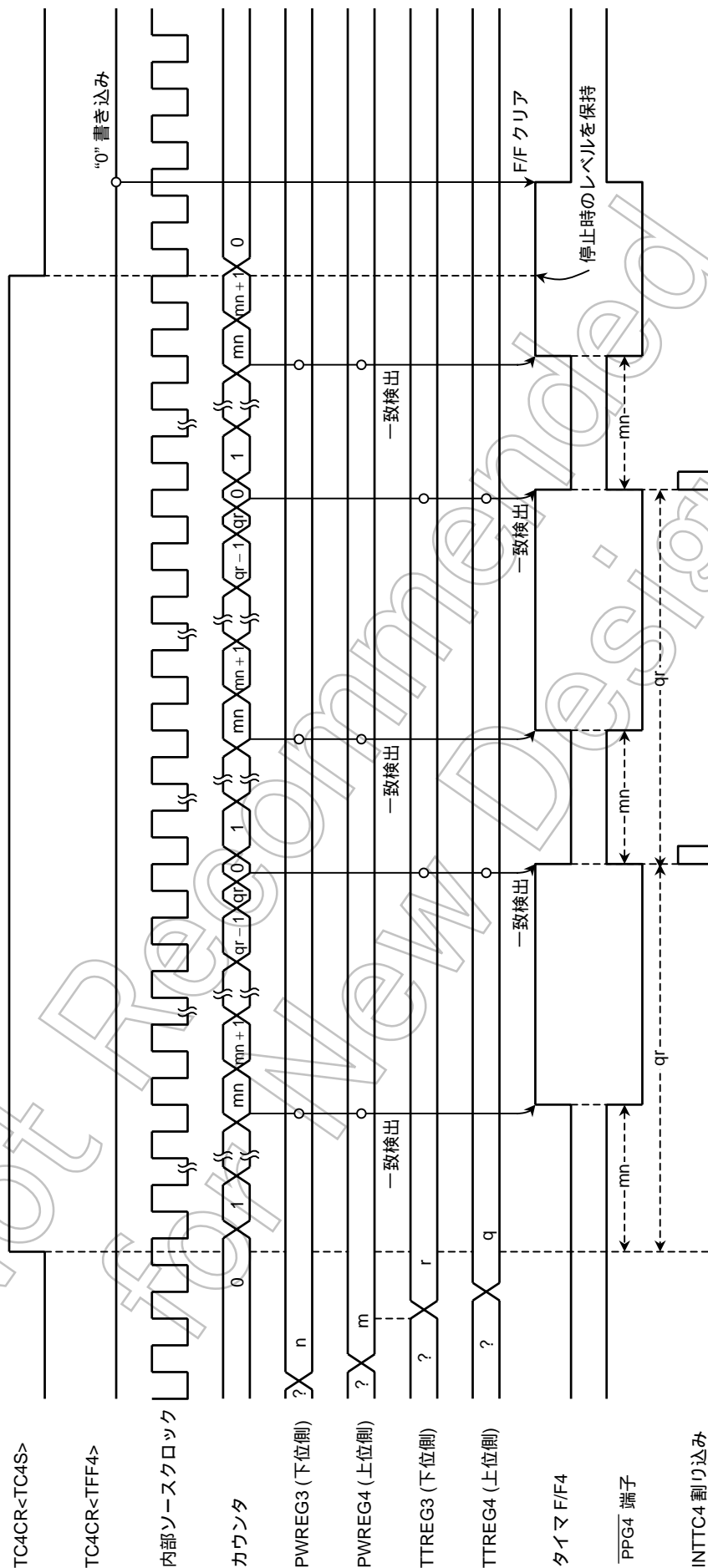


図 2.8.10 16ビット PPG モードタイミングチャート (TC3 + TC4 の場合)

(9) ウォーミングアップカウンタモード

システムクロックを高周波と低周波の間で切り替えるときに発振器が安定して動作するまでのウォーミングアップ時間を確保するモードです。タイマカウンタ3と4をカスケード接続し16ビットモードとして使用します。ウォーミングアップカウンタモードは、高周波から低周波に切り替えるときと、低周波から高周波に切り替えるときの2つのモードがあります。

注1) ウォーミングアップカウンタモード時は、TCiCR<TFFi>を“0”に固定してください。固定されない場合は、PDOi/PWMI/PPGi端子からパルスが出力されることがあります。

注2) ウォーミングアップカウンタモード時は、タイマレジスタ TTREGm, nの下位11ビットは一致検出の対象外となり、上位5ビットのみの一致検出となります。

注3) i = 3, 4, m = 4, n = 3

a. 低周波ウォーミングアップカウンタモード

(NORMAL1 → NORMAL2 → SLOW2 → SLOW1)

低周波クロック fs が停止状態から安定して発振するまでのウォーミングアップ時間を確保するモードです。

タイマをスタートさせる前に、SYSCR2<XTEN>を“1”に設定し低周波クロックを発振させます。

TCmCR<TCmS>によりタイマスタート後、カウンタ値とタイマレジスタ (TTREGm, n) 設定との一致で INTTCm 割り込みが発生し、カウンタがクリアされます。INTTCm 割り込みサービスルーチン内でタイマを停止した後、SYSCR2<SYSCK>を“1”に設定し、システムクロックを高周波から低周波に切り替えます。その後、SYSCR2<XEN>を“0”に設定し、高周波クロックを停止します。

表 2.8.8 低周波ウォーミングアップカウンタモードの設定時間 (fs = 32.768 kHz 時)

最小設定時間 (TTREGm, n = 0100H)	最大設定時間 (TTREGm, n = FF00H)
7.81 ms	1.99 s

例: TC4, 3 で低周波クロックの安定した発振を確認後、SLOW1 モードへ切り替え

```

SET (SYSCR2).6 ; SYSCR2<XTEN> ← “1”
LD (TC3CR).43H ; TFF3 = “0”, ソースクロック fs, 16 ビット
                  ; モードに設定
LD (TC4CR).05H ; TFF4 = “0”, ウォーミングアップカウンタ
                  ; モードに設定
LD (TTREG3).8000H ; ウォーミングアップ時間をセット
                  ; (発振器の特性で時間を決定します)
DI ; IMF ← “0”
SET (EIRH).3 ; INTTC4 割り込み許可
EI ; IMF ← “1”
SET (TC4CR).3 ; TC4, 3 スタート
∴
PINTTC4: CLR (TC4CR).3 ; TC4, 3 ストップ
          SET (SYSCR2).5 ; SYSCR2<SYSCK> ← “1”
          ; (システムクロックを低周波に切り替え)
          CLR (SYSCR2).7 ; SYSCR2<XEN> ← “0”
          ; (高周波クロック停止)
          RETI
          ∴
VINTTC4: DW PINTTC4 ; INTTC4 ベクタテーブル

```

b. 高周波ウォーミングアップカウンタモード

(SLOW1 → SLOW2 → NORMAL2 → NORMAL1)

高周波クロック f_c が停止状態から安定して発振するまでのウォーミングアップ時間を確保するモードです。

タイマをスタートさせる前に、SYSCR2<XEN>を“1”に設定し高周波クロックを発振させます。

TCmCR<TCmS>によりタイマスタート後、カウンタ値とタイマレジスタ (TTREGm, n) 設定との一致で INTTCm 割り込みが発生し、カウンタがクリアされます。INTTCm 割り込みサービスルーチン内でタイマを停止した後、SYSCR2<SYSCK>を“0”に設定し、システムクロックを低周波から高周波に切り替えます。その後、SYSCR2<XTEN>を“0”に設定し、低周波クロックを停止します。

表 2.8.9 高周波ウォーミングアップカウンタモードの設定時間 ($f_c = 16 \text{ MHz}$ 時)

最小設定時間 (TTREGm, n = 0100H 時)	最大設定時間 (TTREGm, n = FF00H 時)
16 μs	4.08 ms

例: TC4, 3 で高周波クロックの安定した発振を確認後、NORMAL1 モードへ切り替え

```

SET  (SYSCR2).7      ; SYSCR2<XEN> ← “1”
LD   (TC3CR),63H    ; TFF3 = “0”, ソースクロック  $f_c$ , 16 ビット
                          モードに設定
LD   (TC4CR),05H    ; TFF4 = “0”, ウォーミングアップカウンタ
                          モードに設定
LD   (TTREG3),0F800H; ウォーミングアップ時間をセット
                          (発振器の特性で時間を決定します)
DI   ; IMF ← “0”
SET  (EIRH).3       ; INTTC4 割り込み許可
EI   ; IMF ← “1”
SET  (TC4CR).3      ; TC4, 3 スタート
:
PINTTC4: CLR (TC4CR).3 ; TC4, 3 ストップ
CLR  (SYSCR2).5     ; SYSCR2<SYSCK> ← “0”
                          (システムクロックを高周波に切り替え)
CLR  (SYSCR2).6     ; SYSCR2<XTEN> ← “0”
                          (低周波クロック停止)
RETI
:
VINTTC4: DW  PINTTC4 ; INTTC4 ベクタテーブル

```

2.9 8ビットタイマカウンタ5,6 (TC5, 6)

2.9.1 構成

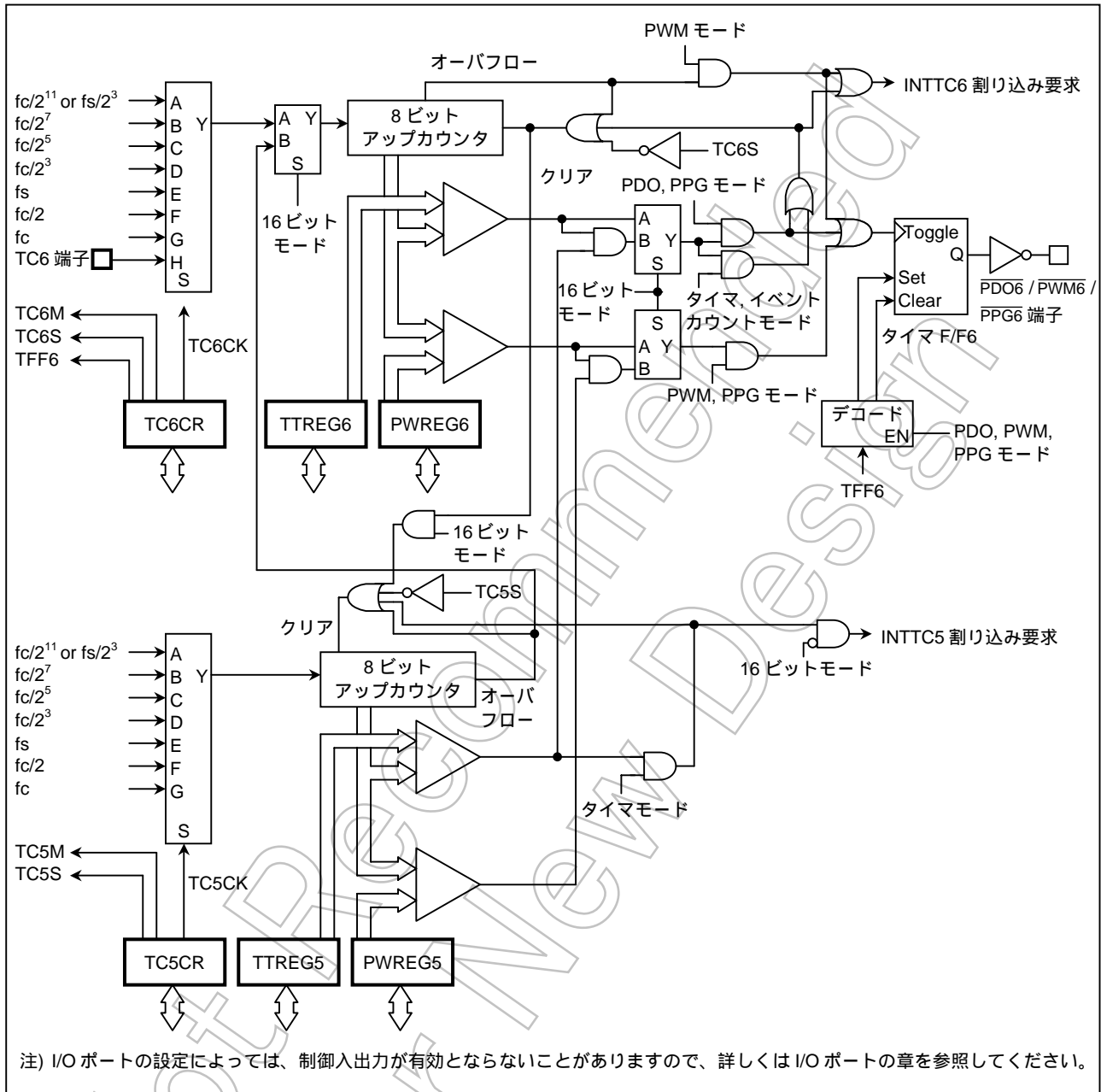


図 2.9.1 8ビットタイマカウンタ5,6

2.9.2 制御

タイマカウンタ 5 は、タイマカウンタ 5 制御レジスタ (TC5CR) と 2 本の 8 ビットタイマレジスタ (TTREG5, PWREG5) で制御されます。

タイマレジスタ

TTREG5 (001EH)

7	6	5	4	3	2	1	0

 (初期値 1111 1111)
R/W

PWREG5 (002EH)

7	6	5	4	3	2	1	0

 (初期値 1111 1111)
R/W

注 1) タイマ動作中は、タイマレジスタ (TTREG5) の設定値を変更しないでください。
注 2) 16 ビット PWM モード以外の動作モードでは、タイマ動作中にタイマレジスタ (PWREG5) の設定値を変更しないでください。

タイマカウンタ 5 制御レジスタ

TC5CR (001AH)

7	6	5	4	3	2	1	0
			TC5CK		TC5S		TC5M

 (初期値 *000 0000)

		NORMAL1/2, IDLE1/2 モード		SLOW1/2 SLEEP1/2 モード		
		DV7CK = 0	DV7CK = 1			
TC5CK	動作クロック選択 [Hz]	000	$fc/2^{11}$	$fs/2^3$	$fs/2^3$	R/W
		001	$fc/2^7$	$fc/2^7$	-	
		010	$fc/2^5$	$fc/2^5$	-	
		011	$fc/2^3$	$fc/2^3$	-	
		100	fs	fs	fs	
		101	fc/2	fc/2	-	
		110	fc	fc	fc 注 8)	
		111	Reserved			
TC5S	タイマスタート制御	0: ストップ&カウンタクリア 1: スタート				
TC5M	動作モード選択	000: 8 ビットタイマモード 001: Reserved 010: Reserved 011: 16 ビットモード (各モード選択は TC6M にて設定してください) 1** : Reserved				

注 1) fc: 高周波クロック [Hz] fs: 低周波クロック [Hz]
注 2) タイマ動作中は、TC5M, TC5CK, TFF5 の設定を変更しないでください。
注 3) タイマを動作停止 (TC5S = "1" → "0") するときは、TC5M, TC5CK, TFF5 の設定を変更しないでください。ただしタイマを動作開始 (TC5S = "0" → "1") するときは、TC5M, TC5CK, TFF5 の設定を変更することができます。
注 4) 16 ビットモードで使用する場合、動作モードの設定は TC6CR<TC6M>にて行い、TC5M は "011" に固定してください。
注 5) 16 ビットモードで使用する場合、ソースクロックの選択は TC5CK (TC5CR のビット 4~6) にて行い、タイマスタート制御、タイマ F/F の制御については TC6CR<TC6S>, TC6CR<TFF6>にて設定してください。
注 6) 動作クロックの選択は、タイマの動作モードにより制限があります。詳しくは表 2.9.1, 表 2.9.2 を参照してください。
注 7) タイマレジスタの設定値は、タイマの動作モードにより制限があります。詳しくは表 2.9.3 を参照してください。
注 8) SLOW, SLEEP モード時の動作クロック fc は、高周波ウォーミングアップモードとしてのみ使用できます。

図 2.9.2 タイマカウンタ 5 のタイマレジスタ/制御レジスタ

タイマカウンタ 6 は、タイマカウンタ 6 制御レジスタ (TC6CR) と 2 本の 8 ビットタイマレジスタ (TTREG6, PWREG6) で制御されます。

タイマレジスタ						
TTREG6 (001FH)	7 6 5 4 3 2 1 0 [] [] [] [] [] [] [] [] (初期値 1111 1111)					
R/W						
PWREG6 (002FH)	7 6 5 4 3 2 1 0 [] [] [] [] [] [] [] [] (初期値 1111 1111)					
R/W						
注 1) タイマ動作中は、タイマレジスタ (TTREG6) の設定値を変更しないでください。 注 2) 8/16 ビット PWM モード以外の動作モードでは、タイマ動作中にタイマレジスタ (PWREG6) の設定値を変更しないでください。						
タイマカウンタ 6 制御レジスタ						
TC6CR (001BH)	7 6 5 4 3 2 1 0 TFF6 [] [] TC6CK [] [] TC6S [] [] TC6M [] [] (初期値 0000 0000)					
TFF6	タイマ F/F6 の制御 0: クリア 1: セット					
TC6CK	動作クロック選択 [Hz]	NORMAL1/2, IDLE1/2 モード		SLOW1/2 SLEEP1/2 モード	R/W	
		DV7CK = 0	DV7CK = 1			
		000	$fc/2^{11}$	$fs/2^3$		$fs/2^3$
		001	$fc/2^7$	$fc/2^7$		-
		010	$fc/2^5$	$fc/2^5$		-
		011	$fc/2^3$	$fc/2^3$		-
		100	fs	fs		fs
		101	fc/2	fc/2		-
110	fc	fc	-			
111	TC6 端子入力					
TC6S	タイマスタート制御 0: ストップ&カウンタクリア 1: スタート					
TC6M	動作モード選択	000: 8 ビットタイマ/イベントカウンタモード 001: 8 ビットプログラマブルデバイダ出力 (PDO) モード 010: 8 ビットパルス幅変調出力 (PWM) モード 011: Reserved 100: 16 ビットタイマ/イベントカウンタモード 101: ウォーミングアップカウンタモード 110: 16 ビットパルス幅変調出力 (PWM) モード 111: 16 ビット PPG モード				
注 1) fc: 高周波クロック [Hz] fs: 低周波クロック [Hz] 注 2) タイマ動作中は、TC6M, TC6CK, TFF6 の設定を変更しないでください。 注 3) タイマを動作停止 (TC6S = "1" → "0") するときは、TC6M, TC6CK, TFF6 の設定を変更しないでください。ただしタイマを動作開始 (TC6S = "0" → "1") するときは、TC6M, TC6CK, TFF6 の設定を変更することができます。 注 4) TC6M = 1** のとき (16 ビットモードの上位側のとき) は、TC6CK の設定に関係なく、ソースクロックは TC5 オーバフロー信号になります。 注 5) 16 ビットモードで使用する場合、動作モード選択は TC6M にて行います。そのとき、TC5CR<TC5M>は必ず "011" に設定してください。 注 6) 16 ビットモードで使用する場合、ソースクロックの選択は TC5CR<TC5CK>にて行い、タイマスタート制御、タイマ F/F の制御については TC6S, TFF6 にて設定してください。 注 7) 動作クロックの選択は、タイマの動作モードにより制限があります。詳しくは表 2.9.1, 表 2.9.2 を参照してください。 注 8) タイマレジスタの設定値は、タイマの動作モードにより制限があります。詳しくは表 2.9.3 を参照してください。 注 9) PWM6 / PDO6 / PPG6 出力を P33 ポートから出力する場合は、TC1CR2<TC6OUT>を "0" に設定してください。						

図 2.9.3 タイマカウンタ 6 のタイマレジスタ/制御レジスタ

表 2.9.1 動作モードと使用できるソースクロック
(NORMAL1/2, IDLE1/2 モード時)

動作モード	$fc/2^{11}$ or $fc/2^3$	$fc/2^7$	$fc/2^5$	$fc/2^3$	fs	fc/2	fc	TCi 端子 入力
8ビットタイマ	○	○	○	○	-	-	-	-
8ビットイベントカウンタ	-	-	-	-	-	-	-	○
8ビットPDO	○	○	○	○	-	-	-	-
8ビットPWM	○	○	○	○	○	○	○	-
16ビットタイマ	○	○	○	○	-	-	-	-
16ビットイベントカウンタ	-	-	-	-	-	-	-	○
ウォーミングアップカウンタ	-	-	-	-	○	-	-	-
16ビットPWM	○	○	○	○	○	○	○	○
16ビットPPG	○	○	○	○	-	-	-	○

注1) 16ビット動作(16ビットタイマ/イベントカウンタ、ウォーミングアップカウンタ、16ビットPWM、16ビットPPG)のソースクロックは下位ビット側(TC5CK)にて設定します。

注2) $i=6$

表 2.9.2 動作モードと使用できるソースクロック
(SLOW1/2, SLEEP1/2 モード時)

動作モード	$fc/2^{11}$ or $fc/2^3$	$fc/2^7$	$fc/2^5$	$fc/2^3$	fs	fc/2	fc	TCi 端子 入力
8ビットタイマ	○	-	-	-	-	-	-	-
8ビットイベントカウンタ	-	-	-	-	-	-	-	○
8ビットPDO	○	-	-	-	-	-	-	-
8ビットPWM	○	-	-	-	○	-	-	-
16ビットタイマ	○	-	-	-	-	-	-	-
16ビットイベントカウンタ	-	-	-	-	-	-	-	○
ウォーミングアップカウンタ	-	-	-	-	-	-	○	-
16ビットPWM	○	-	-	-	○	-	-	○
16ビットPPG	○	-	-	-	-	-	-	○

注1) 16ビット動作(16ビットタイマ/イベントカウンタ、ウォーミングアップカウンタ、16ビットPWM、16ビットPPG)のソースクロックは下位ビット側(TC5CK)にて設定します。

注2) $i=6$

表 2.9.3 比較用レジスタへの設定値に関する制約事項

動作モード	レジスタへの設定値
8ビットタイマ/イベントカウンタ	$1 \leq (TTREGi) \leq 255$
8ビットPDO	$1 \leq (TTREGj) \leq 255$
8ビットPWM	$2 \leq (PWREGj) \leq 254$
16ビットタイマ/イベントカウンタ	$1 \leq (TTREGm, n) \leq 65535$
ウォーミングアップカウンタ	$256 \leq (TTREGm, n) \leq 65535$
16ビットPWM	$2 \leq (PWREGm, n) \leq 65534$
16ビットPPG	$1 \leq (PWREGm, n) < (TTREGm, n) \leq 65535$ かつ $(PWREGm, n) + 1 < (TTREGm, n)$

注) $i=5, 6, j=6, m=6, n=5$

2.9.3 機能

タイマカウンタ 5, 6 にはそれぞれ、8 ビットタイマモード、8 ビットイベントカウンタモード、8 ビットプログラマブルデバイダ出力 (PDO) モード、8 ビットパルス幅変調出力 (PWM) モード、16 ビットタイマモード、16 ビットイベントカウンタモード、16 ビットパルス幅変調出力 (PWM) モード、16 ビットプログラマブルパルスジェネレート出力 (PPG) モードの 8 つの動作モードがあります。

16 ビットタイマモードは、タイマカウンタ 5 と 6 をカスケード接続することにより使用することができます。

(1) 8 ビットタイマモード (TC5, 6)

内部クロックでカウントアップするモードです。カウンタ値とタイマレジスタ i (TTREG i) 設定値との一致で INTTC i 割り込みが発生し、カウンタがクリアされます。カウンタクリア後もカウントアップを継続します。

注 1) タイマモード時は、TC j CR<TFF j >を“0”に固定してください。固定されない場合は、PDO j /PWM j /PPG j 端子からパルスが出力されることがあります。

注 2) タイマモード時は、タイマ動作中に TTREG i の設定値を変更しないでください。タイマモード時、TTREG i はシフトレジスタ構成となりませんので、TTREG i への設定値は書き替え直後に反映されます。従って、タイマ動作中に TTREG i を書き替えると想定している動作を得られない場合があります。

注 3) $j = 6, i = 5, 6$

表 2.9.4 タイマカウンタ 5, 6 のソースクロック (内部クロック)

ソースクロック			分解能		最大設定時間	
NORMAL1/2, IDLE1/2 モード	SLOW1/2, SLEEP1/2, モード	fc = 16 MHz	fs = 32.768 kHz	fc = 16 MHz	fs = 32.768 kHz	
DV7CK = 0						DV7CK = 0
fc/2 ¹¹ [Hz]	fs/2 ³ [Hz]	fs/2 ³ [Hz]	128 μs	244.14 μs	32.6 ms	62.3 ms
fc/2 ⁷	fc/2 ⁷	-	8 μs	-	2.0 ms	-
fc/2 ⁵	fc/2 ⁵	-	2 μs	-	510 μs	-
fc/2 ³	fc/2 ³	-	500 ns	-	127.5 μs	-

例: ソースクロック $fc/2^7$ [Hz] でタイマモードにセットし、80 μs 後に割り込みを発生させる ($fc = 16.0$ MHz 時)。

LD (TTREG6), 0AH ; タイマレジスタの設定 ($80 \mu\text{s} \div 2^7 / fc = 0AH$)

DI

SET (EIRH). EF12 ; INTTC6 割り込みを許可。

EI

LD (TC6CR), 00010000B ; 動作クロックを $fc/2^7$, 8 ビットタイマモードに設定

LD (TC6CR), 00011000B ; TC6 スタート

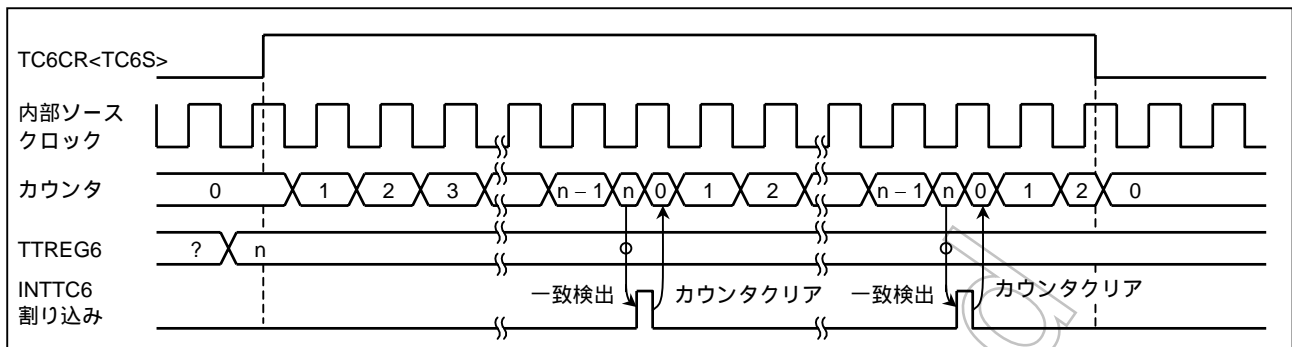


図 2.9.4 8ビットタイマモードタイミングチャート (TC6の場合)

(2) 8ビットイベントカウンタモード (TC6)

TC_j 端子の立ち下がりエッジでカウントアップするモードです。カウンタ値と TTRREG_j 設定値との一致で INTTC_j 割り込み発生し、カウンタはクリアされます。カウンタクリア後も TC_j 端子入力の立ち下がりエッジごとにカウントアップします。最大印加周波数は、 $f_c/2^4$ [Hz] (NORMAL1, 2 または IDLE1, 2 モード時)、 $f_s/2^4$ [Hz] (SLOW1/2, SLEEP1/2 モード時) で、“H”, “L” レベルともに 2 マシンサイクル以上のパルス幅が必要です。

注 1) イベントカウンタモード時は、TC_jCR<TFFj>を“0”に固定してください。固定されない場合は、PDO_j/PWM_j/PPG_j 端子からパルスが出力されることがあります。

注 2) イベントカウンタモード時は、タイマ動作中に TTRREG_j の設定値を変更しないでください。イベントカウンタモード時、TTRREG_j はシフトレジスタ構成となりますので、TTRREG_j への設定値は書き替え直後に反映されます。従って、タイマ動作中に TTRREG_j を書き替えると想定している動作を得られない場合があります。

注 3) j = 6

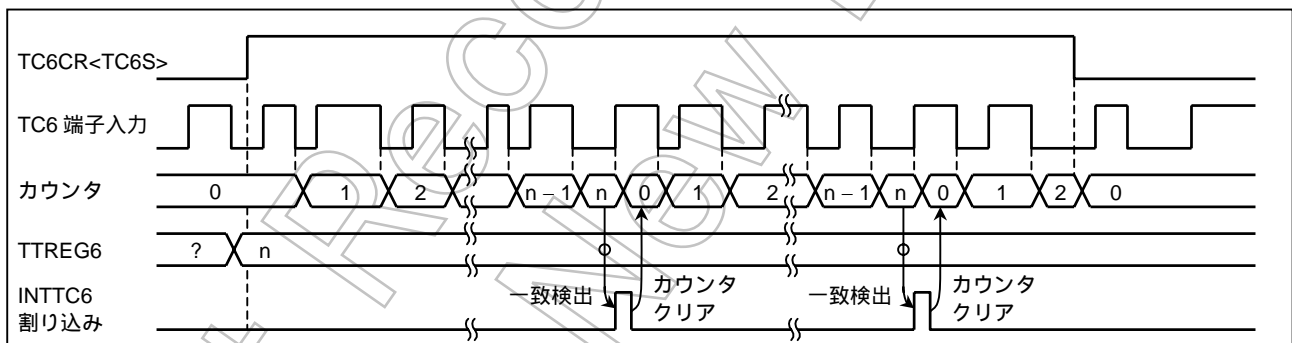


図 2.9.5 8ビットタイマモードタイミングチャート (TC6の場合)

(3) 8ビットプログラマブル デバイダ出力 (PDO) モード (TC6)

内部クロックでカウントアップし、TTREG_jとの一致ごとにタイマ F/F_j 出力を反転し、カウンタをクリアします。タイマ F/F_j 出力は、反転されて $\overline{\text{PDO}}_j$ 端子に出力されます。このモードはデューティ 50%のパルス出力に利用できます。なお、タイマ F/F_j はプログラムで初期設定することができます。リセット時、タイマ F/F_j は“0”に初期化されます。 $\overline{\text{PDO}}_j$ 出力反転ごとに INTTC_j 割り込みが発生します。

例: TC6 を使用し、1024 Hz のパルスを出力 ($f_c = 16.0 \text{ MHz}$ 時)。

LD (TTREG6), 3DH ; $(1/1024 \div 2^7/f_c) \div 2 = 3\text{DH}$

LD (TC6CR), 00010001B ; 動作クロックを $f_c/2^7$, 8ビット PDO モードに設定

LD (TC6CR), 00011001B ; TC6 スタート

注 1) プログラマブルデバイダ出力モード時は、タイマ動作中に TTREG_j の設定値を変更しないでください。プログラマブルデバイダ出力モード時、TTREG_j はシフトレジスタ構成となりませんので、TTREG_j への設定値は書き替え直後に反映されます。従って、タイマ動作中に TTREG_j を書き替えると想定している動作を得られない場合があります。

注 2) PDO 出力中にタイマを停止すると $\overline{\text{PDO}}_j$ 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TC_jCR<TFF_j>の操作を行ってください。ただし、タイマ停止と同時に TC_jCR<TFF_j>の設定を変更しないでください。

例: タイマカウンタ停止時に $\overline{\text{PDO}}_j$ 端子を“H”レベルに固定する。

CLR (TC_jCR).3 ; タイマ停止

CLR (TC_jCR).7 ; $\overline{\text{PDO}}_j$ 端子を“H”レベルに設定

注 3) $j = 6$

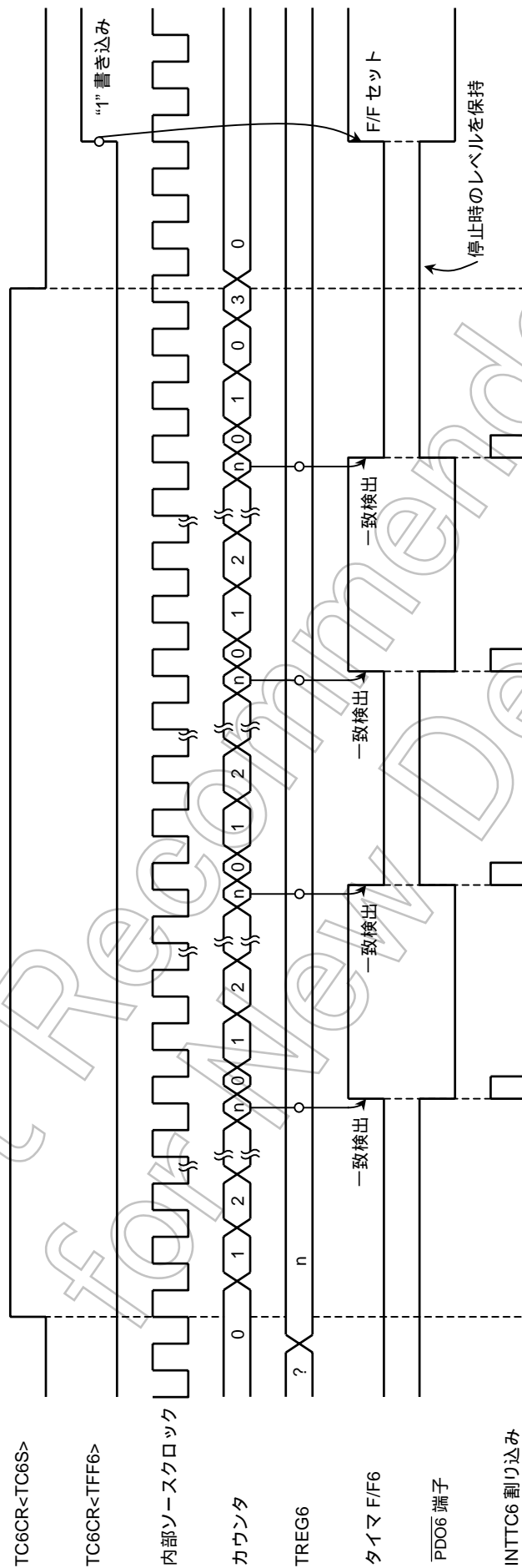


図 2.9.6 8ビット PDO モードタイミングチャート (TC6 の場合)

(4) 8ビットパルス幅変調 (PWM) 出力モード (TC6)

分解能 8 ビットの PWM 出力ができます。内部クロックでカウントアップし、カウンタ値と PWREG_i 設定値との一致でタイマ F/F_i 出力を反転します。カウンタはさらにカウントアップし、オーバフローでタイマ F/F_i 出力を再び反転し、カウンタをクリアします。タイマ F/F_i 出力は反転されて、 $\overline{\text{PWM}}_i$ 端子に出力されます。なお、オーバフロー時 INTTC_i 割り込みが発生します。

PWM モード中の PWREG_i は、シフトレジスタとの 2 段構成となっていますので、タイマ動作中に PWREG_i の設定値を変更することが可能です。タイマ動作中、PWREG_i への設定値は INTTC_i 割り込みによってシフトし反映されますので、連続的にパルス幅を変更することができます。ただしタイマ停止時は、PWREG_i にデータを設定した直後にシフトされます。

PWM 出力中、PWREG_i に対してリード命令を実行すると PWREG_i の設定値ではなく、シフトレジスタの値が読み込まれます。従って PWREG_i を設定してから INTTC_i 割り込みまでの間は、前回の PWREG_i 設定値が読み込まれます。

注 1) PWM モード時、タイマレジスタ PWREG_i への書き込みは、INTTC_i 割り込み発生直後 (通常は INTTC_i 割り込みサービスルーチン内) に行ってください。タイマレジスタ PWREG_i への書き込みと INTTC_i 割り込みのタイミングが重なった場合、書き込み途中の不安定な値がシフト動作されるため、次の INTTC_i 割り込みまでの間、設定値と異なるパルスが出力されることがあります。

注 2) PWM 出力中にタイマを停止すると、 $\overline{\text{PWM}}_i$ 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TCiCR<TFFi> の操作を行ってください。ただし、タイマ停止と同時に TCiCR<TFFi> の設定を変更しないでください。

例: タイマカウンタ停止時に $\overline{\text{PWM}}_i$ 端子を "H" レベルに固定する。

CLR (TCiCR).3 ; タイマ停止

CLR (TCiCR).7 ; $\overline{\text{PWM}}_i$ 出力を "H" レベルに設定

注 3) PWM 出力中、STOP モードを起動する場合は、タイマを停止してから STOP モードを起動してください。タイマを停止せずに STOP モードを起動し、更にソースクロックとして f_c , $f_c/2$ または f_s が選択されている場合は、STOP 解除後のウォーミングアップ中に $\overline{\text{PWM}}_i$ 端子からパルスが出力されます。

注 4) $i = 6$

表 2.9.5 PWM 出力モード

ソースクロック		SLOW1/2, SLEEP1/2 モード	分解能		繰り返し周期	
NORMAL1/2, IDLE1/2 モード	DV7CK = 0		$f_c = 16 \text{ MHz}$	$f_s = 32.768 \text{ kHz}$	$f_c = 16 \text{ MHz}$	$f_s = 32.768 \text{ kHz}$
$f_c/2^{11}$ [Hz]	$f_s/2^3$ [Hz]	$f_s/2^3$ [Hz]	128 μs	244.14 μs	32.8 ms	62.5 ms
$f_c/2^7$	$f_c/2^7$	—	8 μs	—	2.05 ms	—
$f_c/2^5$	$f_c/2^5$	—	2 μs	—	512 μs	—
$f_c/2^3$	$f_c/2^3$	—	500 ns	—	128 μs	—
f_s	f_s	f_s	30.5 μs	30.5 μs	7.81 ms	78.1 ms
$f_c/2$	$f_c/2$	—	125 ns	—	32 μs	—
f_c	f_c	—	62.5 ns	—	16 μs	—

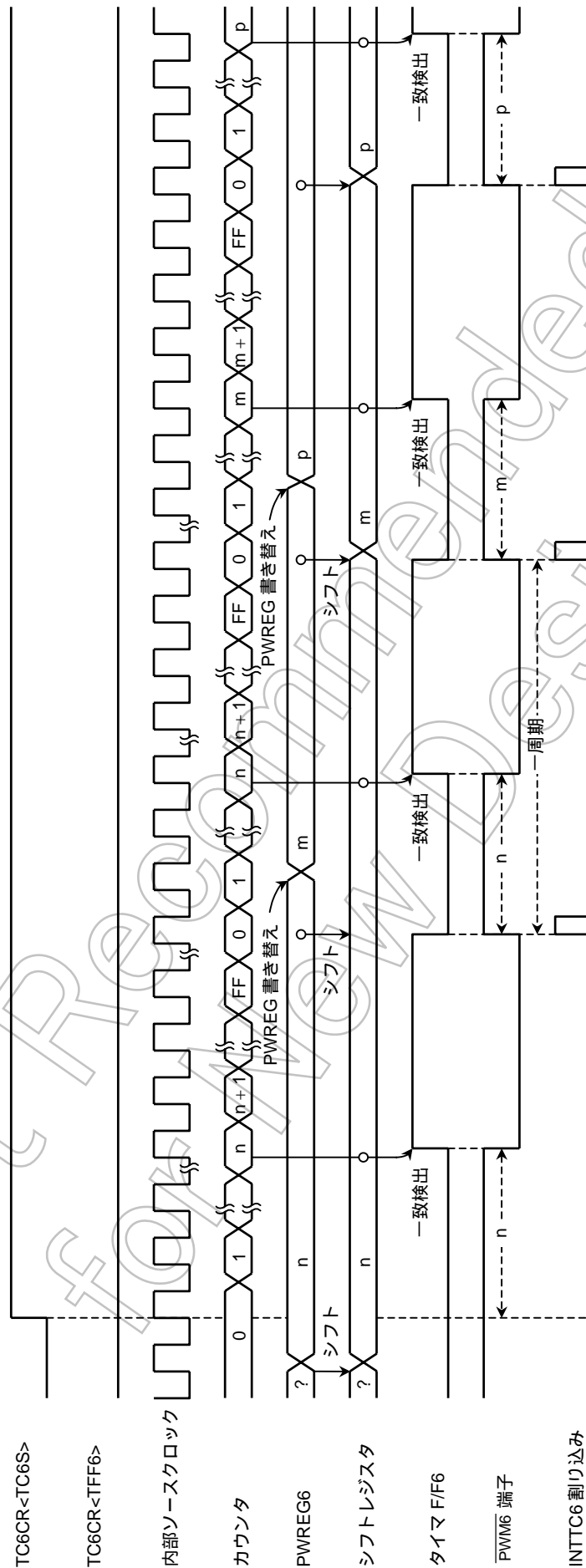


図 2.9.7 8ビット PWM モードタイミングチャート (TC6 の場合)

(5) 16 ビットタイマモード (TC5 + 6)

内部クロックでカウントアップするモードです。

タイマカウンタ 5 と 6 はカスケード接続することにより、16 ビットタイマモードとして使用することができます。

TC6S (TC6CR のビット 3) によりタイマスタート後、カウンタ値とタイマレジスタ (TTREG5, TTREG6) 設定との一致で INTTC6 割り込みが発生し、カウンタがクリアされます。カウンタクリア後もカウントアップは継続されます。タイマレジスタは、必ず下位側 (TTREG5)、上位側 (TTREG6) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

注 1) タイマモード時は、TCjCR<TFFj>を “0” に固定してください。固定されない場合は、PDOj/PWMj/PPGj 端子からパルスが出力されることがあります。

注 2) タイマモード時は、タイマ動作中に TTREGi の設定値を変更しないでください。タイマモード時、TTREGi はシフトレジスタ構成となりませんので、TTREGi への設定値は書き替え直後に反映されます。従って、タイマ動作中に TTREGi を書き替えると想定している動作を得られない場合があります。

注 3) j = 6 i = 5, 6

表 2.9.6 16 ビットタイマモードのソースクロック

ソースクロック			分解能		繰り返し周期	
NORMAL1/2, IDLE1/2 モード		SLOW1/2, SLEEP1/2 モード	fc = 16 MHz	fs = 32.768 kHz	fc = 16 MHz	fs = 32.768 kHz
DV7CK = 0	DV7CK = 0					
fc/2 ¹¹	fs/2 ³	fs/2 ³	128 μs	244.1 μs	8.39 s	16 s
fc/2 ⁷	fc/2 ⁷	-	8 μs	-	524.3 ms	-
fc/2 ⁵	fc/2 ⁵	-	2 μs	-	131.1 μs	-
fc/2 ³	fc/2 ³	-	500 ns	-	32.8 μs	-

例: ソースクロック fc/2⁷ [Hz] でタイマモードにセットし、300 ms 後に割り込みを発生させる (fc = 16.0 MHz 時)。

LDW (TTREG5), 927CH ; タイマレジスタの設定
(300 ms ÷ 2⁷/fc = 927CH)

DI
SET (EIRH), EF12 ; INTTC6 割り込みを許可。

EI
LD (TC5CR), 13H ; 動作クロックを fc/2⁷, 16 ビットタイマモードに設定

LD (TC6CR), 04H ; 16 ビットタイマモード (上位側) に設定

LD (TC6CR), 0CH ; タイマスタート

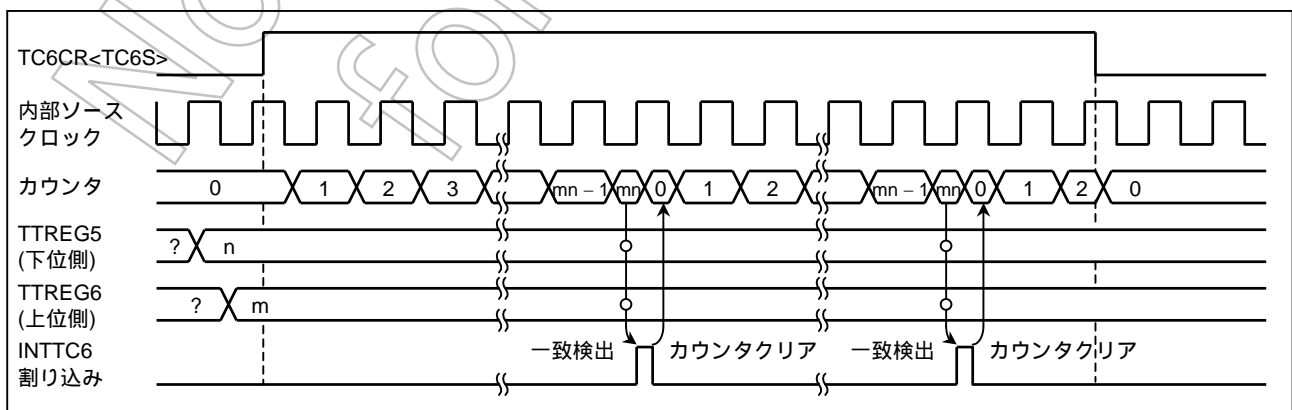


図 2.9.8 16 ビットタイマモードタイミングチャート (TC5 + TC6 の場合)

(6) 16ビットパルス幅変調 (PWM) 出力モード (TC5 + 6)

分解能 16 ビットの PWM 出力ができます。タイマカウンタ 5 と 6 はカスケード接続することにより、16 ビット PWM モードとして使用することができます。

カウンタ値とタイマレジスタ (PWREG5, PWREG6) 設定との一致でタイマ F/F6 を反転します。カウンタはさらにカウントアップし、オーバフローでタイマ F/F6 を再び反転し、カウンタをクリアします。なお、オーバフロー時 INTTC6 割り込みが発生します。PWM モード中の PWREG6, 5 は、シフトレジスタとの 2 段構成となっていますので、タイマ動作中に PWREG6, 5 の設定値を変更することが可能です。タイマ動作中、PWREG6, 5 への設定値は INTTC6 割り込みによってシフトし反映されますので、連続的にパルス幅を変更することができます。ただしタイマ停止時は、PWREG6, 5 にデータを設定した直後にシフトされます。PWREG6, 5 の書き替えを行うときは、必ず下位側 (PWREG5)、上位側 (PWREG6) の順に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

PWM 出力中、PWREG6, 5 に対してリード命令を実行すると PWREG6, 5 の設定値ではなく、シフトレジスタの値が読み込まれます。従って、PWREG6, 5 を設定してから INTTC6 割り込みまでの間は、前回の PWREG6, 5 設定値が読み込まれます。

注 1) PWM モード時、タイマレジスタ PWREG m, n への書き込みは、INTTC m 割り込み発生直後 (通常は INTTC m 割り込みサービスルーチン内) に行ってください。タイマレジスタ PWREG m, n への書き込みと INTTC m 割り込みのタイミングが重なった場合、書き込み途中の不安定な値がシフト動作されるため、次の INTTC m 割り込みまでの間、設定値と異なるパルスが出力されることがあります。

注 2) PWM 出力中にタイマを停止すると、P $W\bar{M}i$ 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TCiCR<TFFi> の操作を行ってください (タイマ停止と同時に TCiCR<TFFi> の設定を変更しないでください)。

例: タイマカウンタ停止時に P $W\bar{M}i$ 端子を “H” レベルに固定する。

CLR (TCiCR).3 ; タイマ停止

CLR (TCiCR).7 ; P $W\bar{M}i$ 出力を “H” レベルに設定

注 3) PWM モード中、STOP モードを起動する場合は、タイマを停止してから STOP モードを起動してください。タイマを停止せずに STOP モードを起動し、更にソースクロックとして $f_c, f_c/2$ または f_s が選択されている場合は、STOP 解除後のウォーミングアップ中に P $W\bar{M}i$ 端子からパルスが出力されます。

注 4) $m=6, n=5, i=6$

表 2.9.7 16 ビット PWM 出力モード

ソースクロック		SLOW, SLEEP モード	分解能		繰り返し周期	
NORMAL1/2, IDLE1/2 モード DV7CK = 0	DV7CK = 0		$f_c = 16 \text{ MHz}$	$f_s = 32.768 \text{ kHz}$	$f_c = 16 \text{ MHz}$	$f_s = 32.768 \text{ kHz}$
$f_c/2^{11}$	$f_s/2^3$	$f_s/2^3$	128 μs	244.14 μs	8.39 s	16 s
$f_c/2^7$	$f_c/2^7$	—	8 μs	—	524.3 ms	—
$f_c/2^5$	$f_c/2^5$	—	2 μs	—	131.1 ms	—
$f_c/2^3$	$f_c/2^3$	—	500 ns	—	32.8 ms	—
f_s	f_s	f_s	30.5 μs	30.5 μs	2 s	2 s
$f_c/2$	$f_c/2$	—	125 ns	—	8.2 ms	—
f_c	f_c	—	62.5 ns	—	4.1 ms	—

例: P33 から周期 32.768 ms、“H” レベル幅 1 ms のパルスを出力する ($f_c = 16.0$ MHz, DV7CK = 0 時)。

LDW (PWREG5), 07D0H	; パルス幅の設定
LD (TC5CR), 33H	; 動作クロックを $f_c/2^3$ 、16 ビット PWM モード (下位側) に設定
LD (TC6CR), 056H	; TFF6 初期値 “0”、16 ビット PWM モード (上位側) に設定
LD (TC6CR), 05EH	; タイマスタート

Not Recommended
for New Design

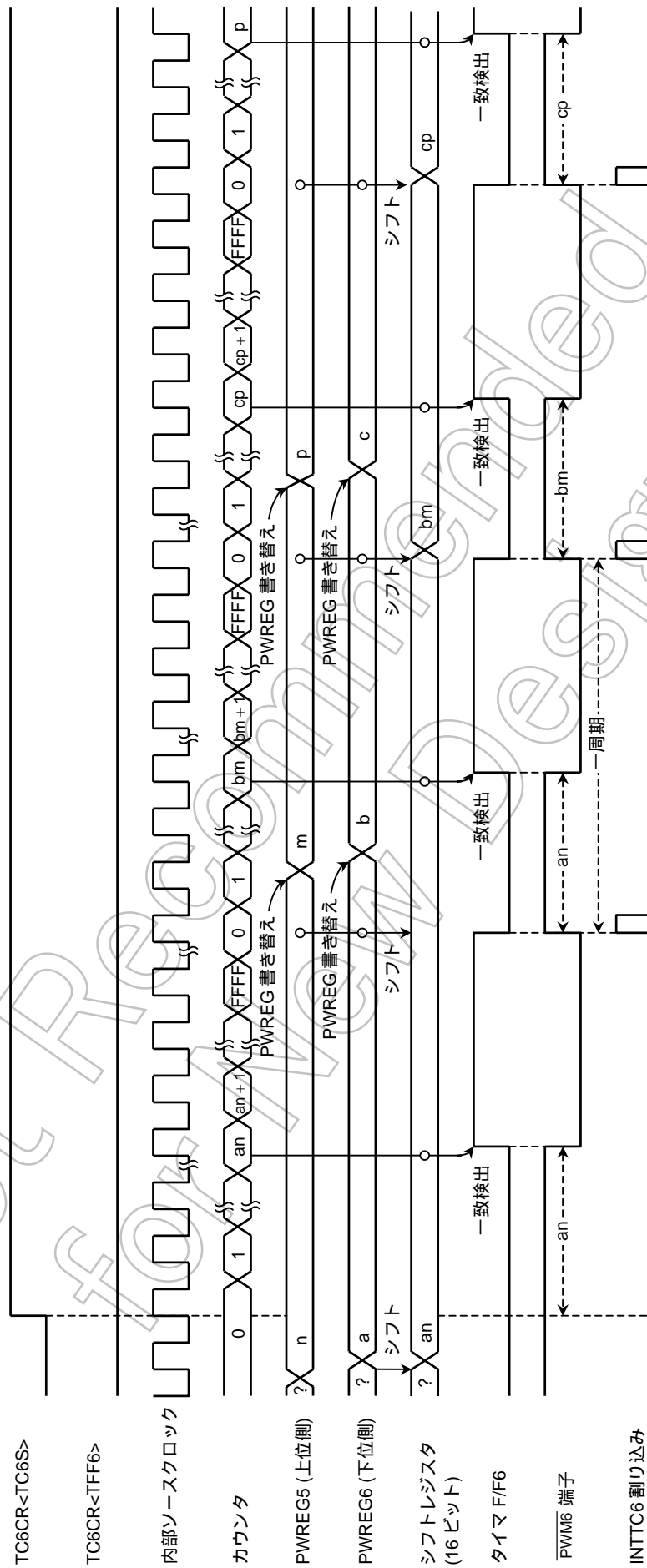


図 2.9.9 16 ビット PWM モードタイミングチャート (TC5 + TC6 の場合)

(7) 16 ビットプログラマブルパルスジェネレータ (PPG) 出力モード (TC5 + 6)

分解能 16 ビットの PPG 出力ができます。

タイマカウンタ 5 と 6 はカスケード接続することにより、16 ビット PPG モードとして使用することができます。

カウンタ値とタイマレジスタ (PWREG5, PWREG6) 設定との一致でタイマ F/F6 を反転します。

カウンタはさらにカウントアップし、タイマレジスタ (TTREG5, TTREG6) 設定との一致でタイマ F/F6 を再び反転し、カウンタをクリアします。このとき、INTTC6 割り込みが発生します。PPG 出力を行う場合は、P33 出力ラッチを “1” にセットします。タイマ F/F6 はリセット時 “0” にクリアされます。また、TC6CR<TFF6> でタイマ F/F6 の値を設定することができますので、正論理/負論理いずれのパルスも出力可能です。タイマレジスタは、必ず下位側、上位側の順 (TTREG5 → TTREG6、PWREG5 → PWREG6) に設定してください (タイマレジスタの下位側 (上位側) だけの変更はできません)。

例: P33 から周期 16.385 ms、“H” レベル幅 1 ms のパルスを出力する ($f_c = 16.0$ MHz, DV7CK = 0 時)。

```
LDW (PWREG5), 07D0H ; パルス幅の設定
LDW (TTREG5), 8002H ; 周期の設定
LD (TC5CR), 33H ; 動作クロックを  $f_c/2^3$ 、16 ビット PPG モード (下位側) に設定
LD (TC6CR), 057H ; TFF4 初期値 “0”、16 ビット PPG モード (上位側) に設定
LD (TC6CR), 05FH ; タイマスタート
```

注 1) プログラマブルパルスジェネレータモード時は、タイマ動作中に PWREG_i, TTREG_i の設定値を変更しないでください。プログラマブルパルスジェネレータモード時、PWREG_i, TTREG_i はシフトレジスタ構成となりませんので、PWREG_i, TTREG_i への設定値は書き替え直後に反映されます。従って、タイマ動作中に PWREG_i, TTREG_i を書き替えると想定している動作を得られない場合があります。

注 2) PPG 出力中にタイマを停止すると、PPG_j 端子はタイマ停止時の出力状態を保持します。出力状態を任意のレベルに変更するには、タイマ停止後に TCjCR<TFFj> の操作を行ってください。タイマ停止と同時に TCjCR<TFFj> の設定を変更しないでください。

例: タイマカウンタ停止時に PPG_j 端子を “H” レベルに固定する。

```
CLR (TCjCR).3 ; タイマ停止
CLR (TCjCR).7 ; PPGj 端子を “H” レベルに設定
```

注 3) $j = 6, i = 5, 6$

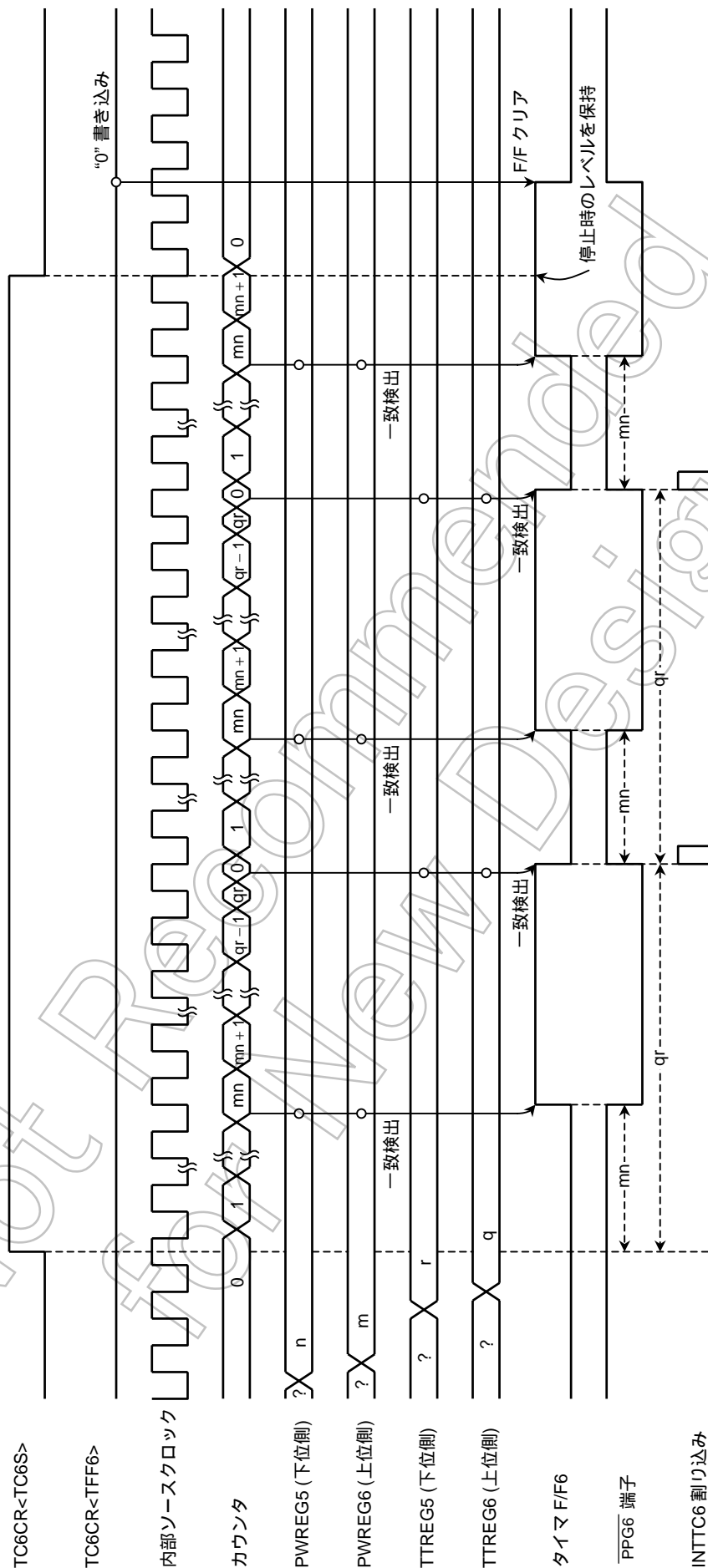


図 2.9.10 16ビット PPG モードタイミングチャート (TC5 + TC6 の場合)

(8) ウォーミングアップカウンタモード

システムクロックを高周波と低周波の間で切り替えるときに発振器が安定して動作するまでのウォーミングアップ時間を確保するモードです。タイマカウンタ 5 と 6 をカスケード接続し 16 ビットモードとして使用します。ウォーミングアップカウンタモードは、高周波から低周波に切り替えるときと、低周波から高周波に切り替えるときの 2 つのモードがあります。

注 1) ウォーミングアップカウンタモード時は、TCiCR<TFFi>を“0”に固定してください。固定されない場合は、PDOi/PWMI/PPGi 端子からパルスが出力されることがあります。

注 2) ウォーミングアップカウンタモード時は、タイマレジスタ TTREGm, n の下位 11 ビットは一致検出の対象外となり、上位 5 ビットのみ的一致検出となります。

注 3) i = 6, m = 4, n = 5

a. 低周波ウォーミングアップカウンタモード

(NORMAL1 → NORMAL2 → SLOW2 → SLOW1)

低周波クロック fs が停止状態から安定して発振するまでのウォーミングアップ時間を確保するモードです。

タイマをスタートさせる前に、SYSCR2<XTEN>を“1”に設定し低周波クロックを発振させます。

TCmCR<TCmS>によりタイマスタート後、カウンタ値とタイマレジスタ (TTREGm, n) 設定との一致で INTTCm 割り込みが発生し、カウンタがクリアされます。INTTCm 割り込みサービスルーチン内でタイマを停止した後、SYSCR2<SYSCK>を“1”に設定し、システムクロックを高周波から低周波に切り替えます。その後、SYSCR2<XEN>を“0”に設定し、高周波クロックを停止します。

表 2.9.8 低周波ウォーミングアップカウンタモードの設定時間 (fs = 32.768 kHz 時)

最小設定時間 (TTREGm, n = 0100H)	最大設定時間 (TTREGm, n = FF00H)
7.81 ms	1.99 s

例: TC6, 5 で低周波クロックの安定した発振を確認後、SLOW1 モードへ切り替え

```

SET (SYSCR2).6 ; SYSCR2<XTEN> ← “1”
LD (TC5CR).43H ; TFF5 = “0”, ソースクロック fs, 16 ビット
                  ; モードに設定
LD (TC6CR).05H ; TFF6 = “0”, ウォーミングアップカウンタ
                  ; モードに設定
LD (TTREG5).8000H ; ウォーミングアップ時間をセット
                  ; (発振器の特性で時間を決定します)
DI ; IMF ← “0”
SET (EIRH).4 ; INTTC6 割り込み許可
EI ; IMF ← “1”
SET (TC6CR).3 ; TC6, 5 スタート
  ⋮
PINTTC6: CLR (TC6CR).3 ; TC6, 5 ストップ
          SET (SYSCR2).5 ; SYSCR2<SYSCK> ← “1”
          ; (システムクロックを低周波に切り替え)
          CLR (SYSCR2).7 ; SYSCR2<XEN> ← “0”
          ; (高周波クロック停止)
          RETI
          ⋮
VINTTC6: DW PINTTC6 ; INTTC6 ベクタテーブル
  
```

b. 高周波ウォーミングアップカウンタモード

(SLOW1 → SLOW2 → NORMAL2 → NORMAL1)

高周波クロック f_c が停止状態から安定して発振するまでのウォーミングアップ時間を確保するモードです。

タイマをスタートさせる前に、SYSCR2<XEN>を“1”に設定し高周波クロックを発振させます。

TCmCR<TCmS>によりタイマスタート後、カウンタ値とタイマレジスタ (TTREGm, n) 設定との一致で INTTCm 割り込みが発生し、カウンタがクリアされます。INTTCm 割り込みサービスルーチン内でタイマを停止した後、SYSCR2<SYSCK>を“0”に設定し、システムクロックを低周波から高周波に切り替えます。その後、SYSCR2<XTEN>を“0”に設定し、低周波クロックを停止します。

表 2.9.9 高周波ウォーミングアップカウンタモードの設定時間 ($f_c = 16$ MHz 時)

最小設定時間 (TTREGm, n = 0100H 時)	最大設定時間 (TTREGm, n = FF00H 時)
16 μ s	4.08 ms

例: TC6, 5 で高周波クロックの安定した発振を確認後、NORMAL1 モードへ切り替え

```

SET  (SYSCR2).7      ; SYSCR2<XEN> ← “1”
LD   (TC5CR),63H    ; TFF5 = “0”, ソースクロック  $f_c$ , 16 ビット
                          モードに設定
LD   (TC6CR),05H    ; TFF6 = “0”, ウォーミングアップカウンタ
                          モードに設定
LD   (TTREG5),0F800H; ウォーミングアップ時間をセット
                          (発振器の特性で時間を決定します)
DI   ; IMF ← “0”
SET  (EIRH).4       ; INTTC6 割り込み許可
EI   ; IMF ← “1”
SET  (TC6CR).3      ; TC6, 5 スタート
    :
    :
PINTTC6: CLR (TC6CR).3 ; TC6, 5 ストップ
CLR  (SYSCR2).5     ; SYSCR2<SYSCK> ← “0”
                          (システムクロックを高周波に切り替え)
CLR  (SYSCR2).6     ; SYSCR2<XTEN> ← “0”
                          (低周波クロック停止)

RETI
    :
    :
VINTTC6: DW  PINTTC6 ; INTTC6 ベクタテーブル

```

2.10 UART (非同期型シリアルインタフェース)

TMP86FM29 は、UART (非同期型シリアルインタフェース) を 1 チャンネル内蔵しています。RxD, TxD を通して外部デバイスと接続されます。RxD は P15、TxD は P16 と兼用で RxD, TxD 端子として使用する場合、P1 の各ポートの出力ラッチを “1” にセットします。

2.10.1 構成

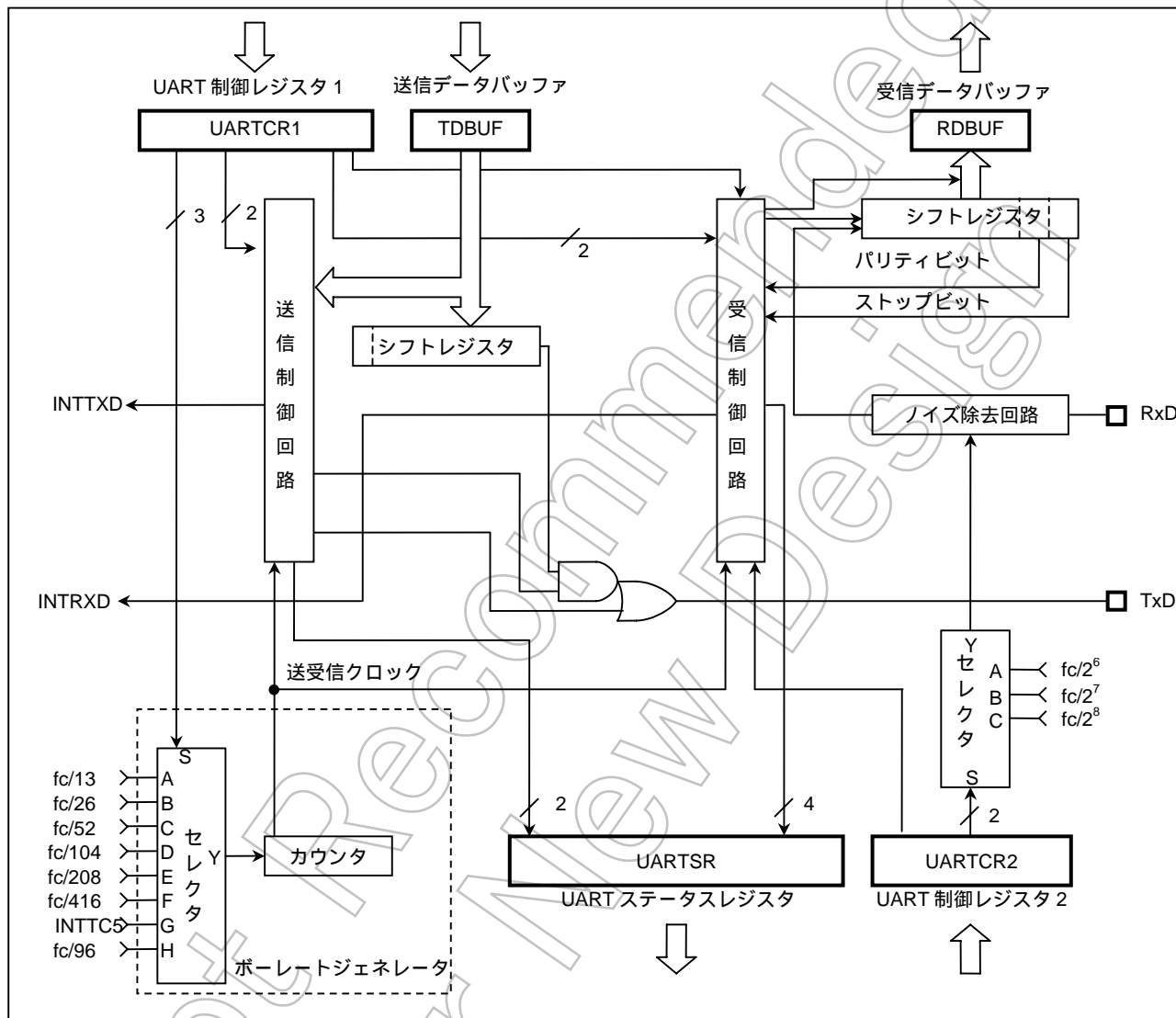


図 2.10.1 UART (非同期型シリアルインタフェース)

2.10.2 制御

UART は、UART 制御レジスタ 1, 2 (UARTCR1, UARTCR2) で制御されます。また UART ステータスレジスタ (UARTSR) により動作状態のモニタができます。

UART 制御レジスタ								
UARTCR1 (0025H)	7 6 5 4 3 2 1 0	TXE	RXE	STBT	EVEN	PE	BRG	(初期値 0000 0000)
BRG	転送クロック選択	000: fc/13 [Hz] 001: fc/26 010: fc/52 011: fc/104 100: fc/208 101: fc/416 110: TC5 使用 (INTTC5 を入力) 111: fc/96						Write only
PE	パリティ付加	0: パリティなし 1: パリティ付加						
EVEN	偶数パリティ	0: 奇数パリティ 1: 偶数パリティ						
STBT	送信ストップビット長	0: 1ビット 1: 2ビット						
RXE	受信動作	0: ディセーブル 1: イネーブル						
TXE	送信動作	0: ディセーブル 1: イネーブル						
<p>注 1) TXE, RXE ビットを "0" に設定して動作を禁止させる場合、送信もしくは受信動作が完了されたときに有効となります。送信データが送信データバッファに格納されている場合は、そのデータの送出手は行わず、そのあと送信許可に設定されても新たにデータを書き込むまで送信動作は行われません。</p> <p>注 2) 転送クロックとパリティは送受信共通です。</p> <p>注 3) BRG の書き替えは、RXE = "0" かつ TXE = "0" のときに行ってください。</p>								
UARTCR2 (0026H)	7 6 5 4 3 2 1 0	RXDNC		STOPBR		(初期値 **** *000)		
STOPBR	受信ストップビット長	0: 1ビット 1: 2ビット						Write only
RXDNC	RXD 入力のノイズ除去時間の選択	00: ノイズ除去なし (ヒステリシス入力) 01: 31/fc [s] 未満のパルスはノイズとして除去 10: 63/fc [s] " 11: 127/fc [s] "						
<p>注) RXDNC が "01" の場合 96/fc, "10" の場合 192/fc, "11" の場合 384/fc [s] 以上は確実に信号とみなされます。</p>								

図 2.10.2 UART 制御レジスタ

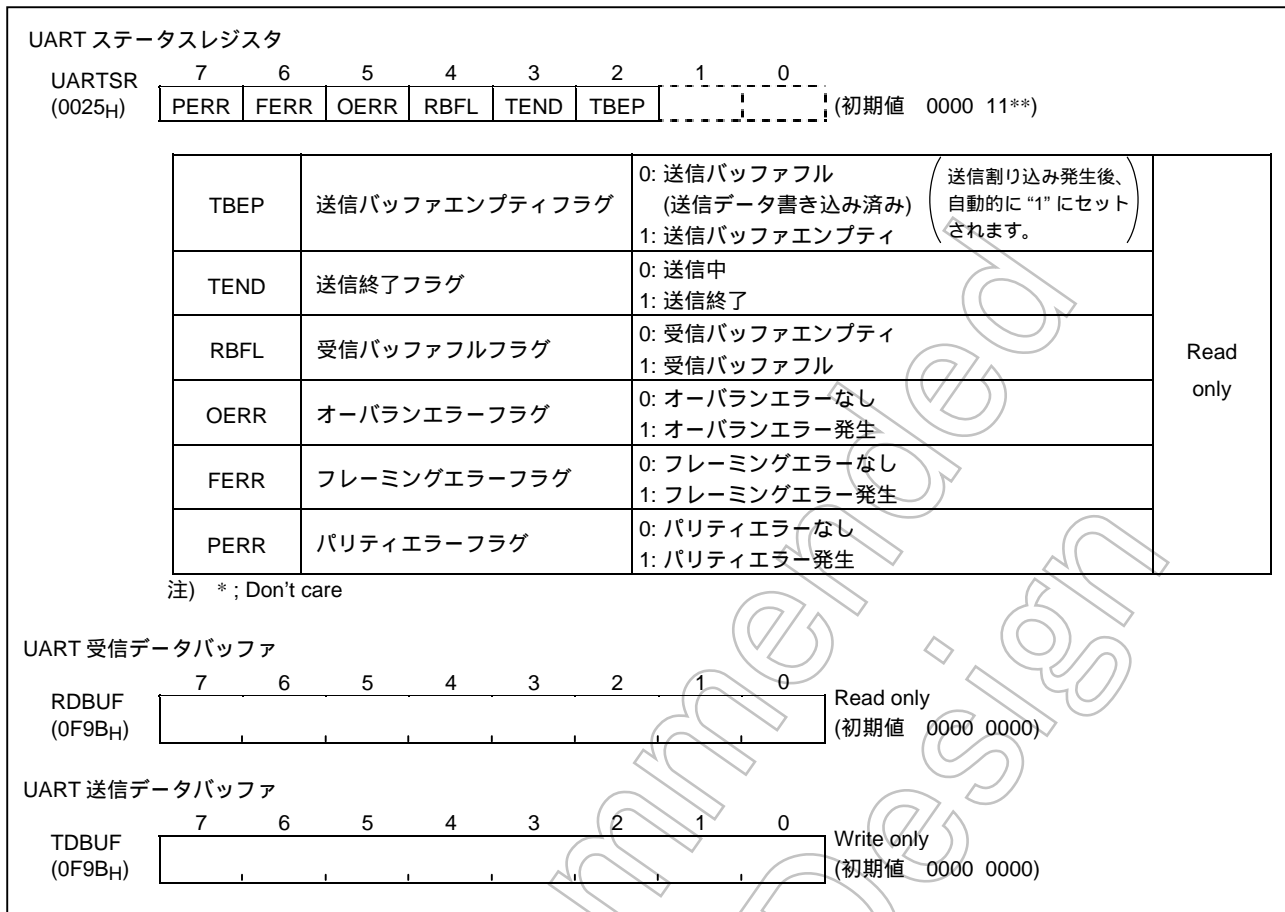
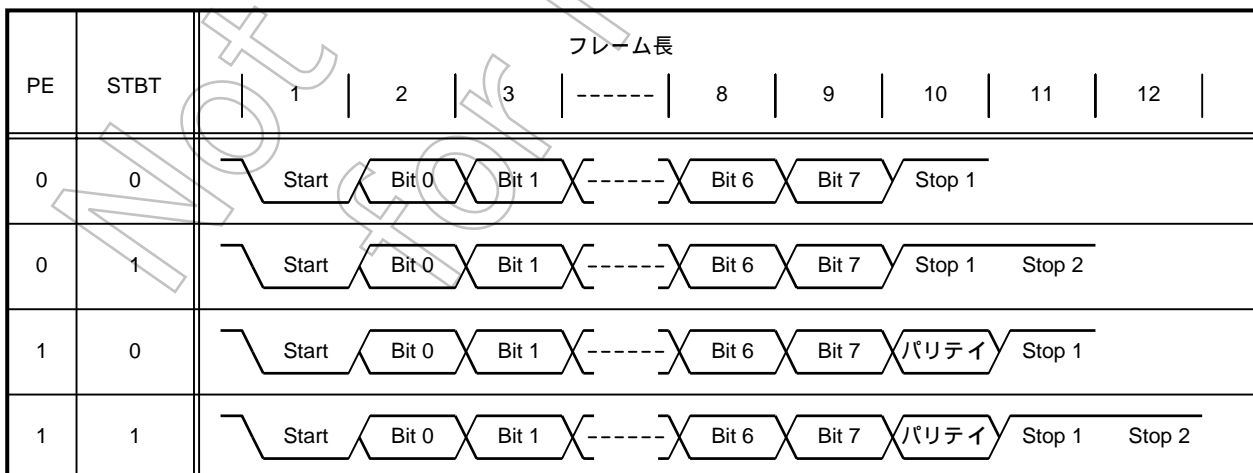


図 2.10.3 UART ステータスレジスタ/データバッファレジスタ

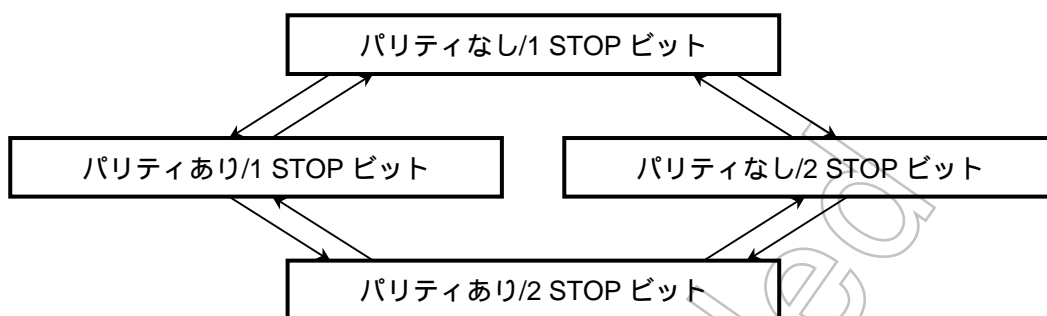
2.10.3 転送データフォーマット

UART で転送されるデータには、スタートビット 1 ビット (“L” レベル) とストップビット (“H” レベル、UARTCR1<STBT>でビット長の選択可)、パリティ (UARTCR1<PE>でパリティ有無の選択可、UARTCR1<EVEN>で偶数/奇数パリティ選択可) が付加されます。以下に転送データフォーマットを示します。

表 2.10.1 転送データフォーマット



注) 送信データフォーマットの切り替えは、初期設定時以外は以下の状態遷移にて送信動作を実施し、切り替えを行ってください。



2.10.4 転送レート

UART の転送レート (ボーレート) は UARTCR1<BRG>により設定されます。以下に転送レートの例を示します。

表 2.10.2 転送レート (例)

BRG	ソースクロック		
	12.5 MHz	8 MHz	4 MHz
000	76800 [baud]	38400 [baud]	19200 [baud]
001	38400	19200	9600
010	19200	9600	4800
011	9600	4800	2400
100	4800	2400	1200
101	2400	1200	600

UART の転送レートとして TC5 使用を選択したとき (つまり UARTCR1<BRG> = “110” に設定したとき)

転送クロックおよび転送レートは

$$\text{転送クロック} = \frac{\text{TC5ソースクロック}}{\text{TTREG5設定値}}$$

$$\text{転送レート} = \frac{\text{転送クロック}}{16}$$

となす。

2.10.5 データのサンプリング方法

UARTのレシーバは、RxD端子入りにスタートビットが見つかるまでUARTCR1<BRG>で選択したクロックで入力のサンプリングを行います。RTクロックの開始は、RxD端子の“L”レベルを検出し始まります。スタートビットが見つかったらスタートビット、データビット、ストップビット、パリティビットは、以下に示すように1レシーバクロック(RT1クロック)の間隔(RT0はビットが始まると予想される位置)でRT7, RT8, RT9の位置で3回サンプリングし、多数決判定(3回のサンプリングのうち2回または3回)で決定しビットのデータとします。

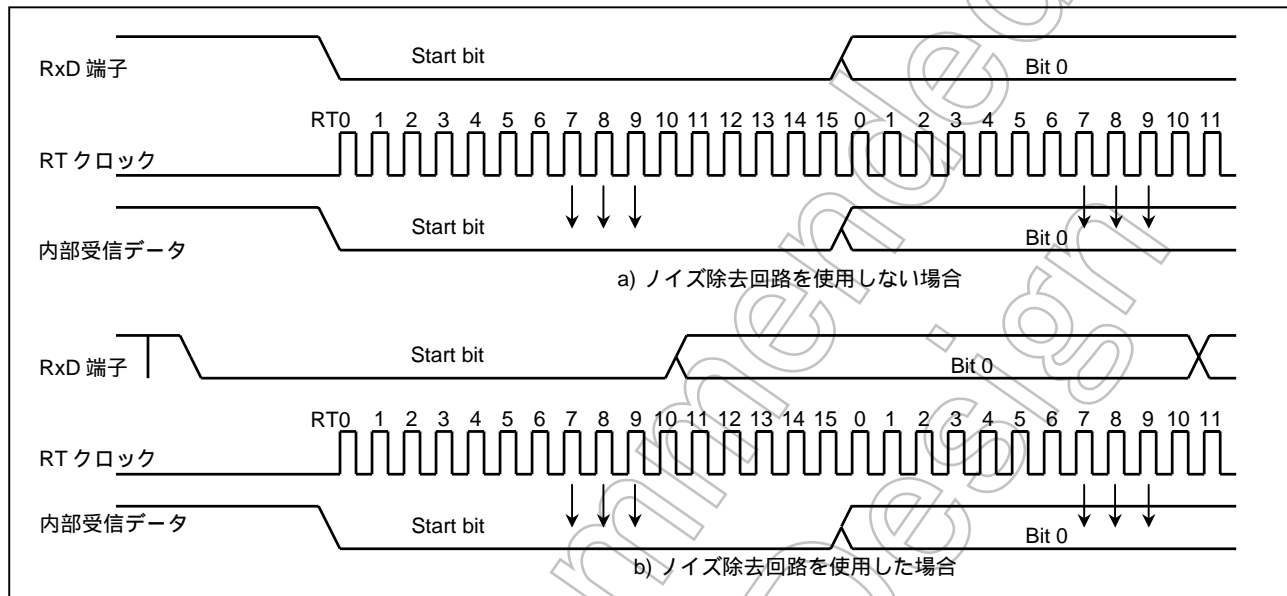


図 2.10.4 データのサンプリング方法

2.10.6 STOP ビット長

UARTCR1<STBT>で送信ストップビット長(1ビット/2ビット)の選択ができます。

2.10.7 パリティ

UARTCR1<PE>でパリティ付加の有無を、UARTCR1<EVEN>でパリティの種類(奇数/偶数)を設定します。

2.10.8 送受信動作

(1) データ送信動作

UARTCR1<TXE>を“1”にセットします。UARTSRを読み出しTBEP=“1”を確認後、TDBUF (送信データバッファ) にデータを書き込みます。書き込みを行うとUARTSR<TBEP>は“0”にクリアされデータが送信シフトレジスタに転送された後、TxD端子より順次出力されます。このとき出力されるデータにはスタートビット 1 ビットとUARTCR1<STBT>で指定した数のストップビットおよびパリティビット (パリティありの場合) が付加されます。データ転送ボーレートはUARTCR1<BRG>で選択します。データの送信が始まると送信バッファエンプティフラグ UARTSR<TBEP>は“1”にセットされ、INTTXD 割り込みが発生します。

UARTCR1<TXE>が“0”の間および UARTCR1<TXE>に“1”を書き込んでからTDBUF に送信データが書き込まれるまでの間、TxD 端子は“H”レベルに固定されます。

送信を行う場合、UARTSRを読み出してからTDBUFにデータを書き込んでください。読み出さないと、UARTSR<TBEP>が“0”にクリアされず送信が開始されません。

(2) データ受信動作

UARTCR1<RXE>を“1”にセットします。その後、RxD 端子からデータを受信すると、RDBUF (受信データバッファ) に受信データが転送されます。このとき、送られてくるデータにはスタートビットとストップビットおよびパリティビット (パリティありの場合) が付加されています。ストップビットが受信されるとデータだけが取り出され RDBUF (受信データバッファ) に転送された後、受信バッファフルフラグ UARTSR<RBFL>がセットされ、INTRXD 割り込みが発生します。データ転送ボーレートはUARTCR1<BRG>で選択します。

データが受信されたときに、オーバランエラーが発生すると、RDBUF (受信データバッファ) へのデータ転送は行われず破棄されます。ただし、RDBUF 内のデータは影響を受けません。

注) RXE ビットを“0”に設定して受信動作を停止させる場合、受信動作が完了したときに有効となります。ただし、この受信データにおいてフレーミングエラーが発生した場合、受信動作停止が有効とならない場合がありますので、フレーミングエラー発生時は、必ず再受信を実施してください。

2.10.9 ステータスフラグ

(1) パリティエラー

受信データのデータビットから計算したパリティが、受信されたパリティビットと異なっているときパリティエラーフラグ UARTSR<PERR>が“1”にセットされます。UARTSRを読み出した後、RDBUFを読み出すと UARTSR<PERR>は“0”にクリアされます。

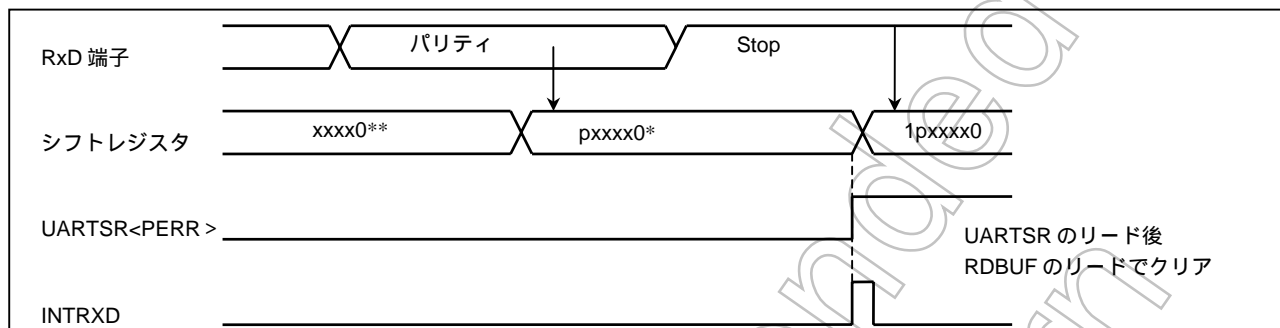


図 2.10.5 パリティエラーの発生

(2) フレーミングエラー

受信データのSTOPビットとして“0”がサンプリングされたときフレーミングエラーフラグ UARTSR<FERR>が“1”にセットされます。UARTSRを読み出した後、RDBUFを読み出すと UARTSR<FERR>は“0”にクリアされます。

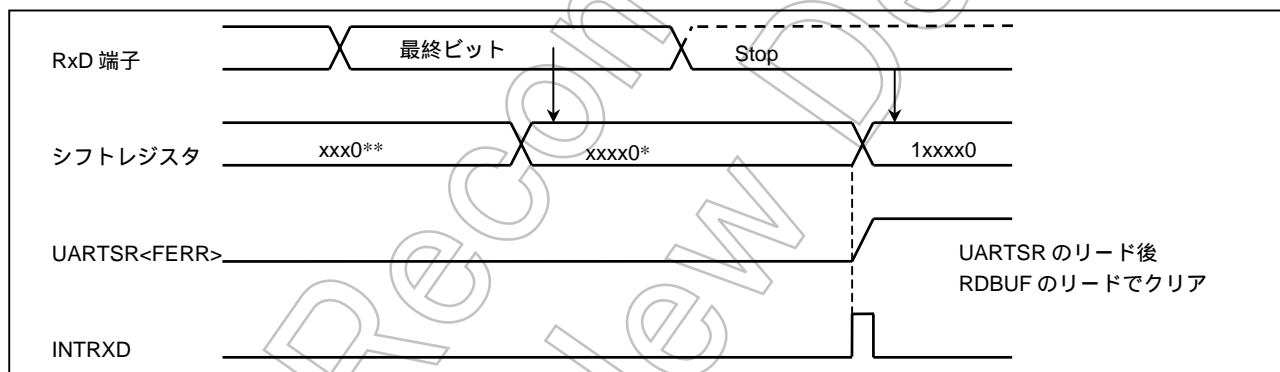


図 2.10.6 フレーミングエラーの発生

(3) オーバランエラー

RDBUF に読み出していないデータが格納されている状態で、次のデータの受信が全ビット終了するとオーバランエラーフラグ UARTSR<OERR>が“1”にセットされます。この場合、受信データは破棄され受信データバッファ内のデータは影響を受けません。UARTSR を読み出した後、RDBUF を読み出すと UARTSR<OERR>は“0”にクリアされます。

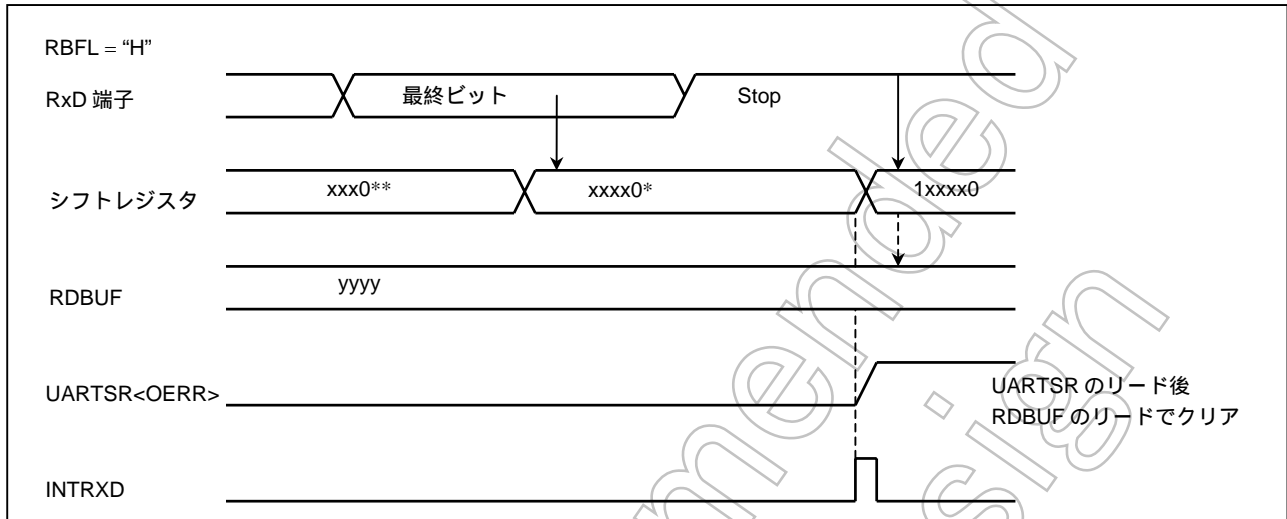


図 2.10.7 オーバランエラーの発生

(4) 受信バッファフル

受信データを RDBUF に取り込むと UARTSR<RBFL>が“1”にセットされます。UARTSR を読み出した後、RDBUF からデータを読み出すと UARTSR<RBFL>は“0”にクリアされます。

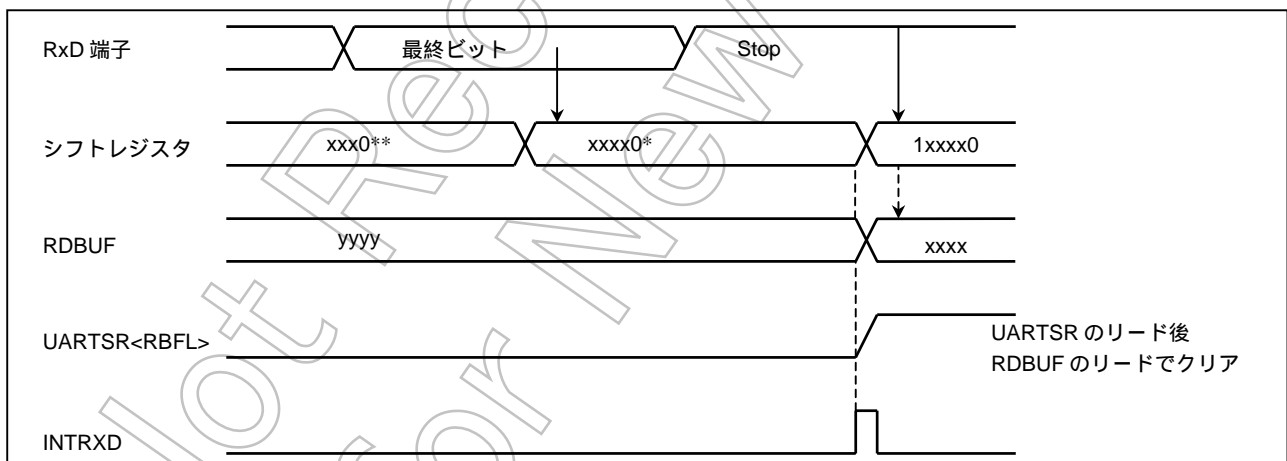


図 2.10.8 受信バッファフルの発生

(5) 送信バッファエンプティ

TDBUF にデータが存在しないとき、つまり TDBUF のデータが送信シフトレジスタに転送され送信が開始されるとき UARTSR<TBEP>が“1”にセットされます。UARTSR を読み出した後、TDBUF にデータを書き込むと UARTSR<TBEP>は“0”にクリアされます。

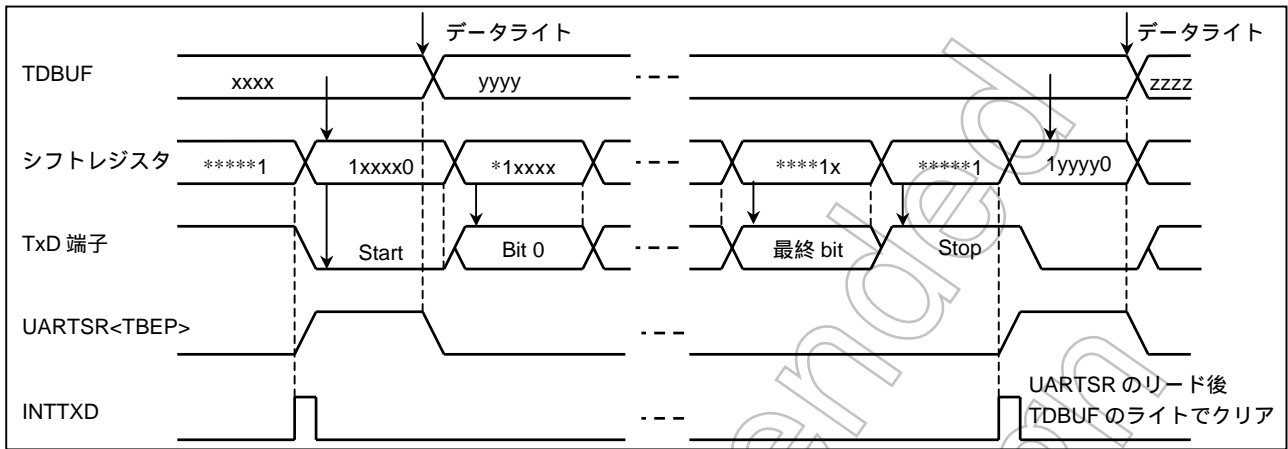


図 2.10.9 送信バッファエンプティの発生

(6) 送信終了フラグ

送信が終了し、TDBUF 内に待機中のデータがないとき (UARTSR<TBEP> = “1” のとき) UARTSR<TEND>が“1”にセットされます。TDBUF にデータを書き込んだ後、送信が開始されると UARTSR<TEND>は“0”にクリアされます。

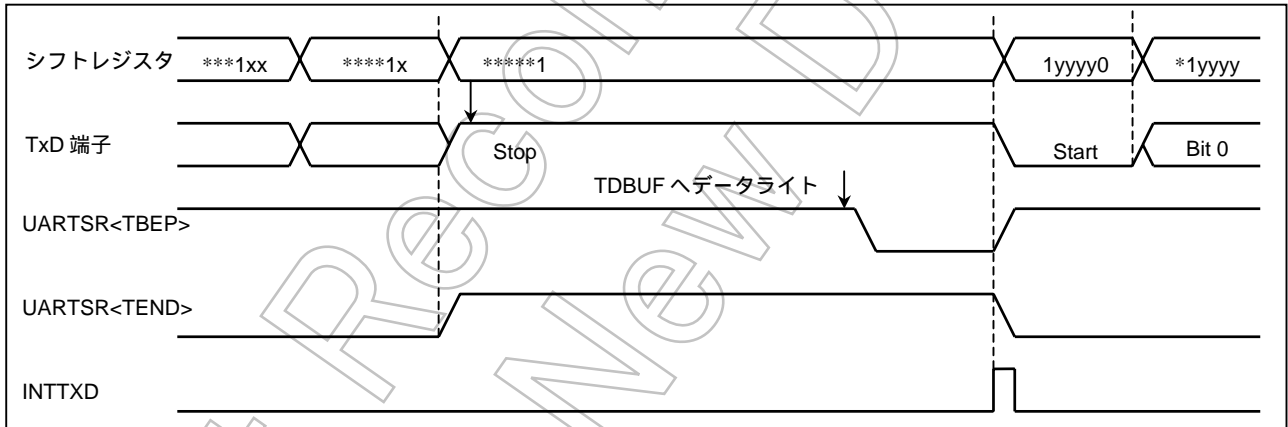


図 2.10.10 送信バッファエンプティの発生

2.11 シリアルインタフェース (SIO)

TMP86FM29 は、クロック同期方式の 8 ビット シリアルインタフェースを 1 チャンネル内蔵しています。シリアルインタフェースは、8 バイトの送受信データバッファを持っており、最大 64 ビットまでのデータを自動的に連続転送することができます。

シリアルインタフェースは、P16 (SO), P15 (SI), P17 (\overline{SCK}) 端子を通して外部デバイスと接続されます。シリアルインタフェース端子は、P1 ポートと兼用で、シリアルインタフェース端子として使用する場合、P1 ポートの出力ラッチを“1”にセットします。なお、送信モード時には P15 端子が、受信モード時には P16 端子が、通常の入出力ポートとして使用できます。

2.11.1 構成

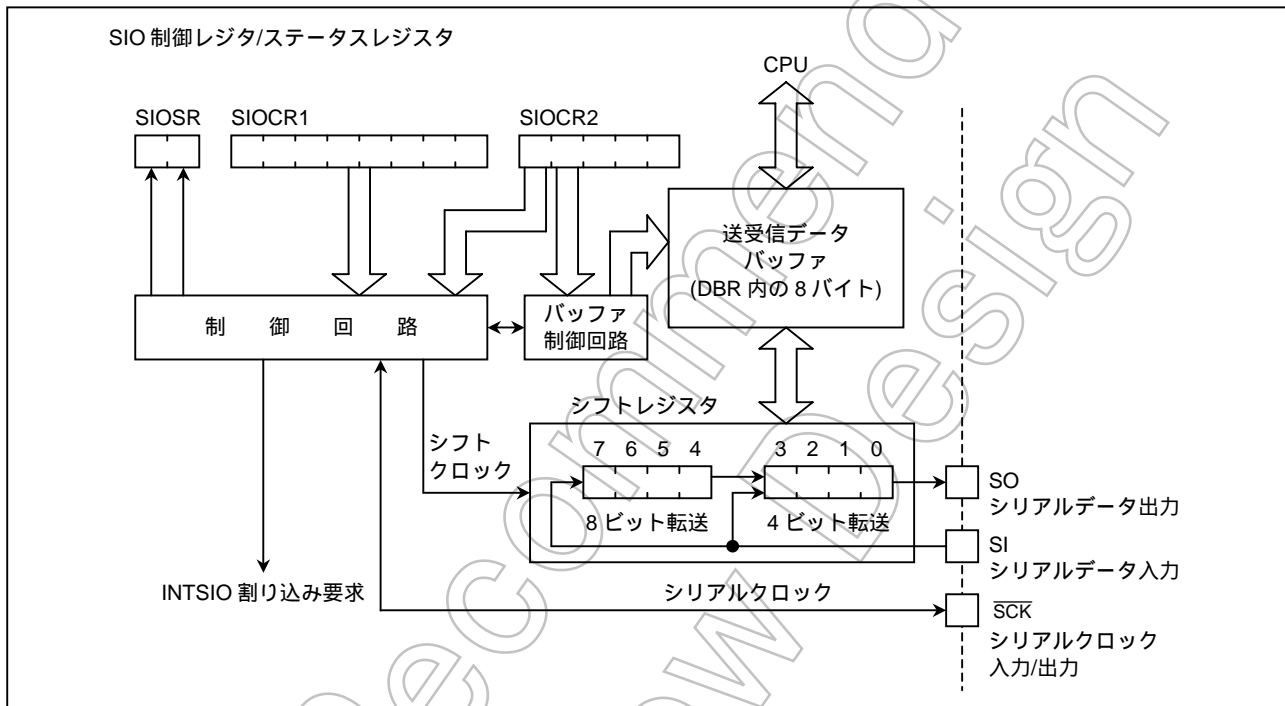


図 2.11.1 シリアルインタフェース

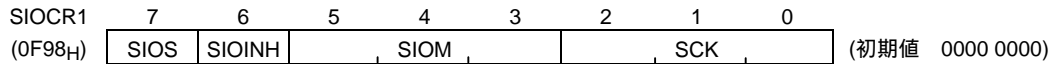
2.11.2 制御

SIO の制御は、シリアルインタフェース制御レジスタ (SIOCR1/SIOCR2) で行います。また、ステータスレジスタ (SIOSR) を読むことによりシリアルインタフェースの動作状態を知ることができます。

送受信データバッファの制御は、SIOCR2<BUF> で行います。送受信データバッファは、DBR 領域の 0F90~0F97H 番地に割り当てられており、一度に最大 8 ワードまで連続転送できます。設定されたワード数の転送が終了するとバッファエンプティ (送信時)/バッファフル (受信時または送受信時) の割り込み (INTSIO) が発生します。

シリアルクロックに内部クロックを用いる場合、8 ビット送受信または 8 ビット受信モードのとき 1 ワード転送ごとにシリアルクロックに一定時間のウェイトをかけることができます。ウェイト時間は、SIOCR2<WAIT> で 4 種類の中から選択することができます。

シリアルインタフェース制御レジスタ 1

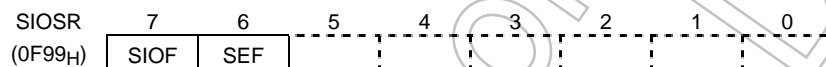


SIOS	転送の開始/終了制御	0: 転送終了 1: 転送開始			Write only																																					
SIOINH	転送の強制停止	0: 転送継続 1: 強制停止 (停止後、自動的に“0”にクリアされます。)																																								
SIOM	転送モードの選択	000: 8ビット送信モード 010: 4ビット送信モード 100: 8ビット送受信モード 101: 8ビット受信モード 110: 4ビット受信モード																																								
SCK	シリアルクロックの選択	<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th rowspan="2"></th> <th colspan="2">NORMAL1/2, IDLE1/2 モード</th> <th rowspan="2">SLOW1/2 SLEEP1/2 モード</th> </tr> <tr> <th>DV7CK = 0</th> <th>DV7CK = 1</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>$fc/2^{13}$</td> <td>$fs/2^5$</td> <td>$fs/2^5$</td> </tr> <tr> <td>001</td> <td>$fc/2^8$</td> <td>$fc/2^8$</td> <td>—</td> </tr> <tr> <td>010</td> <td>$fc/2^7$</td> <td>$fc/2^7$</td> <td>—</td> </tr> <tr> <td>011</td> <td>$fc/2^6$</td> <td>$fc/2^6$</td> <td>—</td> </tr> <tr> <td>100</td> <td>$fc/2^5$</td> <td>$fc/2^5$</td> <td>—</td> </tr> <tr> <td>101</td> <td>$fc/2^4$</td> <td>$fc/2^4$</td> <td>—</td> </tr> <tr> <td>110</td> <td colspan="2" style="text-align: center;">Reserved</td> <td>—</td> </tr> <tr> <td>111</td> <td colspan="3" style="text-align: center;">外部クロック (SCK 端子から入力)</td> </tr> </tbody> </table>					NORMAL1/2, IDLE1/2 モード		SLOW1/2 SLEEP1/2 モード	DV7CK = 0	DV7CK = 1	000	$fc/2^{13}$	$fs/2^5$	$fs/2^5$	001	$fc/2^8$	$fc/2^8$	—	010	$fc/2^7$	$fc/2^7$	—	011	$fc/2^6$	$fc/2^6$	—	100	$fc/2^5$	$fc/2^5$	—	101	$fc/2^4$	$fc/2^4$	—	110	Reserved		—	111	外部クロック (SCK 端子から入力)	
	NORMAL1/2, IDLE1/2 モード		SLOW1/2 SLEEP1/2 モード																																							
	DV7CK = 0	DV7CK = 1																																								
000	$fc/2^{13}$	$fs/2^5$	$fs/2^5$																																							
001	$fc/2^8$	$fc/2^8$	—																																							
010	$fc/2^7$	$fc/2^7$	—																																							
011	$fc/2^6$	$fc/2^6$	—																																							
100	$fc/2^5$	$fc/2^5$	—																																							
101	$fc/2^4$	$fc/2^4$	—																																							
110	Reserved		—																																							
111	外部クロック (SCK 端子から入力)																																									

注 1) fc; 高周波クロック [Hz] fs; 低周波クロック [Hz]

注 2) 転送モード, シリアルクロックの設定時は、SIOS = “0”, SIOINH = “1” にしてください。

注 3) SIOCR1 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令は使用できません。

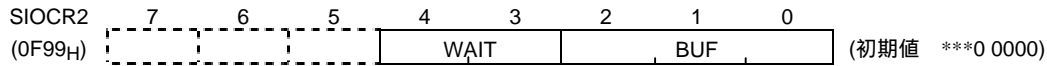


SIOF	シリアル転送動作状態モニタ	0: 転送終了 1: 転送中			Read only
SEF	シフト動作状態モニタ	0: シフト動作終了 1: シフト動作中			

注 1) SIOF は、SIOS を “0” にクリアした後、転送が終了した時点または SIOINH をセットした時点で “0” となります。

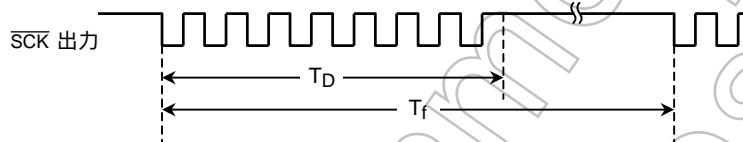
図 2.11.2 シリアルインタフェース制御レジスタ 1, 2/ステータスレジスタ (1/2)

シリアルインタフェース制御レジスタ 2



WAIT	ウェイト制御	8ビット送受信/受信モード以外は常に“00”にしてください。 00: $T_f = T_D$ (ノンウェイト) 01: $T_f = 2T_D$ 10: $T_f = 4T_D$ 11: $T_f = 8T_D$	Write only
BUF	転送ワード数の設定 (使用するバッファのアドレス)	000: 1ワード転送 0F90H 001: 2ワード転送 0F90 ~ 0F91H 010: 3ワード転送 0F90 ~ 0F92H 011: 4ワード転送 0F90 ~ 0F93H 100: 5ワード転送 0F90 ~ 0F94H 101: 6ワード転送 0F90 ~ 0F95H 110: 7ワード転送 0F90 ~ 0F96H 111: 8ワード転送 0F90 ~ 0F97H	

注 1) T_f : フレーム時間 (1ワードのデータ転送時間), T_D : データ転送時間



- 注 2) 4ビット転送のときは、各バッファの下位4ビットに格納します/されます。受信時上位4ビットには“0”が格納されます。
- 注 3) バッファの若いアドレスの方から送信されます。また、受信は若いアドレスの方から格納されます (最初に転送されるのは 0F90H 番地です)。
- 注 4) 転送終了後も BUF の設定値は保存されています。
- 注 5) SIOCR2 の設定は、シリアルインタフェース停止状態 (SIOF = 0) で行ってください。
- 注 6) *: Don't care
- 注 7) SIOCR1, SIOCR2 は書き込み専用レジスタですので、ビット操作などのリードモディファイライト命令は使用できません。

図 2.11.3 シリアルインタフェース制御レジスタ/ステータスレジスタ (2/2)

(1) シリアルクロック

a. クロックソース

SIOCR1<SCK>により、次の選択ができます。

1. 内部クロック

シリアルインタフェースは、7種類の周波数が選択でき、シリアルクロックは $\overline{\text{SCK}}$ 端子より外部に出力されます。なお、転送開始時 $\overline{\text{SCK}}$ 端子出力は“H”レベルになります。

プログラムでデータの書き込み（送信時）またはデータの読み取り（受信時）がこのシリアルクロックレートに追従できないときには、自動的にシリアルクロックを停止し、それらの処理が終了するまで次のシフト動作を待機させる自動ウェイト機能を有しています。

表 2.11.1 シリアルクロックレート

SCK	NORMAL1/2, IDLE1/2 モード				SLOW, SLEEP モード	
	DV7CK = 0		DV7CK = 1		クロック	ボーレート
	クロック	ボーレート	クロック	ボーレート		
000	$fc/2^{13}$	1.91 Kbps	$fs/2^5$	1024 bps	$fs/2^5$	1024 bps
001	$fc/2^8$	61.04 Kbps	$fc/2^8$	61.04 Kbps	—	—
010	$fc/2^7$	122.07 Kbps	$fc/2^7$	122.07 Kbps	—	—
011	$fc/2^6$	244.14 Kbps	$fc/2^6$	244.14 Kbps	—	—
100	$fc/2^5$	488.28 Kbps	$fc/2^5$	488.28 Kbps	—	—
101	$fc/2^4$	976.56 Kbps	$fc/2^4$	976.56 Kbps	—	—
110	—	—	—	—	—	—
111	外部	—	外部	—	外部	—

1 Kbit = 1024 bit
($fc = 16 \text{ MHz}$, $fs = 32.768 \text{ kHz}$)

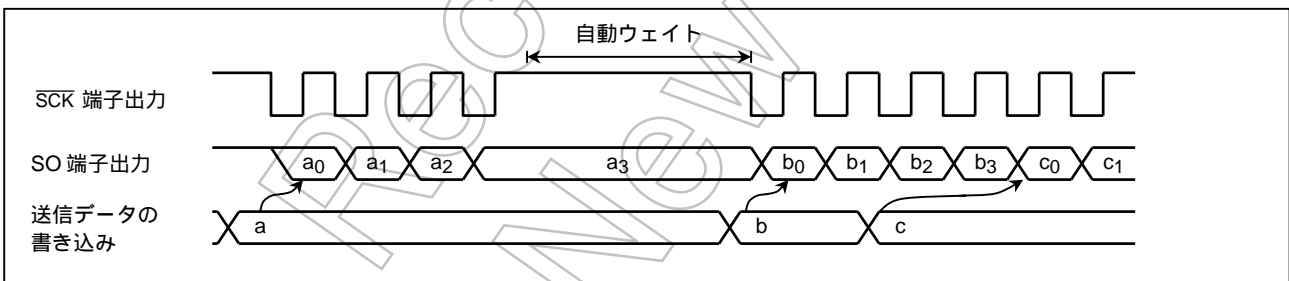
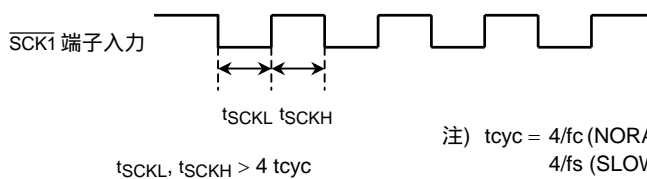


図 2.11.4 自動ウェイト機能 (4 ビット送信モードの場合)

2. 外部クロック

外部から $\overline{\text{SCK}}$ 端子に供給されるクロックをシリアルクロックとして用います。この場合、P17 ($\overline{\text{SCK}}$) の出力ラッチは“1”にセットされていなければなりません。なお、シフト動作が確実に実行されるためには、シリアルクロックの“H”レベル、“L”レベルともに4マシンサイクル以上パルス幅が必要です。従って、最大転送速度は 488.3 Kbit/s ($fc = 16 \text{ MHz}$ 時) です。



注) $tcyc = 4/fc$ (NORMAL1/2, IDLE1/2 モード時)
 $4/fs$ (SLOW1/2, SLEEP1/2 モード時)

b. シフトエッジ

送信は前縁シフト，受信は後縁シフトになります。

1. 前縁シフト

シリアルクロックの前縁 ($\overline{\text{SCK}}$ 端子入出力の立ち下がりエッジ) でデータをシフトします。

2. 後縁シフト

シリアルクロックの後縁 ($\overline{\text{SCK}}$ 端子入出力の立ち上がりエッジ) でデータをシフトします。

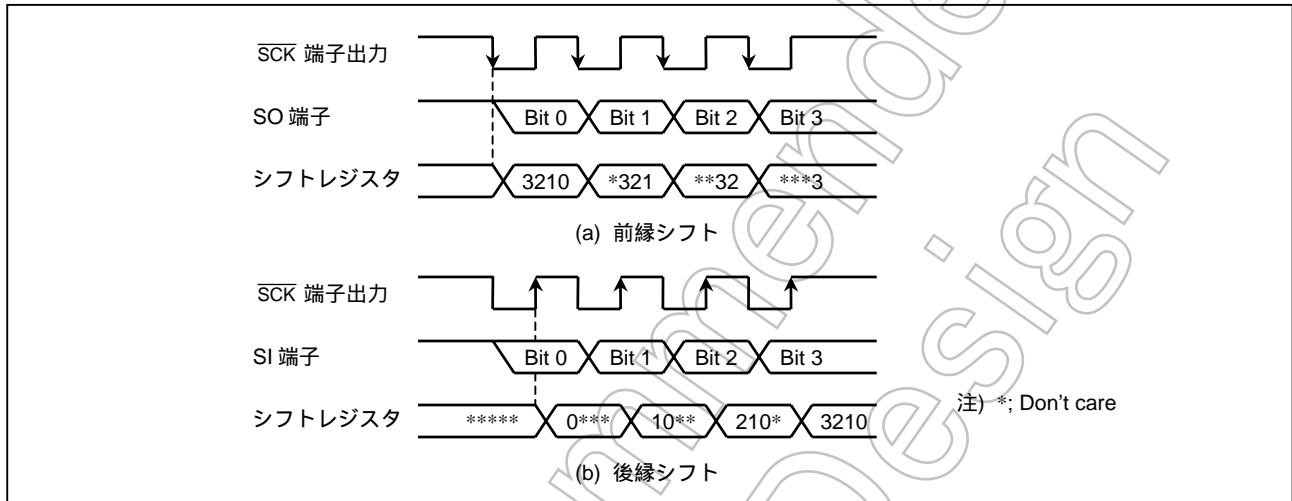


図 2.11.5 シフトエッジ

(2) 転送ビット数

4ビットシリアル転送または8ビットシリアル転送が選択できます。4ビットシリアル転送の場合、送受信データバッファは下位4ビットのみ使用し、上位4ビットは受信時“0”になります。

なお、データは最下位ビット (LSB) から順次シリアル転送されます。

(3) 転送ワード数

4ビットデータ (4ビットシリアル転送時)/8ビットデータ (8ビットシリアル転送時) を1ワードとして最大8ワードまで連続して転送することができます。転送ワード数は、 $SIOCR2 < BUF >$ で設定します。

指定されたワード数の転送終了時点で、INTSIO 割り込みが発生します。途中で転送ワード数を変更する場合は、シリアルインタフェースを停止してから行ってください。ただし、内部クロック動作の場合は自動ウェイト動作中に転送ワード数の変更ができますので、停止させる必要はありません。

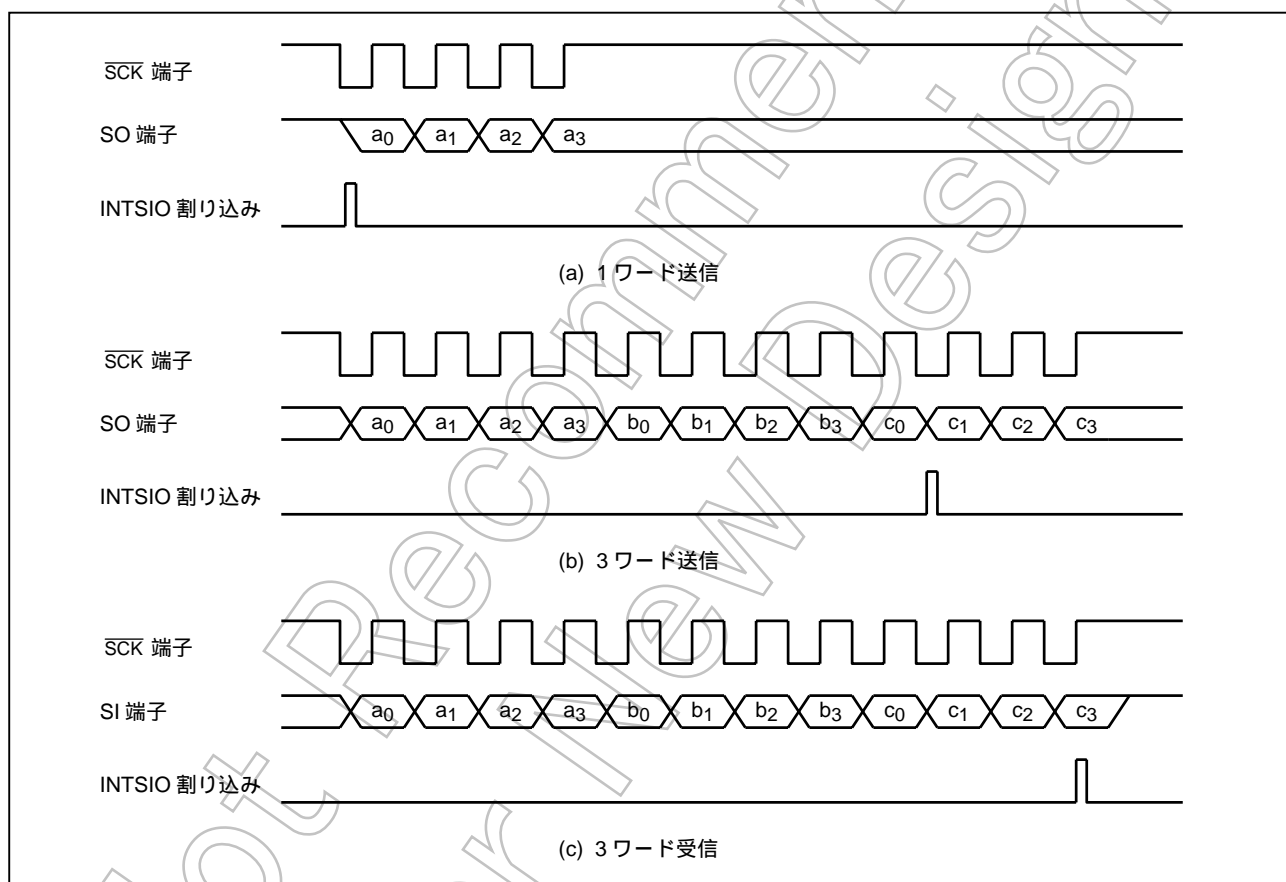


図 2.11.6 転送ワード数 (例: 1ワード = 4ビット)

(4) 転送モード

SIOCR1<SIOM>で、送信/受信/送受信モードを選択します。

a. 4ビット送信モード, 8ビット送信モード

制御レジスタに送信モードをセットした後、最初の転送ワード数分の送信データをデータバッファレジスタ (DBR) に書き込みます。

送信データの書き込み後、SIOCR1<SIOS>を“1”にセットすることにより送信が開始されます。送信データは、シリアルクロックに同期して最下位ビット (LSB) 側から逐次 SO 端子に出力されます。LSB のデータを出力した時点で、送信データは、1ワードずつバッファレジスタからシフトレジスタへ移されます。最後の送信データが移されると、バッファレジスタが空になりますので、次の送信データを要求する INTSIO (バッファエンブティ) 割り込みが発生します。

内部クロック動作の場合、SIOCR2<BUF>で指定されたワード数のデータをすべて送信したあと、次のデータがセットされていないとシリアルクロックを停止して自動ウェイト動作を行います。ただし、次の送信データを1ワードでも書き込むと自動ウェイト動作は解除されますので、2ワード以上送信する場合は前の1ワードの送信が終わるまでに次のワードのデータを書き込んでください。

注) 送信データバッファに使用していない DBR への書き込みによっても自動ウェイト動作は解除されますので、不使用の DBR を他の用途に使用しないでください。例えば、3ワード送信の場合、余った5ワードの DBR は使用しないでください。

外部クロック動作の場合、次のデータのシフト動作に入る前に、バッファレジスタに送信データが書き込まれている必要があります。従って、転送速度は、割り込み要求の発生から割り込みサービスプログラムにて、バッファレジスタにデータを書き込むまでの最大遅れ時間により決まります。

送信を終了させるには、バッファエンブティ割り込みサービスプログラムで SIOCR1<SIOS>を“0”にクリアするか SIOCR1<SIOINH>を“1”にセットします。SIOCR1<SIOS>がクリアされると、転送中のワードの全ビットが出力された時点で終了します。プログラムで送信の終了を確認するには、SIOCR1<SIOINH>をセンスします。SIOCR1<SIOINH>は送信の終了で“0”になります。SIOCR1<SIOINH>をセットした場合は、直ちに送信を打ち切り、SIOCR1<SIOINH>は“0”になります。

外部クロック動作では、次の送信データのシフト動作に入る前に SIOCR1<SIOS>を“0”にクリアする必要があります。もしシフトアウトする前に SIOCR1<SIOS>がクリアされなかった場合は、ダミーのデータの送信後、停止します。転送ワード数を変更する必要がある場合は、SIOCR1<SIOS>を“0”にクリアし、SIOCR1<SIOINH>が“0”になったことを確認後 SIOCR2<BUF>を書き替えてください。

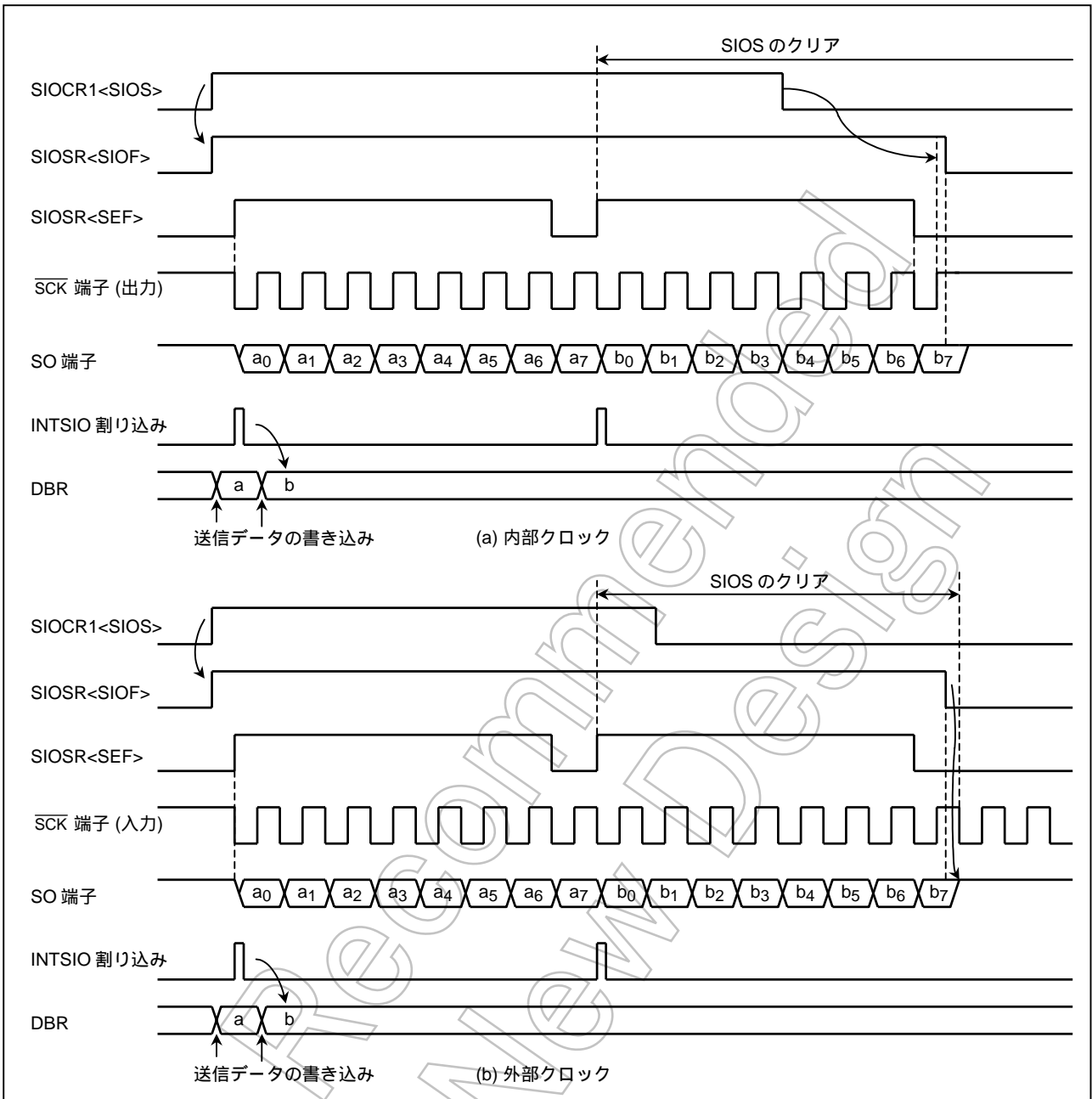


図 2.11.7 送信モード (例: 8 ビット, 1 ワード転送)

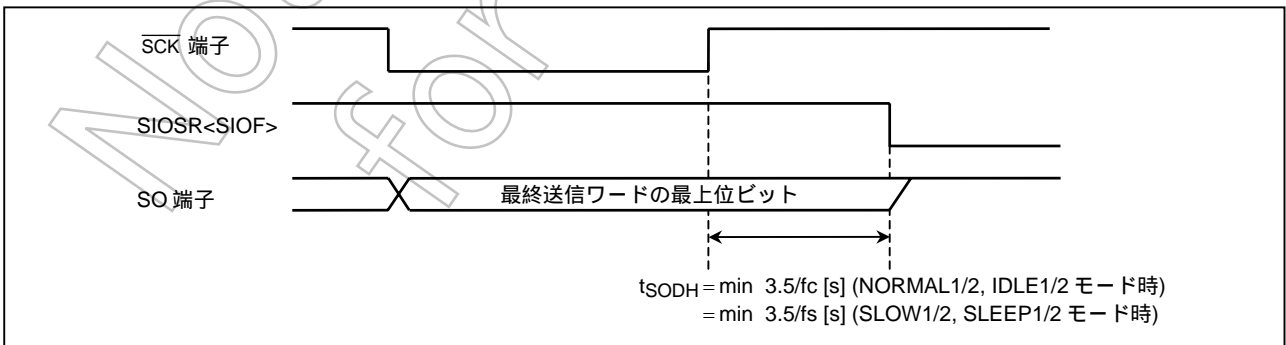


図 2.11.8 送信終了時の送信データ保持時間

b. 4ビット受信モード, 8ビット受信モード

制御レジスタに受信モードをセットした後、SIOCR1<SIOS>を“1”にセットすることにより受信可能となります。シリアルクロックに同期して、SI端子より最下位ビット側から順次シフトレジスタへデータを取り込みます。1ワードのデータが取り込まれるとシフトレジスタからデータバッファレジスタ (DBR) に受信データが書き込まれます。SIOCR2<BUF>で指定されたワード数の受信が終了すると受信データの読み取りを要求する INTSIO (バッファフル) 割り込みが発生します。受信データは、割り込みサービスプログラムにてデータバッファレジスタから読み取ります。

内部クロック動作の場合、受信データがデータバッファレジスタから読み取られるまでシリアルクロックを停止する自動ウェイト動作を行います。1ワードでも読み取っている場合は自動ウェイト動作は行われません。

注) 受信データバッファに使用していない DBR の読み出しによっても自動ウェイト動作は解除されますので、SIO で不使用の DBR を他の用途に使用しないでください。

外部クロック動作の場合は、シフト動作が外部から供給されるクロックに同期しますので、次のシリアルクロックが入力される前に受信データを読み取ります。もし、受信データが読み取られない場合、それ以降に入力される受信データはキャンセルされます。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データの読み取りまでの最大遅れ時間により決まります。

受信を終了させるにはバッファフル割り込みサービスプログラムで SIOCR1<SIOS>を“0”にクリアするか SIOCR1<SIOINH>を“1”にセットします。SIOCR1<SIOS>がクリアされると、転送中のワードの全ビットが揃いデータバッファレジスタへの書き込みが完了した時点で受信が終了します。プログラムで受信の終了を確認するには、SIOSR<SIOF>をセンスします。SIOSR<SIOF>は受信の終了で“0”になります。受信終了の確認のあと最終受信データを読み取ります。SIOCR1<SIOINH>をセットした場合は、直ちに受信を打ち切り、SIOSR<SIOF>は“0”になります (受信データは無効になりますので、読み取る必要はありません)。転送ワード数を変更する必要がある場合、外部クロック動作のときは SIOCR1<SIOS>を“0”にクリアし SIOSR<SIOF>が“0”になったことを確認後 SIOCR2<BUF>を書き替えてください。内部クロック動作のときは自動ウェイト動作に入りますので、受信データを読み取る前に SIOCR2<BUF>を書き替えてください。

注) 転送モードを切り替えますとデータバッファレジスタの内容は保持されません。もし、転送モードの切り替えが必要な場合は、受信終了指示 (SIOCR1<SIOS>を“0”にクリア) を行い、最終受信データを読み取ったあとで切り替えてください。

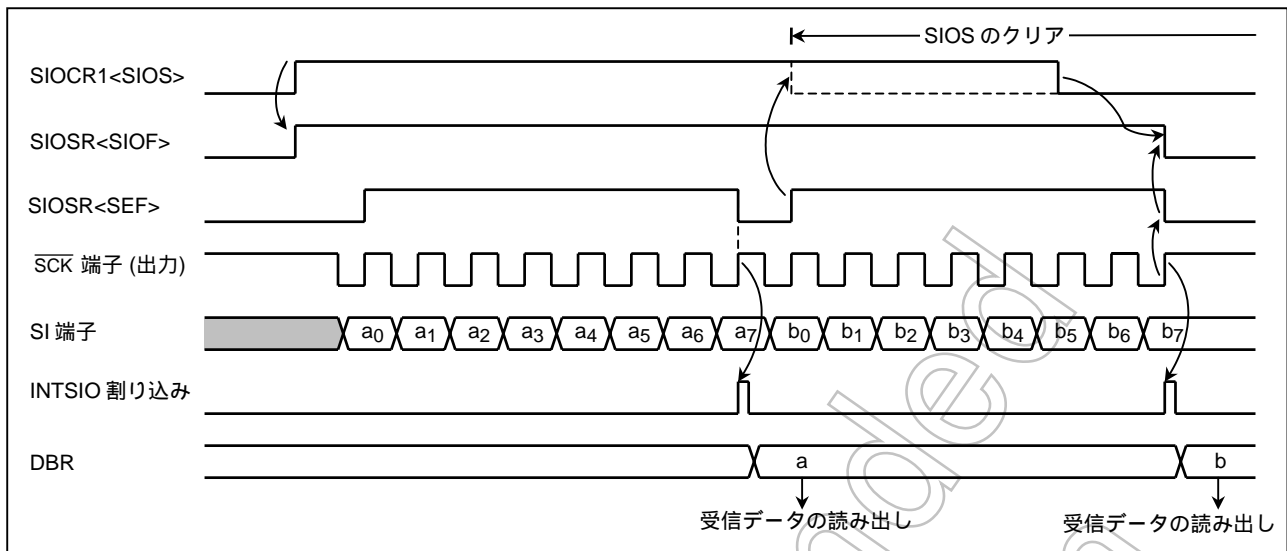


図 2.11.9 受信モード (例: 8ビット, 1ワード転送, 内部クロック)

c. 8ビット送受信モード

制御レジスタに送受信モードをセットした後、最初の転送ワード数分の送信データをデータバッファレジスタ (DBR) に書き込みます。その後、SIOCR1<SIOS>に“1”をセットすることにより送受信可能となります。最下位ビットから順次、シリアルクロックの前縁で送信データは SO 端子から出力され、後縁で受信データが SI 端子から取り込まれます。8ビットのデータが取り込まれると、シフトレジスタからデータバッファレジスタへ受信データが転送されます。SIOCR2<BUF>で指定されたワード数の送受信が終了すると、INTSIO 割り込みが発生します。割り込みサービスプログラムにて受信データをデータバッファレジスタから読み取り、そのあと送信データを書き込みます。データバッファレジスタは、送信、受信にて兼用していますので、送信データは、必ず全受信データを読み取ってから書き込むようにしてください。

内部クロック動作の場合、受信データを読み取り、次の送信データを書き込むまで自動ウェイト動作を行います。1ワードでも送信データを書き込んでいる場合は自動ウェイト動作は行われません。

外部クロック動作の場合、シフト動作が外部から供給されるシリアルクロックに同期しますので、次のシフト動作に入る前に受信データを読み取り、次の送信データを書き込む必要があります。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データを読み取り、送信データを書き込むまでの最大遅れ時間により決まります。

送受信を終了させるには、INTSIO 割り込みサービスプログラムで SIOCR1<SIOS>を“0”にクリアするか SIOCR1<SIOINH>を“1”にセットします。SIOCR1<SIOS>がクリアされると、転送中のワードの全ビットが揃い、データバッファレジスタへの転送が完了した時点で送受信が終了します。プログラムで送受信の終了を確認するには、SIOSR<SIOF>をセンスします。SIOSR<SIOF>は送受信の終了で“0”になります。SIOCR1<SIOINH>をセットした場合は、直ちに送受信を打ち切り、SIOSR<SIOF>は“0”になります。

転送ワード数を変更する場合、外部クロック動作のときは、SIOCR1<SIOS>を“0”にクリアし SIOSR<SIOF>が“0”になったことを確認後、SIOCR2<BUF>を書き替えてください。内部クロック動作のときは、自動ウェイト動作に入りますので、送受信データのリード/ライトの前に書き替えてください。

注) 転送モードを切り替えますとデータバッファレジスタの内容は保持されません。もし、転送モードの切り替えが必要な場合は、受信終了指示 (SIOCR1<SIOS>を“0”にクリア) を行い、最終受信データを読み取ったあとで切り替えてください。

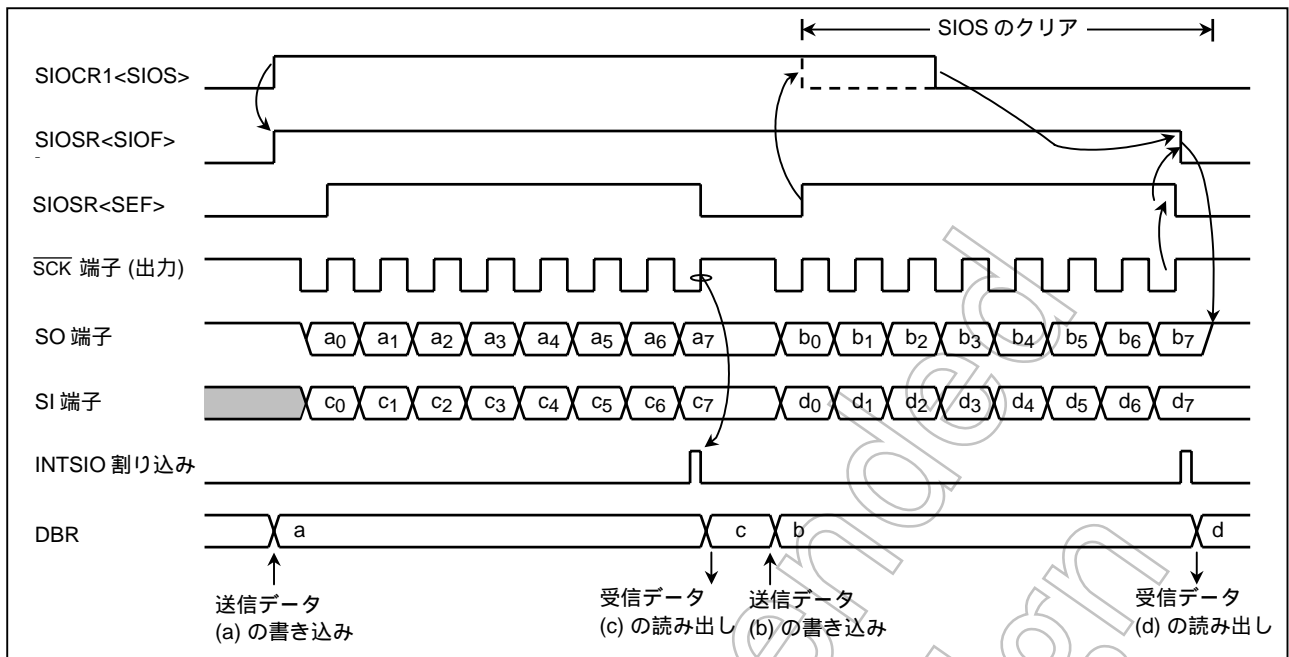


図 2.11.10 送受信モード (例: 8 ビット, 1ワード, 内部クロック)

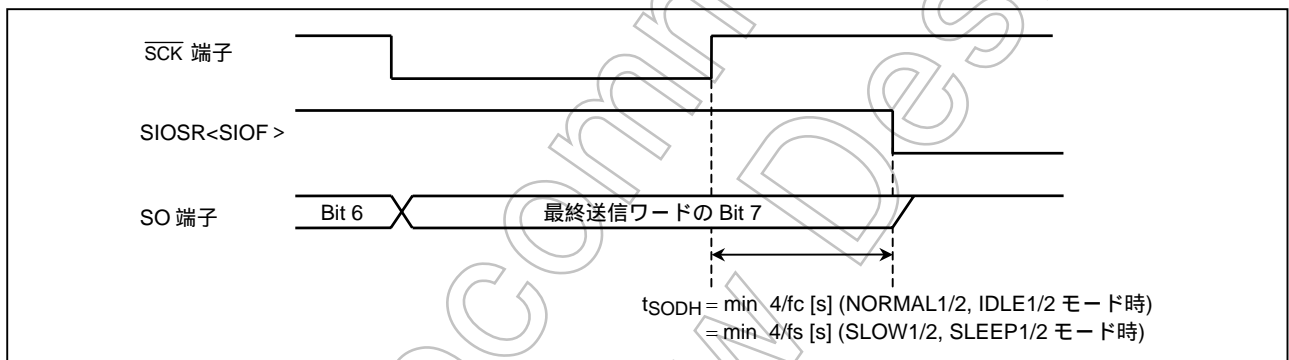


図 2.11.11 送受信終了時の送信データ保持時間

2.12 10ビット AD コンバータ (ADC)

TMP86FM29 は、10 ビット分解能の逐次比較方式 AD コンバータを内蔵しています。

2.12.1 構成

10 ビット AD コンバータの回路構成を図 2.12.1 に示します。

制御レジスタ ADCCR1, ADCCR2、変換値レジスタ ADCDR1, ADCDR2 と DA コンバータ、サンプルホールド回路、コンパレータ、逐次比較回路などで構成されています。

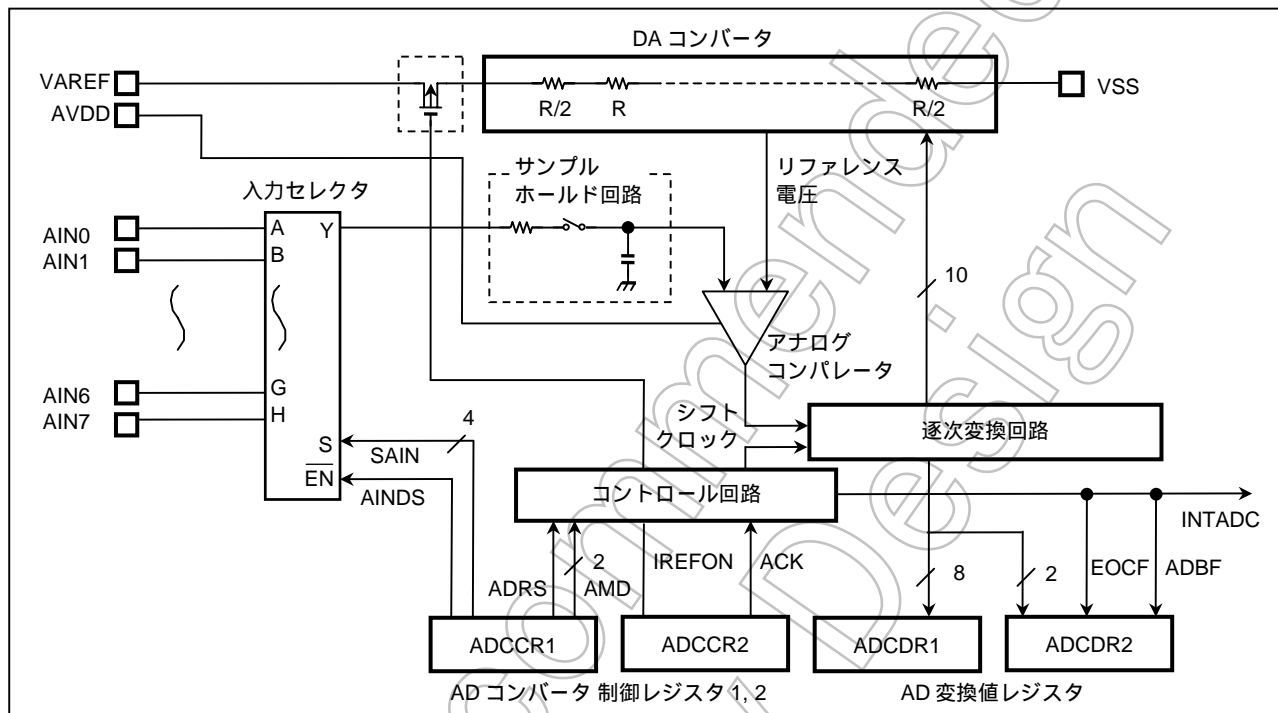


図 2.12.1 AD コンバータ (ADC)

2.12.2 レジスタ構成

AD コンバータは、次の4つのレジスタで構成されています。

- AD コンバータ制御レジスタ 1 (ADCCR1)
- AD コンバータ制御レジスタ 2 (ADCCR2)
- AD 変換値レジスタ 1/2 (ADCDR1/ADCDR2)

(1) AD コンバータ制御レジスタ 1 (ADCCR1)

AD 変換を行うアナログチャネルの選択および動作モード(ソフトウェアスタート、リピート)の選択と AD コンバータの開始を制御するレジスタです。

(2) AD コンバータ制御レジスタ 2 (ADCCR2)

AD 変換時間の選択と、DA コンバータ(ラダー抵抗)の接続を制御するレジスタです。

(3) AD 変換値レジスタ (ADCDR1)

AD コンバータによって変換されたデジタル値 (ビット 9~2) を格納するレジスタです。

(4) AD 変換値レジスタ (ADCDR2)

AD コンバータによって変換されたデジタル値 (ビット 1~0) の格納と、AD コンバータの動作状態をモニタするレジスタです。

AD コンバータの制御レジスタ構成を図 2.12.2、図 2.12.3に示します。

AD コンバータ制御レジスタ 1

ADCCR1 (000E_H)

	7	6	5	4	3	2	1	0	
	ADRS	AMD	AINDS	SAIN					(初期値 0001 0000)

ADRS	AD 変換開始	0: - 1: AD 変換開始	R/W
AMD	AD 動作モード	00: AD 動作ディセーブル 01: ソフトウェアスタートモード 10: Reserved 11: リピートモード	
AINDS	アナログ入力制御	0: アナログ入力ディセーブル 1: アナログ入力ディセーブル	
SAIN	アナログ入力チャンネル選択ビット	0000: AIN0 を選択 0001: AIN1 を選択 0010: AIN2 を選択 0011: AIN3 を選択 0100: AIN4 を選択 0101: AIN5 を選択 0110: AIN6 を選択 0111: AIN7 を選択 1***: Reserved	

注 1) アナログ入力チャンネルの選択は AD 変換停止状態 (ADCCR2<ADBF> = "0") で行ってください。
 注 2) アナログ入力チャンネルをすべてディセーブルにする場合は AINDS を "1" に設定してください。
 注 3) アナログ入力はポートと兼用になっていますが精度を保つ意味で AD 変換中はポート出力命令を行わないでください。またアナログ入力と近接するポートには AD 変換中、変化の激しい信号を入力しないようにしてください。
 注 4) ADRS は、AD 変換開始後、自動的に "0" にクリアされます。
 注 5) AD 変換中に ADRS の再設定は行わないでください。ADRS の再設定は、ADCCR2<EOCF> にて変換が終了したことを確認後、あるいは、INTADC 割り込みが発生した後 (割り込み処理ルーチンなど) で行ってください。
 注 6) STOP または SLOW モードを起動すると、AD コンバータ制御レジスタ 1 (ADCCR1) はすべて初期化されます。NORMAL モードへの復帰後、AD コンバータを使用する場合は、ADCCR1 を再設定してください。

AD コンバータ制御レジスタ 2

ADCCR2 (000F_H)

	7	6	5	4	3	2	1	0	
			IREFON	"1"		ACK		"0"	(初期値 **00 0000)

IREFON	DA コンバータ (ラダー抵抗) の接続制御	0: AD 変換中のみ接続 1: 常時接続	R/W
ACK	AD 変換時間選択	下表 AD 変換時間参照	

条件 (fc)	変換時間	16 MHz	8 MHz	4 MHz	2 MHz	10 MHz	5 MHz	2.5 MHz
000	39/fc	-	-	-	19.5 μs	-	-	15.6 μs
001	Reserved							
010	78/fc	-	-	19.5 μs	39.0 μs	-	15.6 μs	31.2 μs
011	156/fc	-	19.5 μs	39.0 μs	78.0 μs	15.6 μs	31.2 μs	62.4 μs
100	312/fc	19.5 μs	39.0 μs	78.0 μs	156.0 μs	31.2 μs	62.4 μs	124.8 μs
101	624/fc	39.0 μs	78.0 μs	156.0 μs	-	62.4 μs	124.8 μs	-
110	1248/fc	78.0 μs	156.0 μs	-	-	124.8 μs	-	-
111	Reserved							

注 1) 上記表内 "-" 部分の設定は行わないでください。 fc: 高周波発振周波数
 注 2) 変換時間は、アナログ基準電圧 (VAREF によって以下のように設定を変えてください。)
 (VAREF = 4.5~5.5 V 時 15.6 μs 以上)
 (VAREF = 2.7~5.5 V 時 31.2 μs 以上)
 (VAREF = 1.8~5.5 V 時 124.8 μs 以上)
 注 3) ADCCR2 のビット 0 には "0"、ビット 4 には "1" を必ず書き込んでください。
 注 4) ADCCR2 に対しリード命令を実行するとビット 7, 6 は、不定値が読み込まれます。
 注 5) STOP または SLOW モードを起動すると、AD コンバータ制御レジスタ 2 (ADCCR2) はすべて初期化されます。NORMAL モードへの復帰後、AD コンバータを使用する場合は、ADCCR2 を再設定してください。

図 2.12.2 AD コンバータの制御レジスタ

AD 変換値レジスタ									
ADCDR1 (0020H)	7	6	5	4	3	2	1	0	(初期値 0000 0000)
	AD09	AD08	AD07	AD06	AD05	AD04	AD03	AD02	
ADCDR2 (0021H)	7	6	5	4	3	2	1	0	(初期値 0000 ****)
	AD01	AD00	EOCF	ADBF					
EOCF	AD 変換終了フラグ		0: 変換前または変換中 1: 変換終了					Read only	
ADBF	AD 変換 BUSY フラグ		0: AD 変換停止中 1: AD 変換実行中						

注 1) EOCF は、AD 変換値レジスタ (ADCDR1) をリードすると "0" にクリアされます。このため、AD 変換結果を読み出す際は、(ADCDR2) をリードした後に (ADCDR1) をリードしてください。

注 2) ADBF は AD 変換開始により "1" にセットされ、AD 変換動作が終了すると "0" にクリアされます。また STOP、SLOW モードを起動するときもクリアされます。

注 3) ADCDR2 に対しリード命令を実行すると、ビット 3~0 は不定値が読み込まれます。

図 2.12.3 AD 変換値レジスタ

2.12.3 AD コンバータの動作

- (1) AD コンバータ制御レジスタ 1 (ADCCR1) を以下のように設定してください。
 - AD 入力チャンネル選択 (SAIN) により AD 変換するチャンネルを選択してください。
 - アナログ入力制御 (AINDS) をアナログ入力イネーブルに指定してください。
 - AD コンバータ制御の動作モード(ソフトウェア、リピートモード)を (AMD) にて指定してください。
- (2) AD コンバータ制御レジスタ 2 (ADCCR2) を以下のように設定してください。
 - AD 変換時間 (ACK) により AD 変換時間を設定してください。変換時間の設定については、AD コンバータ制御レジスタ 2 の (注 2) をご参照ください。
 - DA コンバータの制御 (IREFON) を選択してください。
- (3) 上記(1), (2)を設定後、AD コンバータ制御レジスタ 1 (ADCCR1) の AD 変換開始 (ADRS) に "1" を設定すると、直ちに AD 変換を開始します。
- (4) 指定された AD 変換時間後、AD 変換値は、AD 変換値レジスタ 1 (ADCDR1) および AD 変換値レジスタ 2 (ADCDR2) に格納され、ADCDR2 の AD 変換終了フラグ (EOCF) が "1" をセットされるとともに INTADC 割り込み要求が発生します。
- (5) 変換結果を読み出すと EOCF は "0" にクリアされます。ただし、読み出し前に再変換を行った場合は、EOCF は "0" にクリアされますが変換結果は次の変換終了まで前回の結果を保持します。

2.12.4 ADコンバータの動作モード

ADコンバータの動作モードは、次の2種類があります。

- ソフトウェアスタート : ADCCR1<AMD>を“01B”に、ADCCR1<ADRS>を“1”に設定することにより、AD変換を一度行います。
- リピートモード : ADCCR1<AMD>を“11B”に、ADCCR1<ADRS>を“1”に設定することにより、AD変換を繰り返し行います。

(1) ソフトウェアスタートモード

ADCCR1<AMD>を“01B”(ソフトウェアスタートモード)に設定後、ADCCR1<ADRS>を“1”に設定することにより、ADCCR1<SAIN>で指定されたアナログ入力端子の電圧のAD変換を開始します。

AD変換終了後、変換結果をAD変換値レジスタ(ADCDR1, ADCDR2)に格納し、ADCDR2<EOCF>に“1”をセットするとともに、INTADC割り込み要求が発生します。

ADCCR1<ADRS>はAD変換を開始後、自動的にクリアされます。AD変換中にADCCR1<ADRS>の再設定(再スタート)は行わないでください。ADCCR1<ADRS>の再設定は、ADCDR2<EOCF>にて変換が終了したことを確認後、あるいはINTADC割り込みが発生した後(割り込み処理ルーチンなど)で行ってください。

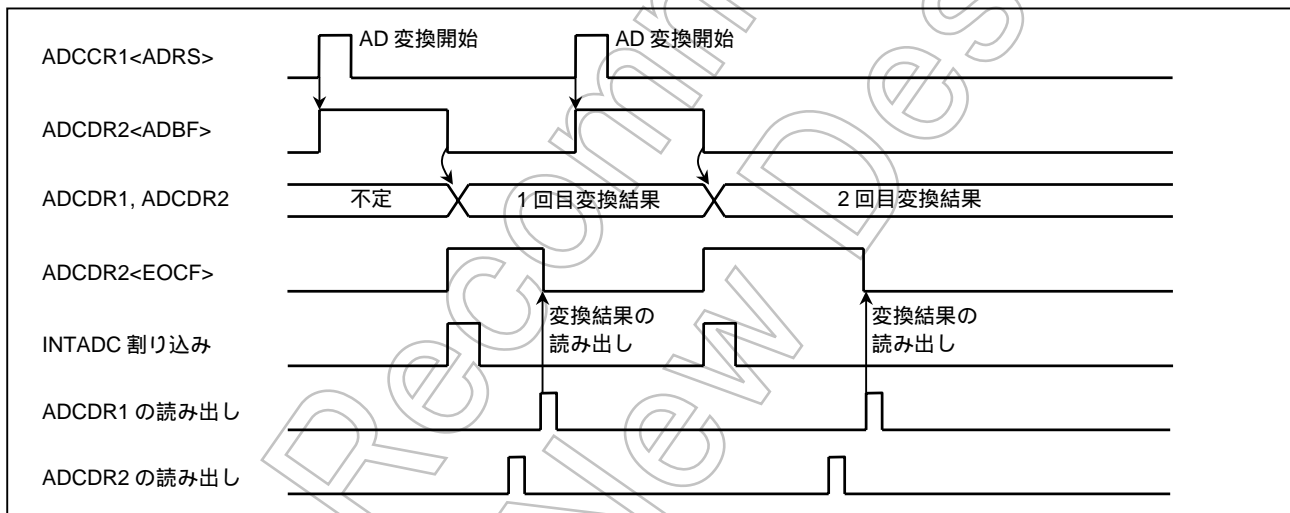


図 2.12.4 ソフトウェアスタートモード動作

例: 変換時間 19.5 μ s @ 16 MHz およびアナログ入力チャネル AIN3 端子を選択後、AD 変換を 1 回行います。EOCF を確認して変換値を読み出し、RAM の 009F_H 番地に上位 8 ビット、009E 番地に下位 2 ビットのデータを格納します。動作モードはソフトウェアスタートモードです。

```

; AIN SELECT
LD      (P6CR1), 00000000B      ; P6CR1 ビット 3 = "0"
LD      (P6CR2), 00000000B      ; P6CR2 ビット 3 = "0"
LD      (ADCCR1), 00100011B     ; AIN3 を選択
LD      (ADCCR2), 11011000B     ; 変換時間 (312/fc), 動作モードを選択
; AD CONVERT START
SET     (ADCCR1) . 7             ADCCR1<ADRS> = "1"
SLOOP: TEST  (ADCDR2) . 5        ADCDR2<EOCF> = "1" ?
JRS    T, SLOOP
; RESULT DATA READ
LD      A, (ADCDR2)
LD      (9EH), A
LD      A, (ADCDR1)
LD      (9FH), A

```

(2) リピートモード

ADCCR1<SAIN> で指定されたアナログ入力端子の電圧の、AD 変換を繰り返し行います。ADCCR1<AMD> を "11B" (リピートモード) に設定後、ADCCR1<ADRS> に "1" を設定することにより AD 変換を開始します。

AD 変換終了後、変換結果を AD 変換値レジスタ (ADCDR1, ADCDR2) に格納し、ADCDR2<EOCF> に "1" をセットするとともに、INTADC 割り込み要求が発生します。

リピートモードでは、1 回の AD 変換が終了すると、直ちに次の AD 変換を開始します。AD 変換を停止するには、ADCCR1<AMD> に "00B" (ディセーブルモード) を書き込んでください。AD 変換動作は即時に停止します。このときの変換値は AD 変換値レジスタには格納されません。

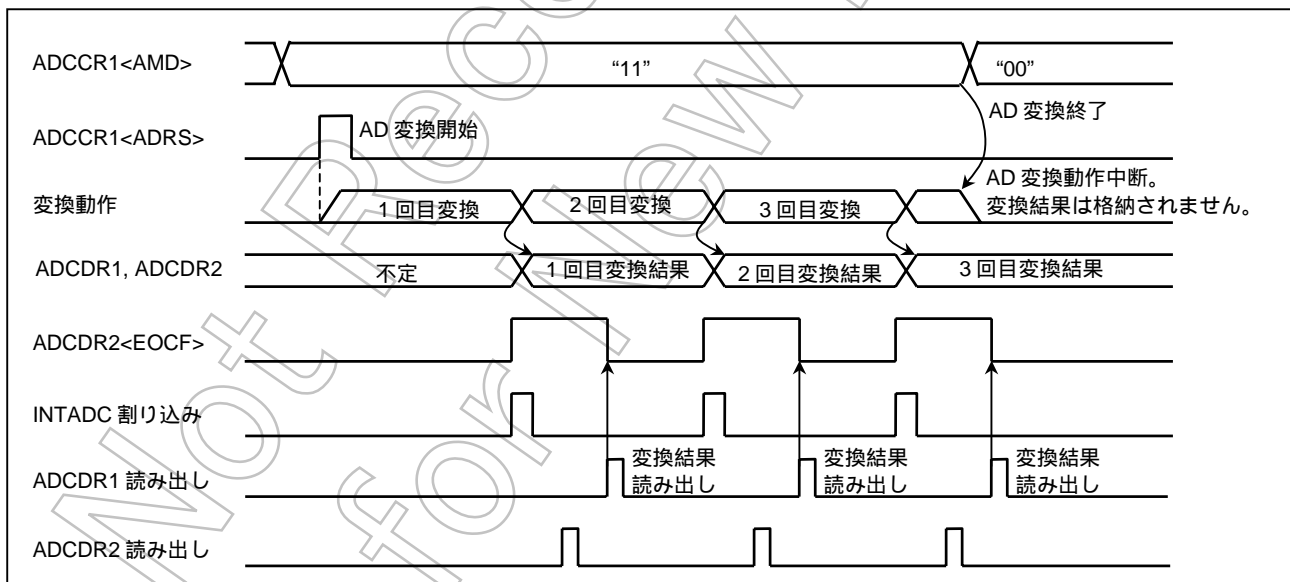


図 2.12.5 リピートモード動作

2.12.5 AD変換時のSTOP/SLOWモード

AD変換中に強制的にSTOPまたはSLOWモードを起動すると、AD変換は中断され、ADコンバータ(ADCCR1, ADCCR2)は初期化されます。また、変換結果は不定となります(前回までの変換結果もクリアされますので、STOPまたはSLOWモードを起動する前に、変換結果を読み出すようにしてください)。またSTOPまたはSLOWモードから復帰した際には、自動的にAD変換を再開しませんので、再度AD変換を開始してください。なお、アナログ基準電源は自動的にカットされるため、アナログ基準電源への電流の流れ込みはありません。

2.12.6 アナログ入力電圧とAD変換結果

アナログ入力電圧とAD変換された10ビットデジタル値とは図2.12.6のように対応します。

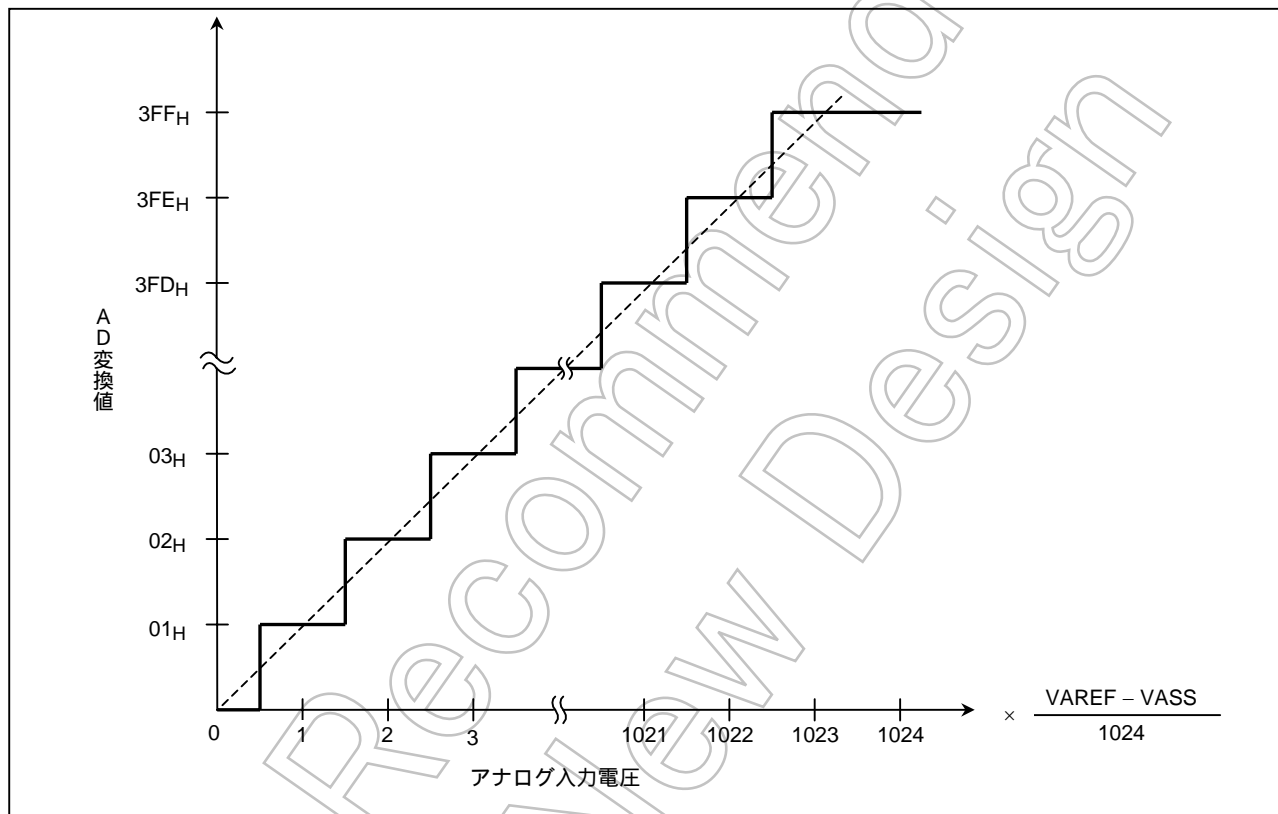


図 2.12.6 アナログ入力電圧とAD変換値 (typ.) の関係

2.12.7 ADコンバータの注意事項

(1) アナログ入力端子電圧範囲

アナログ入力端子 (AIN0~AIN7)は、VAREF-VSS間でご使用ください。この範囲外の電圧が入力されるとその入力端子の変換値が不定となります。また他のアナログ入力端子の変換値にも影響を与えます。

(2) アナログ入力兼用端子

アナログ入力端子 (AIN0~AIN7) は、入出力ポートと兼用になっています。アナログ入力 of のいずれかを使用して AD 変換を実行する場合、それ以外のポートの入出力命令は実行しないでください。AD 変換精度が低下する場合があります。またアナログ入力兼用端子以外でも、隣接する端子への入出力によるノイズにより影響を受ける場合がありますので、注意が必要です。

(3) ノイズ対策

アナログ入力端子の内部等価回路は、図 2.12.7 のようになっています。アナログ入力源の出力インピーダンスが高いほどノイズなどの影響を受けやすくなりますので、信号源の出力インピーダンスは 5 k Ω 以下になるように設計してください。また、コンデンサの外付けをご推奨いたします。

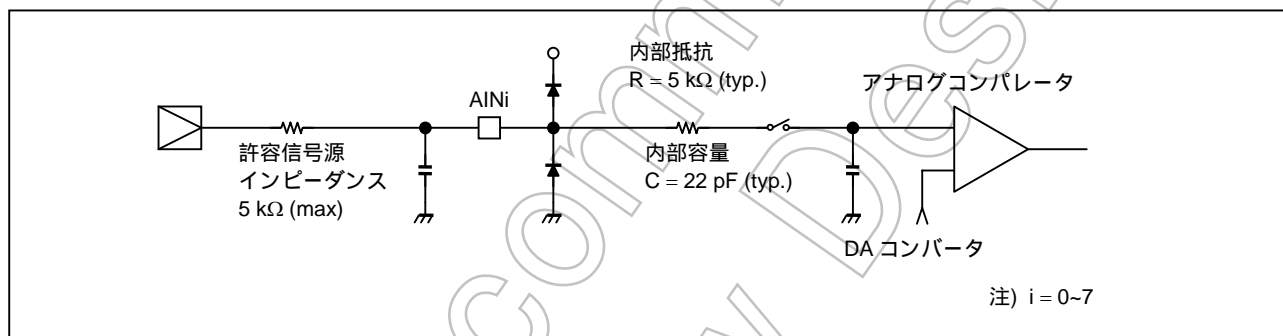


図 2.12.7 アナログ入力等価回路と入力端子処理例

2.13 キーオンウェイクアップ (KWU)

TMP86FM29 では、P20 ($\overline{\text{INT5}} / \overline{\text{STOP}}$) 端子以外に P64~P67 の 4 つの端子でもストップモードの解除が可能です。

P64~P67 ポートの入力でストップモードを解除する場合、P20 端子の論理に注意が必要です。詳細については、後述の「2.12.2 制御」にて説明しておりますので参照願います。

2.13.1 構成

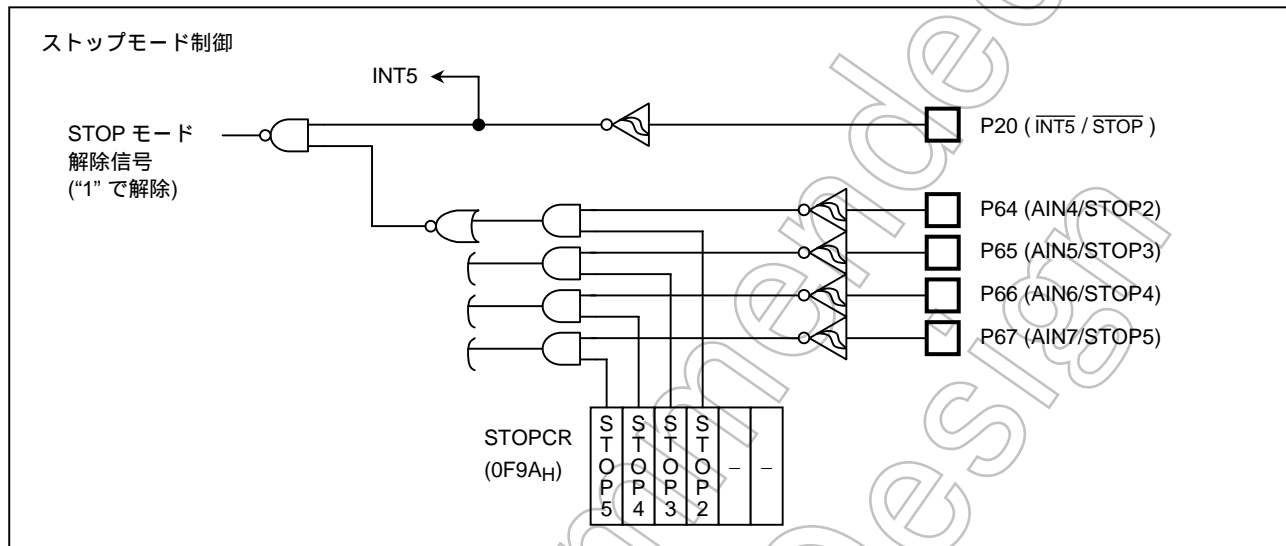


図 2.13.1 キーオンウェイクアップ回路

注) P20 ($\overline{\text{STOP}}$) 端子は、ストップモードの解除入力を禁止する機能がありませんので、ストップモード中は必ずストップモード解除用端子として使用してください。

2.13.2 制御

P64~P67 (STOP2~STOP5) 端子は、キーオンウェイクアップ制御レジスタ (STOPCR) で、端子ごとの動作禁止/許可が設定できます。STOP モードの解除入力に使用する端子はあらかじめ P6 ポート入出力制御レジスタ(P6CR)、P6 ポート出力ラッチ (P6DR)、AD 制御レジスタ (ADCCR1) の各レジスタの設定により入力端子状態にする必要があります。

ストップモードの起動はシステムレジスタ 1 (SYSCR1) にて行い、解除はストップモード解除が許可されている STOP2~5 端子のいずれかの端子を“L”レベルにすることにより解除できます (注 1)。

また、STOP2~5 端子の状態は、P6 ポートを読み出すことにより確認できますので、ストップモードを起動する前に各端子のレベルが“H”レベルになっていることを確認してください (注 2)。

STOP (P20) 端子は、入力を禁止する機能がありませんので、必ずストップモード解除用の端子として使用してください。

注 1) ストップモードの解除をエッジ解除モード (SYSCR1<RELM> = “0”) で行う場合、キーオンウェイクアップ制御レジスタ (STOPCR) によって STOP2~5 端子入力をすべて禁止にするか、入力が許可されている STOP2~5 端子をストップモード中“H”レベルに固定してください。

注 2) レベル解除の場合、STOP 端子および STOP2~5 端子のいずれかが解除のレベルであるとストップモードに入らず、直ちに解除シーケンスに移ります。

表2.13.1 STOP モード解除レベル (エッジ)

端子名	兼用端子	STOP モード解除レベル (エッジ)	
		SYSCR1<RELM> = “0”	SYSCR1<RELM> = “1”
STOP	P20/INT5	立ち上がりエッジ	“H”レベル (注 2)
STOP2	P64/AIN4	(注 1)	“L”レベル (注 2)
STOP3	P65/AIN5		
STOP4	P66/AIN6		
STOP5	P67/AIN7		

キーオンウェイクアップ制御レジスタ

STOPCR (0F9AH) 7 6 5 4 3 2 1 0 (初期値: 0000 ****)

STOP5	STOP4	STOP3	STOP2				
-------	-------	-------	-------	--	--	--	--

STOP2	P64 ポートによるストップモード解除	0: 禁止 1: 許可	Write only
STOP3	P65 ポートによるストップモード解除	0: 禁止 1: 許可	
STOP4	P66 ポートによるストップモード解除	0: 禁止 1: 許可	
STOP5	P67 ポートによるストップモード解除	0: 禁止 1: 許可	

図 2.13.2 キーオンウェイクアップ制御レジスタ

2.14 LCD ドライバ

TMP86FM29 は、液晶表示器 (LCD) を直接駆動するドライバおよびその制御回路を内蔵しています。LCD との接続端子は、次のとおりです。

- セグメント出力端子 8 本 (SEG7~SEG0)
- セグメント出力/P1, P5, P7 入出力ポート兼用端子 24 本 (SEG31~SEG8)
- コモン出力端子 4 本 (COM3~COM0)

ほかに LCD ドライブ用昇圧回路用端子として、C0, C1, V1, V2, V3 端子があります。直接駆動が可能な LCD は、次の 4 種類です。

- 1/4 デューティ (1/3 バイアス) LCD 最大 128 画素 (8 セグメント × 16 桁)
- 1/3 デューティ (1/3 バイアス) LCD 最大 96 画素 (8 セグメント × 12 桁)
- 1/2 デューティ (1/2 バイアス) LCD 最大 64 画素 (8 セグメント × 8 桁)
- スタティック LCD 最大 32 画素 (8 セグメント × 4 桁)

2.14.1 LCD ドライバの構成

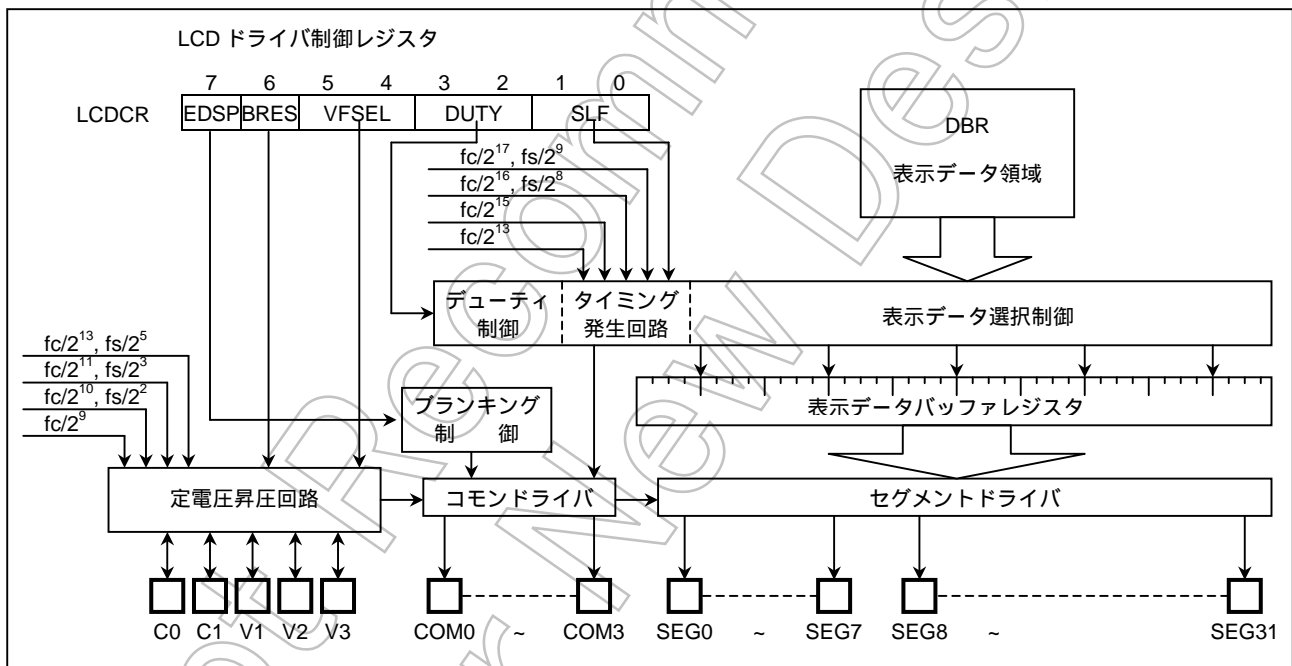


図 2.14.1 LDC ドライバ

2.14.2 LCD ドライバの制御

LCD ドライバの制御は、LCD 制御レジスタ (LCDCR) で行います。LCD ドライバの表示イネーブルは EDSP で行います。

LCDCR (0028H)		7	6	5	4	3	2	1	0	(初期値: 0000 0000)
		EDSP	BRES	VFSEL		DUTY		SLF		
SLF	ベース周波数の選択 [Hz]			NORMAL1/2, IDLE1/2 モード		SLOW1/2				R/W
				DV7CK=0		DV7CK=1		SLEEP1/2 モード		
		00	$fc/2^{17}$		$fs/2^9$		$fs/2^9$			
		01	$fc/2^{16}$		$fs/2^8$		$fs/2^8$			
		10	$fc/2^{15}$		$fc/2^{15}$		-			
		11	$fc/2^{13}$		$fc/2^{13}$		-			
DUTY	LCD 駆動方式の設定	00: 1/4 デューティ (1/3 バイアス) 01: 1/3 デューティ (1/3 バイアス) 10: 1/2 デューティ (1/2 バイアス) 11: スタティック								
VFSEL	昇圧周波数選択 [Hz]			NORMAL1/2, IDLE1/2 モード		SLOW1/2				R/W
				DV7CK=0		DV7CK=1		SLEEP1/2 モード		
		00	$fc/2^{13}$		$fs/2^5$		$fs/2^5$			
		01	$fc/2^{11}$		$fs/2^3$		$fs/2^3$			
		10	$fc/2^{10}$		$fs/2^2$		$fs/2^2$			
		11	$fc/2^9$		$fc/2^9$		-			
BRES	昇圧回路の設定	0: 昇圧回路 Disable (外付け分割抵使用) 1: 昇圧回路 Enable								
EDSP	LCD 表示制御	0: ブランキング 1: 表示イネーブル								

注 1) 昇圧回路の設定<BRES> = "0" のときは V_{DD} V_3 V_2 V_1 V_{SS} , <BRES> = "1" のときは 5.5 [V] V_3 V_{DD} を満たす必要があります。
これらの条件が適正でない場合、LCD 表示品位に影響を与えるばかりか、ポートに過電流が流れデバイスにダメージを与える可能性があります。

注 2) - ; 設定しないでください。

図 2.14.2 LCD ドライバ制御レジスタ

(1) LCD 駆動方式

LCDの駆動方式は、LCDCR<DUTY>により、4種類の選択ができます。駆動方式は、イニシャルプログラムの中で、使用するLCDに合わせて初期化します。

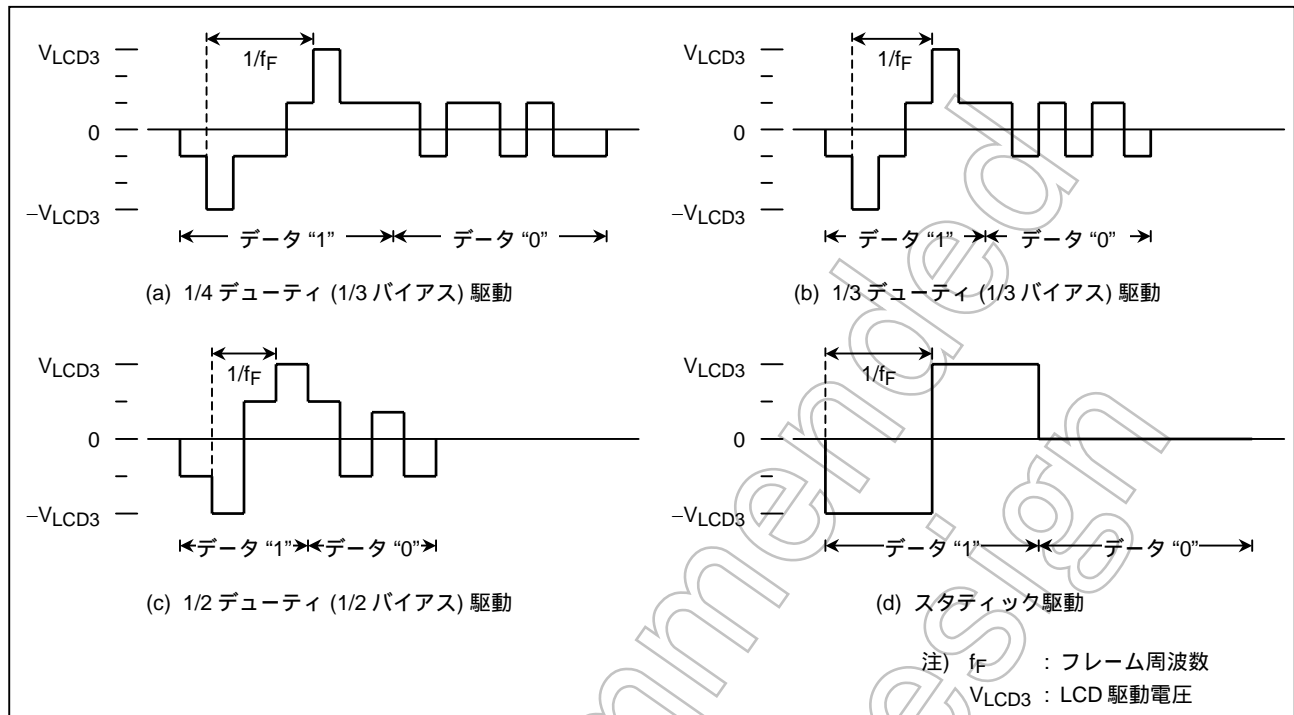


図 2.14.3 LCD 駆動波形 (COM-SEG 端子間電位差)

(2) フレーム周波数

フレーム周波数 (f_F) は駆動方式とベース周波数により表 2.14.1のように設定されます。ベース周波数は、使用する基本クロック周波数 f_c および f_s に応じて、LCDCR<SLF> により選択します。

表 2.14.1 フレーム周波数の設定

a. シングルクロックモード時、またはデュアルクロックモード時の DV7CK = 0 の場合

SLF	ベース周波数 [Hz]	フレーム周波数 [Hz]			
		1/4 デューティ	1/3 デューティ	1/2 デューティ	スタティック
00	$\frac{f_c}{2^{17}}$	$\frac{f_c}{2^{17}}$	$\frac{4}{3} \cdot \frac{f_c}{2^{17}}$	$\frac{4}{2} \cdot \frac{f_c}{2^{17}}$	$\frac{f_c}{2^{17}}$
	(f _c = 16 MHz 時)	122	163	244	122
	(f _c = 8 MHz 時)	61	81	122	61
01	$\frac{f_c}{2^{16}}$	$\frac{f_c}{2^{16}}$	$\frac{4}{3} \cdot \frac{f_c}{2^{16}}$	$\frac{4}{3} \cdot \frac{f_c}{2^{16}}$	$\frac{f_c}{2^{16}}$
	(f _c = 8 MHz 時)	122	163	244	122
	(f _c = 4 MHz 時)	61	81	122	61
10	$\frac{f_c}{2^{15}}$	$\frac{f_c}{2^{15}}$	$\frac{4}{3} \cdot \frac{f_c}{2^{15}}$	$\frac{4}{3} \cdot \frac{f_c}{2^{15}}$	$\frac{f_c}{2^{15}}$
	(f _c = 4 MHz 時)	122	163	244	122
	(f _c = 2 MHz 時)	61	81	122	61
11	$\frac{f_c}{2^{13}}$	$\frac{f_c}{2^{13}}$	$\frac{4}{3} \cdot \frac{f_c}{2^{13}}$	$\frac{4}{3} \cdot \frac{f_c}{2^{13}}$	$\frac{f_c}{2^{13}}$
	(f _c = 1 MHz 時)	122	163	244	122

注) f_c: 高周波クロック周波数 [Hz]

b. デュアルクロックモード時の DV7CK = 1, または SYSCK = 1 の場合

SLF	ベース周波数 [Hz]	フレーム周波数 [Hz]			
		1/4 デューティ	1/3 デューティ	1/2 デューティ	スタティック
00	$\frac{f_s}{2^9}$	$\frac{f_s}{2^9}$	$\frac{4}{3} \cdot \frac{f_s}{2^9}$	$\frac{4}{3} \cdot \frac{f_s}{2^9}$	$\frac{f_s}{2^9}$
	(f _s = 32,768 kHz 時)	64	85	128	64
01	$\frac{f_s}{2^8}$	$\frac{f_s}{2^8}$	$\frac{4}{3} \cdot \frac{f_s}{2^8}$	$\frac{4}{3} \cdot \frac{f_s}{2^8}$	$\frac{f_s}{2^8}$
	(f _s = 32,768 kHz 時)	128	171	256	128

注) f_s: 低周波クロック周波数 [Hz]

(3) LCD ドライブ用電源回路

TMP86FM29 は LCD 駆動用電源として、外部より供給される基準電圧を内部の昇圧回路で昇圧したものを使用するか、外部電源を外付け抵抗により分割としたものを使用するかを選択ができます。

この選択は LCD 制御レジスタ LCDCR<BRES> で行います。

昇圧回路使用時は V1 端子に接続された基準電圧を 2 倍、3 倍に昇圧し、セグメント/コモン信号用の出力電圧を発生させます。

外付け分割抵抗使用時は外部電源を抵抗で分圧した電圧をそれぞれ V1, V2, V3 に入力しセグメント/コモン信号用の出力電圧を発生させます。

なお、昇圧回路使用時は 1/3 バイアスのみとなります。

昇圧回路の基準周波数は、コマンドレジスタ LCDCR<VFSEL>により周波数の選択することができます。また昇圧周波数を速くすることによりセグメント/コモンのドライブ能力を上げることができます。

昇圧回路の昇圧周波数に対する V3 端子の電流値容量を表 2.14.2 に示します。

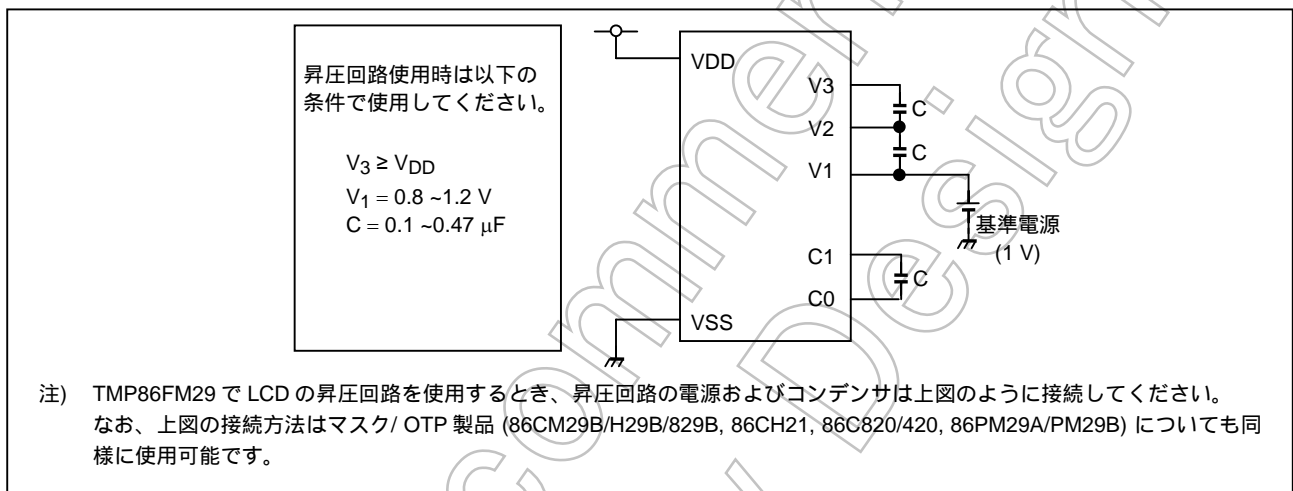


図 2.14.4 昇圧回路使用時の LCD 電源接続例 1 (LCDCR<BRES> = "1")

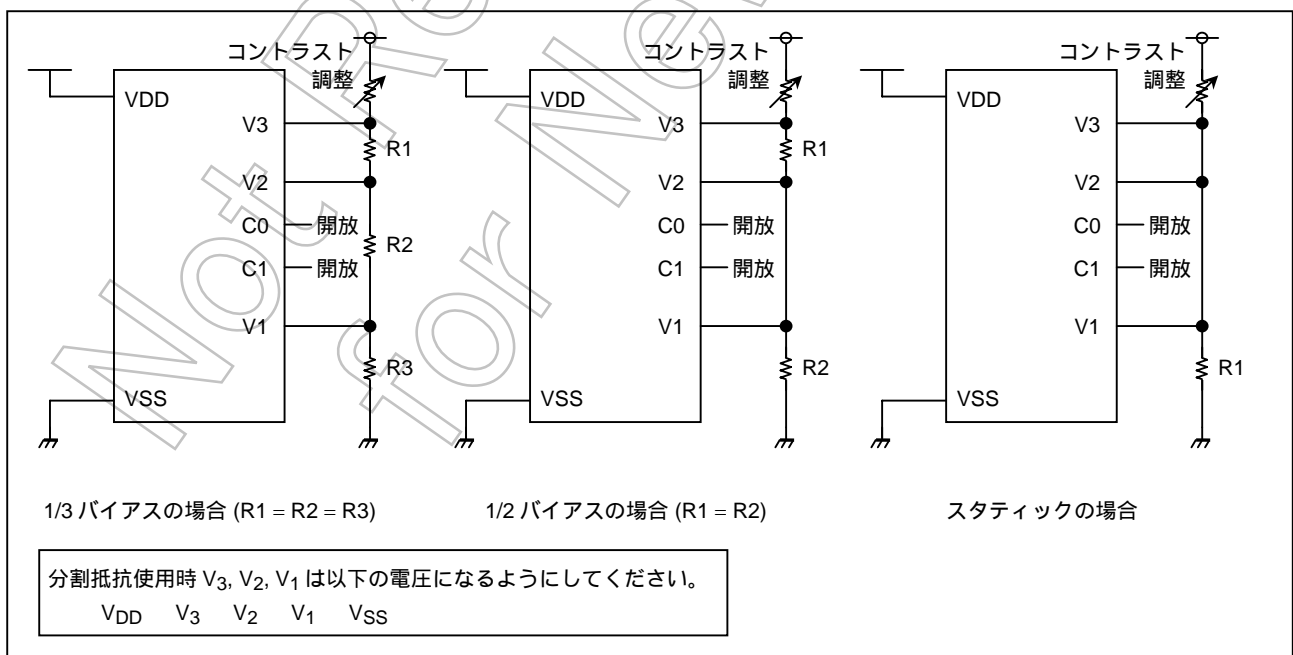


図 2.14.5 外部分割抵抗使用時の LCD 電源接続例 (LCDCR<BRES> = "0")

表 2.14.2 昇圧周波数に対する V3 端子の電流値容量 (typ.)

VFSEL	昇圧周波数	fc = 16 MHz 時	fc = 8 MHz 時	fc = 4 MHz 時	fs = 32.768 kHz 時
00	$fc/2^{13}$ または $fs/2^5$	-37 mV / μ A	-80 mV / μ A	-138 mV / μ A	-76 mV / μ A
01	$fc/2^{11}$ または $fs/2^3$	-19 mV / μ A	-24 mV / μ A	-37 mV / μ A	-23 mV / μ A
10	$fc/2^{10}$ または $fs/2^2$	-17 mV / μ A	-19 mV / μ A	-24 mV / μ A	-18 mV / μ A
11	$fc/2^9$	-16 mV / μ A	-17 mV / μ A	-19 mV / μ A	-

- 注 1) 電流容量は、1 μ A あたり降下する電圧の値を示すものです。
- 注 2) 昇圧周波数はご使用の LCD パネルに合わせて、選択してください。
- 注 3) 基準端子 V1 は、安定した動作を保つため上記容量の 10 倍以上を推奨します。

Not Recommended for New Design

2.14.3 LCD 表示動作

(1) 表示データの設定

表示データは、DBR 内に設けられた表示データ領域 (0F80~0F8FH 番地の 16 バイト) に格納します。

表示データ領域に格納された表示データは、ハードウェアにより自動的に読み出され、LCD ドライバへ送出されます。LCD ドライバは、表示データと駆動方式に従い、セグメント信号、コモン信号を発生します。従って、表示パターンの変更は、プログラムで表示データ領域の内容を書き替えるのみで行うことができます。

図 2.14.6 に、表示データ領域と SEG/COM 端子の対応を示します。表示データが“1”のとき点灯し、“0”のとき消灯します。

LCD の駆動方式によって駆動可能な画素数が異なりますので、表示データを格納するために使用する表示データ領域のビット数も異なります。従って、表示データの格納に使用しないビットや、LCD を接続しないアドレスに相当するデータメモリは、通常のユーザー処理データの格納に使用できます (表 2.14.3 参照)。

注) 表示データ領域の内容は、電源投入時不定になりますのでイニシャライズルーチンで初期設定を行ってください。

アドレス	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0F80H		SEG1						SEG0
81		SEG3						SEG2
82		SEG5						SEG4
83		SEG7						SEG6
84		SEG9						SEG8
85		SEG11						SEG10
86		SEG13						SEG12
87		SEG15						SEG14
88		SEG17						SEG16
89		SEG19						SEG18
8A		SEG21						SEG20
8B		SEG23						SEG22
8C		SEG25						SEG24
8D		SEG27						SEG26
8E		SEG29						SEG28
8F		SEG31						SEG30
	COM3	COM2	COM1	COM0	COM3	COM2	COM1	COM0

図 2.14.6 LCD 表示データ領域 (DBR)

表 2.14.3 表示データの格納に使用するビット

駆動方法	ビット 7/3	ビット 6/2	ビット 5/1	ビット 4/0
1/4 デューティ	COM3	COM2	COM1	COM0
1/3 デューティ	-	COM2	COM1	COM0
1/2 デューティ	-	-	COM1	COM0
スタティック	-	-	-	COM0

注) -: 表示データの格納に使用しないビット

(2) ブランキング

EDSP を“0”にクリアすることによりブランキングがかかります。ブランキングは、COM/SEG 端子に GND レベルを出力することにより LCD を消灯します。

STOP モードに入ると EDSP が“0”にクリアされ、自動的にブランキングがかかります。STOP モード復帰後、LCD の再表示を行うには EDSP を“1”にセットする必要があります。

注) リセット時、セグメント専用端子出力 (SEG0~SEG7)、コモン出力は GND レベルとなりますが、入出力ポート/セグメント兼用端子 (P1, P5, P7 ポート) 出力はハイインピーダンス状態となります。従って、外部からのリセット入力著しく長くなる場合は LCD 表示が滲むなどの影響を及ぼす恐れがあります。

2.14.4 LCD ドライバの制御方法

(1) 初期設定

初期設定のフローチャートを、図 2.14.7 に示します。

例: 32 セグメント × 4 コモン、1/4 デューティ LCD をフレーム周波数 $fc/2^{16}$ [Hz]、昇圧周波数 $fc/2^{13}$ [Hz] で動作させる場合。

```
LD (LCDCR),01000001B ; LCD 駆動方法の設定, フレーム周波数の設定, 昇圧周波数の設定
LD (P5LCR),0FFH ; P5, P1, P7 ポートをセグメント出力に設定。
LD (P1LCR),0FFH
LD (P7LCR),0FFH
: ; 表示データの初期値設定
LD (LCDCR),11000001B ; 表示イネーブル
```

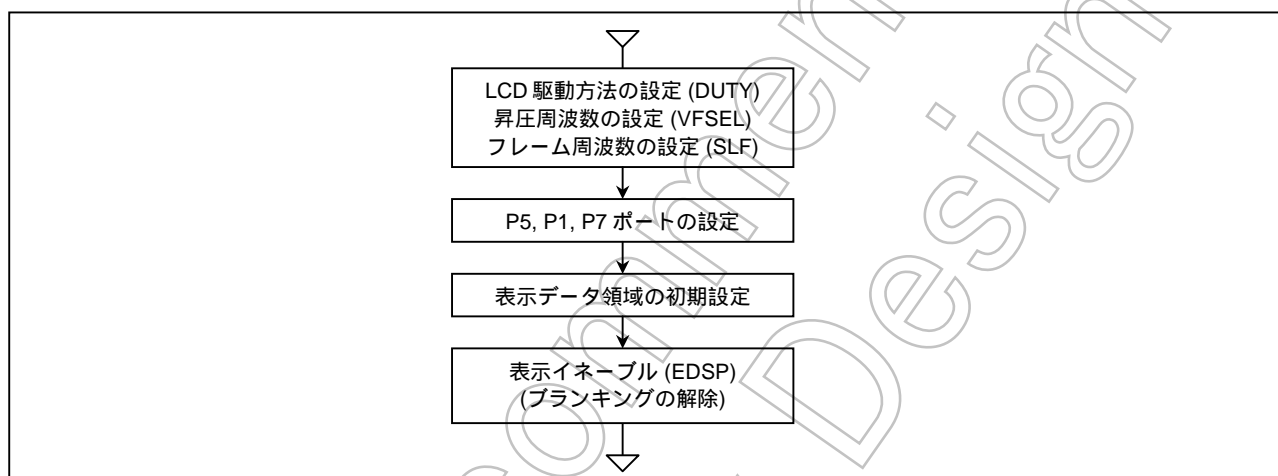


図 2.14.7 LCD ドライバの初期設定

(2) 表示データの格納

通常、表示データはプログラムメモリ (ROM) に固定データとして用意しておき、ロード命令により、表示データ領域に格納します。

例 1: 1/4 デューティ LCD を用いて、データメモリの 80H 番地に格納されている BCD データに対応する数字を表示する場合 (COM, SEG 端子と LCD との接続を図 2.14.8 としたとき) の表示データはの表 2.14.4 ようになります。

```
LD A, (80H)
ADD A, TABLE-$-7
LD HL, 0F80H
LD W, (PC + A)
LD (HL), W
RET
TABLE: DB 11011111B, 00000110B,
          11100011B, 10100111B,
          00110110B, 10110101B,
          11110101B, 00010111B,
          11110111B, 10110111B
```

注) DB はバイトデータ定義命令。

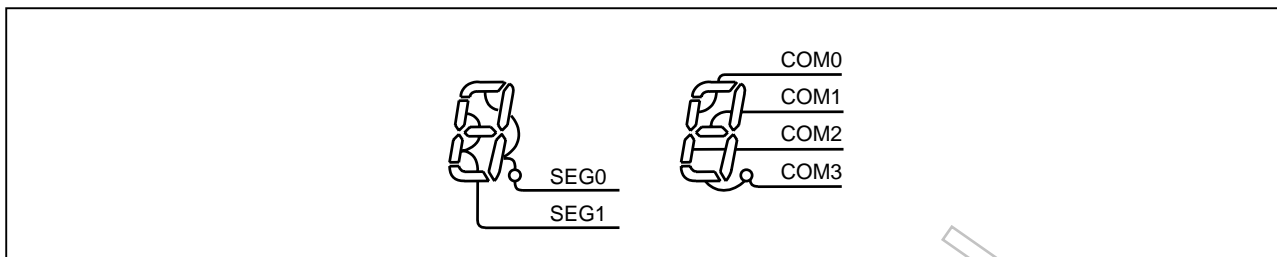


図 2.14.8 COM, SEG 端子接続例

表 2.14.4 表示データ (1/4 デューティ) の例

数字	表示	表示データ	数字	表示	表示データ
0		11011111	5		10110101
1		00000110	6		11110101
2		11100011	7		00000111
3		10100111	8		11110111
4		00110110	9		10110111

例 2: 1/2 デューティ LCD を用いて、表 2.14.4 と同様の数字表示を行う場合の表示データの例を表 2.14.5 に示します。COM 端子および SEG 端子の接続方法は図 2.14.9 の例を用います。

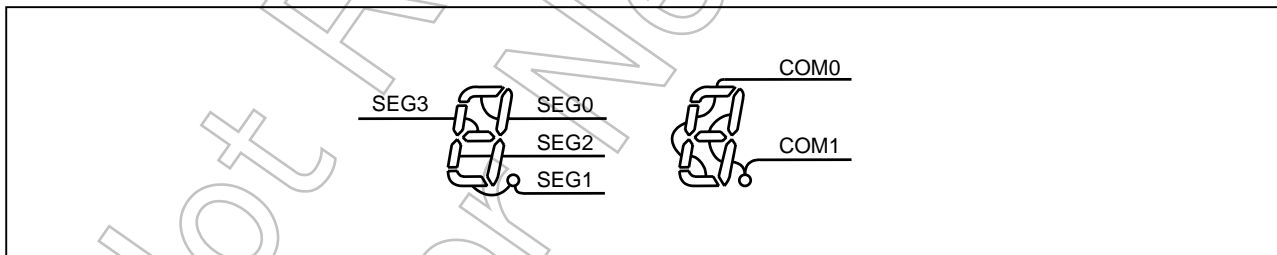


図 2.14.9 COM, SEG 端子接続例

表 2.14.5 表示データ (1/2 デューティ) の例

数字	表示データ		数字	表示データ	
	上位アドレス	下位アドレス		上位アドレス	下位アドレス
0	**01**11	**01**11	5	**11**10	**01**01
1	**00**10	**00**10	6	**11**11	**01**01
2	**10**01	**01**11	7	**01**10	**00**11
3	**10**10	**01**11	8	**11**11	**01**11
4	**11**10	**00**10	9	**11**10	**01**11

注) *: Don't care

(3) 駆動出力例

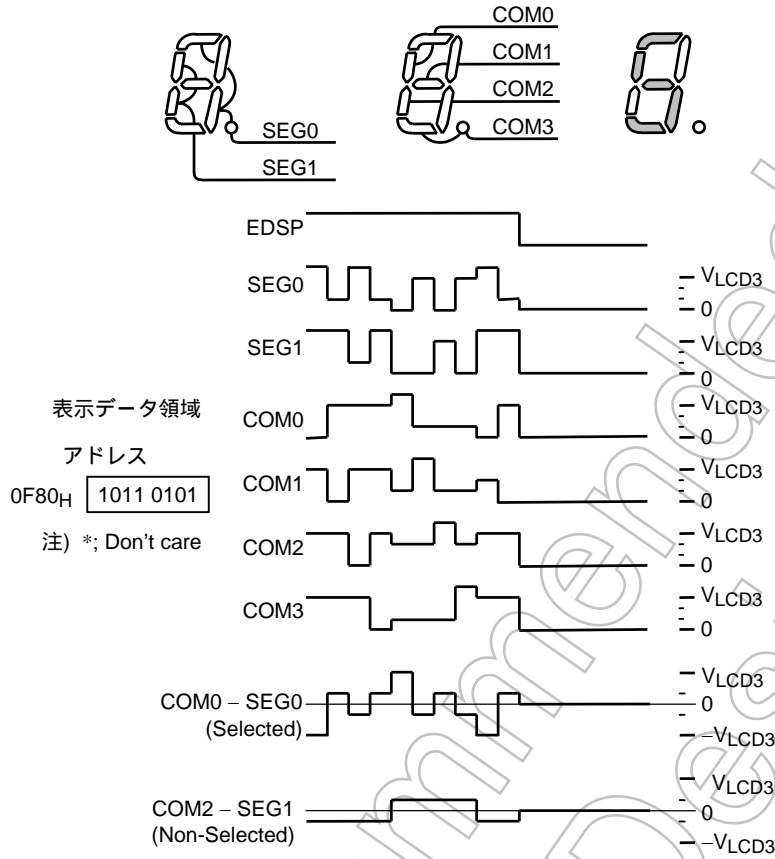


図 2.14.10 1/4 デューティ (1/3 バイアス) 駆動

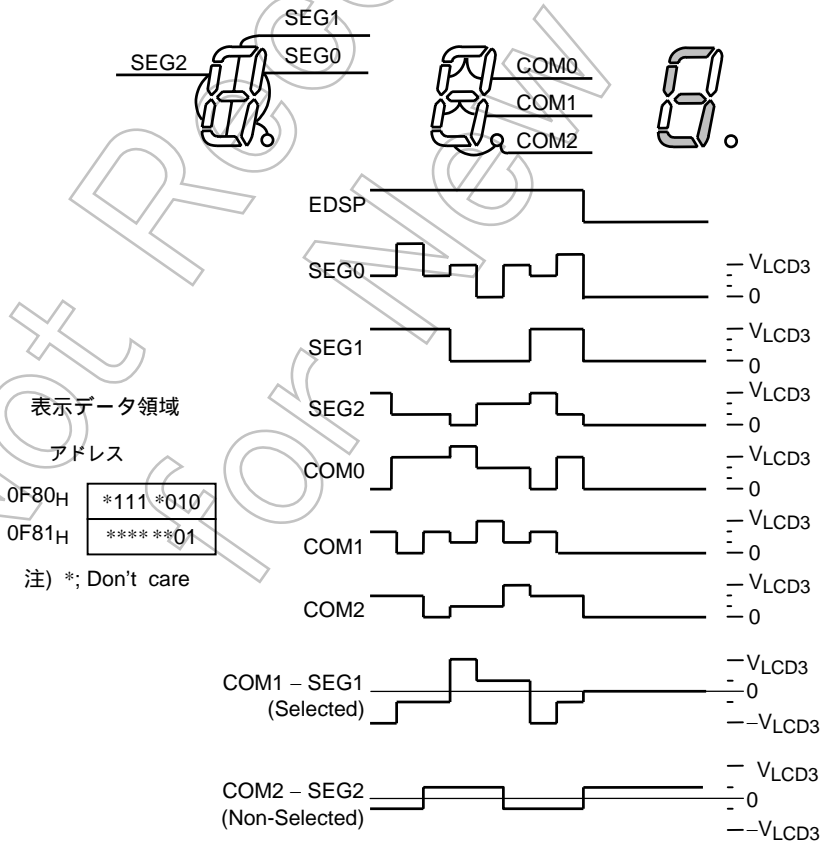
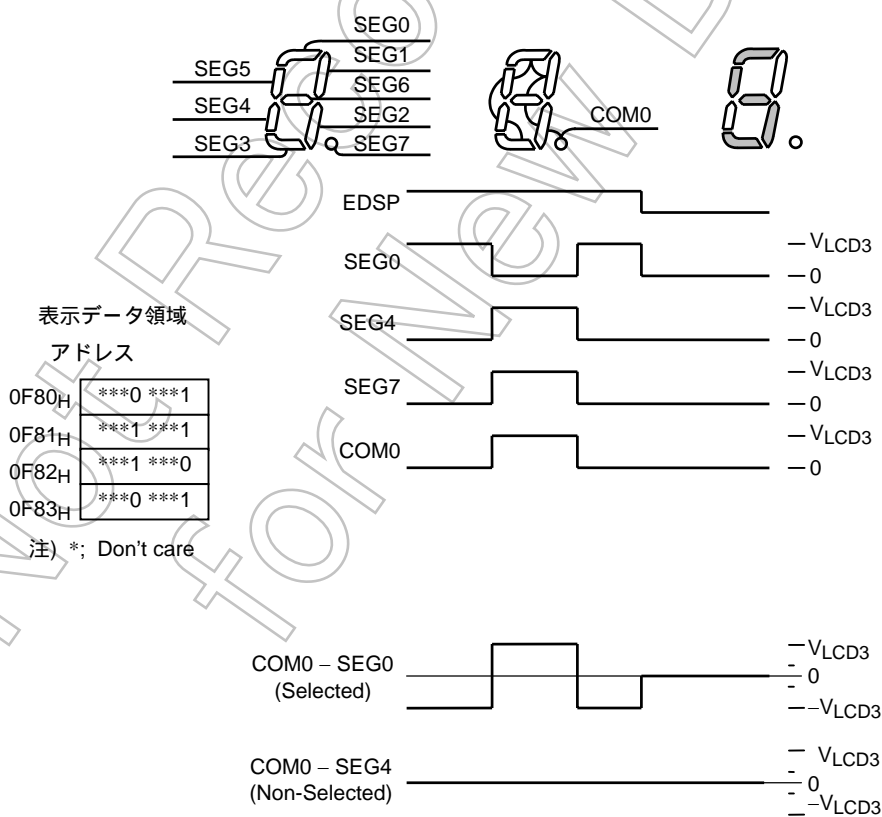
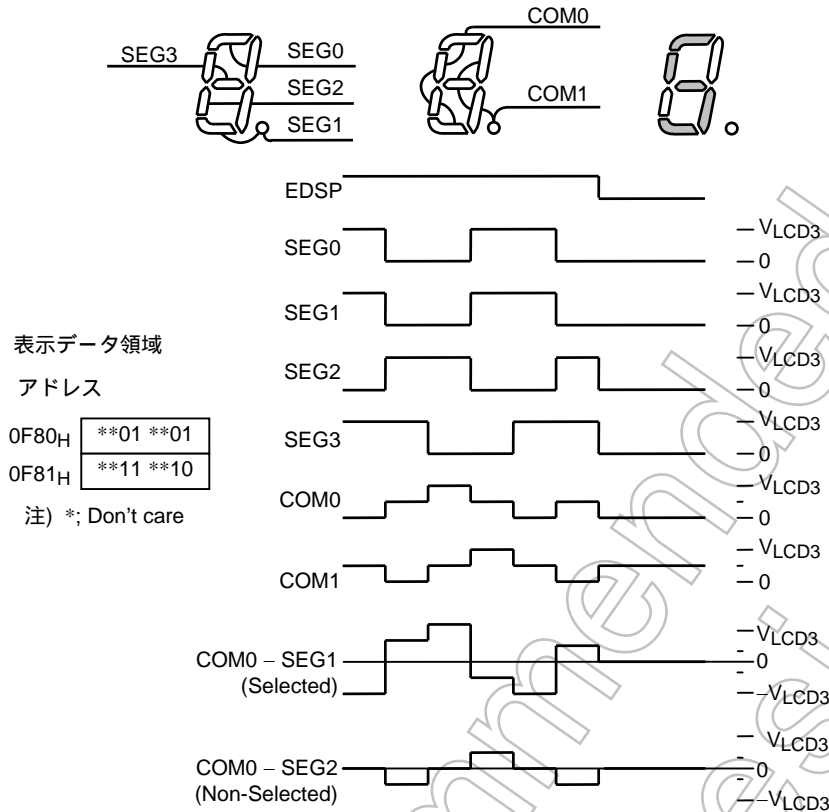


図 2.14.11 1/3 デューティ (1/3 バイアス) 駆動



2.15 フラッシュメモリ

TMP86FM29 は、32 K バイト (アドレス 8000H~FFFFH) のフラッシュメモリを内蔵しています。フラッシュメモリは、フラッシュメモリ制御レジスタ (EEPCR)、フラッシュメモリステータスレジスタ (EEPSR) で制御されます。

フラッシュメモリへの書き込みを行うには、シリアル PROM モードを起動します。詳細については「2.18 シリアル PROM モード」を参照してください。

TMP86FM29 のフラッシュメモリには、以下のような特長があります。

- フラッシュメモリは、1 ページが 64 バイトのページ単位で構成されており、フラッシュメモリ全体で 512 ページあります。
- 64 バイトのテンポラリデータバッファを内蔵しており、フラッシュメモリへの書き込みデータは、一度、このテンポラリデータバッファにスタックされた後、64 バイトが一括してフラッシュメモリに書き込まれます。このとき自動的にページ単位でイレース処理も行われますので、事前に個別でイレース処理を行う必要はありません。
- フラッシュメモリの制御回路は専用の発振器を内蔵しており、書き込み時間はシステムのクロック周波数に依存しません。また、フラッシュメモリ制御回路は、フラッシュメモリの書き込み量をセル単位で制御していますので、書き込み時間は可変となります (標準条件で、1 ページあたり 4 ms)。
- フラッシュメモリ制御回路 (レギュレータ、昇圧回路など) の電源制御を行うことによって、フラッシュメモリを使用しないとき (RAM 上でのプログラム実行時など) は、低消費電力を実現することができます。

2.15.1 フラッシュメモリ領域のアクセス条件

フラッシュメモリ領域は、動作モードによってアクセス条件が変わります。各動作モードにおけるアクセス条件を以下に示します。

表2.15.1 フラッシュメモリ領域アクセス条件

	領域	動作モード	
		MCU モード (注 1)	シリアル PROM モード (注 2)
フラッシュメモリ	8000H~FFFFH	リード/フェッチのみ	ライト/リード/フェッチ可能

注 1) MCU モードは、NORMAL1/2 と SLOW1/2 モードを意味します。

注 2) シリアル PROM モードは、フラッシュメモリへのプログラミングを行うモードを意味します。詳細は「2.18 シリアル PROM モード」を参照してください。

注 3) フェッチとは、命令実行を行うために CPU がメモリのデータを読み込む動作を意味します。

2.15.2 製品シリーズ間での相違点

フラッシュメモリ製品 (TMP86FM29)は、エミュレーションチップ (TMP86C929A)およびマスク/OTP 製品 (TMP86C829B/CH29B/CM29B/PM29A)の使用と、以下のような相違点があります。制御レジスタについては、「2.16.2. 制御」を参照してください。

		フラッシュメモリ製品 (TMP86FM29)	エミュレーションチップ (TMP86C929A)
EEPROM レジスタ <EEPMD、EEPRS、MNPWDW>の書き替え		プログラム実行領域が、RAMまたはBOOT-ROM領域のときのみ書き替え可能です。	マスク/OTP 製品は EEPROM、EEPROM レジスタを内蔵していませんので、フラッシュ機能は実行されません。従ってフラッシュ機能を含んだソフトウェアはエミュレーションチップでエミュレーションすることはできません。もしフラッシュ機能を含んだソフトウェアをマスク、またはエミュレーションチップで実行した場合、ソフトウェアの処理はフラッシュ製品とは異なった動作をします。
フラッシュメモリの書き込み時間 (エミュレーションチップの場合、書き込みデータはエミュレーションメモリに書き込まれます)		Typ.4 ms (システムクロックとは無関係)	
EEPROM<BFBUSY>=“1”のとき、8000H~FFFFH領域に対してをリード命令/フェッチを実行		EEPROM<BFBUSY>が“1”のとき、フラッシュメモリ領域に対してリード命令、フェッチを実行するとROMデータに関係なく、FFHが読み出されます。FFHをフェッチするとソフトウェア割り込みが発生します。	
EEPROM<EEPMD>=“0011”、EEPROM<EWUPEN>=“1”、EEPROM<BFBUSY>=“0”のとき、8000H~FFFFH領域に対してライト命令を実行	MCU モード	EEPROM<BFBUSY>は“0”のまま変化しません。 (書き込みはできません)	
	シリアル PROM モード	EEPROM<BFBUSY>は“1”にセットされます。 (書き込みが可能です)	
フラッシュの CPU ウェイト (フラッシュ制御回路の電源が安定するまでの期間)		リセット解除時、STOP モード解除時 (EEPROM<MNPWDW>=“1”)、および IDLE/SLEEP モード解除時 (EEPROM<ATPWDW>=“0”)、ウェイト処理が挿入されます。リセット解除後のウェイト期間は、ソフトウェアでフラッシュ制御レジスタが使われなかったとしても発生します。	ウェイト処理は挿入されません。 もしソフトウェアでフラッシュレジスタが使われなかったとしてもリセットと STOP の処理は、フラッシュ製品とは異なった動作をします。
Boot-ROM		3800H~3FFFH に 2 K バイト内蔵しています。	マスク/OTP およびエミュレーションチップは Boot-ROM を内蔵していません。
動作電圧		VDD = 1.8~3.6 V	VDD = 1.8~5.5 V (マスク/OTP) VDD = 1.8~5.25 V (エミュレーションチップ)

2.15.3 書き込み領域の定義

フラッシュメモリ領域は、連続する 64 バイトを 1 つのグループとして扱い、これをページと定義します。TMP86FM29 は、1 ページ分に相当するテンポラリデータバッファを内蔵しており、フラッシュメモリの書き込みを行うときは、一度このテンポラリデータバッファに 64 バイト分のデータがスタックされ、その後、64 バイトのデータが各ページに一括して書き込まれます。このようにデータの書き込みを行う場合は、指定したページごと (64 バイト単位) にデータの書き込み処理を行います。データを読み出すときは、任意のアドレスからバイト単位でデータを読み出すことが可能です。

2.15.3.1 ページ構成

フラッシュメモリ領域のページ構成は、図 2.15.1 のように 64 バイト/ページとなります。総バイト数は 512 ページ × 64 バイト = 32768 バイトとなり、書き込み可能な領域は、8000H~FFFFH となります。

注) フラッシュメモリの 8000H~FFFFH 番地は MCU モードでは書き込みできません。これらの領域はシリアル PROM モード時のみ書き込み可能となります。詳細は「2.18 シリアル PROM モード」を参照してください。

アドレス	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
8000H																
8010H								ページ 0								
8020H																
8030H																
8040H																
8050H								ページ 1								
8060H																
8070H																
8080H																
8090H								ページ 2								
80A0H																
80B0H																
80C0H																
80D0H								ページ 3								
80E0H																
80F0H																
FFE0H								ページ 511								
FFF0H																

図 2.15.1 ページ構成

2.16 フラッシュメモリ制御回路

2.16.1 構成

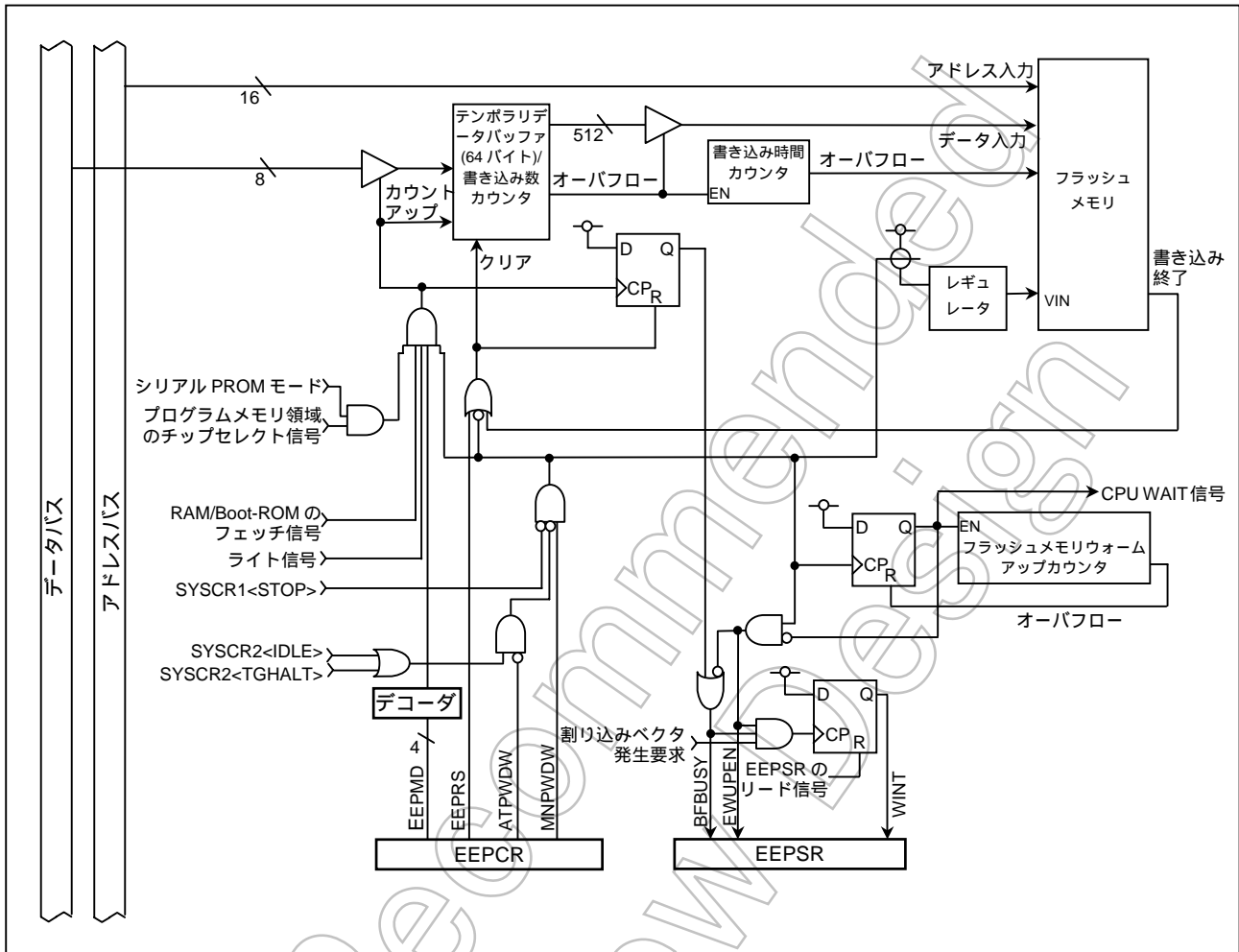


図 2.16.1 フラッシュメモリ制御

2.16.2 制御

フラッシュメモリは、フラッシュメモリ制御レジスタ (EEPCCR)、フラッシュメモリスレータスレジスタ (EEPSR)で制御されます。

フラッシュメモリ制御レジスタ			
EEPCCR (0FE0H)		(初期値: 1100 *011)	
7 6 5 4 3 2 1 0			
EEPMD		EEPRS	ATPWDW MNPWDW
EEPMD	フラッシュメモリ書き込み許可制御 (ライトプロテクト)	1100: フラッシュメモリ書き込み禁止 0011: フラッシュメモリ書き込み許可 上記以外: Reserved	プログラム実行領域 RAM/Boot フラッシュメモリ
EEPRS	フラッシュメモリ書き込みの強制停止	0: - 1: フラッシュメモリ書き込みを強制停止する (書き込み数カウンタの初期化)。 * セット後、自動的に“0”にクリアされます	Read only
ATPWDW	フラッシュメモリ制御回路の自動電源制御 (IDLE0/1/2, SLEEP0/1/2 モード中)	0: フラッシュメモリ制御回路の自動電源 OFF を実行する。 1: フラッシュメモリ制御回路の自動電源 OFF を実行しない (IDLE0/1/2, SLEEP0/1/2 モード中、フラッシュメモリの電源は常に ON となります)。	R/W
MNPWDW	フラッシュメモリ制御回路のソフトウェア電源制御	0: フラッシュメモリ制御回路の電源を OFF する 1: フラッシュメモリ制御回路の電源を ON にする	Read only

注 1) EEPMD、EEPRS、MNPWDW は、RAM 領域または Boot 領域で、プログラムフェッチ中のときのみ書き替え可能です。フラッシュメモリ領域でプログラムを実行中に EEPCCR レジスタの書き込みを行うと、EEPMD、EEPRS、MNPWDW の書き替えは行われず、前回の設定値を保持します。

注 2) フラッシュメモリに書き込みを行うには、事前に RAM 領域でプログラムフェッチ中に、EEPMD を“0011B”に設定してください。

注 3) 書き込み数カウンタを初期化、書き込みの強制停止を行うには、RAM 領域でプログラムフェッチ中に EEPRS を“1”に設定してください。

注 4) ATPWDW は、MNPWDW が“1”のときのみ機能します。MNPWDW が“0”のときは、ATPWDW の設定にかかわらず、フラッシュメモリ制御回路の電源はしゃ断された状態を保持します。

注 5) STOP モードを起動すると、ATPWDW の状態にかかわらず、フラッシュメモリ制御回路の電源はしゃ断されます。

注 6) EEPCCR レジスタに対してリード命令を実行すると、ビット 3 は不定値が読み出されます。また、ビット 2 は必ず“0”が読み出されます。

注 7) MNPWDW を設定するときは、以下の注意が必要です。

MNPWDW を“1”から“0”に切り替える前	事前に割り込みマスタ許可フラグ (IMF) を“0”に設定し、割り込みを禁止にしてください。また EEPSR<EWUPEN> = “0”の間は、IMF を“1”にセットしないでください。 ウォッチドッグタイマを割り込み要求として使用している場合は、直前に必ずウォッチドッグタイマの 2 進カウンタをクリアしてください。
MNPWDW を“0”から“1”に切り替えた後	フラッシュ領域への書き込み、フラッシュ領域からの読み出しは、ソフトウェアによって EEPSR<EWUPEN> = “1”になったことを確認してから行ってください。通常は、EEPSR<EWUPEN> が“1”になるまでの間、ソフトウェアによってポーリングを行ってください。

注 8) MCU モード時はかならず、EEPMD は“1100B”、EEPRS は“0”に設定してください。

図2.16.2 フラッシュメモリ制御レジスタ

フラッシュメモリステータスレジスタ

EEPSR (0FE1H) 7 6 5 4 3 2 1 0
----- ----- ----- ----- ----- ----- ----- ----- (初期値: **** *010)

WINT	フラッシュメモリ書き込み中の割り込み検出		0: 未検出 1: 検出 (割り込み発生) * 読み出し後、自動的に“0”にクリア			Read only
EWUPEN	フラッシュメモリ制御回路の状態モニタ	制御回路	動作 (電源 ON)		停止 (電源 OFF) またはウォームアップ中	
		フラッシュメモリの書き込み	バッファ エンプティ	書き込み中	-	
			1	1	0	
BFBUSY	フラッシュメモリの書き込みBUSYフラグ		0	1	1	

- 注 1) フラッシュメモリへの書き込み中にノンマスカブル割り込みが発生した場合、WINTが“1”にセットされるとともに書き込み処理は中断され、フラッシュメモリ制御回路のウォームアップ (CPU ウェイト) が行われます (このとき書き込み数カウンタも初期化されます)。従ってノンマスカブル割り込みサービスルーチンの中で、WINT = “1”を検出した場合は書き込みが正常に終了していませんので、再書き込みなどの処理を実行してください。WINTが“1”になるタイミングによっては、書き込みを行っていたページのデータが想定しない値に書き替わることがあります。
- 注 2) フラッシュメモリのウォームアップ中にノンマスカブル割り込みが発生した場合、ウォームアップが終了するまでの間はCPUは停止状態となります。
- 注 3) WINTは、EEPSRレジスタに対してリード命令を実行すると自動的に“0”にクリアされます。
- 注 4) EWUPENはMNPWDWを“0”から“1”に設定した後、 $2^{10}/f_c$ [s] (SYSCK = “0”時) または、 $2^3/f_s$ [s] (SYSCK = “1”時) 経過すると“1”になります。フラッシュメモリのアクセスを行うときは、RAM領域内でEWUPENが“1”になったことを確認した後に行ってください。
- 注 5) BFBUSYが“1”のとき、フラッシュメモリ領域に対してリード命令、フェッチを実行するとFFHが読み出されます。FFHをフェッチするとソフトウェア割り込みが発生します。

図2.16.3 フラッシュメモリステータスレジスタ

2.16.3 フラッシュメモリ書き込み許可制御 (EEPCR<EEPMD>)

フラッシュメモリ製品は、プログラムエラーやマイコンの誤動作によるフラッシュメモリの誤書き込みを防止するために、制御レジスタによって、フラッシュメモリの書き込みを禁止することができます (ライトプロテクト)。フラッシュメモリに書き込みを行うときは、EEPCR<EEPMD>を 0011B に設定します。フラッシュメモリの書き込みを禁止するときは、EEPCR<EEPMD>を 1100B に設定します。リセット後、EEPCR<EEPMD>は 1100B に初期化され、フラッシュメモリは書き込み禁止の状態となります。通常はフラッシュメモリの書き込みを行うときを除き、EEPCR<EEPMD>を 1100B に設定します。

- 注 1) フラッシュメモリ領域 (8000 ~ FFFFH) はシリアル PROM モード時のみ書き込み可能です。
- 注 2) EEPCR<EEPMD>は、RAM 領域でプログラム実行中のみ書き替え可能です。フラッシュメモリ領域で、EEPCR<EEPMD>に対してライト命令を実行しても設定値は反映されません。
- 注 3) 本機能は、シリアル PROM モード時のみ使用できます。MCU モード時、EEPCR<EEPMD>は、常に "1100B" を設定してください。

Not Recommended for New Design

2.16.4 フラッシュメモリ書き込みの強制停止 (EEPCCR<EEPRS>)

フラッシュメモリの書き込み中、書き込み処理を強制的に中断したい場合は、EEPCCR<EEPRS>を“1”に設定します。EEPCCR<EEPRS>を“1”に設定すると、テンポラリデータバッファの書き込み数カウンタは初期化されて、強制的に書き込み処理は中断されます。このときフラッシュメモリ制御回路のウォームアップ (CPU ウェイト) が行われた後、EEPCCR<BFBUSY>は“0”にクリアされます。ウォームアップ時間は、 $2^{10}/f_c$ (SYSCK = “0”のとき) または $2^3/f_s$ (SYSCK = “1”のとき) となります。

その後、フラッシュメモリ領域に対してライト命令を実行すると、テンポラリデータバッファの1バイト目からデータがスタックされるとともに、EEPCCR<BFBUSY>が“1”にセットされます。

なお、テンポラリデータバッファに1~63バイト分のデータがスタックされた後に、EEPCCR<EEPRS>を“1”に設定すると、書き込みを行っていたページのデータは上書きされず、前回のデータが保持されます。

- 注1) テンポラリデータバッファに64バイトのデータが書かれた後に、EEPCCR<EEPRS>を“1”にセットした場合、指定されたフラッシュメモリのページのデータが想定しない値に書き替わることがあります。
- 注2) EEPCCR<EEPRS>は、RAM領域でプログラム実行中のみ書き替え可能です。フラッシュメモリ領域で、EEPCCR<EEPRS>に対してライト命令を実行しても、設定値は反映されません。
- 注3) フラッシュメモリウォームアップ (CPU ウェイト) の期間中、周辺回路は動作を継続しますが、CPUは停止状態となります。このとき割り込みラッチがセットされたとしても、ウォームアップが終了するまで割り込み処理は実行されません。割り込みラッチがセットされた場合は、IMFが“1”であれば、CPUが動作を開始した後、割り込み優先順位に従って割り込み処理が行われます。
- 注4) フラッシュメモリへの書き込みを行っていない時 (EEPCCR<BFBUSY> = “0”) に、EEPCCR<EEPRS>を“1”にセットした場合は、フラッシュメモリのウォームアップは行われません。
- 注5) EEPCCR<EEPRS>を“1”にセットする命令の直後に、フラッシュメモリをアクセス (リード/ライト) する命令を実行する場合は、1マシンサイクル以上の命令 (NOP など) を挿入してください。

例: EEPCCR<EEPRS>を“1”に設定した後、フラッシュメモリを読み出し

```
LD      HL,8000H
LD      (EEPCCR),3FH      ; EEPCCR<EEPRS>を“1”に設定
NOP                                           ; NOP を実行
                                           (EEPRS=“1”の直後にフラッシュメモリのアクセス命令を配置しない。)
LD      A,(HL)           ; 8000Hのデータを読み出す
                                           (フラッシュメモリのアクセス命令)
```

- 注6) 本機能は、シリアル PROM モード時のみ使用できます。MCU モード時、EEPCCR<EEPRS>は、常に“0”を設定してください。

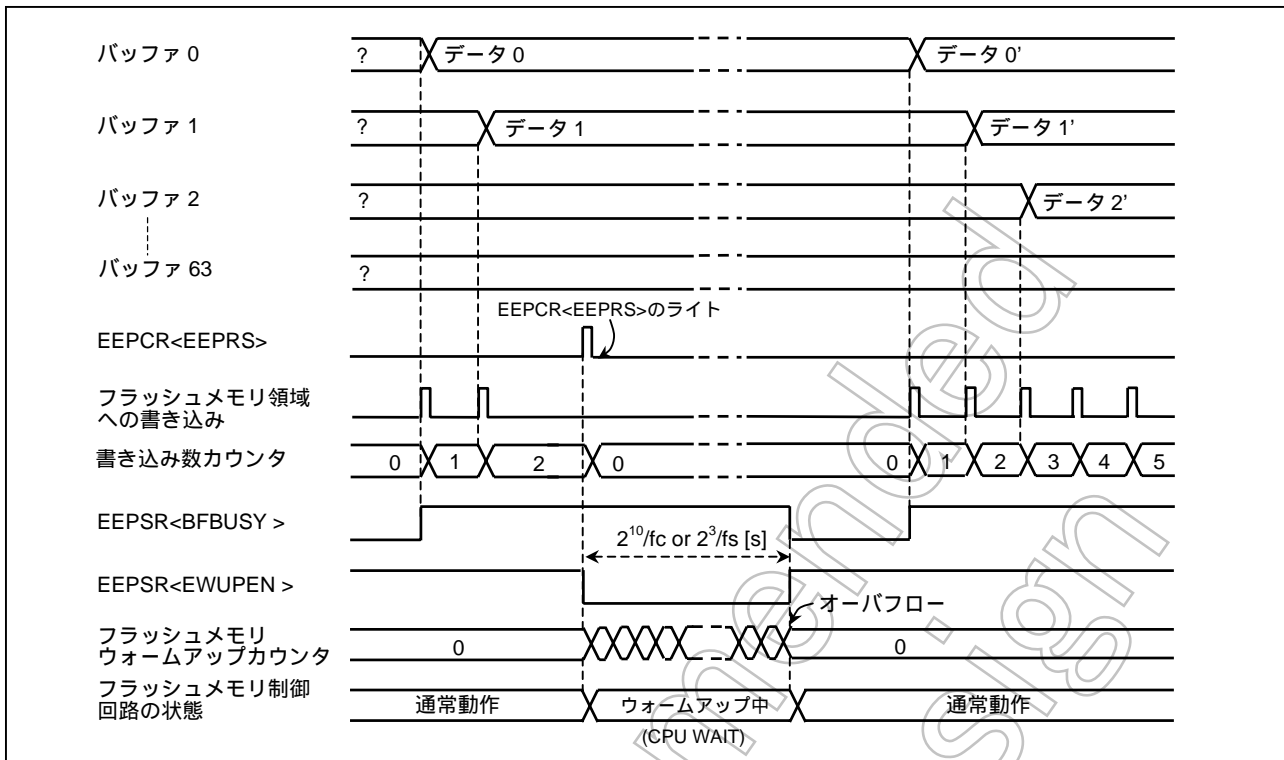


図2.16.4 書き込み数カウンタの初期化、書き込みの強制停止

Not Recommended for New Design

2.16.5 フラッシュメモリ制御回路の電源制御

フラッシュメモリ製品は、フラッシュメモリ領域に対してアクセスが行われないうち、フラッシュメモリ制御回路 (レギュレータなど) の電源をシャ断し、消費電力を抑えることが可能です。

フラッシュメモリ制御回路の電源制御は、EEPCCR<MNPWDW> および EEPCCR<ATPWDW>によって行います。これらのレジスタによってフラッシュメモリ制御回路の電源をシャ断すると、再び使用するためには、電源のウォームアップ時間が必要です。

表2.16.1 フラッシュメモリ制御回路の電源ウォームアップ時間

NORMAL1/2 IDLE0/1/2 モード	SLOW1/2 SLEEP0/1/2 モード	STOP モード (EEPCCR<MNPWDW> = "1" 時)	
		NORMAL モードに戻る場合	SLOW モードに戻る場合
$2^{10}/f_c$ [s] (64 μ s @ 16 MHz)	$2^3/f_s$ [s] (244 μ s @ 32.768 kHz)	STOP ウォームアップ時間 + $2^{10}/f_c$ [s]	STOP ウォームアップ時間 + $2^3/f_s$ [s]

2.16.5.1 フラッシュメモリ制御回路のソフトウェア電源制御 (EEPCCR<MNPWDW>)

EEPCCR<MNPWDW>は、フラッシュメモリ制御回路のソフトウェア電源制御ビットです。RAM 領域内で、プログラムを実行中にこのビットを設定することにより、ソフトウェアによる電源制御が可能となります。EEPCCR<MNPWDW>を "0" に設定すると、直後にフラッシュメモリ制御回路の電源はシャ断されます。ただし、EEPCCR<MNPWDW>を "0" から "1" に切り替えた後に、フラッシュメモリ領域からの読み出し、またはフェッチを行う場合は、電源が安定するまでの間、ソフトウェアによるウォームアップを行う必要があります。このとき CPU ウェイトは発生しませんので、フラッシュメモリをアクセスしなければウォームアップ期間中に他のタスクを実行することも可能です。EEPCCR<MNPWDW>を "0" から "1" に書き替えた場合、 $2^{10}/f_c$ (SYSCK = "0" のとき) または $2^3/f_s$ (SYSCK = "1" のとき) の時間が経過した後、EEPCCR<EWUPEN>が "1" となります。通常は EEPCCR<EWUPEN>が "1" になるまで、ソフトウェアによってポーリングを行います。以下に設定例を示します。

(1) EEPCCR<MNPWDW>の制御例

- EEPCCR<MNPWDW>を制御するためのプログラムを RAM 領域に転送します。
- RAM 領域のアドレストラップを解除します (WDTCR1、WDTCR2 レジスタを設定します)。
- 転送した RAM の制御プログラムにジャンプします。
- 割り込みマスタ許可フラグを禁止 (DI) にします (IMF ← "0")。
- ウォッチドッグタイマを使用している場合は、2 進カウンタをクリアします。
- フラッシュメモリ制御回路の電源をシャ断するために EEPCCR<MNPWDW>を "0" に設定します。
- 必要に応じて CPU 処理を実行します。
- フラッシュメモリ領域を再びアクセスするために、EEPCCR<MNPWDW>を "1" に設定します。
- EEPCCR<EWUPEN>が "1" になるまで、プログラムをポーリングします。
(フラッシュメモリのウォームアップが完了すると EEPCCR<EWUPEN>が "1" にセットされます。ウォームアップ時間は、 $2^{10}/f_c$ (高周波動作時)、 $2^3/f_s$ (低周波動作時) となります。)

以上の操作により、フラッシュメモリ領域のアクセスが可能となります。

なお、EEPCR<MNPWDW>が“1”のときにSTOPモードを起動すると、フラッシュメモリ制御回路の電源は強制的にしゃ断されます。その後、STOPモードを解除した場合、STOPモードの発振ウォームアップに続き、フラッシュメモリ制御回路のウォームアップが自動的に行われます。また、EEPCR<MNPWDW>が“0”のときにSTOPモードを起動/解除すると、フラッシュメモリ制御回路の電源はしゃ断された状態を保持します。

- 注 1) EEPSR<EWUPEN>が“0”のとき、フラッシュメモリ領域に対してアクセス（フェッチ、リード、ライト）を行わないでください。このとき、フラッシュメモリ領域に対してリード命令または、フェッチを実行するとFFHが読み出されます。FFHをフェッチすると、ソフトウェア割り込みが発生します。
- 注 2) EEPCR<MNPWDW>を“0”に設定するときは、事前に割り込みマスタ許可フラグ(IMF)を“0”に設定し、割り込みを禁止にしてください。
- 注 3) EEPCR<MNPWDW>が“0”のとき、ノンマスカブル割り込みが発生すると、MNPWDWは自動的に“1”に書き替えられ、フラッシュメモリ制御回路のウォームアップ(CPU ウェイト)が行われます。ウォームアップの期間中、周辺回路は動作を継続しますが、CPUは停止状態となります。
- 注 4) EEPCR<MNPWDW>は、RAM領域でプログラム実行中のみ書き替え可能です。フラッシュメモリ領域で、EEPCR<MNPWDW>に対してライト命令を実行しても、設定値は反映されません。
- 注 5) ウォッチドッグタイマを割り込み要求として使用している場合は、EEPCR<MNPWDW>を“1”から“0”に設定する直前に、必ずウォッチドッグタイマの2進カウンタをクリアしてください。
- 注 6) フラッシュメモリのウォームアップ中(ソフトウェアによるポーリング中)に、ノンマスカブル割り込みが発生した場合、EEPSR<EWUPEN>が“1”になるまでの間、CPUウェイトが発生します。

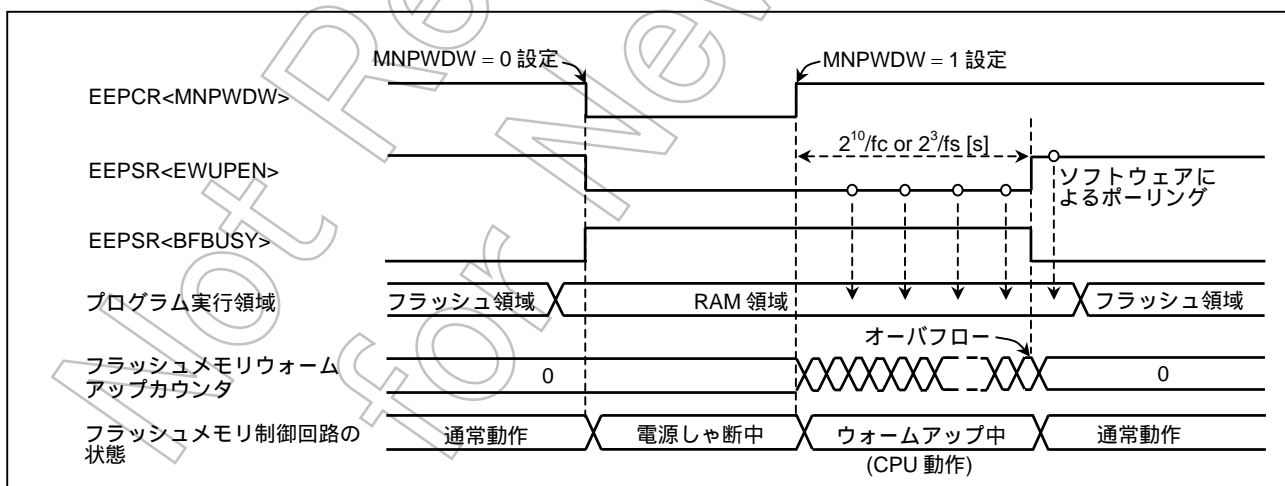


図2.16.5 フラッシュメモリ制御回路のソフトウェア電源制御 (EEPCR<MNPWDW>)

例: RAM 領域内でソフトウェア電源制御を実行

sRAMAREA:

```
DI ; 割り込みを禁止(IMF ← "0")
LD (WDTCCR2),4Eh ; ウォッチドッグタイマを使用している場
; 合、2進カウンタをクリア
CLR (EEPCR).0 ; EEPCR<MNPWDW>を "0" に設定
;
;
SET (EEPCR).0 ; EEPCR<MNPWDW>を "1" に設定
sLOOP1:
TEST (EEPSR).1 ; EEPSR<EWUPEN>レジスタをモニタ
JRS T,sLOOP1 ; EEPSR<EWUPEN> = "0" なら sLOOP1
JP MAIN ; フラッシュメモリ領域へジャンプ
```

Not Recommended
for New Design

2.16.5.2 フラッシュメモリ制御回路の自動電源制御 (EEPCR<ATPWDW>)

EEPCR<ATPWDW>は、フラッシュメモリ制御回路の自動電源制御ビットです。動作モードの起動/復帰を起点に、フラッシュメモリ制御回路の電源を自動的に制御することにより、消費電力を抑えることができます。このビットは、プログラムの実行領域に関係なく設定が可能です。

EEPCR<ATPWDW>を“0”に設定した後、CPUが停止する動作モード (IDLE0/1/2、SLEEP0/1/2 モード) を起動すると、自動的にフラッシュメモリ制御回路の電源をしゃ断します。動作モード解除後は、自動的にウォームアップ時間をカウントし、通常処理に戻ります。ウォームアップ時間は、 $2^{10}/f_c$ (SYSCK = “0”のとき) または $2^3/f_s$ (SYSCK = “1”のとき) となります。EEPCR<ATPWDW>が“1”のときは、これらの動作モードの解除後にウォームアップは行われません。

なお、EEPCR<MNPWDW> = “1”のときに STOP モードを起動すると、EEPCR<ATPWDW>の設定に関係なく、フラッシュメモリ制御回路の電源は強制的にしゃ断されます。その後 STOP モードを解除すると、STOP モードの発振ウォームアップに続き、フラッシュメモリ制御回路のウォームアップ (CPU ウェイト) が自動的に行われます。EEPCR<MNPWDW>が“0”のときに STOP モードを起動/解除すると、フラッシュメモリ制御回路の電源はしゃ断された状態を保持します。

- 注 1) EEPCR<ATPWDW>は、EEPCR<MNPWDW>が“1”のときのみ機能します。EEPCR<MNPWDW>が“0”のときは動作モードが切り替わる前後で、フラッシュメモリ制御回路の電源はしゃ断された状態を保持します。
- 注 2) フラッシュメモリウォームアップ (CPU ウェイト) の期間中、周辺回路は動作を継続しますが、CPU は停止状態となります。このとき割り込みラッチがセットされたとしても、ウォームアップが終了するまで割り込み処理は実行されません。割り込みラッチがセットされた場合は、IMF が“1”であれば CPU が動作を開始した後、割り込み優先順位に従って割り込み処理が行われます。

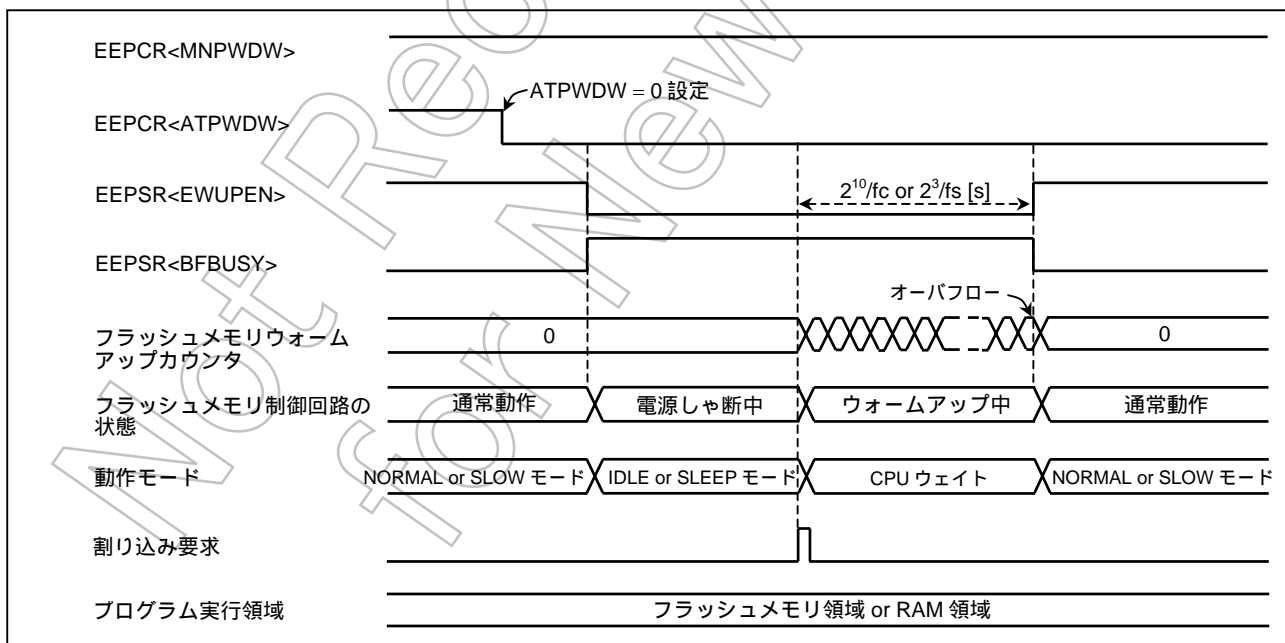


図 2.16.6 フラッシュメモリ制御回路の自動電源制御 (EEPCR<ATPWDW>)

2.16.6 フラッシュメモリ領域へのアクセス

フラッシュメモリ領域の書き込み時は、フラッシュメモリのすべての領域 (8000H~FFFFH) に対してリード、フェッチを実行できません。従って、フラッシュメモリ領域に書き込みを行うときはシリアル PROM モードのフラッシュメモリ書き込みモードを実行するか、RAM ローダーモードで RAM にユーザープログラムを展開して実行するか、いずれかの方法にて行います。詳細については「2.18 シリアル PROM モード」を参照してください。なお、フラッシュメモリ領域の書き込みは 1 ページ単位、読み出しは LD 命令などにより 1 バイト単位で実行可能です (MCU モードで読み出しできます)。

フラッシュメモリへの書き込み中 (EPPSR<BFBUSY> = "1") にノンマスクブル割り込みが発生した場合、WINT が "1" にセットされるとともに書き込み処理は中断され、フラッシュメモリ制御回路のウォームアップ (CPU ウェイト) が行われます (このとき書き込み数カウンタも初期化されます)。従ってノンマスクブル割り込みサービスルーチンの中で、WINT = "1" を検出した場合は書き込みが正常に終了していませんので、再書き込みなどの処理を実行してください。ウォームアップ時間は、 $2^{10}/f_c$ (SYSCK = "0" のとき) または $2^3/f_s$ (SYSCK = "1" のとき) となります。

テンポラリデータバッファに、1~63 バイト分のデータがスタックされた後に割り込みが発生すると、書き込みを行っていたページのデータは上書きされず、前回のデータが保持されます。

- 注 1) フラッシュメモリへの書き込みは、シリアル PROM モード時のみ可能です。詳細については「2.18 シリアル PROM モード」を参照してください。
- 注 2) テンポラリデータバッファに、64 バイト分のデータがスタックされた後に割り込みが発生すると、書き込みを行っていたページのデータが想定しない値に書き替わることがあります。
- 注 3) フラッシュメモリウォームアップ (CPU ウェイト) の期間中、周辺回路は動作を継続しますが、CPU は停止状態となります。このとき割り込みラッチがセットされたとしても、ウォームアップが終了するまで割り込み処理は実行されません。割り込みラッチがセットされた場合は、IMF が "1" であれば CPU が動作を開始した後、割り込み優先順位に従って割り込み処理が行われます。
- 注 4) RAM 領域からフラッシュメモリに書き込みを行うときは、事前に割り込みマスタ許可フラグ (IMF) を "0" に設定し、割り込みを禁止にしてください。

2.16.6.1 RAM 領域に制御プログラムを展開して書き込む方法

RAM 領域に展開する制御プログラムは、シリアル PROM モードの RAM ロードモードで外部より RAM に展開します。以下に RAM 領域に制御プログラムを展開して書き込む方法の例を示します。

(1) RAM 領域に制御プログラムを展開して書き込む例

1. EEPSR<EWUPEN>が“0”の場合、EEPCR<MNPWDW>を“1”にセットした後、EEPSR<EWUPEN>が“0”のになるまでポーリングし続けます。
2. 割り込みマスタ許可フラグを禁止 (DI) にします (IMF ← “0”)。
3. EEPCR に “3BH” を設定します (フラッシュメモリの書き込みを許可します)。
4. フラッシュメモリ領域に対し 64 バイト分のライト命令を実行します。
5. EEPSR<BFBUSY>が“0”になるまでソフトウェアでポーリングします (フラッシュメモリセルのイレーズおよび書き込みが完了すると EEPSR<BFBUSY>が“1”にセットされます。書き込み時間は typ.4 ms です)。
6. EEPCR に “CBH” を設定します (フラッシュメモリの書き込みを禁止します)。

注) 上記 4.で指定するフラッシュメモリアドレスは、「(2) フラッシュメモリ書き込み時のアドレス指定方法」に従って設定してください。

Not Recommended for New Designs

(2) フラッシュメモリ書き込み時のアドレス指定方法

フラッシュメモリの書き込みページは、1バイト目に書き込むデータのアドレスの上位10ビットによって決定されます。同時に1バイト目のデータは、テンポラリデータバッファの先頭アドレスにスタックされます。例えば8040Hにデータを書き込むとページ1が選択され、テンポラリデータバッファの先頭アドレスにデータがスタックされます。このとき指定したアドレスの下位6ビットが00000B以外であったとしても、1バイト目のデータは必ずテンポラリデータバッファの先頭アドレスにスタックされます。

2バイト目以降に書き込むデータのアドレスは、書き込み可能なフラッシュメモリ領域(8000H~FFFFH)であれば、どのアドレスを指定しても構いません。書き込みデータは指定したアドレスには関係なく、書き込みを行った順にテンポラリデータバッファへスタックされます。通常は、1バイト目に書き込みを行ったアドレスを同様に指定します(16ビット転送命令を使用することもできます)。

例: ページ1に00~3FHのデータを書き込む

(テンポラリデータバッファとページの関係を図2.16.7に示します)。

```

DI          ; 割り込みを禁止 (IMF ← "0")
LD          C,00H
LD          HL,EEPCR          ; EEPCRレジスタのアドレスを設定
LD          IX,8040H         ; 書き込みアドレスの指定
LD          (HL),3BH        ; EEPCRの設定

sLOOP1:
LD          (IX),C           ; テンポラリデータバッファへデータをスタック(1バイトの書き込みでページが確定)
INC         C                ; C = C + 1
CMP         C,40H           ; C = 40Hなら sLOOP1へジャンプ
JR          NZ,sLOOP1

sLOOP2:
TEST        (EEPSR).0
JRS        F,sLOOP2        ; EEPSR<BFBUSY>="1"なら sLOOP2へジャンプ
LD          (HL),0CBH       ; EEPCRの設定
    
```

注) BFBUSYが“1”のとき、フラッシュメモリ領域に対してリード命令、フェッチを実行すると“FFH”が読み出されます。“FFH”をフェッチするとソフトウェア割り込みが発生します。

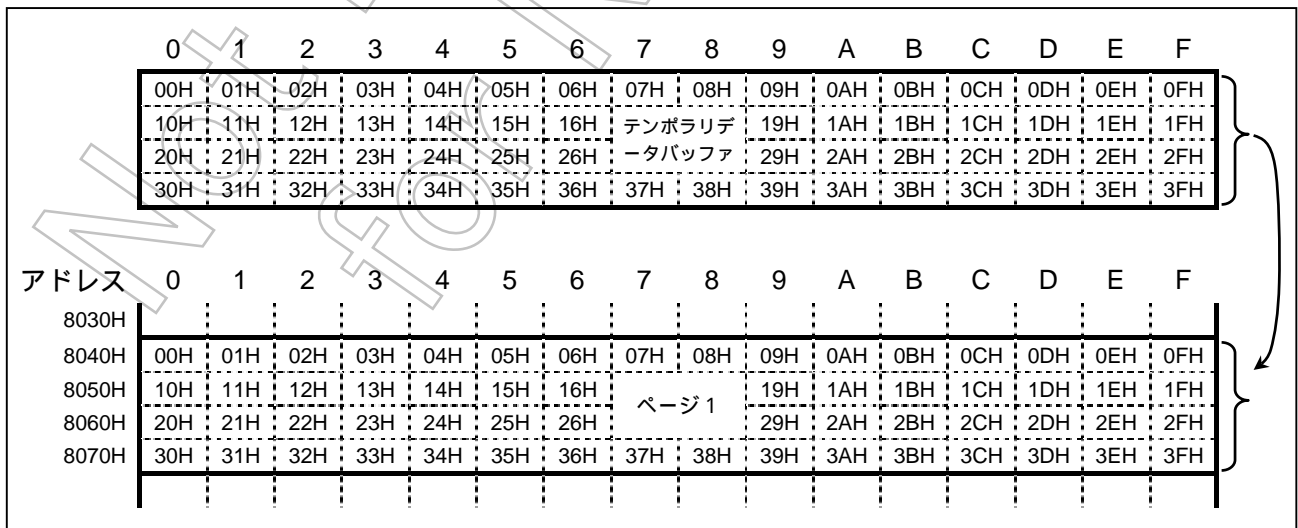


図2.16.7 テンポラリデータバッファと書き込みページ (例)

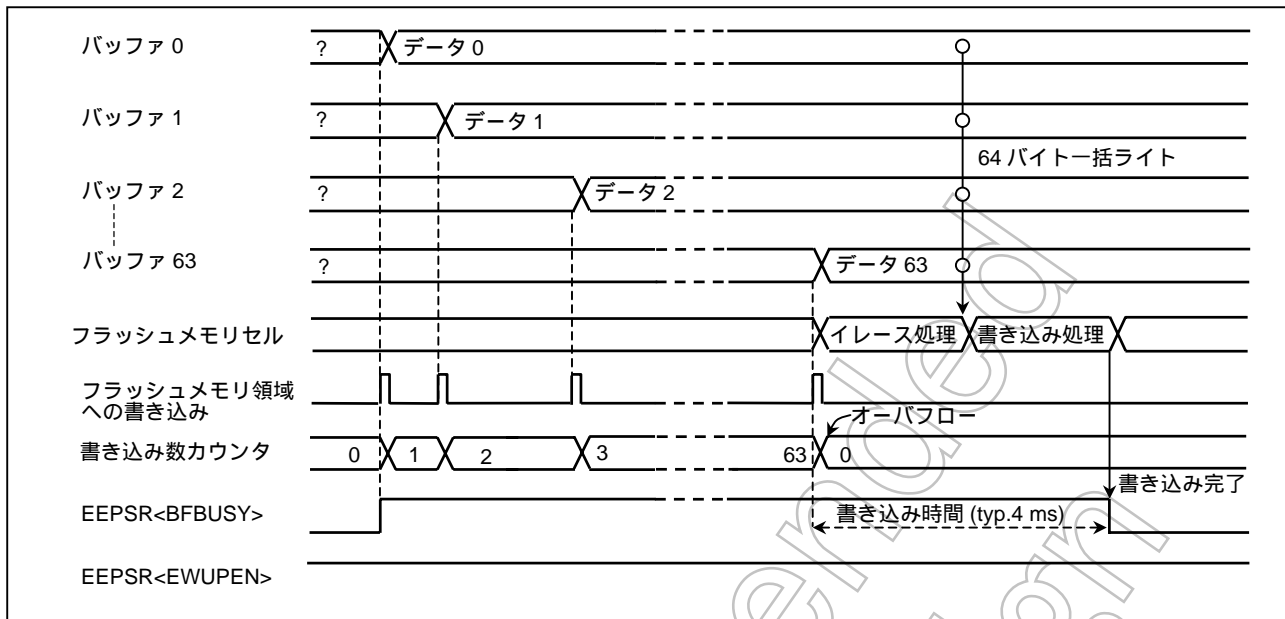


図 2.16.8 フラッシュメモリ領域への書き込み

Not Recommended for New Design

2.16 シリアル PROM モード

2.16.1 概要

TMP86FM29 は、フラッシュメモリへのプログラミング用として 2 K バイトの Boot-ROM (マスク ROM) を内蔵しています。Boot-ROM には、オンボードでの書き込みを行うためのフラッシュメモリ書き込みモードのほか、RAM ロード、フラッシュメモリ SUM 出力、製品識別コード出力のモードを内蔵しています。Boot-ROM はシリアル PROM モードで起動し、BOOT 端子 (P15)、TEST 端子、P11 端子、RESET 端子、UART の TXD (P16) と RXD (P15) 端子によって制御されます。なお、シリアル PROM モードの動作範囲は MCU モードと異なります。表 2.16.1 にシリアル PROM モード時の動作範囲を示します。

表2.16.1 シリアル PROM モード動作範囲

項目	記号	Min	Max	単位
電源電圧	VDD	2.7	3.6	V
高周波周波数 ^(注)	fc	2	16	MHz
動作温度	Topr	25 ± 5		

注) 高周波周波数は 2 MHz fc 16 MHz の範囲内であっても、シリアル PROM モードで対応していない周波数があります。詳細は「表 2.16.6 シリアル PROM モードの動作周波数とポーレート」を参照してください。

2.16.2 メモリマッピング

Boot-ROM はアドレス 3800H~3FFFH にマッピングされています。図 2.16.1 にメモリマッピングを示します。

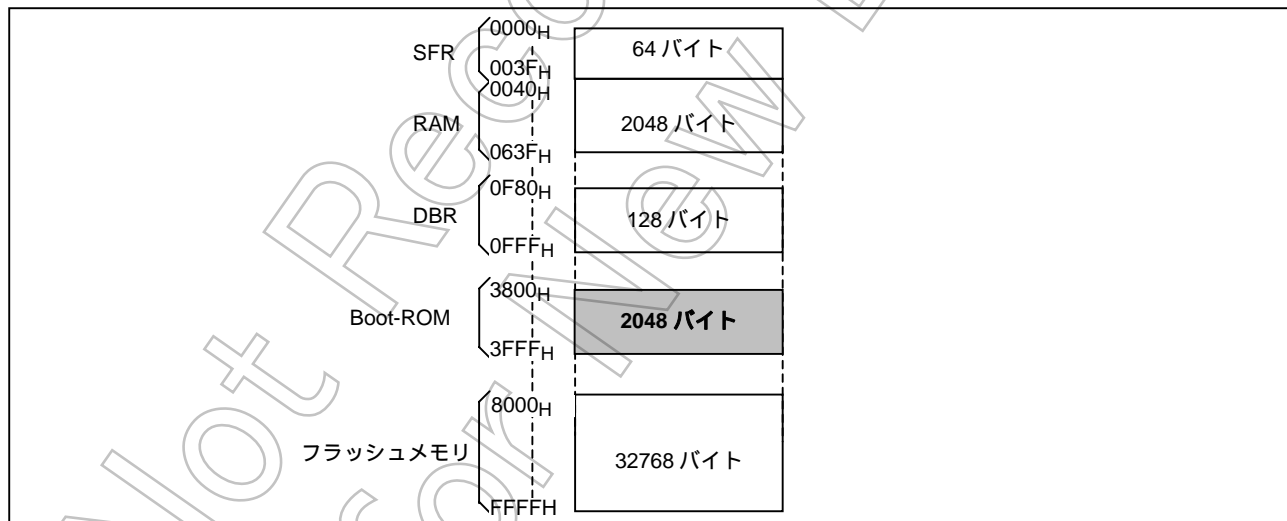


図 2.16.1 メモリアドレスマップ

2.16.3 シリアル PROM モード設定

2.16.3.1 シリアル PROM モード制御端子

オンボードプログラミングを実行する場合、シリアル PROM モードを起動します。シリアル PROM モードを起動するための端子設定を表 2.16.2 に示します。

表 2.16.2 シリアル PROM モード設定

端子	設定
BOOT / RXD 端子 (P15)	High
P11 端子	Low
RESET, TEST 端子	

2.16.3.2 端子機能

シリアル PROM モード時、TXD (P16) と RXD (P15) を外部とのインタフェース (UART) 用端子として使用します。

表 2.16.3 シリアル PROM モードの端子機能

端子名 (シリアルPROMモード)	入出力	機能		端子名 (MCUモード)
TXD	出力	シリアルデータ出力。 プルアップ抵抗を接続してください。	(注1)	P16
RXD	入力	シリアルデータ入力		P15
RESET	入力	シリアル PROM 制御端子		RESET
TEST	入力	シリアル PROM 制御端子		TEST
P11	入力	シリアル PROM 制御端子("L"レベルに固定)		P11
VDD, AVDD	電源	2.7V~3.6V		
VSS		0V		
VAREF		オープンまたは VDD と同電位にしてください。		
P10,P12~P14,P17 P20~P22 P30~P33 P50~P57 P60~P67 P70~P77	入出力	シリアル PROM モード中はハイインピーダンスになります。		
SEG7~SEG0 COM3~COM0	出力	シリアル PROM モード中は L レベルとなります。		
C0,C1,V3~V1	LCD昇圧端子	コンデンサを接続するか、オープンにしてください。		
XIN	入力	高周波発振子接続端子。	(注2)	
XOUT	出力	外部クロックの場合、XIN へ入力し、XOUT は開放してください。		

注 1) オンボードプログラミング時、ほかの部品がすでに実装されている場合、これらの通信端子に影響を与えないように注意が必要です。

注 2) シリアル PROM モードで動作可能な高周波周波数範囲は 2 MHz f_c 16 MHz となります。

シリアル PROM モード時、各制御端子を図 2.16.2のように結線します。

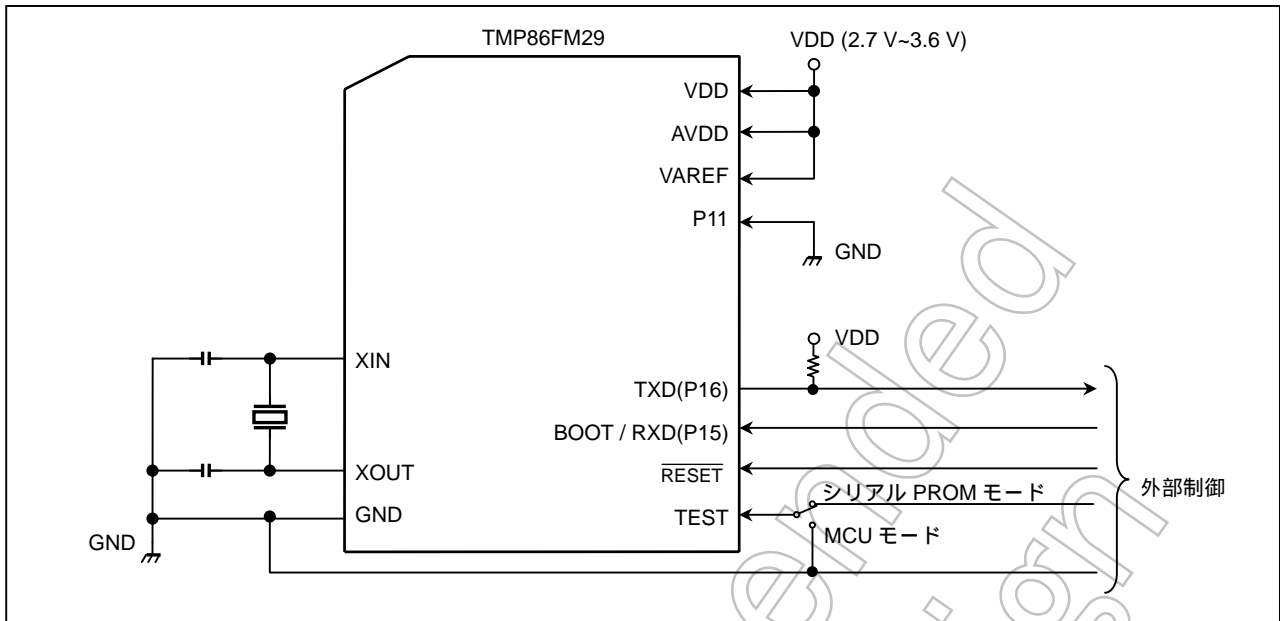


図 2.16.2 シリアル PROM モード端子設定

2.16.3.3 シリアル PROM モードの起動

シリアル PROM モードを起動するには、以下の手順にて行います。図 2.16.3 にシリアル PROM モードの設定タイミングを示します。

- (1) VDD 端子に電源を供給します。
- (2) P11 端子、TEST 端子、 $\overline{\text{RESET}}$ 端子を “L” レベルに設定します。
- (3) BOOT / RXD 端子 (P15) を “H” レベルに設定します。
- (4) 電源およびクロックが十分安定するまで待ちます。
- (5) TEST 端子を “L” → “H” レベルに設定します。
- (6) $\overline{\text{RESET}}$ 端子を “L” → “H” レベルに設定します。
- (7) セットアップ期間が経過した後 RXD 端子にマッチングデータ “5AH” を入力します。

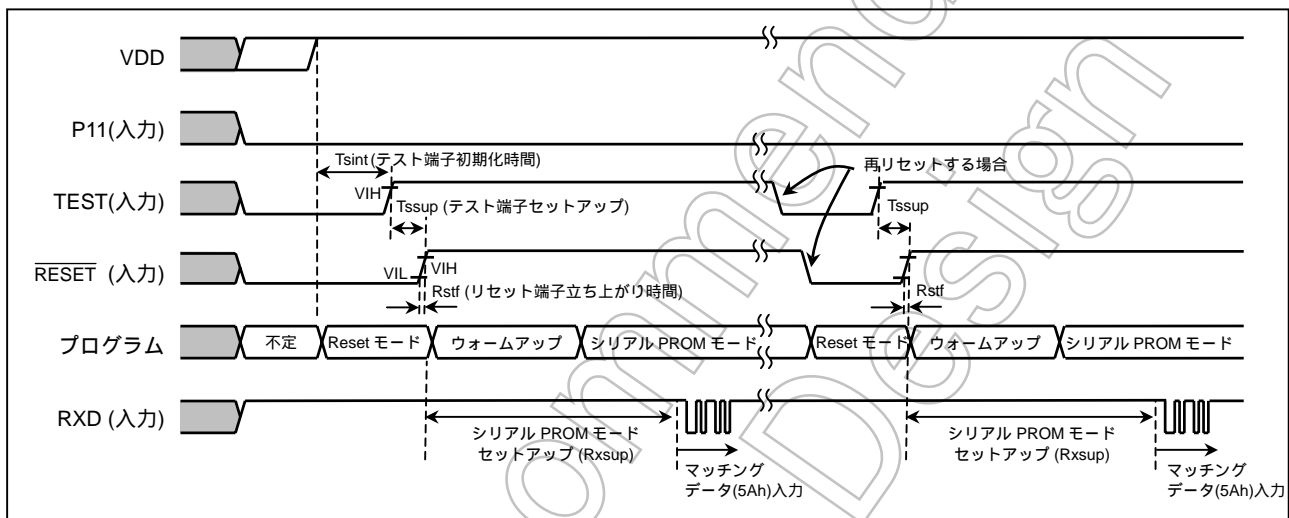


図 2.16.3 シリアル PROM モードタイミング

表 2.16.4 シリアル PROM モードタイミング特性

項目	記号	クロック数 (fc)	必要最低時間	
			2 MHz 時	16 MHz 時
テスト端子セットアップ時間	$Rstf > 512 / fc$ [s] 時	-	1 ms	
	$Rstf < 512 / fc$ [s] 時	-	0 ^{*Note1}	
テスト端子初期化時間	Tsint	-	1 ms	
リセット解除後、マッチングデータ受信可能となるまでのセットアップ時間	RXsup	110000	55 ms	6.9 ms

注 1) CMOS タイプのリセット IC やロジック IC を使用することによって、リセット端子立ち上がり時間が $Rstf < 512 / fc$ [s] を確保できる場合、TEST 端子はリセット端子入力と同一パルスを入力 (TEST 端子とリセット端子を短絡) しても構いません。ただし TEST 端子、リセット端子にはプルダウン、プルアップ抵抗がそれぞれ内蔵されていますので、端子の入力レベルに影響が無いよう十分に端子をドライブしてください。

注 2) fc: 高周波発振周波数

2.16.3.4 オンボード書き込み接続例

図 2.16.4に、オンボード書き込みを行う場合の接続例を示します。

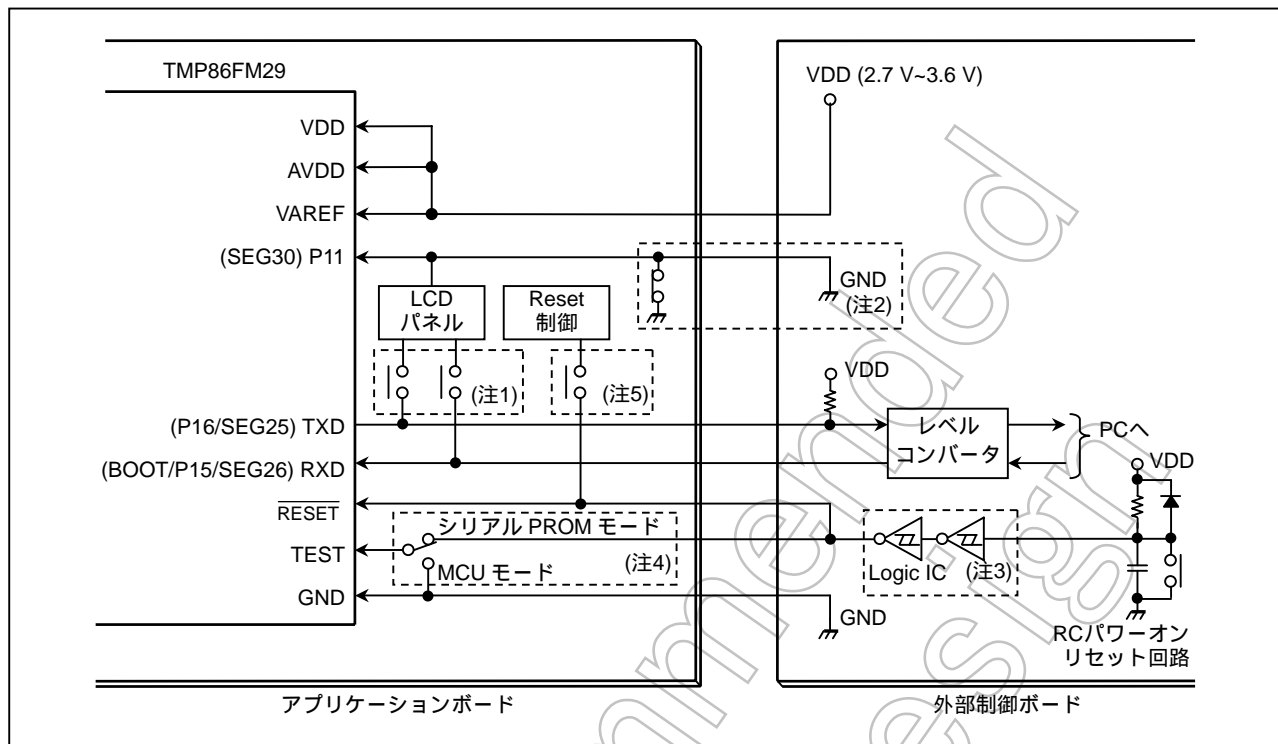


図 2.16.4 オンボード書き込み接続例

- 注 1) アプリケーション基板上的 LCD パネル容量や他の部品が、シリアル PROM モードの UART 通信に影響を与える場合、これらの端子はジャンパーやスイッチなどで切り離してください。
- 注 2) P11 端子はアプリケーションボード上にジャンパー等を設けるか、外部制御ボード上で GND に固定してください。
- 注 3) RC パワーオンリセット回路等の使用により入力波形が鈍る場合は、TEST 端子とリセット端子にロジック IC (TC74HC14 等のシュミット入力 IC) を接続し入力波形を整形してください。このときロジック IC 出力が $Rstf < 512 / fc [s]$ を確保できるよう、端子容量に注意してください。
- 注 4) TEST 端子はプルダウン抵抗が内蔵されていますので、MCU モード中は開放しても構いませんが、ノイズの影響を考慮して GND レベルに接続することを推奨します。
- 注 5) アプリケーション基板上的リセット制御回路が、シリアル PROM モードの起動に影響を与える場合、ジャンパー等で切り離してください。

2.16.4 インタフェース仕様

シリアル PROM モードでの UART 通信フォーマットを以下に示します。

オンボードプログラミングを実行するためには、書き込みコントローラ側の通信フォーマットも同様に設定する必要があります。

初期ボーレートは、マイコンの動作周波数によらず 9600 bps を自動検出します。その後、表 2.16.5 に示すボーレート変更データを TMP86FM29 に送信することにより、ボーレートの変更が可能です。表 2.16.6 にマイコンの動作周波数とボーレートを示します (表 2.16.6 に示されていない周波数では使用できません)。

ボーレート (初期値): 9600 bps
データ長: 8 ビット
パリティビット: なし
ストップビット長: 1 ビット

表 2.16.5 ボーレート変更データ

ボーレート変更データ	04H	05H	06H	07H	0AH	18H	28H
ボーレート (bps)	76800	62500	57600	38400	31250	19200	9600

表 2.16.6 シリアル PROM モードの動作周波数とボーレート

マッチング回数 (注3)	基準ボーレート (bps)		76800		62500		57600		38400		31250		19200		9600	
	ボーレート変更データ		04H		05H		06H		07H		0AH		18H		28H	
	基準周波数 (MHz)	対応範囲 (MHz)	ボーレート (bps)	(%)	(bps)	(%)	(bps)	(%)	(bps)	(%)	(bps)	(%)	(bps)	(%)	(bps)	(%)
1	2	1.91~2.10	-	-	-	-	-	-	-	-	-	-	-	-	9615	+0.16
2	4	3.82~4.19	-	-	-	-	-	-	-	-	31250	0.00	19231	+0.16	9615	+0.16
	4.19	3.82~4.19	-	-	-	-	-	-	-	-	32734	+4.75	20144	+4.92	10072	+4.92
3	4.9152	4.70~5.16	-	-	-	-	-	-	38400	0.00	-	-	19200	0.00	9600	0.00
	5	4.70~5.16	-	-	-	-	-	-	39063	+1.73	-	-	19531	+1.73	9766	+1.73
4	6	5.87~6.45	-	-	-	-	-	-	-	-	-	-	-	-	9375	-2.34
	6.144	5.87~6.45	-	-	-	-	-	-	-	-	-	-	-	-	9600	0.00
5	7.3728	7.05~7.74	-	-	-	-	57600	0.00	-	-	-	-	19200	0.00	9600	0.00
6	8	7.64~8.39	-	-	62500	0.00	-	-	38462	+0.16	31250	0.00	19231	+0.16	9615	+0.16
7	9.8304	9.40~10.32	76800	0.00	-	-	-	-	38400	0.00	-	-	19200	0.00	9600	0.00
	10	9.40~10.32	78125	+1.73	-	-	-	-	39063	+1.73	-	-	19531	+1.73	9766	+1.73
8	12	11.75~12.90	-	-	-	-	57692	+0.16	-	-	31250	0.00	18750	-2.34	9375	-2.34
	12.288	11.75~12.90	-	-	-	-	59077	+2.56	-	-	32000	+2.40	19200	0.00	9600	0.00
	12.5	11.75~12.90	-	-	60096	-3.85	60096	+4.33	-	-	30048	-3.85	19531	+1.73	9766	+1.73
9	14.7456	14.10~15.48	-	-	-	-	57600	0.00	38400	0.00	-	-	19200	0.00	9600	0.00
10	16	15.27~16.77	76923	+0.16	62500	0.00	-	-	38462	+0.16	31250	0.00	19231	+0.16	9615	+0.16

注 1) 基準周波数: シリアル PROM モードで対応可能な高周波周波数。なお、高周波周波数 (fc) が 2 MHz \leq fc \leq 16 MHz の範囲内であっても、表に示していない周波数はシリアル PROM モードでは使用できません。

注 2) 基準周波数で確実にボーレートの自動検出を行うために、外部コントローラと発振周波数誤差との総合誤差を $\pm 3\%$ 以内にしてください。

注 3) 外部コントローラはボーレートの自動検出が行われるまで、マッチングデータ (5AH) を繰り返し送信する必要があります。上記は各周波数におけるマッチングデータの送信回数を示します。

2.16.5 動作コマンド

シリアル PROM モードでは表 2.16.7 に示す 5 つのコマンドを使用します。リセット解除後、TMP86FM29 はマッチングデータ (5AH) 待ちの状態となります。

表 2.16.7 シリアル PROM モードで動作コマンド

動作コマンドデータ	動作モード	備考
5AH	セットアップ	マッチングデータ。リセット解除後は、常にこのコマンドからスタートします。
30H	フラッシュメモリ書き込み	フラッシュメモリ領域 (アドレス 8000H~FFFFH) への書き込みが可能です。
60H	RAM ロータ	特定の RAM 領域 (アドレス 0050H~062FH) への書き込みが可能です。
90H	フラッシュメモリ SUM 出力	フラッシュメモリの全領域 (アドレス 8000H~FFFFH) のチェックサム (16 ビット) を上位、下位の順に出力します。
C0H	製品識別コード出力	製品を識別するためのコードを 13 バイトのデータとして出力します。

2.16.6 動作モード

シリアル PROM モードには、(1) フラッシュメモリ書き込み、(2) RAM ロード、(3) フラッシュメモリ SUM 出力、(4) 製品識別コード出力の 4 つのモードがあります。以下は各モードの概要です。

(1) フラッシュメモリ書き込みモード

指定したフラッシュメモリのアドレスに、ページ (64 バイト) 単位で任意のデータを書き込むことができます。コントローラは、書き込みデータをインテル HEX フォーマットのバイナリデータとして送信してください。詳細は「2.16.7 フラッシュメモリ書き込みデータフォーマットを参照してください。

エンドレコードまでエラーがなければ、TMP86FM29 はフラッシュメモリ 32K バイトのチェックサムを計算し、その結果を返します。

なお、TMP86FM29 はブランク品の場合を除き、フラッシュメモリ書き込みモードを実行する前にパスワード照合を行います。パスワードが一致しない場合、フラッシュメモリ書き込みモードは実行されません。

(2) RAM ロードモード

RAM ロードは、コントローラからインテル HEX フォーマットで送られてきたデータを内蔵 RAM へ転送します。転送が正常に終了するとチェックサムを計算し、その結果を送信後、最初のデータレコードで指定された RAM にジャンプし、ユーザープログラムの実行を開始します。

なお、TMP86FM29 はブランク品の場合を除き、RAM ロードモードを実行する前にパスワード照合を行います。パスワードが一致しない場合、RAM ロードモードは実行されません。

(3) フラッシュメモリ SUM 出力モード

フラッシュメモリ 32 K バイトのチェックサムを計算し、その結果を返します。Boot-ROM ではフラッシュメモリを読み出す動作コマンドはサポートしていませんので、アプリケーションプログラムのレビジョン管理を行う場合などは、このチェックサムによりプログラムの識別を行ってください。

(4) 製品識別コード出力モード

製品を識別するためのコードが出力されます。出力されるコードは製品が内蔵している ROM の領域を示す情報を含んだ 13 バイトのデータで構成されます。外部コントローラはこのコードを読み取ることにより、書き込みを行う製品の識別をすることができます。

2.16.6.1 フラッシュメモリ書き込みモード (動作コマンド: 30H)

表 2.16.8にフラッシュメモリ書き込みモードの転送フォーマットを示します。

表 2.16.8 フラッシュメモリ書き込みモード転送フォーマット

	転送 バイト数	外部コントローラから TMP86FM29 への転送データ	ボーレート	TMP86FM29 から 外部コントローラへの転送データ
BOOT ROM	1 バイト目 2 バイト目	マッチングデータ (5AH) -	9600 bps 9600 bps	- (ボーレート自動判定) OK) エコーバックデータ (5AH) Error) 何も送信しません
	3 バイト目 4 バイト目	ボーレート変更データ (表 2.16.5参照) -	9600 bps 9600 bps	- OK) エコーバックデータ Error) A1H × 3, A3H × 3, 62H × 3 (注 1)
	5 バイト目 6 バイト目	動作コマンドデータ (30H) -	変更後ボーレート 変更後ボーレート	- OK) エコーバックデータ (30H) Error) A1H × 3, A3H × 3, 63H × 3 (注 1)
	7 バイト目 8 バイト目	パスワード数格納アドレスのビット 15~08 (注 4)	変更後ボーレート 変更後ボーレート	- OK) 何も送信しません Error) 何も送信しません
	9 バイト目 10 バイト目	パスワード数格納アドレスのビット 07~00 (注 4)	変更後ボーレート 変更後ボーレート	- OK) 何も送信しません Error) 何も送信しません
	11 バイト目 12 バイト目	パスワード比較開始アドレスのビット 15~08 (注 4)	変更後ボーレート 変更後ボーレート	- OK) 何も送信しません Error) 何も送信しません
	13 バイト目 14 バイト目	パスワード比較開始アドレスのビット 07~00 (注 4)	変更後ボーレート 変更後ボーレート	- OK) 何も送信しません Error) 何も送信しません
	15 バイト目 : m バイト目	パスワード列 (注 5) -	変更後ボーレート 変更後ボーレート	- OK) 何も送信しません Error) 何も送信しません
	m+1 バイト目 : n-2 バイト目	インテル HEX フォーマット (binary) (注 2)	変更後ボーレート	-
	n-1 バイト目	-	変更後ボーレート	OK) チェックサム (High) (注 3) Error) 何も送信しません
	n バイト目	-	変更後ボーレート	OK) チェックサム (Low) (注 3) Error) 何も送信しません
	n+1 バイト目	(次の動作コマンドデータ待ち)	変更後ボーレート	-

注 1) “xxH × 3” は、xxH を 3 バイト送信した後、動作停止状態となることを意味します。詳細は「2.16.8 エラーコード」を参照してください。

注 2) インテル HEX フォーマットについては、「2.16.10 インテル HEX フォーマット (Binary)」を参照してください。

注 3) チェックサムについては、「2.16.9 チェックサム (SUM)」を参照してください。

注 4) パスワードについては、「2.16.11 パスワード」を参照してください。

注 5) FFE0H~FFFFH の領域がすべて “00H” または “FFH” の場合、ブランク品と判定されパスワード照合は行われませんので、パスワード列の送信は不要です。ただし、ブランク品の場合でもパスワード数格納アドレス、パスワード比較開始アドレスの指定は必要ですので、外部コントローラよりこれらのデータを送信するようにしてください。なお、パスワード数格納アドレス、パスワード比較開始アドレスが正しくない場合パスワードエラーとなり、TMP86FM29 は UART 通信を終了し動作停止状態となります。従って、パスワードエラーの場合は RESET 端子による初期化を行い、シリアル PROM モードを再起動してください。

フラッシュメモリ書き込みモードの動作説明

1. 1 バイト目の受信データはマッチングデータです。シリアル PROM モードを起動すると、TMP86FM29 (以下、デバイスと呼ぶ) はマッチングデータ (5AH) の受信待ちとなります。デバイスはマッチングデータを受信することで、UART の初期ボーレートを自動的に 9600 bps にあわせませす。
2. デバイスがマッチングデータ (5AH) を受信すると、2 バイト目のデータとしてエコーバックデータ (5AH) を外部コントローラに送信します。もし、デバイスがマッチングデータを認識できなかった場合、エコーバックデータは返さず、ボーレートの自動調整を行って再度マッチングデータの受信待ちの状態となります。従って、外部コントローラはデバイスがエコーバックデータを送信するまで、マッチングデータを繰り返し送信する必要があります。なお、繰り返し回数はデバイスの周波数に応じて変わります。詳細は表 2.16.6を参照してください。
3. 3 バイト目の受信データはボーレート変更データです。ボーレート変更データは表 2.16.5に示すとおり 7 種類あります。なお、ボーレートの変更を行わない場合でも、外部コントローラはボーレートの初期値データ (28H: 9600 bps) を送信する必要があります。
4. 3 バイト目の受信データが、動作周波数に対応したボーレートデータのいずれかに該当するときのみ、デバイスは 4 バイト目のデータとして、受信したデータと同じ値をエコーバック送信します。なお、ボーレートの変更は、ボーレート変更データに対するエコーバックデータを送信した後有効となります。もし 3 バイト目の受信データが、いずれのボーレート変更データに該当しない場合、デバイスはボーレート変更エラーコード (62H) を 3 バイト送信した後、動作停止状態となります。
5. 5 バイト目の受信データは、フラッシュメモリ書き込みモードコマンドデータ (30H) となります。
6. 5 バイト目の受信データが表 2.16.7に示す動作コマンドデータのいずれかに該当する場合にのみ、デバイスは、6 バイト目として受信したデータと同じ値 (この場合 30H) をエコーバック送信します。もし 5 バイト目の受信データが、いずれの動作コマンドにも該当しない場合、デバイスは動作コマンドエラーコード (63H) を 3 バイト送信した後、動作停止状態となります。
7. 7 バイト目はパスワード数格納アドレスのビット 15~8 のデータとなります。7 バイト目に受信したデータに受信エラーがない場合、デバイスは何も送信しません。受信エラーまたはパスワードエラーがある場合、デバイスは何も送信せず、動作停止状態となります。
8. 9 バイト目はパスワード数格納アドレスのビット 7~0 のデータとなります。9 バイト目に受信したデータに受信エラーがない場合、デバイスは何も送信しません。受信エラーまたはパスワードエラーがある場合、デバイスは何も送信せず、動作停止状態となります。
9. 11 バイト目はパスワード比較開始アドレスのビット 15~8 のデータとなります。11 バイト目に受信したデータに受信エラーが無い場合、デバイスは何も送信しません。受信エラーまたはパスワードエラーがある場合、デバイスは何も送信せず、動作停止状態となります。
10. 13 バイト目はパスワード比較開始アドレスのビット 7~0 のデータとなります。13 バイト目に受信したデータに受信エラーがない場合、デバイスは何も送信しません。受信エラーまたはパスワードエラーがある場合、デバイスは何も送信せず、動作停止状態となります。

11. 15~m バイト目の受信データはパスワードデータとなります。パスワード数は、パスワード数格納アドレスに格納されているデータ (N) となります。パスワードデータは、パスワード比較開始アドレスにて指定されたアドレスから N バイト分のデータと比較されます。従って、外部コントローラは N バイトのパスワードデータを送信する必要があります。パスワードが一致しない場合、デバイスはエラーコードを送信せず、動作停止状態となります。なお、FFE0H~FFFFH 領域がすべて“00H”または“FFH”の場合はブランク品と判定され、パスワード比較は行われません。
12. m + 1 バイト目~n - 2 バイト目の受信データは、インテル HEX フォーマットの binary データとして受信されます。この場合エコーバックは行われません。デバイスはインテル HEX フォーマットのスタートマーク(3AH、“:”)を受信してからデータレコードの受信を開始しますので、スタートマークを受信するまで 3AH 以外の受信データは無視されます。デバイスがスタートマークを受信すると、以降のデータをデータレコード(データ長、アドレス、レコードタイプ、データ、チェックサムで構成)として受信します。データレコードのうち、データは一度 RAM にバッファリングされ、1 ページ分のデータがバッファリングされると、フラッシュメモリへの書き込みが行われます。なお、書き込みデータのフォーマットの詳細については「2.16.7 フラッシュメモリ書き込みデータフォーマット」を参照してください。デバイスがエンドレコードを受信すると、チェックサムの計算処理を開始しますので、外部コントローラはエンドレコードを送信後、チェックサムの受信待ちとなるようにしてください。もし、受信エラーまたはインテル HEX フォーマットエラーが発生した場合、デバイスは何も送信せず、動作停止状態となります。
13. n - 1 バイト目と n バイト目は、チェックサムの上位、下位となります。チェックサムの計算方法については「2.16.9 チェックサム (SUM)」を参照してください。チェックサムの計算はエンドレコードを検出し、受信エラーまたはインテル HEX フォーマットエラーが発生していない場合にのみ行われます。32 K バイトのフラッシュメモリのチェックサム計算に要する時間は約 100 ms @ 16 MHz です。外部コントローラは、エンドレコードを送信後、デバイスがチェックサムを送信するか否かで書き込みが正常に終了したかを判断してください。
14. デバイスはチェックサムを送信後、次の動作コマンドデータ待ちの状態となります。

2.16.6.2 RAM ロードモード(動作コマンド: 60H)

表 2.16.9に RAM ロードモードの転送フォーマットを示します。

表 2.16.9 RAM ロードモード転送フォーマット

	転送バイト数	外部コントローラから TMP86FM29 への転送データ	ボーレート	TMP86FM29 から 外部コントローラへの転送データ
BOOT ROM	1 バイト目	マッチングデータ(5AH)	9600 bps	- (ボーレート自動判定)
	2 バイト目	-	9600 bps	OK) エコーバックデータ (5AH) Error) 何も送信しません
	3 バイト目	ボーレート変更データ (表 2.16.5参照)	9600 bps	-
	4 バイト目	-	9600 bps	OK) エコーバックデータ Error) A1H × 3, A3H × 3, 62H × 3 (注 1)
	5 バイト目	動作コマンドデータ (60H)	変更後ボーレート	-
	6 バイト目	-	変更後ボーレート	OK) エコーバックデータ (60H) Error) A1H × 3, A3H × 3, 63H × 3 (注 1)
	7 バイト目	パスワード数格納アドレスのビット 15~08 (注 4)	変更後ボーレート	-
	8 バイト目	-	変更後ボーレート	OK) 何も送信しません Error) 何も送信しません
	9 バイト目	パスワード数格納アドレスのビット 07~00 (注 4)	変更後ボーレート	-
	10 バイト目	-	変更後ボーレート	OK) 何も送信しません Error) 何も送信しません
	11 バイト目	パスワード比較開始アドレスのビット 15~08 (注 4)	変更後ボーレート	-
	12 バイト目	-	変更後ボーレート	OK) 何も送信しません Error) 何も送信しません
	13 バイト目	パスワード比較開始アドレスのビット 07~00 (注 4)	変更後ボーレート	-
	14 バイト目	-	変更後ボーレート	OK) 何も送信しません Error) 何も送信しません
15 バイト目 : m バイト目	パスワード列 (注 5) -	変更後ボーレート 変更後ボーレート	- OK) 何も送信しません Error) 何も送信しません	
m+1 バイト目 : n-2 バイト目	インテル HEX フォーマット (binary) (注 2)	変更後ボーレート	-	
n-1 バイト目	-	変更後ボーレート	OK) チェックサム (High) (注 3) Error) 何も送信しません	
n バイト目	-	変更後ボーレート	OK) チェックサム (Low) (注 3) Error) 何も送信しません	
RAM	-	書き込みを開始した RAM の先頭番地にジャンプしプログラムを実行します。		

注 1) “xxH × 3” は、xxH を 3 バイト送信した後、動作停止状態となることを意味します。詳細は「2.16.8 エラーコード」を参照してください。

注 2) インテル HEX フォーマットについては、「2.16.10 インテル HEX フォーマット (Binary)」を参照してください。

注 3) チェックサムについては、「2.16.9 チェックサム (SUM)」を参照してください。

注 4) パスワードについては、「2.16.11 パスワード」を参照してください。

注 5) FFE0H~FFFFH の領域がすべて “00H” または “FFH” の場合、ブランク品と判定されパスワード照合は行われませんので、パスワード列の送信は不要です。ただし、ブランク品の場合でもパスワード数格納アドレス、パスワード比較開始アドレスの指定は必要ですので、外部コントローラよりこれらのデータを送信するようにしてください。なお、パスワード数格納アドレス、パスワード比較開始アドレスが正しくない場合、TMP86FM29 は UART 通信を終了し動作停止状態となります。従って、パスワードエラーの場合は RESET 端子による初期化を行い、シリアル PROM モードを再起動してください。

- 注 6) パスワード列を送信した後、エンドレコードだけの送信を行わないようにしてください。もし、デバイスがパスワード列を受信した後にエンドレコードを受信した場合、正しく動作しないことがあります。
- 注 7) RAM に書き込んだユーザプログラムの中で、ウォッチドッグタイマ割り込みが許可の状態では EEPCR<MNPWDW>にてフラッシュメモリの電源を OFF にする場合、必ずウォッチドッグタイマの 2 進カウンタのクリアを行ってからフラッシュメモリの電源を OFF にしてください。

RAM ロードモードの動作説明

1. 1 バイト目から 4 バイト目までの送受信データは、フラッシュメモリ書き込みモードの場合と同一です。
2. 5 バイト目の受信データは RAM ロードモードコマンドデータ (60H) となります。
3. 5 バイト目の受信データが表 2.16.7 に示す動作コマンドデータのいずれかに該当する場合にのみ、デバイスは 6 バイト目として受信したデータと同じ値 (この場合 60H) をエコーバック送信します。もし 5 バイト目の受信データが、いずれの動作コマンドにも該当しない場合、デバイスは動作コマンドエラーコード (63H) を 3 バイト送信した後、動作停止状態となります。
4. 7 バイト目から m バイト目の送受信データは、フラッシュメモリ書き込みモードの場合と同一です。
5. m + 1 バイト目~n - 2 バイト目の受信データは、インテル HEX フォーマットの binary データとして受信されます。この場合、エコーバックは行われません。デバイスはインテル HEX フォーマットのスタートマーク (3AH, “:”) を受信してからデータレコードの受信を開始しますので、スタートマークを受信するまで 3AH 以外の受信データは無視されます。デバイスがスタートマークを受信すると、以降のデータをデータレコード (データ長、アドレス、レコードタイプ、データ、チェックサムで構成) として受信します。データレコードのうち、データはアドレスにて指定された RAM に書き込まれます。デバイスがエンドレコードを受信すると、チェックサムの計算処理を開始しますので、外部コントローラはエンドレコードを送信後、チェックサムの受信待ちとなるようにしてください。もし、受信エラーまたはインテル HEX フォーマットエラーが発生した場合、デバイスは何も送信せず、動作停止状態となります。
6. n - 1 バイト目と n バイト目は、チェックサムの上位、下位となります。チェックサムの計算方法については「2.16.9 チェックサム (SUM)」を参照してください。チェックサムの計算はエンドレコードを検出し、受信エラーまたはインテル HEX フォーマットエラーが発生していない場合にのみ行われます。32 K バイトのフラッシュメモリのチェックサム計算に要する時間は約 100 ms @ 16 MHz です。外部コントローラは、エンドレコードを送信後、デバイスがチェックサムを送信するか否かで書き込みが正常に終了したかを判断してください。
7. チェックサムを送信後、最初に受信したデータレコードで指定される RAM アドレスにジャンプし、プログラムの実行を開始します。

2.16.6.3 フラッシュメモリ SUM 出力モード (動作コマンド: 90H)

表 2.16.10 にフラッシュメモリ SUM 出力モードの転送フォーマットを示します。

表 2.16.10 フラッシュメモリ SUM 出力モード転送フォーマット

	転送バイト数	外部コントローラから TMP86FM29 への転送データ	ボーレート	TMP86FM29 から 外部コントローラへの転送データ
BOOT ROM	1 バイト目	マッチングデータ(5AH)	9600 bps	- (ボーレート自動判定)
	2 バイト目	-	9600 bps	OK) エコーバックデータ (5AH) Error) 何も送信しません
	3 バイト目	ボーレート変更データ (表 2.16.5 参照)	9600 bps	-
	4 バイト目	-	9600 bps	OK) エコーバックデータ Error) A1H × 3, A3H × 3, 62H × 3 (注 1)
	5 バイト目	動作コマンドデータ (90H)	変更後ボーレート	-
	6 バイト目	-	変更後ボーレート	OK) エコーバックデータ (90H) Error) A1H × 3, A3H × 3, 63H × 3 (注 1)
	7 バイト目	-	変更後ボーレート	OK) チェックサム (High) (注 2) Error) 何も送信しません
	8 バイト目	-	変更後ボーレート	OK) チェックサム (Low) (注 2) Error) 何も送信しません
	9 バイト目	(次の動作コマンドデータ待ち)	変更後ボーレート	-

注 1) “xxH × 3”は、xxH を 3 バイト送信した後、動作停止状態となることを意味します。
詳細は「2.16.8 エラーコード」を参照してください。

注 2) チェックサムについては、「2.16.9 チェックサム (SUM)」を参照してください。

フラッシュメモリ SUM 出力モードの動作説明

1. 1 バイト目から 4 バイト目までの送受信データは、フラッシュメモリ書き込みモードの場合と同一です。
2. 5 バイト目の受信データはフラッシュメモリ SUM 出力モードコマンドデータ (90H) となります。
3. 5 バイト目の受信データが表 2.16.7 に示す動作コマンドデータのいずれかに該当する場合にのみ、デバイスは 6 バイト目として受信したデータと同じ値 (この場合 90H) をエコーバック送信します。もし 5 バイト目の受信データが、いずれの動作コマンドにも該当しない場合、デバイスは動作コマンドエラーコード (63H) を 3 バイト送信した後、動作停止状態となります。
4. 7 バイト目と 8 バイト目は、チェックサムの上位、下位となります。チェックサムの計算方法については「2.16.9 チェックサム (SUM)」を参照してください。32 K バイトのフラッシュメモリのチェックサム計算に要する時間は約 100 ms @ 16 MHz です。
5. デバイスはチェックサムを送信後、次の動作コマンドデータ待ちの状態となります。

2.16.6.4 製品識別コード出力モード (動作コマンド: C0H)

表 2.16.11に製品識別コード出力モードの転送フォーマットを示します。

表2.16.11 製品識別コード出力モード転送フォーマット

	転送バイト数	外部コントローラから TMP86FM29 への転送データ	ボーレート	TMP86FM29 から 外部コントローラへの転送データ
BOOT ROM	1 バイト目	マッチングデータ(5AH)	9600 bps	- (ボーレート自動判定)
	2 バイト目	-	9600 bps	OK) エコーバックデータ (5AH) Error) 何も送信しません
	3 バイト目	ボーレート変更データ (表 2.16.5参照)	9600 bps	-
	4 バイト目	-	9600 bps	OK) エコーバックデータ Error) A1H × 3, A3H × 3, 62H × 3 (注 1)
	5 バイト目	動作コマンドデータ (C0H)	変更後ボーレート	-
	6 バイト目	-	変更後ボーレート	OK) エコーバックデータ (C0H) Error) A1H × 3, A3H × 3, 63H × 3 (注 1)
	7 バイト目		変更後ボーレート	3AH : スタートマーク
	8 バイト目		変更後ボーレート	0AH : 転送データ数 (9~18 バイト目ま でのバイト数)
	9 バイト目		変更後ボーレート	02H : アドレス長 (2 バイト)
	10 バイト目		変更後ボーレート	00H : Reserved
	11 バイト目		変更後ボーレート	00H : Reserved
	12 バイト目		変更後ボーレート	00H : Reserved
	13 バイト目		変更後ボーレート	00H : Reserved
	14 バイト目		変更後ボーレート	01H : ROM のブロック数 (1 ブロック)
	15 バイト目		変更後ボーレート	80H : ROM の先頭アドレス (上位)
	16 バイト目		変更後ボーレート	00H : ROM の先頭アドレス (下位)
	17 バイト目		変更後ボーレート	FFH : ROM の終了アドレス (上位)
	18 バイト目		変更後ボーレート	FFH : ROM の終了アドレス (上位)
	19 バイト目		変更後ボーレート	7FH : 転送データのチェックサム (9~18 バイト目までのチェック サム)
	20 バイト目	(次の動作コマンドデータ待ち)	変更後ボーレート	-

注) “xxH×3”は、xxHを3バイト送信した後、動作停止状態となることを意味します。
詳細は「2.16.8 エラーコード」を参照してください。

製品識別コード出力モードの動作説明

1. 1 バイト目から 4 バイト目までの送受信データは、フラッシュメモリ書き込みモードの場合と同一です。
2. 5 バイト目の受信データは製品識別コード出力モードコマンドデータ (C0H) となります。
3. 5 バイト目の受信データが表 2.16.7に示す動作コマンドデータのいずれかに該当する場合にのみ、デバイスは、6 バイト目として受信したデータと同じ値 (この場合 C0H) をエコーバック送信します。もし、5 バイト目の受信データが、いずれの動作コマンドにも該当しない場合、デバイスは動作コマンドエラーコード (63H) を 3 バイト送信した後、動作停止状態となります。
4. 7 バイト目から 19 バイト目は製品識別コードとなります。識別コードの詳細については「2.16.12 製品識別コード」を参照してください。
5. デバイスはチェックサムを送信後、次の動作コマンドデータ待ちの状態となります。

2.16.7 フラッシュメモリ書き込みデータフォーマット

TMP86FM29 のフラッシュメモリは 64 バイトを 1 ページとし、512 ページで構成されています。フラッシュメモリへの書き込みはページごと (64 バイトごと) 行われますので、数バイトのデータを書き込む場合でも、1 ページ分 (64 バイト) のデータを指定する必要があります。図 2.16.5 にフラッシュメモリの構成を示します。なお、フラッシュメモリ書き込みモードでは、外部コントローラは以下のインテル HEX フォーマットでデータを送信してください。

1. フラッシュメモリ書き込みコマンド (30H) の受け付け後、最初のデータレコードで指定されるアドレスは、必ず各ページの先頭番地としてください(例: ページ 2 への書き込みを行う場合、最初のデータレコードのアドレスは 8080H (ページ 2 の先頭アドレス) でなければなりません)。
2. データレコードの最終データに相当するアドレスがページの途中である場合、次のデータレコードで指定されるアドレスは、前のアドレス + 1 としてください。

例)

:10802000202122232425262728292A2B2C2D2E2F8D8 ' 8020H~802FH のデータレコード

:10803000303132333435363738393A3B3C3D3E3F8C8 ' 8030H~803FH のデータレコード

(説明) データレコードの最終データのアドレスが 802FH (ページ 0) の場合、次のデータレコードで指定されるアドレスは 8030H (ページ 0) でなければなりません。

3. エンドレコード直前のデータレコードの最終データのアドレスは、各ページの最終アドレスとしてください。

例)

:10807000303132333435363738393A3B3C3D3E3F88 ' 8070H~807FH のデータレコード

:00000001FF ' エンドレコード

(説明) エンドレコード直前のデータレコードがページ 1 を指している場合、そのレコードの最終データのアドレスは 807FH (ページ 1 の最終アドレス) でなければなりません

- 注) フラッシュメモリのすべてのデータが同一データの場合、アドレス FFE0H~FFFFH 領域にのみ書き込みを行わないでください。もし、この領域にのみ書き込みが行われると、以降 TMP86FM29 はブランク品とはみなされず、パスワード照合が行われ、同一データが 3 バイト以上続くためにパスワード判定で Error となります。この場合、フラッシュメモリへの書き込みや RAM ロードが実行できなくなります。

アドレス	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F		
8000H	F																	
8010H									ページ 0									
8020H																		
8030H																E		
8040H	F																	
8050H									ページ 1									
8060H																		
8070H																E		
8080H	F																	
8090H									ページ 2									
80A0H																		
80B0H																E		
80C0H																		
:																		
:																		
FF70H																E		
FF80H	F																	
FF90H									ページ 510									
FFA0H																		
FFB0H																E		
FFC0H	F																	
FFD0H									ページ 511									
FFE0H																		
FFF0H																E		

図 2.16.5 フラッシュメモリの構成

注) “F” は各ページの先頭アドレス、“E” は各ページの終了アドレスを示します。

2.16.8 エラーコード

デバイスが各エラーを検出した場合に送信するエラーコードを表 2.16.12 に示します。

表 2.16.12 エラーコード

送信データ	エラー内容
62H, 62H, 62H	ボーレート変更データエラー
63H, 63H, 63H	動作コマンドエラー
A1H, A1H, A1H	受信データのフレーミングエラー
A3H, A3H, A3H	受信データのオーバーランエラー

注) パスワードエラーの場合は、エラーコードは送信されません。

2.16.9 チェックサム (SUM)

(1) 計算方法

チェックサム (SUM) は byte + byte.... + byte の結果をワードで返します。つまり、バイトでデータを読み出して計算し、その結果をワードで返します。

例)

A1H	左記 4 バイトが計算対象データの場合、チェックサムは以下のようになります。 $A1H + B2H + C3H + D4H = 02EAH$ SUM (HIGH) = 02H SUM (LOW) = EAH
B2H	
C3H	
D4H	

フラッシュメモリ書き込みモード、RAM ロードモードおよびフラッシュメモリ SUM 出力モードを実行した際に送信されるチェックサムは、本計算方法を使用します。

(2) 計算対象データ

表 2.16.13 に各モードにおけるチェックサムの計算対象データを示します。

表 2.16.13 チェックサムの計算対象データ

動作モード	計算対象データ	備考
フラッシュメモリ書き込みモード	フラッシュメモリの全エリア (32 K バイト) のデータ	フラッシュメモリの一部のページのみ書き込みを行った場合でも、すべてのフラッシュメモリ (32 K バイト) のチェックサムを計算します。なお、インテル HEX フォーマットにおけるデータ長、アドレス、レコードタイプ、チェックサムは SUM の対象とはなりません。
フラッシュメモリ SUM 出力モード		
RAM ロードモード	最初に受信した RAM アドレスから最後に受信した RAM アドレスまでに書き込まれた RAM のデータ	インテル HEX フォーマットにおけるデータ長、アドレス、レコードタイプ、チェックサムは SUM の対象とはなりません。
製品識別コード出力モード	転送データの 9~18 バイト目のデータ	詳細は「表 2.16.11 製品識別コード出力モード転送フォーマット」を参照してください。

2.16.10 インテル HEX フォーマット (Binary)

1. デバイスは各データレコードのチェックサムを受信後、次のデータレコードのスタートマーク (3AH、“:”) 待ちとなりますので、外部コントローラがレコード間に 3AH 以外のデータを送信してもそのデータは無視されます。
2. 外部コントローラは、エンドレコードのチェックサムを送信した後は何も送信せず、2 バイトの受信データ (チェックサムの上位と下位) 待ちとなるようにしてください。
3. 受信エラーまたはインテル HEX フォーマットエラーが発生した場合は、エラーコードを送信せず、デバイスは動作停止状態となります。インテル HEX フォーマットエラーは以下の場合発生します。
 - レコードタイプが “00H”、“01H”、“02H” 以外の場合
 - チェックサムエラーが発生した場合
 - 拡張レコード (レコードタイプ = 02H) のデータ長が “02H” でない場合
 - 拡張レコード (レコードタイプ = 02H) の拡張アドレスが “1000H” 以上で、その後データレコードを受信した場合
 - エンドレコード (レコードタイプ = 01H) のデータ長が “00H” でない場合

2.16.11 パスワード

TMP86FM29 は、フラッシュメモリ内の任意のデータ (連続する 8 バイト以上のデータ) をパスワードとして設定することができ、外部コントローラから送信されるパスワード列と、パスワードに設定されたデータ列との照合を行うことによりパスワード判定を行います。パスワードを指定できる領域は、フラッシュメモリ内の 8000H~FF9FH 番地となります (FFA0H~FFFFH 番地はパスワードとして設定できません)。

FFE0H~FFFFH 番地のデータがすべて “00H” もしくは “FFH” の場合、ブランク品とみなされパスワード判定は行われません。ただし、ブランク品の場合でもパスワード数格納アドレス、パスワード比較開始アドレスは送信する必要があります。表 2.16.14 にブランク品と書き込み品の場合のパスワード設定方法を示します。

表 2.16.14 ブランク品と書き込み品でのパスワード設定方法

パスワード	ブランク品 (注 1)	書き込み品
PNSA (パスワード数格納アドレス)	8000H PNSA FF9FH	8000H PNSA FF9FH
PCSA (パスワード比較開始アドレス)	8000H PCSA FF9FH	8000H PCSA FFA0 - N
N (パスワード数)	*	8 N
パスワード列の設定	不要	必要 (注 2)

- 注 1) アドレス FFE0H~FFFFH の領域がすべて “00H” または “FFH” となっている製品をブランク品とします。
- 注 2) 3 バイト以上同一となるデータは、パスワード列として設定できません (パスワード判定で Error となり、TMP86FM29 は何のデータも送信せず、停止状態となります)。
- 注 3) *: Don't care
- 注 4) 上記条件を満たさない場合パスワードエラーとなります。なお、パスワードエラーが発生した場合、デバイスはエラーコードを送信せず、動作停止状態となります。
- 注 5) ブランク品は PCSA の受信の後、パスワード列の受信は行わず即座に Intel-Hex フォーマットの受信処理を行います。このとき外部コントローラはダミーのパスワード列を送信したとしても、デバイスは Intel-Hex フォーマットとしてスタートマーク (3AH “:”) を検出するまで受信データを読み飛ばしますので、その後の処理は正しく動作します。ただし、ダミーのパスワード列に 3AH が含まれていると、誤ってスタートマークと検出されるためマイコンは動作停止状態となります。これが問題となる場合は、ダミーのパスワード列を送信しないでください。

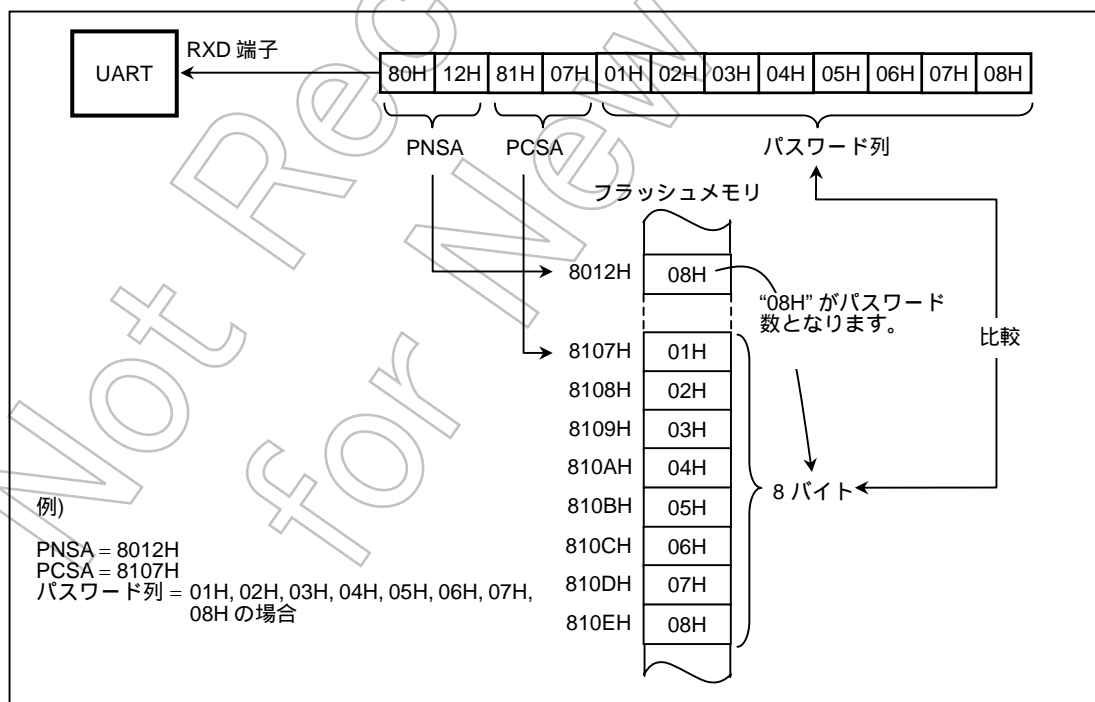


図 2.16.6 パスワードの比較(例)

2.16.11.1 ブランク品/書き込み品の判別方法

外部コントローラより、以下の手順で通信を行うとブランク品/書き込み品を判別することができます。

- (1) フラッシュメモリ書き込みモードまたは RAM ロードモードを実行する。
- (2) PNSA、PCSA を送信する。
- (3) エンドレコードを送信する。
- (4) ブランク品の場合、デバイスはチェックサムを送信します。書き込み品の場合はチェックサムを送信せずデバイスは停止状態となります。

上記のように、外部コントローラがエンドレコードを送信した後、デバイスがチェックサムを送信するか否かでブランク品/書き込み品の判別ができます。

注) 書き込み品で動作停止状態となった場合は、シリアル PROM モードを再度起動するためにデバイスをリセットしてください。

2.16.11.2 パスワード列

外部コントローラが送信したパスワード列は、指定されたフラッシュメモリのデータと比較されます。パスワード列と指定されたフラッシュメモリのデータが一致しなかった場合、パスワードエラーとなり、マイコンは動作停止状態となります。

2.16.11.3 パスワードエラー処理

パスワードエラーが発生した場合、デバイスは動作停止状態となります。この場合、シリアル PROM モードを再起動するためにデバイスをリセットしてください。

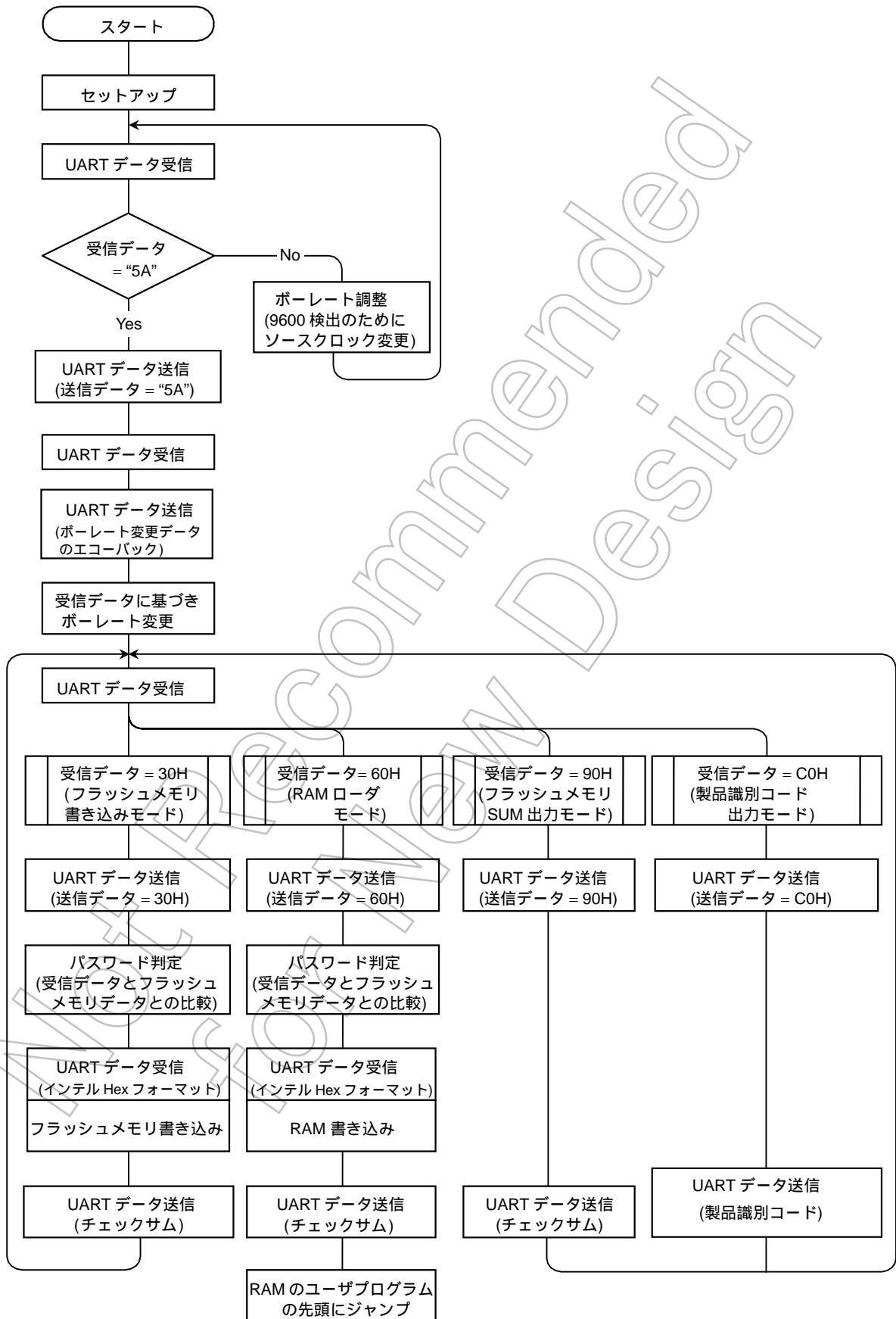
2.16.12 製品識別コード

製品識別コードは、ROM の先頭アドレス、終了アドレスを含む 13 バイトのデータです。表 2.16.15 に製品識別コードのデータフォーマットを示します。

表 2.16.15 製品識別コードのデータフォーマット

データ	データの意味	TMP86FM29 の場合のデータ
1st	スタートマーク (3AH)	3AH
2nd	転送データ数 (3-12 バイト目の 10 バイト)	0AH
3rd	アドレスのバイト長 (2 バイト)	02H
4th	Reserved	00H
5th	Reserved	00H
6th	Reserved	00H
7th	Reserved	00H
8th	ROM のブロック数	01H
9th	ROM の先頭アドレス (上位)	80H
10th	ROM の先頭アドレス (下位)	00H
11th	ROM の終了アドレス (上位)	FFH
12th	ROM の終了アドレス (下位)	FFH
13th	転送データ (3-12 バイト目) のチェックサム	7FH

2.16.13 フローチャート



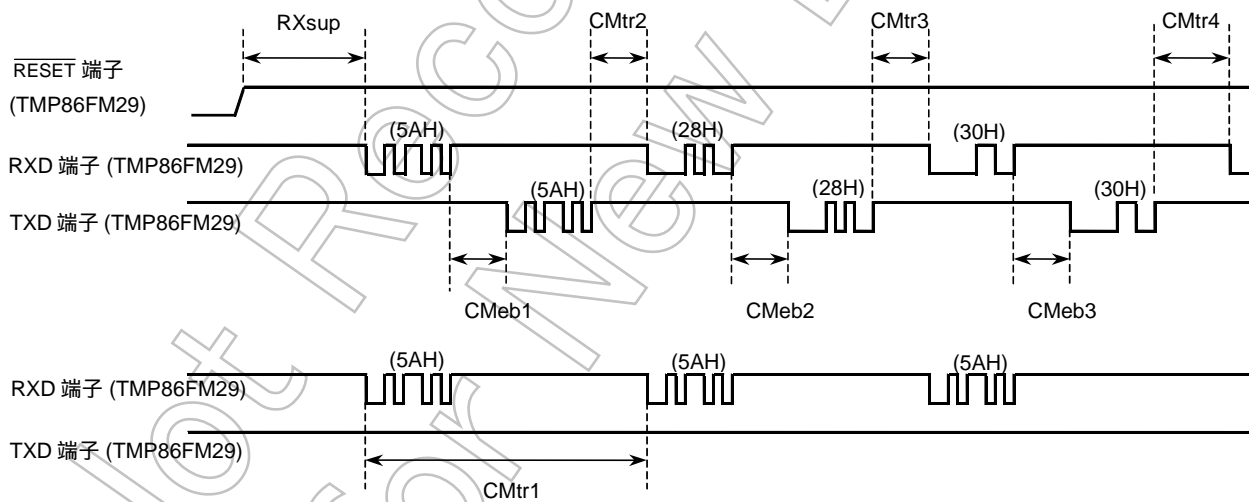
2.16.14 UART タイミング

表 2.16.16 UART タイミング-1 (VDD = 2.7 V~3.6 V, fc = 2 MHz~16 MHz, Ta = 25°C)

項目	記号	クロック数 (fc)	必要最低時間	
			2 MHz 時	16 MHz 時
マッチングデータ (5AH) 受信からエコーバックまでの時間	CMeb1	約 600	300 μ s	37.5 μ s
ボーレート変更データ受信からエコーバックまでの時間	CMeb2	約 700	350 μ s	43.7 μ s
動作コマンド受信からエコーバックまでの時間	CMeb3	約 600	300 μ s	37.5 μ s
チェックサム計算時間	CKsm	約 1573000	786.5 ms	98.3 ms

表 2.16.17 UART タイミング-2 (VDD = 2.7 V~3.6 V, fc = 2 MHz~16 MHz, Ta = 25°C)

項目	記号	クロック数 (fc)	必要最低時間	
			2 MHz 時	16 MHz 時
リセット解除後、マッチングデータ受信可能となるまでのセットアップ時間	RXsup	110000	55 ms	6.9 ms
マッチングデータ送信間隔	CMtr1	28500	14.3 ms	1.8 ms
マッチングデータのエコーバックからボーレート変更データ受信可能となるまでの時間	CMtr2	600	300 μ s	37.5 μ s
ボーレート変更データのエコーバックから動作コマンド受信可能となるまでの時間	CMtr3	750	375 μ s	46.9 μ s
動作コマンドのエコーバックからパスワード数格納アドレス (上位) 受信可能となるまでの時間	CMtr4	950	475 μ s	59.4 μ s



端子の入出力回路

(1) 制御端子

TMP86FM29 の制御端子の入出力回路を示します。

制御端子	入出力	回路	備考
XIN XOUT	入 出 力		高周波発振子接続端子 $R_f = 3\text{ M}\Omega$ (typ.) $R_O = 1\text{ k}\Omega$ (typ.)
XTIN XTOUT	入 出 力	<p>NORMAL1モード</p> <p>NORMAL2モード</p> <p>P2ポートを参照</p>	低周波発振子接続端子 $R_f = 20\text{ M}\Omega$ (typ.) $R_O = 220\text{ k}\Omega$ (typ.)
$\overline{\text{RESET}}$	入出力		シンクオープンドレイン出力 ヒステリシス入力 ブルアップ抵抗内蔵 $R_{IN} = 220\text{ k}\Omega$ (typ.)
$\overline{\text{STOP}} / \overline{\text{INT5}}$	入力		ヒステリシス入力 $R = 1\text{ k}\Omega$ (typ.)
TEST	入力		ブルダウン抵抗内蔵 $R_{IN} = 70\text{ k}\Omega$ (typ.)

(2) 入出力ポート

ポート	入出力	入出力回路	備考
P1	入出力	<p>Initial "High-Z"</p> <p>P1LCR SEG 出力 データ出力 出力ラッチ入力 端子入力</p>	シンクオープンドレイン 出力 ヒステリシス入力
P5 P7	入出力	<p>Initial "High-Z"</p> <p>P5LCR/P7LCR SEG 出力 データ出力 出力ラッチ入力 端子入力</p>	シンクオープンドレイン 出力
P2	入出力	<p>Initial "High-Z"</p> <p>データ出力 出力ラッチ入力 端子入力</p>	シンクオープンドレイン 出力 ヒステリシス入力
P3	入出力	<p>Initial "High-Z"</p> <p>Pch Control データ出力 出力ラッチ入力 端子入力</p>	シンクオープンドレイン 出力 または C-MOS 出力 ヒステリシス入力 大電流出力 (Nch) プログラマブルポートオプション
P6	入出力	<p>Initial "High-Z"</p> <p>データ出力 Disable 端子入力</p>	トリステート入出力 ヒステリシス入力

注) P1, P5, P7 ポートはシンクオープンドレイン出力ですが、LCD セグメント出力と兼用のため、ポートの入力電圧の絶対最大定格は $-0.3 \sim VDD + 0.3$ [V] となります。

電気的特性

絶対最大定格 (V_{SS} = 0 V)

項目	記号	端子	規格	単位
電源電圧	V _{DD}		-0.3~4.0	V
	V _{LCD}	V3 端子	-0.3~4.0	
入力電圧	V _{IN}		-0.3~V _{DD} + 0.3	
出力電圧	V _{OUT1}		-0.3~V _{DD} + 0.3	
出力電流 (1 端子当たり)	I _{OUT1}	P3, P6 ports	-1.8	mA
	I _{OUT2}	P1, P2, P5, P6, P7 ports	3.2	
	I _{OUT3}	P3 ports	30	
出力電流 (全端子総計)	ΣI _{OUT2}	P1, P2, P5, P6, P7 ports	60	
	ΣI _{OUT3}	P3 ports	80	
消費電力 [T _{opr} = 85°C]	PD		350	mW
はんだ付け温度 (時間)	T _{sld}		260 (10 s)	°C
保存温度	T _{stg}		-55~125	
動作温度	T _{opr}		-40~85	

注) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

推奨動作条件-1 (MCU モード) ($V_{SS} = 0\text{ V}$, $T_{opr} = -40\sim 85^{\circ}\text{C}$)

項目	記号	端子	条件	Min	Max	単位	
電源電圧	V_{DD}		$f_c = 16\text{ MHz}$	NORMAL1, 2 モード	2.7	3.6	V
				IDLE0, 1, 2 モード			
			$f_c = 8\text{ MHz}$ (自己発振時)	NORMAL1, 2 モード	1.8		
				IDLE0, 1, 2 モード			
			$f_c = 4.2\text{ MHz}$ (外部クロック時)	NORMAL1, 2 モード	1.8		
				IDLE0, 1, 2 モード			
$f_s =$ 32.768 kHz	SLOW1, 2 モード	1.8					
	SLEEP0, 1, 2 モード						
			STOP モード				
高レベル入力電圧	V_{IH1}	ヒステリシス入力を除く	$V_{DD} = 2.7\text{ V}$	$V_{DD} \times 0.70$	V_{DD}		
	V_{IH2}	ヒステリシス入力		$V_{DD} \times 0.75$			
	V_{IH3}			$V_{DD} < 2.7\text{ V}$			$V_{DD} \times 0.90$
低レベル入力電圧	V_{IL1}	ヒステリシス入力を除く	$V_{DD} = 2.7\text{ V}$	0	V_{DD}		
	V_{IL2}	ヒステリシス入力					$V_{DD} \times 0.30$
	V_{IL3}						$V_{DD} \times 0.25$
			$V_{DD} < 2.7\text{ V}$		$V_{DD} \times 0.10$		
クロック周波数 (外部クロック時)	f_c	XIN, XOUT	$V_{DD} = 1.8 \sim 3.6\text{ V}$	1.0	4.2	MHz	
			$V_{DD} = 2.7 \sim 3.6\text{ V}$				16.0
	f_s	XTIN, XTOUT	$V_{DD} = 1.8 \sim 3.6\text{ V}$	30.0	34.0	kHz	
クロック周波数 (自己発振時)	f_c	XIN, XOUT	$V_{DD} = 1.8 \sim 3.6\text{ V}$	1.0	8.0	MHz	
			$V_{DD} = 2.7 \sim 3.6\text{ V}$				16.0
	f_s	XTIN, XTOUT	$V_{DD} = 1.8 \sim 3.6\text{ V}$	30.0	34.0	kHz	
LCD 基準電源端子 電圧範囲	V_1		昇圧回路使用時 ($V_3 = V_{DD}$)	0.8	1.2	V	
LCD 昇圧用コンデンサ	C_{LCD}		昇圧回路使用時 ($V_3 = V_{DD}$)	0.1	0.47	μF	

注) 推奨動作条件とは、製品が一定の品質を保って正常に動作するために推奨する使用条件です。推奨動作条件(電源電圧、動作温度範囲、AC/DC 規定値)から外れる動作条件で使用了場合、誤動作が生じる恐れがあります。従ってご使用の条件に対して、必ず推奨動作条件の範囲を超えないように、応用機器の設計を行ってください。

推奨動作条件-2 (シリアル PROM モード) ($V_{SS} = 0\text{ V}$, $T_{opr} = 25^{\circ}\text{C} \pm 5^{\circ}\text{C}$)

項目	記号	端子	条件	Min	Max	単位
電源電圧	V_{DD}		2MHz f_c 16MHz	2.7	3.6	V
クロック周波数	f_c	XIN, XOUT	$V_{DD} = 2.7\sim 3.6\text{ V}$	2.0	16.0	MHz

注) シリアル PROM モードの動作温度範囲は $25^{\circ}\text{C} \pm 5^{\circ}\text{C}$ となります。また、シリアル PROM モードの動作周波数範囲は、MCU モードと異なります。

DC 特性 ($V_{SS} = 0\text{ V}$, $T_{opr} = -40\sim 85^\circ\text{C}$)

項目	記号	端子	条件	Min	Typ.	Max	単位		
ヒステリシス電圧	V_{HS}	ヒステリシス入力	$V_{DD} = 3.3\text{ V}$	-	0.4	-	V		
入力電流	I_{IN1}	TEST	$V_{DD} = 3.6\text{ V}$, $V_{IN} = 0\text{ V}$	-	-	-5	μA		
	I_{IN2}	Sink Open Drain, Tri-state	$V_{DD} = 3.6\text{ V}$, $V_{IN} = 3.6\text{ V}/0\text{ V}$	-	-	± 5			
	I_{IN3}	RESET	$V_{DD} = 3.6\text{ V}$, $V_{IN} = 3.6\text{ V}$	-	-	+5			
入力抵抗	R_{IN1}	TEST Pull-down	$V_{DD} = 3.6\text{ V}$, $V_{IN} = 3.6\text{ V}$	-	70	-	$\text{k}\Omega$		
	R_{IN2}	RESET Pull-Up	$V_{DD} = 3.6\text{ V}$, $V_{IN} = 0\text{ V}$	100	220	450			
高周波帰還抵抗	R_{FB}	XOUT	$V_{DD} = 3.6\text{ V}$	-	3	-	$\text{M}\Omega$		
低周波帰還抵抗	R_{FBT}	XTOUT	$V_{DD} = 3.6\text{ V}$	-	20	-			
出力リーク電流	I_{LO}	Sink Open Drain, Tri-state	$V_{DD} = 3.6\text{ V}$ $V_{OUT} = 3.4\text{V}/0.2\text{ V}$	-	-	± 10	μA		
高レベル出力電圧	V_{OH}	CMOS, Tri-state	$V_{DD} = 3.6\text{ V}$, $I_{OH} = -0.6\text{ mA}$	3.2	-	-	V		
低レベル出力電圧	V_{OL}	XOUT, P3を除く	$V_{DD} = 3.6\text{ V}$, $I_{OL} = 0.9\text{ mA}$	-	-	0.4	V		
低レベル出力電流	I_{OL}	P3 Ports	$V_{DD} = 3.6\text{ V}$, $V_{OL} = 1.0\text{ V}$	-	6	-	mA		
LCD 出力電圧 (昇圧回路使用時)	V_{2-3OUT}	V2 端子	V_3 V_{DD} 基準電源端子: V1	-	$V1 \times 2$	-	V		
		V3 端子	SEG/COM 端子無負荷時	-	$V1 \times 3$	-			
NORMAL1, NORMAL2 モード時電源電流	I_{DD}	フェッチ領域	Flash	$V_{DD} = 3.6\text{ V}$ $V_{IN} = 3.4\text{ V}/0.2\text{ V}$ $f_c = 16\text{ MHz}$ $f_s = 32.768\text{ kHz}$	MNP = "1"	-	5.3	7.3	mA
			RAM		MNP = "0"	-	3.4	5.2	
IDLE0, IDLE1, IDLE2 モード時電源電流	I_{DD}	フェッチ領域	Flash	$V_{DD} = 3.0\text{ V}$ $V_{IN} = 2.8\text{ V}/0.2\text{ V}$ $f_s = 32.768\text{ kHz}$	MNP·ATP = "1"	-	3.1	5.2	μA
					MNP·ATP = "0"	-	2.2	4.2	
SLOW1 モード時電源電流	I_{DD}	フェッチ領域	RAM	$V_{DD} = 3.0\text{ V}$ $V_{IN} = 2.8\text{ V}/0.2\text{ V}$ $f_s = 32.768\text{ kHz}$	MNP = "1"	-	850	1200	
					MNP = "0"	-	7	19	
SLEEP1 モード時 電源電流	I_{DD}				MNP·ATP = "1"	-	850	1200	
SLEEP0 モード時 電源電流	I_{DD}				MNP·ATP = "0"	-	5.5	17	
STOP モード時 電源電流	I_{DD}				MNP·ATP = "1"	-	850	1200	
					MNP·ATP = "0"	-	4.5	15	
STOP モード時 電源電流	I_{DD}						0.5	10	

注 1) Typ.値は、条件に指定なき場合 $T_{opr} = 25^\circ\text{C}$, $V_{DD} = 3.3\text{ V}$ 時の値を示します。

注 2) 入力電流 I_{IN1} , I_{IN2} : プルアップまたはプルダウン抵抗による電流を除きます。

注 3) I_{DD} は、 I_{REF} を含みません。

注 4) SLOW2, SLEEP2 モードの各電源電流は、IDLE0, IDLE1, IDLE2 モードと同等です。

注 5) MNP は EEPCR レジスタのビット 0 (MNPWDW)、ATP は EEPCR レジスタのビット 1 (ATPWDW) を示します。

注 6) フェッチとは、命令実行を行うために CPU がメモリのデータを読み込む動作を意味します。

AD 変換特性 ($V_{SS} = 0.0 \text{ V}, 2.7 \text{ V}$ $V_{DD} = 3.6 \text{ V}$, $T_{opr} = -40 \sim 85^\circ\text{C}$)

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電源電圧	V_{AREF}		$AV_{DD} - 1.0$	-	AV_{DD}	V
アナログ制御回路電源電圧	AV_{DD}		V_{DD}			
アナログ基準電源電圧範囲 (注4)	ΔV_{AREF}		2.5	-	-	
アナログ入力電圧範囲	V_{AIN}		V_{SS}	-	V_{AREF}	
アナログ基準電圧電源電流	I_{REF}	$V_{DD} = AV_{DD} = V_{AREF} = 3.6 \text{ V}$ $V_{SS} = 0.0 \text{ V}$	-	0.35	0.61	mA
非直線性誤差		$V_{DD} = AV_{DD} = 2.7 \text{ V}$ $V_{SS} = 0.0 \text{ V}$ $V_{AREF} = 2.7 \text{ V}$	-	-	± 2	LSB
ゼロ誤差			-	-	± 2	
フルスケール誤差			-	-	± 2	
総合誤差			-	-	± 2	

($V_{SS} = 0.0 \text{ V}, 2.0 \text{ V}$ $V_{DD} < 2.7 \text{ V}$, $T_{opr} = -40 \sim 85^\circ\text{C}$)

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電源電圧	V_{AREF}		$AV_{DD} - 0.6$	-	AV_{DD}	V
アナログ制御回路電源電圧	AV_{DD}		V_{DD}			
アナログ基準電源電圧範囲 (注4)	ΔV_{AREF}		2.0	-	-	
アナログ入力電圧範囲	V_{AIN}		V_{SS}	-	V_{AREF}	
アナログ基準電圧電源電流	I_{REF}	$V_{DD} = AV_{DD} = V_{AREF} = 2.0 \text{ V}$ $V_{SS} = 0.0 \text{ V}$	-	0.20	0.34	mA
非直線性誤差		$V_{DD} = AV_{DD} = 2.0 \text{ V}$ $V_{SS} = 0.0 \text{ V}$ $V_{AREF} = 2.0 \text{ V}$	-	-	± 4	LSB
ゼロ誤差			-	-	± 4	
フルスケール誤差			-	-	± 4	
総合誤差			-	-	± 4	

($V_{SS} = 0.0 \text{ V}, 1.8 \text{ V}$ $V_{DD} < 2.0 \text{ V}$, $T_{opr} = -10 \sim 85^\circ\text{C}$) (注5)

項目	記号	条件	Min	Typ.	Max	単位
アナログ基準電源電圧	V_{AREF}		$AV_{DD} - 0.1$	-	AV_{DD}	V
アナログ制御回路電源電圧	AV_{DD}		V_{DD}			
アナログ基準電源電圧範囲 (注4)	ΔV_{AREF}		1.8	-	-	
アナログ入力電圧範囲	V_{AIN}		V_{SS}	-	V_{AREF}	
アナログ基準電圧電源電流	I_{REF}	$V_{DD} = AV_{DD} = V_{AREF} = 1.8 \text{ V}$ $V_{SS} = 0.0 \text{ V}$	-	0.18	0.31	mA
非直線性誤差		$V_{DD} = AV_{DD} = 1.8 \text{ V}$ $V_{SS} = 0.0 \text{ V}$ $V_{AREF} = 1.8 \text{ V}$	-	-	± 4	LSB
ゼロ誤差			-	-	± 4	
フルスケール誤差			-	-	± 4	
総合誤差			-	-	± 4	

注1) 総合誤差は量子化誤差を除いたすべての誤差を含み、理想変換直線に対する最大の隔たりとして定義します。

注2) 変換時間は電源電圧範囲によって推奨値が異なります。変換時間については、2.15.2 レジスタ構成を参照してください。

注3) A_{IN} 入力端子への入力電圧は $V_{AREF} \sim V_{SS}$ 範囲内でご使用ください。範囲外の電圧が入力されると、変換値が不定となり、ほかのチャンネルの変換値にも影響を与えます。

注4) アナログ基準電源電圧範囲: $V_{AREF} = V_{AREF} - V_{SS}$

注5) $V_{DD} = 2.0 \text{ V}$ 未満で AD を使用する場合、温度保証範囲が異なります。

注6) AD コンバータを使用しない場合でも、 AV_{DD} 端子と V_{AREF} 端子は V_{DD} レベルに固定してください。

AD 特性 ($V_{SS} = 0\text{ V}$, $V_{DD} = 2.7\sim 3.6\text{ V}$, $T_{opr} = -40\sim 85^\circ\text{C}$)

項目	記号	条件	Min	Typ.	Max	単位
マシンサイクルタイム	tcy	NORMAL1, 2 モード時	0.25	-	4	μs
		IDLE1, 2 モード時				
		SLOW1, 2 モード時	117.6	-	133.3	
		SLEEP1, 2 モード時				
高レベルクロックパルス幅	twcH	外部クロック動作 (XIN 入力)	-	31.25	-	ns
低レベルクロックパルス幅	twcL	fc = 16 MHz 時	-	15.26	-	μs
高レベルクロックパルス幅	twcH	外部クロック動作 (XTIN 入力)	-	15.26	-	μs
低レベルクロックパルス幅	twcL	fs = 32.768 kHz 時	-	15.26	-	μs

($V_{SS} = 0\text{ V}$, $V_{DD} = 1.8\sim 3.6\text{ V}$, $T_{opr} = -40\sim 85^\circ\text{C}$)

項目	記号	条件	Min	Typ.	Max	単位
マシンサイクルタイム	tcy	NORMAL1, 2 モード	0.5	-	4	μs
		IDLE1, 2 モード				
		SLOW1, 2 モード	117.6	-	133.3	
		SLEEP1, 2 モード				
高レベルクロックパルス幅	twcH	外部クロック動作 (XIN 入力)	-	119.04	-	ns
低レベルクロックパルス幅	twcL	fc = 4.2 MHz 時	-	15.26	-	μs
高レベルクロックパルス幅	twcH	外部クロック動作 (XTIN 入力)	-	15.26	-	μs
低レベルクロックパルス幅	twcL	fs = 32.768 kHz 時	-	15.26	-	μs

タイマカウンタ 1 入力 (ECIN) 特性 ($V_{SS} = 0\text{ V}$, $V_{DD} = T_{opr} = -40\sim 85^\circ\text{C}$)

項目	記号	条件	Min	Typ.	Max	単位
タイマカウンタ 1 入力 (ECIN 入力)	t _{rc1}	周波数測定モード V _{DD} =2.7 ~ 3.6V	片エッジカウント	-	-	16
			両エッジカウント			
		周波数測定モード V _{DD} =1.8 ~ 2.7V	片エッジカウント	-	-	8
			両エッジカウント			

フラッシュ特性 ($V_{SS} = 0\text{ V}$)

項目	条件	Min	Typ.	Max	単位
シリアル PROM モードの フラッシュメモリページ書き替え保証 回数	V _{DD} =2.7~3.6 V, 2 MHz fc 16 MHz (T _{opr} = 25 ± 5°C)	-	-	10 ⁵	times

推奨発振条件

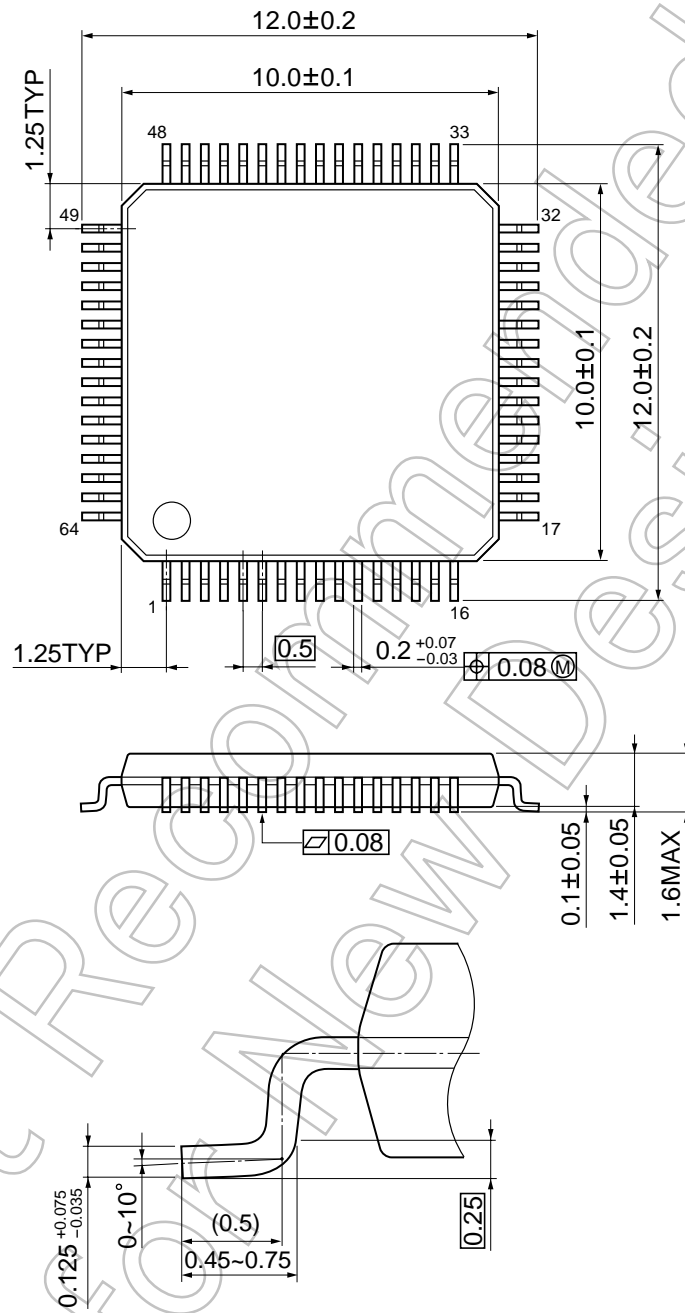
注 1) ブラウン管などの高電界のかかるところで使用する場合は、正常動作を保つためにパッケージを電氣的にシールドすることを推奨します。

注 2) 村田製発振子は、型番・仕様の切り替えが随時行われております。
詳細につきましては、下記アドレスの同社ホームページをご参照ください。
http://www.murata.co.jp/search/index_j.html

パッケージ外形寸法図

P-LQFP64-1010-0.50E

Unit: mm



P-QFP64-1414-0.80C

Unit: mm

