

東芝 Bi-CMOS 形リニア集積回路 シリコン モノリシック

TB9083FTG

Automotive GATE-driver for Brushless motor

1. 概要

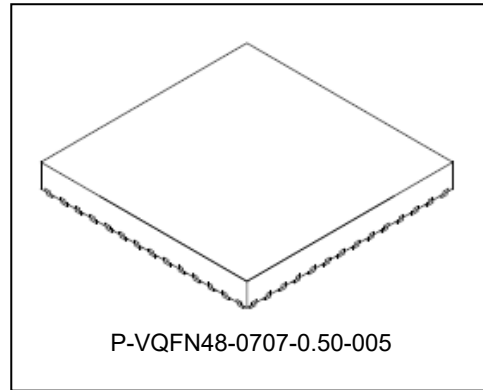
TB9083FTG は、車載向けブラシレスモーター用のプリドライバーICです。

3相プリドライバー以外に、セーフティリレー用のプリドライバーも内蔵しています。

チャージポンプ、モーター電流検出回路、発振回路、SPI 通信回路を内蔵しています。

各種異常検出機能を搭載しており、異常検出条件、異常検出後の動作を設定できます。各設定については、SPI 通信を介して設定可能です。

また、各種異常検出機能の正常動作を診断するための ABIST/LBIST 機能を搭載しています。



P-VQFN48-0707-0.50-005

質量: 137.9mg (標準)

2. 用途

EPS 用、電動ブレーキ用、ポンプ用など

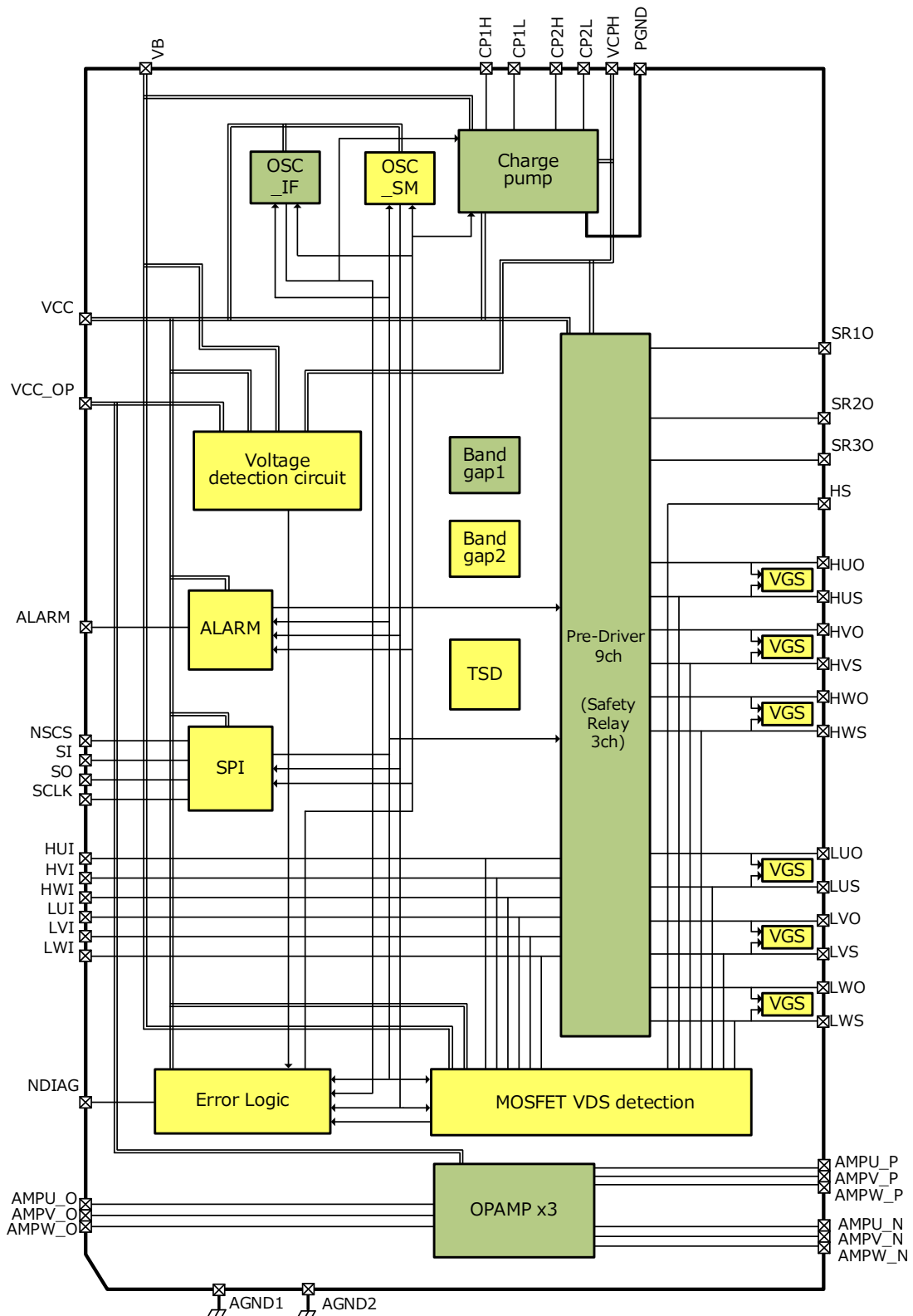
3. 特長

- 3相プリドライバー : PWM 制御 ~20kHz
- フェールセーフリレー用プリドライバー
- チャージポンプ回路内蔵
- 電流検出回路内蔵
- 各種異常検出機能内蔵
(低電圧(VB, VCC, VCC_OP) / 高電圧(VCC, VCC_OP, VCPH, 外部 MOSFET の VGS) / 過熱 / 外部 MOSFET の VDS 検出)
- ABIST / LBIST 機能内蔵
- AEC-Q100/AEC-Q006 適合
- 動作電圧範囲 : VB=4.5~28V, VCC=3.0~5.5V
- 動作温度範囲 : Ta=-40~150°C, Tj=-40~175°C
- パッケージ : P-VQFN48-0707-0.50-005(Wettable flank, 0.5mm ピッチ)
- 機能安全
 - ISO 26262 2nd edition に従った開発。 ASIL-D Capable.
 - セーフティマニュアルや安全分析のレポート
 - 機能冗長およびABISTとLBIST内蔵
 - CRCチェックを備えたSPIインターフェイス

包装箱ラベルに“[[G]]/RoHS COMPATIBLE”、“[[G]]/RoHS [[Chemical symbol(s) of controlled substance(s)]”、“RoHS COMPATIBLE”または“RoHS COMPATIBLE, [[Chemical symbol(s) of controlled substance(s)]>MCV”と記載があれば、本製品はその記載の意味において欧州RoHS 指令(2011 / 65 / EU)対応品です。

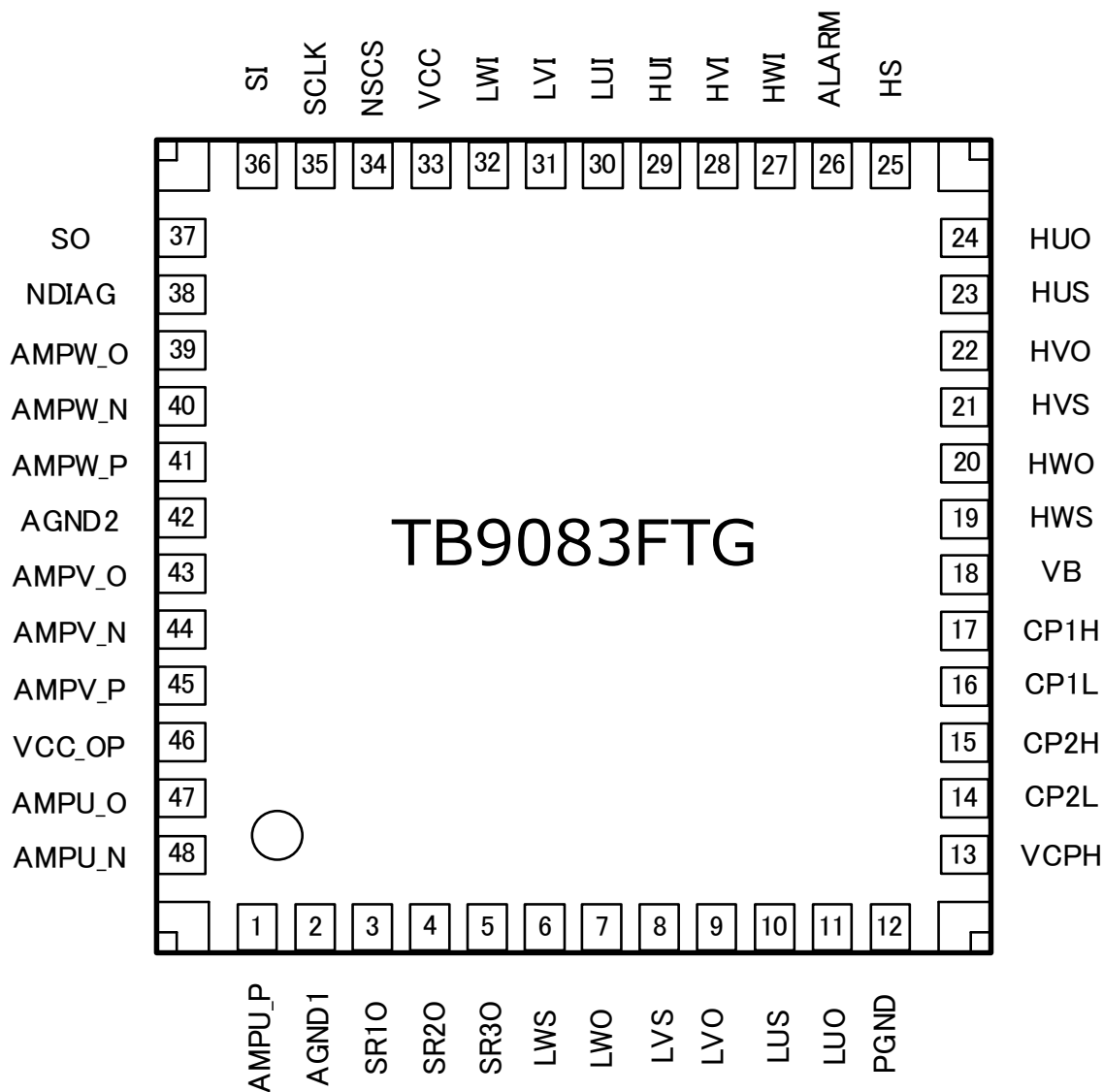
製品量産開始時期
2022-11

4. ブロック図



・ブロック図内の機能ブロック/接続配線などは機能説明のため、一部省略または簡略化している場合があります。
(個別ブロック図も含む)

5. 端子配置図(Top View)



6. 端子説明

No.	端子名称	入出力	機能	Pull-up/down 抵抗	備考
1	AMPU_P	IN	電流検出アンプ(+)入力(U相)	—	—
2	AGND1	GND	アナログ回路用グラウンド1	—	—
3	SR1O	OUT	セーフティリレー1 出力	—	SPI 設定
4	SR2O	OUT	セーフティリレー2 出力	—	SPI 設定
5	SR3O	OUT	セーフティリレー3 出力	—	SPI 設定
6	LWS	IN	ブリドドライバー基準入力(W相ローサイドソース)	—	—
7	LWO	OUT	ブリドドライバー出力(W相ローサイド)	Pull-down to LWS	—
8	LVS	IN	ブリドドライバー基準入力(V相ローサイドソース)	—	—
9	LVO	OUT	ブリドドライバー出力(V相ローサイド)	Pull-down to LVS	—
10	LUS	IN	ブリドドライバー基準入力(U相ローサイドソース)	—	—
11	LUO	OUT	ブリドドライバー出力(U相ローサイド)	Pull-down to LUS	—
12	PGND	GND	パワーグラウンド	—	—
13	VCPH	電源	チャージポンプ電圧	Pull-down to VB	—
14	CP2L	OUT	チャージポンプ2 段目出力	—	—
15	CP2H	I/O	チャージポンプ2 段目ドライブ出力	—	—
16	CP1L	OUT	チャージポンプ1 段目出力	—	—
17	CP1H	I/O	チャージポンプ1 段目ドライブ出力	—	—
18	VB	電源	バッテリー電源	—	—
19	HWS	IN	ブリドドライバー基準入力(W相ハイサイドソース)	Pull-up to HS Pull-down to LWS	ブルアップ、ブルダウン抵抗は外部 FET 検査モード(FET_TEST)時のみ接続可能。
20	HWO	OUT	ブリドドライバー出力(W相ハイサイド)	Pull-down to HWS	—
21	HVS	IN	ブリドドライバー基準入力(V相ハイサイドソース)	Pull-up to HS Pull-down to LVS	ブルダウン、ブルアップ抵抗は外部 FET 検査モード(FET_TEST)時のみ接続可能。
22	HVO	OUT	ブリドドライバー出力(V相ハイサイド)	Pull-down to LVS	—
23	HUS	IN	ブリドドライバー基準入力(U相ハイサイドソース)	Pull-up to HS Pull-down to LUS	ブルダウン、ブルアップ抵抗は外部 FET 検査モード(FET_TEST)時のみ接続可能。
24	HUO	OUT	ブリドドライバー出力(U相ハイサイド)	Pull-down to HUS	—
25	HS	IN	外部 MOSFET の VDS 検出入力(ハイサイド)	—	—
26	ALARM	IN	ブリドドライバーイネーブル信号	Pull-down to GND	—
27	HWI	IN	ブリドドライバー入力(W相ハイサイド)	Pull-down to GND	—
28	HVI	IN	ブリドドライバー入力(V相ハイサイド)	Pull-down to GND	—
29	HUI	IN	ブリドドライバー入力(U相ハイサイド)	Pull-down to GND	—
30	LUI	IN	ブリドドライバー入力(U相ローサイド)	Pull-down to GND	—
31	LVI	IN	ブリドドライバー入力(V相ローサイド)	Pull-down to GND	—
32	LWI	IN	ブリドドライバー入力(W相ローサイド)	Pull-down to GND	—
33	VCC	電源	外部 5V/3.3V 電源	—	—
34	NSCS	IN	SPI チップセレクト	Pull-up to VCC	—
35	SCLK	IN	SPI クロック入力	Pull-down to GND	—
36	SI	IN	SPI 入力	Pull-down to GND	—
37	SO	OUT	SPI 出力	—	—
38	NDIAG	OUT	エラー出力	—	—
39	AMPW_O	OUT	電流検出アンプ出力(W相)	—	—
40	AMPW_N	IN	電流検出アンプ(-)入力(W相)	—	—
41	AMPW_P	IN	電流検出アンプ(+)入力(W相)	—	—
42	AGND2	GND	アナログ回路用グラウンド2	—	—
43	AMPV_O	OUT	電流検出アンプ出力(V相)	—	—
44	AMPV_N	IN	電流検出アンプ(-)入力(V相)	—	—
45	AMPV_P	IN	電流検出アンプ(+)入力(V相)	—	—
46	VCC_OP	電源	電流検出アンプ用電源(5V/3.3V)	—	—
47	AMPU_O	OUT	電流検出アンプ出力(U相)	—	—
48	AMPU_N	IN	電流検出アンプ(-)入力(U相)	—	—

●内部信号名解説

内部信号名	概要	状態	
		H	L
(abst_pass)	ABIST 正常信号	ABIST 正常	ABIST 異常
(abst_end)	ABIST 終了信号	ABIST 終了	ABIST 未終了
(gate_en_u)	ブリドドライバー出カインーブル信号(U相)	Enable	Disable
(gate_en_v)	ブリドドライバー出カインーブル信号(V相)	Enable	Disable
(gate_en_w)	ブリドドライバー出カインーブル信号(W相)	Enable	Disable
(gate_en_r)	ブリドドライバー出カインーブル信号(セーフティリレー)	Enable	Disable
(gate_off_u)	ALARM 要因以外のブリドドライバー停止指示信号 U 相	—	—
(gate_off_v)	ALARM 要因以外のブリドドライバー停止指示信号 V 相	—	—
(gate_off_w)	ALARM 要因以外のブリドドライバー停止指示信号 W 相	—	—
(gate_off_r)	ALARM 要因以外のリレー停止指示信号	—	—
(cp_en)	チャージポンプ回路イネーブル信号	Enable	Disable
(cp_off)	チャージポンプ停止指示信号	—	—
(vbl)	VB 低電圧検出信号	検出	解除
(vcphh)	VCPH 高電圧検出信号	検出	解除
(vcl1)	VCC 低電圧検出信号 1	検出	解除
(vcl2)	VCC 低電圧検出信号 2	検出	解除
(por_x)	内部リセット信号	リセット解除	リセット
(vccopl)	VCC_OP 低電圧検出信号	検出	解除
(vccoph)	VCC_OP 高電圧検出信号	検出	解除
(vch)	VCC 高電圧検出信号	検出	解除
(tsddet)	過熱検出信号	検出	解除
(clk4m_if)	4MHz クロック(IF 用源振)	—	—
(clk4m_sm)	4MHz クロック(SM 用源振)	—	—
(vdsuho)	外部 MOSFET の VDS 検出信号(U 相ローサイド)	検出	解除
(vdsvho)	外部 MOSFET の VDS 検出信号(V 相ローサイド)	検出	解除
(vdswho)	外部 MOSFET の VDS 検出信号(W 相ローサイド)	検出	解除
(vdsulo)	外部 MOSFET の VDS 検出信号(U 相ハイサイド)	検出	解除
(vdsvlo)	外部 MOSFET の VDS 検出信号(V 相ハイサイド)	検出	解除
(vdswho)	外部 MOSFET の VDS 検出信号(W 相ハイサイド)	検出	解除

<使用電源 / GND リスト>

略号	端子名	機能・用途
Vb	VB	バッテリー電源
Vcc	VCC	外部 5V/3.3V 電源
Vccop	VCC_OP	電流検出アンプ用電源(5V/3.3V)
Vcph	VCPH	チャージポンプ電圧(ハイサイド)
AGND	AGND1,AGND2	アナログ回路用グラウンド
PGND	PGND	パワーグラウンド

7. 機能動作説明

7.1. チャージポンプ回路

外付け MOSFET を駆動するプリドライバー用のチャージポンプ V_{cph} が $V_b+14V(Typ.)$ まで上がると内部回路の制御によりチャージポンプは動作を停止します。

チャージポンプの V_b 側にはスイッチ回路(CP_SW)を内蔵しています。CP_SW はトランジスターをオフさせ V_b から V_{cph} への供給を停止させることが可能です。CP_SW によりトランジスターをオフすると、チャージポンプが動作を停止し VCPH 端子の出力電圧が V_b となります。VCC 電圧が VCC 低電圧検出しきい値以下となる条件で、CP_SW はトランジスターをオフします。また、SPI 通信により制御し CP_SW にトランジスターをオフさせることも可能です。VB より VCPH への供給ラインの電流を監視して規定の電流に制限する電流制限回路 CP_CL を備えています。

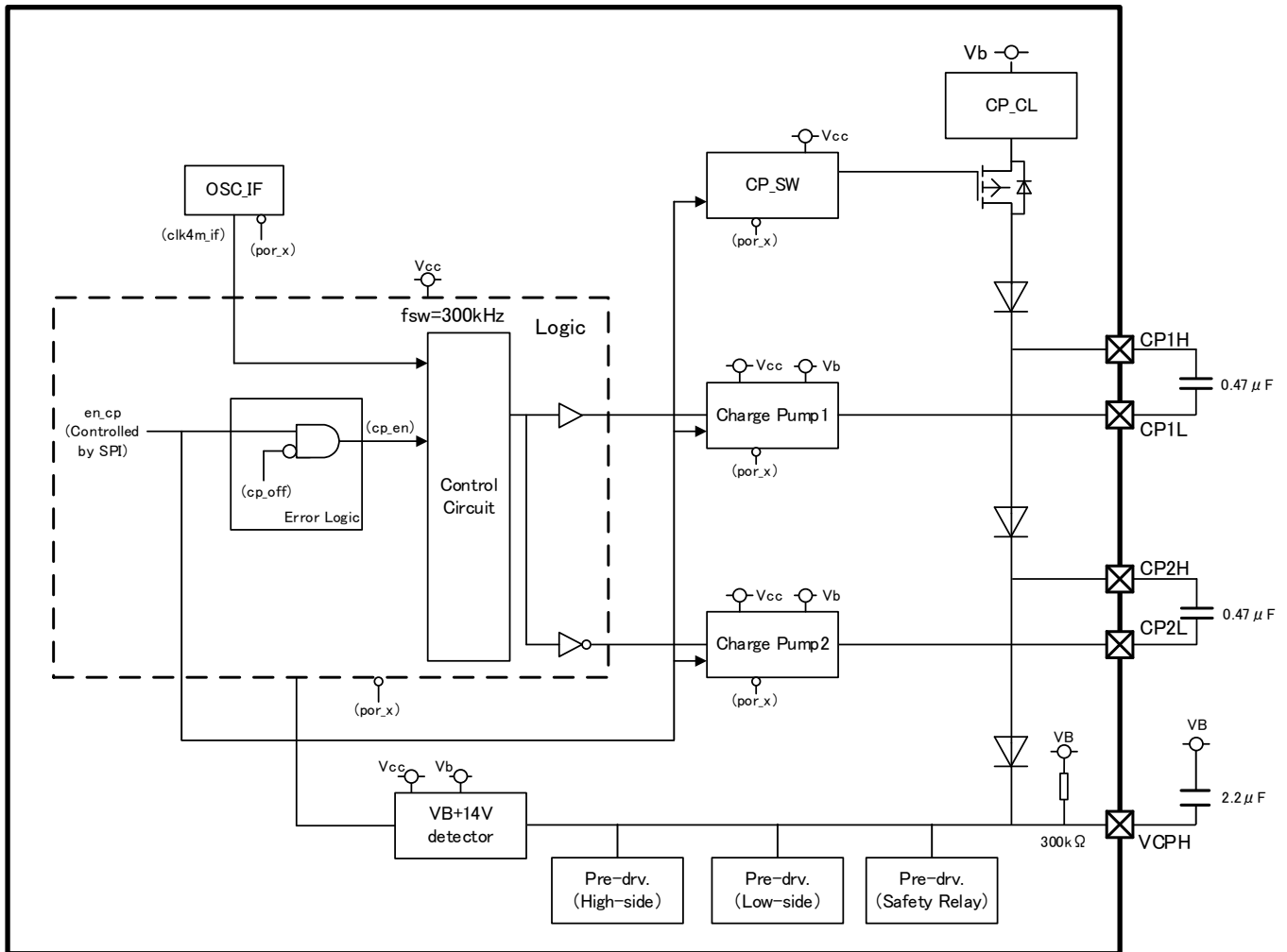


Fig. 7.1-a チャージポンプ回路ブロック図

7.2. プリドライバー回路

プリドライバー回路はハイサイド駆動用、ローサイド駆動用、セーフティリレー(電源リレーまたはモーターリレー)駆動用プリドライバー回路を有します。

ハイサイド駆動およびローサイド駆動用プリドライバー回路はそれぞれ入出力端子を持ち、各入力端子に入力された信号により制御します。

セーフティリレー駆動用プリドライバー回路は **CP RLY CTRL** レジスターにより制御します。セーフティリレー駆動用プリドライバー回路は **500Ω** の抵抗および逆接続時の逆流防止用ダイオードを内蔵しています(Fig. 7.2-c)。モーターリレーにプルダウン抵抗を接続する場合は、ゲート抵抗との分圧に注意してください。セーフティリレー出力 **SR10, SR20, SR30** を電源リレーに使用する場合は外付けシリーズ抵抗値の制限はありません。

HUS, HVS, HWS 端子を中点電圧に保つための抵抗は 7.8 の初期診断を実行するときだけ接続されます。

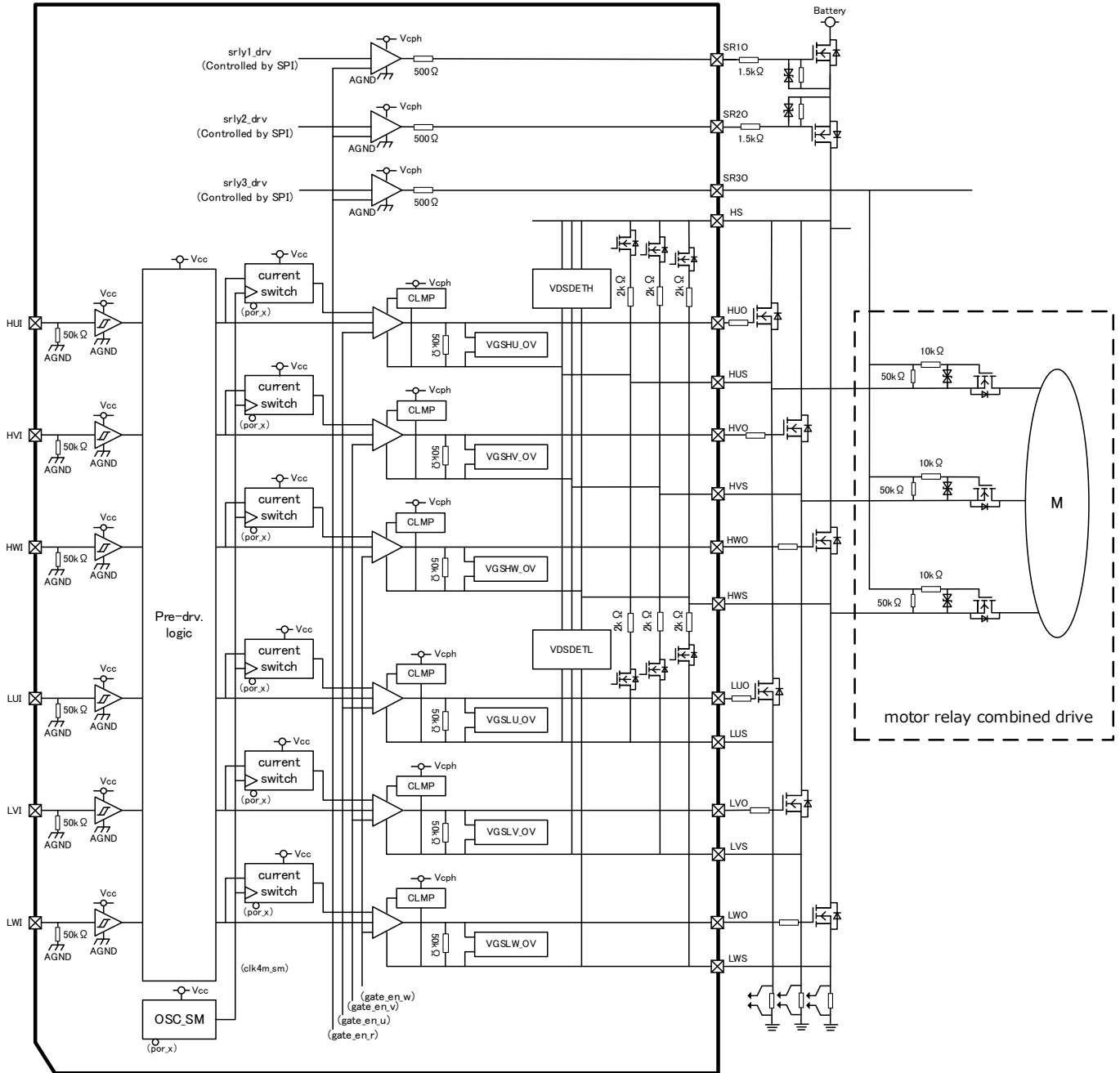


Fig. 7.2-a プリドライバー回路ブロック図 (モーターリレー 一括駆動時)

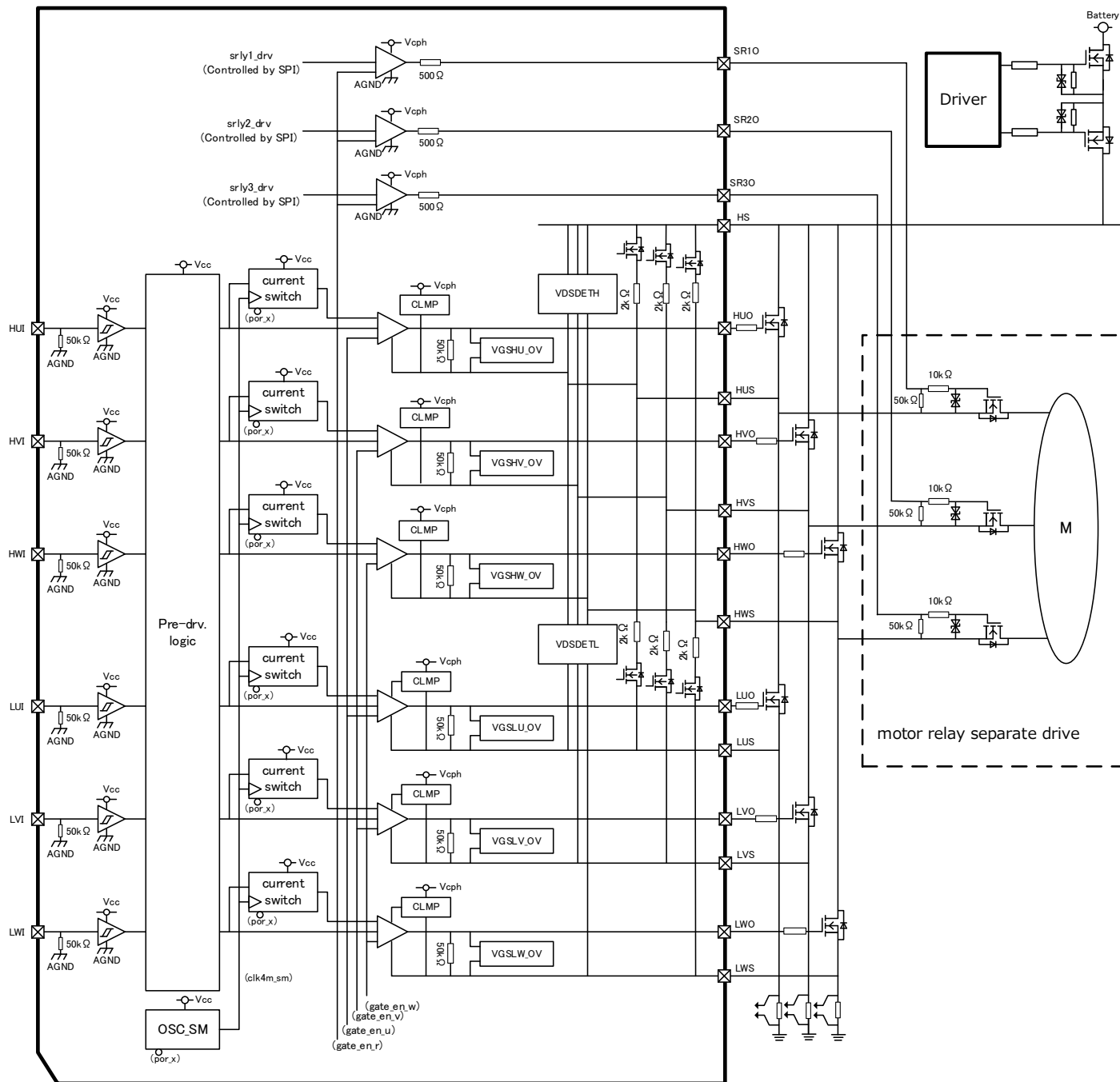


Fig. 7.2-b ブリドライバ回路ブロック図 (モーターリレー個別駆動時)

<セーフティリレー(電源リレーまたはモーターリレー)駆動回路>

セーフティリレー駆動回路は電源リレーまたはモーターリレーを制御する回路です。セーフティリレー用ブリドドライバー回路は [CP_RLY_CTRL](#) レジスターにより制御します。セーフティリレー駆動用ブリドドライバー回路は 500Ω の抵抗および逆接続時の逆流防止用ダイオードを内蔵しています(Fig. 7.2-c)

真理値表を表 7.2-a に示します。真理値表内の内部信号(gate_en_r)の詳細は 7.6 を参照してください。

表 7.2-a 入出力真理値表 (セーフティリレー駆動回路)

・電源リレーまたは、モーターリレー駆動回路 1 (SR10)

内部信号 (gate_en_r)	入力 (SPI) レジスター srly1_drv	出力 SR10	備考
“L”	*	“L”	—
“H”	“0”	“L”	—
	“1”	“H”	—

・電源リレーまたは、モーターリレー駆動回路 2 (SR20)

内部信号 (gate_en_r)	入力 (SPI) レジスター srly2_drv	出力 SR20	備考
“L”	*	“L”	—
“H”	“0”	“L”	—
	“1”	“H”	—

・電源リレーまたは、モーターリレー駆動回路 3 (SR30)

内部信号 (gate_en_r)	入力 (SPI) レジスター srly3_drv	出力 SR30	備考
“L”	*	“L”	—
“H”	“0”	“L”	—
	“1”	“H”	—

*:Don't care

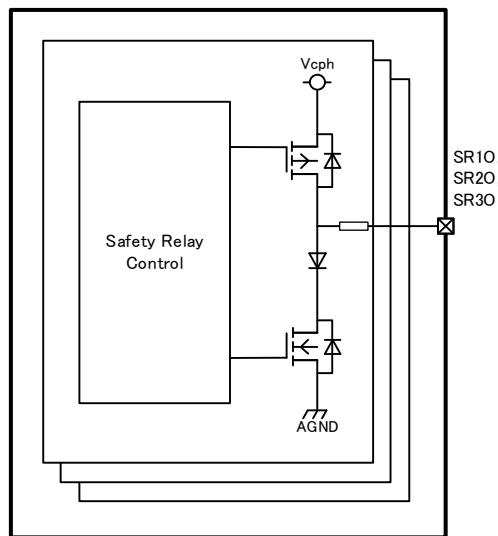


Fig. 7.2-c セーフティリレー回路ブロック図

<ハイサイド駆動回路、ローサイド駆動回路>

ハイサイド駆動回路はハイサイドの MOSFET を駆動する回路です。ローサイド駆動回路はローサイドの MOSFET を駆動する回路です。ハイサイド、ローサイド各 3ch 内蔵しています。入力信号(HUI/HVI/HWI, LUI/LVI/LWI)は制御ブロックで変換され、出力信号(HUO/HVO/HWO, LUO/LVO/LWO)を出力します。

➤ 電流制限機能

ハイサイド駆動およびローサイド駆動回路の Turn on/Turn off 時間後の電流は **T_ILIM** レジスタの **t_ilim** 設定に応じて電流制限(Io_lmth/ Io_lmtl)がかかります。レジスタ:t_ilim="11"の場合は電流制限無し(設定した定電流)となり、t_ilim="00"~"10"の場合は設定した時間となります。

➤ 禁止入力機能

真理値表を表 7.2-b に示します。代表例として U 相について記載します。ブリドライバーが有効な期間(gate_en_u="H")に HUI=LUI="H"となった場合の動作は、**PL_CTRL** レジスタにより選択可能です。plu_dis ビットが"L"の場合は入力禁止モードが有効であり、出力が HUO=LUO="L"として出力されます。この時 pl_op によってステータスレジスタを"H"に設定するかどうかを選択できます。pl_op が"H"に設定されている場合は err_pl_u に"H"をセットします。pl_op="L"の場合は err_pl_u に"H"をセットしません。DIAG 端子はステータスレジスタに従います。また plu_dis="H"に設定された場合は、禁止入力検出自体が無効となり、出力を HUO=LUO="H"とすることができます。真理値表内の内部信号(gate_en_u, gate_en_v, gate_en_w)の詳細は 7.6 を参照してください。

表 7.2-b 入出力真理値表 (ハイサイド、ローサイド駆動回路)

・MOSFET 駆動回路 1 (U 相)

内部信号	入力		レジスタ設定		出力		status	備考
(gate_en_u)	HUI	LUI	plu_dis	pl_op	HUO	LUO	err_pl_u	
"L"	"L"	*	*	*	"L"	"L"	—	—
	*	"L"	*	*			—	—
	"H"	"H"	"L"	"L"			—	禁止入力モード
			"L"	"H"			"set"	禁止入力モード、ステータスあり
			"H"	*			—	禁止入力モードを無効(U 相)
"H"	"L"	"L"	*	*	"L"	"L"	—	—
	"L"	"H"	*	*	"L"	"H"	—	—
	"H"	"L"	*	*	"H"	"L"	—	—
	"H"	"H"	"L"	"L"	"L"	"L"	—	禁止入力モード
			"L"	"H"	"L"	"L"	"set"	禁止入力モード、ステータスあり
			"H"	*	"H"	"H"	—	禁止入力モードを無効(U 相)

・MOSFET 駆動回路 2 (V 相)

内部信号 (gate_en_v)	入力		レジスター設定		出力		status	備考
	HVI	LVI	plv_dis	pl_op	HVO	LVO	err_pl_v	
“L”	“L”	*	*	*	“L”	“L”	—	—
	*	“L”	*	*			—	—
	“H”	“H”	“L”	“L”			—	禁止入力モード
			“L”	“H”			“set”	禁止入力モード、ステータスあり
			“H”	*			—	禁止入力モードを無効(V 相)
“H”	“L”	“L”	*	*	“L”	“L”	—	—
	“L”	“H”	*	*	“L”	“H”	—	—
	“H”	“L”	*	*	“H”	“L”	—	—
	“H”	“H”	“L”	“L”	“L”	“L”	—	禁止入力モード
			“L”	“H”	“L”	“L”	“set”	禁止入力モード、ステータスあり
“H”			*	“H”	“H”	—	禁止入力モードを無効(V 相)	

・MOSFET 駆動回路 3 (W 相)

内部信号 (gate_en_w)	入力		レジスター設定		出力		status	備考
	HWI	LWI	plw_dis	pl_op	HWO	LWO	err_pl_w	
“L”	“L”	*	*	*	“L”	“L”	—	—
	*	“L”	*	*			—	—
	“H”	“H”	“L”	“L”			—	禁止入力モード
			“L”	“H”			“set”	禁止入力モード、ステータスあり
			“H”	*			—	禁止入力モードを無効(W 相)
“H”	“L”	“L”	*	*	“L”	“L”	—	—
	“L”	“H”	*	*	“L”	“H”	—	—
	“H”	“L”	*	*	“H”	“L”	—	—
	“H”	“H”	“L”	“L”	“L”	“L”	—	禁止入力モード
			“L”	“H”	“L”	“L”	“set”	禁止入力モード、ステータスあり
“H”			*	“H”	“H”	—	禁止入力モードを無効(W 相)	

・ *:Don't care

・ DIAG 端子はステータスに連動します。ステータスのクリアは err_pl_*_cl ビットを設定することで行います。

7.3. 電流検出回路

7.3.1. 構成

モーター電流検出用アンプを3つ、基準電圧生成用アンプを1つ内蔵しています(Fig7-3-a, Fig7-3-b)。モーター電流検出用アンプはモーター駆動部に接続されているシャント抵抗を流れる電流により生じる差電圧を増幅して出力することができます。基準電圧生成用アンプは基準電圧生成用のバッファアンプとして用います。電流検出の外部構成として、1 シャント構成と3 シャント構成のどちらにも対応可能です。

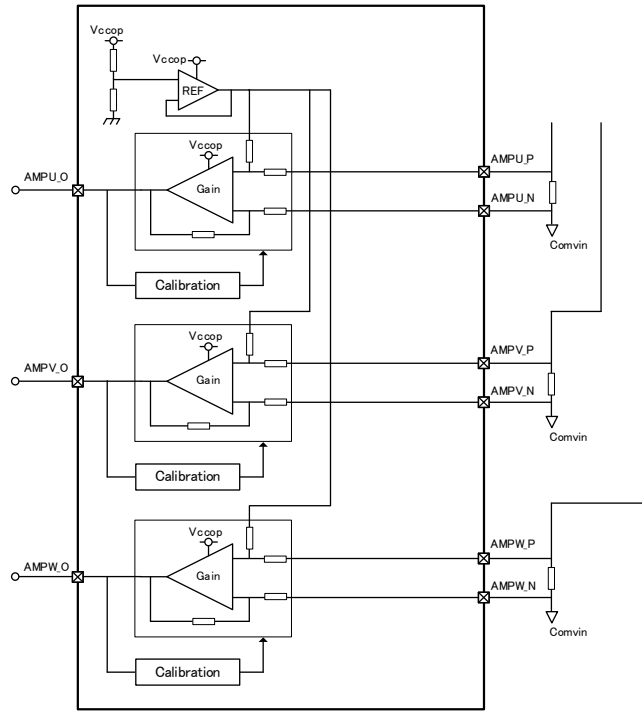


Fig. 7.3-a モーター電流検出回路ブロック図 (3 シャント構成)

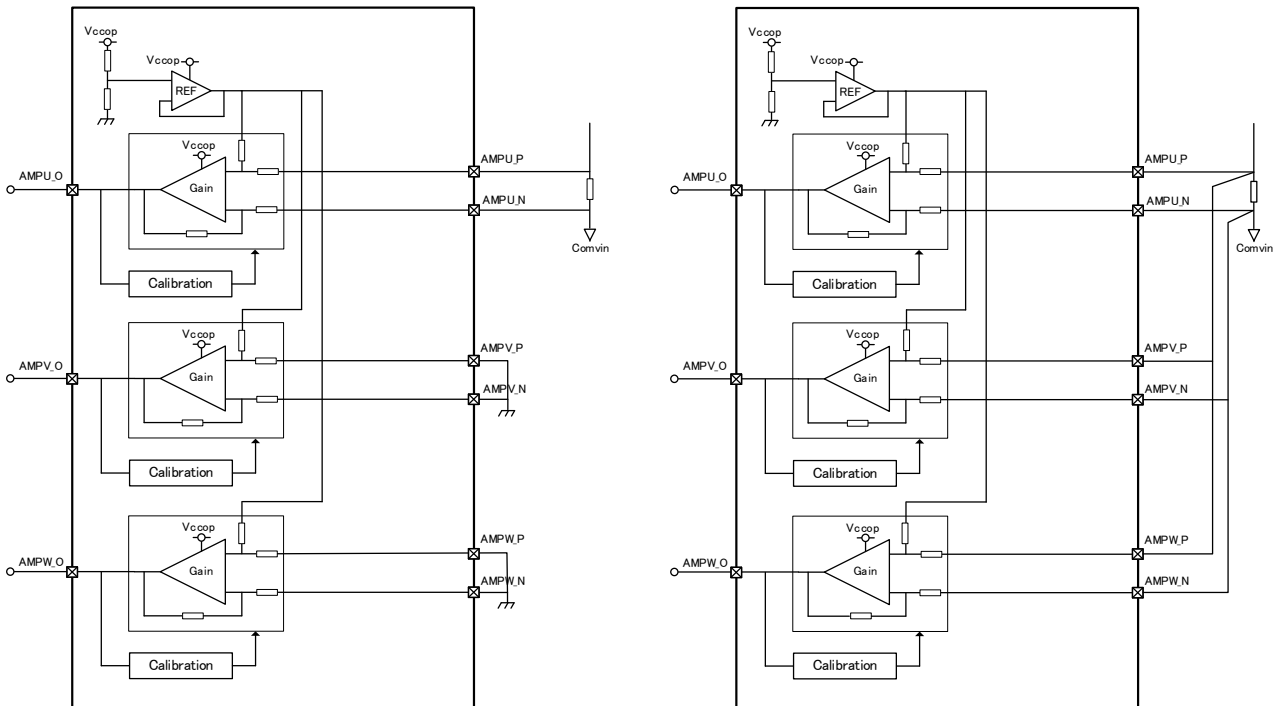


Fig. 7.3-b モーター電流検出回路ブロック図 (1 シャント構成)

7.3.2. オフセットキャリブレーション

[AMP_CTRL](#) レジスタ:cal_amp_*(*)は u/v/w)に“1”を書き込むと、電流検出アンプのオフセットキャリブレーションを実行します。キャリブレーションの実行は入力差電圧が同電位(0V)のときに行ってください。入力差電圧がある場合は正しくキャリブレーションが実行されません。ブロック図を Fig. 7.3-c に示します。cal_amp_*を設定することでオフセットキャリブレーションがスタートし [AMP_STAT](#) の cal_en="H"となります。調整中は GAIN_SEL=5h(30倍)に固定されます。CAL_DAT_*

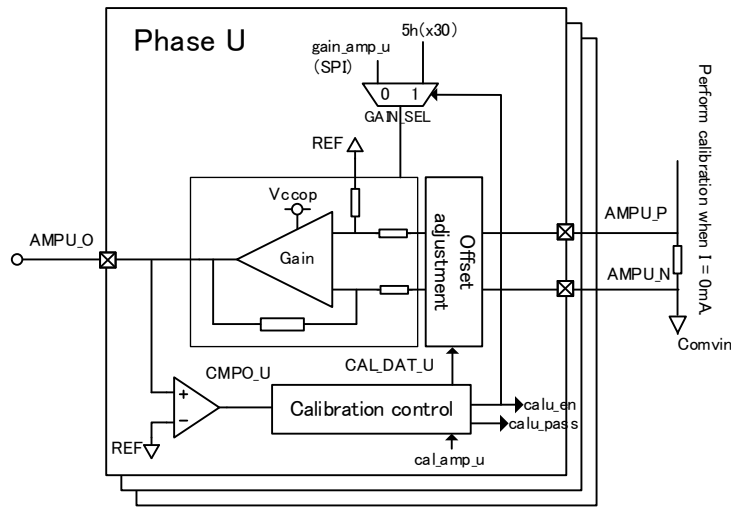


Fig. 7.3-c オフセットキャリブレーションブロック図

を変化させながらアンプ出力を REF と比較することにより、オフセット補正値を探します。調整が完了すると cal_en="L"となり調整後の結果の妥当性を判断して cal*_pass にセットします。cal*_pass="H"となった場合は結果がそのまま保持され調整値として使用されます。cal*_pass="L"となった場合は調整結果が破棄されリセット時のデフォルト値に戻ります。

[AMP_CTRL](#) レジスタの cal_amp_*のビットが複数同時に設定された場合は、設定された相に対するオフセットキャリブレーションを同時に実行します。[AMP_STAT](#) の cal_en="L"となりキャリブレーションが終了した時点で cal*_pass が設定さ

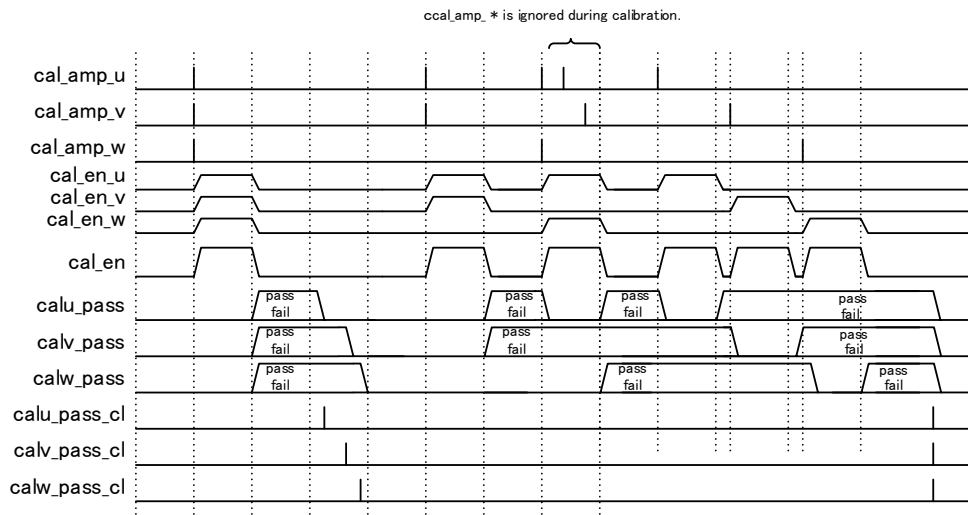


Fig. 7.3-d オフセットキャリブレーションの実行

れますが、[AMP_STAT_CLR](#) レジスタの cal*_pass_cl ビットに 1 をライトすることによりステータスを任意のタイミングでクリアすることができます。また、cal*_pass は対応する相のキャリブレーションが開始されたときに自動的に"L"にクリアされます。cal_en が"H"の期間はキャリブレーション実行中であるため、この期間で cal_amp_*を設定しても破棄されます。

7.4. 発振回路

発振回路を2つ内蔵しています。OSC_IFはチャージポンプ用、OSC_SMはシステムクロック/監視/SPI用です。発振回路はCR内蔵構成となっており、発振周波数はおおの4MHz(typ.)です。発振回路は内部信号(por_x)解除後に動作を開始します。2つの発振器に使用する基準電圧源(BG1,BG2)は各々別系統のものを使用します。

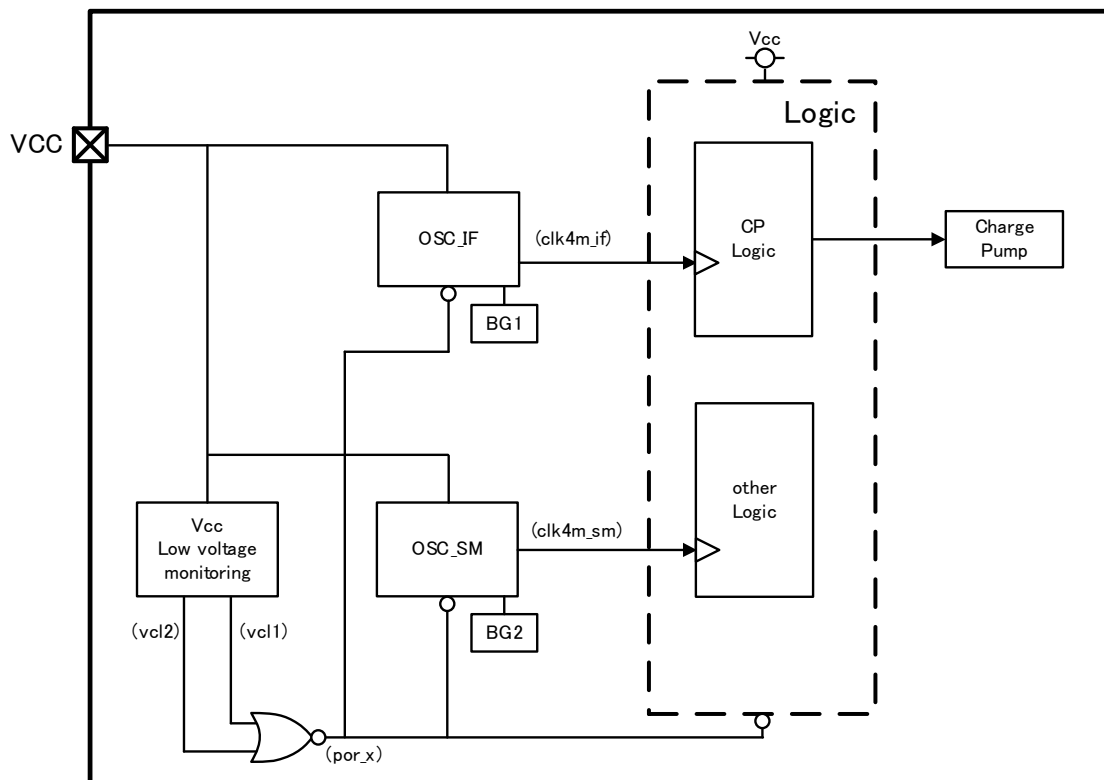


Fig. 7.4-a 発振回路ブロック図

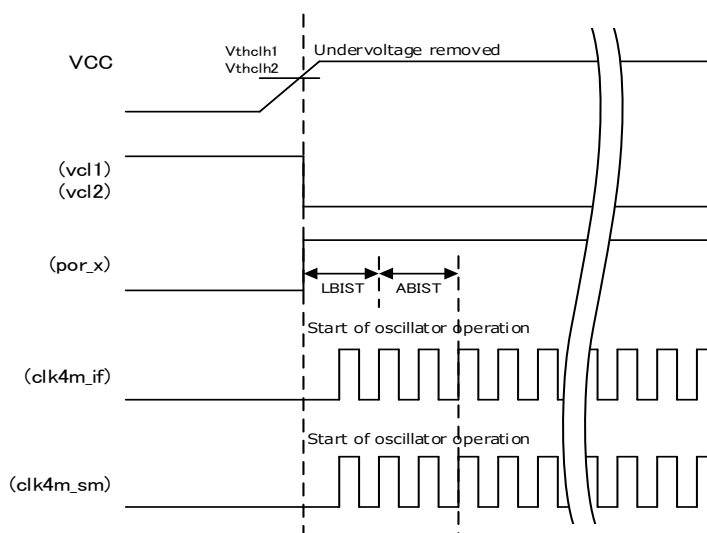


Fig. 7.4-b 発振回路タイミングチャート

7.5. 異常検出回路

低電圧(VB, VCC, VCC_OP) / 高電圧(VCPH, VCC, VCC_OP, 外部 MOSFET の VGS) / 過熱 / 外部 MOSFET の VDS / 周波数異常検出機能を内蔵しています。監視機能一覧および内部信号の内容について以下に示します。動作詳細は 7.5.1 以降を参考してください。異常検出してプリドライバー回路がオフする場合、外部 MOSFET の VDS 検出機能が無効となります。その後、異常から復帰しプリドライバー回路が動作可能になると、外部 MOSFET の VDS 検出機能は再び有効になります。

表 7.5-a 監視機能一覧

監視機能	設定 Reg.	設定 bit	検出時動作 注 4,5,6,7	初期値	BI ST 注 8	Status Reg. 注 2	Status Clear 注 1	NDI AG 注 3	
VCC 低電圧 1 VCC 低電圧 2	無	—	全ての(9ch)プリドライバー回路オフ、 チャージポンプオフ、発振回路オフ	—	—	—	—	“L”	
VB 低電圧	uvb_op	“000”	全ての(9ch)プリドライバー回路オフ	—	A	uvb	uvb_cl	“L”	
		“001”	全ての(9ch)プリドライバー回路オフ	○			—	“L”	
		“010”	全ての(9ch)プリドライバー回路オフ	—			—	“H”	
		“011”	モーター駆動(6ch)プリドライバー回路オフ	—			uvb_cl	“L”	
		“100”	モーター駆動(6ch)プリドライバー回路オフ	—			—	“L”	
		“101”	モーター駆動(6ch)プリドライバー回路オフ	—			—	“H”	
VCPH 高電圧	ocph_op	“000”	検出無効	○	A	ocph	—	—	“H”
		“001”	動作継続	—			—	—	
		“010”	全ての(9ch)プリドライバー回路オフ	—			—	—	
		“011”	モーター駆動(6ch)プリドライバー回路オフ	—			—	—	
		“100”	全ての(9ch)プリドライバー回路オフ、 チャージポンプオフ	—			ocph_cl	“L”	
		“101”	全ての(9ch)プリドライバー回路オフ(保持)、 チャージポンプオフ(保持)	—			—	—	
VCC 高電圧	ovc_op	“000”	検出無効	—	A	ovcc	—	—	“H”
		“001”	動作継続	—			—	—	
		“010”	全ての(9ch)プリドライバー回路オフ	○			—	—	
		“011”	モーター駆動(6ch)プリドライバー回路オフ	—			—	—	
		“100”	全ての(9ch)プリドライバー回路オフ、 チャージポンプオフ	—			ovcc_cl	“L”	
		“101”	全ての(9ch)プリドライバー回路オフ(保持)、 チャージポンプオフ(保持)	—			—	—	
VCC_OP 低電圧	uvccop_op	“000”	検出無効	○	A	uvccop	—	—	“H”
		“001”	動作継続	—			—	—	
		“010”	全ての(9ch)プリドライバー回路オフ	—			—	—	
		“011”	モーター駆動(6ch)プリドライバー回路オフ	—			—	—	
		“100”	全ての(9ch)プリドライバー回路オフ、 チャージポンプオフ	—			uvccop_cl	“L”	
		“101”	全ての(9ch)プリドライバー回路オフ(保持)、 チャージポンプオフ(保持)	—			—	—	
VCC_OP 高電圧	ovccop_op	“000”	検出無効	○	A	ovccop	—	—	“H”
		“001”	動作継続	—			—	—	
		“010”	全ての(9ch)プリドライバー回路オフ	—			—	—	
		“011”	モーター駆動(6ch)プリドライバー回路オフ	—			—	—	
		“100”	全ての(9ch)プリドライバー回路オフ、 チャージポンプオフ	—			ovccop_p_cl	“L”	
		“101”	全ての(9ch)プリドライバー回路オフ(保持)、 チャージポンプオフ(保持)	—			—	—	

監視機能	設定 Reg	設定 bit	検出時動作 注 4,5,6,7	初期値	BIS T 注 8	Status Reg. 注 2	Status Clear 注 1	NDI AG 注 3
過熱	tsd_op	"000"	検出無効	—	A	tsd	tsd_cl	"H"
		"001"	動作継続	—				
		"010"	全ての(9ch)プリドライバー回路オフ	○				
		"011"	モーター駆動(6ch)プリドライバー回路オフ	—				
		"100"	全ての(9ch)プリドライバー回路オフ、 チャージポンプオフ	—				
		"101"	全ての(9ch)プリドライバー回路オフ(保持)、 チャージポンプオフ(保持)	—				
ALARM	alr_op	"0"	全ての(9ch)プリドライバー回路オフ	○	—	alm_de t	—	"L"
		"1"	モーター駆動(6ch)プリドライバー回路オフ	—				
外部 MOSFET の Vds (ハイサイド)	vdsh _op	"0000"	検出無効	—	—	vds_uh vds_vh vds_wh	vds_uh_cl vds_vh_cl vds_wh_cl	"H"
		"0001"	動作継続	—				
		"0010"	検出した相の H/L プリドライバー回路オフ	—				
		"0011"	検出した相の H/L プリドライバー回路オフ(保持)	—				
		"0100"	全ての(9ch)プリドライバー回路オフ	—				
		"0101"	全ての(9ch)プリドライバー回路オフ(保持)	—				
		"0110"	モーター駆動(6ch)プリドライバー回路オフ	—				
		"0111"	モーター駆動(6ch)プリドライバー回路オフ (保持)	○				
		"1000"	全ての(9ch)プリドライバー回路オフ、 チャージポンプオフ	—				
"1001"	全ての(9ch)プリドライバー回路オフ(保持)、 チャージポンプオフ(保持)	—						
外部 MOSFET の Vds (ローサイド)	vdsl _op	"0000"	検出無効	—	—	vds_ul vds_vl vds_wl	vds_ul_cl vds_vl_cl vds_wl_cl	"H"
		"0001"	動作継続	—				
		"0010"	検出した相の H/L プリドライバー回路オフ	—				
		"0011"	検出した相の H/L プリドライバー回路オフ(保持)	—				
		"0100"	全ての(9ch)プリドライバー回路オフ	—				
		"0101"	全ての(9ch)プリドライバー回路オフ(保持)	—				
		"0110"	モーター駆動(6ch)プリドライバー回路オフ	—				
		"0111"	モーター駆動(6ch)プリドライバー回路オフ (保持)	○				
		"1000"	全ての(9ch)プリドライバー回路オフ、 チャージポンプオフ	—				
"1001"	全ての(9ch)プリドライバー回路オフ(保持)、 チャージポンプオフ(保持)	—						
外部 MOSFET Vgs 過電 圧	vgs_op	"000"	検出無効	—	A	vgs_uh vgs_ul vgs_vh vgs_vl vgs_wh vgs_wl	vgs_uh_cl vgs_ul_cl vgs_vh_cl vgs_vl_cl vgs_wh_cl vgs_wl_cl	"H"
		"001"	動作継続	—				
		"010"	全ての(9ch)プリドライバー回路オフ	—				
		"011"	モーター駆動(6ch)プリドライバー回路オフ	—				
		"100"	全ての(9ch)プリドライバー回路オフ、 チャージポンプオフ	—				
		"101"	全ての(9ch)プリドライバー回路オフ(保持)、 チャージポンプオフ(保持)	○				

監視機能	設定 Reg.	設定 bit	検出時動作 注 4,5,6,7	初期値	BIS T 注 8	Status Reg. 注 2	Status Clear 注 1	NDIAG 注 3
周波数異常 注 9	ferr_op	"000"	検出無効	○	L	err_of err_uf	err_of_cl err_uf_cl	"H"
		"001"	動作継続	—				"L"
		"010"	全ての(9ch)プリドライバー回路オフ	—				
		"011"	モーター駆動(6ch)プリドライバー回路オフ	—				
		"100"	全ての(9ch)プリドライバー回路オフ、 チャージポンプオフ	—				
		"101"	全ての(9ch)プリドライバー回路オフ (保持)、 チャージポンプオフ(保持)	—				
プリドライバー 禁止入力	pl_op	"0"	禁止入力時に検出相のプリドライバー オフ	○	—	err_pl_u err_pl_v err_pl_w	err_pl_u_cl err_pl_v_cl err_pl_w_cl	"H"
		"1"	禁止入力時に検出相のプリドライバー オフ	—				"L"
SPI 通信異常	無	—	動作継続	—	—	err_spi	err_spi_cl	"L"
QA 演算	qat_op	"001"	動作継続	○	L	err_qac	err_qac_cl	"L"
		"010"	全ての(9ch)プリドライバー回路オフ (保持)	—				
		"011"	モーター駆動(6ch)プリドライバー回路 オフ(保持)	—				
		"100"	全ての(9ch)プリドライバー回路オフ (保持)、 チャージポンプオフ(保持)	—				

- 注1) Status Clear の列にステータスクリアビットが記載されている動作モードでは、異常検出によってステータスビットが一度セットされるとステータスビットは保持されます。保持されたステータスビットをクリアする場合は、該当するステータスクリアビットに 1 を書き込んでください。異常検出回路が異常を検出している間は、保持されているステータスレジスターをクリアすることはできません。Status Clear の列にステータスクリアビットが記載されていない動作モードでは、異常検出が解消されるとステータスビットがクリアされます。
- 注2) Status Reg の列に"—"が記載されている動作モードでは、ステータスレジスターに値はセットされません。
- 注3) NDIAG の列に"H"と記載のある動作モードでは、異常を検出しても NDIAG 端子は"L"になりません。NDIAG の列に"L"と記載のある動作モードでは、NDIAG 端子はステータスレジスターに従います(VCC 低電圧検出以外)。ステータスレジスターが保持されている期間 NDIAG="L"を出力し、全てのステータスレジスターがクリアされると NDIAG="H"に復帰します。ステータスレジスターが保持されない動作モードでは、ステータスレジスターをクリアしなくても異常検出が解消されると NDIAG="H"に復帰します。
- 注4) 検出時動作の列に(保持)と記載のある動作モードでは、保持されたステータスレジスターによって動作が決まります。異常検出時に通常動作へ復帰させるためには、該当するステータスレジスターをクリアしてください。検出時動作に(保持)と記載の無い動作モードでは、ステータスレジスターをクリアしなくても異常検出が解消されると通常の動作に復帰します。
- 注5) 各監視機能に対する設定レジスター****_op の値はいつでも変更することが可能ですが、監視機能に対応するステータスレジスターが異常を検出したことを示している間は****_op の設定は実際の動作に反映されません。
- 注6) チャージポンプのオフは CP_SW オフと CP ドライバーが停止します。
- 注7) 全ての(9ch)プリドライバー回路オフは、セーフティリレーを含め外部 FET がオフとなるようにプリドライバーを"L"に駆動します。モーター駆動(6ch)プリドライバー回路オフは、セーフティリレーを除く外部 FET がオフとなるようにプリドライバーを"L"に駆動します。検出した相の H/L(2ch)プリドライバー回路オフは、検出相ハイサイド、ローサイドプリドライバーがオフとなるようにプリドライバーを"L"に駆動します。
- 注8) A:ABIST、L:LBIST
- 注9) OSC_SM のクロックが消失した場合は、検出時動作を実行させることは可能ですが、NDIAG は"L"になりません。

7.5.1. VCC 低電圧検出 1, 2 機能

VCC の低電圧検出を行います。検出コンパレータを 2 つ内蔵しており、2 つのコンパレータのうち 1 つでもコンパレータの出力が“H”となれば、低電圧検出が検出状態となります。検出コンパレータの基準となるバンドギャップ電圧は、別々のバンドギャップ回路(BG1、BG2)から生成します。

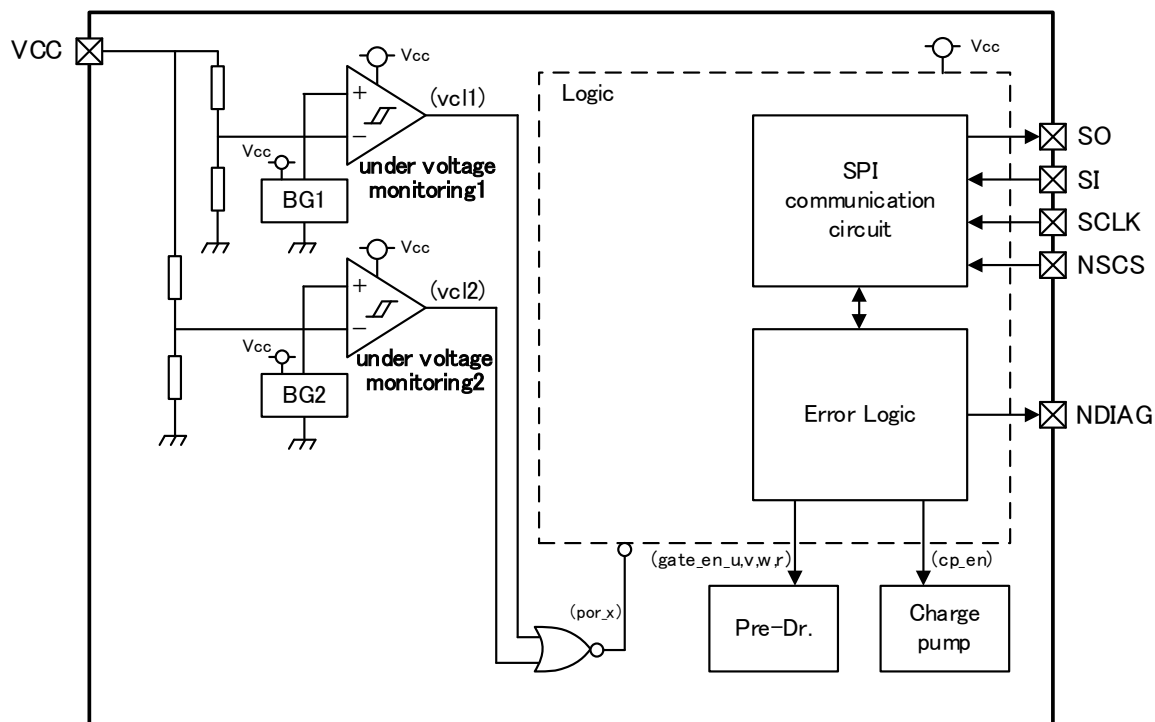


Fig. 7.5.1-a VCC 低電圧検出ブロック図

➤ ① VCC 電圧低下

VCC 電圧が低電圧検出電圧 V_{thclh1} , V_{thclh2} を下回ります。

➤ ② VCC 低電圧検出

応答時間 T_{cl} 後、VCC 低電圧検出信号($vcl1$),($vcl2$)="H"により低電圧状態を検出し、(por_x)="L"となり、NDIAG="L"を出力し、モーター駆動(6ch)プリドライバー回路、セーフティリレー(3ch)プリドライバー回路、チャージポンプ回路、発振回路をオフします。低電圧が解除されるまで、各回路はオフを保持します。

➤ ③ VCC 電圧復帰(低電圧解除)

VCC 電圧が V_{thclh1} , V_{thclh2} を上回ると、VCC 低電圧検出信号($vcl1$),($vcl2$)="L"となり低電圧が解除されます。

➤ ④ 通常動作復帰

LBIST、ABIST を実行後、BIST の診断が OK の場合に通常動作となります。チャージポンプ回路が動作を開始し、プリドライバー回路をオンすることが可能になります。診断が NG の場合は、チャージポンプ回路、プリドライバー回路は動作しません。また NDIAG は、診断 OK の場合は"H"、診断 NG の場合は"L"を出力します(7.7 を参照)。

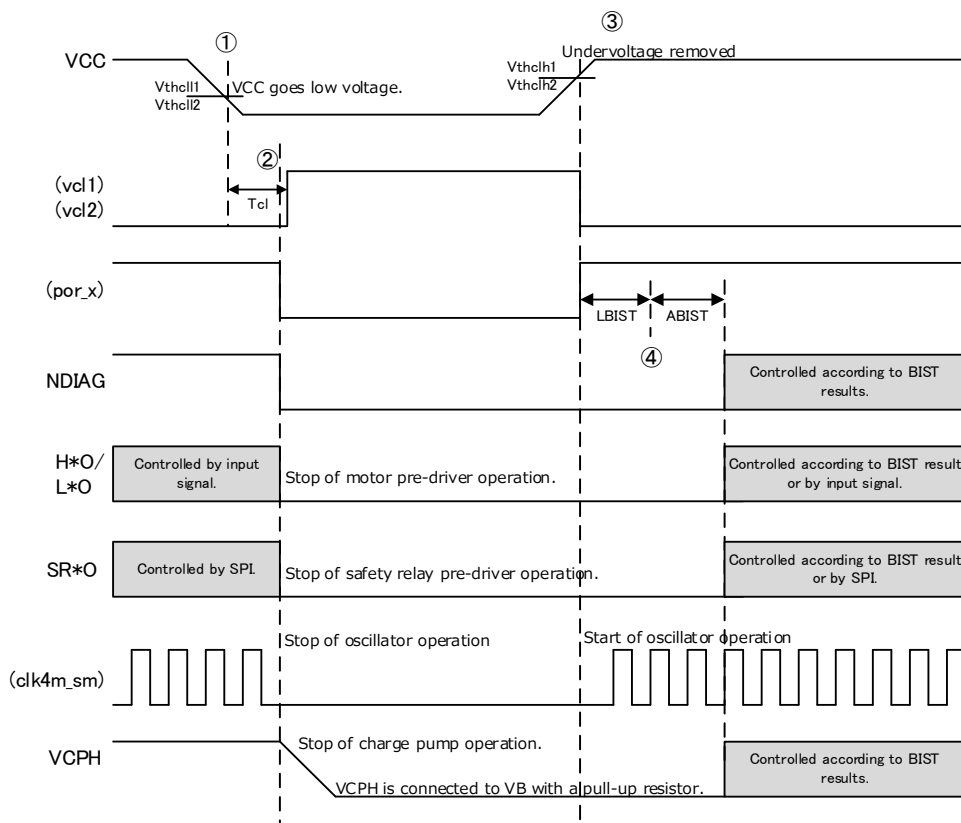


Fig. 7.5.1-b VCC 低電圧検出タイミングチャート

- Vcc 低電圧検出電圧よりもさらに Vcc が低下すると、スタンバイ状態となります。スタンバイ状態では、Vcc 低電圧検出以外の機能はオフします。

7.5.2. VB 低電圧検出機能

VB の低電圧検出を行います。検出コンパレータおよびフィルターを内蔵しており、フィルター出力が“H”となれば、低電圧検出が検出状態となります。検出コンパレータの基準となるバンドギャップ電圧は、バンドギャップ回路(BG2)から生成します。

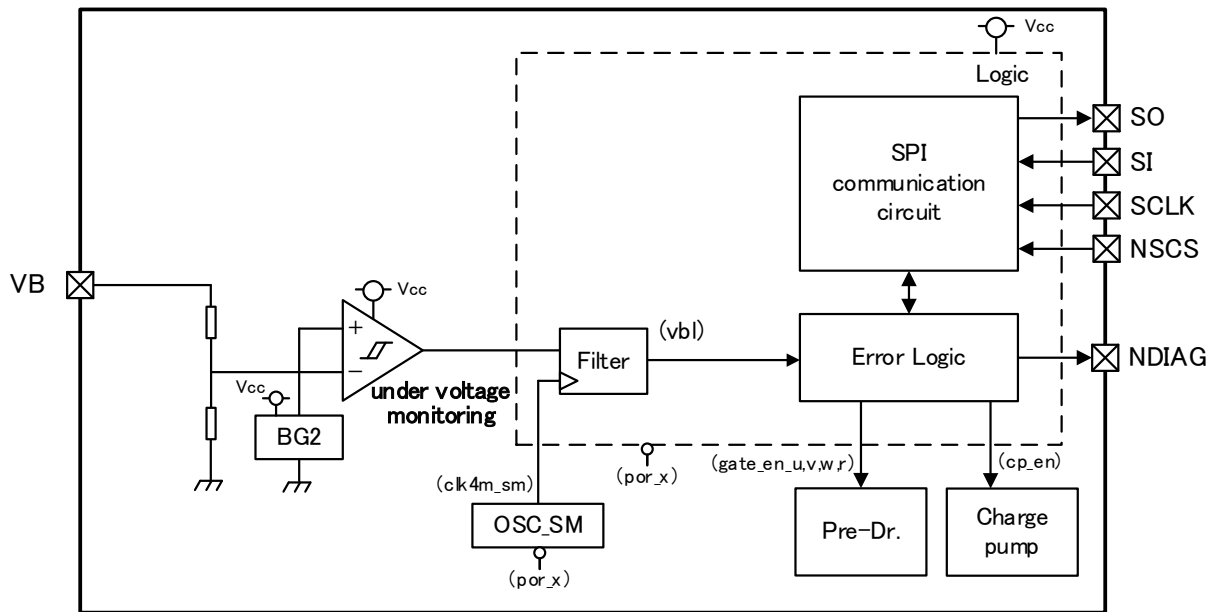


Fig. 7.5.2-a VB 低電圧検出ブロック図

➤ ① VB 電圧低下

VB 電圧が低電圧検出電圧 V_{thbl} を下回ると、Vb の L 検出コンパレータ出力が H となります。

➤ ② VB 低電圧検出

検出フィルター時間 T_{bl} 後、VB 低電圧検出信号(vbl)="H"により低電圧状態を検出し、セーフティレー含めた全ての(9ch)プリドライバー回路または、モーター駆動(6ch)プリドライバー回路をオフします。発振回路、チャージポンプ回路はオフしません。低電圧が解除されるまで、プリドライバー回路はオフを保持します。

検出後の動作は、SPI 通信を介して 6 モードの選択が可能です。

VB 低電圧検出状態時にモード変更しても、設定が有効になりません。VB 低電圧が解除されレジスター:uvb をクリア後に設定が有効になります。

➤ ③ VB 電圧復帰(低電圧解除)

VB 電圧が V_{thbh} を上回ると、VB 低電圧検出信号(vbl)="L"となり低電圧が解除され、プリドライバー回路は通常動作となります。

NDIAG="L"を出力している場合、SPI 通信によりレジスター:uvb がクリアされると、NDIAG="H"となります。

低電圧検出中は、レジスター:uvb をクリアできず、NDIAG="L"を出力します。

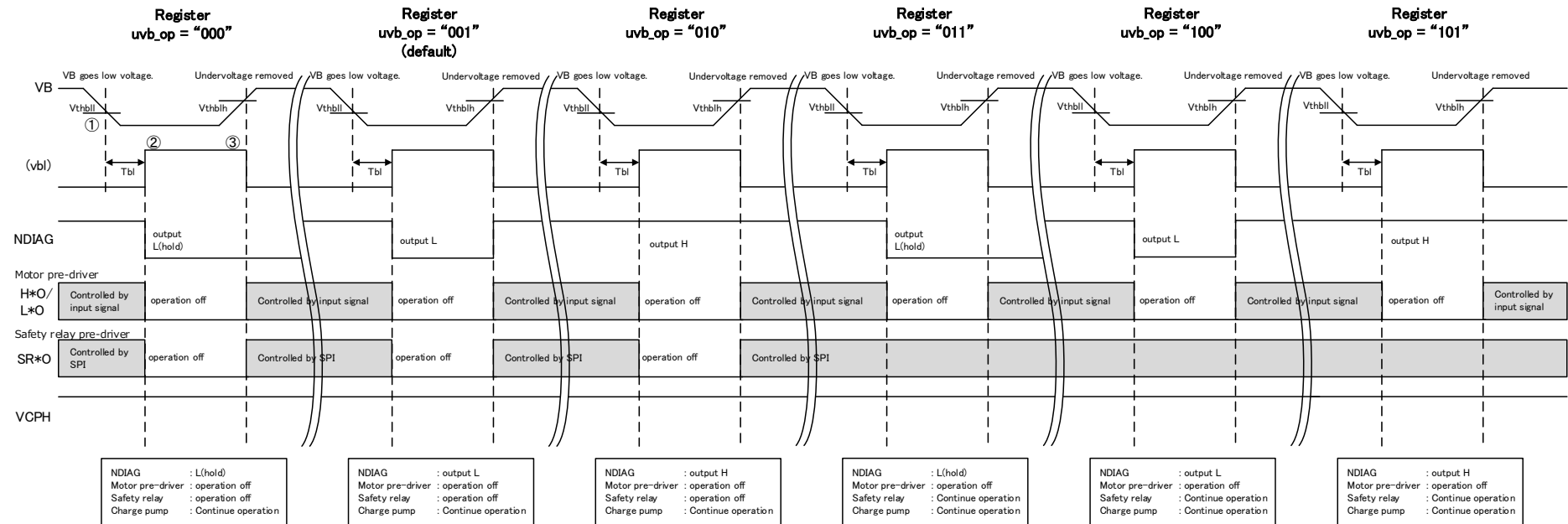


Fig. 7.5.2-b VB 低電圧検出タイミングチャート

7.5.3. VCPH 高電圧検出機能

VCPH の高電圧検出を行います。検出コンパレータおよびフィルタを内蔵しており、各フィルター出力が“H”となれば、高電圧検出が検出状態となります。検出コンパレータの基準となるバンドギャップ電圧は、バンドギャップ回路(BG2)から生成します。

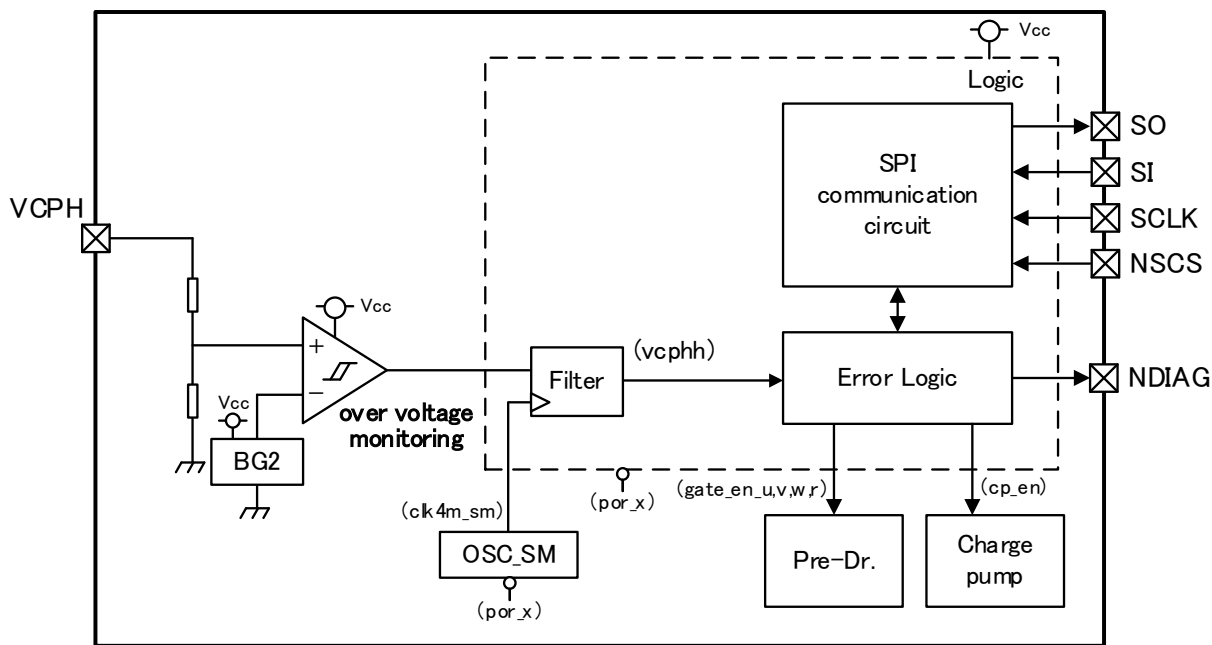


Fig. 7.5.3-a VCPH 高電圧検出ブロック図

➤ ① VCPH 電圧上昇

VCPH 電圧が高電圧検出電圧 $V_{thcphhh}$ を上回ると、VCPH の H 検出コンパレータ出力が“H”となります。

➤ ② VCPH 高電圧検出

検出フィルター時間 T_{cphh} 後、VCPH 高電圧検出信号($vcphh$)=“H”により高電圧状態を検出し、NDIAG=“L”となります。

ただし、レジスタ:ocph_op=“000”の場合、VCPH 高電圧検出時でも NDIAG=“H”を出力し、各回路も通常動作を継続します。

検出後の動作は、SPI 通信を介して 6 モードの選択が可能です。

VCPH 高電圧検出状態時にモード変更しても、設定が有効になりません。VCPH 高電圧が解除されレジスタ:ocph をクリア後に設定が有効になります。

➤ ③ VCPH 電圧復帰(高電圧解除)

VCPH 電圧が $V_{thcphhl}$ を下回ると、VCPH 高電圧検出信号($vcphh$)=“L”となり高電圧が解除されます。

レジスタ:ocph_op=“101”の場合、高電圧が解除されてもチャージポンプ、プリドライバーはオフを保持し、NDIAG=“L”も保持します。

レジスタ:ocph_op=“001”, “010”, “011”, “100”の場合、チャージポンプ、プリドライバーは通常動作となりますが、ステータスレジスタが保持されており、NDIAG=“L”を保持します。

SPI 通信によりレジスタ:ocph がクリアされると、各回路は通常動作となり、NDIAG=“H”となります。

高電圧検出中は、レジスタ:ocph をクリアできず、NDIAG=“L”を出力します。

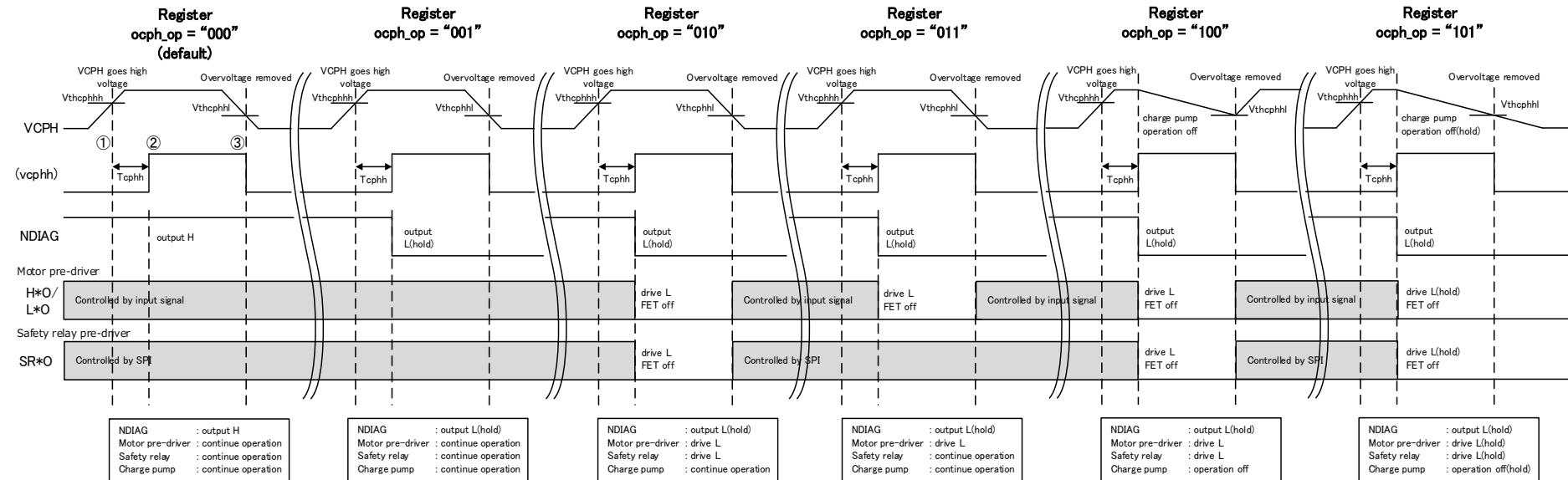


Fig. 7.5.3-b VCPH 高電圧検出タイミングチャート

7.5.4. VCC 高電圧検出機能

VCC の高電圧検出を行います。検出コンパレータおよびフィルタを内蔵しており、各フィルター出力が“H”となれば、高電圧検出が検出状態となります。検出コンパレータの基準となるバンドギャップ電圧は、バンドギャップ回路(BG2)から生成します。

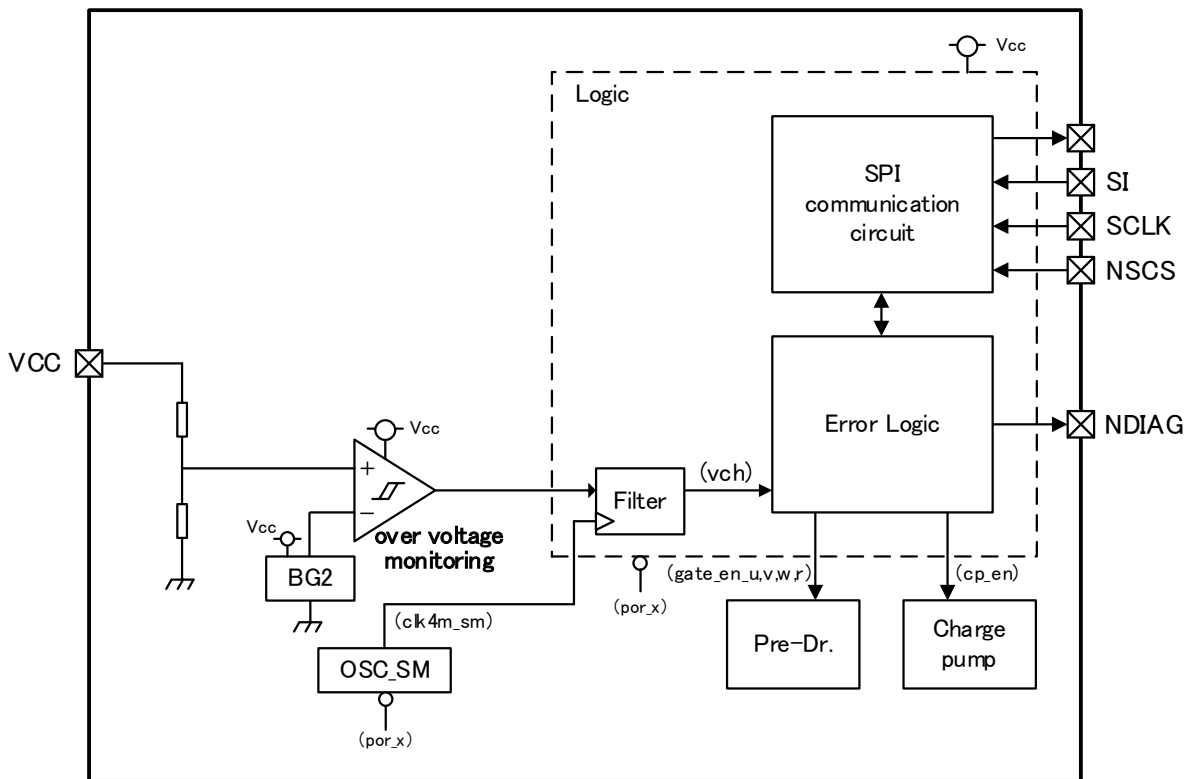


Fig. 7.5.4-a VCC 高電圧検出ブロック図

> ① VCC 電圧上昇

VCC 電圧が高電圧検出電圧 V_{thchh} を上回ると、VCC の H 検出コンパレータ出力が“H”となります。

> ② VCC 高電圧検出

検出フィルター時間 T_{ch} 後、VCC 高電圧検出信号(vch)＝“H”により高電圧状態を検出し、NDIAG＝“L”となります。

ただし、レジスター:ovc_op＝“000”の場合、VCC 高電圧検出時でも NDIAG＝“H”を出力し、各回路も通常動作を継続します。

検出後の動作は、SPI 通信を介して 6 モードの選択が可能です。

VCC 高電圧検出状態時にモード変更しても、設定が有効になりません。VCC 高電圧が解除されレジスター:ovc をクリア後に設定が有効になります。

> ③ VCC 電圧復帰(高電圧解除)

VCC 電圧が V_{thchl} を下回ると、VCC 高電圧検出信号(vch)＝“L”となり高電圧が解除されます。

レジスター:ovc_op＝“101”の場合、高電圧が解除されてもチャージポンプ、プリドライバーはオフを保持し、NDIAG＝“L”も保持します。

レジスター:ovc_op＝“001”, “010”, “011”, “100”の場合、チャージポンプ、プリドライバーは通常動作となりますが、ステータスレジスターが保持されており、NDIAG＝“L”を保持します。

SPI 通信によりレジスター:ovc がクリアされると、各回路は通常動作となり、NDIAG＝“H”となります。

高電圧検出中は、レジスター:ovc をクリアできず、NDIAG＝“L”を出力します。

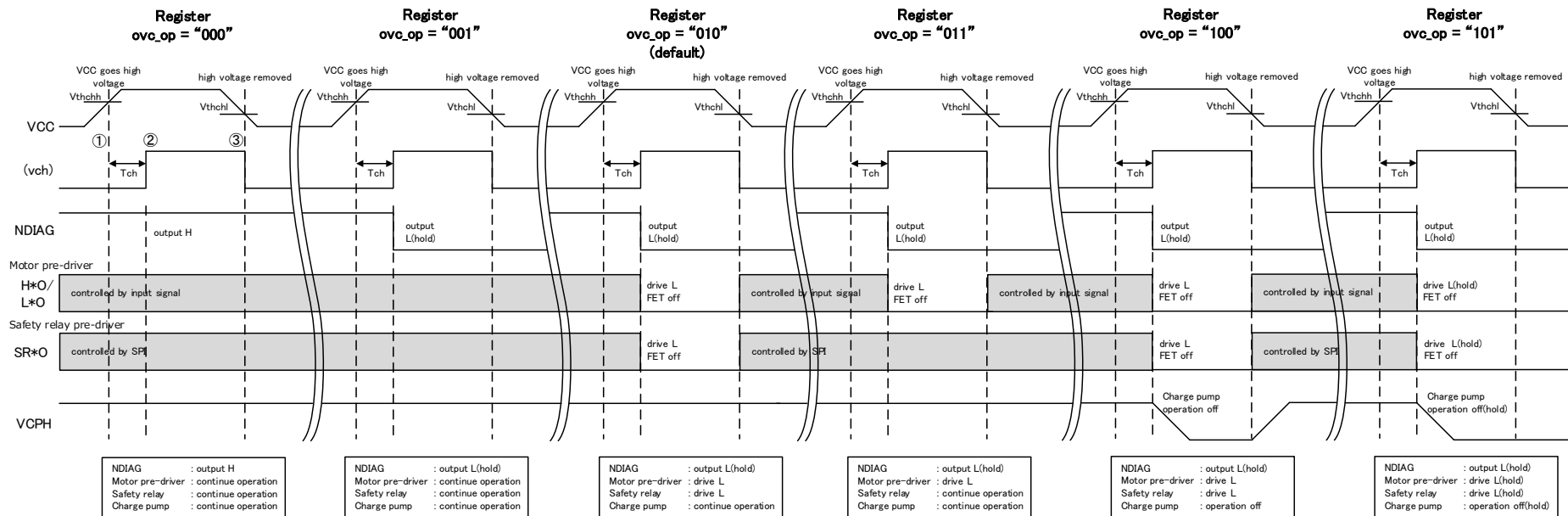


Fig. 7.5.4-b VCC 高電圧検出タイミングチャート

7.5.5. VCC_OP 低電圧検出機能

VCC_OP の低電圧検出を行います。検出コンパレータおよびフィルタを内蔵しており、各フィルタ出力が“H”となれば、低電圧検出が検出状態となります。検出コンパレータの基準となるバンドギャップ電圧は、バンドギャップ回路(BG2)から生成します。

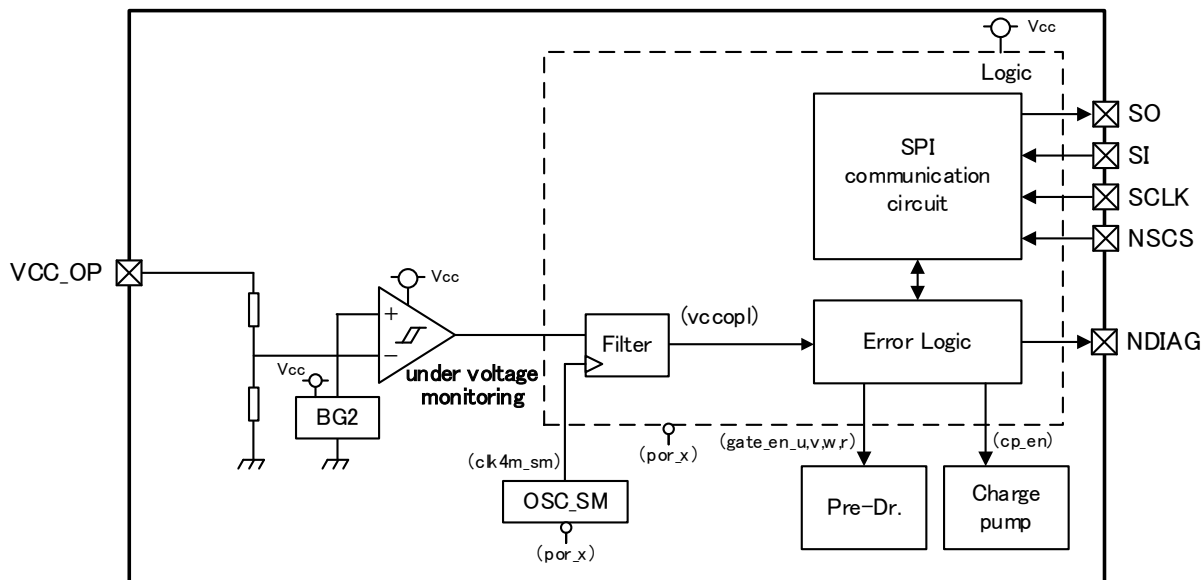


Fig. 7.5.5-a VCC_OP 低電圧検出ブロック図

➤ ① VCC_OP 電圧低下

VCC_OP 電圧が低電圧検出電圧 $V_{thccopl1}$ を下回ると、VCC_OP の L 検出コンパレータ出力が“H”となります。

➤ ② VCC_OP 低電圧検出

検出フィルター時間 T_{ccopl} 後、VCC_OP 低電圧検出信号(vccopl)＝“H”により低電圧状態を検出し、NDIAG＝“L”となります。

ただし、レジスター:uvccop_op＝“000”の場合、VCC_OP 低電圧検出時でも NDIAG＝“H”を出力し、各回路も通常動作を継続します。

検出後の動作は、SPI 通信を介して 6 モードの選択が可能です。

VCC_OP 低電圧検出状態時にモード変更しても、設定が有効になりません。VCC_OP 低電圧が解除されレジスター:uvccop_op をクリア後に設定が有効になります。

➤ ③ VCC_OP 電圧復帰(低電圧解除)

VCC_OP 電圧が $V_{thccopl1}$ を上回ると、VCC_OP 低電圧検出信号(vccopl)＝“L”となり低電圧が解除されます。

レジスター:uvccop_op＝“101”の場合、低電圧が解除されてもチャージポンプ、プリドライバーはオフを保持し、NDIAG＝“L”も保持します。

レジスター:uvccop_op＝“001”, “010”, “011”, “100”の場合、チャージポンプ、プリドライバーは通常動作となりますが、ステータスレジスターが保持されており、NDIAG＝“L”を保持します。

SPI 通信によりレジスター:uvccop がクリアされると、各回路は通常動作となり、NDIAG＝“H”となります。

高電圧検出中は、レジスター:uvccop をクリアできず、NDIAG＝“L”を出力します。

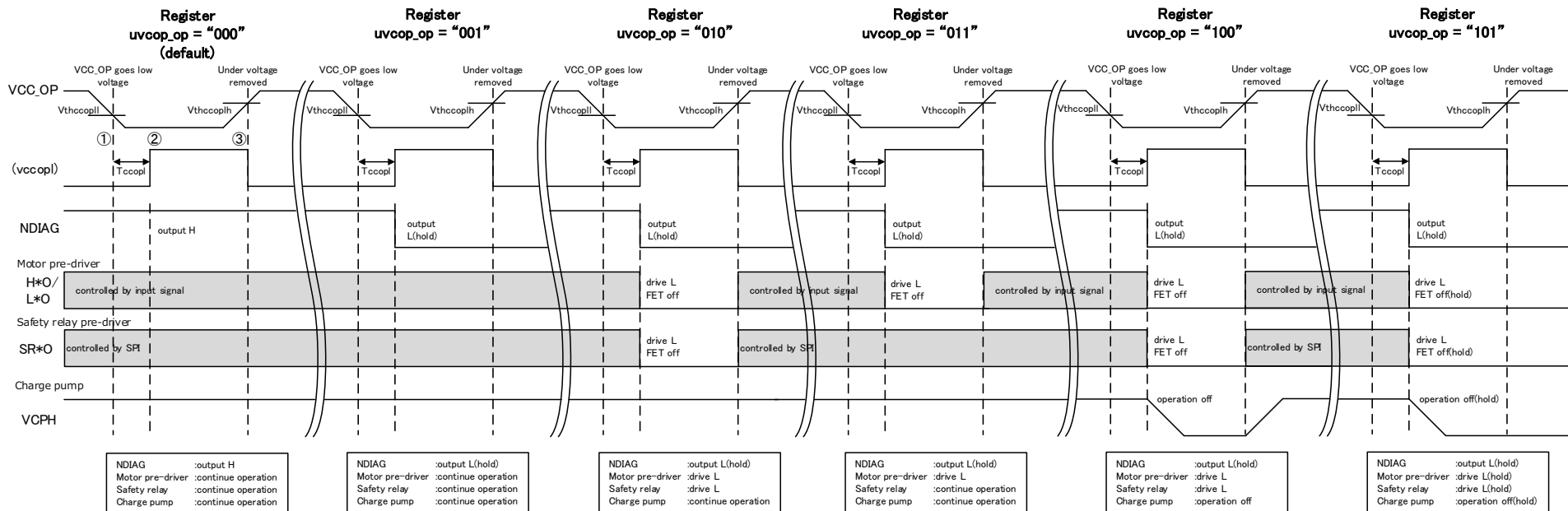


Fig. 7.5.5-b VCC_OP 低電圧検出タイミングチャート

7.5.6. VCC_OP 高電圧検出機能

VCC_OP の高電圧検出を行います。検出コンパレータおよびフィルタを内蔵しており、各フィルタ出力が“H”となれば、高電圧検出が検出状態となります。検出コンパレータの基準となるバンドギャップ電圧は、バンドギャップ回路(BG2)から生成します。

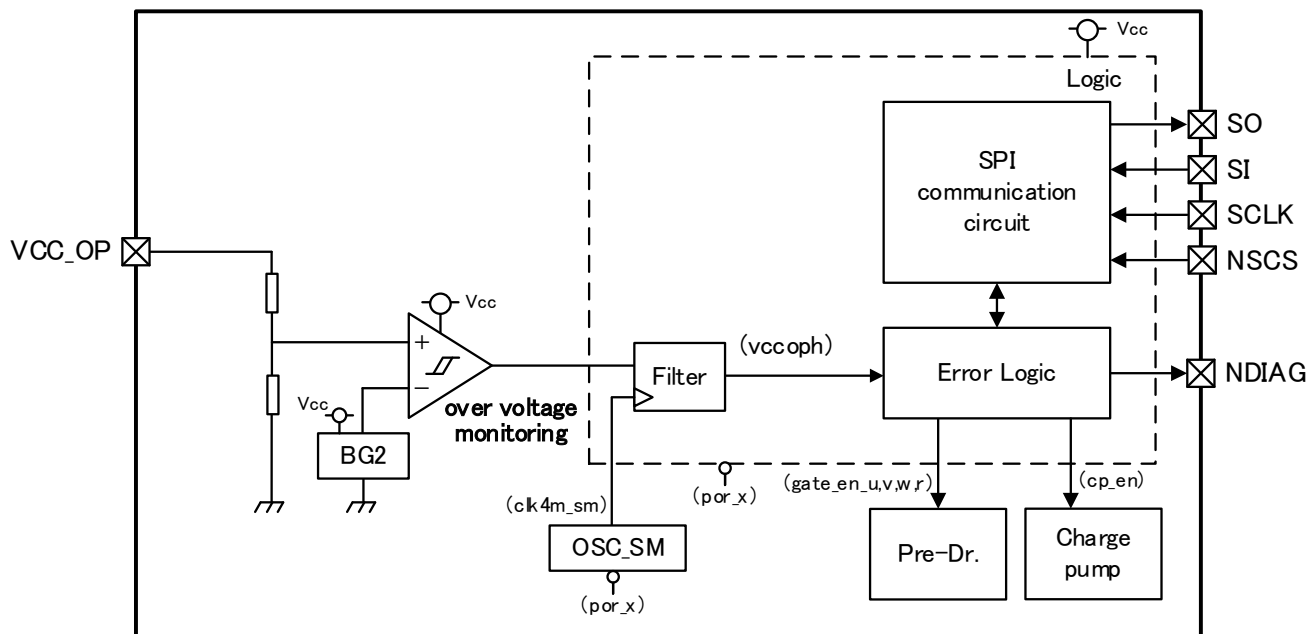


Fig. 7.5.6-a VCC_OP 高電圧検出ブロック図

➤ ① VCC_OP 電圧上昇

VCC_OP 電圧が高電圧検出電圧 $V_{thcophh}$ を上回ると、VCC_OP の H 検出コンパレータ出力が“H”となります。

➤ ② VCC_OP 高電圧検出

検出フィルター時間 T_{ccoph} 後、VCC_OP 高電圧検出信号(vccoph)＝“H”により高電圧状態を検出し、NDIAG＝“L”となります。

ただし、レジスタ:ovcop_op＝“000”の場合、VCC_OP 高電圧検出時でも NDIAG＝“H”を出力し、各回路も通常動作を継続します。

検出後の動作は、SPI 通信を介して 6 モードの選択が可能です。

VCC_OP 高電圧検出状態時にモード変更しても、設定が有効になりません。VCC_OP 高電圧が解除されレジスタ:ovcop_op をクリア後に設定が有効になります。

➤ ③ VCC_OP 電圧復帰(高電圧解除)

VCC_OP 電圧が $V_{thcophl}$ を下回ると、VCC_OP 高電圧検出信号(vccoph)＝“L”となり高電圧が解除されます。

レジスタ:ovcop_op＝“101”の場合、高電圧が解除されてもチャージポンプ、プリドライバーはオフを保持し、NDIAG＝“L”も保持します。

レジスタ:ovcop_op＝“001”, “010”, “011”, “100”の場合、チャージポンプ、プリドライバーは通常動作となりますが、ステータスレジスタが保持されており、NDIAG＝“L”を保持します。

SPI 通信によりレジスタ:ovcop_op がクリアされると、各回路は通常動作となり、NDIAG＝“H”となります。

高電圧検出中は、レジスタ:ovcop_op をクリアできず、NDIAG＝“L”を出力します。

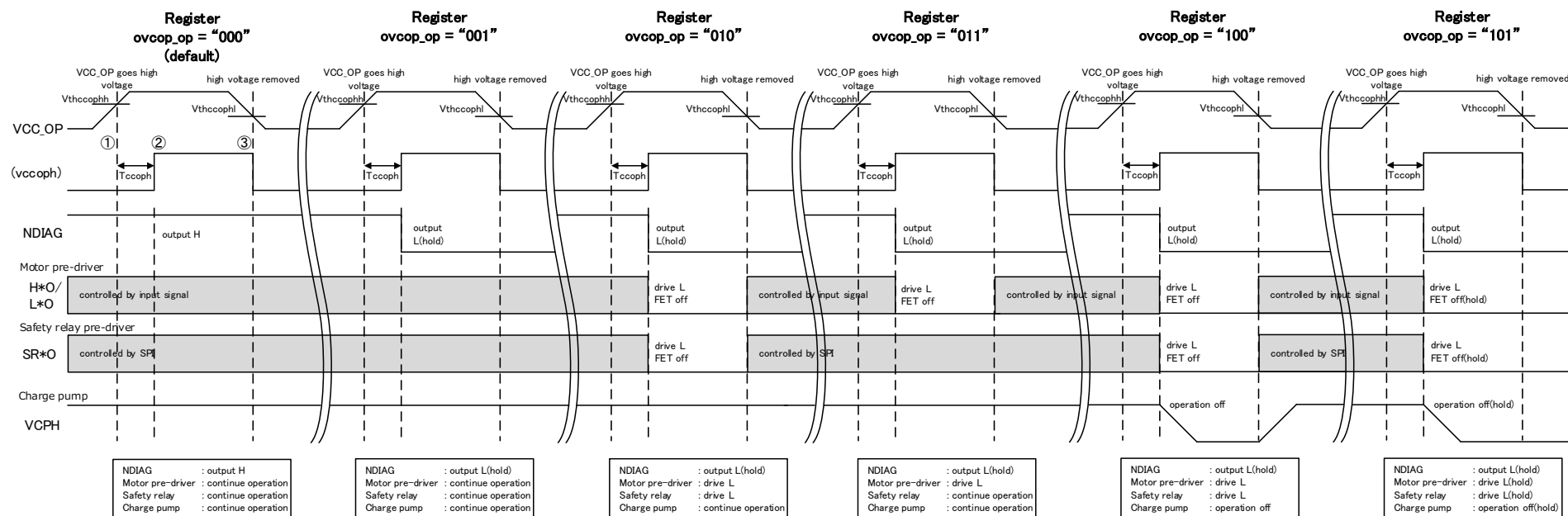


Fig. 7.5.6-b VCC_OP 高電圧検出タイミングチャート

7.5.7. 過熱検出機能

過熱検出機能を内蔵しています。検出コンパレータおよびフィルタを内蔵し、フィルタの出力が“H”となれば、過熱検出機能は検出状態となります。検出コンパレータの基準となるバンドギャップ電圧は BG2 から生成します。

過熱検出コンパレータではチップ温度が T_{sdh} を超えると過熱を検出します。また、内部温度が T_{sdl} を下回ると、過熱検出が解除されます。各検出後の動作は SPI 通信を介して 6 モードの選択が可能です。

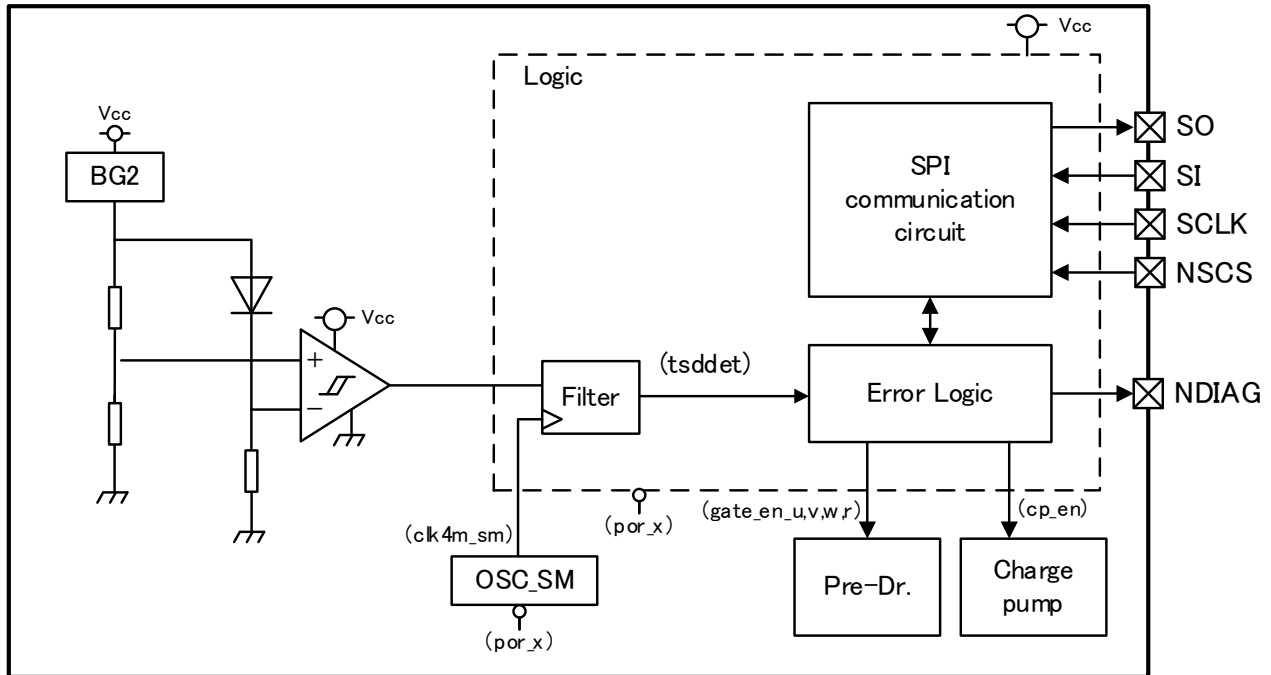


Fig. 7.5.7-a 過熱検出ブロック図

➤ ①② 過熱検出

温度が T_{sdh} を上回ると、検出フィルター時間 T_{tsd} 後、過熱検出信号(tsd_{det})="H"となり過熱状態を検出し、 $NDIAG$ ="L"となります。

ただし、レジスター: tsd_{op} ="000"の場合、過熱検出時でも $NDIAG$ ="H"を継続、各回路も通常動作を継続します。

検出後の動作は、SPI 通信を介して 6 モードの選択が可能です。

過熱検出状態時にモード変更しても、設定が有効になりません。過熱状態が解除されレジスター: tsd をクリア後に設定が有効になります。

➤ ③ 過熱検出解除

温度が T_{sdl} を下回ると、過熱検出信号(tsd_{det})="L"となり過熱検出が解除されます。

ただし、レジスター: tsd_{op} ="101"の場合、過熱検出が解除されてもチャージポンプ、プリドライバーはオフを継続し、 $NDIAG$ ="L"を保持します。

レジスター: tsd_{op} ="001", "010", "011", "100"の場合、チャージポンプ、プリドライバーは通常動作となりますが、ステータスレジスターが保持されており、 $NDIAG$ ="L"を保持します。

SPI 通信によりレジスター: tsd がクリアされると、各回路は通常動作となり、 $NDIAG$ ="H"となります。

過熱検出中は、レジスター: tsd をクリアできず、 $NDIAG$ ="L"を出力します。

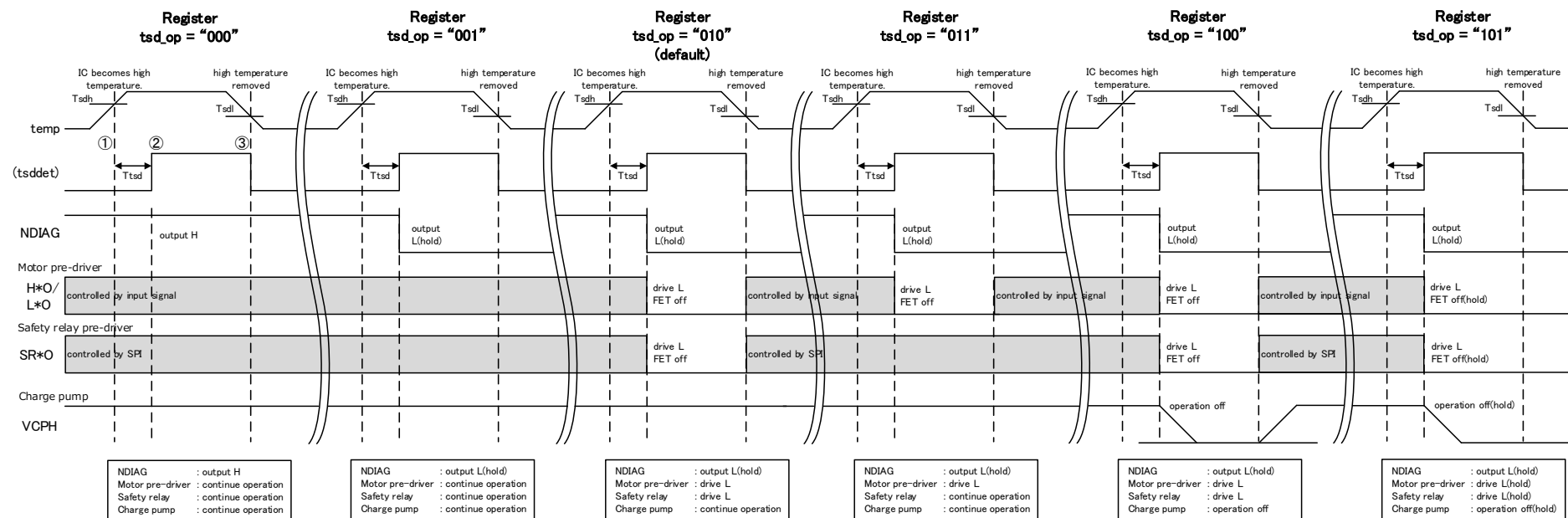


Fig. 7.5.7-b 過熱検出タイミングチャート

7.5.8. 外部 MOSFET の VDS 検出機能

外部 MOSFET の VDS 検出は外付け MOSFET のドレイン端子、ソース端子をモニターします。VDS 電圧異常を検出した場合、検出後の動作は [FET_OPSEL](#) レジスターにより選択が可能です。詳細は表 7.5-a を参照してください。また、12 値の検出しきい値電圧および 4 値の検出時間についても [HS_VDS_SEL](#), [LS_VDS_SEL](#) レジスターにより設定を変更できます。HUS, HVS, HWS 端子にはプルアップ、プルダウン抵抗を内蔵していますが通常はオフされています。詳細は 7.8 を参照して下さい。何らかの要因の異常検出によってプリドライバーが Disable されている相は VDS 検出がオフとなり、それ以上 VDS 検出要因がラッチされません。VDS 検出は [FET_DET_SEL](#) レジスターによりチャンネルごとに個別に無効にすることができます。

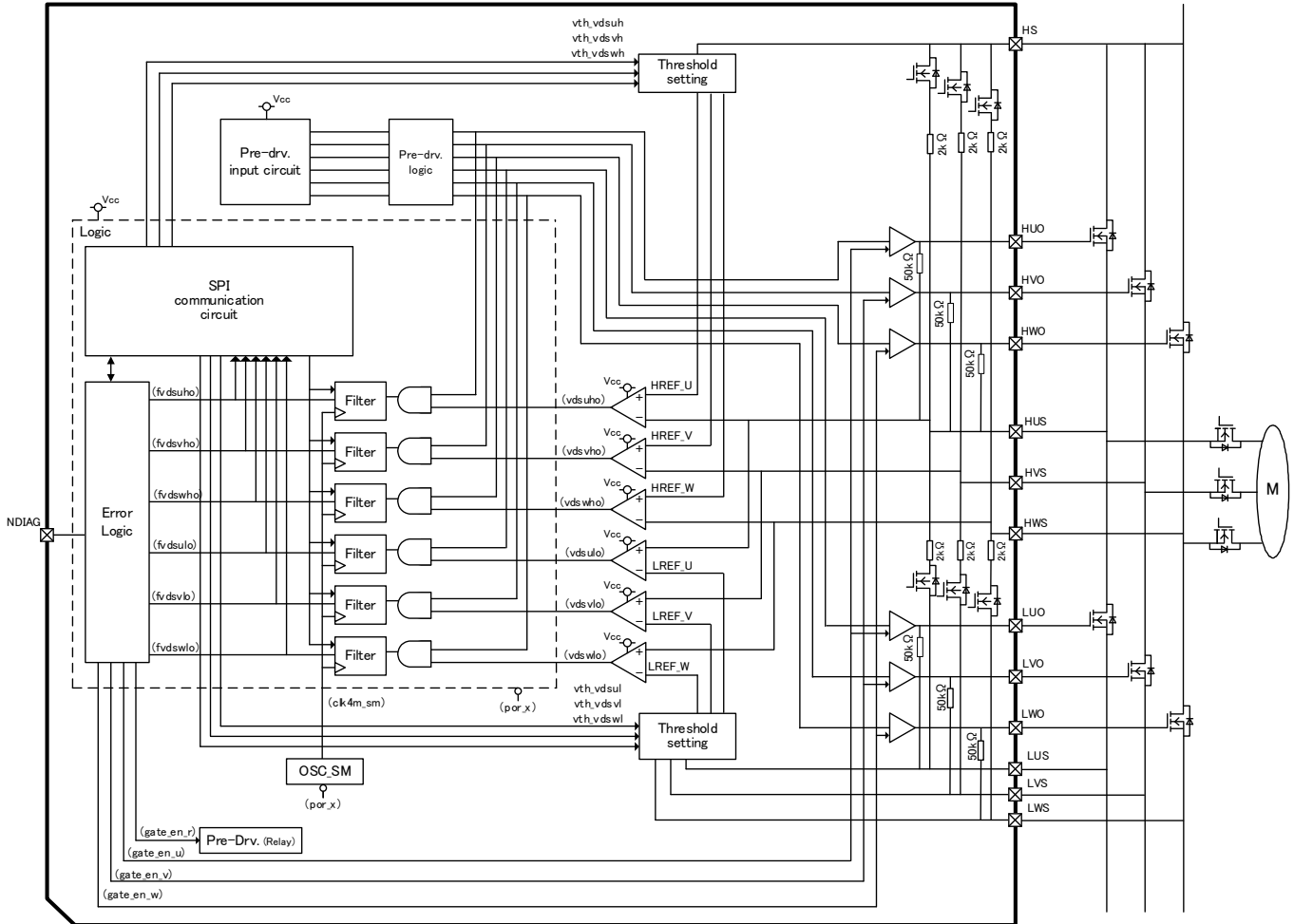


Fig. 7.5.8-a 外部 MOSFET の VDS 検出ブロック図

表 7.5.8-a VDS 検出シナリオ

コンパレーター比較式	コンパレーター出力	入力信号	異常状態
$V_{HUS} - V_{LUS} > V_{thvdsul}$	(vdsulo) = "H"	LUI = "H"	LUO の外部 MOSFET VDS 異常
$V_{HVS} - V_{LVS} > V_{thvdsvl}$	(vdsvlo) = "H"	LVI = "H"	LVO の外部 MOSFET VDS 異常
$V_{HWS} - V_{LWS} > V_{thvdswl}$	(vdswo) = "H"	LWI = "H"	LWO の外部 MOSFET VDS 異常
$V_{HS} - V_{HUS} > V_{thvdsuh}$	(vdsuho) = "H"	HUI = "H"	HUO の外部 MOSFET VDS 異常
$V_{HS} - V_{HVS} > V_{thvdsvh}$	(vdsvho) = "H"	HVI = "H"	HVO の外部 MOSFET VDS 異常
$V_{HS} - V_{HWS} > V_{thvdswh}$	(vdswho) = "H"	HWI = "H"	HWO の外部 MOSFET VDS 異常

- ・ ハイサイドの検出しきい値電圧は、IC 端子の HS-H*S 間電圧で規定しています。
- ・ ハイサイド MOSFET のドレイン-ソース間電圧を考慮し、しきい値を設定してください。
- ・ ローサイドの検出しきい値電圧は、IC 端子の H*S-L*S 間電圧で規定しています。
- ・ ローサイド MOSFET のドレイン-ソース間電圧を考慮し、しきい値を設定してください。
- ・ *は U, V, W.

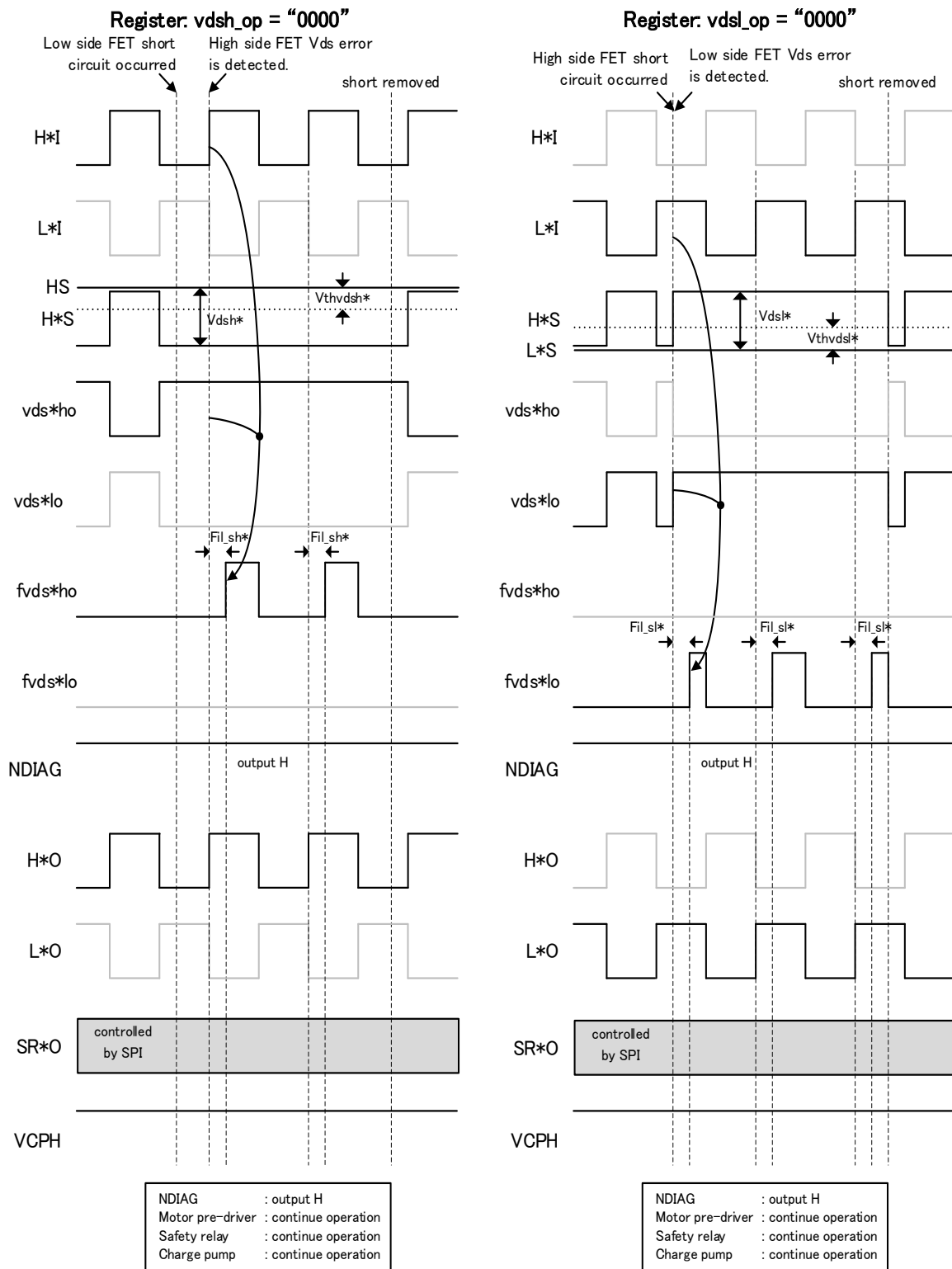


Fig. 7.5.8-b ショート検出タイミングチャート (レジスター: vdsI_op = vds_op "0000"時)

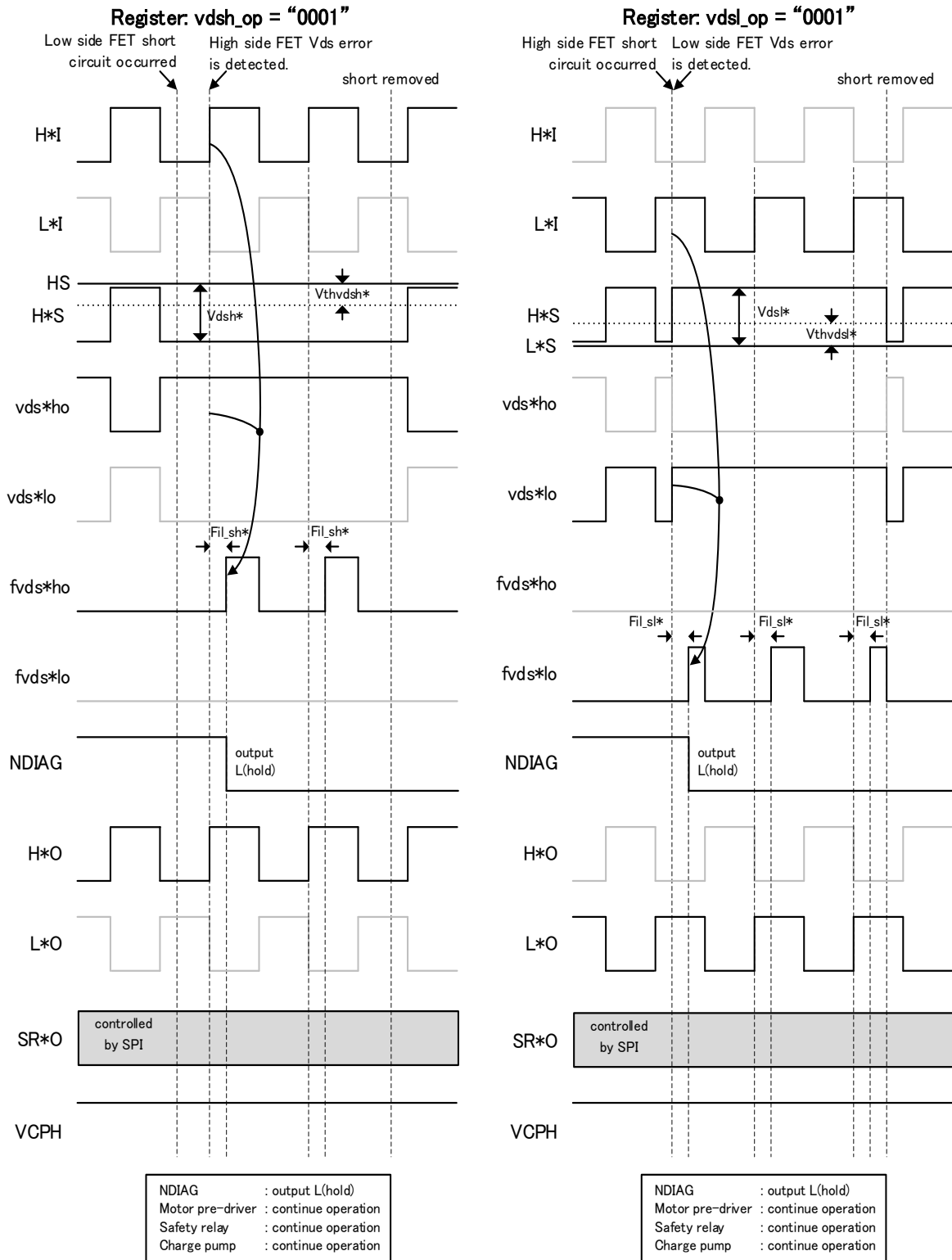


Fig. 7.5.8-c ショート検出タイミングチャート (レジスター: vds_lo = vds_op "0001"時)

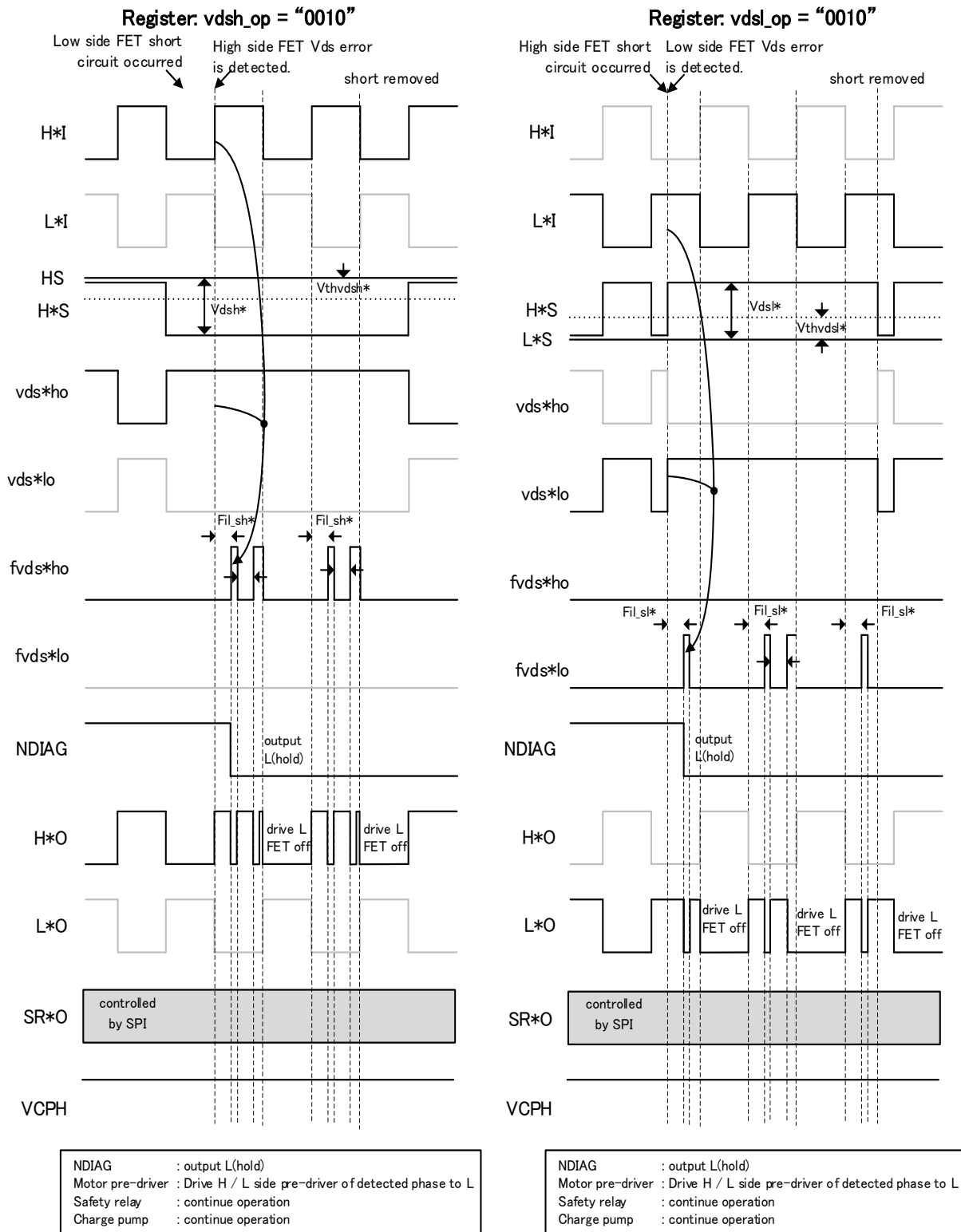


Fig. 7.5.8-d ショート検出タイミングチャート (レジスター: vds_l_op = vds_h_op "0010"時)

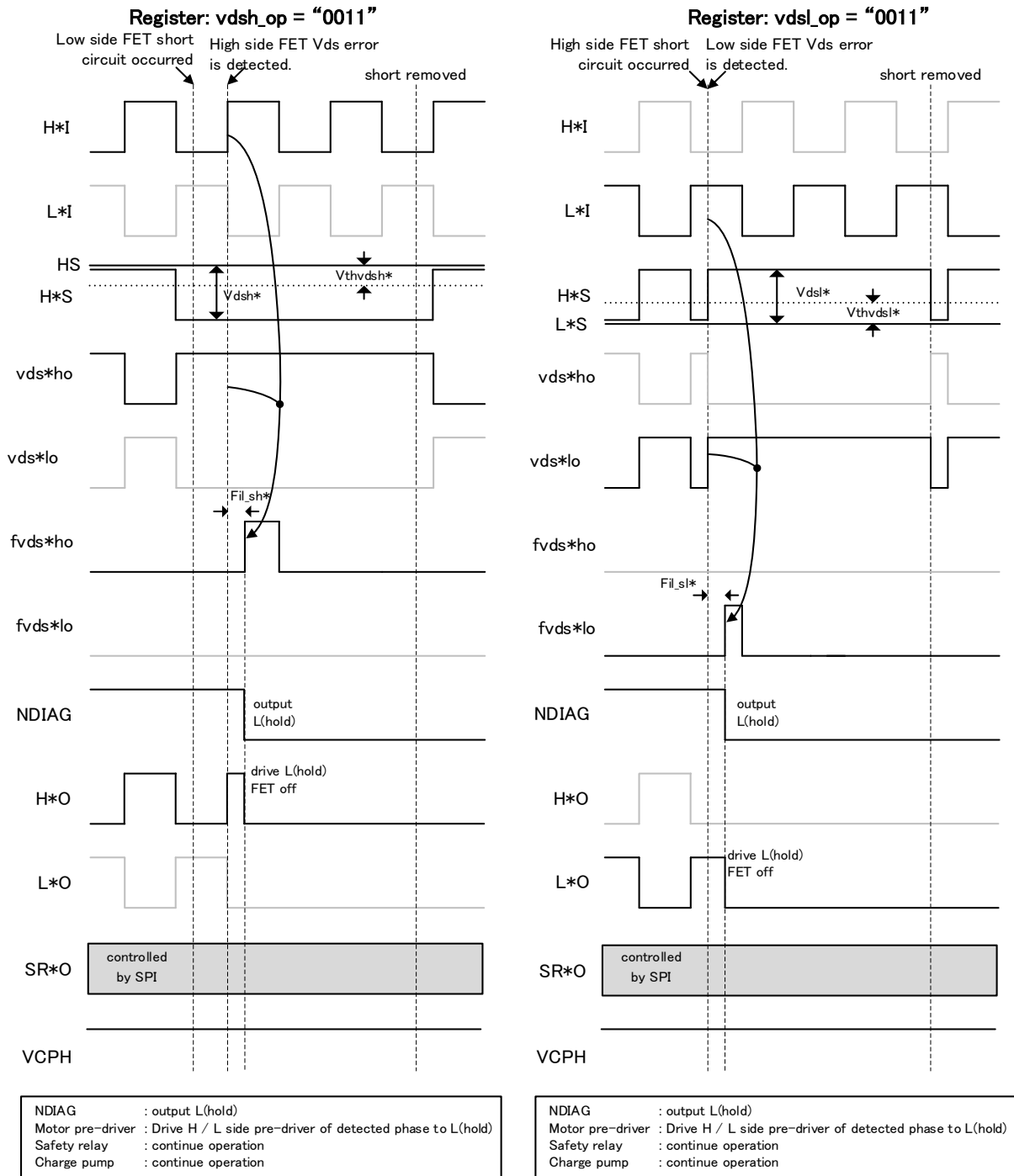


Fig. 7.5.8-e ショート検出タイミングチャート (レジスター: vds_l_op = vds_h_op "0011"時)

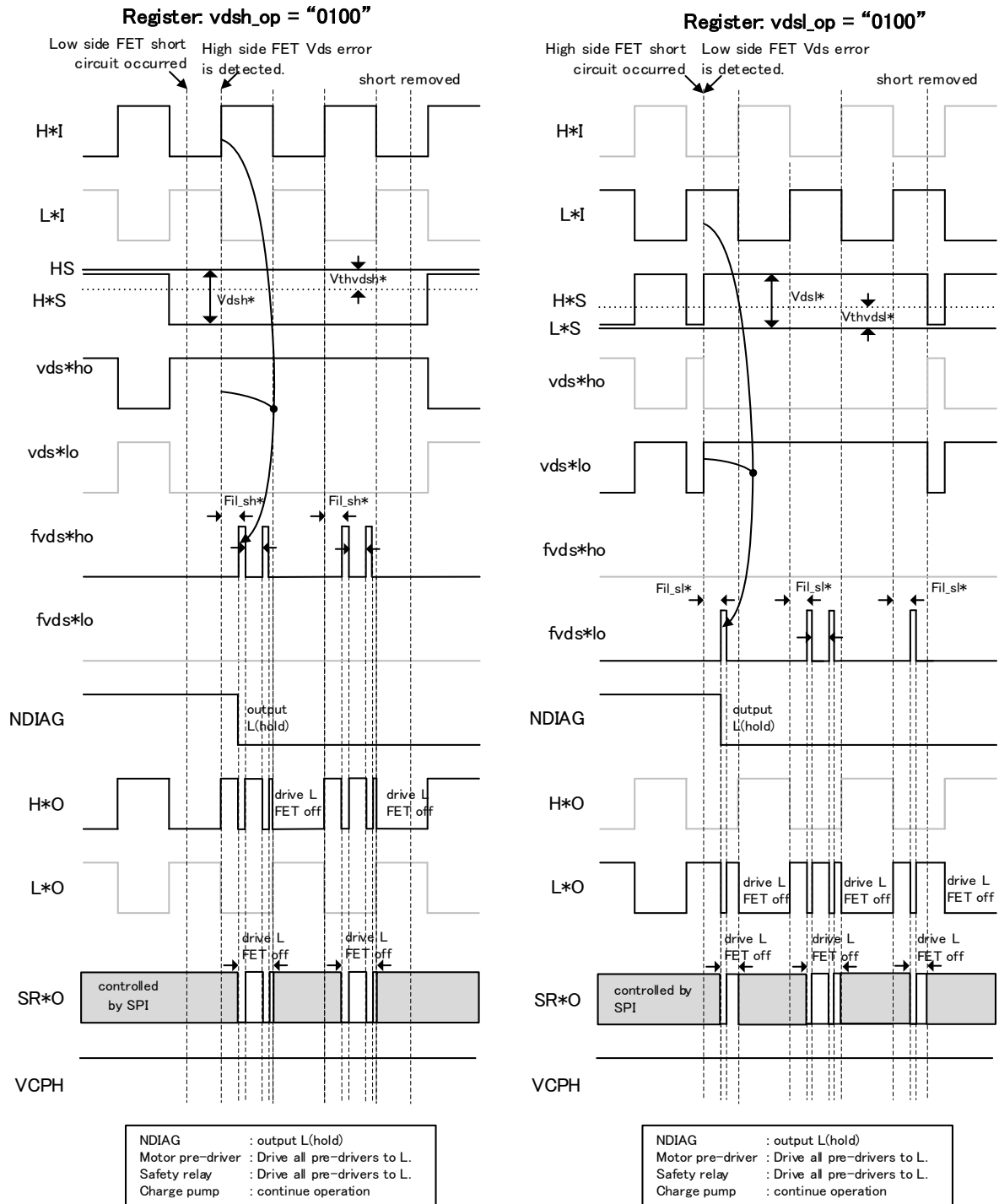


Fig. 7.5.8-f ショート検出タイミングチャート (レジスター: vds_op = vds_op "0100"時)

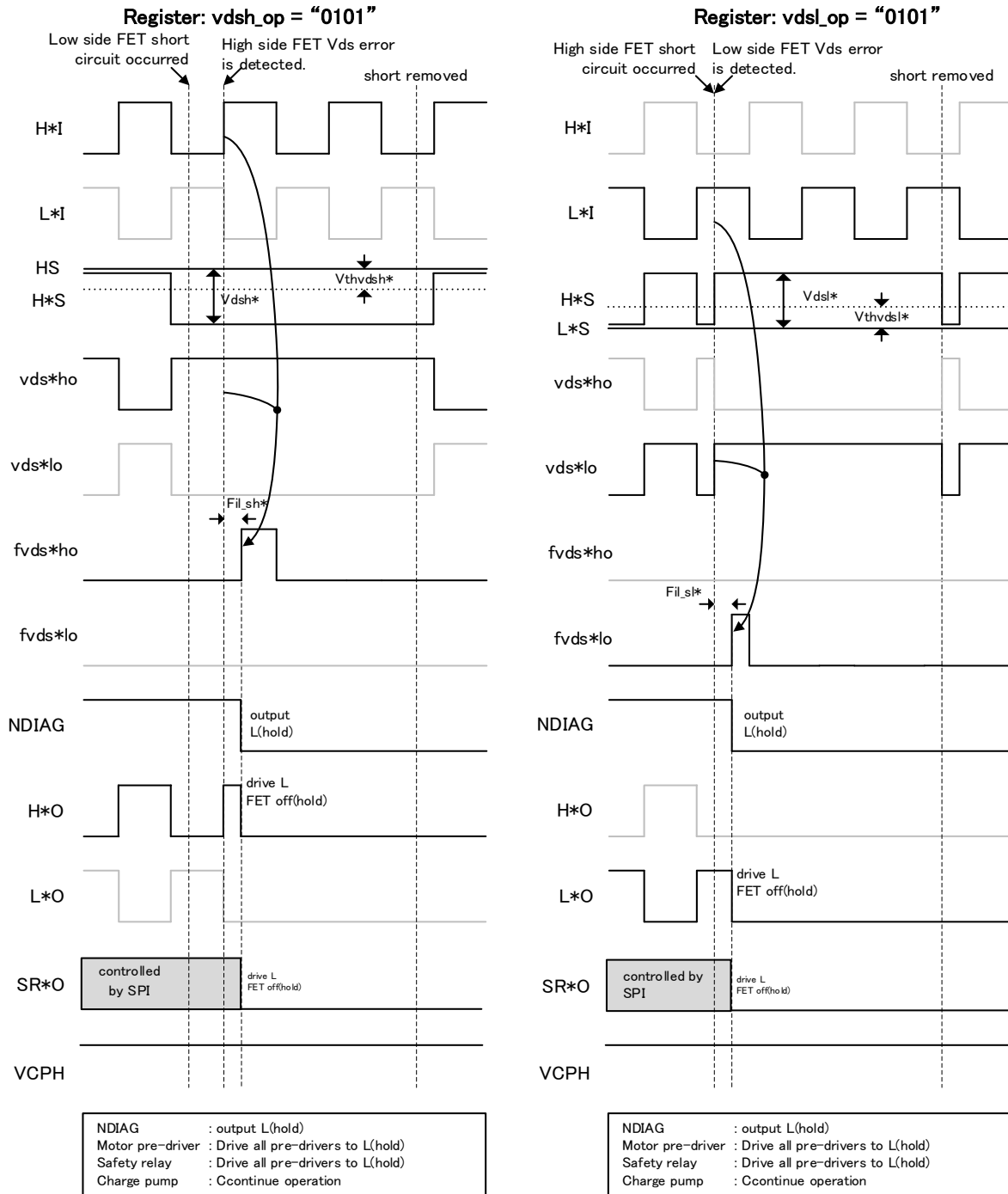


Fig. 7.5.8-g ショート検出タイミングチャート (レジスター: vdsi_op = vds_op "0101"時)

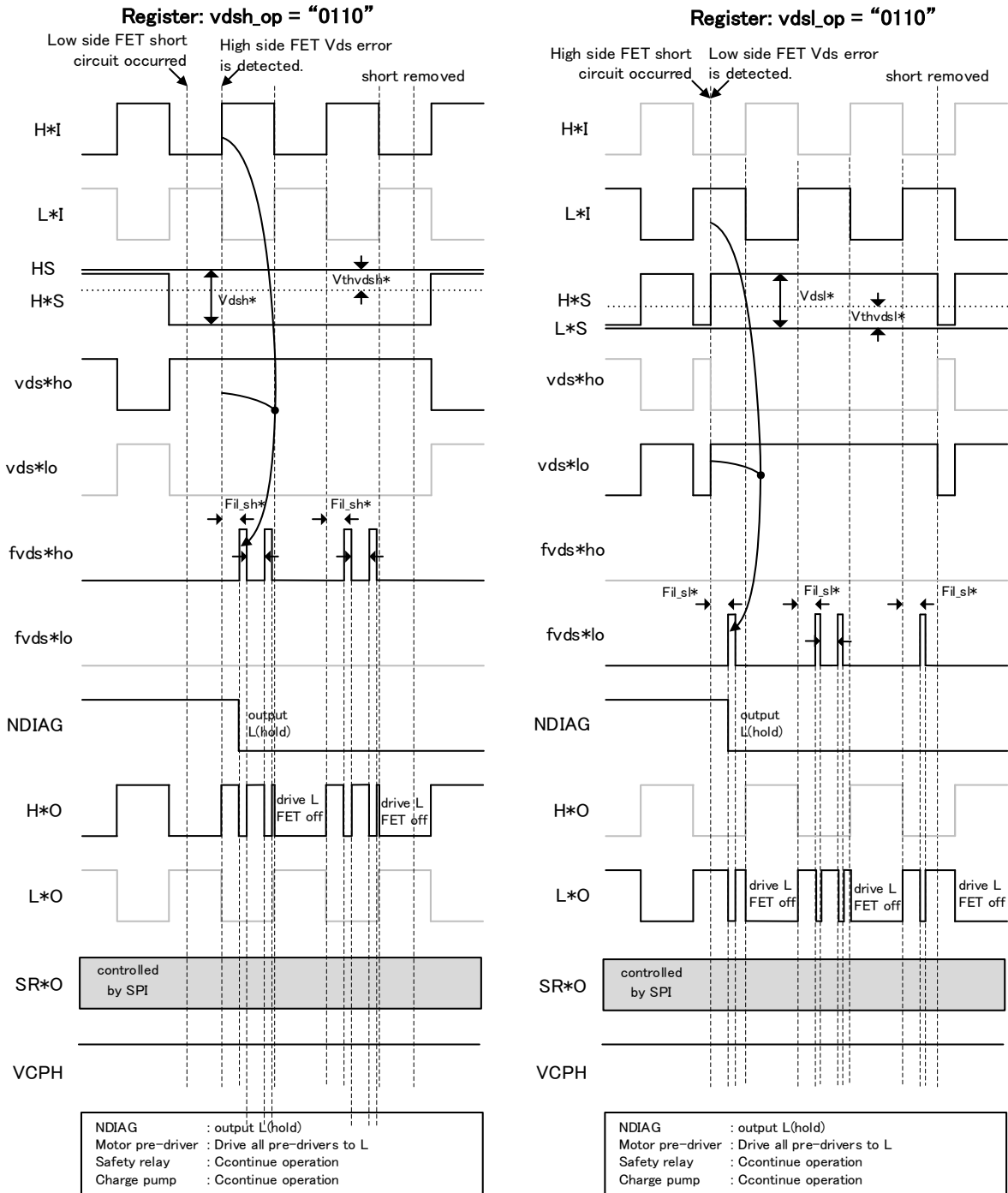


Fig. 7.5.8-h ショート検出タイミングチャート (レジスター: vds_l_op = vds_h_op "0110"時)

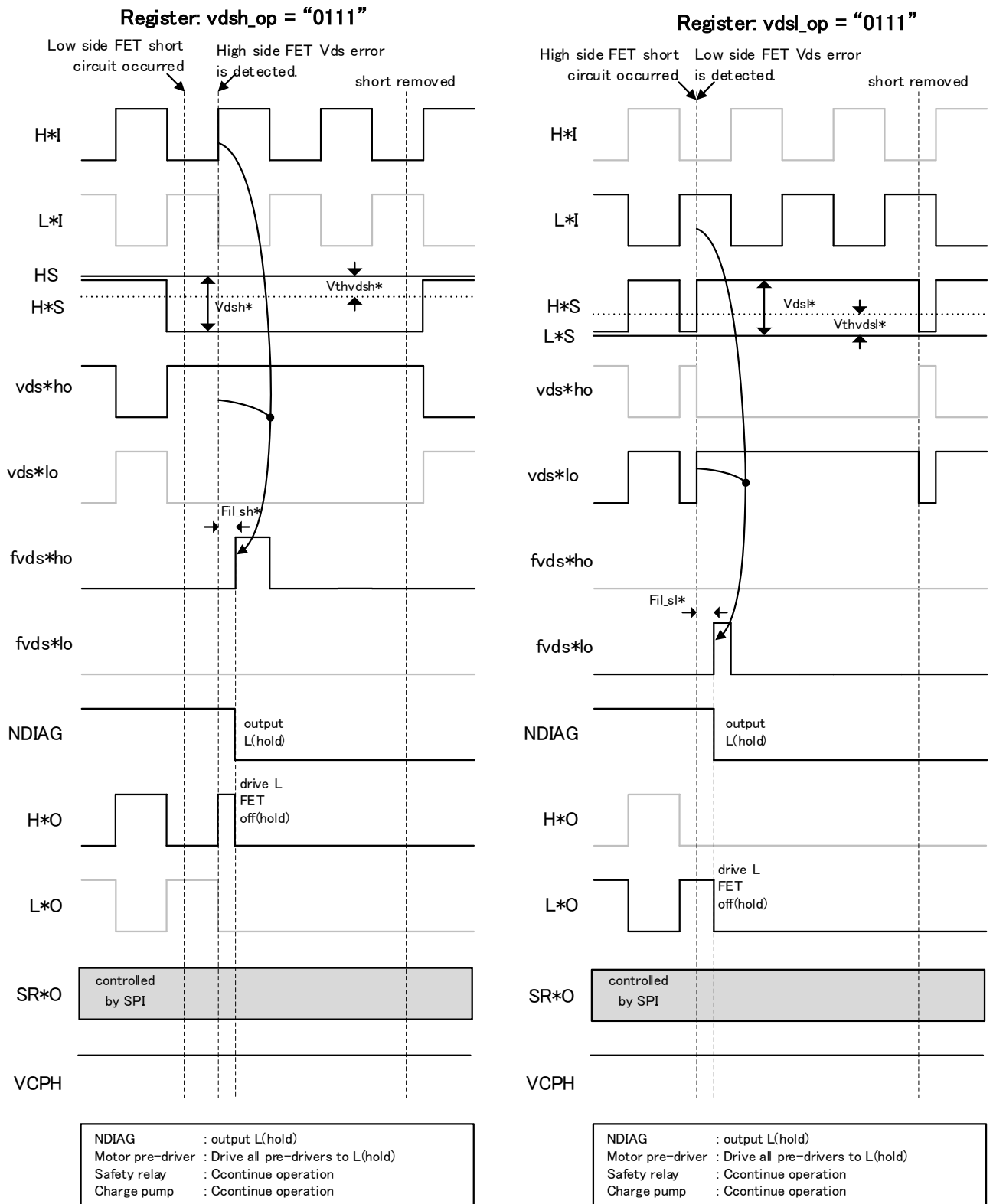


Fig. 7.5.8-i ショート検出タイミングチャート (レジスター: vds_l_op = vds_op "0111"時)

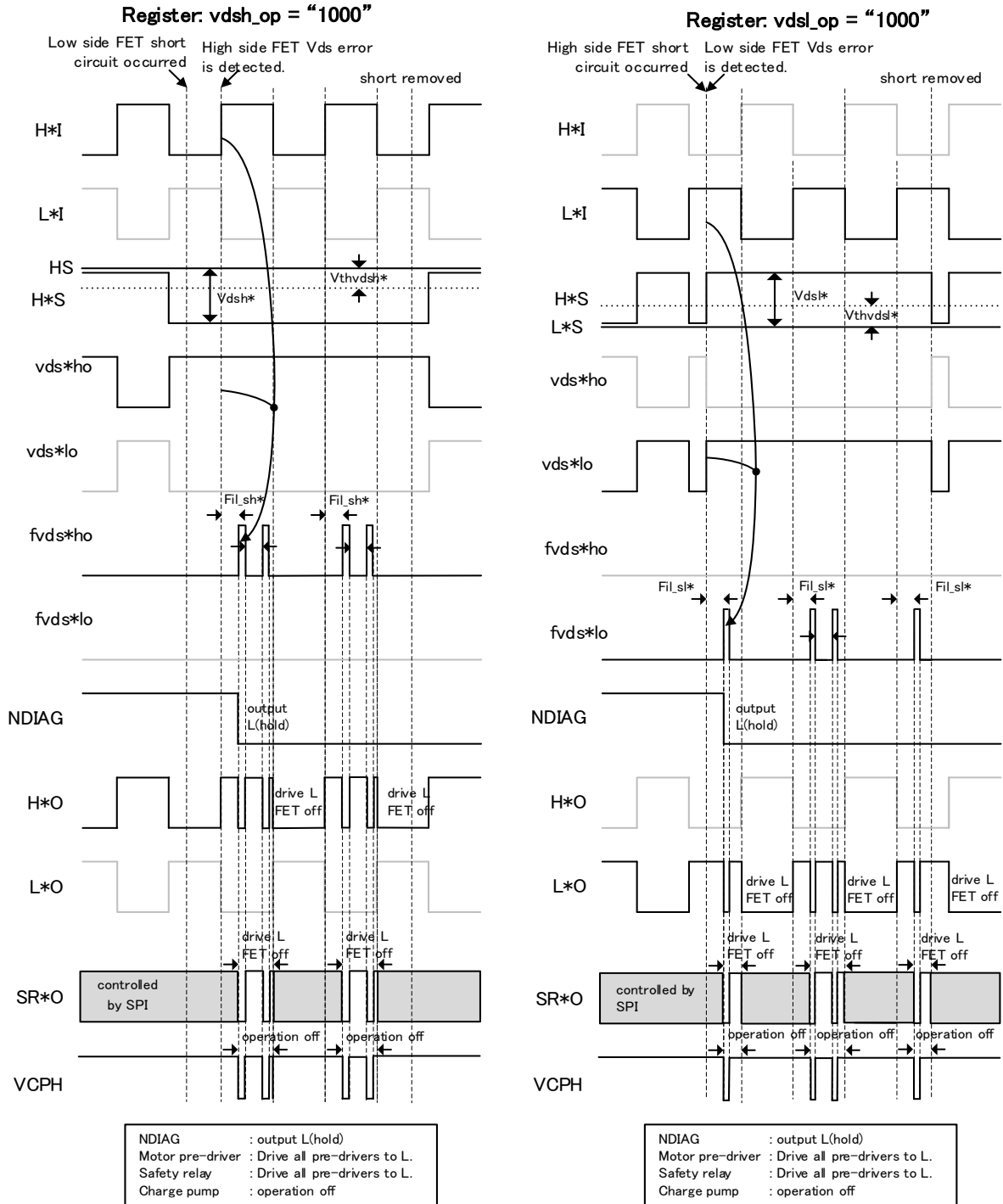


Fig. 7.5.8-j ショート検出タイミングチャート (レジスター: vdsi_op = vdsh_op "1000"時)

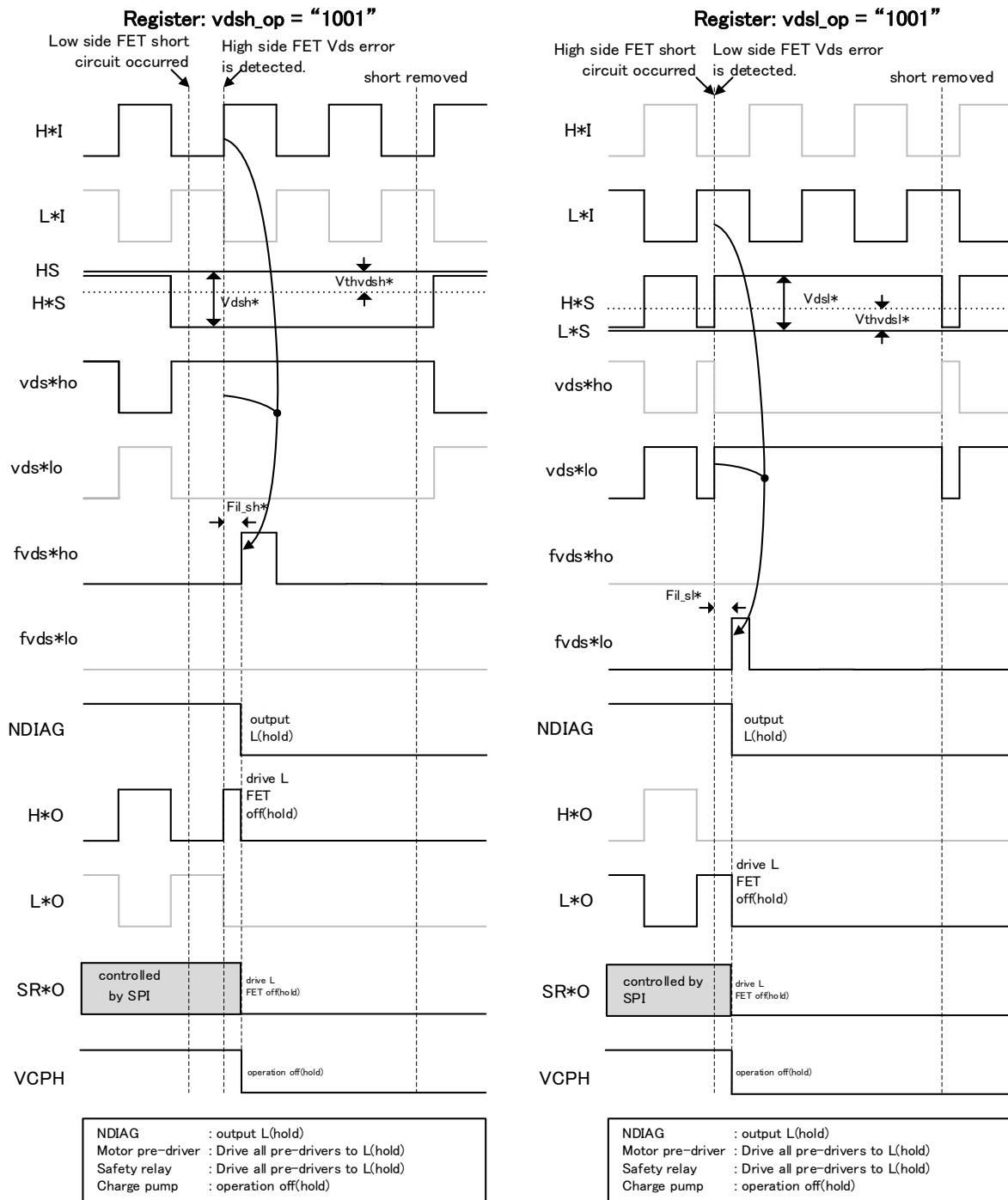


Fig. 7.5.8-k ショート検出タイミングチャート (レジスター: vds_l_op = vds_h_op "1001"時)

7.5.9. 外部 MOSFET の VGS 過電圧検出機能

外部 MOSFET の VGS が規定の電圧を超えたことを検出します。外付け MOSFET のゲート端子、ソース端子をモニターすることで検出します。VGS 過電圧は外部 MOSFET それぞれに独立に検出します。

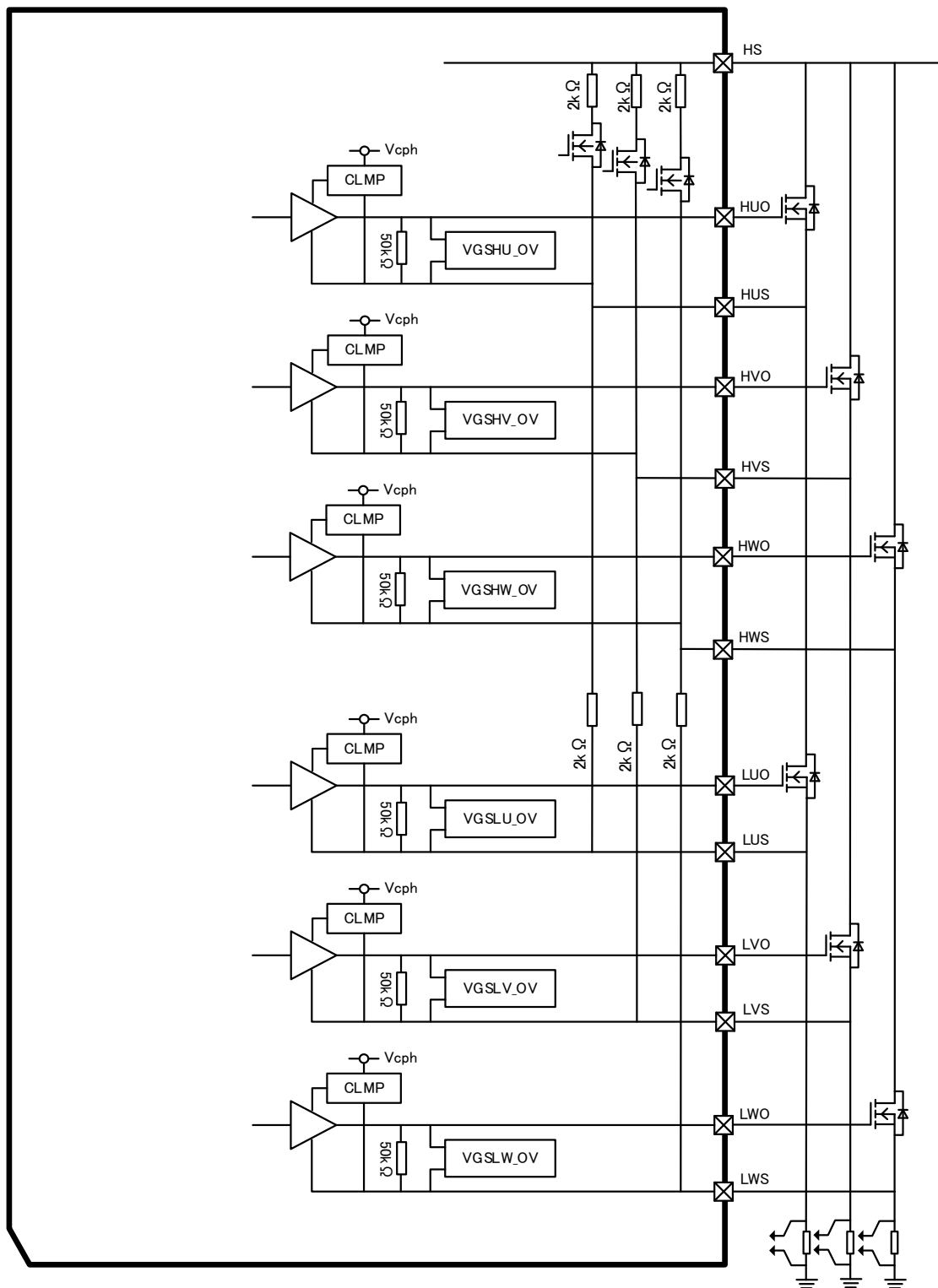


Fig. 7.5.9-a VGS 過電圧検出ブロック図

VGS 過電圧を検出した場合、検出後の動作は [FET OPSEL](#) レジスターにより選択が可能です。チャンネルごとにプリドライバへの給電を停止することはできません。プリドライバへの給電を停止する場合はチャージポンプをオフにしてください。過電圧の検出しきい値は VBG1, VBG2 とは別の基準電圧をチャンネルごとに独立に備えます。6 個の VGS 過電圧検出結果は [STAT2](#) レジスターにより確認することができます。チャンネルごとの VGS 過電圧検出の有効/無効は [FET DET SEL](#) レジスターにより設定することができます。

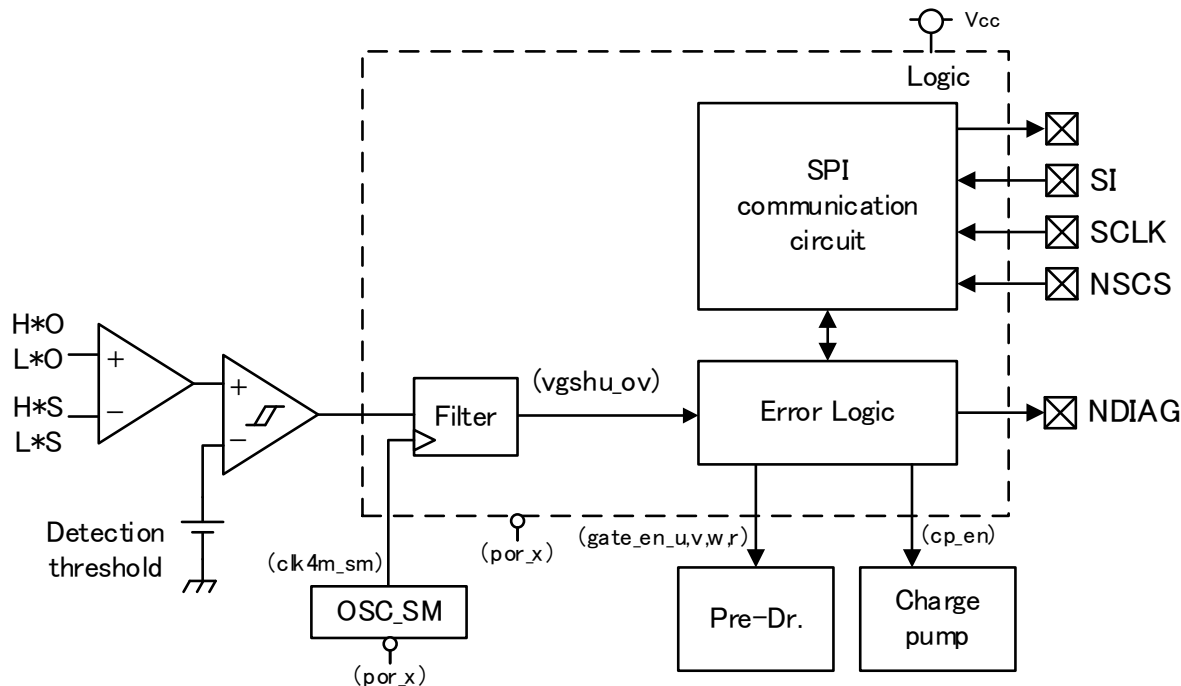


Fig. 7.5.9-b VGS 過電圧検出回路図

➤ ①② VGS 過電圧検出

VGS 電圧が V_{th_vgsh} を上回ると、検出フィルター時間 Fil_vgs 後、VGS 過電圧信号($vgs[h/l][u/v/w]_{ov}$)="H"となり VGS 過電圧検出状態となりし、NDIAG="L"となります。ただし、レジスター: vgs_op ="000"の場合、VGS 過電圧検出は無視され、NDIAG="H"を継続、各回路も通常動作を継続します。検出後の動作は、SPI 通信を介して 6 モードの選択が可能です。VGS 過電圧検出状態で検出時動作モードレジスターを変更しても、検出時の動作には即座に反映されません。VGS 過電圧状態が解除されレジスター: vgs_op ["u/v/w"][h/l]をクリアすると新たな設定が動作に反映されます。

➤ ③ VGS 過電圧検出解除

VGS 電圧が V_{th_vgsL} を下回ると、VGS 過電圧信号($tvgs[h/l][u/v/w]$)="L"となり VGS 過電圧検出が解除されます。

ただし、レジスター: vgs_op ="101"の場合、VGS 過電圧検出が解除されてもチャージポンプ、ブリドライバーはオフを継続し、NDIAG="L"を保持します。

レジスター: vgs_op ="001", "010", "011", "100"の場合、チャージポンプ、ブリドライバーは通常動作となりますが、ステータスレジスターが保持されており、NDIAG="L"を保持します。

SPI 通信によりレジスター: $vgs[h/l][u/v/w]_{ov}$ がクリアされると、各回路は通常動作となり、NDIAG="H"となります。

VGS 過電圧検出中は、レジスター: $vgs[h/l][u/v/w]_{ov}$ をクリアできず、NDIAG="L"を出力します。

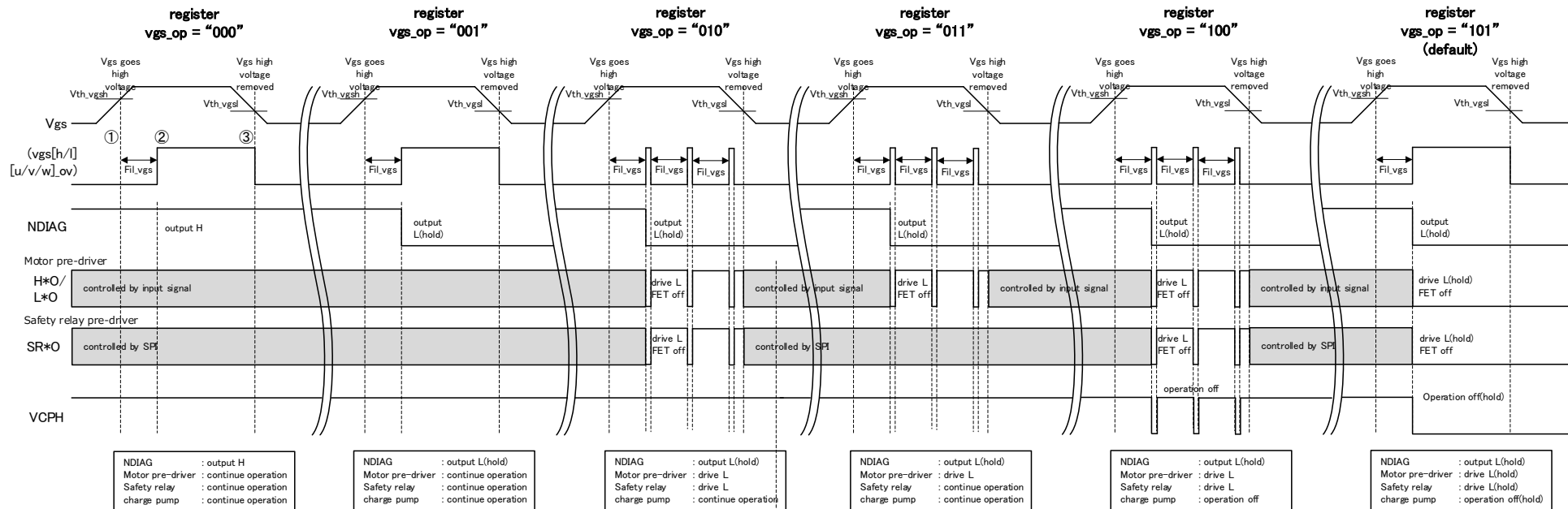
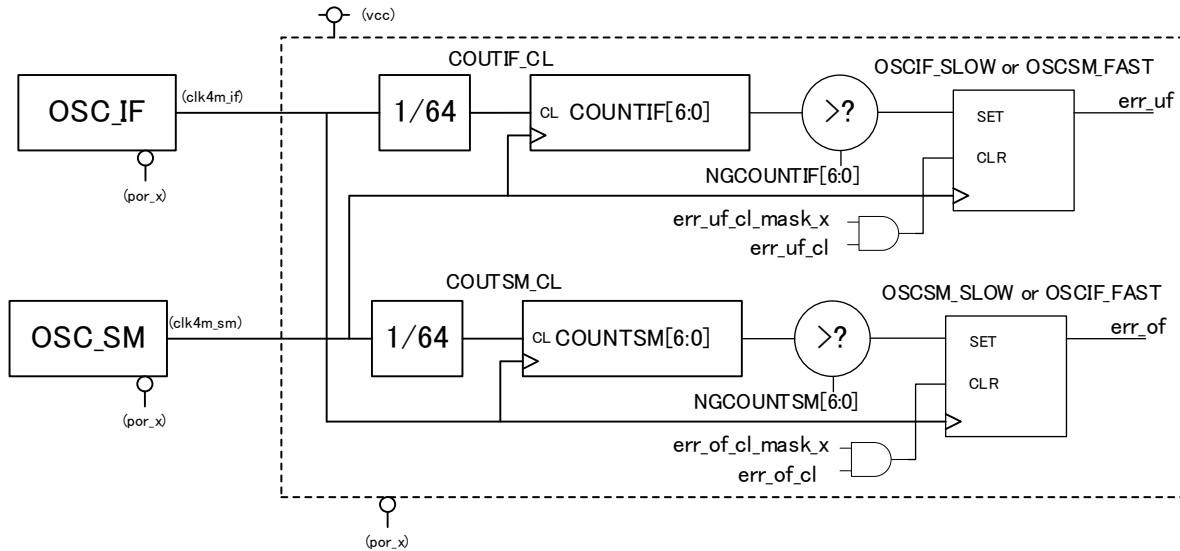


Fig. 7.5.9-c VGS 過電圧検出動作図

7.5.10. 発振周波数相互監視機能

2つの発振器 OSC_IF と OSC_SM が内蔵されており、その発振周波数を相互に監視する機能を備えています。OSC_IF と OSC_SM の発振周波数を相互に比較し OSC_IF の発振周波数が OSC_SM の発振周波数の(1/K_{f_{freqdet}})倍以下の場合に err_uf レジスターがセットされ、OSC_IF の発振周波数が OSC_SM の発振周波数の K_{f_{freqdet}} 倍以上である場合に err_of レジスターがセットされます。OSC_IF と OSC_SM の発振周波数は BIST 期間以外常時比較しています。

周波数異常検出時の動作は ferr_op レジスター設定により 6 モードの選択が可能です。詳細は表 7.5-a を参照してください。周波数異常検出状態時に ferr_op レジスターの設定を変更した場合、ferr_op レジスターには書き込まれますが、書き込まれた設定は有効になりません。周波数異常が解除され、レジスター:err_of, err_uf がクリアされると ferr_op に書き込まれた



新たな設定が有効になります。

Fig. 7.5.10-a 発振周波数相互監視回路図

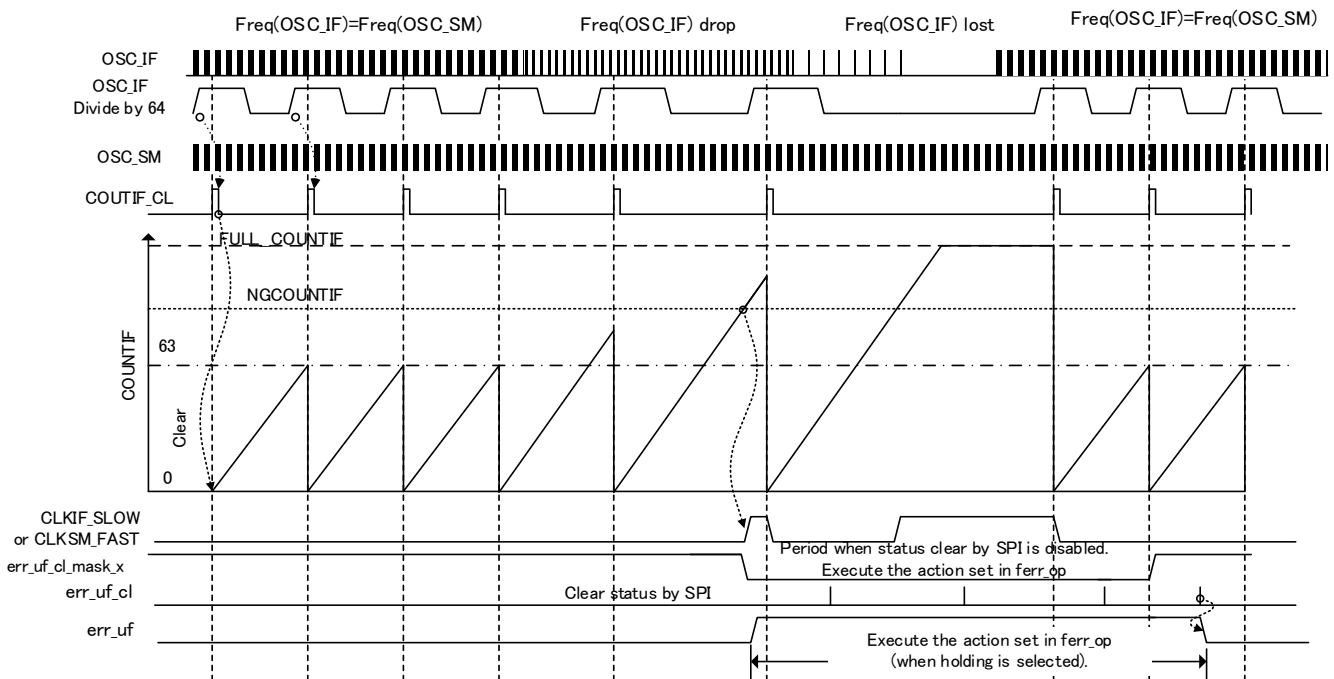


Fig. 7.5.10-b 発振周波数相互監視タイミングチャート (その1)

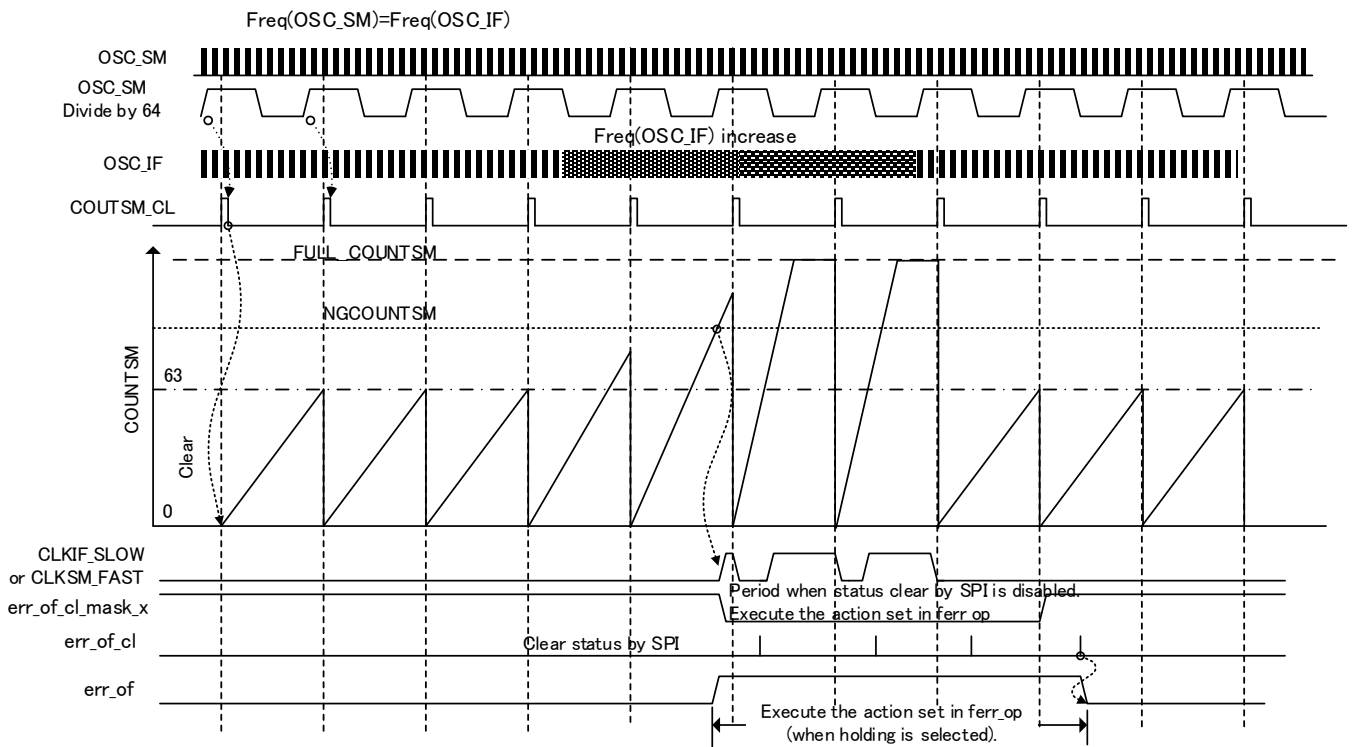


Fig. 7.5.10-c 発振周波数相互監視タイミングチャート (その2)

ferr_op=000 の場合は発振器の周波数検出は無効となります。

ferr_op=000 以外では、OSC_IF の周波数と OSC_SM の周波数比が $K_{freqdet}$ 以上である場合は **err_of** ステータスがセットされます。OSC_IF の周波数と OSC_SM の周波数比が $1/K_{freqdet}$ 以下である場合は **err_uf** ステータスがセットされます。NDIAG 端子は **err_uf**, **err_of** ステータスのどちらかがセットされていると”L”となります。NDIAG を”H”に復帰させる場合は、ステータスレジスターをクリアしてください。ステータスレジスターは最新の周波数比較結果が規定の範囲内($K_{freqdet}$ 以下、 $1/K_{freqdet}$ 以上)に入っている場合しかクリアできません。

ferr_op=010 の場合は、最新の周波数比較結果が規定の範囲に入っていない期間はブリドライバーおよび、リレー出力がオフに制御されます。

ferr_op=011 の場合は、最新の周波数比較結果が規定の範囲に入っていない期間はブリドライバーの出力がオフに制御されます。

ferr_op=100 の場合は、最新の周波数比較結果が規定の範囲に入っていない期間はブリドライバー、リレーとチャージポンプがオフに制御されます。

ferr_op=101 の場合は、ステータスレジスターがセットされている期間は、ブリドライバー、リレーとチャージポンプがオフに制御されます。

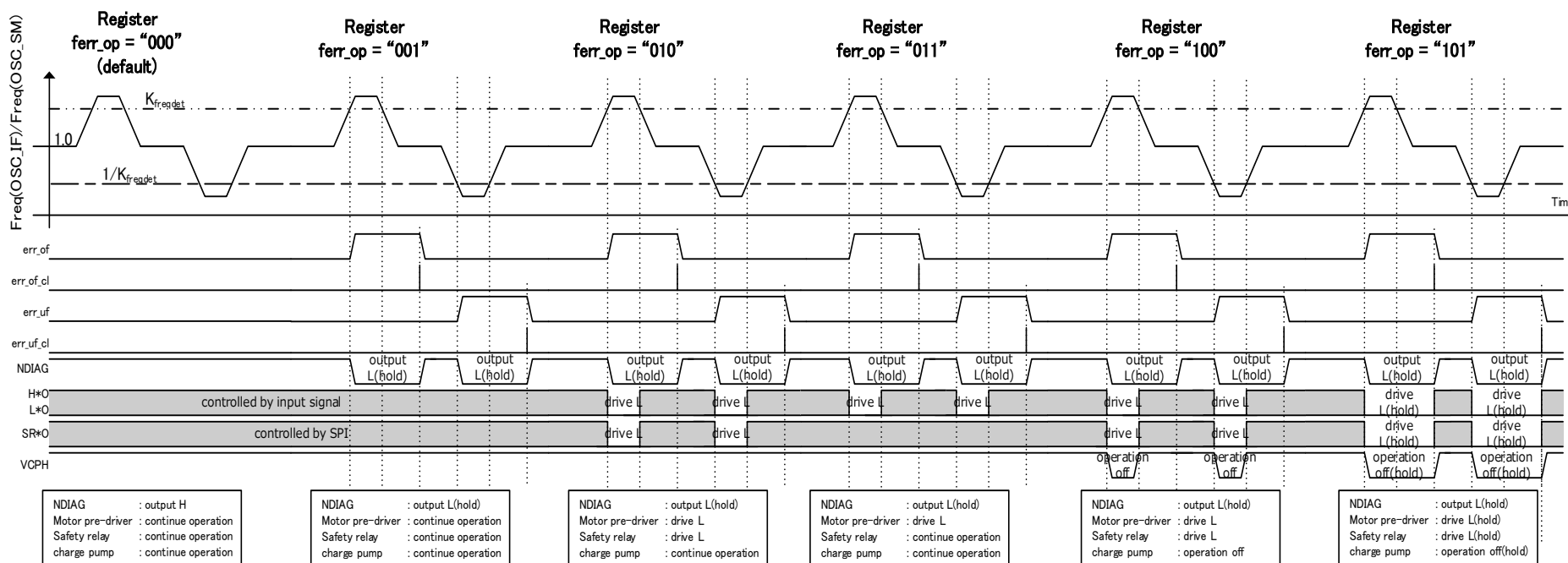


Fig. 7.5.10-d 発振周波数相互比較異常件出時の動作モード

7.5.11. QA 演算検出機能

SPI 通信ブロックは QA 演算検出機能を備えています。詳細は表 7.5-a と 7.9.2 を参照ください。

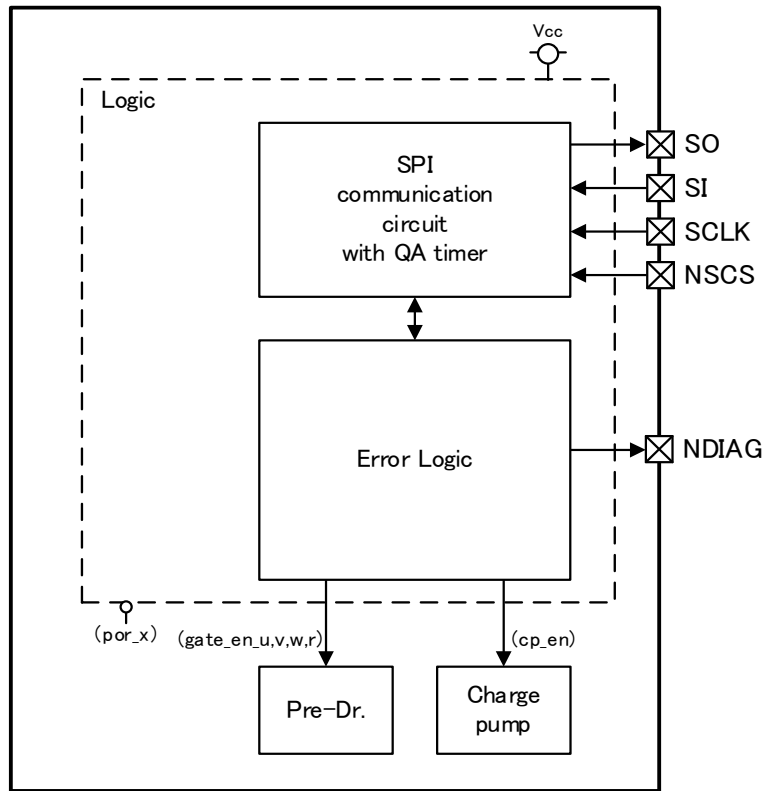


Fig. 7.5.11-a QA 演算検出ブロック図

> ① QA 演算エラー検出

QA 演算エラーを検出すると、レジスター:err_qa="H"となり、NDIAG="L"となります。QA タイムアウトを検出すると、レジスター:err_qato="H"となり、NDIAG="L"となります。

> ② QA 演算エラー累積検出

QA 演算エラー累積を検出すると、レジスター:err_qac="H"となり、レジスターqat_op の設定に従って動作します。

検出後の動作は、SPI 通信を介して 4 モードの選択が可能です。

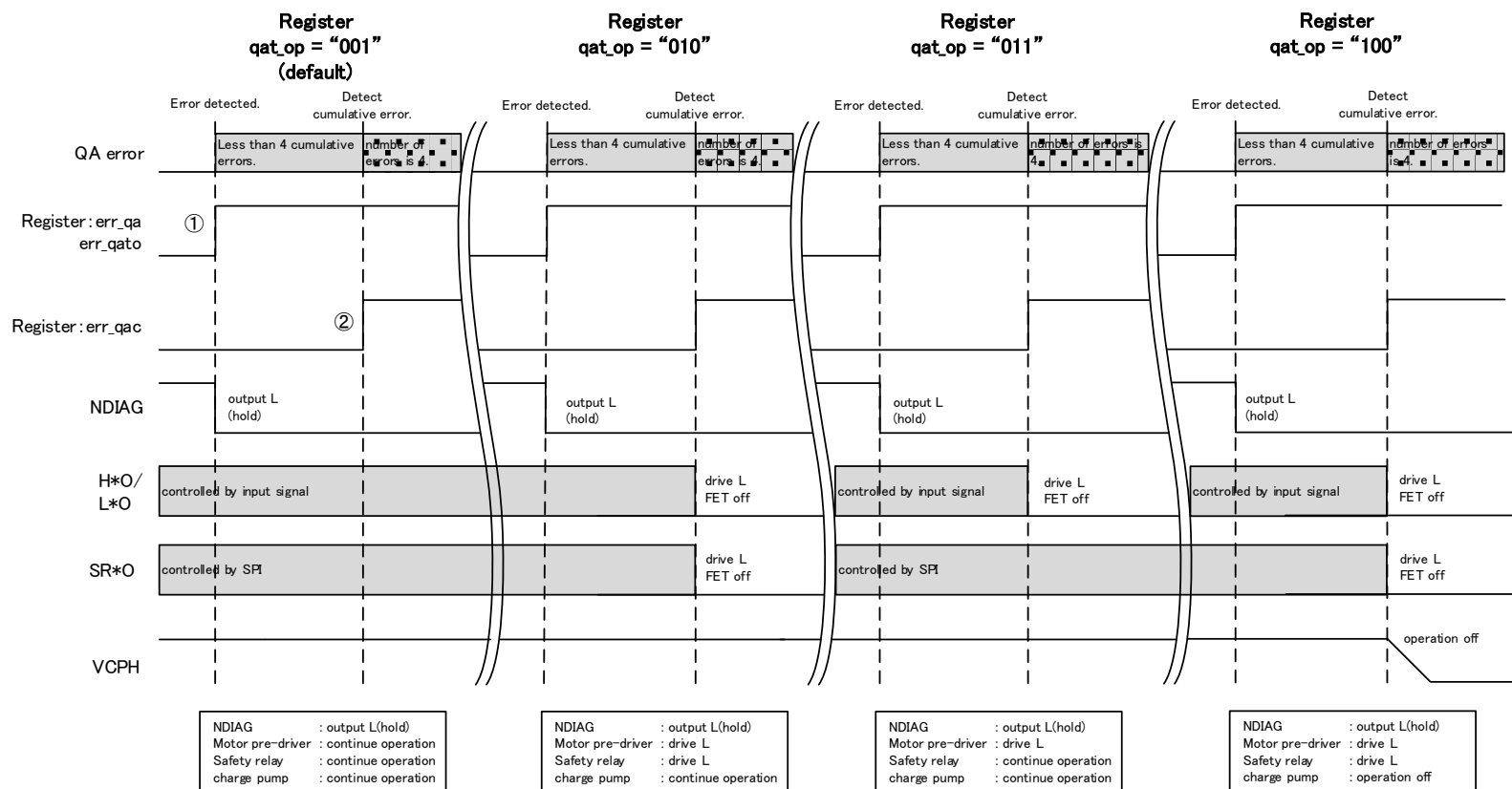


Fig. 7.5.11-b QA 演算エラー検出タイミングチャート

7.6. ALARM 入力回路

マイコンからプリドライバーを停止させるための信号入力として、ALARM 端子があります。ALARM 信号は OSC_SM を使用する内部信号と OSC_IF を使用する内部信号があります。ALARM 信号はプリドライバー回路(モーター駆動、セーフティリレー)の Enable/Disable 制御を行います。

- ALARM="L"の場合 [ALM_CTRL](#) レジスターで設定したプリドライバー回路が Disable となります。
- ALARM="H"の場合プリドライバー回路の入力と内部信号によって Enable/Disable が決まります。
- ALARM 端子の入力側にはノイズ除去のためのデジタルフィルタ(D.F.)を内蔵しています。
- デジタルフィルタ時間は [ALM_CTRL](#) レジスターで設定可能です。
- SPI 通信によりリードできる ALARM 検出ステータス [STAT1](#) レジスターの alm_det は OSC_SM を使用した信号のみとなります。

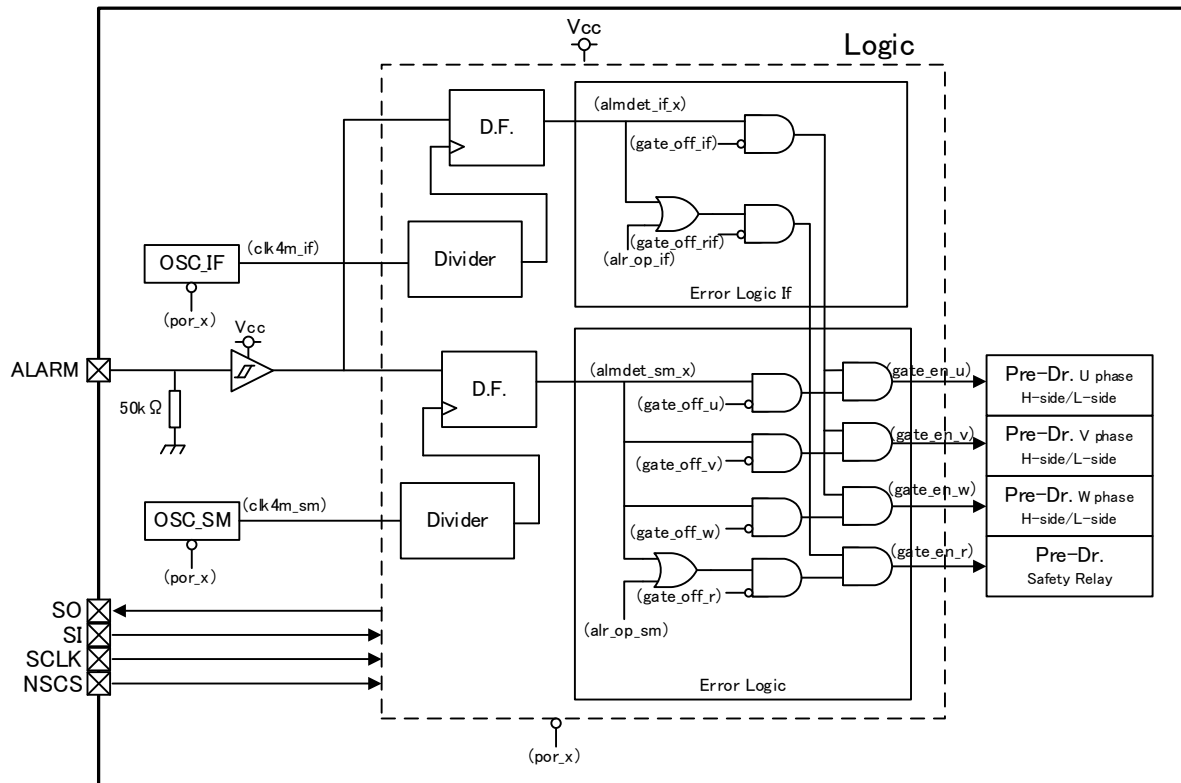


Fig. 7.6-a MOSFET 駆動回路制御ブロック図

表 7.6-a MOSFET 駆動回路制御真理値表

por_x	alr_op	almdet_if_x	almdet_sm_x	gate_en_u	gate_en_v	gate_en_w	gate_en_r
L	*	*	*	L	L	L	L
L	L	L	*	L	L	L	L
		*	L	L	L	L	L
		H	H	~gate_off_u	~gate_off_v	~gate_off_w	~gate_off_r
		L	*	L	L	L	~gate_off_r
		*	L	L	L	L	~gate_off_r
H	H	H	H	~gate_off_u	~gate_off_v	~gate_off_w	~gate_off_r

- *:Don't care
- gate_off_u, gate_off_v, gate_off_w, gate_off_r は Alarm 要因以外のプリドライバー停止指示信号
- gate_off_if, gate_off_rif は Alarm 要因以外のプリドライバー停止指示信号(OSC_IF を使用した周波数異常検出)

7.7. ABIST / LBIST 機能

IC 起動時に、各種異常検出が正常に機能しているかを診断します。

- IC 起動時、VCC 低電圧解除後に発振回路が動作を開始し、LBIST 完了後に ABIST の診断を開始します。
- LBIST が NG の場合は ABIST の診断はキャンセルされます。チャージポンプもプリドライバーも Disable 状態となるように制御します。
- ABIST が開始すると、診断用スイッチをオンすることでコンパレーターの入力電圧を切り替え、各検出コンパレーターを反転させて診断を行います。
- 診断はクロックに同期して順次行われ、診断情報は ABIST 判定回路に入力されます。また、診断期間中は NDIAG="L" に保持されます。
- 全ての診断終了後、IC は通常動作に切り替わります。
- 診断で異常が検出されない場合、NDIAG="H" となります。
- 診断で異常が検出された場合、NDIAG="L" となり、診断情報を保持し続けます。
- 診断箇所は表 7.5-a を参照してください。

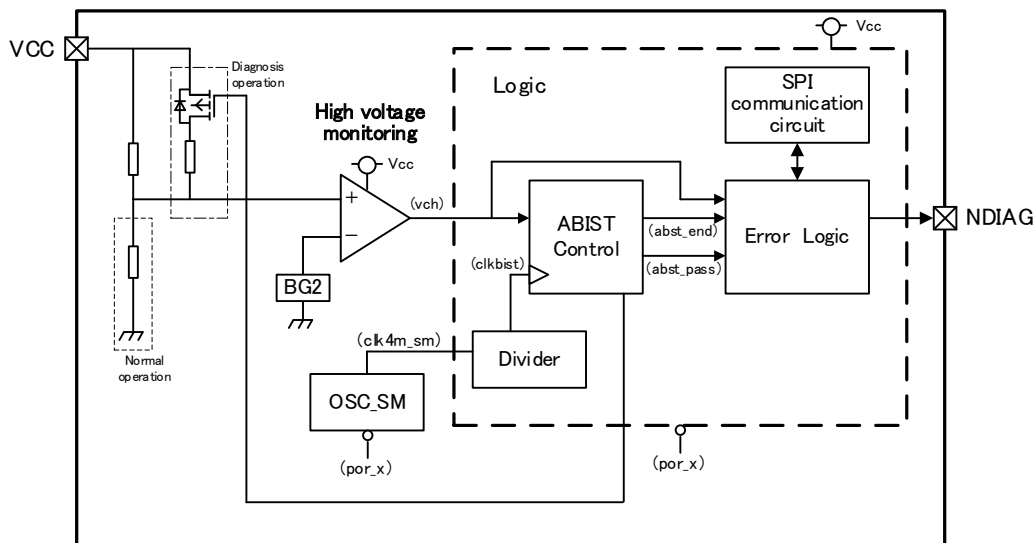


Fig. 7.7-a ABIST ブロック図(VCC 高電圧検出)

- [CP_RLY_CTRL](#) レジスタの en_cp ビットの初期値は 1 であるため、ABIST が正常に終了した時点で、チャージポンプは有効となります。

表 7.7-a 回路動作真理値表(チャージポンプ回路)

ABIST	ABSIT 結果	ABSIT 以外の異常検出による停止	en_cp [SPI]	内部信号 cp_en	チャージポンプ回路
実行前	*	*	*	L	Disable
実行中					
実行後	NG	TRUE	L	H	Enable
	OK	FALSE	H		

- ABIST / LBIST 実行中は内部プルアップ/ダウン抵抗に依存し $V_{cph}=V_b$ となります。

表 7.7-b 回路動作真理値表(プリドライバ回路)

ABIST	ABSIT 結果	ABSIT 以外の異常検出による停止	内部信号 gete_en_u/v/w	プリドライバ回路
実行前	*	*	L	Disable
実行中				
実行後	NG	TRUE	H	Enable
	OK	FALSE		

<ABIST 全体動作/立ち上がり動作>

> ① IC 起動

IC 起動時、Vcc の低電圧解除により、分周回路が動作開始します。

> ② LBIST 実行

分周回路が動作を開始し、LBIST を開始します。

> ③ ABIST 開始

LBIST 後、ABIST を開始します。一定時間ごとに検出コンパレータを切り替え、検出コンパレータが故障検出信号を正しく出力しているか診断します。

> ④ 診断

以下の各コンパレータの診断を実施します。

VB 低電圧、VCPH 高電圧、VCC 高電圧、VCC_OP 低電圧、VCC_OP 高電圧、過熱。

> ⑤ ABIST 終了

全ての検出コンパレータの診断が終了すると、IC は通常動作モードに切り替わり、チャージポンプ回路が動作を開始し、プリドライバー回路をオンすることが可能になります。また、診断結果を NDIAG へ出力します。また、診断 NG 時は、チャージポンプ回路、プリドライバー回路がオフを継続します。

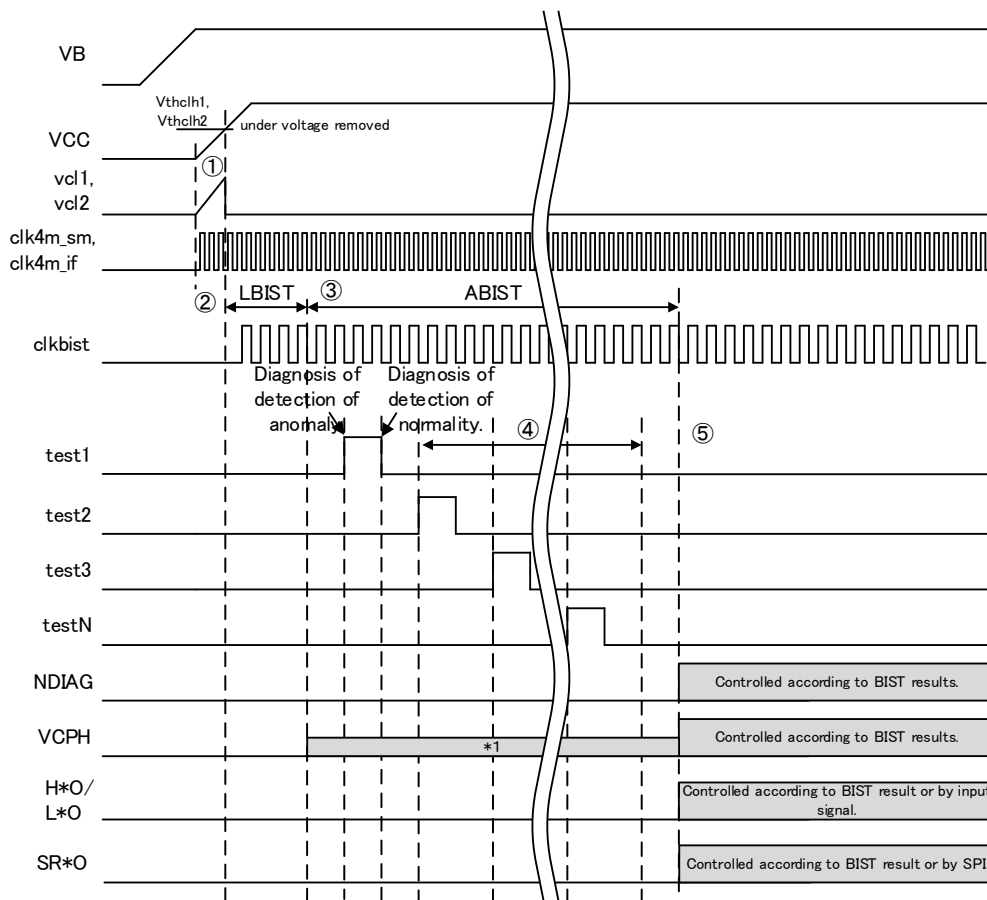


Fig. 7.7-b ABIST タイミングチャート

- ABIST / LBIST 実行中は内部プルアップ/ダウン抵抗に依存し $V_{cph} = V_b$ となります。
- VB と VCC の立ち上げ順序はありませんが、ABIST スタート時に VB 低電圧検出及び VCC_OP 低電圧検出が解除されておりませんと ABIST の結果が異常となります。
また、Vb および Vcc のスルーレートは以下の範囲で使用してください。
Vb=8V/μs 未満
Vcc=0.3V/μs 未満
- LBIST と ABIST を合わせた実行期間は、約 2.6ms(typ.), 4.0ms(max)となります。SPI による通信は LBIST, ABIST 終了後に開始してください。

7.8. 外部 FET、リレーの初期診断回路

7.8.1. ブロック図

Fig. 7.8-a にブロック図を示します (概念図であり実際の回路を示すものではありません)。外部 FET やリレーの初期診断を実行するための検査用回路(FET_TEST ブロック)を備えています。検査動作中は VDS 異常検出が無効となり、VDS 異常検出用の回路が外部 FET やリレーの検査(以降 FET_TEST)に利用されます。FET_TEST 中でも VDS 異常検出以外の要因でプリドライバのオフ指示が到来した場合(gate_en_*="L"となった場合)はプリドライバがオフとなります。FET_TEST 期間中モーター制御用プリドライバの制御信号は FET_TEST ブロックによって制御されます。リレーは常に CP RLY CTRL レジスタ一設定に従います。

プリドライバがオフのときに HUS, HVS, HWS 端子を中点電位に保つための抵抗は FET_TEST による検査が実行されているときに接続されます。

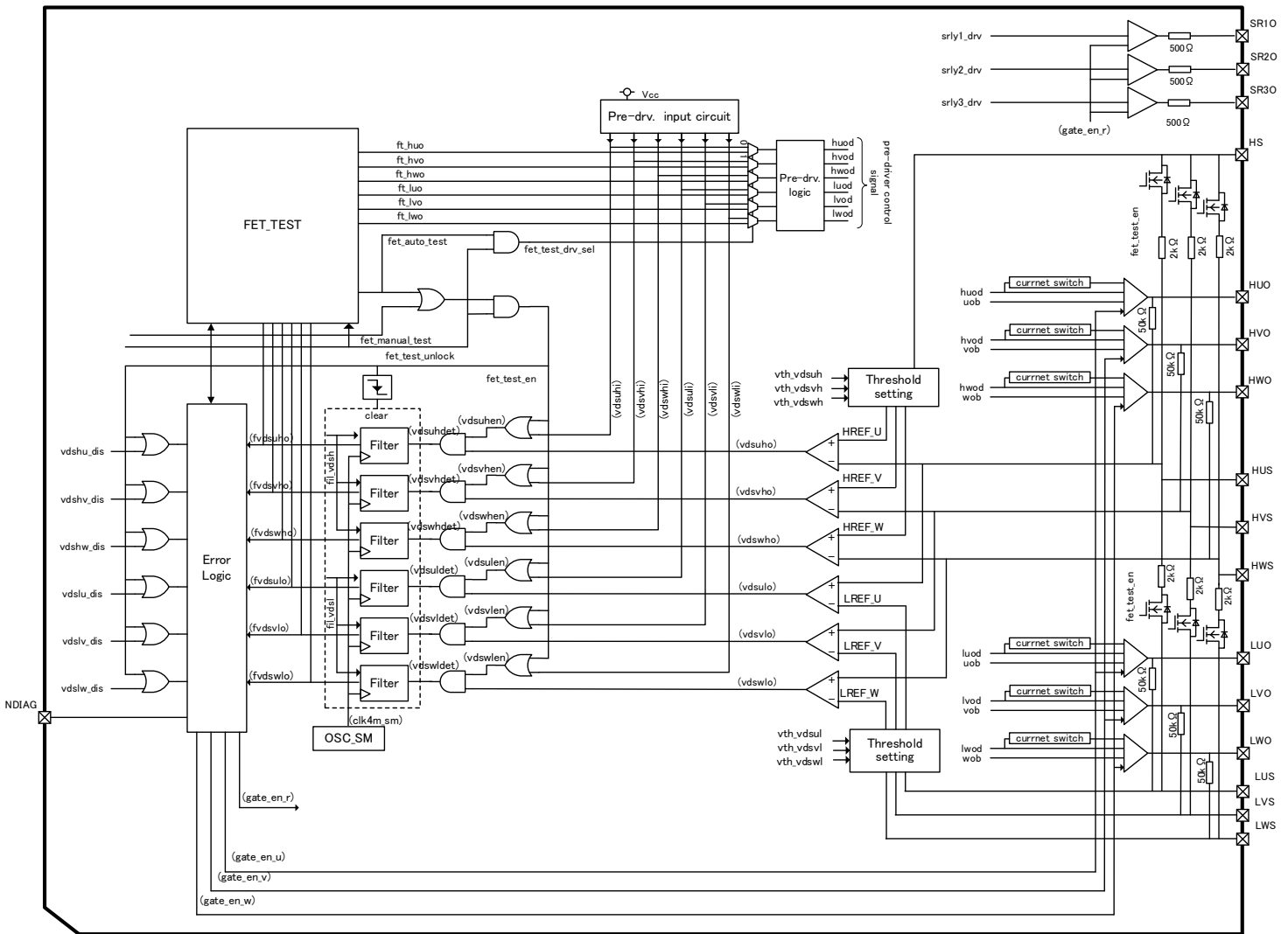


Fig. 7.8-a 外部 FET、リレーの診断回路ブロック図

7.8.2. 検査モード分類

表 7.8-a に検査モードの一覧を示します。fet_test_unlock=0 では通常動作となります。

fet_test_unlock=1 の期間中に fet_manual_test=1 とすることで、外部 FET をマニュアル操作で検査することができます。このモードではリレー駆動信号はレジスターによる制御、FET 駆動信号は入力端子による制御であり、通常動作時と同様の制御方法となります。通常動作では FET 制御用の入力端子が“H”に制御されたチャンネルだけ VDS 検出用のコンパレータ出力がノイズフィルターへ入力されますが、マニュアルテストモードでは FET 制御用の入力端子の状態とは無関係に VDS 検出用のコンパレータ出力がノイズフィルターへ入力されます。マニュアルテストモードでは VDS 検出用の回路が FET 検査に使用されるため、VDS 異常検出は無効となります。fet_rmidonU, fet_rmidonV, fet_rmidonW はそれぞれ中点電圧生成用の抵抗のうち U 相、V 相、W 相を ON する制御ビットとなります。ユーザーの想定する検査方法に応じて各ビットを ON してください。同時に複数ビットを ON した場合は該当する相の抵抗が同時に ON となります。VDS 検出用のコンパレータ(フィルター後)出力を **VDS COMP STAT** からマイコンが読み出して期待値比較することで検査を行います。

fet_test_unlock=1 の期間中に fet_test_start ビットをセットすることで検査シーケンスが開始され fet_auto_test="H" となると、FET 駆動のタイミング制御と、VDS 検出コンパレータ出力結果の保存が本 IC により自動的に行われます。FET の駆動パターンは Type A, B, C ではあらかじめ想定されている規定の駆動パターンとなりますが、Type D ではレジスターにより任意のパターンを設定できます。VDS 異常検出用の回路が FET 検査に使用されるため、VDS 異常検出は無効となります。自動シーケンス起動中は中点電圧生成用の抵抗が全相 ON となります。Type A, B, C ではあらかじめ想定されている規定の駆動パターンで FET を駆動するため、コンパレータ出力は IC 内部で自動的に期待値比較されますが、Type D では駆動パターンがユーザーにより任意に設定できるため期待値比較もマイコンが実施します。

fet_manual_test と fet_auto_test が同時に成立した発生した場合は fet_auto_test が優先されます。fet_rmidon[U,V,W] は多ビットを同時に設定した場合は、1 に設定された相の中点電圧生成抵抗が同時に ON します。表 7.8-a における "*" は Don't care を意味します。

表 7.8-a 検査モード一覧

レジスター設定 または状態フラグ							各回路要素の動作					結果の 判定方法	概要
fet_test_unlock	fet_auto_test	fet_manual_test	fet_rmidonU	fet_rmidonV	fet_rmidonW	fet_test_type	リレー 駆動信号	FET 駆動信号	VDS 異常 検出	VDS 検 出コンパ レータ (with Filter)	中点 電圧 生成 抵抗		
0	*	*	*	*	*				有効	VDS 検出	OFF	—	通常動作 FET テストのロック解 除状態
1	0	1	0	0	0	*	マイコンによるレ ジスタ設定によ り制御	入力端子によ り制御される	無効	外部 FET の 診断	U 相 ON	マイコンで 判断	マニュアル操作による FET テスト
			0	1	0						V 相 ON		
			0	0	1						W 相 ON		
	1	*		A	全相 ON	IC が期待値 比較		自動テスト Type A					
		B	自動テスト Type B										
		C	自動テスト Type C										
		D	マイコンによるレ ジスタ設定によ り制御	マイコンで判断		自動テスト Type D							

7.8.3. FET のマニュアル検査

FET TEST CNT2 レジスタの `fet_test_unlock="H"` を設定後に FET TEST CNT1 レジスタの `fet_manual_test="H"` とすることで FET のマニュアル検査が実行できます。FET のマニュアル検査モードでは FET の制御信号は通常動作と同じで入力端子から制御します。VDS 異常検出用の回路が FET の診断モードに変更され、FET の制御入力信号とは無関係に VDS コンパレーターの出力信号がノイズフィルターへ入力されます。VDS 検出回路が FET の診断モードに変更されるため、VDS 異常検出は無効となります。また、`fet_rmidonU`、`fet_rmidonV`、`fet_rmidonW` の 3 ビットの設定に応じて U 相、V 相、W 相の中点電圧生成用抵抗を個別に ON とすることができます。同時に複数ビットを ON した場合は該当する相の抵抗が同時に ON となります。`ft_comp_sel="H"` とすることで VDS COMP STAT からは VDS 検出コンパレーター(フィルター後)出力がリード可能です。マイコンでこの値を検査期間中にリードすることで期待した動作となっているかどうかを確認してください。

`fet_manual_test` と `fet_auto_test` が同時に成立した場合は `fet_auto_test` が優先され自動検査のシーケンスが開始されます。また、Fig. 7.8-b では"Normal operation"と記載してある期間がありますが、これは IC の動作が FET_TEST のモードから抜けたという意味合いでの記載となります。システムレベルで「実際にモーターを駆動する意図のある通常動作」の期間では、FET_TEST 誤発動防止のために `fet_test_unlock="L"` としてください。

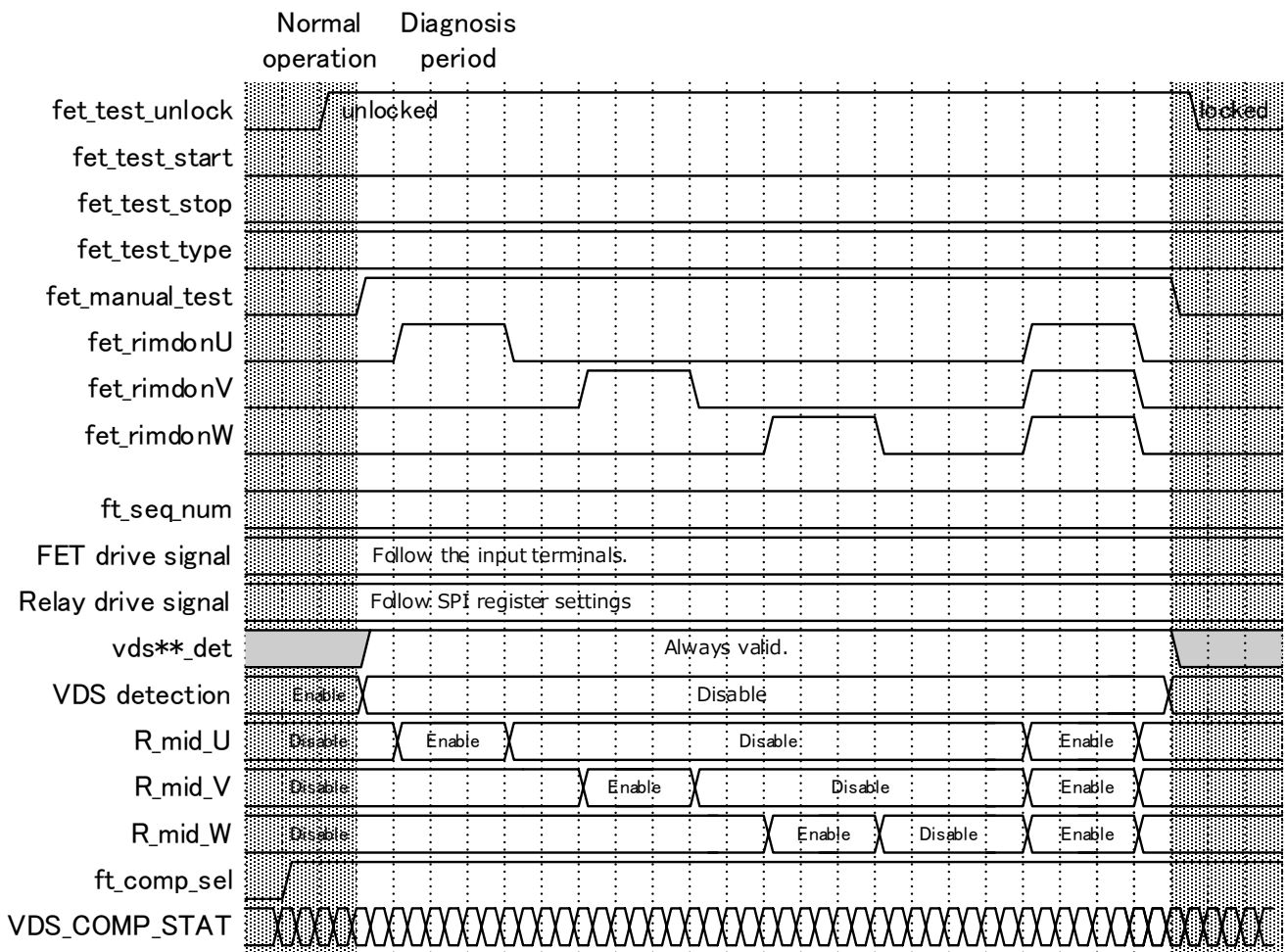


Fig. 7.8-b マニュアル検査モードでの動作波形

7.8.4. 検査方法 Type A

モーターリレーがオフのときに検査を実行する想定です。検査を開始する前に **CP RLY CTRL** レジスターによりモーターリレーをオフに設定してから実行してください。fet_test_type=A を選択し、fet_test_unlock="H"の期間中に fet_test_start を設定することで Type A の検査シーケンスが開始されます。TypeA の検査シーケンスを開始すると本 IC が中点電圧生成抵抗を ON にして一定時間待機します。待機終了後本 IC がモーター制御用の全ブリドライバーをオフとして期待値比較を行います。その後本 IC がモーター制御用のブリドライバーを 1 つずつ ON しながらコンパレーター出力(ノイズフィルター後)信号を期待値と比較します。検査シーケンス実行中はブリドライバーがオフのときに HUS, HVS, HWS を中点電圧に保つための抵抗が ON となります。検査シーケンス中は VDS コンパレーター(フィルター後)出力を規定のタイミングでレジスターに格納します。マイコンによって fet_auto_test="L"でシーケンスが終了したことを確認後に検査結果を確認してください。期待値不一致がなかった場合は fet_test_err="L"となります。期待値不一致があった場合は、不一致を検出した段階でシーケンスが停止しますので ft_seq_num をリードすることで、どの段階で不一致が発生したかを確認できます。不一致が検出されたときに保存されたコンパレーター(ノイズフィルター後)出力は ft_comp_sel="L"として **VDS COMP STAT** をリードすることで確認できます。期待値不一致の発生したシーケンス番号、表 7.8-b の期待値と保存されたコンパレーター出力を比較することで故障箇所を推定することができます。

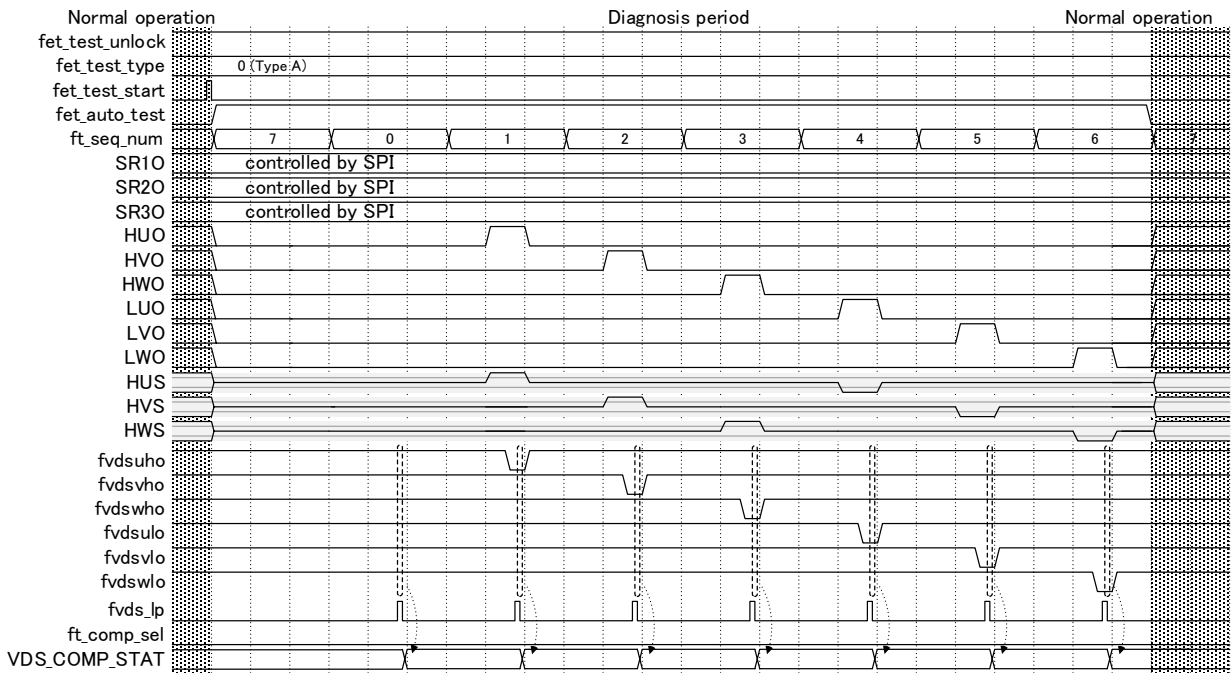


Fig. 7.8-c 検査方法 Type A の動作波形

表 7.8-b 検査方法 Type A での期待値

		VDS_COMP_STAT						HEX
		D10	D8	D6	D4	D2	D0	
		compout_uh	compout_ul	compout_vh	compout_vl	compout_wh	compout_wl	
ft_seq_num	0	1	1	1	1	1	1	0555
	1	0	1	1	1	1	1	0155
	2	1	1	0	1	1	1	0515
	3	1	1	1	1	0	1	0551
	4	1	0	1	1	1	1	0455
	5	1	1	1	0	1	1	0545
	6	1	1	1	1	1	0	0554

7.8.5. 検査方法 Type B

モーターリレーがオンのときに検査を実行する想定です。検査を開始する前に [CP RLY CTRL](#) レジスターによりモーターリレーをオンに設定してから実行してください。fet_test_type=B を選択し、fet_test_unlock="H"の期間中に fet_test_start を設定することで Type B の検査シーケンスが開始されます。TypeB の検査シーケンスを開始すると本 IC が中点電圧生成抵抗を ON にして一定時間待機します。待機終了後、本 IC がモーター制御用の全ブリドドライバーをオフとして期待値比較を行います。その後本 IC がモーター制御用のブリドドライバーを 1 つずつ ON しながらコンパレーター出力(ノイズフィルター後)信号を期待値と比較します。検査シーケンス実行中はブリドドライバーがオフのときに HUS, HVS, HWS を中点電圧に保つための抵抗が ON となります。検査シーケンス中は VDS コンパレーター(フィルター後)出力を規定のタイミングでレジスターに格納します。マイコンによって fet_auto_test="L"でシーケンスが終了したことを確認後に検査結果を確認してください。期待値不一致がなかった場合は fet_test_err="L"となります。期待値不一致があった場合は、不一致を検出した段階でシーケンスが停止しますので ft_seq_num をリードすることで、どの段階で不一致が発生したかを確認できます。不一致が検出されたときに保存されたコンパレーター(ノイズフィルター後)出力は ft_comp_sel="L"として [VDS COMP STAT](#) をリードすることで確認できます。期待値不一致の発生したシーケンス番号、表 7.8-c の期待値と保存されたコンパレーター出力を比較することで故障箇所を推定することができます。

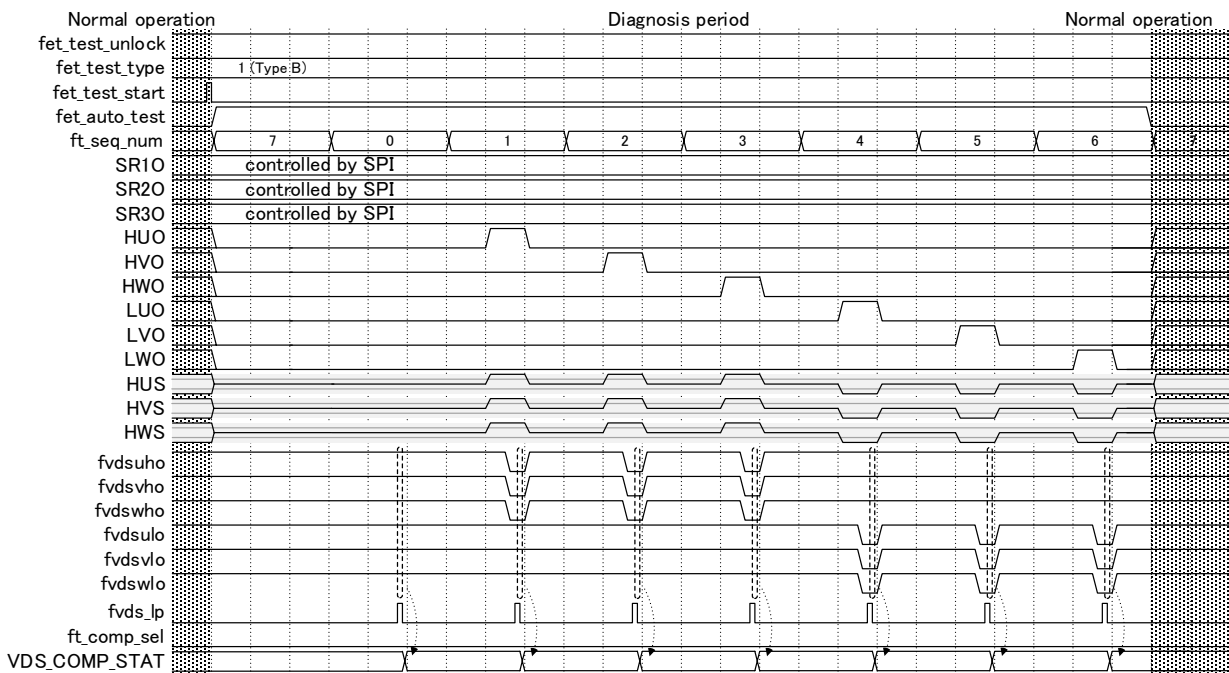


Fig. 7.8-d 検査方法 Type B の動作波形

表 7.8-c 検査方法 Type B での期待値

		VDS_COMP_STAT						HEX
		D10	D8	D6	D4	D2	D0	
		compout_uh	compout_ul	compout_vh	compout_vl	compout_wh	compout_wl	
ft_seq_num	0	1	1	1	1	1	1	0555
	1	0	1	0	1	0	1	0111
	2	0	1	0	1	0	1	0111
	3	0	1	0	1	0	1	0111
	4	1	0	1	0	1	0	0444
	5	1	0	1	0	1	0	0444
	6	1	0	1	0	1	0	0444

7.8.6. 検査方法 Type C

モーター制御用のブリドドライバーが異常検出時に停止できることを検査するときに使用する想定です。モーターリレーや電源リレーを使用している場合はモーター制御用の FET が通常動作するように [CP_RLY_CTRL](#) レジスターでリレーの動作を設定した上で、マイコンから ALARM 端子="L"にするなどしてブリドドライバーを停止させてから検査を実行させてください。この時 [ALM_CTRL](#) の alr_op="H"として ALARM 検出時にモーター制御用のブリドドライバーのみ停止する設定とし、リレーは停止しない設定にしておきます。

fet_test_type=C を選択し、fet_test_unlock="H"の期間中に fet_test_start を設定することで Type C の検査シーケンスが開始されます。TypeC の検査シーケンスを開始すると本 IC が中点電圧生成抵抗を ON にして一定時間待機します。待機終了後、本 IC がモーター制御用の全ブリドドライバーをオフとして期待値比較を行います。その後、本 IC がモーター制御用のブリドドライバーのうちハイサイド側の 3 チャンネルを同時に ON した場合と、ローサイド側の 3 チャンネルを同時に ON した場合のコンパレーター出力(ノイズフィルター後)信号を期待値と比較します。検査シーケンス実行中はブリドドライバーがオフのときに HUS, HVS, HWS を中点電圧に保つための抵抗が ON となります。検査シーケンス中は VDS コンパレーター(フィルター後)出力を規定のタイミングでレジスターに格納します。マイコンによって fet_auto_test="L"でシーケンスが終了したことを確認後に検査結果を確認してください。期待値不一致がなかった場合は fet_test_err="L"となります。期待値不一致があった場合は、不一致を検出した段階でシーケンスが停止しますので ft_seq_num をリードすることで、どの段階で不一致が発生したかを確認できます。不一致が検出されたときに保存されたコンパレーター(ノイズフィルター後)出力は ft_comp_sel="L"として [VDS_COMP_STAT](#) をリードすることで確認できます。期待値不一致の発生したシーケンス番号、表 7.8-d の期待値と保存されたコンパレーター出力を比較することで故障箇所を推定することができます。

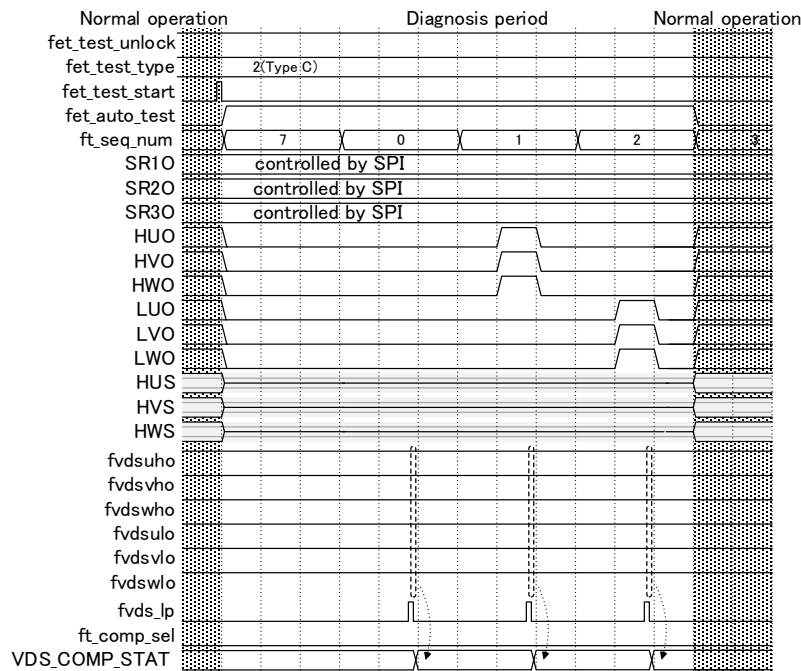


Fig. 7.8-e 検査方法 Type C の動作波形

表 7.8-d 検査方法 Type C での期待値

		VDS_COMP_STAT						HEX
		D10	D8	D6	D4	D2	D0	
		compout_uh	compout_ul	compout_vh	compout_vl	compout_wh	compout_wl	
ft_seq_num	0	1	1	1	1	1	1	0555
	1	1	1	1	1	1	1	0555
	2	1	1	1	1	1	1	0555

7.8.7. 検査方法 Type D

モーターリレーの独立性を検査するとき使用する想定ですが、FET 駆動の組み合わせは [FET TEST CNT2](#) レジスターで任意に設定可能ですので汎用的に使用することもできます。Type D では一度に 1 パターンの検査しか実行しません。FET 駆動の組み合わせは任意に設定可能ですが、Type D の検査シーケンスがスタートしたタイミングでの値を使用しますのでスタート前にあらかじめ所望の値をセットしてください。ハイサイド・ローサイド同時 ON の駆動パターンが設定された場合はハイサイド・ローサイドともにオフとして扱われます。IC では期待値比較を行いませんが検査時のコンパレータ出力(ノイズフィルター後)信号を 6 チャンネル分リード可能です。検査シーケンス実行中はブリドドライバーがオフのときに HUS, HVS, HWS を中点電圧に保つための抵抗が ON となります。

fet_test_type=D を選択し、fet_test_unlock="H" の期間中に fet_test_start を設定することで Type D の検査シーケンスが開始されます。TypeD の検査シーケンスを開始すると本 IC が中点電圧生成抵抗を ON にして一定時間待機します。待機終了後、FET_TEST_CONT2 レジスターで設定された駆動パターンで FET を駆動します。検査シーケンス中は VDS コンパレータ(フィルター後)出力を規定のタイミングでレジスターに格納します。マイコンによって fet_auto_test="L" でシーケンスが終了したことを確認後に検査結果を確認してください。検査中に保存されたコンパレータ(ノイズフィルター後)出力は ft_comp_sel="L" として [VDS COMP STAT](#) をリードすることで確認できますので、マイコンで期待通りの動作をしているか確認してください。

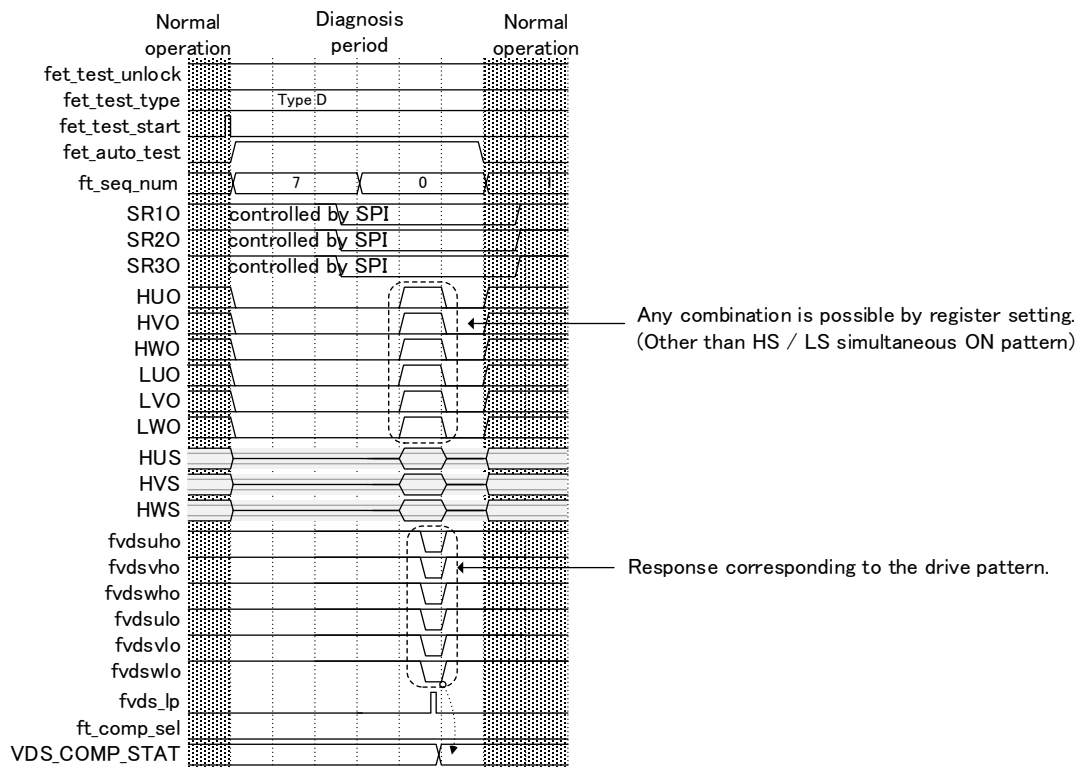


Fig. 7.8-f 検査方法 Type D の動作波形

7.8.8. 検査シーケンスの開始と終了

fet_test_unlock="H"を設定後に fet_test_start ビットを設定することで検査が開始されます。Fig. 7.8-g では"Normal operation"と記載してある期間がありますが、これは IC の動作が FET_TEST のモードから抜けたという意味合いでの記載となります。システムレベルで「実際にモーターを駆動する意図のある通常動作」の期間では、FET_TEST 誤発動防止のために fet_test_unlock="L"としてください。fet_test_start は検査実行中に受領しても無視されます。FET_TEST 実行中、モーター制御用のブリドライバは FET_TEST ブロックにより制御されます。FET_TEST の開始時および終了時に意図しない FET の駆動をさせないように、FET_TEST を実行する前に各 FET の制御信号(HUI, HVI, HWI, LUI, LVI, LWI 端子入力)を FET がオフとなるようにマイコンから制御しておいてください。

検査の停止は fet_test_stop と、fet_test_unlock="L"の二通りの方法があります。

fet_test_stop で停止させた場合は、実行中のステップが完了したタイミングで停止します(検査終了後の ft_seq_num は最後に検査した検査ステップの番号となります)。ただし、各検査シーケンスで最後の検査ステップの段階で fet_test_stop が受領された場合は無視されます(Type A, Type B の検査シーケンスでの ft_seq_num=6h、Type C の検査シーケンスでの ft_seq_num=2h、Type D の検査シーケンス)。

fet_test_unlock="L"の場合は実行中の検査ステップが終了したかどうかに関わらず fet_test_unlock="L"を受領した時点で強制的に通常動作状態に戻します(ft_seq_num と保存されたコンパレータ出力結果の関係性は保証されません)。

VDS 検出用ノイズフィルタへの入力信号 vds**_det は通常動作期間では該当のチャンネルが ON に制御された期間だけ有効となり VDS 電圧の異常検出に利用されますが、FET_TEST 期間中は FET 検査のために常時有効となります。ただし、FET_TEST 期間中は VDS 異常検出自体が無効となりますので FET_TEST 期間中に VDS 異常が検出されることはありません。FET_TEST 実行期間中は中点電圧生成用の抵抗が ON となります。

Type A / Type B の検査方法では、期待値不一致がなければ ft_seq_num=7h、Type C の検査方法では ft_seq_num=3h で終了します。fet_auto_test は FET_TEST 実行中に"H"となるリード可能なレジスターです。

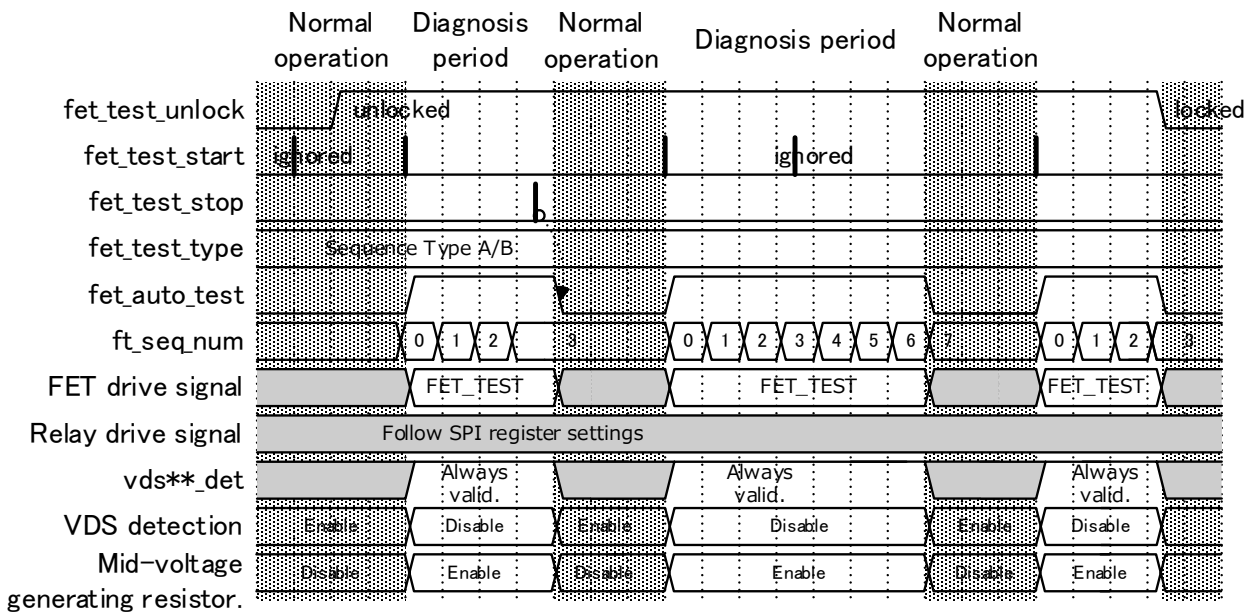


Fig. 7.8-g FET 検査の開始と終了に関する動作波形

7.8.9. 期待値不一致検出時の動作

Type A / Type B / Type C の検査では検査中に期待値との比較を行います。期待値不一致が発生した場合には検査シーケンスが停止し、fet_test_err="H"がセットされます。このとき ft_seq_num には期待値不一致となった検査シーケンスの番号が保存されています。ft_comp_save(VDS_COMP_STAT の ft_comp_sel="L"時のデータ)には最後に実行された検査での(期待値不一致となった)コンパレーター出力(ノイズフィルター後)信号が 6 チャンネル分保存されています。マイコンはこれらの値をリードすることで、どの検査ステップのどの出力が不一致となったかを確認することができます。fet_test_err レジスターと ft_comp_save レジスターは新たな検査がスタートしたタイミングと ft_save_cl ビットが設定されたときにクリアされます。

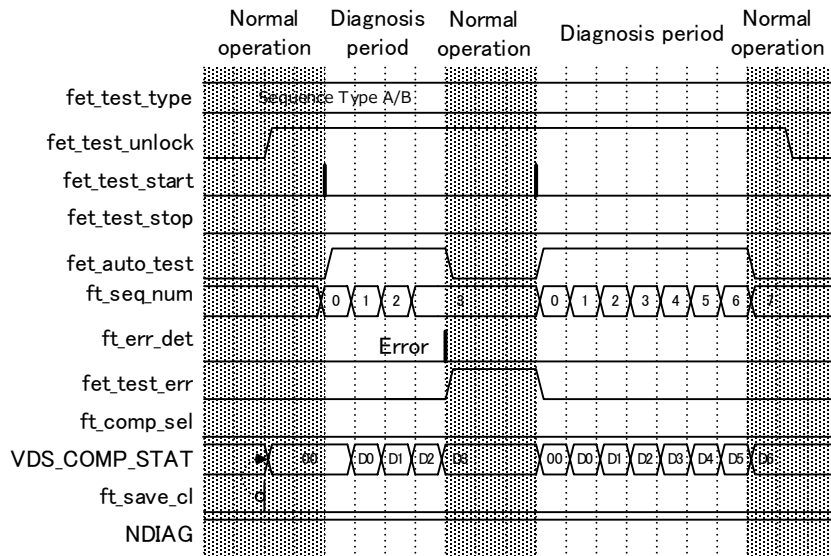


Fig. 7.8-h 期待値不一致検出時の動作

7.8.10. リードデータの選択

VDS_COMP_STAT でリードするデータは ft_comp_sel ビットによって、自動シーケンス時に保存されたデータと、VDS コンパレーター出力の現在の値から選択可能です。ft_comp_sel はどちらのデータをリードするかを選択するのみの設定ビットであり、自動シーケンスで保存されるデータには影響を与えません。自動シーケンス中に必ず ft_comp_sel="L"にしなければいけないという制約はありません。自動シーケンスで保存された結果を確認する時点で ft_comp_sel="L"とすれば十分です。

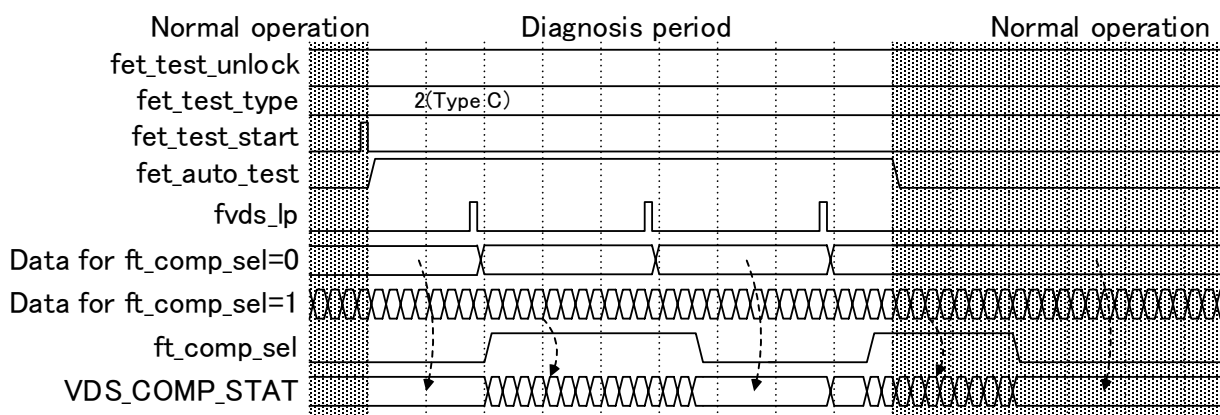


Fig. 7.8-i ft_comp_sel によるリードデータの選択

7.8.11. FET 検査時の NDIAG への出力

ft_ndiag_sel="H"とすることで、FET_TEST 実行中(ft_auto_test="H"の期間)と、検査中に期待値不一致が検出された場合(ft_test_err="H"の期間)に NDIAG="L"とすることができます。ft_test_err は新たな検査がスタートしたタイミングと ft_save_cl ビットによりクリアされます。

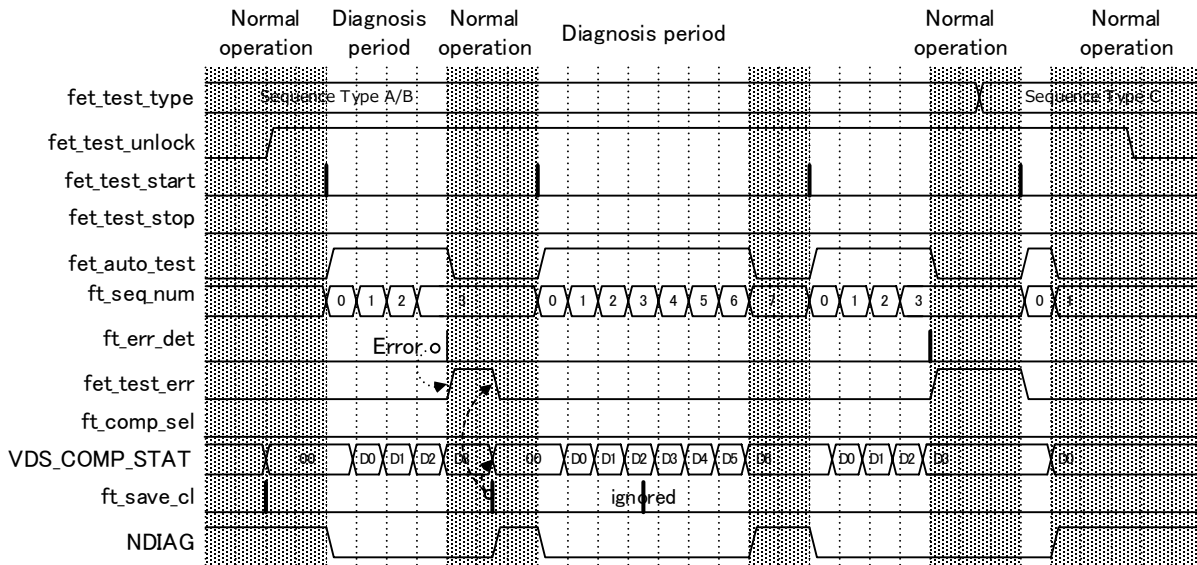


Fig. 7.8 j 検査時に NDIAG へ出力する場合の動作波形

エラーがない場合の FET 検査時間は表 7.8-e のようになります。ft_ndiag_sel="H"を設定した場合 NDIAG が"L"の期間の長さと同じです。

表 7.8-e FET 検査時間

検査タイプ	Typ.	Max
Type A	1024 μ s	1576 μ s
Type B	1024 μ s	1576 μ s
Type C	512 μ s	788 μ s
Type D	256 μ s	394 μ s

7.9. SPI 通信回路

SPI 通信回路は SPI コア回路、レジスタリード回路ブロックで構成されています。

NSCS="L" のときのみマイコンとの通信が可能となります。

クロックの立ち上がりエッジでマイコンは SI にデータを書き込み、次の立ち下がりエッジで IC がデータを読み取りま

す。また、クロックの立ち上がりエッジで IC は SO にデータを出力し、次の立ち下がりエッジでマイコンがデータを読み取り

ます。SI はマイコンからのデータビットを MSB から LSB の順に受信します。

SO はマイコンへデータビットを MSB から LSB の順に送信します。

出力はプッシュプル構成で、NSCS="H" のときにはハイインピーダンスとなります。

また、IC 内部で NSCS 端子は抵抗プルアップ、SCLK、SI 端子は抵抗プルダウンされています。

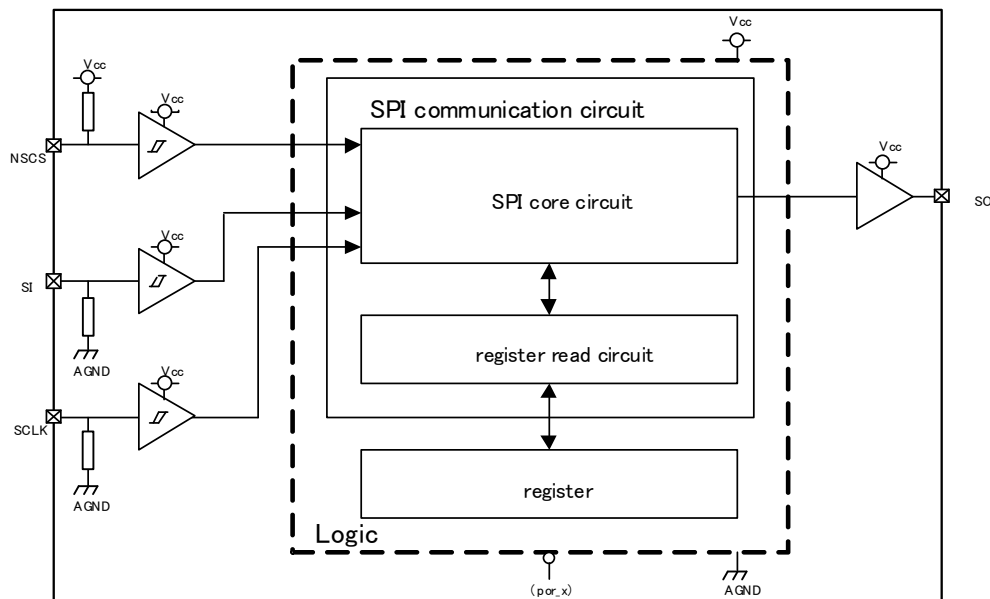


Fig. 7.9-a SPI 通信回路ブロック図

7.9.1. SPI 通信動作

NSCS="L"の時 SCLK に同期してシリアルデータを送受信します。NSCS="H"の場合 SO 出力はハイインピーダンスとなります。フレーム長は 32bit です。機能としてはリード動作、ライト動作の 2 種類があり、“RW”bit(Address[7])によりライト/リード動作の選択が可能です。Address[0]はアドレス選択には使用されません。“Dummy”bit は動作に影響しません。

<ライト動作>

ライト動作時のデータフォーマットを Fig. 7.9-b に示します。

SI はアドレス指定ビット Address[7:0]、書き込みデータ指定ビット Write_Data[15:0]、データチェック用ビット CRC[7:0]により構成されます。書き込み時は Address[7]=0 としてアドレス指定します。Address[0]はアドレス選択には使用されません。CRC の対象範囲は Address[7:0]と Write_Data[15:0]となります。

SO は SI におけるアドレス設定期間 8bit でダミーデータ(0x00)が出力された後、SI によって設定されたアドレスのデータを Previous_Data[15:0]に出力します。このとき SO 出力に使用されるアドレスデータは CRC によるチェックが実施されていません。ライトオンリーのレジスタの場合は SO からの出力データはゼロとなります。Previous_Data[15:0]は Address[7:0]によって書き込みが指示されたレジスタの Write_Data[15:0]が書き込まれる直前のデータとなります。CRC の対象範囲は Previous_Data[15:0]となります。

ライト後に必ずデータをリードして正しいデータがライトされていることを確認してください。また、レジスタの存在しない空きビットはリード時には 0 としてリードされます。

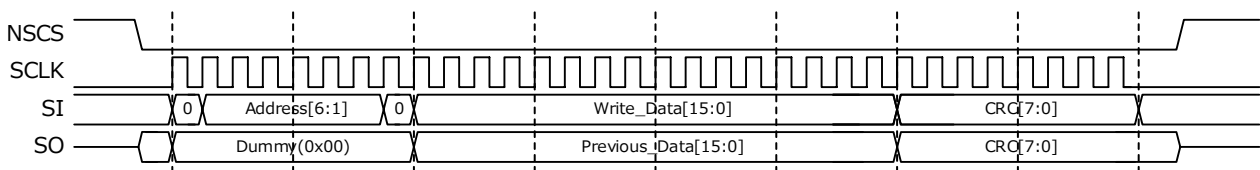


Fig. 7.9-b ライト動作時データフォーマット

<リード動作>

リード動作時のデータフォーマットを Fig. 7.9-c に示します。

SI はアドレス指定ビット Address[7:0]、ダミーデータDummy[7:0]、データチェック用ビット CRC[7:0]により構成されます。読み出すときは Address[7]=1 としてアドレス指定します。Address[0]はアドレス選択には使用されません。CRC の対象範囲は Address[7:0]となります。

SO は SI におけるアドレス設定期間でダミーデータ(0x00)が出力された後、SI によって設定されたアドレスのデータを Read_Data[15:0]に出力します。レジスタの存在しない空きビットはリード時に 0 としてリードされます。CRC の対象範囲は Read_Data[15:0]となります。

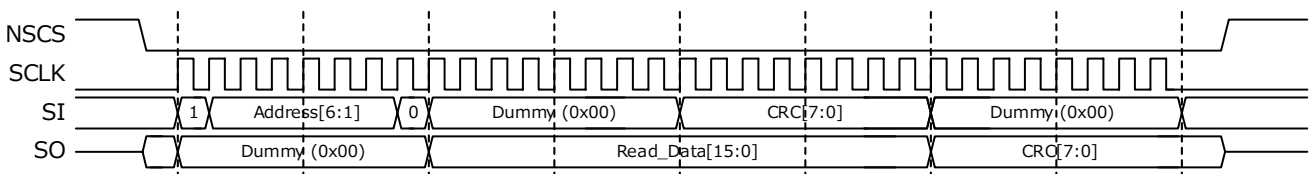


Fig. 7.9-c リード動作時データフォーマット

<CRC エラー判定>

データ通信が正しく行われたことを確認するために CRC によるエラー判定を行います。
生成多項式は、以下となります。初期値は 0xFF です。

$$x^8+x^4+x^3+x^2+1$$

CRC エラーとなった場合は以下動作となります。

(1) ライト動作時

CRC エラーの場合データは IC に書き込まれません。

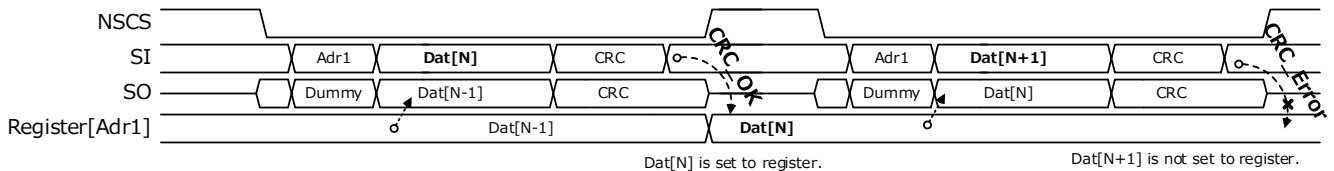


Fig. 7.9-d ライト動作時 CRC エラー

(2) リード動作時

CRC エラーの場合フレーム内の SO から故意に誤った CRC を返します。これにより、マイコン側で CRC エラーを検

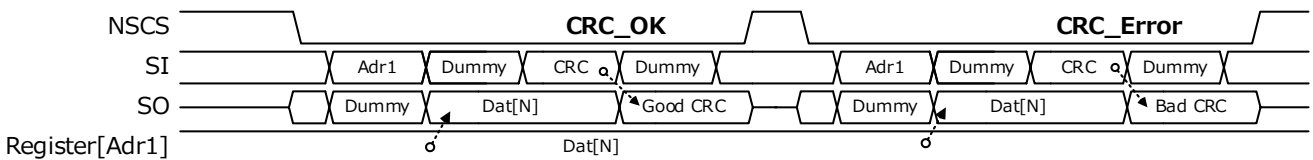


Fig. 7.9-e リード動作時 CRC エラー

出します。

<Vcc 低下検出時>

Vcc 低下検出時は SPI 通信ができません

Vcc 低下検出時は SO が“0”に固定されます(ライト動作時、リード動作時共)

<LBIST 中>

SPI 通信ができません

<Fail 判定>

SPI 通信で次の場合 IC が通信エラーと判断して、NDIAG="L"、SPI 通信異常のレジスター:err_spi に“1”が書き込まれます

(1) レジスターが存在しないアドレスへアクセスした場合は、通信エラーとなります。アドレス判定には Address[7:1]が使用されます(ライトアドレスがアサインされていないレジスターに書き込みした場合は、IC に書き込みされません)。Address[0]は無視されます。

- ・ ライト時の SO データは Dummy="0", Previous_Data="0"となります。またレジスターへの書き込みが行われないため、レジスターデータは前の状態(あるいはデフォルト値)を保持します
- ・ リード時の SO データは“0”となります

(2) フレーム長が 32bit 以外の場合は、通信エラーとなります

- ・ ライト時フレーム長が 32bit 以外の場合は、IC に書き込みされません
- ・ リード時フレーム長が 32bit 未満の場合は、NSCS="H"の時点で SO が HiZ となります。
- ・ リード時フレーム長が 33bit 以上の場合は、送信フレーム 33bit 以降は SO が“0”出力となります

(3) CRC エラーを検出した場合は、通信エラーとなります

- ・ ライト時 CRC エラーを検出した場合は、IC に書き込みされません
- ・ リード時 CRC エラーを検出した場合は、故意に誤った CRC を返します
- ・ 故意に誤った CRC とは、SO から出力される Read_Data[15:0]に対する正常な CRC の値を全 bit 反転した値です

7.9.2. QA タイマー機能

SPI 回路には QA 演算およびタイマー機能を内蔵しており、マイコンの演算機能が一定程度正常に機能していることを確認して、規定の条件から外れた場合にはブリドライバをオフに制御するなどの保護動作を本 IC が実行することが可能です。[QA_CTRL](#) レジスターにより、タイムアウトの有効無効、タイムアウト時間やエラー累積値が規定値を超えた場合の動作を設定します。[ANSWER_SET](#) レジスターの `qa_code[3:0]` や `qa_dat[3:0]` を利用して、QA タイマーブロックに対して QA タイマーの開始(Start コマンド)、QA タイマーに対する回答の設定(AnsSet コマンド)、QA タイマーの終了(Stop コマンド)などを実施することができます。QA タイマーの回答データの算出では [QA_COUNT](#) レジスターをリードすることにより、リード時点での QA タイマーのシーケンス番号や、前回のシーケンスでの期待値データなどをリードすることが可能ですのでこれらの値を使用してマイコン側で回答データを作成して本 IC に設定してください。

7.9.2.1. Start コマンド

ANSWER_SET レジスターに `qa_code[3:0]=0xA`(Start コマンド)を設定することにより、QA タイマーのシーケンスがスタートします。このときの `qa_dat[3:0]` には回答として期待されている初期値を設定してください(初期値を任意に設定できるわけではありません)。

`en_qat="H"` が設定されている場合は SPI 関連信号である NSCS 信号の上がりエッジからタイムアウト計測が開始されます。シーケンスの開始判定には `qa_code[3:0]=0xA` しか使用しませんので、`qa_dat[3:0]` の値が不正であったとしても QA タイマーのシーケンスは開始されます。ただし、設定されたデータがエラーであるためエラー累積カウンタがインクリメントされます。すでに QA タイマーのシーケンスがスタートしている状態でさらに Start コマンドが受領された場合は、エラー累積カウンタがインクリメントされます。SPI 通信レベルで CRC エラーとなった場合は、SPI 通信エラーとして破棄されるためシーケンスは開始しません。

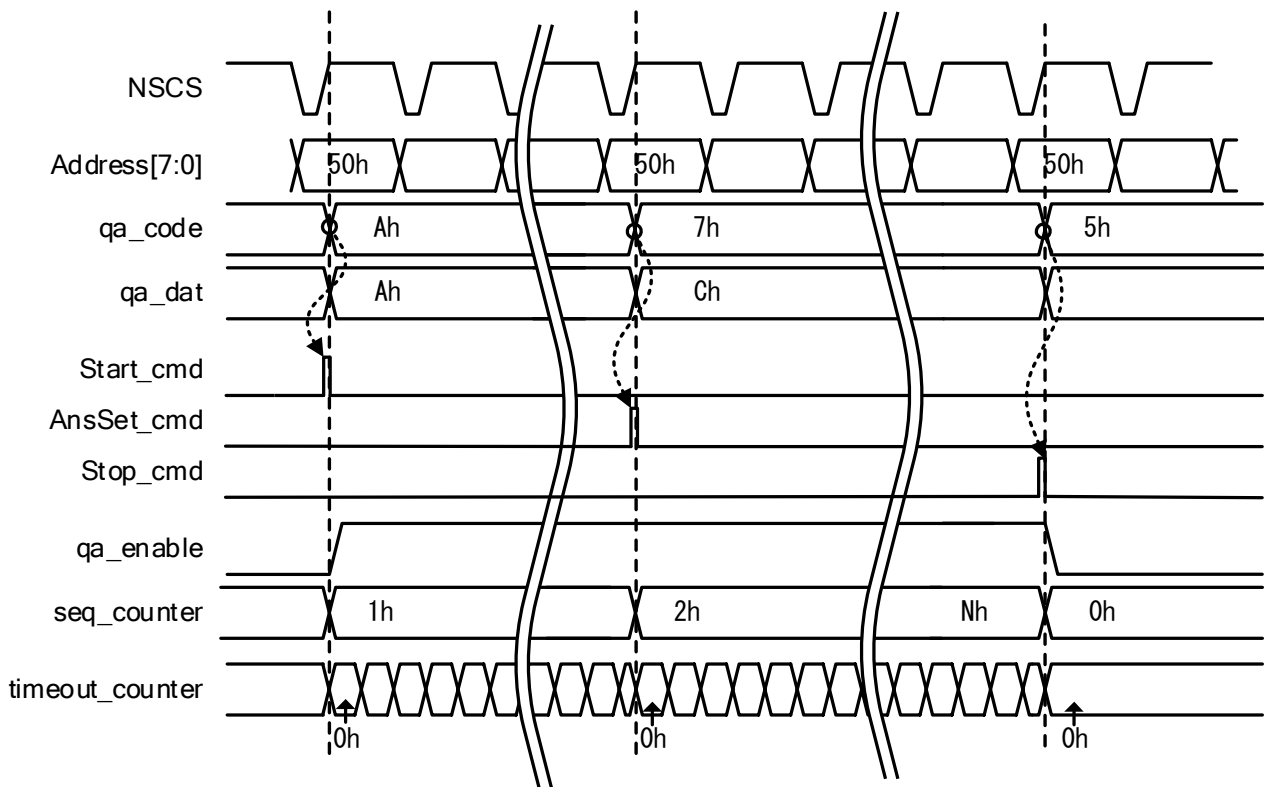


Fig. 7.9-f Start / AnsSet / Stop コマンド

7.9.2.2. AnsSet コマンド

ANSWER_SET レジスターの `qa_code[3:0]=0x7`(AnsSet コマンド)を設定することにより `qa_dat[3:0]` に QA タイマーのシーケンス中の回答値を設定することができます。QA タイマーのシーケンスがスタートしていない期間で設定された場合は無効で破棄されます。

`en_qat="L"` の場合はタイムアウト計測を実施しません。`qa_dat[3:0]` の値が期待値と一致する場合はエラー累積カウンタをリセット、シーケンスカウンタをインクリメントして次の回答を待ちます。`qa_dat[3:0]` の値が期待値と一致なかった場合はエ

ラー累積カウンターをインクリメントし、シーケンスカウンターをインクリメントして次の回答を待ちます。SPI 通信レベルで CRC エラーとなった場合は、SPI 通信エラーとして破棄されるため QA タイマーの判定自体が実行されません。シーケンスカウンターもインクリメントされません。

en_qat="H"の場合は回答の値の確認に加えてタイムアウト計測を同時に実施します。前回の Start コマンドの NSCS 信号の上がりエッジまたは、前回の AnsSet コマンドでの NSCS 信号の上がりエッジから計測して、あらかじめレジスターで設定されたタイムアウト時間 Tqa 内に次の AnsSet コマンドが設定されることを確認します。期待した時間内に AnsSet コマンドが設定されなかった場合、あるいは設定された qa_dat[3:0]の値が期待値と一致しなかった場合は、エラー累積カウンターとシーケンスカウンターをインクリメントすることで次の回答を待ちます。タイムアウト計測カウンターはシーケンスカウンターの値が変化した場合にリセットされて再計測が開始されます。SPI 通信レベルで CRC エラーとなった場合は、SPI 通信エラーとして破棄されるため AnsSet コマンド自体が設定されません。

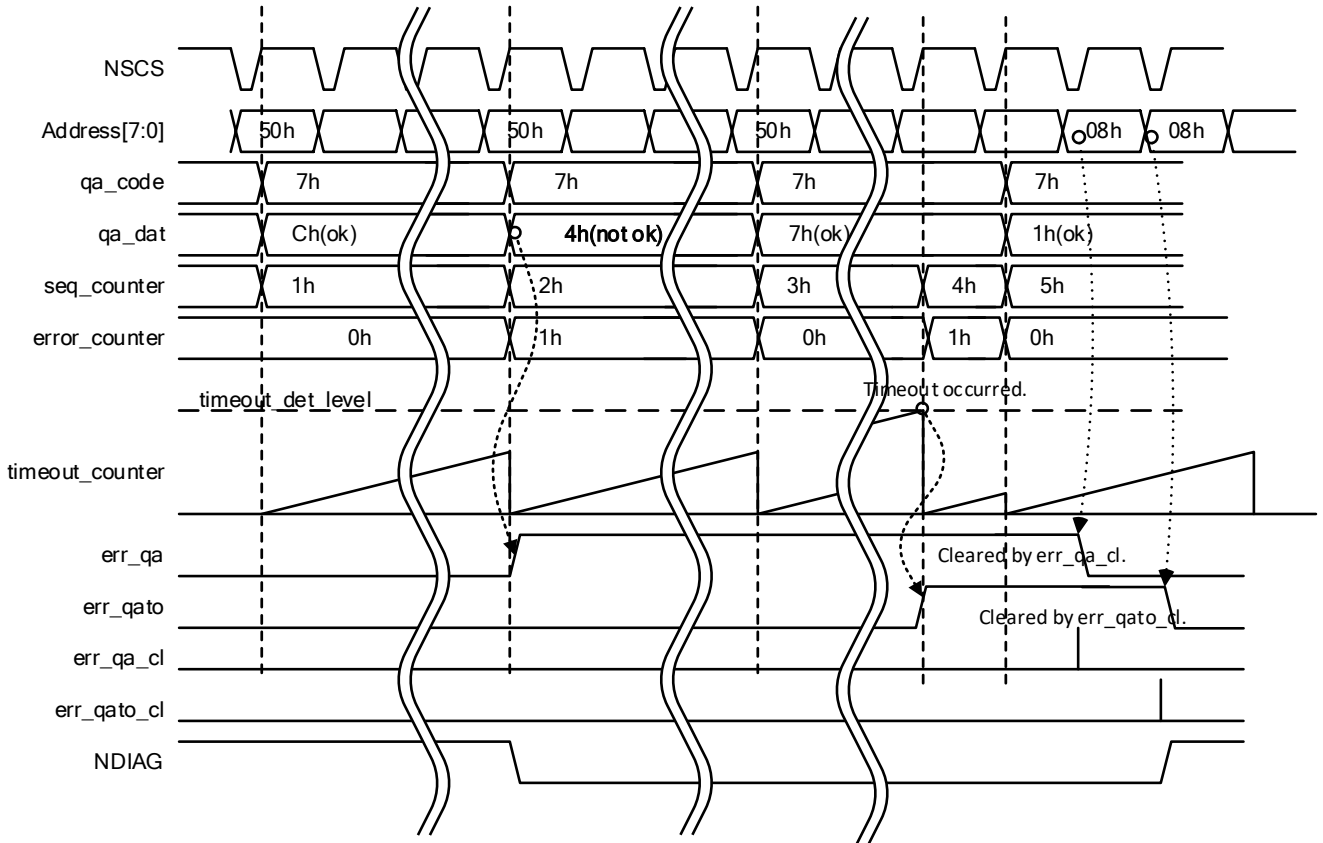


Fig. 7.9-g 演算結果が NG の場合、タイムアウトが発生した場合の動作波形

7.9.2.3. Stop コマンド

ANSWER_SET レジスターの qa_code[3:0]=0x5(Stop コマンド)を設定することにより、QA タイマーのシーケンスが停止します。このときの qa_dat[3:0]は無視されます。Stop コマンドは QA タイマーのシーケンスがスタートしている期間で有効であり、その他の期間で設定された場合は破棄されます。SPI 通信レベルで CRC エラーとなった場合は、SPI 通信エラーとして破棄されるため Stop コマンドが受領されません。

7.9.2.4. 不正なコマンドコード

QA タイマーのシーケンスがスタートしているときに ANSWER_SET レジスターの qa_code[3:0]に AnsSet コマンドと Stop コマンド以外のコマンドコードが指定された場合はエラー累積カウンターがインクリメントされます。シーケンスカウンターはインクリメントされず、タイムアウトカウンターはクリアされません。

7.9.2.5. 各種ステータスとエラー累積カウンター

ステータスビット `err_qa` は回答データが不正であることが判明したシーケンスで”H”がセットされ、`err_qa_cl` ビットによってクリアされるまで保持されます。

ステータスビット `err_qato` は回答データが規定の時間内で得られなかったシーケンスで”H”がセットされ、`err_qato_cl` ビットによってクリアされるまで保持されます。

ステータスビット `err_qac` はエラー累積カウンター値が 4 に達したシーケンスで”H”がセットされ、`err_qac_cl` ビットによってクリアされるまで保持されます。

表 7.9-a シーケンスカウンターのインクリメント、クリア条件

インクリメント	クリア
Start コマンド/AnsSet コマンドを受領した タイムアウトを検出した	Stop コマンドを受領した

表 7.9-b エラー累積カウンターのインクリメント、クリア条件

インクリメント	クリア
マイコンから設定されたデータが不正 en_qat=”H”設定時に規定の時間内にデータが設定されなかった QA タイマーのシーケンスが有効となっている期間で AnsSet / Stop コマンド以外のコードを受信した	Start コマンドによるシーケンス開始 エラー累積カウンターが 4 未満で <code>err_qac=”L”</code> となっている場合で、マイコンから設定されたデータが期待値と一致する場合。さらに、 <code>en_qat=”H”</code> の場合はにタイムアウト時間内にデータが設定された場合。 <code>err_qac_cl</code> ビットによりエラー累積フラグがクリアされた場合。

表 7.9-c タイムアウトカウンターのインクリメント、クリア条件

インクリメント	クリア
内部クロックでによって自動でインクリメントする	シーケンスカウンター値が変化した場合に、タイムアウトカウンターをクリアして再計測が開始される。

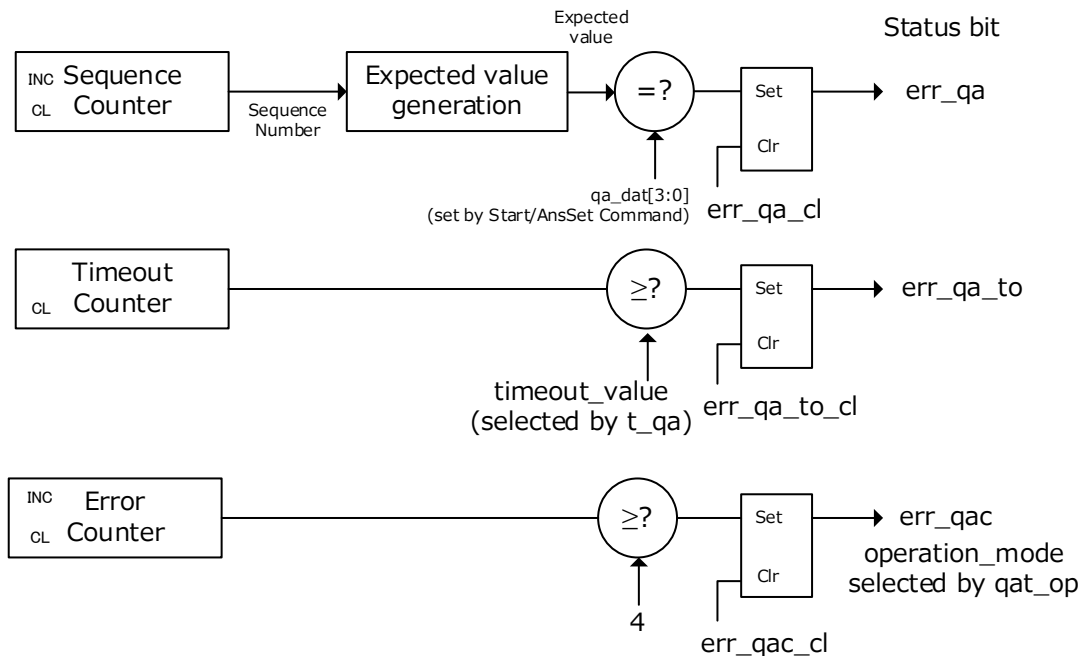


Fig. 7.9-h 各種ステータスビットの生成

7.9.2.6. ステータスビットに連動した動作

NDIAG は err_qa, err_qato, err_eqc のいずれかがセットされている期間で”L”となります。チャージポンプ、プリドライバなどの動作は err_eqc が”H”にセットされている期間では qat_op によって設定された動作となります。err_qac=”H”の状態では qat_op のレジスタ値を変更した場合、レジスタ値の変更は可能ですが実際に動作に反映されるのは err_qac=”L”になった時点以降からとなります。

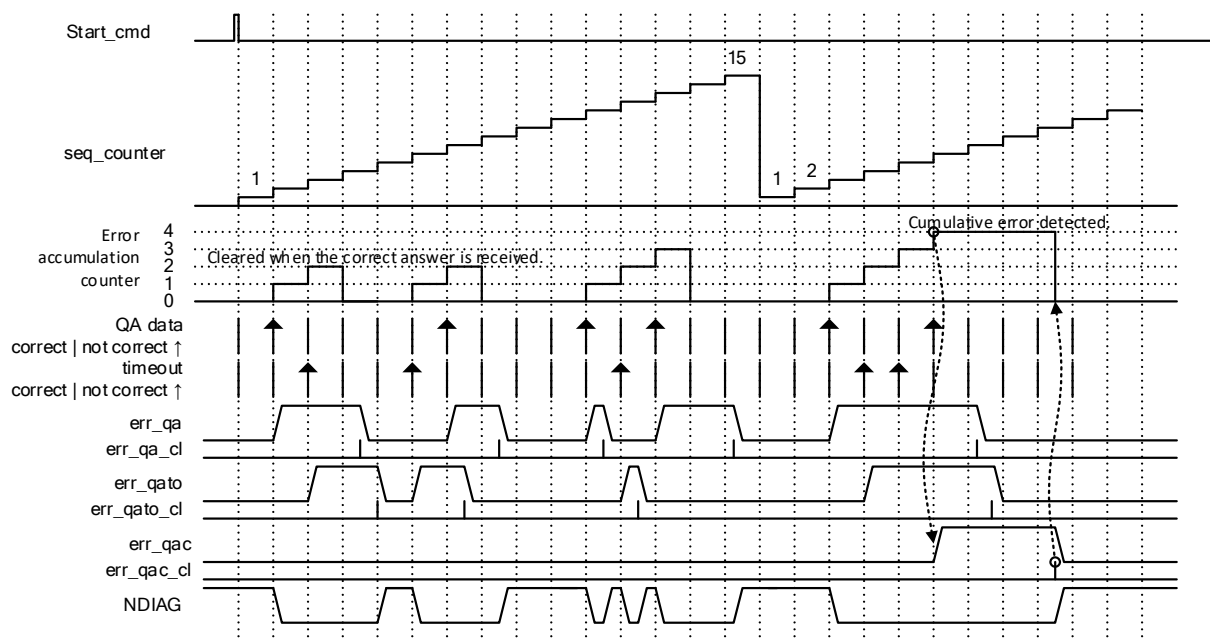


Fig. 7.9-i エラー発生時の各種フラグとクリアビットによる挙動

7.9.2.7. 回答値の計算

QA_COUNT レジスタの **current_seq_number** をリードすることで、QA タイマーの現在のシーケンス番号をリードすることができます。マイコンは期待値のテーブルから回答値を生成する場合は **current_seq_number** を利用できます。**QA_COUNT** レジスタの **prev_expected_value** をリードすることで、前回のシーケンスでの期待値をリードすることができます。回答値をマイコンが計算して算出する場合は **prev_expected_value** の値を生成多項式に従って 4 ビットシフトすることで回答値を計算することができます。

QA 演算機能の演算式は以下の演算式で生成された 4bit の演算結果と、マイコンから受信した演算結果を比較します。

$$x^4 + x^3 + 1$$

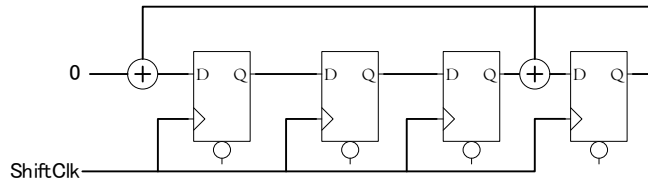


Fig. 7.9-j **prev_expected_value** をセットして 4bit シフトする

演算回数は 16 通りあり、演算回数=15 になると、**current_seq_number**=1 になります。

表 7.9-d リードデータからの期待値の計算

0x0D:QA_COUNT(Read)		0x50:ANSWER_SET
current_seq_number	prev_expected_value	qa_dat
初期値 0	Fh	Ah
1	Ah	Ch
2	Ch	8h
3	8h	7h
4	7h	Dh
5	Dh	1h
6	1h	9h
7	9h	Eh
8	Eh	3h
9	3h	2h
10	2h	Bh
11	Bh	5h
12	5h	6h
13	6h	4h
14	4h	Fh
15	Fh	Ah

7.9.3. レジスタマップ

Symbol	WRITE ADDRESS		READ ADDRESS		D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
OPSEL1	00h	0000_000*	80h	1000_000*	—	ocph_op		—	ovc_op			—	ovccop_op			—	uvccop_op			
OPSEL2	04h	0000_010*	84h	1000_010*	—	—	—	—	tsd_op			—	ferr_op			—	uvb_op			
STAT1	—	—	88h	1000_100*	uvb	ovc	ocph	uvcco_p	ovcco_p	tsd	err_of	err_uf	err_pl_u	err_pl_v	err_pl_w	alm_d et	err_spi	err_qa	err_qa to	err_qac
STAT1_CLR	08h	0000_100*	—	—	uvb_cl	ovc_cl	ocph_cl	uvcco_p_cl	ovcco_p_cl	tsd_cl	err_of_cl	err_uf_cl	err_pl_u_cl	err_pl_v_cl	err_pl_w_cl	—	err_spi_cl	err_qa_cl	err_qa to_cl	err_qac_cl
STAT2	—	—	8Ch	1000_110*	—	—	—	—	vgs_uh	vds_uh	vgs_ul	vds_ul	vgs_vh	vds_vh	vgs_vl	vds_vl	vgs_wh	vds_wh	vgs_wl	vds_wl
STAT2_CLR	0Ch	0000_110*	—	—	—	—	—	—	vgs_uh_cl	vds_uh_cl	vgs_ul_cl	vds_ul_cl	vgs_vh_cl	vds_vh_cl	vgs_vl_cl	vds_vl_cl	vgs_wh_cl	vds_wh_cl	vgs_wl_cl	vds_wl_cl
CP_RLY_CTRL	14h	0001_010*	94h	1001_010*	—	—	—	en_cp	—	—	—	srlly3_drv	—	—	—	srlly2_drv	—	—	—	srlly1_drv
PL_CTRL	18h	0001_100*	98h	1001_100*	—	—	—	pl_op	—	—	—	plu_dis	—	—	—	plv_dis	—	—	—	plw_dis
T_ILIM	1Ch	0001_110*	9Ch	1001_110*	—	—	t_ilim		—	—	—	—	—	—	—	—	—	—	—	—
FET_OPS_EL	24h	0010_010*	A4h	1010_010*	—	—	—	—	vgs_op			vdsh_op			vds_l_op					
HS_VDS_SEL	28h	0010_100*	A8h	1010_100*	—	—	fil_vdsh		vth_vdsuh			vth_vdsvh			vth_vdsw_h					
LS_VDS_SEL	2Ch	0010_110*	ACH	1010_110*	—	—	fil_vdsl		vth_vdsul			vth_vdsvl			vth_vdsw_l					
FET_DET_SEL	30h	0011_000*	B0h	1011_000*	—	—	—	—	vgshu_dis	vdshu_dis	vgslu_dis	vdslu_dis	vgshv_dis	vdshv_dis	vgslv_dis	vdslv_dis	vgshw_dis	vdshw_dis	vgslw_dis	vdslw_dis
AMP_CTRL	40h	0100_000*	C0h	1100_000*	—	—	—	—	cal_ampu	gain_amp_u		cal_amp_v	gain_amp_v		cal_amp_w		gain_amp_w			
AMP_STAT_CLR	44h	0100_010*	—	—	—	—	—	—	—	—	—	calu_p ass_cl	—	—	—	calv_p ass_cl	—	—	—	calw_p ass_cl
AMP_STAT	—	—	C4h	1100_010*	—	—	—	cal_en	—	—	—	calu_p ass	—	—	—	calv_p ass	—	—	—	calw_p ass
ALM_CTRL	48h	0100_100*	C8h	1100_100*	—	—	—	alr_op	—	—	—	—	—	—	—	—	—	—	fil_alm	
QA_CTRL	4Ch	0100_110*	Ch	1100_110*	—	qat_op			—	—	t_qa		—	—	—	—	—	—	—	en_qat
ANSWER_SET	50h	0101_000*	—	—	—	—	—	—	—	—	—	—	qa_code			qa_dat				
QA_COUNT	—	—	D0h	1101_000*	—	—	—	—	acc_count			seq_number			prev_expected_value					
BIST_DIAG	54h	0101_010*	D4h	1101_010*	—	—	—	—	—	—	—	—	—	—	—	rebst	—	—	—	diag_dg
BIST_STAT	—	—	D8h	1101_100*	—	—	—	—	—	—	—	—	—	—	lbst_flg	lbst_end	—	—	abst_flg	abst_end

Symbol	WRITE_ADDRESS		READ_ADDRESS		D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
FET_TEST_CNT1	5Ch	0101_110*	DCh	1101_110*	—	—	—	—	fet_manual_test	fet_rmi_donU	fet_rmi_donV	fet_rmi_donW	ft_save_cl	—	ft_ndiag_sel	ft_com_p_sel	fet_test_type1	fet_test_type0	fet_test_start	fet_test_stop
FET_TEST_CNT2	60h	0110_000*	E0h	1110_000*	—	—	—	fet_test_unlock	—	typed_uhd	—	typed_uld	—	typed_vhd	—	typed_vld	—	typed_whd	—	typed_wld
FET_TEST_STAT	—	—	E4h	1110_010*	—	—	—	—	—	—	—	—	—	—	fet_auto_test	fet_test_err	—	ft_seq_num2	ft_seq_num1	ft_seq_num0
VDS_COMP_STAT	—	—	E8h	1110_100*	—	—	—	—	—	compu_t_uh	—	compu_t_ul	—	compu_t_vh	—	compu_t_vl	—	compu_t_wh	—	compu_t_wl
DUMMY	7Ch	—	FC h	—	dmy15	dmy14	dmy13	dmy12	dmy11	dmy10	dmy9	dmy8	dmy7	dmy6	dmy5	dmy4	dmy3	dmy2	dmy1	dmy0

・アサインされていないビット(レジスターマップで“—”と記載)は書き込もうとしてデータをセットしても破棄されます。リード時には“0”としてリードされます。

7.9.3.1. OPSEL1 Write Address=00h / Read Address=80h

Bit	D15	D14	D13	D12	D11	D10	D9	D8
Symbol	—	ocph_op				—	ovc_op	
Initial Value	0	0	0	0	0	0	1	0

Bit	D7	D6	D5	D4	D3	D2	D1	D0
Symbol	—	ovccop_op				—	uvccop_op	
Initial Value	0	0	0	0	0	0	0	0

bit	Symbol	R/W	Function
[14:12]	ocph_op	R/W	VCPH 高電圧検出の動作選択 “000”=NDIAG:“H”出力、動作継続【検出無効】 “001”=NDIAG:“L”出力(保持)、動作継続 “010”=NDIAG:“L”出力(保持)、全ての(9ch)プリドライバーが FET オフに駆動 “011”=NDIAG:“L”出力(保持)、モーター駆動(6ch)プリドライバーが FET オフに駆動 “100”=NDIAG:“L”出力(保持)、全ての(9ch)プリドライバーが FET オフに駆動、チャージポンプ回路オフ “101”=NDIAG:“L”出力(保持)、全ての(9ch)プリドライバーが FET オフに駆動(保持)、チャージポンプ回路オフ(保持)
[10:8]	ovc_op	R/W	VCC 高電圧検出の動作選択 “000”=NDIAG:“H”出力、動作継続【検出無効】 “001”=NDIAG:“L”出力(保持)、動作継続 “010”=NDIAG:“L”出力(保持)、全ての(9ch)プリドライバーが FET オフに駆動 “011”=NDIAG:“L”出力(保持)、モーター駆動(6ch)プリドライバーが FET オフに駆動 “100”=NDIAG:“L”出力(保持)、全ての(9ch)プリドライバーが FET オフに駆動、チャージポンプ回路オフ “101”=NDIAG:“L”出力(保持)、全ての(9ch)プリドライバーが FET オフに駆動(保持)、チャージポンプ回路オフ(保持)
[6:4]	ovccop_op	R/W	VCC_OP 高電圧検出の動作選択 “000”=NDIAG:“H”出力、動作継続【検出無効】 “001”=NDIAG:“L”出力(保持)、動作継続 “010”=NDIAG:“L”出力(保持)、全ての(9ch)プリドライバーが FET オフに駆動 “011”=NDIAG:“L”出力(保持)、モーター駆動(6ch)プリドライバーが FET オフに駆動 “100”=NDIAG:“L”出力(保持)、全ての(9ch)プリドライバーが FET オフに駆動、チャージポンプ回路オフ “101”=NDIAG:“L”出力(保持)、全ての(9ch)プリドライバーが FET オフに駆動(保持)、チャージポンプ回路オフ(保持)
[2:0]	uvccop_op	R/W	VCC_OP 低電圧検出の動作選択 “000”=NDIAG:“H”出力、動作継続【検出無効】 “001”=NDIAG:“L”出力(保持)、動作継続 “010”=NDIAG:“L”出力(保持)、全ての(9ch)プリドライバーが FET オフに駆動 “011”=NDIAG:“L”出力(保持)、モーター駆動(6ch)プリドライバーが FET オフに駆動 “100”=NDIAG:“L”出力(保持)、全ての(9ch)プリドライバーが FET オフに駆動、チャージポンプ回路オフ “101”=NDIAG:“L”出力(保持)、全ての(9ch)プリドライバーが FET オフに駆動(保持)、チャージポンプ回路オフ(保持)

・設定値として示されていない値が設定された場合は、該当する Symbol に対する設定値は更新されず前の値を保持します。

7.9.3.2. OPSEL2 Write Address=04h / Read Address=84h

Bit	D15	D14	D13	D12	D11	D10	D9	D8
Symbol	—	—	—	—	—	tsd_op		
Initial Value	0	0	0	0	0	0	1	0

Bit	D7	D6	D5	D4	D3	D2	D1	D0
Symbol	—	ferr_op			—	uvb_op		
Initial Value	0	0	0	0	0	0	0	1

bit	Symbol	R/W	Function
[10:8]	tsd_op 注1	R/W	過熱検出の動作選択 “000”=NDIAG:“H”出力、動作継続【検出無効】 “001”=NDIAG:“L”出力(保持)、動作継続 “010”=NDIAG:“L”出力(保持)、全ての(9ch)ブリドライバが FET オフに駆動 “011”=NDIAG:“L”出力(保持)、モーター駆動(6ch)ブリドライバが FET オフに駆動 “100”=NDIAG:“L”出力(保持)、全ての(9ch)ブリドライバが FET オフに駆動、チャージポンプ回路オフ 注1 “101”=NDIAG:“L”出力(保持)、全ての(9ch)ブリドライバが FET オフに駆動(保持)、チャージポンプ回路オフ(保持)
[6:4]	ferr_op	R/W	発振周波数異常検出の動作選択 “000”=NDIAG:“H”出力、動作継続【検出無効】 “001”=NDIAG:“L”出力(保持)、動作継続 “010”=NDIAG:“L”出力(保持)、全ての(9ch)ブリドライバが FET オフに駆動 “011”=NDIAG:“L”出力(保持)、モーター駆動(6ch)ブリドライバが FET オフに駆動 “100”=NDIAG:“L”出力(保持)、全ての(9ch)ブリドライバが FET オフに駆動、チャージポンプ回路オフ “101”=NDIAG:“L”出力(保持)、全ての(9ch)ブリドライバが FET オフに駆動(保持)、チャージポンプ回路オフ(保持)
[2:0]	uvb_op	R/W	VB 低電圧検出の動作選択 “000”=NDIAG:“L”出力(保持)、全ての(9ch)ブリドライバが FET オフに駆動 “001”=NDIAG:“L”出力、全ての(9ch)ブリドライバが FET オフに駆動 “010”=NDIAG:“H”出力、全ての(9ch)ブリドライバが FET オフに駆動 “011”=NDIAG:“L”出力(保持)、モーター駆動(6ch)ブリドライバが FET オフに駆動 “100”=NDIAG:“L”出力、モーター駆動(6ch)ブリドライバが FET オフに駆動 “101”=NDIAG:“H”出力、モーター駆動(6ch)ブリドライバが FET オフに駆動

・設定値として示されていない値が設定された場合は、該当する Symbol に対する設定値は更新されず前の値を保持します。
 注1 : VCPH-CP2L 端子間と、CP2H-CP1L 端子間の隣接ピンショートを IC 外部にて対策できない場合は、過熱検出の動作選択を「チャージポンプ回路オフ」又は「チャージポンプ回路オフ(保持)」を選択して下さい。

7.9.3.3. STAT1_CLR Write Address=08h

Bit	D15	D14	D13	D12	D11	D10	D9	D8
Symbol	uvb_cl	ovc_cl	ocph_cl	uvccop_cl	ovccop_cl	tsd_cl	err_of_cl	err_uf_cl
Initial Value	0	0	0	0	0	0	0	0

Bit	D7	D6	D5	D4	D3	D2	D1	D0
Symbol	err_pl_u_cl	err_pl_v_cl	err_pl_w_cl	—	err_spi_cl	err_qa_cl	err_qato_cl	err_qac_cl
Initial Value	0	0	0	0	0	0	0	0

bit	Symbol	R/W	Function
15	uvb_cl	W	ステータスビット uvb をクリアする(uvb_op=3'b000, 3'b011 時に有効) "0"=無効 "1"=ステータスビットをクリア
14	ovc_cl	W	ステータスビット ovc をクリアする "0"=無効 "1"=ステータスビットをクリア
13	ocph_cl	W	ステータスビット ocph をクリアする "0"=無効 "1"=ステータスビットをクリア
12	uvccop_cl	W	ステータスビット uvccop をクリアする "0"=無効 "1"=ステータスビットをクリア
11	ovccop_cl	W	ステータスビット ovccop をクリアする "0"=無効 "1"=ステータスビットをクリア
10	tsd_cl	W	ステータスビット tsd をクリアする "0"=無効 "1"=ステータスビットをクリア
9	err_of_cl	W	ステータスビット err_of をクリアする "0"=無効 "1"=ステータスビットをクリア
8	err_uf_cl	W	ステータスビット err_uf をクリアする "0"=無効 "1"=ステータスビットをクリア
7	err_pl_u_cl	W	ステータスビット err_pl_u をクリアする "0"=無効 "1"=ステータスビットをクリア
6	err_pl_v_cl	W	ステータスビット err_pl_v をクリアする "0"=無効 "1"=ステータスビットをクリア
5	err_pl_w_cl	W	ステータスビット err_pl_w をクリアする "0"=無効 "1"=ステータスビットをクリア
3	err_spi_cl	W	ステータスビット err_spi をクリアする "0"=無効 "1"=ステータスビットをクリア
2	err_qa_cl	W	ステータスビット err_qa をクリアする "0"=無効 "1"=ステータスビットをクリア
1	err_qato_cl	W	ステータスビット err_qato をクリアする "0"=無効 "1"=ステータスビットをクリア
0	err_qac_cl	W	ステータスビット err_qac をクリアする "0"=無効 "1"=ステータスビットをクリア

- ・ 通常状態に移行後に“1”のライトによりステータスビットをクリアします。クリアされたレジスターは“0”(初期値)になります。この場合、NDIAG=“H”となり、正常動作に復帰します。“0”のライトは無効です。
- ・ 異常検出状態のときに“1”のライトをしてもクリア対象のステータスレジスターはクリアされません。
- ・ ステータスビットのクリアビットは 1 をライト後 0 に書き戻す必要はありません。

7.9.3.4. STAT1 / Read Address=88h

Bit	D15	D14	D13	D12	D11	D10	D9	D8
Symbol	uvb	ovc	ocph	uvccop	ovccop	tsd	err_of	err_uf
Initial Value	0	0	0	0	0	0	0	0

Bit	D7	D6	D5	D4	D3	D2	D1	D0
Symbol	err_pl_u	err_pl_v	err_pl_w	alm_det	err_spi	err_qa	err_qato	err_qac
Initial Value	0	0	0	0	0	0	0	0

bit	Symbol	R/W	Function
15	uvb	R	VB 低電圧検出 "0"=検出無し "1"=検出有り
14	ovc	R	VCC 高電圧検出 "0"=検出無し "1"=検出有り
13	ocph	R	VCPH 高電圧検出 "0"=検出無し "1"=検出有り
12	uvccop	R	VCC_OP 低電圧検出 "0"=検出無し "1"=検出有り
11	ovccop	R	VCC_OP 高電圧検出 "0"=検出無し "1"=検出有り
10	tsd	R	過熱検出 "0"=検出無し "1"=検出有り
9	err_of	R	発振周波数異常検出(OSC_IF の高周波異常) "0"=検出無し "1"=検出有り
8	err_uf	R	発振周波数異常検出(OSC_IF の低周波異常) "0"=検出無し "1"=検出有り
7	err_pl_u	R	U相ブリドライバー禁止入力エラー検出 "0"=検出無し "1"=検出有り
6	err_pl_v	R	V相ブリドライバー禁止入力エラー検出 "0"=検出無し "1"=検出有り
5	err_pl_w	R	W相ブリドライバー禁止入力エラー検出 "0"=検出無し "1"=検出有り
4	alm_det	R	ARALRM 端子入力検出 "0"=検出無し "1"=検出有り
3	err_spi	R	SPI 通信エラー検出 "0"=検出無し "1"=検出有り
2	err_qa	R	QA 演算エラー検出 "0"=検出無し "1"=検出有り
1	err_qato	R	QA タイムアウトエラー検出 "0"=検出無し "1"=検出有り

bit	Symbol	R/W	Function
0	err_qac	R	QA 演算エラー累積検出 "0"=検出無し "1"=検出有り

7.9.3.5. STAT2_CLR Write Address=0Ch

Bit	D15	D14	D13	D12	D11	D10	D9	D8
Symbol	—	—	—	—	vgs_uh_cl	vds_uh_cl	vgs_ul_cl	vds_ul_cl
Initial Value	0	0	0	0	0	0	0	0

Bit	D7	D6	D5	D4	D3	D2	D1	D0
Symbol	vgs_vh_cl	vds_vh_cl	vgs_vl_cl	vds_vl_cl	vgs_wh_cl	vds_wh_cl	vgs_wl_cl	vds_wl_cl
Initial Value	0	0	0	0	0	0	0	0

bit	Symbol	R/W	Function
11	vgs_uh_cl	W	ステータスビット vgs_uh をクリアする "0"=無効 "1"=ステータスビットをクリア
10	vds_uh_cl	W	ステータスビット vds_uh をクリアする "0"=無効 "1"=ステータスビットをクリア
9	vgs_ul_cl	W	ステータスビット vgs_ul をクリアする "0"=無効 "1"=ステータスビットをクリア
8	vds_ul_cl	W	ステータスビット vds_ul をクリアする "0"=無効 "1"=ステータスビットをクリア
7	vgs_vh_cl	W	ステータスビット vgs_vh をクリアする "0"=無効 "1"=ステータスビットをクリア
6	vds_vh_cl	W	ステータスビット vds_vh をクリアする "0"=無効 "1"=ステータスビットをクリア
5	vgs_vl_cl	W	ステータスビット vgs_vl をクリアする "0"=無効 "1"=ステータスビットをクリア
4	vds_vl_cl	W	ステータスビット vds_vl をクリアする "0"=無効 "1"=ステータスビットをクリア
3	vgs_wh_cl	W	ステータスビット vgs_wh をクリアする "0"=無効 "1"=ステータスビットをクリア
2	vds_wh_cl	W	ステータスビット vds_wh をクリアする "0"=無効 "1"=ステータスビットをクリア
1	vgs_wl_cl	W	ステータスビット vgs_wl をクリアする "0"=無効 "1"=ステータスビットをクリア
0	vds_wl_cl	W	ステータスビット vds_wl をクリアする "0"=無効 "1"=ステータスビットをクリア

- ・通常状態に移行後に“1”のライトによりステータスビットをクリアします。クリアされたレジスタは“0”(初期値)になります。この場合、NDIAG=“H”となり、正常動作に復帰します。“0”のライトは無効です。
- ・異常検出状態のときに“1”のライトをしてもクリア対象のステータスレジスタはクリアされません。
- ・ステータスビットのクリアビットは 1 をライト後 0 に書き戻す必要はありません。

7.9.3.6. STAT2 / Read Address=8Ch

Bit	D15	D14	D13	D12	D11	D10	D9	D8
Symbol	—	—	—	—	vgs_uh	vds_uh	vgs_ul	vds_ul
Initial Value	0	0	0	0	0	0	0	0

Bit	D7	D6	D5	D4	D3	D2	D1	D0
Symbol	vgs_vh	vds_vh	vgs_vl	vds_vl	vgs_wh	vds_wh	vgs_wl	vds_wl
Initial Value	0	0	0	0	0	0	0	0

bit	Symbol	R/W	Function
11	vgs_uh	R	外部 MOSFET の VGS 過電圧検出(U 相 ハイサイド) "0"=検出無し "1"=検出有り
10	vds_uh	R	外部 MOSFET の VDS 検出(U 相 ハイサイド) "0"=検出無し "1"=検出有り
9	vgs_ul	R	外部 MOSFET の VGS 過電圧検出(U 相 ローサイド) "0"=検出無し "1"=検出有り
8	vds_ul	R	外部 MOSFET の VDS 検出(U 相 ローサイド) "0"=検出無し "1"=検出有り
7	vgs_vh	R	外部 MOSFET の VGS 過電圧検出(V 相 ハイサイド) "0"=検出無し "1"=検出有り
6	vds_vh	R	外部 MOSFET の VDS 検出(V 相 ハイサイド) "0"=検出無し "1"=検出有り
5	vgs_vl	R	外部 MOSFET の VGS 過電圧検出(V 相 ローサイド) "0"=検出無し "1"=検出有り
4	vds_vl	R	外部 MOSFET の VDS 検出(V 相 ローサイド) "0"=検出無し "1"=検出有り
3	vgs_wh	R	外部 MOSFET の VGS 過電圧検出(W 相 ハイサイド) "0"=検出無し "1"=検出有り
2	vds_wh	R	外部 MOSFET の VDS 検出(W 相 ハイサイド) "0"=検出無し "1"=検出有り
1	vgs_wl	R	外部 MOSFET の VGS 過電圧検出(W 相 ローサイド) "0"=検出無し "1"=検出有り
0	vds_wl	R	外部 MOSFET の VDS 検出(W 相 ローサイド) "0"=検出無し "1"=検出有り

7.9.3.7. CP_RLY_CTRL Write Address=14h / Read Address=94h

Bit	D15	D14	D13	D12	D11	D10	D9	D8
Symbol	—	—	—	en_cp	—	—	—	srly3_drv
Initial Value	0	0	0	1	0	0	0	0

Bit	D7	D6	D5	D4	D3	D2	D1	D0
Symbol	—	—	—	srly2_drv	—	—	—	srly1_drv
Initial Value	0	0	0	0	0	0	0	0

bit	Symbol	R/W	Function
12	en_cp	R/W	チャージポンプ制御選択 "0"=チャージポンプ出力 OFF "1"=チャージポンプ出力 ON
8	srly3_drv	R/W	セーフティリレー制御 3 選択 "0"=セーフティリレーOFF "1"=セーフティリレーON
4	srly2_drv	R/W	セーフティリレー制御 2 選択 "0"=セーフティリレーOFF "1"=セーフティリレーON
0	srly1_drv	R/W	セーフティリレー制御 1 選択 "0"=セーフティリレーOFF "1"=セーフティリレーON

7.9.3.8. PL_CTRL Write Address=18h / Read Address=98h

Bit	D15	D14	D13	D12	D11	D10	D9	D8
Symbol	—	—	—	pl_op	—	—	—	plu_dis
Initial Value	0	0	0	0	0	0	0	0

Bit	D7	D6	D5	D4	D3	D2	D1	D0
Symbol	—	—	—	plv_dis	—	—	—	plw_dis
Initial Value	0	0	0	0	0	0	0	0

bit	Symbol	R/W	Function
12	pl_op	R/W	ブリッドライバー制御信号禁止入力検出の動作選択 “0”=禁止入力検出結果をステータスレジスターにセットしない、NDIAG:“H”出力 “1”=禁止入力検出結果をステータスレジスターにセットする、NDIAG:“L”出力(保持)
8	plu_dis	R/W	ブリッドライバー制御信号禁止入力検出(U相)の有効/無効選択 “0”=U相の検出を有効とする “1”=U相の検出を無効とする
4	plv_dis	R/W	ブリッドライバー制御信号禁止入力検出(V相)の有効/無効選択 “0”=V相の検出有効 “1”=V相の検出無効
0	plw_dis	R/W	ブリッドライバー制御信号禁止入力検出(W相)の有効/無効選択 “0”=W相の検出有効 “1”=W相の検出無効

・ pl*_dis ビットにより禁止入力の検出を無効とすると、検出自体が無効となるため H*I=L*I=“H”が入力された場合でも、出力が H*O=L*O=“H”となり、ステータスビットもセットされず、DIAG 端子も“L”となりません。(※は U/V/W)表 7.2-b 参照。

7.9.3.9. T_ILIM Write Address=1Ch / Read Address=9Ch

Bit	D15	D14	D13	D12	D11	D10	D9	D8
Symbol	—	—	t_ilm		—	—	—	—
Initial Value	0	0	0	0	0	0	0	0

Bit	D7	D6	D5	D4	D3	D2	D1	D0
Symbol	—	—			—	—		
Initial Value	0	0	0	0	0	0	0	0

bit	Symbol	R/W	Function
[13:12]	t_ilm	R/W	プリドライバー出力電流制限時間選択 注 1 “00”=8μs “01”=16μs “10”=32μs “11”=制限時間無し

・設定値として示されていない値が設定された場合は、該当する Symbol に対する設定値は更新されず前の値を保持します。
 注 1 設定値の制限時間無しは H*O 及び L*O 端子に大きな電流が継続して流れる場合がございますため、通常使用時の設定は推奨しません。

7.9.3.10. FET_OPSEL Write Address=24h / Read Address=A4h

Bit	D15	D14	D13	D12	D11	D10	D9	D8
Symbol	—	—	—	—	—	vgs_op		
Initial Value	0	0	0	0	0	1	0	1

Bit	D7	D6	D5	D4	D3	D2	D1	D0
Symbol	vdsh_op				vdsl_op			
Initial Value	0	1	1	1	0	1	1	1

bit	Symbol	R/W	Function
[10:8]	vgs_op 注 1	R/W	外部 MOSFET の VGS 過電圧検出時の動作選択 “000”=NDIAG:“H”出力、動作継続【検出無効】 “001”=NDIAG:“L”出力(保持)、動作継続 “010”=NDIAG:“L”出力(保持)、全ての(9ch)プリドライバーが FET オフに駆動 “011”=NDIAG:“L”出力(保持)、モーター駆動(6ch)プリドライバーが FET オフに駆動 “100”=NDIAG:“L”出力(保持)、全ての(9ch)プリドライバーが FET オフに駆動、チャージポンプ回路オフ “101”=NDIAG:“L”出力(保持)、全ての(9ch)プリドライバーが FET オフに駆動(保持)、チャージポンプ回路オフ(保持)
[7:4]	vdsh_op 注 2	R/W	外部 MOSFET の VDS 異常検出(ハイサイド)の動作選択 “0000”=NDIAG:“H”出力、動作継続【検出無効】 “0001”=NDIAG:“L”出力(保持)、動作継続 “0010”=NDIAG:“L”出力(保持)、検出した相の H/L プリドライバーが FET オフに駆動 “0011”=NDIAG:“L”出力(保持)、検出した相の H/L プリドライバーが FET オフに駆動(保持) “0100”=NDIAG:“L”出力(保持)、全ての(9ch)プリドライバーが FET オフに駆動 “0101”=NDIAG:“L”出力(保持)、全ての(9ch)プリドライバーが FET オフに駆動(保持) “0110”=NDIAG:“L”出力(保持)、モーター駆動(6ch)プリドライバーが FET オフに駆動 “0111”=NDIAG:“L”出力(保持)、モーター駆動(6ch)プリドライバーが FET オフに駆動(保持) “1000”=NDIAG:“L”出力(保持)、全ての(9ch)プリドライバーが FET オフに駆動、チャージポンプオフ “1001”=NDIAG:“L”出力(保持)、全ての(9ch)プリドライバーが FET オフに駆動(保持)、チャージポンプ回路オフ(保持)
[3:0]	vdsl_op 注 3	R/W	外部 MOSFET の VDS 異常検出(ローサイド)の動作選択 “0000”=NDIAG:“H”出力、動作継続【検出無効】 “0001”=NDIAG:“L”出力(保持)、動作継続 “0010”=NDIAG:“L”出力(保持)、検出した相の H/L プリドライバーが FET オフに駆動 “0011”=NDIAG:“L”出力(保持)、検出した相の H/L プリドライバーが FET オフに駆動(保持) “0100”=NDIAG:“L”出力(保持)、全ての(9ch)プリドライバーが FET オフに駆動 “0101”=NDIAG:“L”出力(保持)、全ての(9ch)プリドライバーが FET オフに駆動(保持) “0110”=NDIAG:“L”出力(保持)、モーター駆動(6ch)プリドライバーが FET オフに駆動 “0111”=NDIAG:“L”出力(保持)、モーター駆動(6ch)プリドライバーが FET オフに駆動(保持) “1000”=NDIAG:“L”出力(保持)、全ての(9ch)プリドライバーが FET オフに駆動、チャージポンプオフ “1001”=NDIAG:“L”出力(保持)、全ての(9ch)プリドライバーが FET オフに駆動(保持)、チャージポンプ回路オフ(保持)

・設定値として示されていない値が設定された場合は、該当する Symbol に対する設定値は更新されず前の値を保持します。

注 1：“010”/“011”/“100”の「FET オフ」に駆動の選択は想定動作になっていないため、通常使用時の設定は推奨しません。

注 2：“0010”/“0100”/“0110”/“1000”の「FET オフ」に駆動の選択は想定動作になっていないため、通常使用時の設定は推奨しません。

注 3：“0010”/“0100”/“0110”/“1000”の「FET オフ」に駆動の選択は想定動作になっていないため、通常使用時の設定は推奨しません。

7.9.3.11. HS_VDS_SEL Write Address=28h / Read Address=A8h

Bit	D15	D14	D13	D12	D11	D10	D9	D8
Symbol	—	—	fil_vdsh		vth_vdsuh			
Initial Value	0	0	0	0	0	1	0	0

Bit	D7	D6	D5	D4	D3	D2	D1	D0
Symbol	vth_vdsvh				vth_vdswh			
Initial Value	0	1	0	0	0	1	0	0

bit	Symbol	R/W	Function
[13:12]	fil_vdsh	R/W	外部 MOSFET の VDS 検出フィルター時間(ハイサイド)選択 "00"=6μs "01"=8μs "10"=10μs "11"=12μs
[11:8]	vth_vdsuh	R/W	外部 MOSFET の VDS 検出しきい値電圧(U 相 ハイサイド)選択 "0000"=0.1V "0001"=0.2V "0010"=0.3V "0011"=0.4V "0100"=0.5V "0101"=0.6V "0110"=0.7V "0111"=0.8V "1000"=0.9V "1001"=1.0V "1010"=1.1V "1011"=1.2V
[7:4]	vth_vdsvh	R/W	外部 MOSFET の VDS 検出しきい値電圧(V 相 ハイサイド)選択 "0000"=0.1V "0001"=0.2V "0010"=0.3V "0011"=0.4V "0100"=0.5V "0101"=0.6V "0110"=0.7V "0111"=0.8V "1000"=0.9V "1001"=1.0V "1010"=1.1V "1011"=1.2V
[3:0]	vth_vdswh	R/W	外部 MOSFET の VDS 検出しきい値電圧(W 相 ハイサイド)選択 "0000"=0.1V "0001"=0.2V "0010"=0.3V "0011"=0.4V "0100"=0.5V "0101"=0.6V "0110"=0.7V "0111"=0.8V "1000"=0.9V "1001"=1.0V "1010"=1.1V "1011"=1.2V

・設定値として示されていない値が設定された場合は、該当する Symbol に対する設定値は更新されず前の値を保持します。

7.9.3.12. LS_VDS_SEL Write Address=2Ch / Read Address=ACh

Bit	D15	D14	D13	D12	D11	D10	D9	D8
Symbol	—	—	fil_vdsl		vth_vdsul			
Initial Value	0	0	0	0	0	1	0	0

Bit	D7	D6	D5	D4	D3	D2	D1	D0
Symbol	vth_vdsvl				vth_vdswl			
Initial Value	0	1	0	0	0	1	0	0

bit	Symbol	R/W	Function
[13:12]	fil_vdsl	R/W	外部 MOSFET の VDS 検出フィルター時間(ローサイド)選択 "00"=6μs "01"=8μs "10"=10μs "11"=12μs
[11:8]	vth_vdsul	R/W	外部 MOSFET の VDS 検出しきい値電圧(U 相 ローサイド)選択 "0000"=0.1V "0001"=0.2V "0010"=0.3V "0011"=0.4V "0100"=0.5V "0101"=0.6V "0110"=0.7V "0111"=0.8V "1000"=0.9V "1001"=1.0V "1010"=1.1V "1011"=1.2V
[7:4]	vth_vdsvl	R/W	外部 MOSFET の VDS 検出しきい値電圧(V 相 ローサイド)選択 "0000"=0.1V "0001"=0.2V "0010"=0.3V "0011"=0.4V "0100"=0.5V "0101"=0.6V "0110"=0.7V "0111"=0.8V "1000"=0.9V "1001"=1.0V "1010"=1.1V "1011"=1.2V
[3:0]	vth_vdswl	R/W	外部 MOSFET の VDS 検出しきい値電圧(W 相 ローサイド)選択 "0000"=0.1V "0001"=0.2V "0010"=0.3V "0011"=0.4V "0100"=0.5V "0101"=0.6V "0110"=0.7V "0111"=0.8V "1000"=0.9V "1001"=1.0V "1010"=1.1V "1011"=1.2V

・設定値として示されていない値が設定された場合は、該当する Symbol に対する設定値は更新されず前の値を保持します。

7.9.3.13. FET_DET_SEL Write Address=30h / Read Address=B0h

Bit	D15	D14	D13	D12	D11	D10	D9	D8
Symbol	—	—	—	—	vgshu_dis	vdshu_dis	vgslu_dis	vdslu_dis
Initial Value	0	0	0	0	0	0	0	0

Bit	D7	D6	D5	D4	D3	D2	D1	D0
Symbol	vgshv_dis	vdshv_dis	vgslv_dis	vdslv_dis	vgshw_dis	vdshw_dis	vgslw_dis	vdslw_dis
Initial Value	0	0	0	0	0	0	0	0

bit	Symbol	R/W	Function
11	vgshu_dis	R/W	外部 MOSFET の VGS 検出(U 相 ハイサイド)の有効/無効選択 "0"=U 相の検出有効 "1"=U 相の検出無効(新たに検出させません、すでに検出したステータスには影響ありません)
10	vdshu_dis	R/W	外部 MOSFET の VDS 検出(U 相 ハイサイド)の有効/無効選択 "0"=U 相の検出有効 "1"=U 相の検出無効(新たに検出させません、すでに検出したステータスには影響ありません)
9	vgslu_dis	R/W	外部 MOSFET の VGS 検出(U 相 ローサイド)の有効/無効選択 "0"=U 相の検出有効 "1"=U 相の検出無効(新たに検出させません、すでに検出したステータスには影響ありません)
8	vdslu_dis	R/W	外部 MOSFET の VDS 検出(U 相 ローサイド)の有効/無効選択 "0"=U 相の検出有効 "1"=U 相の検出無効(新たに検出させません、すでに検出したステータスには影響ありません)
7	vgshv_dis	R/W	外部 MOSFET の VGS 検出(V 相 ハイサイド)の有効/無効選択 "0"=V 相の検出有効 "1"=V 相の検出無効(新たに検出させません、すでに検出したステータスには影響ありません)
6	vdshv_dis	R/W	外部 MOSFET の VDS 検出(V 相 ハイサイド)の有効/無効選択 "0"=V 相の検出有効 "1"=V 相の検出無効(新たに検出させません、すでに検出したステータスには影響ありません)
5	vgslv_dis	R/W	外部 MOSFET の VGS 検出(V 相 ローサイド)の有効/無効選択 "0"=V 相の検出有効 "1"=V 相の検出無効(新たに検出させません、すでに検出したステータスには影響ありません)
4	vdslv_dis	R/W	外部 MOSFET の VDS 検出(V 相 ローサイド)の有効/無効選択 "0"=V 相の検出有効 "1"=V 相の検出無効(新たに検出させません、すでに検出したステータスには影響ありません)
3	vgshw_dis	R/W	外部 MOSFET の VGS 検出(W 相 ハイサイド)の有効/無効選択 "0"=W 相の検出有効 "1"=W 相の検出無効(新たに検出させません、すでに検出したステータスには影響ありません)
2	vdshw_dis	R/W	外部 MOSFET の VDS 検出(W 相 ハイサイド)の有効/無効選択 "0"=W 相の検出有効 "1"=W 相の検出無効(新たに検出させません、すでに検出したステータスには影響ありません)
1	vgslw_dis	R/W	外部 MOSFET の VGS 検出(W 相 ローサイド)の有効/無効選択 "0"=W 相の検出有効 "1"=W 相の検出無効(新たに検出させません、すでに検出したステータスには影響ありません)
0	vdslw_dis	R/W	外部 MOSFET の VDS 検出(W 相 ローサイド)の有効/無効選択 "0"=W 相の検出有効 "1"=W 相の検出無効(新たに検出させません、すでに検出したステータスには影響ありません)

7.9.3.14. AMP_CTRL Write Address=40h / Read Address=C0h

Bit	D15	D14	D13	D12	D11	D10	D9	D8
Symbol	—	—	—	—	cal_amp_u	gain_amp_u		
Initial Value	0	0	0	0	0	0	1	1

Bit	D7	D6	D5	D4	D3	D2	D1	D0
Symbol	cal_amp_v	gain_amp_v			cal_amp_w	gain_amp_w		
Initial Value	0	0	1	1	0	0	1	1

bit	Symbol	R/W	Function
11	cal_amp_u	W	OPAMP キャリブレーション(U相)選択 “0”=OPAMP キャリブレーション無し “1”=OPAMP キャリブレーション実行 注設定はキャリブレーション終了したかどうかに関わらず自動的にクリアされます。
[10:8]	gain_amp_u	R/W	電流検出 OPAMP ゲイン(U相)選択 “000”=7.5倍 “001”=10倍 “010”=12.5倍 “011”=15倍 “100”=20倍 “101”=27.4倍 “111”=27.4倍
7	cal_amp_v	W	OPAMP キャリブレーション(V相)選択 “0”=OPAMP キャリブレーション無し “1”=OPAMP キャリブレーション実行 注設定はキャリブレーション終了したかどうかに関わらず自動的にクリアされます。
[6:4]	gain_amp_v	R/W	電流検出 OPAMP ゲイン(V相)選択 “000”=7.5倍 “001”=10倍 “010”=12.5倍 “011”=15倍 “100”=20倍 “101”=27.4倍 “111”=27.4倍
3	cal_amp_w	W	OPAMP キャリブレーション(W相)選択 “0”=OPAMP キャリブレーション無し “1”=OPAMP キャリブレーション実行 注設定はキャリブレーション終了したかどうかに関わらず自動的にクリアされます。
[2:0]	gain_amp_w	R/W	電流検出 OPAMP ゲイン(W相)選択 “000”=7.5倍 “001”=10倍 “010”=12.5倍 “011”=15倍 “100”=20倍 “101”=27.4倍 “111”=27.4倍

・設定値として示されていない値が設定された場合は、該当する Symbol に対する設定値は更新されず前の値を保持します。

7.9.3.15. AMP_STAT_CLR Write Address=44h

Bit	D15	D14	D13	D12	D11	D10	D9	D8
Symbol	—	—	—	—	—	—	—	calu_pass_cl
Initial Value	0	0	0	0	0	0	0	0

Bit	D7	D6	D5	D4	D3	D2	D1	D0
Symbol	—	—	—	calv_pass_cl	—	—	—	calw_pass_cl
Initial Value	0	0	0	0	0	0	0	0

bit	Symbol	R/W	Function
8	calu_pass_cl	W	電流検出 AMP オフセットキャリブレーション検査結果フラグ(U相)をクリアする “0”=無効 “1”=フラグをクリアする (本ビットはゼロに書き戻す必要はありません。)
4	calv_pass_cl	W	電流検出 AMP オフセットキャリブレーション検査結果フラグ(V相) をクリアする “0”=無効 “1”=フラグをクリアする(本ビットはゼロに書き戻す必要はありません。)
0	calw_pass_cl	W	電流検出 AMP オフセットキャリブレーション検査結果フラグ(W相) をクリアする “0”=無効 “1”=フラグをクリアする(本ビットはゼロに書き戻す必要はありません。)

・ステータスビットのクリアビットは 1 をライト後 0 に書き戻す必要はありません。

7.9.3.16. AMP_STAT / Read Address=C4h

Bit	D15	D14	D13	D12	D11	D10	D9	D8
Symbol	—	—	—	cal_en	—	—	—	calu_pass
Initial Value	0	0	0	0	0	0	0	0

Bit	D7	D6	D5	D4	D3	D2	D1	D0
Symbol	—	—	—	calv_pass	—	—	—	calw_pass
Initial Value	0	0	0	0	0	0	0	0

bit	Symbol	R/W	Function
12	cal_en	R	電流検出 AMP オフセットキャリブレーション動作フラグ “0”=キャリブレーション停止中 “1”=キャリブレーション実行中
8	calu_pass	R	電流検出 AMP オフセットキャリブレーション検査結果フラグ(U相) “0”=Failure またはキャリブレーション未実行 “1”=Pass
4	calv_pass	R	電流検出 AMP オフセットキャリブレーション検査結果フラグ(V相) “0”=Failure またはキャリブレーション未実行 “1”=Pass
0	calw_pass	R	電流検出 AMP オフセットキャリブレーション検査結果フラグ(W相) “0”=Failure またはキャリブレーション未実行 “1”=Pass

・実行した相の電流検出 AMP キャリブレーションが正常に終了し、Pass となると、レジスター:cal*_pass は“1”になります。

実行した相の電流検出 AMP キャリブレーション結果が不具合の場合、レジスター:cal*_pass は“0”になります。

・*は U, V, W。

7.9.3.17. ALM_CTRL Write Address=48h / Read Address=C8h

Bit	D15	D14	D13	D12	D11	D10	D9	D8
Symbol	—	—	—	alr_op	—	—	—	—
Initial Value	0	0	0	0	0	0	0	0

Bit	D7	D6	D5	D4	D3	D2	D1	D0
Symbol	—	—	—	—	—	—	fil_alm	
Initial Value	0	0	0	0	0	0	0	0

bit	Symbol	R/W	Function
12	alr_op	R/W	ALARM 検出の動作選択 “0”=NDIAG:“L”出力、全ての(9ch)プリドライバーが FET オフに駆動 “1”=NDIAG:“L”出力、モーター駆動(6ch)プリドライバーが FET オフに駆動
[1:0]	fil_alm	R/W	ALARM デジタルフィルタ設定(ハイサイド/ローサイド共通) “00”=16μs 注 16x2 ² x(1/4MHz)+(1/4MHz) “01”=1ms 注 1000x2 ² x(1/4MHz)+(1/4MHz) “10”=2ms 注 2000x2 ² x(1/4MHz)+(1/4MHz) “11”=4ms 注 4000x2 ² x(1/4MHz)+(1/4MHz)

7.9.3.18. QA_CTRL Write Address=4Ch / Read Address=CCh

Bit	D15	D14	D13	D12	D11	D10	D9	D8	
Symbol	—	qat_op				—	—	t_qa	
Initial Value	0	0	0	1	0	0	0	0	

Bit	D7	D6	D5	D4	D3	D2	D1	D0
Symbol	—	—	—	—	—	—	—	en_qat
Initial Value	0	0	0	0	0	0	0	0

bit	Symbol	R/W	Function
[14:12]	qat_op	R/W	QA 累積エラー検出時の動作選択 “001”=NDIAG:“L”出力(保持)、動作継続 “010”=NDIAG:“L”出力(保持)、全ての(9ch)プリドライバーが FET オフに駆動(保持) “011”=NDIAG:“L”出力(保持)、モーター駆動(6ch)プリドライバーが FET オフに駆動(保持) “100”=NDIAG:“L”出力(保持)、全ての(9ch)プリドライバー回路オフ(保持)、チャージポンプ回路オフ(保持)
[9:8]	t_qa	R/W	QA タイムアウト時間 “00”=1ms “01”=2ms “10”=4ms “11”=8ms
0	en_qat	R/W	QA タイムアウト検出の有効/無効選択 “0”= QA タイムアウトの検出無効 “1”= QA タイムアウトの検出有効

- ・設定値として示されていない値が設定された場合は、該当する Symbol に対する設定値は更新されず前の値を保持します。
- ・本レジスタは常に書き換え可能ですが、QA タイマーで実際に使用される設定値は ANSWER_SET レジスタの qa_code でスタートコマンドが設定された時点での値となります。

7.9.3.19. ANSWER_SET Write Address=50h

Bit	D15	D14	D13	D12	D11	D10	D9	D8
Symbol	—	—	—	—	—	—	—	—
Initial Value	0	0	0	0	0	0	0	0

Bit	D7	D6	D5	D4	D3	D2	D1	D0
Symbol	qa_code				qa_dat			
Initial Value	0	0	0	0	0	0	0	0

bit	Symbol	R/W	Function
[7:4]	qa_code	W	QA タイマー機能のコマンド選択 “5h”=Stop コマンド “7h”=AnsSet コマンド “Ah”=Start コマンド 0h-4h,6h,8h,9h,Bh-Fh:QA コマンド非割り当て (QA シーケンス中に設定されると、エラー累積カウンタがインクリメントされます)
[3:0]	qa_dat	W	QA タイマーの回答データの設定領域

7.9.3.20. QA_COUNT / Read Address=D0h

Bit	D15	D14	D13	D12	D11	D10	D9	D8
Symbol	—	—	—	—	acc_count			
Initial Value	0	0	0	0	0	0	0	0

Bit	D7	D6	D5	D4	D3	D2	D1	D0
Symbol	current_seq_num				prev_expected_value			
Initial Value	0	0	0	0	1	1	1	1

bit	Symbol	R/W	Function
[11:8]	acc_count	R	QA タイマー機能の累積エラー数
[7:4]	current_seq_num	R	QA タイマー機能の現在のシーケンス番号
[3:0]	prev_expected_value	R	QA タイマー機能の前のシーケンスでの回答データの期待値

7.9.3.21. BIST_DIAG Write Address=54h / Read Address=D4h

Bit	D15	D14	D13	D12	D11	D10	D9	D8
Symbol	—	—	—	—	—	—	—	—
Initial Value	0	0	0	0	0	0	0	0

Bit	D7	D6	D5	D4	D3	D2	D1	D0
Symbol	—	—	—	rebst	—	—	—	diag_dg
Initial Value	0	0	0	0	0	0	0	0

bit	Symbol	R/W	Function
4	rebst	W	初期診断 リスタート設定 "0"=LBIST/ABIST リスタート無し (通常) "1"=LBIST/ABIST リスタート実行
0	diag_dg	R/W	SPI 通信による NDIAG 機能診断選択 "0"=NDIAG 出力無し (通常) "1"=NDIAG 出力実行

・レジスター:rebst は LBIST または ABIST が NG 判定のときのみ有効になります。BIST リスタート時はレジスター:rebst がクリアされます。通常動作時はレジスター:rebst="1"に設定しても BIST のリスタートはしません。

7.9.3.22. BIST_STAT / Read Address=D8h

Bit	D15	D14	D13	D12	D11	D10	D9	D8
Symbol	—	—	—	—	—	—	—	—
Initial Value	0	0	0	0	0	0	0	0

Bit	D7	D6	D5	D4	D3	D2	D1	D0
Symbol	—	—	lbst_flag	lbst_end	—	—	abst_flag	abst_end
Initial Value	0	0	0	0	0	0	0	0

bit	Symbol	R/W	Function
5	lbst_flag	R	LBIST フラグ "0"=Failure "1"=Pass
4	lbst_end	R	LBIST 終了 "0"=LBIST 未終了(LBIST 実行中は SPI 通信できません) "1"=終了(完了)
1	abst_flag	R	ABIST フラグ "0"=Failure "1"=Pass
0	abst_end	R	ABIST 終了 "0"=ABIST 未終了 "1"=終了(完了)

- ・ ABIST と LBIST が正常に終了し、Pass となると、レジスター:abst_flag, lbst_flag は"1"になります。
- ・ ABIST と LBIST の結果が不具合の場合、レジスター:abst_flag, lbst_flag は"0"になります。
- ・ ABIST と LBIST が完了すると、レジスター:abst_end, lbst_end は"1"になります。
- ・ ABIST と LBIST が異常で終了しない場合、レジスター:abst_end, lbst_end は"0"となります。

7.9.3.23. FET_TEST_CNT1 Write Address=5Ch / Read Address=DCh

Bit	D15	D14	D13	D12	D11	D10	D9	D8
Symbol	—	—	—	—	fet_manual_test	fet_rmidonU	fet_rmidonV	fet_rmidonW
Initial Value	0	0	0	0	0	0	0	0

Bit	D7	D6	D5	D4	D3	D2	D1	D0
Symbol	ft_save_cl	—	ft_ndiag_sel	ft_comp_sel	fet_test_type1	fet_test_type0	fet_test_start	fet_test_stop
Initial Value	0	0	0	0	0	0	0	0

bit	Symbol	R/W	Function
11	fet_manual_test	R/W	VDS 検出と、VDS 検出コンパレータ出力のモード選択。(fet_test_unlock="H"で受付) "0"=VDS 検出は通常動作と同一モード "1"=VDS 検出を無効として、VDS 検出用コンパレータ出力を FET 検査モードにする
10	fet_rmidonU	R/W	U 相の midpoint 電圧生成抵抗を ON する。(fet_test_unlock="H"で受付) "0"=FET の U 相 midpoint 電圧生成抵抗を OFF にする "1"=FET の U 相 midpoint 電圧生成抵抗を ON にする
9	fet_rmidonV	R/W	V 相の midpoint 電圧生成抵抗を ON する。(fet_test_unlock="H"で受付) "0"=FET の V 相 midpoint 電圧生成抵抗を OFF にする "1"=FET の V 相 midpoint 電圧生成抵抗を ON にする
8	fet_rmidonW	R/W	W 相の midpoint 電圧生成抵抗を ON する。(fet_test_unlock="H"で受付) "0"=FET の W 相 midpoint 電圧生成抵抗を OFF にする "1"=FET の W 相 midpoint 電圧生成抵抗を ON にする
7	ft_save_cl	R/W	FET_TEST で保存された VDS_COMP_STAT レジスタの VDS コンパレータ出力(ノイズフィルタ後)と、エラーフラグ FET_TEST_STAT /fet_test_err をクリアする "0"=無効 "1"=クリアする(0 に書き戻す必要はありません。リード時は 0 が読めます。)
5	ft_ndiag_sel	R/W	FET_TEST 実行時に NDIAG に出力するかどうかの選択 "0"=FET_TEST の実行に関する内容を NDIAG に絡めない "1"=FET_TEST 実行中と、FET_TEST 期待値不一致検出時に NDIAG を"L"にする
4	ft_comp_sel	R/W	VDS_COMP_STAT レジスタからリードする内容を選択する "0"=FET_TEST で保存された VDS 検出コンパレータ出力(ノイズフィルタ後) "1"=VDS 検出コンパレータ(ノイズフィルタ後)の現在の値
[3:2]	fet_test_type[1:0]	R/W	FET_TEST で実行する検査タイプを選択する "00"=Type A "01"=Type B "10"=Type C "11"=Type D
1	fet_test_start	R/W	FET_TEST シーケンスを開始する(fet_test_unlock="H"時に受付可能) "0"=無効 "1"=シーケンス開始(0 に書き戻す必要はありません。リード時は 0 が読めます。)
0	fet_test_stop	R/W	FET_TSET シーケンスを停止する "0"=無効 "1"=シーケンス停止(fet_test_start と同時に設定された場合は fet_test_stop が優先されます)

- ・ fet_manual_test, fet_rmidon[U,V,W], fet_test_start ビットは fet_test_unlock="H"の場合のみ設定可能です。
- ・ fet_manual_test, fet_rmidon[U,V,W]ビットは fet_test_unlock="L"の間ではセットできません、過去にセットされていた値は fet_test_unlock="L"でクリアされます。

7.9.3.24. FET_TEST_CNT2 Write Address=60h / Read Address=E0h

Bit	D15	D14	D13	D12	D11	D10	D9	D8
Symbol	—	—	—	fet_test_unlock	—	typed_uhd	—	typed_uld
Initial Value	0	0	0	0	0	0	0	0

Bit	D7	D6	D5	D4	D3	D2	D1	D0
Symbol	—	typed_vhd	—	typed_vld	—	typed_whd	—	typed_wld
Initial Value	0	0	0	0	0	0	0	0

bit	Symbol	R/W	Function
12	fet_test_unlock	R/W	FET_TEST によるテスト動作(auto/manual とともに)を許可する “0”=FET_TEST によるテスト動作の開始を受け付けない、テスト動作実行中は強制的に FET_TEST を中止する “1”=FET_TEST によるテスト動作の開始を受け付ける
10	typed_uhd	R/W	Type D のテストシーケンスに対する、U 相ハイサイドのブリッドライバーの出力値を指定する “0”=オフ “1”=オン
8	typed_uld	R/W	Type D のテストシーケンスに対する、U 相ローサイドのブリッドライバーの出力値を指定する “0”=オフ “1”=オン
6	typed_vhd	R/W	Type D のテストシーケンスに対する、V 相ハイサイドのブリッドライバーの出力値を指定する “0”=オフ “1”=オン
4	typed_vld	R/W	Type D のテストシーケンスに対する、V 相ローサイドのブリッドライバーの出力値を指定する “0”=オフ “1”=オン
2	typed_whd	R/W	Type D のテストシーケンスに対する、W 相ハイサイドのブリッドライバーの出力値を指定する “0”=オフ “1”=オン
0	typed_wld	R/W	Type D のテストシーケンスに対する、W 相ローサイドのブリッドライバーの出力値を指定する “0”=オフ “1”=オン

- ・ ハイサイド・ローサイドともにオンが設定された相では、ハイサイド・ローサイドともにオフとして制御されます。

7.9.3.25. FET_TEST_STAT / Read Address=E4h

Bit	D15	D14	D13	D12	D11	D10	D9	D8
Symbol	—	—	—	—	—	—	—	—
Initial Value	0	0	0	0	0	0	0	0

Bit	D7	D6	D5	D4	D3	D2	D1	D0
Symbol	—	—	fet_auto_test	fet_test_err	—	ft_seq_num2	ft_seq_num1	ft_seq_num0
Initial Value	0	0	0	0	0	0	0	0

bit	Symbol	R/W	Function
5	fet_auto_test	R	FET_TEST の自動シーケンス実行中フラグ "0"=FET_TEST 停止中 "1"=FET_TSET 実行中
4	fet_test_err	R	FET_TEST 実行時に期待値不一致が発生したかどうか(Type A / Type B / Type C のみ有効) "0"=期待値不一致なし "1"=期待値不一致発生
[2:0]	ft_seq_num[2:0]	R	FET_TEST で最後に実行されたシーケンス番号(期待値不一致発生時は不一致が発生したステップ番号となります)

7.9.3.26. VDS_COMP_STAT / Read Address=E8h

Bit	D15	D14	D13	D12	D11	D10	D9	D8
Symbol	—	—	—	—	—	compout_uh	—	compout_ul
Initial Value	0	0	0	0	0	0	0	0

Bit	D7	D6	D5	D4	D3	D2	D1	D0
Symbol	—	compout_vh	—	compout_vl	—	compout_wh	—	compout_wl
Initial Value	0	0	0	0	0	0	0	0

bit	Symbol	R/W	Function	
			ft_comp_sel="L"	ft_comp_sel="H"
10	compout_uh	R	FET_TEST で最後に保存されたデータ (U相 ハイサイド) "0"=FET_TEST 保存データ"L" "1"=FET_TEST 保存データ"H"	SPI 通信による外部 MOSFET VDS モニター(U相 ハイサイド) "0"=コンパレータ出力(フィルター後)"L" "1"=コンパレータ出力(フィルター後)"H"
8	compout_ul	R	FET_TEST で最後に保存されたデータ (U相 ローサイド) "0"=FET_TEST 保存データ"L" "1"=FET_TEST 保存データ"H"	SPI 通信による外部 MOSFET VDS モニター(U相 ローサイド) "0"=コンパレータ出力(フィルター後)"L" "1"=コンパレータ出力(フィルター後)"H"
6	compout_vh	R	FET_TEST で最後に保存されたデータ (V相 ハイサイド) "0"=FET_TEST 保存データ"L" "1"=FET_TEST 保存データ"H"	SPI 通信による外部 MOSFET VDS モニター(V相 ハイサイド) "0"=コンパレータ出力(フィルター後)"L" "1"=コンパレータ出力(フィルター後)"H"
4	compout_vl	R	FET_TEST で最後に保存されたデータ (V相 ローサイド) "0"=FET_TEST 保存データ"L" "1"=FET_TEST 保存データ"H"	SPI 通信による外部 MOSFET VDS モニター(V相 ローサイド) "0"=コンパレータ出力(フィルター後)"L" "1"=コンパレータ出力(フィルター後)"H"
2	compout_wh	R	FET_TEST で最後に保存されたデータ (W相 ハイサイド) "0"=FET_TEST 保存データ"L" "1"=FET_TEST 保存データ"H"	SPI 通信による外部 MOSFET VDS モニター(W相 ハイサイド) "0"=コンパレータ出力(フィルター後)"L" "1"=コンパレータ出力(フィルター後)"H"
0	compout_wl	R	FET_TEST で最後に保存されたデータ (W相 ローサイド) "0"=FET_TEST 保存データ"L" "1"=FET_TEST 保存データ"H"	SPI 通信による外部 MOSFET VDS モニター(W相 ローサイド) "0"=コンパレータ出力(フィルター後)"L" "1"=コンパレータ出力(フィルター後)"H"

7.9.3.27. DUMMY Write Address=7Ch / Read Address=FCh

Bit	D15	D14	D13	D12	D11	D10	D9	D8
Symbol	dmy15	dmy14	dmy13	dmy12	dmy11	dmy10	dmy9	dmy8
Initial Value	0	0	0	0	0	0	0	0

Bit	D7	D6	D5	D4	D3	D2	D1	D0
Symbol	dmy7	dmy6	dmy5	dmy4	dmy3	dmy2	dmy1	dmy0
Initial Value	0	0	0	0	0	0	0	0

bit	Symbol	R/W	Function
[15:0]	dummy	R/W	dummy bit

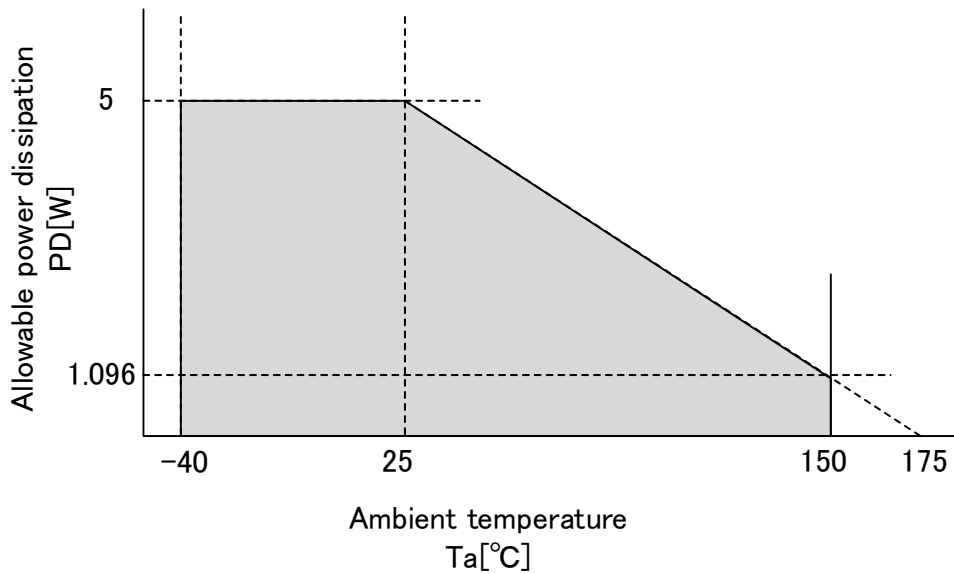
8. 絶対最大定格

特に指定がない場合、電圧は全て AGND 基準

項目	適用端子	記号	定格	単位	条件
電源電圧	VB	Vb	-0.3~28(DC), 28~40($\leq 1s$)	V	—
	VCPH	Vcph	-0.3~44.5(DC), 44.5~60($\leq 1s$)	V	—
	VCC	Vcc	-0.3~6	V	—
	VCC_OP	Vccop	-0.3~6	V	—
AGND-PGND 端子間電圧	AGND1, AGND2, PGND	Vgnd	-0.3~0.3	V	—
入力電圧	HS	Vin1	-18~28(DC), 28~40($\leq 1s$)	V	Vin1 $\leq 40V$
	HUS, HVS, HWS	Vin2	-7~ Vcph +0.3, -14~-7($\leq 1\mu s, 20kHz$)	V	Vin2 $\leq 40V$ HUO-HUS, HVO-HVS, HWO-HWS 間の電圧 $\leq 40V$
	LUS, LVS, LWS	Vin3	-7~ Vcph +0.3, -10~-7($\leq 1\mu s, 20kHz$)	V	Vin3 $\leq 40V$ LUO-LUS, LVO-LVS, LWO-LWS 間の電圧 $\leq 40V$
	LUI, LVI, LWI, HUI, HVI, HWI, SCLK, NSCS, SI, ALARM	Vin4	-0.3~Vcc+0.3	V	Vin4 $\leq 6V$
	AMPU_P, AMPV_P, AMPW_P, AMPU_N, AMPV_N, AMPW_N	Vin5	-7~28(DC), 28~40($\leq 1s$), -10~-7($\leq 1\mu s, 20kHz$)	V	—
出力電圧	SR10, SR20, SR30, CP1H, CP2H	Vout1	-0.3~Vcph+0.3	V	Vout1 $\leq 60V$
	HUO, HVO, HWO	Vout2	-7~Vcph+0.6(DC), -14~-7($\leq 1\mu s, 20kHz$)	V	Vout2 $\leq 60V$ HUO-HUS, HVO-HVS, HWO-HWS 間の電圧 $\leq 40V$
	CP1L, CP2L	Vout3	-0.3~Vb+0.3	V	Vout3 $\leq 28V$ (DC), Vout3 $\leq 40V$ ($\leq 1s$)
	LUO, LVO, LWO	Vout4	-7~Vcph+0.3(DC), -10~-7($\leq 1\mu s, 20kHz$)	V	Vout4 $\leq 60V$ LUO-LUS, LVO-LVS, LWO-LWS 間の電圧 $\leq 40V$
	AMPU_O, AMPV_O, AMPW_O	Vout5	-0.3~Vccop+0.3	V	Vout5 $\leq 6V$
	NDIAG, SO	Vout6	-0.3~Vcc+0.3	V	Vout6 $\leq 6V$
入力電流	HUS, HVS, HWS	Iin1	1.2	A	t=200ns (参考値)
	AMPU_P, AMPV_P, AMPW_P, AMPU_N, AMPV_N, AMPW_N	Iin2	-0.5~2	mA	—
出力電流	HUO, HVO, HWO, LUO, LVO, LWO	Iout1	± 20	mA	—
		Iout2	± 1	A	出力電流切り替え時間(Tsw)より短い時間
	AMPU_O, AMPV_O, AMPW_O	Iout3	± 5	mA	—
	NDIAG, SO	Iout4	± 10	mA	—
動作周囲温度	—	Ta	-40~150	°C	—
ジャンクション 温度 最大値	—	Tj	175	°C	—
保存温度	—	Tstg	-55~150	°C	—
許容損失	—	PD	1.096	W	JEDEC 四層基板、 Ta=150°C、 熱抵抗 22.8°C/W

《ユーザー注意事項》

- ・絶対最大定格とは、瞬時たりとも超えてはならない規格であり、1つの項目でも超えて使用することが出来ません。
- ・本 IC への流入電流を‘+’で、本 IC からの流出電流を‘-’で表示しています。
- ・絶対最大定格値は条件欄の範囲に限定しています。
- ・上記最大定格表中の記号(Vb、Vcph、Vcc、Vccop)は、各端子(VB、VCPH、VCC、VCC_OP)での印加電圧、出力電圧を意味しています。
- ・Vb および Vcc のスルーレートは以下範囲で使用してください。
Vb=8V/μs 未満、Vcc=0.3V/μs 未満
- ・本製品は 12V バッテリーでの使用を想定しています。



(ご参考)
 基板：JEDEC 四層基板
 熱抵抗：22.8°C/W

許容損失曲線

9. 電気的特性

動作電圧範囲

項目	適用端子	記号	動作電圧範囲	単位	条件
入力電圧	VB	Vb	4.5~28	V	DC
	VCC	Vcc	3.0~5.5	V	DC
	VCC_OP	Vccop	3.0~5.5	V	DC

- ・本製品は 12V バッテリーでの使用を想定しています。
- ・本製品は Vb<3.6V にて常時ご使用になることは推奨されません。

消費電流

特に指定がない場合、Vb=4.5~28V、Vcc=3.0~5.5V、Vccop=3.0~5.5V、Tj=-40~175°C

項目	適用端子	記号	測定条件	Min	Typ.	Max	単位
スタンバイ電流(Vb)	VB	Istb1	Vb=12V, Vcc=Vccop=0V, -40 ≤ Ta ≤ 85°C	—	0.05	3.5	μA
		Istb2	Vb=12V, Vcc=Vccop=0V, 85 ≤ Ta ≤ 125°C	—	—	6	μA
		Istb3	Vb=12V, Vcc=Vccop=0V, 125 ≤ Ta ≤ 150°C	—	—	7	μA
消費電流(Vb)	VB	Ib1	Vb=13.5V HUO, HVO, HWO=20kHz LUO, LVO, LWO=20kHz プリドライバ出力負荷: Rload=0Ω、Cload=15000pF Safety Relay 出力負荷: Rload=1.5kΩ、 Cload=15000pF	—	90	180	mA
		Ib2	Vb=17V HUO, HVO, HWO=20kHz LUO, LVO, LWO=20kHz プリドライバ出力負荷: Rload=0Ω、Cload=15000pF Safety Relay 出力負荷: Rload=1.5kΩ、 Cload=15000pF	—	60	120	mA
		Ib3	Vb=28V HUO, HVO, HWO=20kHz LUO, LVO, LWO=20kHz プリドライバ出力負荷: Rload=0Ω、Cload=15000pF Safety Relay 出力負荷: Rload=1.5kΩ、 Cload=15000pF	—	60	120	mA
消費電流(Vcc)	VCC	Icc1	Vcc=5V	4	8	16	mA
		Icc2	Vcc=3.3V	1.2	2.5	5	mA
消費電流(Vccop)	VCC_OP	Iccop1	Vccop=5V	3	6	12	mA
		Iccop2	Vccop=3.3V	3	6	12	mA

- ・ Vcc が低下するとスタンバイ状態となります。スタンバイ状態の電流は、Istb1, Istb2, Istb3 で規定しています。
- ・ Ib1, Ib2, Ib3 のチャージポンプの外付け定数は、応用回路例の定数になります。

チャージポンプ回路

特に指定がない場合、 $V_b=4.5\sim 28V$ 、 $V_{cc}=3.0\sim 5.5V$ 、 $T_j=-40\sim 175^\circ C$

項目	適用端子	記号	測定条件	Min	Typ.	Max	単位	備考
出力電圧	VCPH	Vcph1	$V_b=4.5\sim 5.5V$ 出力負荷=28mA	$V_b+5.3$	—	$3\times V_b-1.5$	V	—
		Vcph2	$V_b=5.5\sim 7V$ 出力負荷=28mA	$V_b+6.1$	—	$3\times V_b-1.5$	V	—
		Vcph3	$V_b=7\sim 28V$ 出力負荷=28mA	$V_b+9.6$	V_b+14	$V_b+16.5$	V	—
立ち上がり時間	VCPH	Tcp	VCPH 電圧の 10%~90%	—	—	1	ms	—
動作周波数	—	clk_cp	—	185	286	386	kHz	—
プリチャージ時間	—	Tpch_cp	—	290	400	620	μs	—
プリドライバインエーブル時間	—	Tpre_en	レジスタ en_cp="1"が書き込まれてからプリドライバがON許可までの時間	0.85	1.2	1.9	ms	—

- チャージポンプ容量 C_{cp} 、チャージポンプ電圧端子容量 C_{vcph} の参考値は、以下になります。

$C_{cp} = 0.47 [\mu F]$ 、 $C_{vcph} = 2.2 [\mu F]$

使用環境を想定した評価および確認を、ユニット基板上で十分に実施した上で、外付け回路を決定してください。

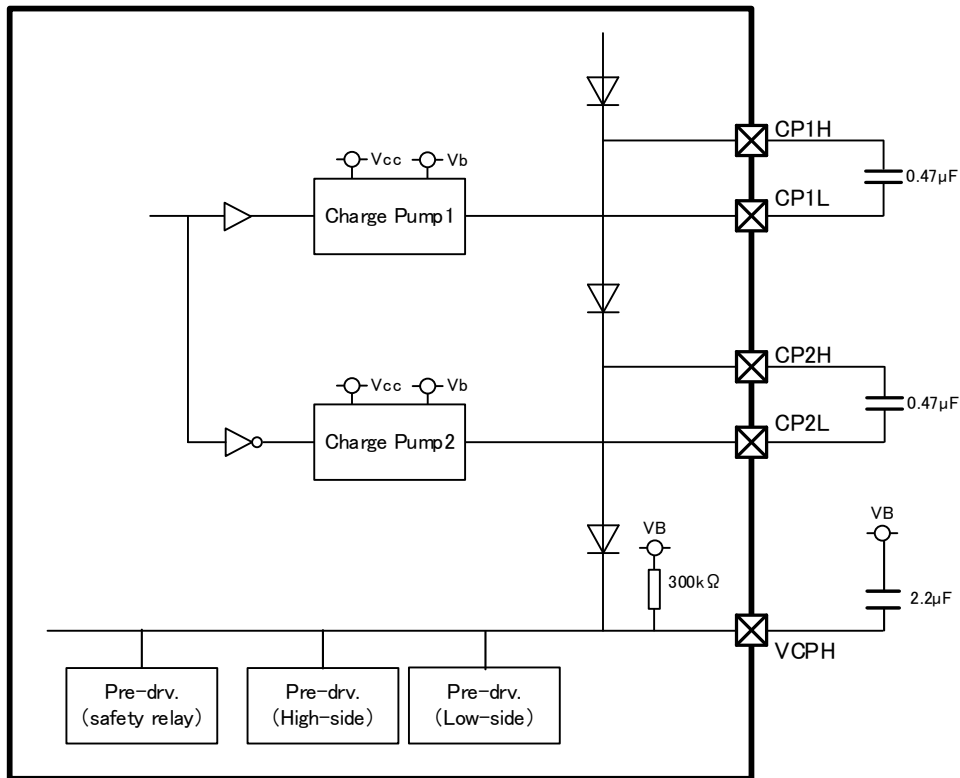
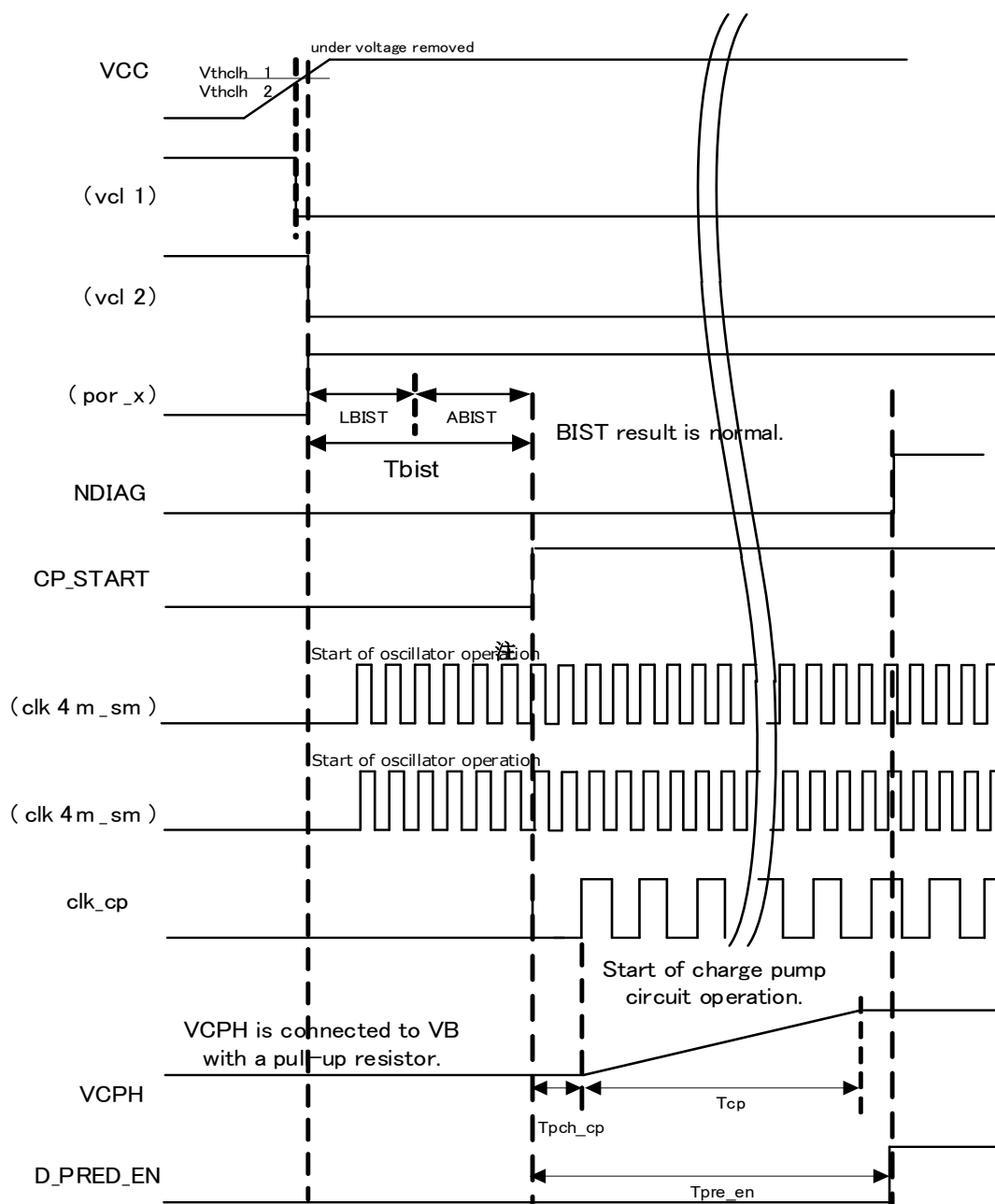


Fig. 9-a チャージポンプ応用回路図



注 en_cp ビットの初期値は 1 であるため、ABIST が正常に終了した時点で、チャージポンプは有効となります。

Fig. 9-b チャージポンプ回路タイミングチャート

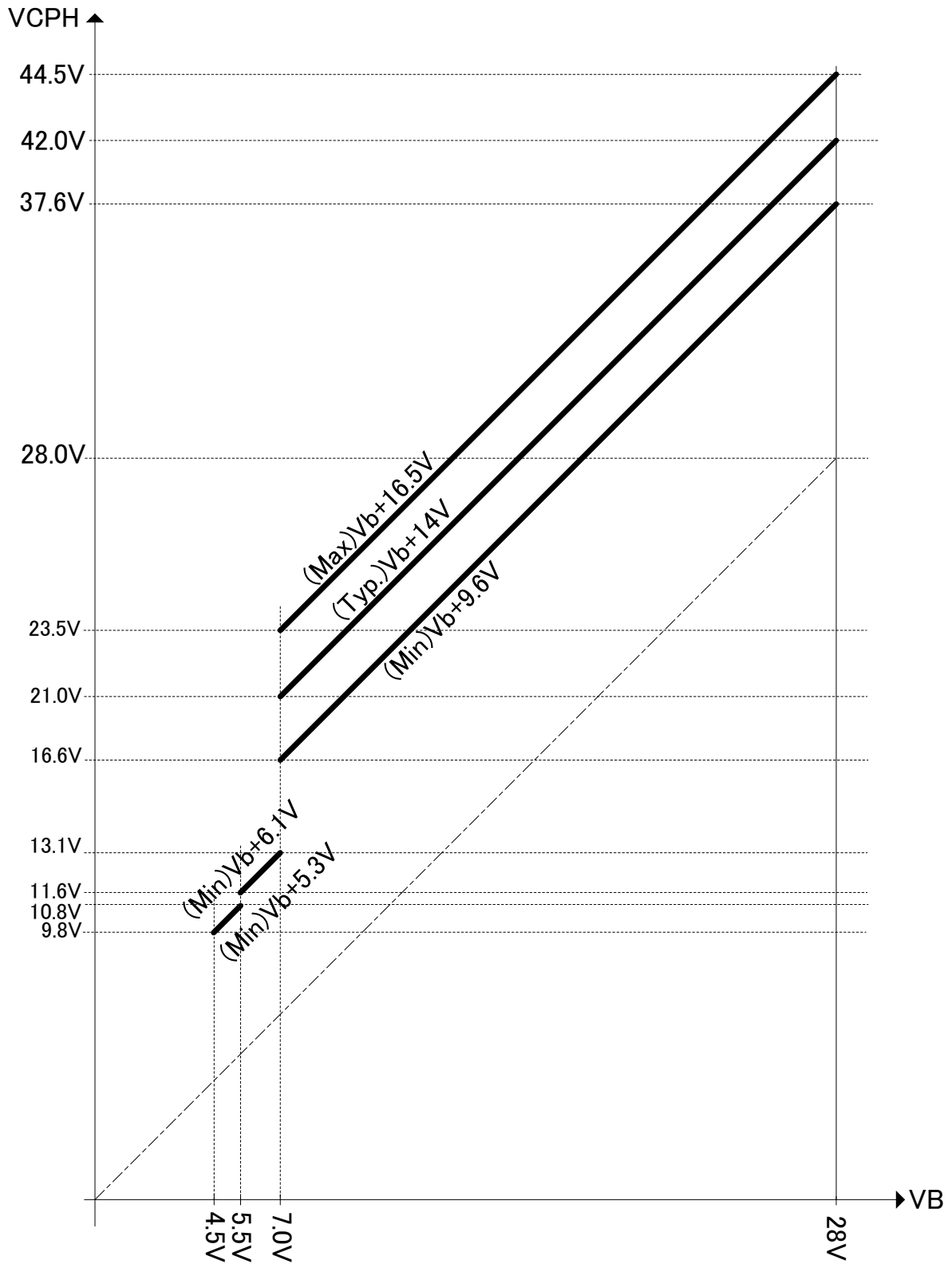


Fig. 9-c チャージポンプ電圧依存性

プリドライバー回路

特に指定がない場合、Vb=4.5~28V、Vcc=3.0~5.5V、Tj=-40~175°C

項目	適用端子	記号	測定条件	Min	Typ.	Max	単位	備考
High レベル 入力電流	HUI, HVI, HWI, LUI, LVI, LWI	Iih	Vcc= 5.0V, Vin = 5.0V	50	100	200	μA	—
Low レベル 入力電流	HUI, HVI, HWI, LUI, LVI, LWI	Iil	Vcc = 5.0V, Vin = 0V	-5	—	5	μA	—
High レベル 入力検出電圧	HUI, HVI, HWI, LUI, LVI, LWI	Vih	—	0.75× Vcc	—	—	V	—
Low レベル 入力検出電圧	HUI, HVI, HWI, LUI, LVI, LWI	Vil	—	—	—	0.25× Vcc	V	—
出力電圧 1	HUO,HVO,HWO	Voh1	H*O-H*S 間電圧 Iload=-100μA Vb=6.5~28V, H*S=0V	6.7	10	12	V	—
		Voh1_2	H*O-H*S 間電圧 Iload=-100μA Vb=4.5~7.0V H*S=0V	Vcph-0.3	—	Vcph	V	—
		Vol1	H*O-H*S 間電圧 Iload=100μA	0	—	0.2	V	—
出力電圧 2	LUO, LVO, LWO	Voh2	L*O-L*S 間電圧 L*S=0V Iload=-100μA	6.7	11	12	V	—
		Vol2	L*O-L*S 間電圧 Iload=100μA L*S=0V	0	—	0.2	V	—
出力電圧 3	SR10, SR20, SR30	Voh3	Iload=-100μA	Vcph-0.1	—	Vcph	V	—
		Vol3	Iload=100μA	—	—	0.9	V	—
出力抵抗 1	HUO,HVO,HWO	Rohh	HUI,HVI,HWI=VCC Iload = -50 mA	—	4.4	12	Ω	—
		Roh l	HUI,HVI,HWI=0V Iload = 50 mA	—	1.2	3	Ω	—
出力抵抗 2	LUO, LVO, LWO	Rolh	LUI,LVI,LWI=VCC Iload = -50 mA	—	4.4	12	Ω	—
		Roll	LUI,LVI,LWI = 0V Iload = 50 mA	—	1.2	3	Ω	—

・ セーフティーリレー出力 SR10, SR20, SR30 にはプルダウン抵抗が内蔵されておりません。システム上、プルダウン抵抗が必要な場合は ECU 基板上で対応してください。なお MOSFET 直近にプルダウン抵抗を接続する場合は、セーフティーリレーの出力電圧のドロップに注意して抵抗定数を決めてください。

・ 測定回路は Fig. 9-d を参照してください。

特に指定がない場合、Vb=4.5~28V、Vcc=3.0~5.5V、Tj=-40~175°C

項目	適用端子	記号	測定条件	Min	Typ.	Max	単位	備考
出力抵抗	SR10, SR20, SR30	Rosh	srly1_drv="1", srly2_drv="1", srly3_drv="1" Iload=-5mA	350	500	750	Ω	-
		Rosl	srly1_drv="0", srly2_drv="0", srly3_drv="0" Rosl =Vd/4mA	350	500	750	Ω	Fig. 9-f 参照
プルダウン抵抗 1	HUO, HVO, HWO	Rpd1	ALARM=0V	25	50	100	kΩ	-
プルダウン抵抗 2	LUO, LVO, LWO	Rpd2	ALARM=0V	25	50	100	kΩ	-
VB 逆接時 リーク電流	SR10, SR20, SR30	Iol	SR10, SR20, SR30=-18V PGND=0V	0	0.01	1.0	μA	-
出力制限電流	HUO, HVO, HWO, LUO, LVO, LWO	Io_lmth	Turn on 時 Tsw 経過後	-	-10	-	mA	Fig. 9-e 参照
		Io_lmth	Turn off 時 Tsw 経過後	-	10	-	mA	Fig. 9-e 参照
出力電流 切替時間	HUO, HVO, HWO, L LUO, LVO, LWO	Tsw0	-	5	8	14	μs	t_ilim = "00" Fig. 9-e 参照
		Tsw1	-	10	16	28	μs	t_ilim = "01" Fig. 9-e 参照
		Tsw2	-	20	32	56	μs	t_ilim = "10" Fig. 9-e 参照
Turn on 入力伝搬 遅延時間	HUI, HVI, HWI, HUO, HVO, HWO	Tdonh	-	20	120	250	ns	Fig. 9-d Fig. 9-e 参照
	LUI, LVI, LWI, LUO, LVO, LWO	Tdonl	-	20	120	250	ns	Fig. 9-d Fig. 9-e 参照
Turn off 入力伝搬 遅延時間	HUI, HVI, HWI, HUO, HVO, HWO	Tdoffh	-	20	180	300	ns	Fig. 9-d Fig. 9-e 参照
	LUI, LVI, LWI, LUO, LVO, LWO	Tdoffl	-	20	180	300	ns	Fig. 9-d Fig. 9-e 参照
入力伝搬 遅延時間差	HUI, HVI, HWI, LUI, LVI, LWI, HUO, HVO, HWO, LUO, LVO, LWO	Dtd	Tdonh-Tdoffl, Tdonl-Tdoffh	-125	-	125	ns	同相 UVW のハ イサイド/ローサ イドの差

- ・ セーフティーリレー出力 SR10, SR20, SR30 には外付けシリーズ抵抗 1.5kΩ 以上を接続してください。
- ・ セーフティーリレー出力 SR10, SR20, SR30 にはプルダウン抵抗が内蔵されておりません。システム上、プルダウン抵抗が必要な場合は ECU 基板上で対応してください。なお MOSFET 直近にプルダウン抵抗を接続する場合は、セーフティーリレーの出力電圧のドロップに注意して抵抗定数を決めてください。
- ・ 測定回路は Fig. 9-d を参照してください。
- ・ (括弧)表記の規格は、設計値であり出荷テストは実施していません。

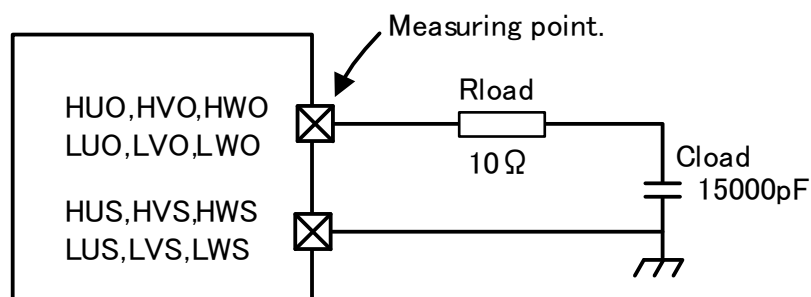


Fig. 9-d 測定回路図(ハイサイド/ローサイド)

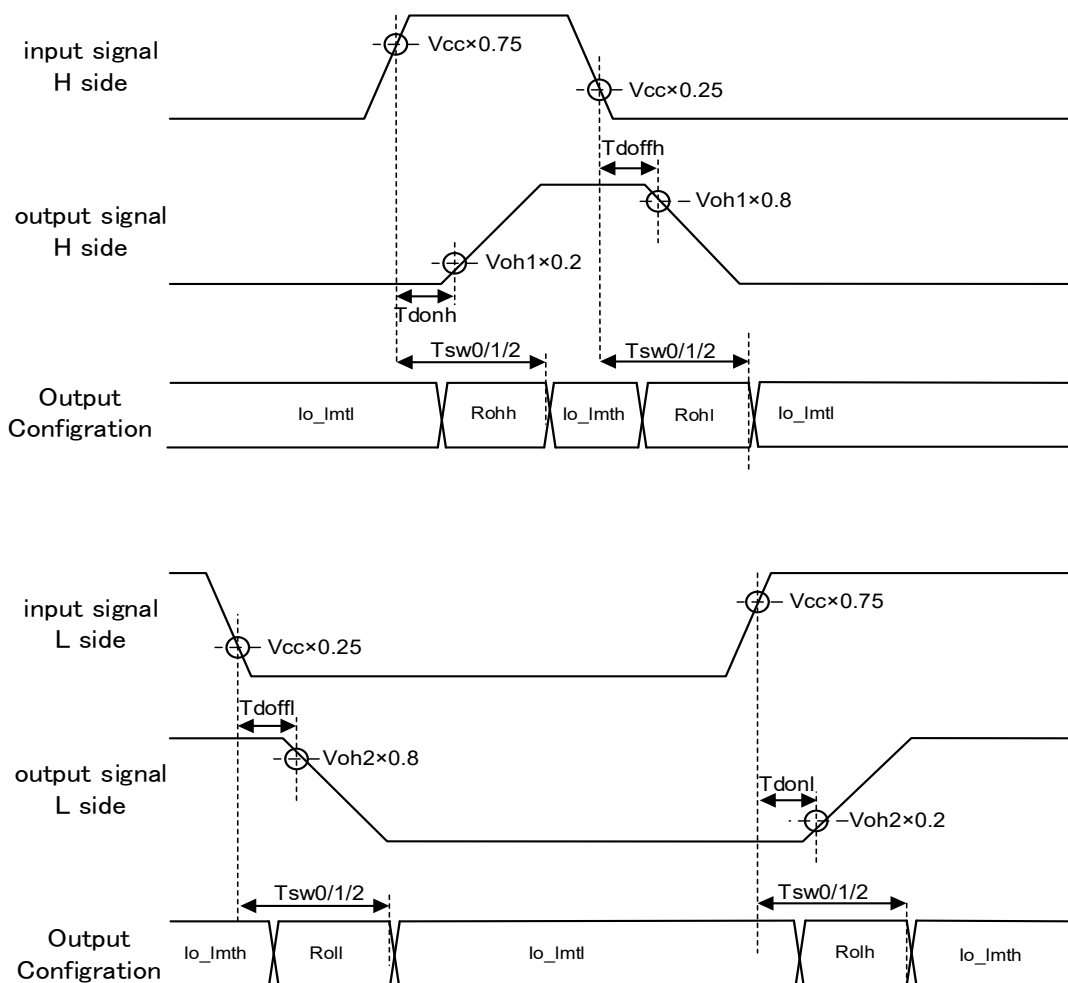


Fig. 9-e 出力電流切替時間、入力伝搬遅延時間タイミングチャート

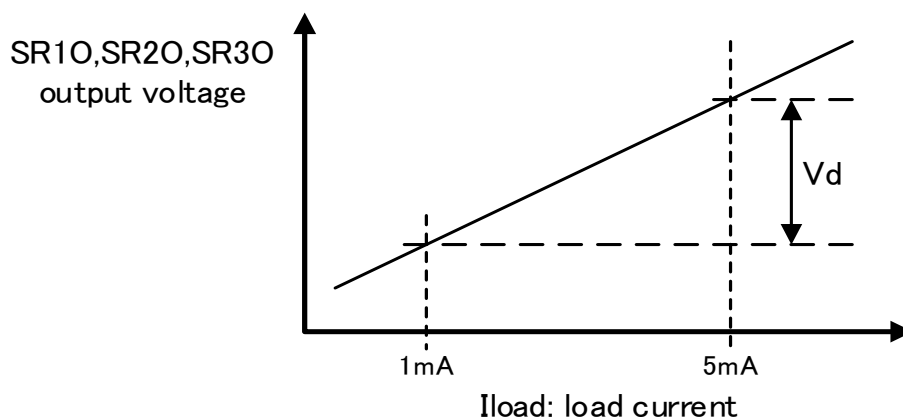


Fig. 9-f SR10,SR20,SR30 出力抵抗測定方法

電流検出回路

特に指定がない場合、Vb=4.5~28V、Vccop=3.0~5.5V、Tj=-40~175°C

項目	適用端子	記号	測定条件	Min	Typ.	Max	単位	備考
入力 オフセット電圧 1	AMPV_P, AMPV_N, AMPW_P, AMPW_N	Voff1	キャリブレーション実施 後 Ta=25°C Gain=15 Comvin=0V Iload=0.5mA	-1	—	1	mV	gain_amp_u="011", gain_amp_v="011", gain_amp_w="011"
入力 オフセット電圧 2	AMPV_P, AMPV_N, AMPW_P, AMPW_N	Voff2	キャリブレーション実施 前 Ta=25°C Gain=15 Comvin=0V Iload=0.5mA	-7	—	7	mV	gain_amp_u="011", gain_amp_v="011", gain_amp_w="011"
入力 オフセット電圧 温度特性 1	AMPV_P, AMPV_N, AMPW_P, AMPW_N	VoffdT1	キャリブレーション実施 後 Gain=15 Comvin=0V Iload=0.5mA	(-10)	—	(10)	μV/°C	gain_amp_u="011", gain_amp_v="011", gain_amp_w="011" (括弧)内 は設計値
入力 オフセット電圧 温度特性 2	AMPV_P, AMPV_N, AMPW_P, AMPW_N	VoffdT2	キャリブレーション実施 前 Gain=15, Comvin=0V Iload=0.5mA	(-10)	—	(10)	μV/°C	gain_amp_u="011", gain_amp_v="011", gain_amp_w="011" (括弧)内 は設計値
入力 バイアス電流	AMPV_P, AMPV_N, AMPW_P, AMPW_N	Iin	測定対象端子=0V 時	-100	—	100	μA	—
出力電圧 1	AMPV_O, AMPV_N, AMPW_O	Vohop	Gain=15 Vinr=0.1×Vccop Iload = -500μA	Vccop -0.15	—	Vccop	V	—
		Volop	Gain=15 Vinr=-0.1×Vccop Iload = +500μA	0	—	0.15	V	-
リファレンス電 圧	—	Vref		(Typ.-9)	Vccop/2	(Typ.+9)	mV	(括弧)内 は設計値
リファレンス 温度特性	—	Vref_ dT		(-10)	—	(10)	μV/°C	(括弧)内 は設計値
GAIN	AMPV_P, AMPV_N, AMPW_P, AMPW_N, AMPV_O, AMPV_N, AMPW_O	Gain0	Vinr=-0.5V~0.5V, Iload=無負荷	-1%	7.5	1%	—	gain_amp_u="000", gain_amp_v="000", gain_amp_w="000"
		Gain1	Vinr=-0.5V~0.5V, Iload=無負荷	-1%	10	1%	—	gain_amp_u="001", gain_amp_v="001", gain_amp_w="001"
		Gain2	Vinr=-0.5V~0.5V, Iload=無負荷	-1%	12.5	1%	—	gain_amp_u="010", gain_amp_v="010", gain_amp_w="010"
		Gain3	Vinr=-0.5V~0.5V, Iload=無負荷	-1%	15	1%	—	gain_amp_u="011", gain_amp_v="011", gain_amp_w="011"
		Gain4	Vinr=-0.5V~0.5V, Iload=無負荷	-1%	20	1%	—	gain_amp_u="100", gain_amp_v="100", gain_amp_w="100"
		Gain5	Vinr=-0.5V~0.5V, Iload=無負荷	-1%	27.4	1%	—	gain_amp_u="101", gain_amp_v="101", gain_amp_w="101"

- ・ アンプ構成は Fig. 9-g の極性で使用してください。
- ・ (括弧)表記の規格は、設計値であり出荷テストは実施していません。

特に指定がない場合、Vb=4.5~28V、Vccop=3.0~5.5V、Tj=-40~175°C

項目	適用端子	記号	測定条件	Min	Typ.	Max	単位	備考
スルーレート	AMPV_O, AMPV_O, AMPW_O	Sr1	VCC_OP=5.0V Gain=15 Rload=1kΩ,Cload=220pF Vout=20%→80%までの スルーレート	4.5	10	20	V/μs	GainはSPIによりレジスタ ー設定する Fig. 9-h 参照
			VCC_OP=3.3V Gain=15 Rload=1kΩ,Cload=220pF Vout=20%→80%までの スルーレート	2.5	10	20	V/μs	GainはSPIによりレジスタ ー設定する Fig. 9-h 参照
		Sr2	VCC_OP=5.0V Gain=15 Rload=1kΩ,Cload=220pF Vout=20%→80%までの スルーレート	-20	-10	-4.5	V/μs	GainはSPIによりレジスタ ー設定する Fig. 9-h 参照
			VCC_OP=3.3V Gain=15 Rload=1kΩ,Cload=220pF Vout=20%→80%までの スルーレート	-20	-10	-2.5	V/μs	GainはSPIによりレジスタ ー設定する Fig. 9-h 参照
セトリングタイム	AMPV_O, AMPV_O, AMPW_O	Tset	Rload=1kΩ,Cload=220pF 出力電圧±2%に収束する時間	—	—	(1.5)	μs	(括弧)内 は設計値
同相入力範囲	AMPV_P, AMPV_P, AMPW_P, AMPV_N, AMPV_N, AMPW_N	Comvin	AMP*_P と AMP*_N をショ ート状態にして、アンプ出力が ゲインエラー±1%を確保でき る入力範囲	-0.5	—	2.0	V	—
PSRR	VCC_OP	Psrrop	VCC_OP に 1KHz を入力、但 し VREF の影響は除く	—	(60)	—	dB	(括弧)内 は設計値
CMRR	AMPV_P, AMPV_P, AMPW_P, AMPV_N, AMPV_N, AMPW_N, AMPV_O, AMPV_O, AMPW_O	Cmrrop	Gain=15, Comvin=200mVp-p,100KHz	(80)	(100)	—	dB	(括弧)内 は設計値
オフセットキャ リブレーション 時間	—	Tampofscal	—	—	—	108	μs	—

- ・ アンプ構成は Fig. 9-g の極性で使用してください。
- ・ (括弧)表記の規格は、設計値であり出荷テストは実施していません。

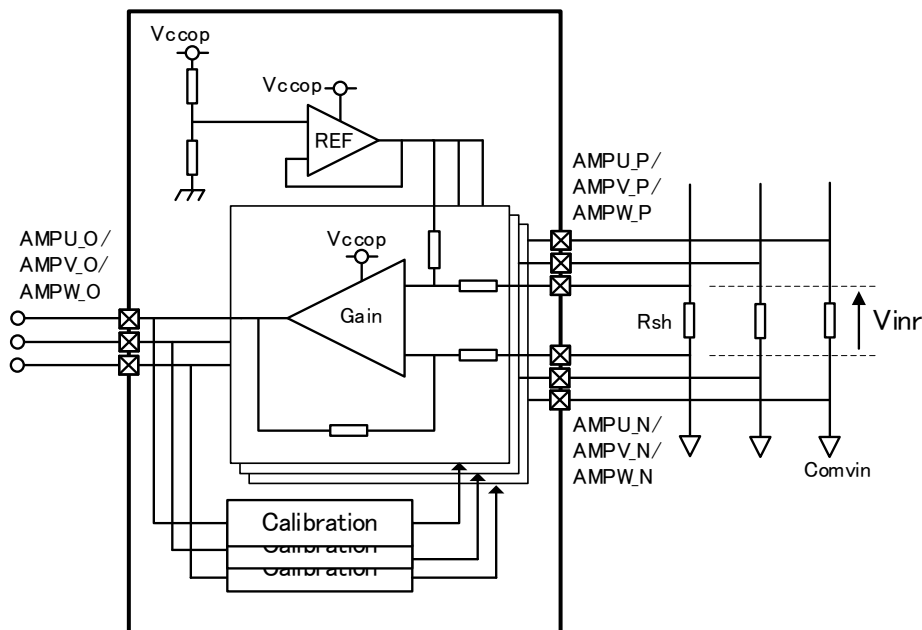


Fig.9-g 測定回路図

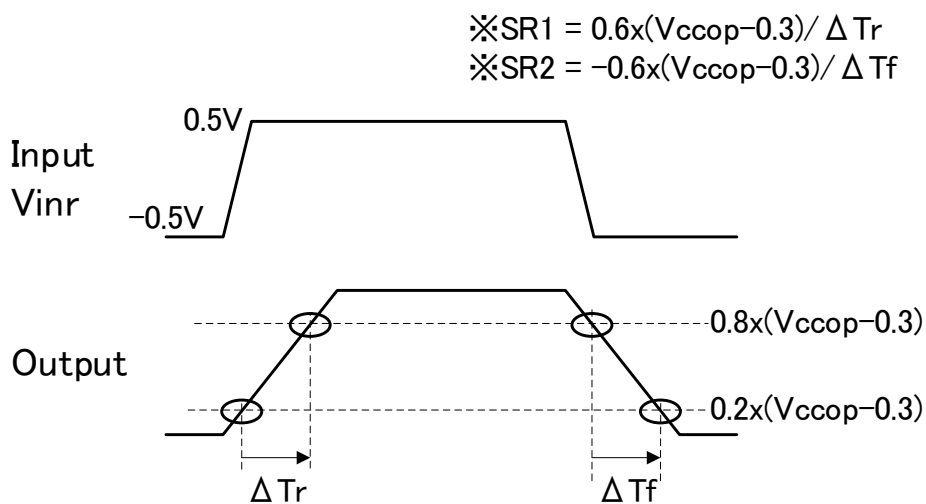


Fig.9-h スルーレートタイミングチャート

発振回路

特に指定がない場合、Vb=4.5~28V、Vcc=3.0~5.5V、Tj=-40~175°C

項目	適用端子	記号	測定条件	Min	Typ.	Max	単位	備考
内部発振周波数	—	Fc	—	2.6	4	5.4	MHz	—
監視用周波数	—	Fcsm	—	2.6	4	5.4	MHz	—

異常検出回路

特に指定がない場合、Vb=4.5~28V、Vcc=3.0~5.5V、Tj=-40~175°C

項目	適用端子	記号	測定条件	Min	Typ.	Max	単位	備考
VCC 低電圧検出しきい値 1, 2	VCC	Vthcll1, Vthcll2	—	2.55	2.75	2.95	V	—
VCC 低電圧検出解除しきい値 1, 2		Vthclh1, Vthclh2	—	2.65	2.85	3.05	V	—
VCC 低電圧応答時間	VCC	Tcl	—	10	20	40	μs	—
VB 低電圧検出しきい値	VB	Vthbll	—	3.6	3.9	4.2	V	—
VB 低電圧検出解除しきい値		Vthblh	—	3.9	4.2	4.5	V	—
VB 低電圧検出フィルター時間		Tbl	—	12	20	34	μs	—
VCPH 高電圧検出しきい値	VCPH	Vthcphhh	—	53.0	56.0	59.0	V	—
VCPH 高電圧検出解除しきい値		Vthcphhl	—	52.0	55.0	58.0	V	—
VCPH 高電圧検出フィルター時間		Tcphh	—	12	20	34	μs	—
VCC 高電圧検出しきい値	VCC	Vthchh	—	5.5	5.75	6.0	V	—
VCC 高電圧検出解除しきい値		Vthchl	—	5.4	5.65	5.9	V	—
VCC 高電圧検出フィルター時間	VCC	Tch	—	12	20	34	μs	—
VCC_OP 低電圧検出しきい値	VCC_OP	Vthccopl	—	2.55	2.75	2.95	V	—
VCC_OP 低電圧検出解除しきい値		Vthccoph	—	2.65	2.85	3.05	V	—
VCC_OP 低電圧検出フィルター時間	VCC_OP	Tccopl	—	12	20	34	μs	—
VCC_OP 高電圧検出しきい値	VCC_OP	Vthccophh	—	5.5	5.75	6.0	V	—
VCC_OP 高電圧検出解除しきい値		Vthccophl	—	5.4	5.65	5.9	V	—
VCC_OP 高電圧検出フィルター時間	VCC_OP	Tccoph	—	12	20	34	μs	—
過熱検出温度	—	Tsdh	—	(175)	(195)	(215)	°C	(括弧)内は設計値
過熱検出解除		Tsdl	—	(165)	(185)	(205)	°C	(括弧)内は設計値
過熱検出フィルター時間		Ttsd	—	(12)	(20)	(34)	μs	(括弧)内は設計値
外部 MOSFET の VDS 検出入力電流 1	HUS, HVS, HWS	I_vds1_Roff	VB=HS=H*S=13.5V, H*I=Lo	-650	-400	-250	μA	—
		I_vds1_Ron	VB=HS=H*S=13.5V,H*I=Lo 外部 MOSFET 検査モード時	4.5	6.8	8.5	mA	—
外部 MOSFET の VDS 検出入力電流 2	HUS, HVS, HWS	I_vds2_Roff	VB=HS=13.5V H*S=0V,H*I=Lo	-650	-450	-250	μA	—
		I_vds2_Ron	VB=HS=13.5V H*S=0V, H*I=Lo 外部 MOSFET 検査モード時	-8.5	-6.8	-4.5	mA	—
中点電圧分圧比	HUS, HVS, HWS	Ratio_div	外部 MOSFET 検査モード時	0.4	0.5	0.6	—	—
BIST 時間	—	Tbist	—	—	2.6	4	ms	—

- ・ (括弧)表記の規格は設計値であり、出荷テストは実施していません。
- ・ Vcc 低電圧検出電圧よりもさらに Vcc が低下すると、スタンバイ状態となります。
- ・ 低電圧検出(VB, VCC, VCC_OP)、高電圧検出(VCPH, VCC, VCC_OP)、過熱検出回路にはヒステリシスを備えています。

特に指定がない場合、Vb=4.5~28V、Vcc=3.0~5.5V、Tj=-40~175°C

項目	適用端子	記号	測定条件	Min	Typ.	Max	単位	備考
外部 MOSFET の VDS 検出 ハイサイドフィルタ- 時間	-	Fil_vdsh0	HS=4.5~28V	3.9	6	8.1	μs	fil_vdsh="00"
		Fil_vdsh1		5.2	8	10.8	μs	fil_vdsh="01"
		Fil_vdsh2		6.5	10	13.5	μs	fil_vdsh="10"
		Fil_vdsh3		7.8	12	16.2	μs	fil_vdsh="11"
外部 MOSFET の VDS 検出 ローサイドフィルタ- 時間	-	Fil_vdsl0	HS=4.5~28V	3.9	6	8.1	μs	fil_vdsl="00"
		Fil_vdsl1		5.2	8	10.8	μs	fil_vdsl="01"
		Fil_vdsl2		6.5	10	13.5	μs	fil_vdsl="10"
		Fil_vdsl3		7.8	12	16.2	μs	fil_vdsl="11"
外部 MOSFET の VDS 検出 ハイサイド電圧しきい値	HS, HUS, HVS, HWS	Vth_vdsh0	HS=4.5~28V	0.04	0.1	0.16	V	vth_vdsuh="0000", vth_vdsvh="0000", vth_vdswh="0000"
		Vth_vdsh1	HS=4.5~28V	0.14	0.2	0.26	V	vth_vdsuh="0001", vth_vdsvh="0001", vth_vdswh="0001"
		Vth_vdsh2	HS=4.5~28V	0.24	0.3	0.36	V	vth_vdsuh="0010", vth_vdsvh="0010", vth_vdswh="0010"
		Vth_vdsh3	HS=4.5~28V	0.34	0.4	0.46	V	vth_vdsuh="0011", vth_vdsvh="0011", vth_vdswh="0011"
		Vth_vdsh4	HS=4.5~28V	0.44	0.5	0.56	V	vth_vdsuh="0100", vth_vdsvh="0100", vth_vdswh="0100"
		Vth_vdsh5	HS=4.5~28V	0.54	0.6	0.66	V	vth_vdsuh="0101", vth_vdsvh="0101", vth_vdswh="0101"
		Vth_vdsh6	HS=4.5~28V	0.63	0.7	0.77	V	vth_vdsuh="0110", vth_vdsvh="0110", vth_vdswh="0110"
		Vth_vdsh7	HS=4.5~28V	0.72	0.8	0.88	V	vth_vdsuh="0111", vth_vdsvh="0111", vth_vdswh="0111"
		Vth_vdsh8	HS=4.5~28V	0.81	0.9	0.99	V	vth_vdsuh="1000", vth_vdsvh="1000", vth_vdswh="1000"
		Vth_vdsh9	HS=4.5~28V	0.9	1.0	1.1	V	vth_vdsuh="1001", vth_vdsvh="1001", vth_vdswh="1001"
		Vth_vdshA	HS=4.5~28V	0.99	1.1	1.21	V	vth_vdsuh="1010", vth_vdsvh="1010", vth_vdswh="1010"
		Vth_vdshB	HS=4.5~28V	1.08	1.2	1.32	V	vth_vdsuh="1011", vth_vdsvh="1011", vth_vdswh="1011"

- ・ VDS 検出しきい値電圧(ハイサイド)は、IC 端子の HS-H*S 間電圧で規定しています。
- ・ VDS 検出しきい値電圧(ローサイド)は、IC 端子の H*S-L*S 間電圧で規定しています。
- ・ *は U, V, W。

特に指定がない場合、Vb=4.5~28V、Vcc=3.0~5.5V、Tj=-40~175°C

項目	適用端子	記号	測定条件	Min	Typ.	Max	単位	備考
外部 MOSFET の VDS 検出ローサイド電圧しきい値	HUS, HVS, HWS, LUS, LVS, LWS	Vth_vdsl0	HS=4.5~28V	0.04	0.1	0.16	V	vth_vdsul="0000", vth_vdsvl="0000", vth_vdswl="0000"
		Vth_vdsl1	HS=4.5~28V	0.14	0.2	0.26	V	vth_vdsul="0001", vth_vdsvl="0001", vth_vdswl="0001"
		Vth_vdsl2	HS=4.5~28V	0.24	0.3	0.36	V	vth_vdsul="0010", vth_vdsvl="0010", vth_vdswl="0010"
		Vth_vdsl3	HS=4.5~28V	0.34	0.4	0.46	V	vth_vdsul="0011", vth_vdsvl="0011", vth_vdswl="0011"
		Vth_vdsl4	HS=4.5~28V	0.44	0.5	0.56	V	vth_vdsul="0100", vth_vdsvl="0100", vth_vdswl="0100"
		Vth_vdsl5	HS=4.5~28V	0.54	0.6	0.66	V	vth_vdsul="0101", vth_vdsvl="0101", vth_vdswl="0101"
		Vth_vdsl6	HS=4.5~28V	0.63	0.7	0.77	V	vth_vdsul="0110", vth_vdsvl="0110", vth_vdswl="0110"
		Vth_vdsl7	HS=4.5~28V	0.72	0.8	0.88	V	vth_vdsul="0111", vth_vdsvl="0111", vth_vdswl="0111"
		Vth_vdsl8	HS=4.5~28V	0.81	0.9	0.99	V	vth_vdsul="1000", vth_vdsvl="1000", vth_vdswl="1000"
		Vth_vdsl9	HS=4.5~28V	0.9	1.0	1.1	V	vth_vdsul="1001", vth_vdsvl="1001", vth_vdswl="1001"
		Vth_vdslA	HS=4.5~28V	0.99	1.1	1.21	V	vth_vdsul="1010", vth_vdsvl="1010", vth_vdswl="1010"
		Vth_vdslB	HS=4.5~28V	1.08	1.2	1.32	V	vth_vdsul="1011", vth_vdsvl="1011", vth_vdswl="1011"
外部 MOSFET の VGS 過電圧検出電圧	HUO, HVO, HWO, HUS, HVS, HWS, LUO, LVO, LWO, LUS, LVS, LWS	Vth_vgsh	—	15.5	17.5	19.5	V	—
外部 MOSFET の VGS 過電圧解除電圧	HUO, HVO, HWO, HUS, HVS, HWS, LUO, LVO, LWO, LUS, LVS, LWS	Vth_vgsl	—	14.5	16.5	18.5	V	—

項目	適用端子	記号	測定条件	Min	Typ.	Max	単位	備考
外部 MOSFET の VGS 過電圧検出フィルタ一時間	—	Fil_vgs	—	5.2	8	10.8	μs	—
NDIAG 出力電圧	NDIAG	Voh	Ioh = -5mA	0.9×Vcc	—	—	V	—
		Vol	Iol = 5mA	—	—	0.1×Vcc	V	—
L 保持電圧	NDIAG	Vlk	Vcc=1.1V~Vthcll Iol = 100μA	0	—	0.3	V	Fig. 9-i 参照
周波数相互比較異常検出係数	—	Kfreqdet	OSC_IF<12MHz OSC_SM<12MHz	—	2.1	—	A.U. 注	OSC_IF[MHz]/OSC_SM[MHz] 及び OSC_SM[MHz]/OSC_IF[MHz]

- ・ VDS 検出しきい値電圧(ハイサイド)は、IC 端子の HS-H*S 間電圧で規定しています。
- ・ VDS 検出しきい値電圧(ローサイド)は、IC 端子の H*S-L*S 間電圧で規定しています。
- ・ *は U, V, W。
- ・ HS<4.5V では VDS 検出 (ハイサイド)及び(ローサイド)が正常に動作しない可能性があります。

注 A.U.とは Arbitrary Unit(任意単位)の略です。

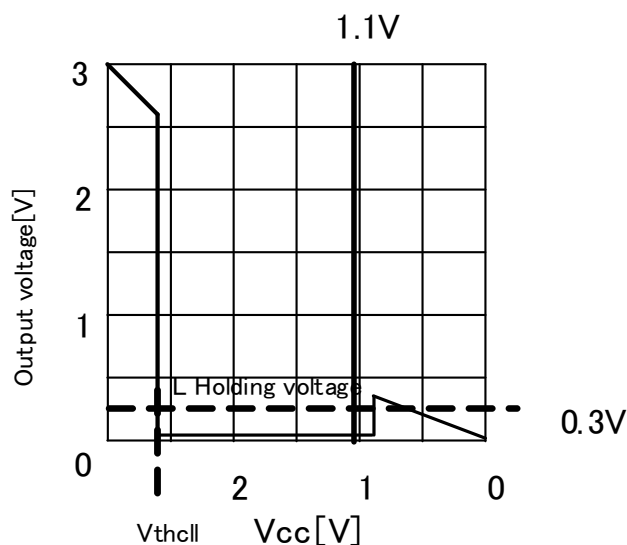


Fig. 9-i L 保持電圧

ALARM 入力回路

特に指定がない場合、Vb=4.5~28V、Vcc=3.0~5.5V、Tj=-40~175°C

項目	適用端子	記号	測定条件	Min	Typ.	Max	単位	備考
High レベル 入力電流	ALARM	lih	Vcc = 5.0V, Vin = 5.0V	50	100	200	μA	—
Low レベル 入力電流		lil	Vcc = 5.0V, Vin = 0V	-5	—	5	μA	—
High レベル 入力検出電圧	ALARM	Vih	—	0.75×Vcc	—	—	V	—
Low レベル 入力検出電圧		Vil	—	—	—	0.25×Vcc	V	—
入力検出 パルス幅	ALARM	Twmin0	High,Low レベル検出	16.25	—	—	μs	fil_alm="00" $16 \times 2^2 \times (1/4\text{MHz}) + (1/4\text{MHz})$
		Twmin1		1.00025	—	—	ms	fil_alm="01" $1000 \times 2^2 \times (1/4\text{MHz}) + (1/4\text{MHz})$
		Twmin2		2.00025	—	—	ms	fil_alm="10" $2000 \times 2^2 \times (1/4\text{MHz}) + (1/4\text{MHz})$
		Twmin3		4.00025	—	—	ms	fil_alm="11" $4000 \times 2^2 \times (1/4\text{MHz}) + (1/4\text{MHz})$
入力除去 パルス幅	ALARM	Twmax0	High,Low レベル検出	—	—	14.75	μs	fil_alm="00" $15 \times 2^2 \times (1/4\text{MHz}) - (1/4\text{MHz})$
		Twmax1		—	—	0.99875	ms	fil_alm="01" $999 \times 2^2 \times (1/4\text{MHz}) - (1/4\text{MHz})$
		Twmax2		—	—	1.99875	ms	fil_alm="10" $1999 \times 2^2 \times (1/4\text{MHz}) - (1/4\text{MHz})$
		Twmax3		—	—	3.99875	ms	fil_alm="11" $3999 \times 2^2 \times (1/4\text{MHz}) - (1/4\text{MHz})$

- ・ 入力検出パルス幅(Twmin)とはデジタルフィルターを通過して出力に現れるパルスの幅を、入力除去パルス幅(Twmax)とはデジタルフィルターによって除去されるパルスの幅を意味します (Fig. 9-j)。
- ・ ALARM デジタルフィルター設定:(1/4MHz)=250[ns]として算出

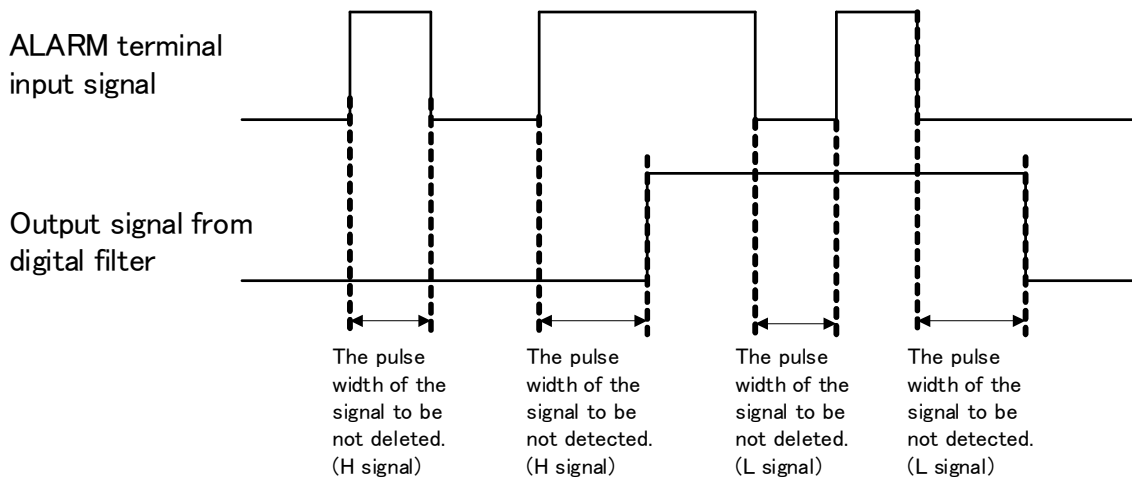


Fig.9-j 入力除去パルス幅(フィルター有り)と入力検出パルス幅(フィルター有り)

SPI 通信回路

SPI 通信仕様 (AC)

特に指定がない場合、Vb=4.5~28V、Vcc=3.0~5.5V、Tj=-40~175°C

項目	適用端子	記号	測定条件	Min	Typ.	Max	単位	備考
NSCS 立ち下がり-SO 遅延時間	NSCS, SO	Tcsdo	Cload=100pF	—	—	100	ns	NSCS 立ち下がりから SO の HiZ 解除までの時間
有効待機時間	NSCS, SCLK	Tcsck	Fop = 2MHz	100	—	—	ns	NSCS 立ち下がりから SCLK 立ち上がりまでの時間
無効待機時間	SCLK, NSCS	Tckcs	—	100	—	—	ns	最後の SCLK 立ち下がりから NSCS 立ち上がりまでの時間
SI 設定時間	SI, SCLK	Tdick	—	50	—	—	ns	SI データセットアップ時間
SI 保持時間	SI, SCLK	Tckdi	—	50	—	—	ns	SI データホールド時間
SO 有効時間	SCLK, SO	Tckdo	Cload=100pF	—	—	100	ns	SCLK 立ち上がりから SO データ出力までの時間
NSCS 無効時間	NSCS	Tcsh	—	2	—	—	μs	NSCS 立ち上がりから NSCS 立ち下がりまでの時間
SO-NSCS 立ち上がり遅延時間	NSCS, SO	Tdocs	Cload=100pF	—	—	100	ns	NSCS 立ち上がりから SO が HiZ になるまでの時間
通信周波数	SCLK	Fop	—	—	—	2	MHz	—

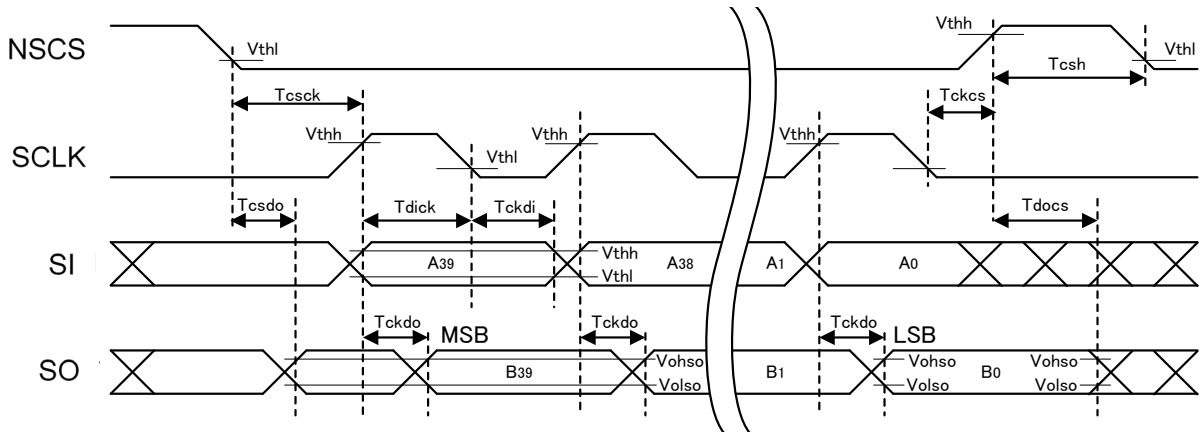


Fig. 9-k SPI タイミングチャート

SPI 通信仕様 (DC)

特に指定がない場合、Vb=4.5~28V、Vcc=3.0~5.5V、Tj=-40~175°C

項目	適用端子	記号	測定条件	Min	Typ.	Max	単位	備考
High レベル入力電圧	SI, SCLK, NSCS	Vthh	-	0.75× Vcc	-	-	V	-
Low レベル入力電圧		Vthl		-	-	0.25× Vcc	V	-
High レベル入力電流	NSCS	lih	Vcc = 5.0V, Vin = 5.0V	-5	-	5	μA	-
Low レベル入力電流		lil	Vcc = 5.0V, Vin = 0V	-200	-100	-50	μA	-
High レベル入力電流	SI, SCLK	lih	Vcc = 5.0V, Vin = 5.0V	50	100	200	μA	-
Low レベル入力電流		lil	Vcc = 5.0V, Vin = 0V	-5	-	5	μA	-
High レベル出力電圧	SO	Vohso	Iohso = -5mA	0.9× Vcc	-	-	V	-
Low レベル出力電圧		Volso	Iolso = 5mA	-	-	0.1× Vcc	V	-

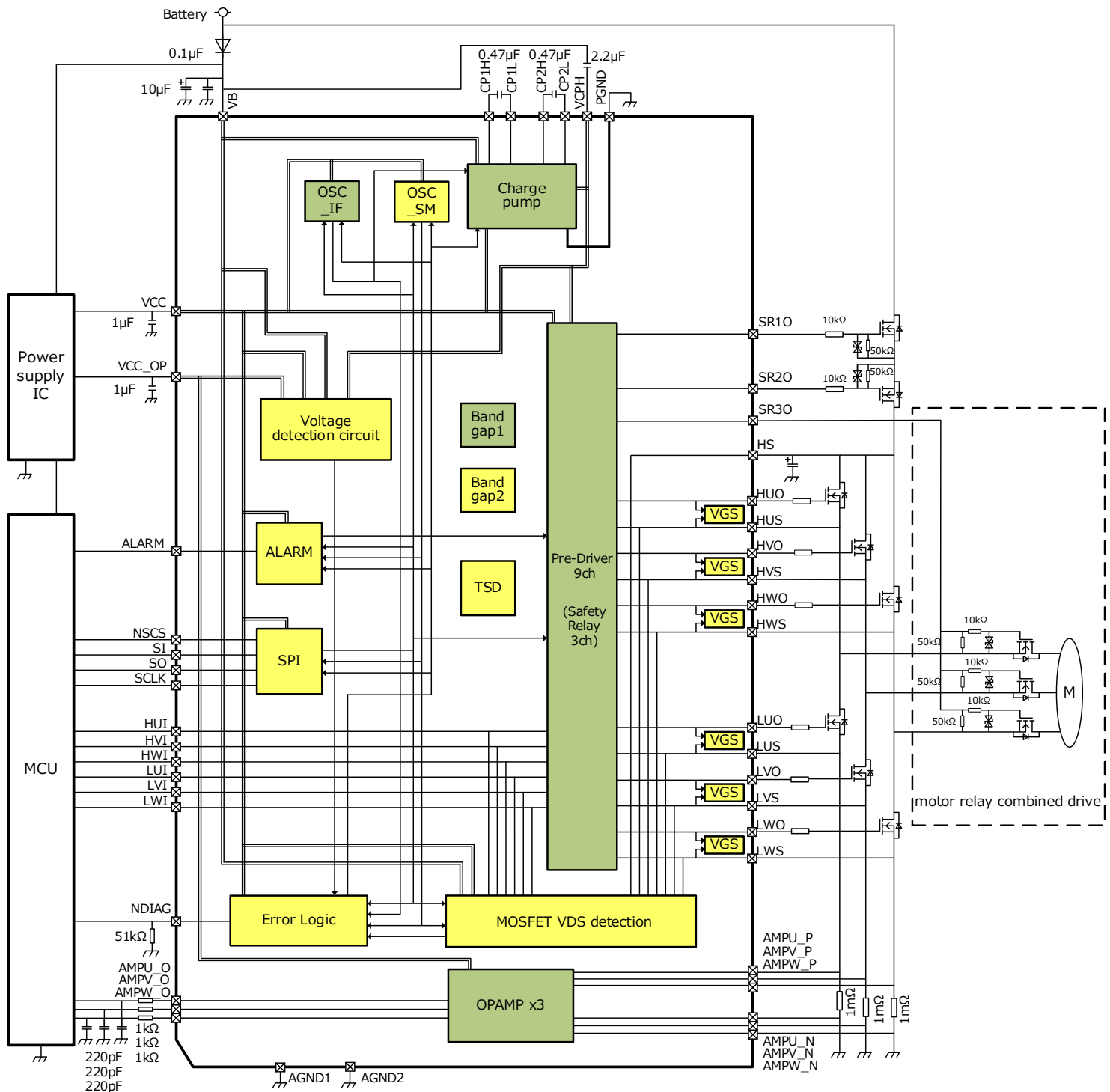
QA タイマー

特に指定がない場合、Vb=4.5~28V、Vcc=3.0~5.5V、Tj=-40~175°C

項目	適用端子	記号	測定条件	Min	Typ.	Max	単位	備考
タイムアウト時間	-	Tqa0	-	0.65	1	1.36	ms	-
		Tqa1		1.3	2	2.72	ms	-
		Tqa2		2.6	4	5.44	ms	-
		Tqa3		5.2	8	10.88	ms	-

10. 応用回路例

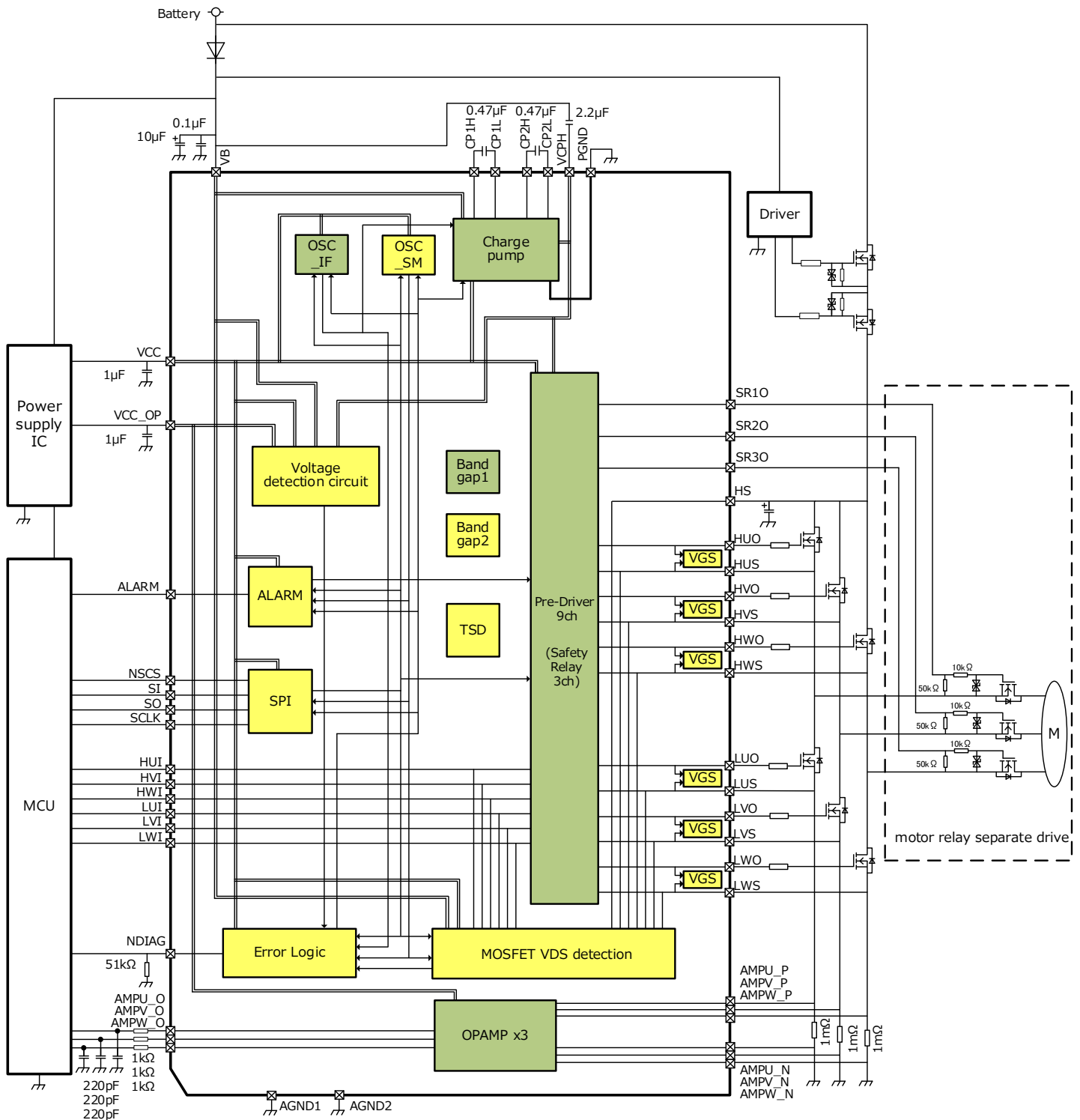
モーターリレー一括駆動時



《ユーザー注意事項》

- ・これらの回路定数は、応用回路例であり、保証されるものではありません。
ユニット基板上で使用環境を想定した条件で、評価・確認を十分に実施した上で、外付け回路を決定してください。
- ・電源端子(VB, VCC, VCC_OP, VCPH)に外付けする平滑コンデンサーは、極力ICの根本付近に配置してください。
- ・AGND1, 2とPGNDはユニット基板上でベタGND(同電位±0.3V)としてください。
- ・ユニット設計の際には、各ブロックの注意事項にも配慮してください。
- ・誤装着はしないでください。ICの破壊、機器の損傷を招くおそれがあります。

モーターリレー個別駆動時



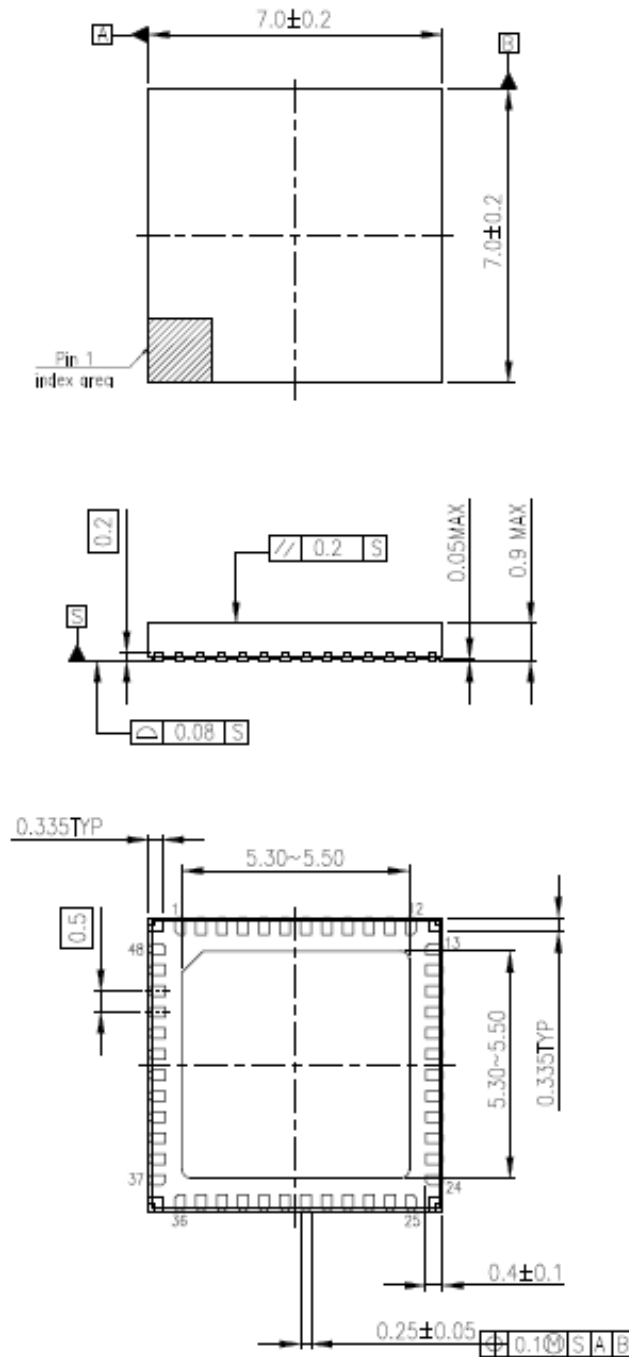
《ユーザー注意事項》

- ・これらの回路定数は、応用回路例であり、保証されるものではございません。
ユニット基板上で使用環境を想定した条件で、評価・確認を十分に実施した上で、外付け回路を決定してください。
- ・電源端子(VB, VCC, VCC_OP, VCPH)に外付けする平滑コンデンサは、極力 IC の根本付近に配置してください。
- ・AGND1, 2 と PGND はユニット基板上でベタ GND(同電位±0.3V)としてください。
- ・ユニット設計の際には、各ブロックの注意事項にも配慮してください。
- ・誤装着はしないでください。IC の破壊、機器の損傷を招くおそれがあります。

11. 外形図

Package dimensions
P-VQFN48-0707-0.50-005

"Unit:mm"



Rev01

Before creating and producing designs and using, customers must also refer to and comply with the latest versions of all relevant TOSHIBA ELECTRONIC DEVICES & STORAGE CORPORATION information and the instructions for the application that Product will be used with or for.

質量: 137.9mg(標準)

12. 変更履歴

仕様書 Ver	仕様変更内容	作成・変更日
0.1	新規作成	2019/8/8
0.2	7.2 プリドライバ回路 中点抵抗のスイッチを図に追加 7.5.8DS 検出ブロック図の修正(中点抵抗のスイッチを追加) 検出状態表を修正 タイミングチャートの信号名を修正。 8 絶対最大定格 HUS,HVS,LWS の入力電圧の規定を追加 HUO,HVO,HWO の出力電圧の規定を追加	2019/8/8
0.3	7.5.11,7.9.2,7.9.3.18,7.9.3.19,7.9.3.20QA タイマー機能関連項目を更新	2019/8/19
0.4	7.3.7.9.3.15 電流検出回路関連項目を更新	2019/8/28
0.5	Fig. 7.9-f, Fig. 7.9-iQA タイマー Start コマンド受領時の seq_counter 値を修正 表 7.9-a, Fig. 7.9-iseq_counter が err_qac_cl でクリアされないように修正。 7.9.3.18 レジスター設定は start コマンド受領時の値を使用することを明記	2019/09/02
0.6	表 7.7-a、表 7.7-b チャージポンプ、プリドライバの ABIST に関連した動作を更新 表 7.2-禁止入力に関する真理値表を更新。0 禁止入力に関するレジスター説明を更新。 7.1.9 チャージポンプ電流制限についての記述を追加。 7.3.2,7.9.3.15,7.9.3.16 電流検出アンプオフセットキャリブレーションに関する説明を更新。	2019/09/03
0.7	Fig. 7.5.8-a プリドライバが disable されている期間で VDS 検出を無効にすることを明記。 7.2 リレー制御出力を電源リレーに使用する場合は、シリーズ抵抗値に制限が無いことを明記。	2019/09/05
0.8	7.8 外部 FET、リレーの初期診断回路について記載 7.9.3.23-7.9.3.26 外部 FET、リレーの初期診断に関するレジスターを追加 7.9.3 レジスターマップ更新	2019/9/20
0.9	7.9.3.23 typeC の記述を Type D に修正 7.9.3.23fet_test_manual ビットを追加 7.8.3FET のマニュアル検査説明を修正 7.9.3.9 エラー! 参照元が見つかりません。電流値の設定幅を変更。 9SPI 通信回路 NSCS 無効期間を 2us に修正 Fig. 7.8-c、Fig. 7.8-d、Fig. 7.8-e、Fig. 7.8-f 中点電圧生成抵抗 ON 後の待機時間の存在を明示	2019/9/27
0.10	モーターリレーのアプリケーションを変更	2019/12/19
1.0	7.2.プリドライバ回路 電流駆動方式の説明を削除 Fig.7.2a 及び b をクランプ回路削除。Gate 抵抗付加 7.9.3 レジスターマップ HS_ISEL ith_puh/ith_pdh 削除 LS_ISEL ith_pul/ith_pdl 削除 HS_ISEL→T_ILIMに変更 T_ILIM の表に 32µs 及び制限時間無しについて注意書きを追加 11.電气的特性 ・消費電流 スタンバイ電流(Vb)/消費電流(Vb)/消費電流(Vcc)/消費電流(Vccop)を設定 ・チャージポンプ回路 Vcph1:Vb=4.5~7V 出力負荷=TBD(8500pF)→Vb=4.5~5.5V 出力負荷=28mA Min:Vb+5.5→Vb+5.3 Vcph2:Vb=5.5~7V 出力負荷=34mA(15000pF)→28mA Vcph3:Vb=7~28V 出力負荷=34mA(15000pF)→28mA Typ.:Vb+14→Vb+11 Max.:Vb+16.5→Vb+12 電流制限を削除 動作周波数を追加 ・プリドライバ回路 出力電圧 1 Voh1 測定条件: H*O-H*S 間電圧→H*O-AGND 間電圧 min.(Vcph-0.3)/max.Vcph に変更 出力電圧 2 min.(6.7)/max.(12)に変更 ハイサイドプルアップ電流 1~7→削除 ハイサイドプルダウン電流 1~7→削除 ローサイドプルアップ電流 1~7→削除 ローサイドプルダウン電流 1~7→削除 出力抵抗 1/出力抵抗 2 を設定	2020/09/18

仕様書 Ver	仕様変更内容	作成・変更日
	Turn on 入力伝搬遅延時間 min:50→20ns に変更 Turn off 入力伝搬遅延時間 min:100→20ns に変更 外部 MOSFET の VDS 検出力電流 1 min.-850 typ.-650 max. -450μA に設定 外部 MOSFET の VDS 検出力電流 2 min.5 typ.6.8 max.7.6mA に設定 外部 MOSFET の VGS 過電圧検出電圧 min.15.5V typ.17.5V に設定 外部 MOSFET の VGS 過電圧検出解除電圧 min. 14.5 typ.16.5 max.18.5V に設定 ・ 応用回路例→Gate 抵抗付加	
1.1	7.2.プリドライバ—回路 Fig.7.2a 及び b をクランプ回路復活 10. 絶対最大定格 (Ta = 25°C) 入力電圧 HS : -0.3~Vb+0.3 → -18~Vb+0.3 に変更 11.電気的特性 ・ チャージポンプ回路 動作周波数更新、プリチャージ時間、プリドライバインープル時間を追加 Fig. 10 b チャージポンプ回路タイミングチャートを更新 ・ プリドライバ 出力電圧 1→Voh1 の Vb=7.0~28V を追加、Voh1_2 を追加 出力電圧 1 Voh1 測定条件 : H*O-AGND 間電圧→H*O-H*S 間電圧 出力電圧 2→測定条件 L*S=0V 追加 ・ 異常検出回路 BIST 時間を追加	2020/11/9
1.2	7.1 チャージポンプ 説明文の動作周波数を削除(動作周波数は Ver.1.1 にて電気的特性に規定済)。 11.電気的特性 ・ プリドライバ 出力抵抗 1/2 : 仮値を設定	2021/4/26
1.3	7.2 プリドライバ—回路→電流制限機能の説明文の誤記訂正 7.5.8. 外部 MOSFET の VDS 検出機能 タイミングチャートのフィルタ記号の誤記訂正 Fig. 7.9.3-a ショート検出タイミングチャート (レジスター : vds_l_op = vdsh_op "0010"時) Fig. 7.9.3-b ショート検出タイミングチャート (レジスター : vds_l_op = vdsh_op "0100"時) Fig. 7.5.8 h ショート検出タイミングチャート (レジスター : vds_l_op = vdsh_op "0110"時) Fig. 7.9.3-c ショート検出タイミングチャート (レジスター : vds_l_op = vdsh_op "1000"時) を更新 7.5.9. 外部 MOSFET の VGS 過電圧検出機能 Fig. 7.9.3-d VGS 過電圧検出動作図 を更新 7.7 ABIST/LBIST 機能 Fig. 7.7 b ABIST タイミングチャート→*2 の説明文を更新 「LBIST スタート時に VB 低電圧検出及び VCC 低電圧検出が解除されておりませんと BIST の結果が異常となります。」 7.9.3. レジスタマップ 7.9.3.2. OPSEL2 Write Address=04h / Read Address=84h→注 1 追加 7.9.3.11. FET_OPSEL Write Address=24h / Read Address=A4h→注 1 及び注 2 を追加 7.9.3.15. AMP_CTRL Write Address=40h / Read Address=C0h→gain_amp_u/v/w "101"=30→27.5 倍に変更 "110"=27.5 倍を追記 "111"=1 →27.5 倍に変更 10. 絶対最大定格 (Ta = 25°C) 許容損失及び熱抵抗を更新。 11.電気的特性 電流検出回路 GAIN 30 倍→27.5 倍に変更 スルーレート VCC_OP=5V 及び 3.3V で記載を分けて更新 同相入力範囲 min:-1.8V→-0.5V max:2.0V→0.5V に変更	2021/10/06
1.4	7.3.3. ゲイン 1 倍での出力電圧確認 → 内容を削除 7.9.3 レジスタマップ 7.9.3.9. T_ILIM →表に 32μs について注意書きを削除 7.9.3.28. DUMMY を追記 絶対最大定格 (Ta = 25°C) VCPH -0.3~40(DC),40~60(≤1s) から-0.3~44.5(DC),44.5~60(≤1s)に変更 入力電圧 : HUS, HVS, HWS -7~ Vb+0.3 から -7~ Vcph+0.3 に変更 LUS, LVS, LWS -7~ Vb+0.3 から -7~ Vcph+0.3 に変更	2022/08/18

仕様書 Ver	仕様変更内容	作成・変更日
	<p>入力電圧 : LUO, LVO, LWO -7~Vcpl+0.3 から -7~Vcph+0.3 に変更 Vout4 ≤ 20V から Vout4 ≤ 60V に変更</p> <p>入力電流: HUS, HVS, HWS lin1 : 1.2A AMPU_P, AMPV_P, AMPW_P, AMPU_N, AMPV_N, AMPW_N lin2 : -0.5~2mA</p> <p>出力電流 : HUO, HVO, HWO, LUO, LVO, LWO Iout1 : -10~20mA Iout2 : -1A AMPU_O, AMPV_O, AMPW_O Iout3 : ±5mA NDIAG, SO : Iout4 : ±10mA</p> <p>電気的特性</p> <p>消費電流 消費電流(Vb) Ib1/ Ib2/ Ib3→プリドライバ出力負荷 : Rload=0Ω、Clad=15000pF Safety Relay 出力負荷 : Rload=1.5kΩ、Clad=15000pF を追記</p> <p>プリドライバ回路 出力抵抗 : SR10/SR20/SR30 Max 600Ω から 650Ω に変更 出力抵抗 1 : HUO, HVO, HWO Rohh Max 12Ω 出力抵抗 2 : LUO, LVO, LWO Rohh Max 12Ω Fig. 10 d 測定回路図 (ハイサイド/ローサイド) Rload=10Ω Fig. 10 e 測定回路図測定回路図 (セーフティリレー) を削除 Fig. 10 f 出力電流切替時間、入力伝搬遅延時間タイミングチャート→スイッチ制御に更新</p> <p>電流検出回路 セトリングタイム 測定条件に Rload=1kΩ, Clad=220pF 出力電圧±2%に収束する時間を追記 同相入力範囲 測定条件に AMP*_P と AMP*_N をショート状態にして、アンプ出力がゲインエラー±1%を確保できる入力範囲を追記 及び max. を 2.0V に変更 PSRR 測定条件を「VCC_OP に 1KHz を入力、但し VREF の影響は除く」、min を「-」に更新 CMRR 測定条件を「Gain=15, Comvin=200mVp-p, 1KHz」追記 min を「-」に更新</p> <p>異常検出回路 外部 MOSFET の VDS 検出入力電流 1 I_vds1_Roff min:-650 typ:-400 max:-250 I_vds1_Ron min:4.5 typ:6.8 max:8.5 VDS 検出入力電流 2 I_vds2_Roff min:-650 typ:-450 max:-250 I_vds2_Ron min:-8.5 typ:-6.8 max:-4.5 中点電圧生成成分分圧抵抗電流比→中点電圧分圧比として規定 min. 0.4 typ. 0.5 max. 0.6</p> <p>応用回路例 外部素子の定数を追加</p>	
1.5	<p>絶対最大定格 (Ta = 25°C) 入力電圧 HUS, HVS, HWS→HUO-HUS, HVO-HVS, HWO- HWS 間の電圧 ≤ 40V を追記 入力電圧 LUS, LVS, LWS→LUO-LUS, LVO-LVS, LWO- LWS 間の電圧 ≤ 40V を追記 出力電圧 HUO, HVO, HWO→HUO-HUS, HVO-HVS, HWO- HWS 間の電圧 ≤ 40V を追記 出力電圧 LUO, LVO, LWO→LUO-LUS, LVO-LVS, LWO- LWS 間の電圧 ≤ 40V を追記 入力電圧 AMPU_P, AMPV_P, AMPW_P, AMPU_N, AMPV_N, AMPW_N -7~Vb+0.3(DC)→-7~28(DC), 28~40(≤1s)に更新 Vin5 ≤ 28V を削除</p> <p>電気的特性 表の項目 定格→動作電圧範囲 に変更 動作電圧範囲 欄外に「・本製品は Vb<3.6V にて常時ご使用になることは推奨されません。」を追記</p> <p>チャージポンプ Fig. 10 b チャージポンプ回路タイミングチャート NDIAG→Hi のタイミングは D_PRED_EN→Hi のタイミングに変更。</p> <p>プリドライバ回路 出力電圧 1 Voh1_2 の測定条件を更新「H*O-H*S 間電圧 H*S=0V」を追記 出力電圧 2 Vol2 の測定条件を更新「L*S=0V」を追記</p>	2022-10-31

仕様書 Ver	仕様変更内容	作成・変更日
	<p>出力抵抗 1 Rohh の測定条件を更新「Iload = -50 mA」に更新 出力抵抗 2 Rolh の測定条件を更新「Iload = -50 mA」に更新</p> <p>出力抵抗 : SR10/SR20/SR30 Min. 400Ω から 350Ω に変更 Max 650Ω から 750Ω に変更 測定回路の Fig.10-e の参照コメントを削除</p> <p>電流検出回路 GAIN : Gain5 typ.27.5→27.4 に変更(レジスタマップ AMP_CTRL も合わせて更新) Fig10-i スルーレートタイミングチャート Output を修正</p> <p>異常検出回路 VCC_OP 高電圧検出フィルター時間→min. 13 から 12 に変更 外部 MOSFET の VDS 検出力電流 1 測定条件に「H*I=Lo」を追記 外部 MOSFET の VDS 検出力電流 2 測定条件に「H*I=Lo」を追記 外部 MOSFET の VDS 検出ハイサイド電圧しきい値→適用端子を記載 外部 MOSFET の VDS 検出ローサイド電圧しきい値→適用端子を記載 外部 MOSFET の VGS 過電圧検出電圧→適用端子を記載 外部 MOSFET の VGS 過電圧解除電圧→適用端子を記載 周波数相互比較異常検出係数 備考欄「OSC_IF[MHz]/OSC_SM[MHz]及び OSC_SM[MHz]/OSC_IF[MHz]」追記 欄外「注 A.U.とは Arbitrary Unit(任意単位)の略です。」を追記</p>	
1.6	<p>特長 AEC-Q100 の(予定)を削除し、適合。 ISO 26262 2nd edition に準拠した開発 の(予定)を削除 レジスタマップ DUMMY アドレス 7ch→7Ch に訂正。</p>	2022-11-22
1.7	<p>プリドライバ回路 禁止入力機能「真理値表を Fig. 7.2 b) →「真理値表を表 7.2 b)」に変更</p> <p>絶対最大定格→ Ta = 25°Cを削除</p> <p>電気的特性 Fig.10-* を Fig.9-*に変更</p> <p>外形図 質量: 137.9mg g(標準)に更新</p>	2023-01-20
1.8	<p>全般 図の回路図記号を新 JIS 規格に対応</p> <p>3.特長の機能安全 ISO 26262 2nd edition に従った開発。ASIL-D Capable.を記載</p> <p>7.9.3 レジスタマップ 7.9.3.14. AMP_CTRL Write Address=40h / Read Address=C0h Deleted "110"=x27.4</p> <p>8.絶対最大定格 HS 端子、-18~28(DC),28~40(≤1s)に更新 出力電流 Iout1 : ±20mA / Iout2 : ±1A に更新</p> <p>9.電気的特性 チャージポンプ回路 出力電圧 VB=4.5~5.5V 及び 5.5~7.0V での MAX 値 : 3xVB-1.5 を記載</p> <p>電流検出回路 電流検出アンプの出力電圧 1 の適用端子を訂正 以下、設計値のカッコ記載が外れている誤記を訂正 入力オフセット電圧温度特性 1、 入力オフセット電圧温度特性 2、リファレンス電圧、リファレンス 温度特性</p> <p>ALARM 入力回路 Fig.9-j Output signal from digital Filter の検出の説明の誤記を訂正 (to be not detected → to be not)</p>	2023-07-24
1.9	<p>7.5.8. 外部 MOSFET の VDS 検出機能 Fig. 7.5.8 e ショート検出タイミングチャート (レジスター: vds1_op = vdsh_op "0011"時) Fig. 7.5.8 g ショート検出タイミングチャート (レジスター: vds1_op = vdsh_op "0101"時) Fig. 7.5.8 i ショート検出タイミングチャート (レジスター: vds1_op = vdsh_op "0111"時) Fig. 7.5.8 k ショート検出タイミングチャート (レジスター: vds1_op = vdsh_op "1001"時) →fvds*ho 及び fvds*lo の記載を修正</p> <p>9. 電気的特性 Fig. 9 c チャージポンプ電圧依存性の 4.5V~7.0V の範囲の誤記を修正</p>	2024-03-08
2.0	<p>8.絶対最大定格 出力電圧 Vout2(HUO, HVO, HWO) -7~Vcph+0.3(DC)を-7~Vcph+0.6(DC)に更新</p>	2024-04-16

仕様書 Ver	仕様変更内容	作成・変更日
2.1	表 7.5 a 監視機能一覧 設定 Reg. uvccop_op→uvccop_op へ誤記訂正 ovccop_op→ovccop_op へ誤記訂正 Fig. 7.8 a 外部 FET, リレーの診断回路ブロック図 HVO 及び HWO のプルダウン抵抗の接続先の誤記を訂正 9.電気的特性 外部 MOSFET の VDS 検出ハイサイドフィルタ時間の測定条件に HS=4.5V~28V を追記 外部 MOSFET の VDS 検出ローサイドフィルタ時間の測定条件に HS=4.5V~28V を追記 外部 MOSFET の VDS 検出ハイサイド電圧しきい値の測定条件に HS=4.5V~28V を追記 外部 MOSFET の VDS 検出ローサイド電圧しきい値の測定条件に HS=4.5V~28V を追記	2024-06-25
2.2	Fig. 7.5.7-b 過熱検出タイミングチャート及び Fig. 7.5.9-c VGS 過電圧検出動作図の説明文の数字を訂正	2024-10-31

製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。

東芝デバイス&ストレージ株式会社

<https://toshiba.semicon-storage.com/jp/>