

TOSHIBA

**32 ビット TX System RISC
TX19 ファミリー
TMP19A43CD/CZXBG**

Rev2.1 2007 年 8 月 31 日

目次 TMP19A43 製品別マニュアル

1.	概要と特長	1-1
2.	ピン配置とピン機能	2-1
2.1	ピン配置図 (Top view)	2-1
2.2	ピン番号とピン名称との関係	2-2
2.3	ピン名称と機能	2-3
2.4	ピン名称と電源供給端子	2-9
2.5	ピン番号と電源供給端子	2-9
3.	プロセッサコア	3-1
3.1	リセット動作	3-1
4.	メモリマップ	4-1
1)	512KB ROM 版 TMP19A43FDXBG/TMP19A43CDXBG	4-1
2)	384KB ROM 版 TMP19A43FZXBG/TMP19A43CZXBG	4-1
5.	クロック/スタンバイ制御	5-1
5.1	クロック系統ブロック図	5-2
5.1.1	メイン・システム・クロック	5-2
5.1.2	クロックギア	5-3
5.2	CG 関連レジスタ	5-4
5.2.1	システムコントロールレジスタ	5-4
5.3	システムクロック制御部	5-5
5.3.1	発振安定時間 (NORMAL \leftrightarrow SLOW モードの切り替え)	5-5
5.3.2	システムクロックの端子出力機能	5-6
5.3.3	発振器のドライブ能力低減	5-7
5.3.4	システムクロック低速時のクロック分周	5-7
5.4	プリスケールクロック制御部	5-8
5.5	クロック逡倍回路 (PLL)	5-8
5.6	スタンバイ制御部	5-9
5.6.1	各モードでの CG の動作	5-10
5.6.2	各モードにおけるブロックの動作	5-10
5.6.3	スタンバイ状態からの解除	5-11
5.6.4	STOP モード	5-13
5.6.5	STOP/SLEEP モードからの復帰	5-14
6.	割り込み	6-1
6.1	概要	6-1
6.2	例外ベクタ	6-2
6.3	リセット例外	6-2
6.4	ノンマスカブル割り込み (NMI)	6-3
6.5	一般例外 (リセット例外/NMI 以外)	6-3
6.6	デバッグ例外	6-5
6.7	マスカブルソフトウェア割り込み	6-5
6.8	マスカブルハードウェア割り込み	6-7

6.8.1	特徴	6-7
6.8.2	割り込み要求の検出	6-10
6.8.3	割り込みの優先度調停	6-10
1.	7段階の割り込みレベル	
2.	割り込みレベル通知	
3.	INTC レジスタ更新	
6.8.4	ハードウェア割り込みの動作	6-11
6.8.5	割り込みの初期設定	6-13
6.8.5.1	共通の初期設定	6-13
6.8.5.2	割り込み要因別の初期設定	6-14
(1)	外部端子割り込み INTO~INTB	
(2)	外部端子割り込み INTC~INTF	
(3)	キーオンウェイクアップ割り込み KWUP00~31	
(4)	その他のハードウェア割り込み	
6.8.5.3	割り込み許可	6-17
6.8.5.4	割り込み禁止	6-18
6.8.6	割り込み処理	6-20
6.8.6.1	割り込み応答と復帰	6-20
6.8.7	多重割り込みの設定例	6-22
①	多重割り込みで必要な追加処理	
②	多重割り込みで必要な追加の復帰処理	
③	Status<EXL>と Status<IE>の使い分け	
6.8.7.1	多重割り込みでの割り込み制御	6-23
6.8.8	レジスタ	6-24
6.8.8.1	レジスタマップ	6-24
6.8.8.2	割り込みベクタレジスタ (IVR)	6-25
6.8.8.3	割り込みレベルレジスタ (ILEV)	6-26
6.8.8.4	割り込みモードコントロールレジスタ (IMCxx)	6-27
6.8.8.5	割り込み要求クリアレジスタ (ICLR)	6-41
6.9	INTCG レジスタ (STOP/SLEEP/IDLE 解除割り込み)	6-45
6.10	NMI フラグレジスタ	6-51
6.11	割り込み使用上の注意事項	6-52
6.11.1	TX19A プロセッサコア関連	6-52
6.11.2	INTC 関連	6-53
7	入出力ポート	7-1
7.1	ポート 0 (P00~P07)	7-1
7.2	ポート 1 (P10~P17)	7-3
7.3	ポート 2 (P20~P27)	7-5
7.4	ポート 3 (P30~P37)	7-8
7.5	ポート 4 (P40~P47)	7-16
7.6	ポート 5 (P50~P57)	7-23
7.7	ポート 6 (P60~P67)	7-29
7.8	ポート 7 (P70~P77)	7-37
7.9	ポート 8 (P80~P87)	7-40
7.10	ポート 9 (P90~ P97)	7-43
7.11	ポート A (PA0~PA7)	7-48
7.12	ポート B (PB0~PB7)	7-51
7.13	ポート C (PC0~PC7)	7-55
7.14	ポート D (PD0~PD6)	7-60

7.15	ポート E (PE0~PE7)	7-66
7.16	ポート F (PF0~PF7)	7-68
7.17	ポート G (PG0~PG7)	7-71
7.18	ポート H (PH0~PH7)	7-73
8.	外部バスインタフェース	8-1
8.1	アドレス、データ端子	8-2
8.2	データ・フォーマット	8-3
8.3	外部バスオペレーション (セパレートバスモード)	8-9
8.4	外部バスオペレーション (マルチプレクスバスモード)	8-17
8.5	バスアービトラーション	8-24
9.	チップセレクト/ウェイトコントローラ	9-1
9.1	アドレス空間指定	9-1
9.1.1	ベース/マスクアドレス設定レジスタ	9-1
9.1.2	スタートアドレス、アドレス空間の設定方法	9-4
9.2	チップセレクト/ウェイトコントローラ	9-7
10.	DMA コントローラ (DMAC)	10-1
10.1	特長	10-1
10.2	構成	10-2
10.2.1	TMP19A43 内部接続	10-2
10.2.2	DMAC 内部ブロック	10-3
10.2.3	スヌープ機能	10-3
10.3	レジスタ	10-4
10.3.1	DMA 制御レジスタ (DCR)	10-6
10.3.2	チャンネル制御レジスタ (CCRn)	10-8
10.3.3	リクエスト選択レジスタ (RSR)	10-12
10.3.4	チャンネルステータスレジスタ (GSRn)	10-13
10.3.5	ソースアドレスレジスタ (SARn)	10-15
10.3.6	デスティネーションアドレスレジスタ (DARn)	10-16
10.3.7	バイトカウントレジスタ (BCRn)	10-17
10.3.8	DMA 転送制御レジスタ (DTCRn)	10-18
10.3.9	データホールディングレジスタ (DHR)	10-19
10.4	動作	10-20
10.4.1	詳細	10-20
10.4.2	転送要求	10-23
10.4.3	アドレスモード	10-26
10.4.4	チャンネル動作	10-28
10.4.5	チャンネルの優先順位	10-29
10.5	タイミング図	10-30
10.5.1	デュアルアドレスモード	10-30
10.5.2	DREQn による転送モード	10-32
10.6	設定例：シリアル受信データ (SCnBUF) を内蔵 RAM に DMA 転送する例	10-36
11.	16 ビットタイマ/イベントカウンタ (TMRB)	11-1
11.1	チャンネル別のブロック図	11-4
11.2	回路別の動作説明	11-6
11.2.1	プリスケアラ	11-6

11.2.2	アップカウンタ (UC0), アップカウンタキャプチャレジスタ (TBOUCL, TBOUCH)	11-8
11.2.3	タイマレジスタ (TBORG0H/L, TBORG1H/L)	11-8
11.2.4	キャプチャレジスタ (TBOCP0H/L, TBOCP1H/L)	11-9
11.2.5	キャプチャ	11-9
11.2.6	コンパレータ (CP0, CP1)	11-9
11.2.7	タイマフリップフロップ (TB0FF0)	11-9
11.3	レジスタ説明	11-10
11.4	モード別動作説明	11-16
11.4.1	16ビットインタバルタイマモード	11-16
11.4.2	16ビットイベントカウンタモード	11-16
11.4.3	16ビットPPG (プログラマブル矩形波) 出力モード	11-17
11.4.4	タイマ同期モード	11-19
11.5	キャプチャ機能を利用した応用例	11-20
11.6	2相パルス入力カウントモード (TMRB2, TMRB3, TMRB6, TMRB7)	11-25
12.	32ビットインプットキャプチャ (TMRC)	12-1
12.1	TMRCのブロック図	12-1
12.2	回路別の動作説明	12-2
12.2.1	プリスケーラ	12-2
12.2.2	ノイズ除去回路	12-5
12.2.3	32ビットタイムベースタイマ (TBT)	12-5
12.2.4	エッジ検出回路	12-5
12.2.5	32ビットキャプチャレジスタ	12-6
12.2.6	32ビットコンペアレジスタ	12-6
12.3	レジスタ説明	12-7
13	シリアルチャネル (SIO)	13-1
13.1	特長	13-1
13.2	ブロック図 (チャネル0)	13-2
13.3	回路別の動作説明 (チャネル0)	13-3
13.3.1	プリスケーラ	13-3
13.3.2	ポーレート	13-5
13.3.3	シリアルクロック生成回路	13-9
13.3.4	受信カウンタ	13-9
13.3.5	受信制御部	13-9
13.3.6	受信バッファ	13-9
13.3.7	受信FIFOバッファ	13-11
13.3.8	受信FIFOの動作	13-11
13.3.9	送信カウンタ	13-13
13.3.10	送信制御部	13-13
13.3.11	送信バッファ	13-15
13.3.12	送信FIFO BUFFER	13-16
13.3.13	送信FIFOの動作	13-16
13.3.14	パリティ制御回路	13-18
13.3.15	エラーフラグ	13-18
13.3.16	データ転送方向	13-20
13.3.17	STOPビットの長さ	13-20
13.3.18	ステータスフラグ	13-20
13.3.19	送受信バッファの構成	13-20
13.3.20	各信号発生タイミング	13-21

13.4	レジスタ説明 (チャンネル0 についてのみ説明します)	13-22
13.5	モード別動作説明	13-30
13.5.1	モード0 (I/O インターフェースモード)	13-30
13.5.2	モード1 (7 ビット UART モード)	13-39
13.5.3	モード2 (8 ビット UART モード)	13-40
13.5.4	モード3 (9 ビット UART)	13-41
14	シリアル チャンネル (HSIO)	14-1
14.1	回路別の動作説明 (HSIO チャンネル 0)	14-3
14.1.1	ボーレート	14-3
14.1.2	高速シリアルクロック生成回路	14-6
14.1.3	受信カウンタ	14-6
14.1.4	受信制御部	14-6
14.1.5	受信バッファ	14-6
14.1.6	受信 FIFO バッファ	14-8
14.1.7	受信 FIFO の動作	14-8
14.1.8	送信カウンタ	14-10
14.1.9	送信制御部	14-10
14.1.10	送信バッファ	14-12
14.1.11	送信 FIFO BUFFER	14-13
14.1.12	送信 FIFO の動作	14-13
14.1.13	パリティ制御回路	14-15
14.1.14	エラーフラグ	14-15
14.1.15	データ転送方向	14-17
14.1.16	STOP ビットの長さ	14-17
14.1.17	ステータスフラグ	14-17
14.1.18	送受信バッファの構成	14-17
14.1.19	ソフトリセット	14-17
14.1.20	各信号発生タイミング	14-18
14.2	レジスタ説明 (チャンネル0 についてのみ説明します)	14-19
14.2	モード別動作説明	14-27
14.2.1	モード0 (I/O インターフェースモード)	14-27
14.2.2	モード1 (7 ビット UART モード)	14-36
14.2.3	モード2 (8 ビット UART モード)	14-36
14.2.4	モード3 (9 ビット UART)	14-36
15.	シリアルバスインタフェース (SBI)	15-1
15.1	構成	15-1
15.2	制御	15-2
15.3	I2C バスモード時のデータフォーマット	15-2
15.4	I2C バスモード時のコントロールレジスタ	15-3
15.5	I2C バスモード時の制御	15-8
15.5.1	アクノリジメントモードの指定	15-8
15.5.2	転送ビット数の選択	15-8
15.5.3	シリアルクロック	15-8
15.5.4	スレーブアドレスとアドレス認識モードの設定	15-9
15.5.5	マスタ/スレーブの選択	15-9
15.5.6	トランスマッタ/レシーバの選択	15-10
15.5.7	スタート/ストップコンディションの発生	15-10
15.5.8	割り込みサービス要求と解除	15-11

15.5.9	シリアルバスインタフェースの動作モード	15-11
15.5.10	アービトラクションロスト検出モニタ	15-11
15.5.11	スレーブアドレス一致検出モニタ	15-12
15.5.12	ゼネラルコール検出モニタ	15-12
15.5.13	最終受信ビットモニタ	15-12
15.5.14	ソフトウェアリセット	15-13
15.5.15	シリアルバスインタフェースデータバッファレジスタ (SBIDBR)	15-13
15.5.16	I2CBUS アドレスレジスタ (I2CAR)	15-13
15.5.17	IDLE 設定レジスタ (SBIBRO)	15-13
15.6	I2C バスモード時のデータ転送手順	15-14
15.6.1	デバイスの初期化	15-14
15.6.2	スタートコンディション、スレーブアドレスの発生	15-14
15.6.3	1ワードのデータ転送	15-15
15.6.4	ストップコンディションの発生	15-20
15.6.5	再スタートの手順	15-21
15.7	クロック同期式 8 ビット SIO モード時の制御	15-22
15.7.1	シリアルクロック	15-24
15.7.2	転送モード	15-26
16.	アナログ/デジタルコンバータ	16-1
16.1	コントロールレジスタ	16-2
16.2	変換クロック	16-12
16.3	動作説明	16-13
16.3.1	アナログ基準電圧	16-13
16.3.2	アナログ入力チャネルの選択	16-13
16.3.3	A/D 変換開始	16-14
16.3.4	A/D 変換モードとA/D 変換終了割り込み	16-15
16.3.5	最優先変換モード	16-18
16.3.6	AD 監視機能	16-18
16.3.7	A/D 変換結果の格納と読み出し	16-18
16.3.8	データポーリング	16-19
17.	デジタル/アナログコンバータ	17-1
17.1	特長	17-1
17.2	動作 (DA コンバータの使用について)	17-1
18.	ウォッチドッグタイマ (暴走検出用タイマ)	18-1
18.2	構成	18-1
18.2	ウォッチドッグタイマ割り込み	18-2
18.3	コントロールレジスタ	18-3
18.3.1	ウォッチドッグ タイマ モードレジスタ (WDMOD)	18-3
18.3.2	ウォッチドッグ タイマ コントロールレジスタ (WDCR)	18-3
18.2	動作説明	18-5
19.	時計用タイマ	19-1
19.1	特長	19-1
19.2	レジスタ	19-2

20. KEY ON Wake up 回路	20-1
20.1 概要	20-1
20.2 KEY ON WAKE UP 動作	20-2
20.3 プルアップ機能	20-3
20.3.1 プルアップイネーブルで KEY 入力を使用する場合の注意点	20-3
20.3.2 プルアップディセーブルで KEY 入力を使用する場合の注意点	20-4
20.4 KEY 入力の検出と検出タイミング	20-6
20.5 KEY 入力割り込みの検出と要求のクリア	20-16
21. ROM correction 機能	21-1
21.1 特長	21-1
21.2 動作	21-1
21.3 レジスタ	21-3
22. 特殊機能レジスタ一覧表	22-1
1 ビッグエンディアン	22-2
2 リトルエンディアン	22-12
23. JTAG インタフェース	23-1
23.1 バウンダリスキャンの概要	23-1
23.2 信号の要約	23-2
23.3 JTAG コントローラとレジスタ	23-3
23.3.1 命令レジスタ	23-3
23.3.2 バイパスレジスタ	23-4
23.3.3 バウンダリスキャンレジスタ	23-5
23.3.4 テストアクセスポート (TAP)	23-5
23.3.5 TAP コントローラ	23-6
23.3.6 コントローラのリセット	23-6
23.3.7 コントローラの状態	23-7
23.4 JTAG コントローラセルでサポートしている命令	23-11
23.4.1 EXTEST 命令	23-11
23.4.2 SAMPLE/PRELOAD 命令	23-12
23.4.3 BYPASS 命令	23-13
23.5 注意事項	23-13
24. 各種プロテクト機能	24-1
24.1 概要	24-1
24.2 特長	24-1
24.2.1 フラッシュプロテクト機能	24-1
24.2.2 ROM データプロテクト	24-2
24.2.3 DSU プロテクト	24-3
24.3 プロテクト概略図および対応表	24-4
24.4 レジスタ	24-5
24.5 プロテクト設定方法	24-9
24.5.1 フラッシュプロテクト	24-9
24.5.2 ROM データプロテクト	24-10

24.5.3	DSU プロテクト	24-11
24.5.4	DSU 使用許可/禁止 (DSU-PROBE を利用してのデバッグを有効/無効)	24-11
24.5.5	ROM プロテクトレジスタ : ROMSEC1<RSECON>	24-12
24.5.5	DSU プロテクトモードレジスタ : SEQMOD <DSUOFF>	24-12

25.	電気的特性	25-1
25.1	最大定格	25-1
25.2	DC 電気的特性 (1/3)	25-2
25.3	DC 電気的特性 (2/3)	25-4
25.4	DC 電気的特性 (3/3)	25-5
25.5	10 ビット A/D 変換特性	25-6
25.6	8 ビット D/A 変換特性	25-7
25.7	AC 電気的特性	25-8
25.7.1	マルチプレクスバスモード	25-8
25.7.2	セパレートバスモード	25-18
25.8	DMA リクエストを使用した転送	25-25
25.9	シリアルチャネルタイミング	25-26
25.10	高速シリアルチャネルタイミング	25-27
25.11	シリアルバスインタフェースタイミング	25-28
25.12	イベントカウンタ	25-30
25.13	キャプチャ	25-30
25.14	割り込み (INTC)	25-30
25.15	割り込み (STOP/SLEEP/SLOW 解除割り込み)	25-30
25.16	SCOUT 端子 AC 特性	25-30
25.17	バスリクエスト/ バスアクノリッジ	25-31
25.18	KWUP 入力	25-32
25.19	2相パルス入力	25-32
25.20	ADTRG 入力	25-32
25.21	DSU	25-33
25.22	EJTAG	25-33

32 ビット RISC マイクロプロセッサ TX19 ファミリー
 TMP19A43CZXBG, CDXBG
 TMP19A43FZXBG, FDXBG

1. 概要と特長

TMP19A43 に搭載されている TX19A プロセッサコアは、米国 MIPS グループの高性能な 32 ビットの命令セットである MIPS32ISA と高コード効率の命令セットである MIPS16eISA に当社で命令を追加した拡張命令セットの MIPS16e-TX™ASE (Application Specific Extension) を追加して、当社で独自開発した高性能な 32 ビット RISC プロセッサファミリーです。

TMP19A43 は、TX19A プロセッサコアをベースに各種周辺機能を内蔵した低電圧/低消費電力動作が可能な 32 ビット RISC マイクロプロセッサです。

TMP19A43 の特長は次の通りです。

(1) TX19A プロセッサコア (詳細は別冊の TX19A コアアーキテクチャを参照してください)

①16 ビットと 32 ビットの 2 つの ISA (Instruction Set Architecture) モードで、コード効率と演算性能の向上を実現

- 16 ビット ISA モードの命令は、コード効率の優れた MIPS16™ASE とオブジェクトレベルで互換
- 32 ビット ISA モードの命令は、演算性能の優れた TX39 とオブジェクトレベルで互換

②高性能化と低消費電力化を同時に実現

●高性能化

- SAVE/RESTORE/ジャンプ・分岐命令を除き 1 クロックで実行
- 3 オペランドの演算命令により高性能を実現
- 5 段パイプライン
- 高速メモリを内蔵
- DSP 機能: 32 ビット積和演算 (32×32+64=64 ビット) を 1 クロックで実行

●低消費電力化

- 低消費電力ライブラリを使用した最適化設計
- プロセッサコアの動作を停止させるスタンバイ機能

③リアルタイム制御に向けた高速割り込み応答

- エントリーアドレスを独立化
- 要因別のベクタアドレスを自動生成
- 割り込みマスクレベルを自動更新

060629TBA

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
- なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などでご確認ください。 021023_A
- 本資料に掲載されている製品は、一般的電子機器 (コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など) に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり、人体に危害を及ぼす恐れのある機器 (原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など) にこれらの製品を使用すること (以下“特定用途”という) は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。 021023_B
- 本資料に掲載されている製品を、国内外の法令、規則及び命令により製造、使用、販売を禁止されている応用製品に使用することはできません。 060106_Q
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。 021023_C
- 本資料に掲載されている製品は、外国為替及び外国貿易法により、輸出または海外への提供が規制されているものです。 021023_E
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。 021023_D

(2) 内蔵プログラムメモリ/データメモリ

製品名	内蔵 ROM	内蔵 RAM
TMP19A43CZXBG	384Kbyte	20Kbyte
TMP19A43CDXBG	512Kbyte	24Kbyte
TMP19A43FZXBG	384Kbyte (Flash)	20Kbyte
TMP19A43FDXBG	512Kbyte (Flash)	24Kbyte

- ROM コレクション機能 : 1word×8block、8word×4block

(3) 外部メモリ拡張

- 16M バイト (プログラム/データ 共通) まで拡張可能
- 外部データバス :
 - セパレートバス/マルチプレクスバス : 8/16 ビット幅共存可能
 - チップセレクト/ウェイトコントローラ : 4 チャンネル

(4) DMA コントローラ : 8 チャンネル (割り込みは 2 要因)

- 割り込みもしくはソフトウェアにて起動
- 転送対象は内蔵メモリ、内蔵 I/O、外部メモリ及び外部 I/O

(5) 16 ビットタイマ : 16 チャンネル

- 16 ビットインターバルタイマモード
- 16 ビットイベントカウンタモード
- 16 ビット PPG 出力 (4ch 毎, 同期出力可能)
- インプットキャプチャ機能
- 二相パルス入力カウンタ機能 (専用 4 チャンネル) : 4 通倍モード

(6) 32 ビットタイマ

- 32 ビットインプットキャプチャレジスタ : 4 チャンネル
- 32 ビットコンペアレジスタ : 8 チャンネル
- 32 ビットタイムベースタイマ : 1 チャンネル

(7) 時計用タイマ : 1 チャンネル

(8) 汎用シリアル・インタフェース : 3 チャンネル

- UART/同期式モード選択可能

(9) 高速シリアル・インタフェース : 3 チャンネル

- UART/高速同期式モード (Max:10Mbps fsys=40MHz 時) 選択可能

(10) シリアルバスインタフェース : 1 チャンネル

- I²C バスモード/クロック同期式モード選択可能

(11) 10 ビット A/D コンバータ (S/H 有) : 16 チャンネル

- 外部トリガスタート可能、内部タイマトリガ起動
- チャンネル固定/スキャンモード
- シングル/リピートモード
- 最優先変換モード
- タイマ監視機能
- 変換時間 1.15 μsec (fsys=40MHz 時)

(12) 8 ビット D/A コンバータ : 2 チャンネル

(13) ウォッチドックタイマ : 1 チャンネル

(14) 割り込み機能

- CPU 2本 ……ソフトウェア割り込み命令
- 内部 46本 ……7レベルの優先順位設定可能
(ウォッチドッグタイマ割り込みを除く)
- 外部 48本 ……7レベルの優先順位設定可能
32本はKWUPであり、割り込み要因としては1本

(15) 入出力ポート …… 143端子

(16) スタンバイ機能

- 3種類のスタンバイモード (IDLE, SLEEP、STOP)

(17) クロックジェネレータ

- PLL 内蔵 (4 逡倍)
- クロックギア機能: 高速クロックを 3/4, 1/2, 1/4, 1/8 に分周
- サブクロック: SLOW/SLEEP モード (32.768kHz)

(18) エンディアン …… バイエンディアン (ビッグエンディアン/リトルエンディアン)

(19) 最大動作周波数

- 40MHz (PLL4 逡倍)

(20) 動作電圧範囲

- コア 1.35V~1.65V
- I/O、ADC 2.7V~3.6V
- DAC 2.3V~2.7V

(21) パッケージ

P-FBGA193 (12mm×12mm, 0.65mm ピッチ)

Not Recommended for New Design

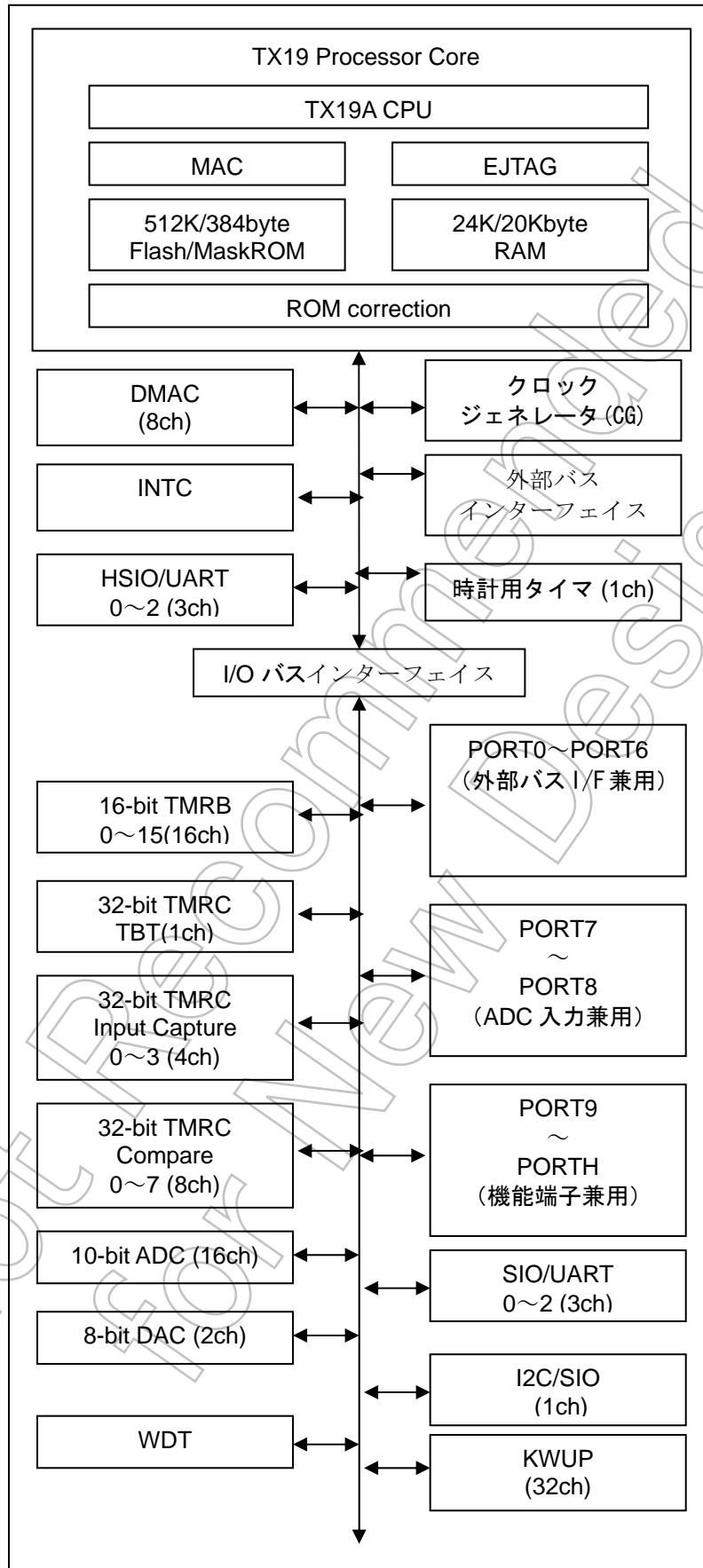


図 1-1TMP19A43 ブロック図

2. ピン配置とピン機能

TMP19A43のピン配置図および入出力ピンの名称と概略機能を示します。

2.1 ピン配置図 (Top view)

TMP19A43のピン配置図は、図 2-1のとおりです。

A1	A2	A3	A4	A5	A6	A7	A8	A9	A10	A11	A12	A13	A14	A15	A16	A17
B1	B2	B3	B4	B5	B6	B7	B8	B9	B10	B11	B12	B13	B14	B15	B16	B17
C1	C2														C16	C17
D1	D2	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14				
E1	E2	E4	E5	E6	E7	E8	E9	E10	E11	E12	E13	E14				
F1	F2	F4	F5	F6							F13	F14	F16	F17		
G1	G2	G4	G5								G13	G14	G16	G17		
H1	H2	H4	H5								H13	H14	H16	H17		
J1	J2	J4	J5								J13	J14	J16	J17		
K1	K2	K4	K5								K13	K14	K16	K17		
L1	L2	L4	L5								L13	L14	L16	L17		
M1	M2	M4	M5								M13	M14	M16	M17		
N1	N2	N4	N5	N6	N7	N8	N9	N10	N11	N12	N13	N14				
P1	P2	P4	P5	P6	P7	P8	P9	P10	P11	P12	P13	P14				
R1	R2														R16	R17
T1	T2	T3	T4	T5	T6	T7	T8	T9	T10	T11	T12	T13	T14	T15	T16	T17
U1	U2	U3	U4	U5	U6	U7	U8	U9	U10	U11	U12	U13	U14	U15	U16	U17

図 2-1 ピン配置図 (P-FBGA193)

2.2 ピン番号とピン名称との関係

TMP19A43 のピン番号とピン名称との関係は、表 2-1の通りです。

表 2-1 ピン番号とピン名称

ピン番号	ピン名称	ピン番号	ピン名称	ピン番号	ピン名称	ピン番号	ピン名称	ピン番号	ピン名称
A1	DVSS	D2	PF3/KEY19/DACK4	G2	P95/SCLK2/CTS2	M1	PB5/HTXD1	R2	P33/WAIT/RDY
A2	P81/AN9/KEY05	D4	P71/AN1	G4	P94/RXD2	M2	PB4/HSCLK0/HCTS0	R16	P45/BUSMD
A3	P83/AN11/KEY07	D5	P73/AN3	G5	P93/TXD2	M4	PB3/HRXD0	R17	P46/ENDIAN
A4	P85/AN13/INT7	D6	P74/AN4/KEY00	G13	PH1/TPC1/TPD1	M5	TEST4	T1	P37/ALE/TC3IN
A5	P87/AN15/INT9	D7	P76/AN6/KEY02	G14	PH7/TPC7/TPD7	M13	DVCC3	T2	P34/BUSRQ/TBEOUT
A6	DA0	D8	PD5/TBDOOUT	G16	PCST4	M14	PG3/TPD3	T3	P30/RD
A7	CVREF0	D9	PD3/TBBOOUT	G17	DCLK	M16	PG4/TPD4	T4	P02/D2/AD2
A8	DA1	D10	PD0/HTXD2	H1	PC1/TCOUT0	M17	PG5/TPD2	T5	P06/D6/AD6
A9	CVREF1	D11	PE0/KEY8	H2	PC0/TBTIN/KEY30	N1	PB7/HSCLK1/HCTS1	T6	P12/D10/AD10/A10
A10	PD2/HSCLK2/HCTS2	D12	PE3/KEY11	H4	P97/TBAOUT	N2	PB6/HRXD1	T7	P16/D14/AD14/A14
A11	PE2/KEY10	D13	PA2/INT2/TB7IN0	H5	DVCC3	N4	P00/D0/AD0	T8	P21/A17/A1/TB0IN1
A12	PE5/KEY13	D14	PH4/TPC4/TPD4	H13	PH2/TPC2/TPD2	N5	P04/D4/AD4	T9	P24/A20/A4/TB4IN0
A13	PE7/KEY15	D16	PA3/INT3/TB7IN1	H14	TRST	N6	P10/D8/AD8/A8	T10	P26/A22/A6/TB5IN0
A14	X1	D17	XT1	H16	TMS	N7	P14/D12/AD12/A12	T11	P52/A2/INTE
A15	X2	E1	PF6/KEY22/TCOUT6	H17	EJE	N8	DVCC3	T12	P56/A6/TB2OUT/KEY28
A16	CVCCH	E2	PF5/KEY21/TCOUT5	J1	PC4/TCOUT3	N9	DVSS	T13	P62/A10/SCLK0/CTS0
A17	CVSS	E4	P70/AN0	J2	PC3/TCOUT2	N10	DVCC15	T14	P66/A14/TB4OUT
B1	PF0/KEY16/DREQ0	E5	P72/AN2	J4	PC2/TCOUT1	N11	P50/A0/INTC	T15	P40/CS0/KEY24
B2	P80/AN8/KEY04	E6	VREFH	J5	DVCC15	N12	P54/A4/TB0OUT	T16	P42/CS2/KEY26
B3	P82/AN10/KEY06	E7	AVSS	J13	PH3/TPC3/TPD3	N13	P60/A8/TXD0	T17	P44/SCOUT
B4	P84/AN12/INT6	E8	DAVCC	J14	DINT	N14	P64/A12/RXD1/INTB	U1	TEST2
B5	P86/AN14/INT8	E9	DAVREF	J16	TDO	N16	PG6/TPD6	U2	P35/BUSAK/TC1IN
B6	P75/AN5/KEY01	E10	DAGND	J17	DVSS	N17	PG7/TPD7	U3	P31/WR
B7	P77/AN7/KEY03	E11	DVCC3	K1	PC7/SCK	P1	BOOT	U4	P03/D3/AD3
B8	PD6/KEY31/AFTRG	E12	PA0/INT0/TB6IN0	K2	PC6/SI/SCL	P2	P32/HWR/TC0IN	U5	P07/D7/AD7
B9	PD4/TBCOUT	E13	PA1/INT1/TB6IN1	K4	PC5/SO/SDA	P4	P01/D1/AD1	U6	P13/D11/AD11/A11
B10	PD1/HRXD2	E14	PH5/TPC5/TPD5	K5	DVSS	P5	P05/D5/AD5	U7	P17/D15/AD15/A15
B11	PE1/KEY09	E16	PCST0	K13	DVCC15	P6	P11/D9/AD9/A9	U8	P22/A18/A2/TB1IN0
B12	PE4/KEY12	E17	PCST1	K14	TOVR/TSTA	P7	P15/D13/AD13/A13	U9	P25/A21/A5/TB4IN1
B13	PE6/KEY14	F1	PF7/KEY23/TCOUT7	K16	TDI	P8	P20/A16/A0/TB0IN0	U10	P27/A23/A7/TB5IN1
B14	PA5/INT5/TB8IN1	F2	P92/TB8OUT	K17	TCK	P9	P23/A19/A3/TB1IN1	U11	P53/A3/INTF
B15	PA6/TB2IN0	F4	P91/TB7OUT	L1	PB2/HTXD0	P10	TEST0	U12	P57/A7/TB3OUT/KEY29
B16	PA7/TB2IN1	F5	P90/TB6OUT	L2	PB1/TB3IN1	P11	P51/A1/INTD	U13	P63/A11/TXD1
B17	CVCCL	F6	AVCC3	L4	PB0/TB3IN0	P12	P55/A5/TB1OUT	U14	P67/A15/TB5OUT
C1	PF2/KEY18/DREQ4	F13	PH0/TPC0/TPD0	L5	TEST1	P13	P61/A9/RXD0/INTA	U15	P41/CS1/KEY25
C2	PF1/KEY17/DACK0	F14	PH6/TPC6/TPD6	L13	DVSS	P14	P65/A13/SCLK1/CTS1	U16	P43/CS3/KEY27
C16	PA4/INT4/TB8IN0	F16	PCST2	L14	PG0/TPD0	P16	P47/TBFOUT	U17	TEST3
C17	XT2	F17	PCST3	L16	PG1/TPD1	P17	RESET		
D1	PF4/KEY20/TCOUT4	G1	P96/TB9OUT	L17	PG2/TPD2	R1	P36/RW/TC2IN		

2.3 ピン名称と機能

入出力ピンの名称と機能は、表 2-2～表 2-7の通りです。

表 2-2 ピン名称と機能 (1/6)

ピン名称	ピン数	入出力	機 能
P00~P07 D0~D7 AD0~D7	8	入出力 入出力 入出力	ポート 0: ビット単位で入出力の設定ができる入出力ポート(プルアップ付) データ (下位): データバス 0~7 (セパレートバスモード) アドレスデータ (下位): アドレス・データバス 0~7 (マルチプレクスバスモード)
P10~P17 D8~D15 AD8~AD15 A8~A15	8	入出力 入出力 入出力 出力	ポート 1: ビット単位で入出力の設定ができる入出力ポート(プルアップ付) データ (上位): データバス 8~15: (セパレートバスモード) アドレスデータ (上位): アドレス・データバス 8~15 (マルチプレクスバスモード) アドレス: アドレスバス 8~15 (マルチプレクスバスモード)
P20~P27 A16~A23 A0~A7 TB0IN0, TB0IN1 TB1IN0, TB1IN1 TB4IN0, TB4IN1 TB5IN0, TB5IN1	8	入出力 出力 出力 入力 入力 入力 入力	ポート 2: ビット単位で入出力の設定ができる入出力ポート(プルアップ付) アドレス: アドレスバス 15~23 (セパレートバスモード) アドレス: アドレスバス 0~7 (マルチプレクスバスモード) 16bit タイマ 0 入力 0, 1: 16bit タイマ 0 のカウント/キャプチャトリガ入力 16bit タイマ 1 入力 0, 1: 16bit タイマ 1 のカウント/キャプチャトリガ入力 16bit タイマ 4 入力 0, 1: 16bit タイマ 4 のカウント/キャプチャトリガ入力 16bit タイマ 5 入力 0, 1: 16bit タイマ 5 のカウント/キャプチャトリガ入力
P30 RD	1	出力 出力	ポート 30: 出力専用ポート リード: 外部メモリをリードするためのストロープ信号
P31 WR	1	出力 出力	ポート 31: 出力専用ポート ライト: D0~7 端子のデータをライトするためのストロープ信号
P32 HWR TC0IN	1	入出力 出力 入力	ポート 32: 入出力ポート (プルアップ付) 上位ライト: D8~15 端子のデータをライトするためのストロープ信号 32bit タイマキャプチャトリガ入力
P33 WAIT RDY	1	入出力 入力 入力	ポート 33: 入出力ポート (プルアップ付) ウェイト: CPU へのバスウェイト要求端子 レディ: CPU へのバスレディ通知端子
P34 BUSRQ TBEOOUT	1	入出力 入力 出力	ポート 34: 入出力ポート (プルアップ付) バスリクエスト: 外部マスタがバス制御権を CPU に要求する信号 16bit タイマ E 出力: 16bit タイマ E の出力端子
P35 BUSAK TC1IN	1	入出力 出力 入力	ポート 35: 入出力ポート (プルアップ付) バスアクノリッジ: BUSRQ を受け CPU がバス制御権を解放しているのを通知する信号 32bit タイマキャプチャトリガ入力
P36 R/W TC2IN	1	入出力 出力 入力	ポート 36: 入出力ポート (プルアップ付) リード/ライト: "1" でリードサイクルまたはダミーサイクルを "0" でライトサイクルを示します。 32bit タイマキャプチャトリガ入力
P37 ALE TC3IN	1	入出力 出力 入力	ポート 37: 入出力ポート (プルアップ付) アドレスラッチイネーブル (外部メモリアクセス (マルチプレクスバスモード) 時のみイネーブル) 32bit タイマキャプチャトリガ入力
P40 CS0 KEY24	1	入出力 出力 入力	ポート 40: 入出力ポート (プルアップ付) チップセレクト 0: アドレスが指定したアドレス領域内なら "0" を出力 KEY on wake up 入力 24: (Dynamic pull up 選択可能) シュミット付き入力、ノイズフィルタ内蔵
P41 CS1 KEY25	1	入出力 出力 入力	ポート 41: 入出力ポート (プルアップ付) チップセレクト 1: アドレスが指定したアドレス領域内なら "0" を出力 KEY on wake up 入力 25: (Dynamic pull up 選択可能) シュミット付き入力、ノイズフィルタ内蔵
P42 CS2 KEY26	1	入出力 出力 入力	ポート 42: 入出力ポート (プルアップ付) チップセレクト 2: アドレスが指定したアドレス領域内なら "0" を出力 KEY on wake up 入力 26: (Dynamic pull up 選択可能) シュミット付き入力、ノイズフィルタ内蔵

表 2-3 ピン名称と機能 (2/6)

ピン名称	ピン数	入出力	機 能
P43 CS3 KEY27	1	入出力 出力 入力	ポート 43: 入出力ポート (プルアップ付) チップセレクト 3: アドレスが指定したアドレス領域内なら "0" を出力 KEY on wake up 入力 27: (Dynamic pull up 選択可能) シュミット付き入力、ノイズフィルタ内蔵
P44 SCOUT	1	入出力 出力	ポート 44: 入出力ポート (プルアップ付) システムクロック出力: CPU と同じ高速クロック、低速クロック出力など選択可能
P45 BUSMD	1	入出力 入力	ポート 45: 入出力ポート (プルアップ付) 外部バスモード設定端子: リセット信号の立ち上がりで "H (DVCC3) レベル" をサンプリングしてマルチプレクスバスとして、リセット信号の立ち上がりで "L" をサンプリングしてセパレートバスとして動作します。使用するバスモードに従ってリセット時にプルアップまたはプルダウンしてください。シュミット付き入力 (リセット後はポートとして使用可能です。)
P46 ENDIAN	1	入出力 入力	ポート 46: 入出力ポート (プルアップ付) この端子はモード設定に使用されます。リセット信号の立ち上がりで "H (DVCC3) レベル" をサンプリングしてビッグエンディアンの動作を、リセット信号の立ち上がりで "L" をサンプリングしてリトルエンディアンの動作をします。使用するエンディアンに従ってリセット時にプルアップまたはプルダウンしてください。 (リセット後はポートとして使用可能です。) シュミット付き入力
P47 TBFOUT	1	入出力 出力	ポート 47: 入出力ポート (プルアップ付) 16bit タイマ F 出力: 16bit タイマ F の出力端子
P50~P53 A0~A3 INTC~INTF	4	入出力 出力 入力	ポート 5: ビット単位で入出力の設定ができる入出力ポート (プルアップ付) アドレス: アドレスバス 0~3 (セパレートバスモード) 割込み要求端子 C~F: "H" レベル/"L" レベル/立ち上がり/下がりエッジ選択可能 シュミット付き入力端子、ノイズフィルタ内蔵
P54,P55 A4,A5 TB0OUT TB1OUT	2	入出力 出力 出力 出力	ポート 5: ビット単位で入出力の設定ができる入出力ポート (プルアップ付) アドレス: アドレスバス 4,5 (セパレートバスモード) 16bit タイマ 0 出力: 16bit タイマ 0 の出力端子 16bit タイマ 1 出力: 16bit タイマ 1 の出力端子
P56,P57 A6,A7 TB2OUT TB3OUT KEY28,KEY29	2	入出力 出力 出力 出力 入力	ポート 5: ビット単位で入出力の設定ができる入出力ポート (プルアップ付) アドレス: アドレスバス 6,7 (セパレートバスモード) 16bit タイマ 2 出力: 16bit タイマ 2 の出力端子 16bit タイマ 3 出力: 16bit タイマ 3 の出力端子 KEY on wake up 入力 28,29: (Dynamic pull up 選択可能) シュミット付き入力、ノイズフィルタ内蔵
P60 A8 TXD0	1	入出力 出力 出力 出力	ポート 60: 入出力ポート (プルアップ付) アドレス: アドレスバス 8 (セパレートバスモード) シリアル送信データ 0: プログラムによりオープンドレイン出力端子
P61 A9 RXD0 INTA	1	入出力 出力 入力 入力	ポート 61: 入出力ポート (プルアップ付) アドレス: アドレスバス 9 (セパレートバスモード) シリアル受信データ 0 割込み要求端子 A: "H" レベル/"L" レベル/立ち上がり/下がり/両エッジ選択可能 シュミット付き入力端子、ノイズフィルタ内蔵
P62 A10 SCLK0 CTS0	1	入出力 出力 入出力 入力	ポート 62: 入出力ポート (プルアップ付) アドレス: アドレスバス 10 (セパレートバスモード) シリアルクロック入出力 0 ハンドシェイク用端子入力 プログラムによりオープンドレイン出力端子
P63 A11 TXD1	1	入出力 出力 出力	ポート 63: 入出力ポート (プルアップ付) アドレス: アドレスバス 11 (セパレートバスモード) シリアル送信データ 1: プログラムによりオープンドレイン出力端子
P64 A12 RXD1 INTB	1	入出力 出力 入力 入力	ポート 64: 入出力ポート (プルアップ付) アドレス: アドレスバス 12 (セパレートバスモード) シリアル受信データ 1 割込み要求端子 B: "H" レベル/"L" レベル/立ち上がり/下がり/両エッジ選択可能 シュミット付き入力端子、ノイズフィルタ内蔵

表2-4 ピン名称と機能 (3/6)

ピン名称	ピン数	入出力	機能
P65 A13 SCLK1 CTS1	1	入出力 出力 入出力 入力	ポート 65: 入出力ポート(プルアップ付) アドレス: アドレスバス 13 (セパレートバスモード) シリアルクロック入出力 1 ハンドシェイク用端子入力 プログラムによりオープンドレイン出力端子
P66,P67 A14,A15 TB4OUT TB5OUT	2	入出力 出力 出力 出力	ポート 6: ビット単位で入出力の設定ができる入出力ポート(プルアップ付) アドレス: アドレスバス 14,15 (セパレートバスモード) 16bit タイマ 4 出力: 16bit タイマ 4 の出力端子 16bit タイマ 5 出力: 16bit タイマ 5 の出力端子
P70~P73 AIN0~AIN3	4	入力 入力	ポート 7: 入力専用ポート(プルアップ付) アナログ入力: A/D コンバータの入力
P74~P77 AIN4~AIN7 KEY00~KEY03	4	入力 入力 入力	ポート 7: 入力専用ポート(プルアップ付) アナログ入力: A/D コンバータの入力 KEY on wake up 入力 00~03: (Dynamic pull up 選択可能) シュミット付き入力、ノイズフィルタ内蔵
P80~P83 AIN8~AIN11 KEY04~KEY07	4	入力 入力 入力	ポート 8: 入力専用ポート(プルアップ付) アナログ入力: A/D コンバータの入力 KEY on wake up 入力 04~07: (Dynamic pull up 選択可能) シュミット付き入力、ノイズフィルタ内蔵
P84~P87 AIN12~AIN15 INT6-9	4	入力 入力	ポート 8: 入力専用ポート(プルアップ付) アナログ入力: A/D コンバータの入力 割込み要求端子 6-9: "H" レベル/"L" レベル/立ち上がり/下がり/両エッジ選択可能 シュミット付き入力、ノイズフィルタ内蔵
P90~P92 TB6OUT TB7OUT TB8OUT	3	入出力 出力 出力 出力	ポート 9: ビット単位で入出力の設定ができる入出力ポート(プルアップ付) 16bit タイマ 6 出力: 16bit タイマ 6 の出力端子 16bit タイマ 7 出力: 16bit タイマ 7 の出力端子 16bit タイマ 8 出力: 16bit タイマ 8 の出力端子
P93 TXD2	1	入出力 出力	ポート 93: 入出力ポート(プルアップ付) シリアル送信データ 2: プログラムによりオープンドレイン出力端子
P94 RXD2	1	入出力 入力	ポート 94: 入出力ポート(プルアップ付) シリアル受信データ 2
P95 SCLK2 CTS2	1	入出力 入出力 入力	ポート 95: 入出力ポート(プルアップ付) シリアルクロック入出力 2 ハンドシェイク用端子入力 プログラムによりオープンドレイン出力端子
P96,P97 TB9OUT TBAOUT	2	入出力 出力 出力	ポート 96,97: ビット単位で入出力の設定ができる入出力ポート(プルアップ付) 16bit タイマ 9 出力: 16bit タイマ 9 の出力端子 16bit タイマ A 出力: 16bit タイマ A の出力端子
PA0 TB6IN0 INT0	1	入出力 入力 入力	ポート A0: 入出力ポート(プルアップ付) 16bit タイマ 6 入力 0: 16bit タイマ 6 キャプチャトリガ入力 割込み要求端子 0: "H" レベル/"L" レベル/立ち上がり/下がり/両エッジ選択可能 シュミット付き入力、ノイズフィルタ内蔵
PA1 TB6IN1 INT1	1	入出力 入力 入力	ポート A1: 入出力ポート(プルアップ付) 16bit タイマ 6 入力 1: 16bit タイマ 6 キャプチャトリガ入力 割込み要求端子 1: "H" レベル/"L" レベル/立ち上がり/下がり/両エッジ選択可能 シュミット付き入力、ノイズフィルタ内蔵
PA2 TB7IN0 INT2	1	入出力 入力 入力	ポート A2: 入出力ポート(プルアップ付) 16bit タイマ 7 入力 0: 16bit タイマ 7 キャプチャトリガ入力 割込み要求端子 0: "H" レベル/"L" レベル/立ち上がり/下がり/両エッジ選択可能 シュミット付き入力、ノイズフィルタ内蔵
PA3 TB7IN1 INT3	1	入出力 入力 入力	ポート A3: 入出力ポート(プルアップ付) 16bit タイマ 7 入力 1: 16bit タイマ 7 キャプチャトリガ入力 割込み要求端子 1: "H" レベル/"L" レベル/立ち上がり/下がり/両エッジ選択可能 シュミット付き入力、ノイズフィルタ内蔵

表2-5 ピン名称と機能 (4/6)

ピン名称	ピン数	入出力	機能
PA4 TB8IN0 INT4	1	入出力 入力 入力	ポート A4: 入出力ポート(プルアップ付) 16bit タイマ 8 入力 0: 16bit タイマ 8 キャプチャトリガ入力 割込み要求端子 0: "H" レベル/"L" レベル/立ち上がり/下がり/両エッジ選択可能 シュミット付き入力、ノイズフィルタ内蔵
PA5 TB8IN1 INT5	1	入出力 入力 入力	ポート A5: 入出力ポート(プルアップ付) 16bit タイマ 8 入力 1: 16bit タイマ 8 キャプチャトリガ入力 割込み要求端子 1: "H" レベル/"L" レベル/立ち上がり/下がり/両エッジ選択可能 シュミット付き入力、ノイズフィルタ内蔵
PA6 TB2IN0	1	入出力 入力	ポート A6: 入出力ポート(プルアップ付) 16bit タイマ 2 入力 0: 16bit タイマ 2 キャプチャトリガ入力
PA7 TB2IN1	1	入出力 入力	ポート A7: 入出力ポート(プルアップ付) 16bit タイマ 2 入力 1: 16bit タイマ 2 キャプチャトリガ入力
PB0 TB3IN0	1	入出力 入力	ポート B0: 入出力ポート(プルアップ付) 16bit タイマ 3 入力 0: 16bit タイマ 3 キャプチャトリガ入力
PB1 TB3IN1	1	入出力 入力	ポート B1: 入出力ポート(プルアップ付) 16bit タイマ 3 入力 1: 16bit タイマ 3 キャプチャトリガ入力
PB2 HTXD0	1	入出力 出力	ポート B2: 入出力ポート(プルアップ付) 高速シリアル送信データ 0: プログラムによりオープンドレイン出力端子
PB3 HRXD0	1	入出力 入力	ポート B3: 入出力ポート(プルアップ付) 高速シリアル受信データ 0
PB4 HSCLK0 HCTS0	1	入出力 入出力 入力	ポート B4: 入出力ポート(プルアップ付) 高速シリアルクロック入出力 0 ハンドシェイク用端子入力: プログラムによりオープンドレイン出力端子
PB5 HTXD1	1	入出力 出力	ポート B5: 入出力ポート(プルアップ付) 高速シリアル送信データ 1: プログラムによりオープンドレイン出力端子
PB6 HRXD1	1	入出力 入力	ポート B6: 入出力ポート(プルアップ付) 高速シリアル受信データ 1
PB7 HSCLK1 HCTS1	1	入出力 入出力 入力	ポート B7: 入出力ポート(プルアップ付) 高速シリアルクロック入出力 1 ハンドシェイク用端子入力: プログラムによりオープンドレイン出力端子
PC0 TBTIN KEY30	1	入出力 入力	ポート C0: 入出力ポート(プルアップ付) 32bit タイムベースタイマ入力: 32bit タイムベースタイマ入力 KEY on wake up 入力 30: (Dynamic pull up 選択可能) シュミット付き入力、ノイズフィルタ内蔵
PC1~PC4 TCOUT0~ TCOUT3	4	入出力 出力	ポート C1~C4: ビット単位で入出力の設定ができる入出力ポート(プルアップ付) 32bit タイマコンペア一致出力
PC5 SO SDA	1	入出力 出力 入出力	ポート C5: 入出力ポート(プルアップ付) シリアルバスインタフェースの SIO モード時のデータ送信端子 シリアルバスインタフェースの I2C モード時のデータ送受信端子 プログラムによりオープンドレイン出力端子 シュミット付き入力
PC6 SI SCL	1	入出力 入力 入出力	ポート C6: 入出力ポート(プルアップ付) シリアルバスインタフェースの SIO モード時のデータ受信端子 シリアルバスインタフェースの I2C モード時のクロック入出力端子 プログラムによりオープンドレイン出力端子 シュミット付き入力
PC7 SCK	1	入出力 入出力	ポート C7: 入出力ポート(プルアップ付) シリアルバスインタフェースの SIO モード時のクロック入出力端子 プログラムによりオープンドレイン出力端子

表2-6 ピン名称と機能 (5/6)

ピン名称	ピン数	入出力	機能
PD0 HTXD2	1	入出力 出力	ポート D0: 入出力ポート(プルアップ付) 高速シリアル送信データ 2: プログラムによりオープンドレイン出力端子
PD1 HRXD2	1	入出力 入力	ポート D1: 入出力ポート(プルアップ付) 高速シリアル受信データ 2
PD2 HSCLK2 HCTS2	1	入出力 入出力 入力	ポート D2: 入出力ポート(プルアップ付) 高速シリアルクロック入出力 2 ハンドシェイク用端子入力: プログラムによりオープンドレイン出力端子
PD3~PD5 TBBOUT~ TBDOUT	3	入出力 出力	ポート D3~D5: ビット単位で入出力の設定ができる入出力ポート(プルアップ付) 16bit タイマ B~D 出力: 16bit タイマ B~D の出力端子
PD6 ADTRG KEY31	1	入出力 入力 入力	ポート D6: ビット単位で入出力の設定ができる入出力ポート(プルアップ付) A/D トリガ, A/D コンバータの外部スタート要求端子シュミット付き入力 KEY on wake up 入力 31: (Dynamic pull up 選択可能) シュミット付き入力、ノイズフィルタ内蔵
PE0~PE7 KEY08~KEY15	8	入出力 入力	ポート E: ビット単位で入出力の設定ができる入出力ポート(プルアップ付) KEY on wake up 入力 08~15: (Dynamic pull up 選択可能) シュミット付き入力、ノイズフィルタ内蔵
PF0,PF2 DREQ0,4 KEY16,KEY18	2	入出力 入力 入力	ポート F: ビット単位で入出力の設定ができる入出力ポート(プルアップ付) DMA リクエスト信号 0,4: 外部 I/O デバイスから DMAC0,4 への DMA 転送要求入力 KEY on wake up 入力 16~19: (Dynamic pull up 選択可能) シュミット付き入力、ノイズフィルタ内蔵
PF1,PF3 DACK0,4 KEY17,KEY19	2	入出力 出力 入力	ポート F: ビット単位で入出力の設定ができる入出力ポート(プルアップ付) DMA アクノリッジ信号 0,4: DREQ0,4 による DMA 転送要求に対するアクノリッジ信号 KEY on wake up 入力 16~19: (Dynamic pull up 選択可能) シュミット付き入力、ノイズフィルタ内蔵
PF4~PF7 KEY20~KEY23 TCOUT4 ~ TCOUT7	4	入出力 入力 出力	ポート F: ビット単位で入出力の設定ができる入出力ポート(プルアップ付) KEY on wake up 入力 20~23: (Dynamic pull up 選択可能) シュミット付き入力、ノイズフィルタ内蔵 32bit タイマコンペアー致出力
PG0~PG7 TPD0~TPD7	8	入出力 出力	ポート G: ビット単位で入出力の設定ができる入出力ポート(プルアップ付) データアクセスアドレスのトレースデータの出力: DSU-ICE 用信号
PH0~PH7 TPC0~TPC7 TPD0~TPD7	8	入出力 出力 出力	ポート H: ビット単位で入出力の設定ができる入出力ポート(プルアップ付) プログラムカウンタのトレースデータの出力 : DSU-ICE 用信号 データアクセスアドレスのトレースデータの出力 : DSU-ICE 用信号
DCLK	1	出力	デバッグクロック: DSU-ICE 用信号
EJE	1	入力	EJTAG イネーブル: DSU-ICE 用信号 (シュミット付き入力) (プルアップ付)、 ノイズフィルタ内蔵
PCST4~0	5	出力	PC トレースステータス: DSU-ICE 用信号
DINT	1	入力	デバッグインタラプト: DSU-ICE 用信号 (シュミット付き入力、プルアップ付き、ノイズフィルタ内蔵)
TOVR/TSR	1	出力	PD データのオーバーフローのステータス出力: DSU-ICE 用信号
TCK	1	入力	テストクロック入力: DSU-ICE 用信号 (シュミット付き入力、プルアップ付き、 ノイズフィルタ内蔵)
TMS	1	入力	テストモードセレクト入力: DSU-ICE 用信号 (シュミット付き入力、プルアップ付き)
TDI	1	入力	テストデータ入力: DSU-ICE 用信号 (シュミット付き入力、プルアップ付き)
TDO	1	出力	テストデータ出力: DSU-ICE 用信号
TRST	1	入力	テストリセット入力: DSU-ICE 用信号 (シュミット付き入力、プルダウン付き、 ノイズフィルタ内蔵)
RESET	1	入力	リセット: LSI を初期化 (プルアップ付) シュミット付き入力、ノイズフィルタ内蔵
X1/X2	2	入出力	高速発振子接続端子 (X1 : シュミット付き入力)
XT1/XT2	2	入出力	低速発振子接続端子 (XT1 : シュミット付き入力)

表2-7 ピン名称と機能 (6/6)

ピン名称	ピン数	入出力	機 能
BOOT	1	入力	シングルブートモード設定端子:リセット信号の立ち上がりで"L"をサンプリングしてシングルブートモードになります。内蔵フラッシュメモリの書き換え時に使用します。リセット信号の立ち上がりで"H (DVCC3) レベル"をサンプリングしてノーマル動作(通常動作)します。通常使用時はリセット時にこの端子をプルアップしてください。(プルアップ付)
VREFH	1	入力	A/D コンバータ用基準電源入力端子 (H) A/D コンバータを使用しないときは AVCC3 に接続してください
AVCC3	1	—	A/D コンバータ電源端子。A/D コンバータを使用しない場合も電源に接続してください。
AVSS	1	—	A/D コンバータ GND 端子 (0V)。A/D コンバータを使用しない場合も GND に接続してください。 A/D コンバータ用基準電源入力端子 (L)
TEST0	1	入力	TEST 用端子: DVCC3 に固定してください
TEST1	1	入力	TEST 用端子: DVCC3 に固定してください : シュミット付き入力
TEST2	1	入力	TEST 用端子: OPEN にしてください
TEST3	1	入力	TEST 用端子: OPEN にしてください
TEST4	1	入力	TEST 用端子: OPEN にしてください
CVCCH	1	—	高周波発振器用電源端:1.5V 系電源
CVCCL	1	—	低周波発振器用電源端:3V 系電源
CVSS	1	—	発振器用 GND 端子(0V)
DVCC15	3	—	電源端子: 1.5V 系電源
DVCC3	4	—	電源端子: 3V 系電源
DVSS	5	—	電源端子: GND 端子(0V)
DAVCC	1	—	D/A コンバータ用電源端子: 2.5V 系電源 D/A コンバータを使用しない場合は GND に接続(固定)してください。
DAVREF	1	—	D/A コンバータ用基準電源入力端子 D/A コンバータを使用しない場合は GND に接続(固定)してください。
DAGND	1	—	D/A コンバータ用 GND 端子(0V) D/A コンバータを使用しない場合も GND に接続してください。
CVREF0	1	—	D/A コンバータ用 安定用コンデンサ接続用端子
CVREF1	1	—	D/A コンバータ用 安定用コンデンサ接続用端子
DA0	1	出力	D/A コンバータ 0 出力端子
DA1	1	出力	D/A コンバータ 1 出力端子

2.4 ピン名称と電源供給端子

表 2-8 ピン名称と電源

ピン名称	電源	ピン名称	電源
P0	DVCC3	PCST4~0	DVCC3
P1	DVCC3	DCLK	DVCC3
P2	DVCC3	$\overline{\text{EJE}}$	DVCC3
P3	DVCC3	$\overline{\text{TRST}}$	DVCC3
P4	DVCC3	TDI	DVCC3
P5	DVCC3	TDO	DVCC3
P6	DVCC3	TMS	DVCC3
P7	AVCC3	TCK	DVCC3
P8	AVCC3	$\overline{\text{DINT}}$	DVCC3
P9	DVCC3	TOVR/TSTA	DVCC3
PA	DVCC3	BUSMD	DVCC3
PB	DVCC3	BOOT	DVCC3
PC	DVCC3	X1、X2	CVCGH
PD	DVCC3	XT1、XT2	CVCCCL
PE	DVCC3	$\overline{\text{RESET}}$	DVCC3
PF	DVCC3	DA0,1	DAVCC
PG	DVCC3		
PH	DVCC3		

2.5 ピン番号と電源供給端子

表 2-9 ピン番号と電源

電源	ピン番号	電圧範囲
DVCC15	J5,K13,N10	1.35V~1.65V
DVCC3	E11,H5, M13,N8	2.7V~3.6V
AVCC3	F6	2.7V~3.6V
CVCGH	A16	1.35V~1.65V
CVCCCL	B17	2.7V~3.6V
DAVCC	E8	2.3V~2.7V

3. プロセッサコア

TMP19A43には、高性能32ビットプロセッサコア (TX19A プロセッサコア) が内蔵されています。プロセッサコアの動作については、“TX19A ファミリーアーキテクチャ” を参照してください。

ここでは、“TX19A ファミリーアーキテクチャ” にて説明されていない TMP19A43 独自の機能について説明します。

3.1 リセット動作

本デバイスにリセットをかけるには、電源電圧が動作範囲内であり、かつ、内部高周波発振器の発振が安定した状態で、RESET 入力を少なくとも 12 システムクロック間 (2.4 μ s@外部 10MHz 動作時) “0” にしてください。

なお、リセット期間中に PLL 通倍クロックは 4 通倍され、クロックギアは 1/8 モードに初期化されます。リセットが受け付けられると、TX19A プロセッサコアのシステム制御コプロセッサ (CPO) レジスタが初期化されます。詳細はアーキテクチャの章を参照してください。

リセット例外処理を行った後、プログラムは例外ハンドラへ分岐します。分岐先アドレス (例外ハンドラ開始アドレス) を例外ベクタアドレスと呼び、リセット例外 (ノンマスカブル割り込みと共通) の例外ベクタアドレスは 0xBFC0_0000H 番地 (仮想アドレス) です。

内蔵 I/O のレジスタを初期化します。

ポート端子 (内蔵 I/O 用にも使える兼用端子を含む) を、汎用入力ポートまたは汎用出力ポートのモードにセットします。

- (注 1) パワーオン時には RESET 端子を “0” にした状態でパワーオンし、電源電圧が動作範囲で十分安定した状態でリセット解除させてください。
- (注 2) 電源投入後は、電源電圧および発振が安定した状態から 500 μ s 以上経過してからリセット解除させてください。
- (注 3) 内蔵フラッシュの消去、プログラム中は、システムクロックによらず 0.5 μ s 以上のリセット期間が必要となります。
- (注 4) リセット動作により、内蔵 RAM のデータは保証できなくなります。

4. メモリマップ

1) 512KB ROM 版 TMP19A43FDXBG/TMP19A43CDXBG

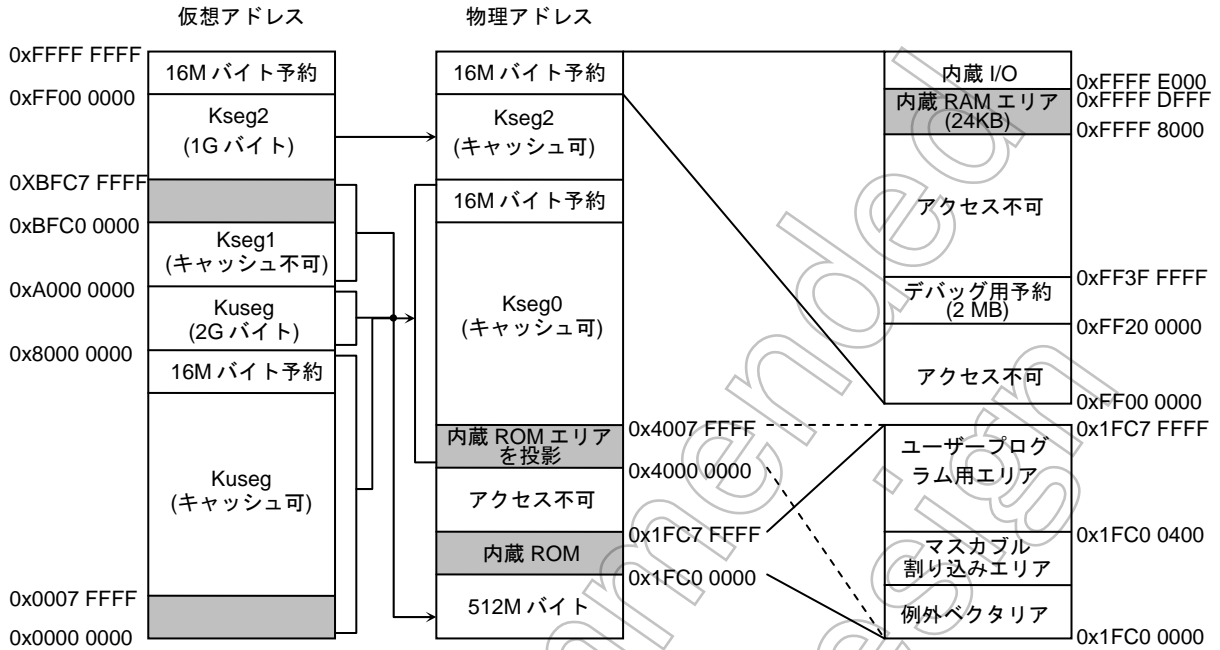


図 4-1 メモリマップ

2) 384KB ROM 版 TMP19A43FZXBG/TMP19A43CZXBG

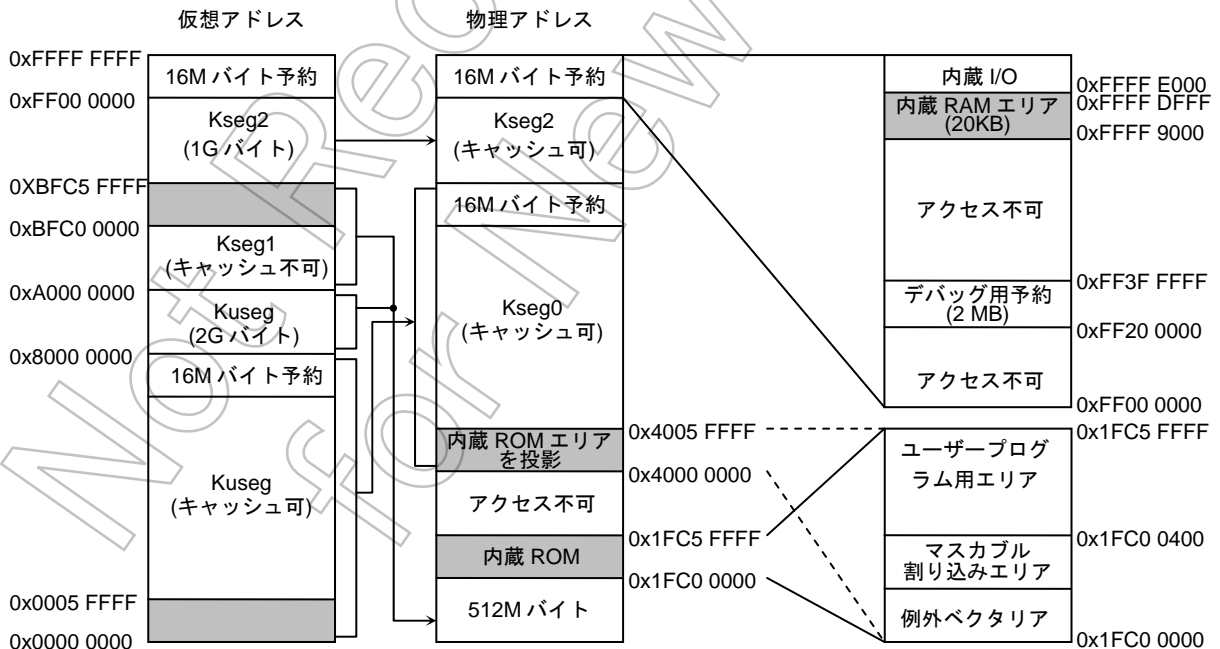


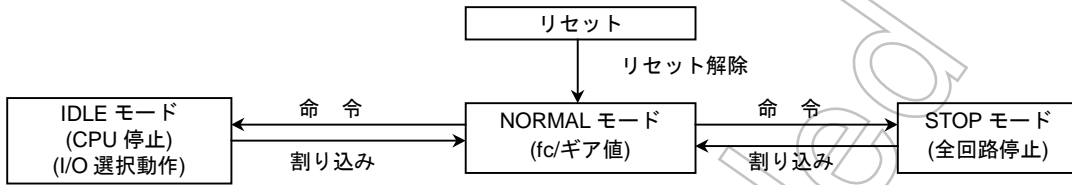
図 4-2 メモリマップ

- (注1) 内蔵 ROM は、
0x1FC0_0000~0x1FC5_FFFF (384KB)
0x1FC0_0000~0x1FC7_FFFF (512KB)
内蔵 RAM は、
0xFFFF_9000~0xFFFF_DFFF (20KB)
0xFFFF_8000~0xFFFF_DFFF (24KB)
にマッピングされます。
- (注2) TMP19A43 では外部アドレス空間として 16 M バイトの物理空間しかアクセスできません。CPU の物理アドレス空間 3.5 G バイト内で任意のチップセレクト領域に 16 M バイトの物理アドレス空間を配置することができます。
ただし、内蔵メモリ、内蔵 I/O 空間および予約エリアへのアクセスは優先され、このときに外部空間へのアクセスはできません。
- (注3) 物理領域の最後の 4 ワードには命令を置かないでください。
内蔵 ROM の場合 : 0x1FC5_FFF0~0x1FC5_FFFF(384KB)
内蔵 ROM の場合 : 0x1FC7_FFF0~0x1FC7_FFFF(512KB)
外部に ROM 拡張する場合はメモリの実装されている最後の 4 ワードが対象になります (ユーザーのシステムによります)。

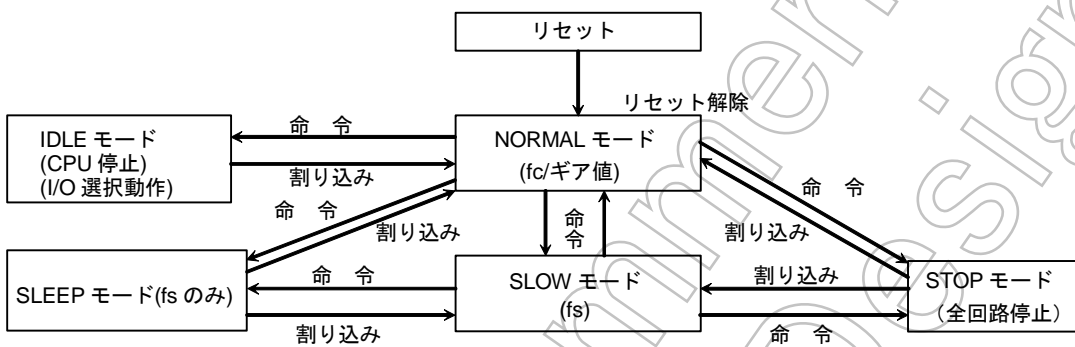
Not Recommended for New Design

5. クロック/スタンバイ制御

システムの動作モードにはプロセッサコアの動作を停止して低消費電力動作を行うスタンバイモードがあります。図 5-1 動作モード別状態遷移図を示します。



(a) シングルクロックモード状態遷移図



(b) デュアルクロックモード状態遷移図

図 5-1 動作モード別状態遷移図

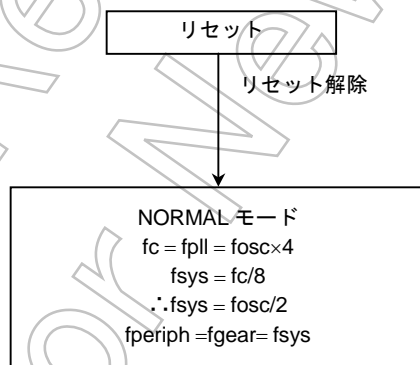


図 5-2 システムクロックのデフォルトの状態

fosc : X1, X2 端子より入力されるクロック周波数
fp11 : PLL により逡倍 (4 逡倍) されたクロック周波数
fc : 高周波クロック周波数
fsgear : SYSCR1<SGEAR>により選択された低周波クロック周波数
fs : 低周波クロック周波数
fgear : クロックジェネレータ部のシステムコントロールレジスタ SYSCR1<GEAR2:0>で選択されたクロック周波数
fsys : システムクロック周波数
 CPU、ROM、RAM、DMAC、INTC、HSIO の動作クロックです。内蔵周辺 I/O の動作クロックは $f_{sys}/2$ になります。
fperiph : SYSCR1<FPSEL>で選択されたクロック周波数 (周辺 I/O のプリスケアラへの入力クロック)

5.1 クロック系統ブロック図

5.1.1 メイン・システム・クロック

- 発振子接続または外部クロック入力可能
- クロックギア (3/4, 1/2, 1/4, 1/8)
(デフォルトは 1/8 分周)
- 入力周波数 (高周波)

入力周波数範囲	最大動作周波数	最低動作周波数
8~10 (MHz)	40 MHz	4 MHz ※

※ 8MHz (MIN) 入力時にクロックギア 1/8 (初期値) 使用

- 入力周波数 (低周波)

入力周波数範囲	最大動作周波数	最低動作周波数
30KHz~34 KHz	34 kHz	15 kHz

※低速クロックギア 1/2 使用時 : 15KHz (MIN)

(注) (高速クロックギア切り替え時の注意点)

クロックギアの切り替えは、SYSCR1<GEAR2:0>レジスタへ値を書き込むことにより実行されます。書き込んだ後、すぐには切り替わらずに切り替え前のクロックギアで実行する場合があります。クロックギア切り替え命令の次の命令から切り替え後のクロックで実行すべき場合は、ダミーの命令 (ライトサイクルが実行される命令) および、SYNC 命令を挿入してください。

クロックギアを使用する場合、周辺 I/O の各ブロックのプリスケアラ出力 ϕT_n は必ず

$$\phi T_n < f_{sys}/2$$

を満足するように時間設定 (ϕT_n が $f_{sys}/2$ よりも遅くなるように) してください。また、タイマカウンタなどの周辺 I/O 動作中にクロックギアを切り替えないようにしてください。

(注) クロックギア使用制限

クロックギアを使用して周辺 I/O を動作させる場合、1, 1/2, 1/4, 1/8 の分周比を使用して下さい。他の分周比を選択した場合、周辺 I/O および外部バスは正常に動作しない可能性があります。

5.1.2 クロックギア

- 高速クロックを 3/4, 1/2, 1/4, 1/8 に分周
- 内蔵 I/O 用プリスケラクロック $\Phi T0$: $f_{periph}/2$, $f_{periph}/4$, $f_{periph}/8$, $f_{periph}/16$

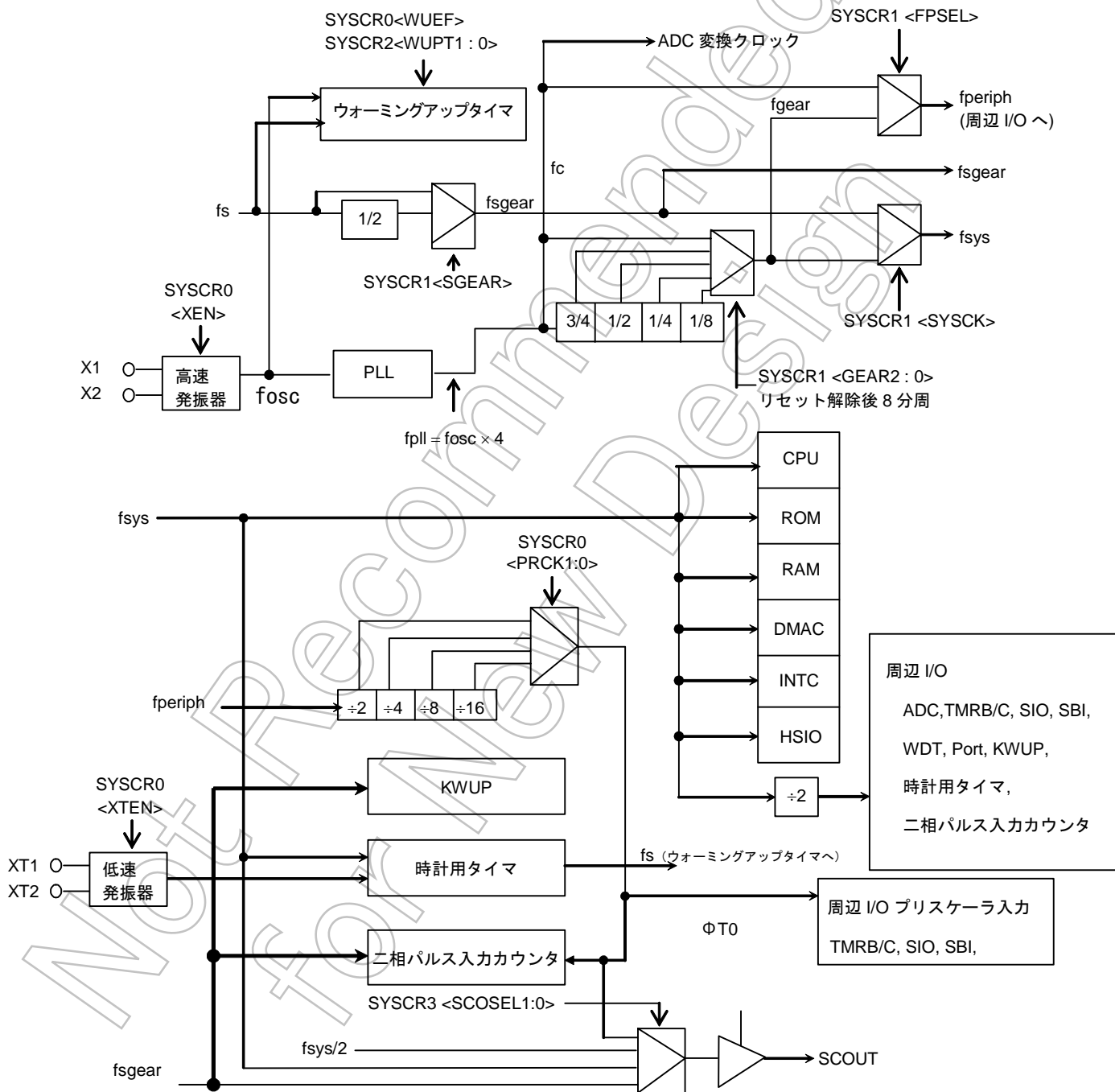


図 5-3 クロック、スタンバイ関連ブロック図

5.2 CG 関連レジスタ

5.2.1 システムコントロールレジスタ

LITTLE BIG	SYSCR0 (0xFFFF_EE00) (0xFFFF_EE03)	Bitsymbol	7	6	5	4	3	2	1	0	
		Read/Write	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W
		リセット後	1	0	1	0	0	0	0	0	0
		機能	高速発振器 0: 停止 1: 発振	低速発振器 0: 停止 1: 発振	STOP モード 解除後の 高速発振器 0: 停止 1: 発振	STOP モード 解除後の 低速発振器 0: 停止 1: 発振	リードする と "0" が 読めます	発振器用 ウォーミン グアップタ イマ(WUP) 制御 0 ライト: don't care 1 ライト: WUP スタート 0 リード: WUP 終了 1 リード: WUP 中	プリスケアラック選択 00: fperiph/16 01: fperiph/8 10: fperiph/4 11: fperiph/2		
LITTLE BIG	SYSCR1 (0xFFFF_EE01) (0xFFFF_EE02)	Bitsymbol	7	6	5	4	3	2	1	0	
		Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
		リセット後	0	0	0	0	0	1	1	1	1
		機能	リードする と "0" が 読めます	システム クロック 状態フラグ 0: 高速 (fc) 1: 低速 (fs)	システムク ロック選択 0: 高速 (fgear) 1: 低速 (fs)	fperiph 選択 0: fgear 1: fc	低速クロッ クギア選択 0: fs/1 1: fs/2	高速クロック (fc) のギア選択 000: fc 001: reserved 010: fc3/4 011: reserved 100: fc/2 101: reserved 110: fc/4 111: fc/8			
LITTLE BIG	SYSCR2 (0xFFFF_EE02) (0xFFFF_EE01)	Bitsymbol	7	6	5	4	3	2	1	0	
		Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	
		リセット後	0	0	1	0	1	1	0	0	
		機能	高速発振器 電流制御 0: 能力大 1: 能力小	リードする と "0" が 読めます	発振器用ウォーミン グアップ時間選択 00: WUP 無し 01: 2 ⁹ / 入力周波数 10: 2 ¹⁴ / 入力周波数 11: 2 ¹⁶ / 入力周波数	スタンバイモード選択 00: Reserved 01: STOP 10: SLEEP 11: IDLE	リードする と "0" が 読めます	1: STOP モード 中も端子をド ライブします			
LITTLE BIG	SYSCR3 (0xFFFF_EE03) (0xFFFF_EE00)	Bitsymbol	7	6	5	4	3	2	1	0	
		Read/Write	R	R/W	R/W	R/W	R				
		リセット後	0	0	1	1	0				
		機能	リードする と "0" が 読めます	SCOUT 出力選択 00: fsgear 01: fsys/2 10: fsys 11: φT0	ALE 出力幅 設定 0: fsys × 1 1: fsys × 2	リードすると "0" が読めます					

- ・ SYSCR0<SYSCR0>と GEAR<2:0>を同時に切り替えしないで下さい。
- ・ SYSCR2<DRVOSCH> 1: 能力小状態で STOP に移行した場合、STOP 解除後は 0: 能力大設定になります。
必要な場合は、再設定お願い致します。
- ・ SYSCR0 の切り替えは、XEN=XTEN="1" の時有効です。
- ・ RXEN, RXTEN は SYSCR0 で選択されている発振器を必ず 1 : 発振に設定してください。
- ・ STOP モード解除後は SYSCR0 で選択されているクロックは必ず発振します。

5.3 システムクロック制御部

リセットによりシングルクロックモードになり、 $\langle XEN \rangle = "1"$ 、 $\langle XTEN \rangle = "0"$ 、 $\langle GEAR2 : 0 \rangle = "111"$ に初期化されるのでシステムクロック f_{sys} は $f_c/8$ となります (PLL にて原発振は 4 通倍されるので $f_c = f_{osc}$ (原発振周波数) $\times 4$)。例えば、X1, X2 端子に 10MHz の発振子を接続していると、リセットにより f_{sys} は $(10 \times 4 \times 1/8) = 5\text{MHz}$ となります。

発振子を接続しないで外部発振器などからクロックを入力する場合も同様に、 f_{sys} は入力周波数 $\times 4 \times 1/8$ の周波数になります。

5.3.1 発振安定時間 (NORMAL \leftrightarrow SLOW モードの切り替え)

発振子接続端子に発振子を接続している場合、発振子の発振安定を確認するためにウォーミングアップタイムがあります。ウォーミングアップ時間は発振子の特性に合わせて $\text{SYSCR2}\langle \text{WUPT1} : 0 \rangle$ により選択できます。このスタート、終了確認は $\text{SYSCR0}\langle \text{WUEF} \rangle$ を使用しソフト (命令) により行います。ウォーミングアップ終了の確認後、システムクロックの切り替えを行ってください ($\text{SYSCR1}\langle \text{SYSCK} \rangle$)。

クロック切り替えが生じたときに、現在のシステムクロックは $\text{SYSCR1}\langle \text{SYSCKFLG} \rangle$ をモニタすることにより確認できます。

表 5-1 に切り替え時のウォーミングアップ時間を示します。

(注 1) クロックに発振器などを使用しており発振が安定している場合にも、内蔵 PLL を使用しますので、ウォーミングアップ時間が必要です。

(注 2) ウォーミングアップタイムは発振クロックで動作しているため、発振周波数にゆらぎがある場合は誤差を含みます。従って概略時間としてとらえる必要があります。

表 5-1 ウォーミングアップ時間

ウォーミングアップタイム選択 $\text{SYSCR2}\langle \text{WUPT1} : 0 \rangle$	高速クロック (f_{osc})	低速クロック (f_s)
01 (2^8 /発振周波数)	25.6 (μs)	7.8 (ms)
10 (2^{14} /発振周波数)	1.638 (ms)	500 (ms)
11 (2^{16} /発振周波数)	6.554 (ms)	2000 (ms)

計算値は
 $f_{osc} = 10\text{MHz}$,
 $f_s = 32.768\text{kHz}$
 の場合です

〈例 1〉 NORMAL モードから SLOW モードへの移行

SYSCR2<WUPT1:0>="xx" : ウォーミングアップ時間選択
 SYSCR0<XTEN>="1" : 低速発振 (fs) イネーブル
 SYSCR0<WUEF>="1" : ウォーミングアップタイム (WUP) スタート
 SYSCR0<WUEF>リード : "0" (WUP 終了) になるまでウェイト
 SYSCR1<SYSCK>="1" : システムクロックを低速 (fs) に切り替え
 SYSCR1<SYSCKFLG>リード : "1" (現在のシステムクロックが fs) であることを確認
 SYSCR0<XEN>="0" : 高速発振 (fosc) ディセーブル

〈例 2〉 SLOW モードから NORMAL モードへの移行

SYSCR2<WUPT1:0>="xx" : ウォーミングアップ時間選択
 SYSCR0<XEN>="1" : 高速発振 (fosc) イネーブル
 SYSCR0<WUEF>="1" : ウォーミングアップタイム (WUP) スタート
 SYSCR0<WUEF>リード : "0" (WUP 終了) になるまでウェイト
 SYSCR1<SYSCK>="0" : システムクロックを高速 (fgear) に切り替え
 SYSCR1<SYSCKFLG>リード : "0" (現在のシステムクロックが fgear) であることを確認
 SYSCR0<XTEN>="0" : 低速発振 (fs) ディセーブル

(注 1) SLOW モードでは低速クロックで CPU が動作します。INTG、時計用タイマ、二相パルス入力カウンタ、KWUP (ダイナミックプルアップ)、I/O ポート、EBIF (外部バスインタフェース) の動作が可能です。他の内蔵周辺機能は SLOW モードへ遷移する前に停止してください。

(注 2) システムクロックを切り替える場合、SYSCR1<SYSCKFLG>をリードして、システムクロックが完全に切り変わっている事を確認してください。

5.3.2 システムクロックの端子出力機能

システムクロック fsys または fsys/2、低速クロック fsgear または周辺 I/O 用プリスケラ入力クロック $\Phi T0$ を P44/SCOUT 端子から出力できます。ポート 4 関係のレジスタ P4CR<P44C>="1", P4FC<P44F>="1" に設定することにより、P44/SCOUT 端子は SCOUT 出力端子になります。出カクロックの選択は SYSCR3<SCOSEL1:0>によって設定します。

表 5-2 に P44/SCOUT 端子を SCOUT 出力に設定した場合のスタンバイモード別端子状態を示します。

表 5-2 スタンバイモード別 SCOUT 出力状態

SCOUT 選択	モード	NORMAL	SLOW	スタンバイモード		
				IDLE	SLEEP	STOP
<SCOSEL1:0> = "00"		fsgear クロックを出力します				
<SCOSEL1:0> = "01"		fsys/2 クロックを出力します		"0" または "1" に固定されます		
<SCOSEL1:0> = "10"		fsys クロックを出力します				
<SCOSEL1:0> = "11"		$\Phi T0$ クロックを出力します				

(注) SCOUT から出力されるシステムクロックは内部クロックとの位相差 (AC タイミング) は保証できません。

5.3.3 発振器のドライブ能力低減

発振子接続用端子に発振子を接続する場合に発振器から出力される発振ノイズの抑制、発振器の低消費電力化を目的とします。

SYSCR2<DRVOSCH>を“1”にセットすることにより高速発振器のドライブ能力は低減（能力小）します。

リセットにより“0”に初期化されるので、電源投入時は通常（能力大）のドライブ能力で発振開始します。モード移行時の発振器の発振開始時はからず、ドライブ能力大（<DRVOSCH> = “0”）の状態に自動設定されます。

● 高速発振器のドライブ能力低減

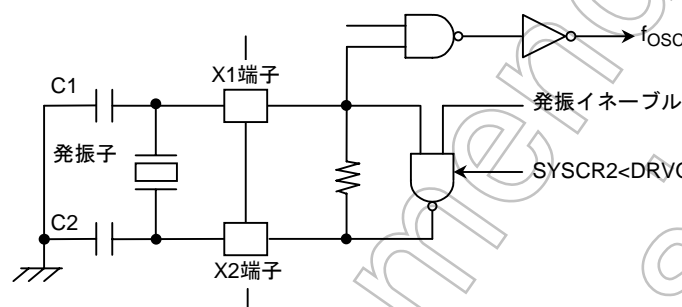


図 5-4 発振器のドライブ能力

5.3.4 システムクロック低速時のクロック分周

システムコントロールレジスタ SYSCR1<SGEAR>を”1”に設定することにより、低速クロック (f_s) を 2 分周できます。よって SLOW モード時の消費電力を低減できます。

また、クロック分周の設定は高速クロック発振中に行なって下さい。

5.4 プリスケーラクロック制御部

内蔵 I/O (TMRB0~F, TMRC, S100~2, SBI) には、それぞれにクロックを分周するプリスケーラがあります。これらのプリスケーラへ入力するクロック $\phi T0$ は、SYSCR1<FPSEL>と SYSCRO<PRCK1:0>から選択されたクロック f_{periph} を更に SYSCRO<PRCK1:0>にて分周されたクロックとなります。リセット後の $\phi T0$ は $f_{periph}/16$ が選択されます。詳細は図 5-5 システムクロック遷移図を参照下さい。

5.5 クロック逡倍回路 (PLL)

高速発振器の出力クロック f_{osc} を 4 逡倍した f_{pll} クロックを出力する回路です。これにより、発振器への入力周波数は低く内部クロックは高速にすることが可能です。

Not Recommended
for New Design

5.6 スタンバイ制御部

TX19A コアには、いくつかの低消費モードがあります。STOP, SLEEP, IDLE (Halt モード、Doze) モードへは、CP0 の Status レジスタの RP ビットを設定し、その後 WAIT 命令を実行することで移行できます。

移行するに当たり、事前にスタンバイモードをシステムコントロールレジスタ (SYSCR2) にて選択しておく必要があります。

IDLE、SLEEP、STOP モードの特長は次の通りです。

IDLE: CPU のみ停止するモードです。

内蔵 I/O は、各モジュールの中のレジスタに IDLE モード時の動作/停止設定レジスタを 1 ビット持ち IDLE モードでの動作設定が可能です。IDLE モード時に動作停止に設定された内蔵 I/O は、IDLE モードへ遷移した時の状態で停止します。

表 5-3 に IDLE 設定レジスタの一覧を示します。

表 5-3 IDLE モードでの内蔵 I/O 設定レジスタ

内蔵 I/O	IDLE モード設定レジスタ
TMRB0~F	TBxRUN<I2TBx>
TMRC	TCCR<I2TBT>
S100~3	SCxMOD1<I2Sx>
HS100~3	HSCxMOD1<I2Sx>
I2C/SIO (SBI)	SBI BR1<I2SBIx>
A/D コンバータ	ADMOD1<I2AD>
WDT	WDMOD<I2WDT>

(注 1) Halt モード (Status レジスタの中の RP ビット" 0" をセットして WAIT コマンド実行にてスタンバイモードに遷移) では、TX19A プロセッサコアはパイプラインの状態を保持したままプロセッサ動作を停止します。内蔵 DMA からのバス制御権要求に対しては応答しませんので、バス制御権を占有したままの状態となります。

(注 2) Doze モード (Status レジスタの中の RP ビット" 1" をセットしてスタンバイモードに遷移) では、TX19A プロセッサコアはパイプラインの状態を保持したままプロセッサ動作を停止します。プロセッサコア外部からのバス制御権要求に対して応答することができます。

SLEEP: 内部低速発振器と時計タイマ、二相パルス入力カウンタ、ダイナミックプルアップ回路 (KWUP) のみ動作します。

STOP: すべての内部回路が停止します。

スタンバイモード選択は、CP0 の Status<RP>との組み合わせで選択されます。

下記表の" X" の設定では WAIT 命令を実行しないでください。

	STBY 1:0	HALT RP=0	DOZE RP=1
RESERVED	00	X	X
STOP	01	STOP	X
SLEEP	10	SLEEP	X
IDLE	11	HALT	DOZE

5.6.1 各モードでの CG の動作

表 5-4 各動作モードにおける CG の状態

クロックソース	モード	発振回路	PLL	周辺 I/O へのクロック供給	GPU へのクロック供給
発振子	Normal	○	○	○	○
	Slow	○	×	一部供給 (注)	○
	Idle (Halt)	○	○	Selectable	×
	Idle (Doze)	○	○	Selectable	×
	Sleep	fs のみ	×	時計用タイマ/二相パルス入力カウンタ/KWUP	×
	Stop	×	×	×	×

○ : 動作または、クロックを供給 × : 停止またはクロックを非供給

(注) SLOW モードで動作可能な周辺機能 : INTC, 外部バスインタフェース, IO ポート, 時計用タイマ, 二相パルス入力カウンタ, KWUP

5.6.2 各モードにおけるブロックの動作

表 5-5 各動作モードにおけるブロックの動作状態

ブロック	NORMAL	SLOW	IDLE (Doze)	IDLE (Halt)	SLEEP	STOP
TX19A プロセッサコア	○	○	×	×	×	×
DMAC	○	○	○	×	×	×
INTC	○	○	○	○	×	×
外部バス I/F	○	○	○	×	×	×
IO ポート	○	○	○	×	×	×
ADC	○	×	モジュールごとに動作/停止 選択可能		×	×
DAC	○	×			×	×
SIO	○	×			×	×
HSIO	○	×			×	×
I2C	○	×			×	×
TMRB	○	×			×	×
TMRC	○	×			×	×
WDT	○	×	×	×	×	
二相パルス入力カウンタ	○	○			○ (fs のみ)	×
ダイナミックプルアップ (KWUP)	○	○	○	○	○	○ (スタティック設定時)
RTC	○	○	○	○	○	×
CG	○	○	○	○	○	×
高速発振器 (fc)	○	△ (注)	○	○	×	×
低速発振器 (fs)	○	○	○	○	○	×

○ : 動作 × : 停止

注) SLOW モードへの遷移では、高速発振器は SYSOCR1<XEN>にて停止する必要があります。

5.6.3 スタンバイ状態からの解除

スタンバイ状態からの解除は、割り込み要求の場合は、割り込みレベルが割り込みマスクレベルより高い場合、またはリセットによって行うことができます。使用できるスタンバイ解除ソースは、TX19A プロセッサコアのシステム制御コプロセッサ (CP0) にあるステータスレジスタ (Status レジスタ) に割り付けられている割り込みマスクレジスタ<IM15 : 8>の状態と、スタンバイモードの組み合わせにより決まります。詳細を表 5-6示します。

- 割り込み要求による解除

割り込み要求によるスタンバイ状態からの解除動作は、設定されている割り込みレベルが割り込みマスクレジスタの値より大きければスタンバイ解除後にその要因による割り込み処理を行います。スタンバイへ移行した命令 (WAIT 命令) の次の命令から処理をスタートします。マスクレベルと同じまたは、低い場合はスタンバイの解除は行いません。

ノンマスクブル割り込みでは、マスクレジスタの値に関係なくスタンバイ解除後、割り込み処理を行います。

- リセットによる解除

リセットにより、すべてのスタンバイ状態からの解除を行うことができます。ただし、STOP モード等、発振が停止している状態からの解除では、発振器動作が安定するための十分なリセット時間が必要です (発振安定時間+500 μ s 以上)。

STOP/SLEEP/IDLE 解除割り込み、通常の割り込みの詳細に関しては「6. 割り込み」の項をご参照ください。

Not Recommended for New Design

スタンバイ解除ソースとスタンバイ解除の動作
(割り込みレベル) > (割り込みマスク)

表 5-6

割り込み受け付け状態		割り込み許可 EI= "1"			割り込み禁止 EI= "0"		
スタンバイモード		IDLE (プログラマブル)	SLEEP	STOP	IDLE (プログラマブル)	SLEEP	STOP
スタンバイ解除ソース	INTWDT	◎	×	×	◎	—	—
	INT0~B	◎	◎	◎(注1)	◎	○	○(注1)
	KWUPO0~31	◎	◎	◎(注1)	◎	○	○(注1)
	INTRTC	◎	◎	×	◎	○	×
	INTTB2~3(注2)	◎	◎	×	◎	○	×
	INTTB0~F	◎	×	×	◎	×	×
	INTRX0~2, INTTX0~2	◎	×	×	◎	×	×
	HINTRX0~2, HINTTX0~2	◎	×	×	◎	×	×
	INTSO	◎	×	×	◎	×	×
INTAD/INTADHP/INTADM							

◎: スタンバイ解除後、割り込み処理を開始します (RESETはLSIを初期化します)。

○: スタンバイ解除後、スタンバイ命令の次の番地から処理を開始します (割り込み処理は行いません)。

×: スタンバイ解除に使用できません。

—: ノンマスク割り込みは割り込みマスクでマスクできません。

(注1) ウォーミングアップ時間経過後にスタンバイ解除を行います。

(注2) 二相パルス入力カウンタモードの設定の時のみ該当します。それ以外の時は INTTB0~INTTB3 の場合と同様です。

(注3) 割り込み許可状態において、レベルモードの割り込みによるスタンバイ解除を行う場合、割り込み処理が開始されるまでレベルを保持してください。それ以前でレベルを変化させた場合は、正しい割り込み処理を開始できません。

(注4) スタンバイモードへ移行する場合は、移行前に割り込みコントローラ (INTC) で復帰要因以外の割り込みを禁止してください。禁止していないと復帰要因以外の割り込みでスタンバイ解除が行われる場合があります。

(割り込みレベル) > (割り込みマスク) を設定してください。(割り込みレベル) ≤ (割り込みマスク) の場合スタンバイモードから復帰できなくなります。

5.6.4 STOP モード

STOP モードでは、内部発振器も含めてすべての内部回路が停止します。また、STOP モード時の端子状態は、SYSCR2<DRVE>の設定により異なります。STOP モード時の端子状態を表 5.8 に示します。STOP モードを解除する場合は、内部発振器の安定化のため、ウォーミングアップ用カウンタによるウォーミングアップ時間経過後にシステムクロックの出力を開始します。STOP モードが解除されると、STOP モードへ移行する前の動作モードへ復帰 (NORMAL または SLOW) し動作を開始します。

これら設定は STOP モードに移行する命令を実行する前に行う必要があります。ウォーミングアップ時間の設定は、SYSCR2<WUPT1:0>で行います

(注) TMP19A43 では NORMAL モードから STOP モードに移行する場合、ウォーミングアップ時間に SYSCR2<WUPT1:0>=" 00" または " 01" を設定しないでください。STOP モードからの復帰時に内部システムの復帰時間が満たされません。また、SLOW モードから STOP モードに移行する場合 (高速クロックが停止している状態) はウォーミングアップ時間に必ず SYSCR2<WUPT1:0>=" 11" を設定してください。

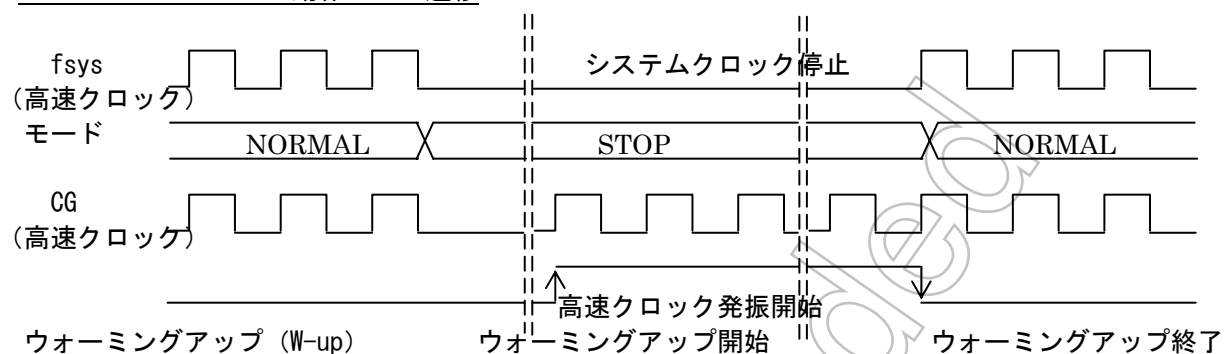
表 5-7 各動作モード遷移時のウォーミングアップ設定

動作モード遷移	ウォーミングアップ設定
NORMAL→IDLE	不要
NORMAL→SLEEP	不要
NORMAL→SLOW	不要
NORMAL→STOP	不要
IDLE→NORMAL	不要
SLEEP→NORMAL	必要
SLEEP→SLOW	不要
SLOW→NORMAL	必要 (注)
SLOW→SLEEP	不要
SLOW→STOP	不要
STOP→NORMAL	必要
STOP→SLOW	必要

注) SLOW モード時に高速発振器を停止している場合

5.6.5 STOP/SLEEP モードからの復帰

1. NORMAL→STOP→NORMAL 動作モード遷移



@fosc=10MHz の場合

W-up時間選択 SYSCR2<WUPT1:0>	W-up時間 (fosc)
01 ($2^8/fosc$)	設定禁止
10 ($2^{14}/fosc$)	1.638ms
11 ($2^{16}/fosc$)	6.554ms

(注) 内部システムの復帰時間が満たされません。<WUPT1:0>="01"は設定しないでください。

2. NORMAL→SLEEP→NORMAL 動作モード遷移

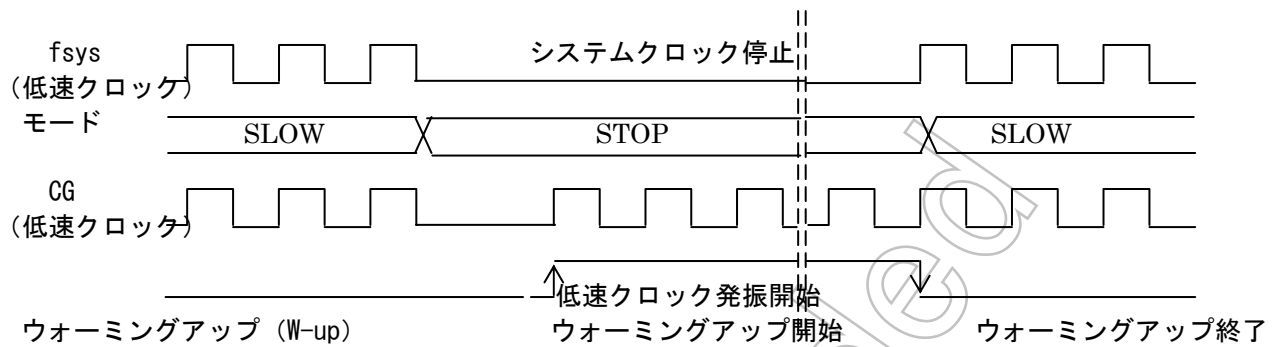


@fosc=10MHz の場合

W-up時間選択 SYSCR2<WUPT1:0>	W-up時間 (fosc)
01 ($2^8/fosc$)	設定禁止
10 ($2^{14}/fosc$)	1.638ms
11 ($2^{16}/fosc$)	6.554ms

(注) 内部システムの復帰時間が満たされません。<WUPT1:0>="01"は設定しないでください。

3. SLOW→STOP→SLOW 動作モード遷移



@fs=32.768kHz の場合

W-up時間選択 SYSCR2<WUPT1:0>	W-up時間 (fs)
11 ($2^{16}/fs$)	2000ms

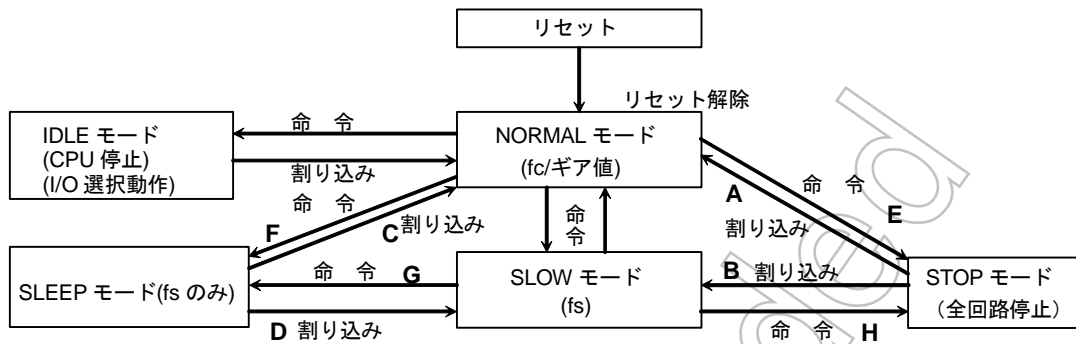
(注) 内部システムの復帰時間が満たされません。<WUPT1:0>="11"以外は設定しないでください。

4. SLOW→SLEEP→SLOW 動作モード遷移



(注) 低速クロック (fs) は発振を継続し、ウォーミングアップの設定は必要ありません。

ウォーミングアップ後、wait 命令実行までに以下の時間が必要です。
 詳細は図及び表を参照願います



モード状態遷移図

WUP 要因	状態遷移	復帰後の状態遷移	wait 命令実行までに必要な時間 (sec)
STOP 解除 WUP	A	STOP/SLEEP	64 / (fsys) @NORMAL モード
	B	STOP/SLEEP	16 / (fsys) @SLOW モード
SLEEP 解除 WUP	C	STOP/SLEEP	64 / (fsys) @NORMAL モード
	D	STOP/SLEEP	WUP 無いため問題無し
WUP 要因	状態遷移		wait 命令実行までに必要な時間 (sec)
ソフト WUP	E	STOP	16 / fs @NORMAL モード
	F	SLEEP	16 / fs @NORMAL モード

表 5-8 SYSCR2<DRVE>別の STOP モード時の端子状態 (1/2)

ピン名称	入力/出力	<DRVE>=0	<DRVE>=1
P00~P07	入力モード 出力モード AD0~AD7, D0~D7	— —	— 出力
P10~P17	入力モード 出力モード, AD8~AD15, D8~D15 A8~A15 (出力モード)	— — 出力	— 出力 出力
P20~P27	入力モード 出力モード A0~A7/A16~A23 (出力モード)	— — 出力	入力 出力 出力
P30 (/RD), P31 (/WR)	出力ピン /RD, /WR (出力モード)	— 出力	出力 出力
P32 (/HWR), P35 (/BUSAK), P36 (R/W)	入力モード 出力モード /HWR, /BUSAK, R/W (出力モード)	— — 出力	入力 出力 出力
P37 (ALE)	入力モード 出力モード ALE (出力モード)	— — “L” レベル出力	入力 出力 “L” レベル出力
P40~P43	入力モード 出力モード /CS0~/CS2 (出力モード) KEY24~KEY27 (入力モード)	— — 出力 入力	入力 出力 出力 入力
P44~P47	入力モード 出力モード	— —	入力 出力
P50~P55	入力モード 出力モード A0~A5 (出力モード)	— — 出力	入力 出力 出力
P56, P57	入力モード 出力モード A6, A7 (出力モード) KEY28, KEY29 (入力モード)	— — 出力 入力	入力 出力 出力 入力
P61, P64	入力モード 出力モード A9, A12 (出力モード) INTA, INTB (入力モード)	— — 出力 入力	入力 出力 出力 入力
P60, P62, P63, P65~P67	入力モード 出力モード A8, A10, A11, A13~A15 (出力モード)	— — 出力	入力 出力 出力
P70~73	入力モード	—	—
P74~77	入力モード KEY00~KEY03 (入力モード)	入力 入力	入力 入力
P80~P83	入力モード KEY04~KEY07 (入力モード)	入力 入力	入力 入力
P84~P87	入力モード INT6~INT9 (入力モード)	入力 入力	入力 入力
P9	入力モード 出力モード	— —	入力 出力
PA0~PA5	入力モード 出力モード INT0~INT5 (入力モード)	— — 入力	入力 出力 入力
PA6, PA7	入力モード 出力モード	— —	入力 出力
PB0~PB7	入力モード 出力モード	— —	入力 出力

表 5-9 SYSCR2<DRVE>別の STOP モード時の端子状態 (2/2)

ピン名称	入力/出力	<DRVE>=0	<DRVE>=1
PC0	入力モード 出力モード KEY30 (入力モード)	— — 入力	入力 出力 入力
PC1~PC7	入力モード 出力モード	— —	入力 出力
PDO~PD5	入力モード 出力モード	— —	入力 出力
PD6	入力モード 出力モード KEY30 (入力モード)	— — 入力	入力 出力 入力
PE0~PE7	入力モード 出力モード KEY08~KEY15 (入力モード)	— — 入力	入力 出力 入力
PF0~PF7	入力モード 出力モード KEY16~KEY23 (入力モード)	— — 入力	入力 出力 入力
PG, PH	入力モード 出力モード	— —	入力 出力
RESET	入力ピン	入力	入力
TEST	入力ピン	入力	入力
X1	入力ピン	—	—
X2	出力ピン	“H” レベル出力	“H” レベル出力
XT1	入力ピン	—	—
XT2	出力ピン	“H” レベル出力	“H” レベル出力

— : 入力モード/入力ピンは、入力がディセーブルになり、出力モード/出力ピンは、ハイインピーダンスになることを示します。但し、ポートファンクションレジスタ (PxFC) = "1" かつ、ポートコントロールレジスタ (PxCR) = "0" の場合は入力はイネーブルになります。

入力 : 入力ゲートが働いています。入力ピンが浮かないよう入力電圧を、“L” レベルまたは、“H” レベルに固定してください。

出力 : 出力状態になっています。

6. 例外／割り込み

6.1 概要

TMP19A43 は下記の 50 要因のマスクブル割り込みと NMI を含む 15 種類の例外で構成されています。この章では一般例外／デバッグ例外を「例外」、割り込みを「割り込み」として説明しています。

- ・ 一般例外

- リセット例外
- ノンマスクブル割り込み (NMI)
- アドレスエラー例外 (命令フェッチ)
- アドレスエラー例外 (ロード／ストア)
- バスエラー例外 (命令フェッチ)
- バスエラー例外 (データアクセス)
- コプロセッサ使用不可例外
- 予約命令例外
- 整数オーバフロー例外
- トラップ例外
- システムコール例外
- ブレークポイント例外

- ・ デバッグ例外

- シングルステップ例外
- デバッグブレークポイント例外

- ・ 割り込み

- マスクブルソフトウェア割り込み (2 要因)
- マスクブルハードウェア割り込み (内部 : 46 要因、外部 (INT0~F, KEY00~31) : 48 要因)

TMP19A43 では、内蔵している周辺ハードウェア及び外部からの割り込み要求を処理するだけでなく、通常の命令シーケンスに生じた異常状態の通知手段として強制的に例外処理に移されます。

TX19A プロセッサコアで新たに実装された、Shadow Register Set と呼ばれるレジスタバンクを使用することで割り込み応答時の汎用レジスタ (GPR) の退避が不要になり、高速な割り込み応答が可能です。

プログラマブルな 7 段階の割り込みレベル (優先順位) に従った多重割り込み処理をすることができます。また、マスクレベル以下の割り込み要求をマスクすることが可能です。

6.2 例外ベクタ

例外ベクタアドレスは、例外ハンドラの開始アドレスです。リセット例外、ノンマスカブル割り込みの例外ベクタアドレスは 0xBFC0_0000 です。デバッグ例外での例外ベクタアドレスは、内部信号<ProbeEn>の値によって 0xBFC0_0480 (EJTAG ProbEn=0) または 0xFF20_0200 (EJTAG ProbEn=1) になります。その他の例外はシステム制御コプロセッサ (CPO) レジスタの Status<BEV>、Cause<IV>の状態により異なります。

表 6-1 例外ベクタテーブル (仮想アドレス)

Exception	BEV=0	BEV=1
Reset, NMI	0xBFC0_0000	0xBFC0_0000
デバッグ例外 (En=0)	0xBFC0_0480	0xBFC0_0480
デバッグ例外 (En=1)	0xFF20_0200	0xFF20_0200
割り込み (IV=0)	0x8000_0180	0xBFC0_0380
割り込み (IV=1)	0x8000_0200	0xBFC0_0400
その他の一般例外	0x8000_0180	0xBFC0_0380

(注) 例外ベクタアドレスを内蔵 ROM に置く場合にはシステム制御コプロセッサ (CPO) レジスタの Status<BEV>を “1” にしてください。

6.3 リセット例外

外部リセット端子を “L” にするか、WDT のリセット設定値までカウントを続けるとリセット例外が発生します。リセット例外が発生すると、周辺ハードウェアレジスタ、CPO レジスタが初期化され、例外ベクタアドレス 0xBFC0_0000 番地にジャンプします。リセット例外が発生した PC の値は CPO レジスタの ErrorEPC に格納されます。

リセット例外によって CPO レジスタの Status<ERL>が “1” にセットされ、割り込み禁止状態となるため、割り込みを使用する場合は、スタートアップルーチン (リセット例外ハンドラ) 等で Status<ERL>を “0” にクリアする必要があります。

リセット例外発生時の詳細な動作は別冊「TX19A コア アーキテクチャ」の「例外処理 リセット例外」の章を参照してください。

6.4 ノンマスカブル割り込み (NMI)

WDT の NMI 設定値までカウントを続けるか、DMA 転送を含むストアアクセスによってバスエラー領域をアクセスすると NMI が発生します。NMI が発生すると、CPO レジスタの Status<ERL>と<NMI>が”1”にセットされ、例外ベクタアドレス 0xBFC0_0000 番地にジャンプします。

NMI が発生した PC の値は CPO レジスタの ErrorEPC に格納されます。ただしストア命令によるバスエラーによって発生した NMI は命令と非同期で例外が発生するため、発生の原因となった命令の PC ではなく、発生時に実行していた PC の値が格納されます。NMI では Shadow Register Set を有効にした場合、NMI 発生後、SSCR<PSS>に SSCR<CSS>の値が上書きされますが、SSCR<CSS>の値は更新されないためレジスタバンクは切り替わりません。SSCR<PSS>の値のみ更新されるのは、NMI からの復帰時に ERET 命令を実行することによって、SSCR<PSS>に SSCR<CSS>の値が上書きされ、レジスタバンクが変わってしまうことを防ぐためです。

発生した原因は CG の NMIFLG<WDT>、<WBER>で判別することが可能です。「6.10NMI フラグレジスタ参照」NMI 発生時の詳細な動作は別冊「TX19A コア アーキテクチャ」の「例外処理 ノンマスカブル割り込み」の章を参照してください。

6.5 一般例外 (リセット例外/NMI 以外)

SYSCALL 命令等の特定の命令を実行した場合や不正な命令フェッチなどの異常状態を検出した場合に一般例外が発生します。CPO レジスタの Status<BEV>=1 の場合、一般例外が発生すると例外ベクタ 0xBFC0_380 番地へジャンプします。一般例外の要因は CPO レジスタの Cause<ExCode>で判別することが可能です。

一般例外が発生した PC の値は CPO レジスタの EPC に格納されます。ただしバスエラー例外（データアクセス）は命令と非同期で例外が発生するため、発生の原因となった命令の PC ではなく、発生時に実行していた PC の値が格納されます。一般例外では Shadow Register Set を有効にした場合、例外発生後、SSCR<PSS>に SSCR<CSS>の値が上書きされますが、SSCR<CSS>の値は更新されないためレジスタバンクは切り替わりません。SSCR<PSS>の値のみ更新されるのは、例外からの復帰時に ERET 命令を実行することによって、SSCR<PSS>に SSCR<CSS>の値が上書きされ、レジスタバンクが変わってしまうことを防ぐためです。

アドレスエラー例外（命令フェッチ、ロード/ストア）、バスエラー（命令フェッチ、データアクセス）の発生原因となった不正なアドレスは CPO レジスタの BadVAddr に格納されます。

一般例外発生時の詳細な動作は別冊「TX19A コア アーキテクチャ」の「例外処理」の各例外に該当する章を参照してください。

(注1) アドレスエラー例外（ロード/ストア）は DMA 転送では発生しません。DMA 転送の場合は、コンフィグレーションエラー（DMAC の CSRx<Conf>）で検出することができます。

(注2) バスエラー（データアクセス）はロード命令もしくは DMA 転送によるロードアクセスで発生します。

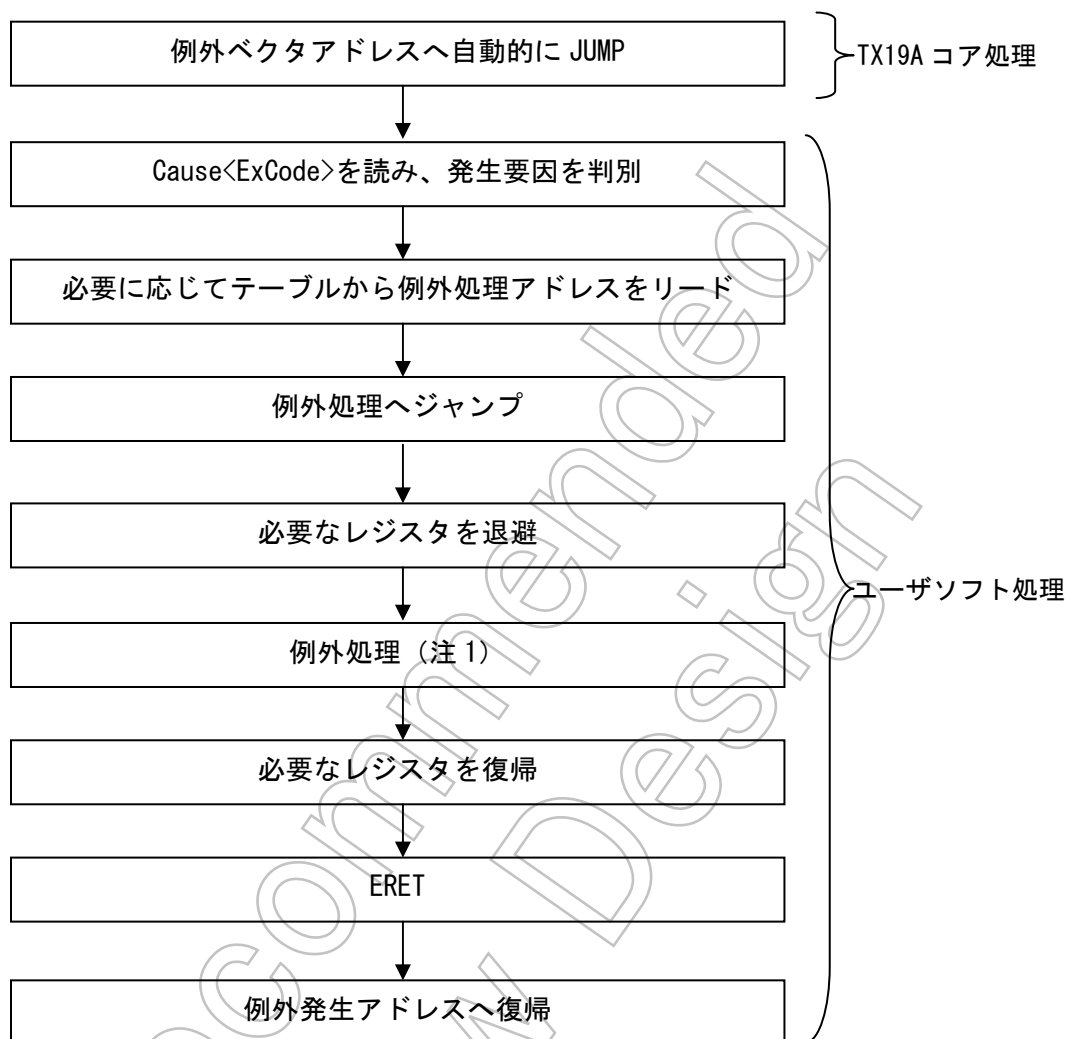


図 6-1 一般例外（リセット例外／NMI 以外）動作例

(注1) トラップ例外、システムコール例外、ブレークポイント例外を除く一般例外（リセット例外／NMI 以外）は、異常状態を意味しているためリセットをかけるような処理をするのが一般的です。

(注2) バスエラー例外（命令フェッチ、データアクセス）以外の一般例外（リセット例外／NMI 以外）は、EPC に例外発生原因となった PC が格納されますので、そのまま ERET で復帰した場合、再度例外が発生する可能性があります。

6.6 デバッグ例外

デバッグ例外には、シングルステップ例外とデバッグブレークポイント例外があります。通常、ユーザプログラムでこの例外を使用することはありません。

またデバッグ例外では Shadow Register Set を有効にしても切り替わりません。

デバッグ例外発生時の詳細な動作は別冊「TX19A コア アーキテクチャ」の「例外処理 デバッグ例外」の章を参照してください。

6.7 マスカブルソフトウェア割り込み

マスカブルソフトウェア割り込み（以下、ソフトウェア割り込み）は CPO レジスタの Cause<IP[1:0]>を個別に”1”をセットすることで2要因のソフトウェア割り込みを発生させることができます。

ソフトウェア割り込みは CPO レジスタの Cause<IP[1:0]>に値をセットしてから最短3クロック後に割り込みが受け付けられます。

ソフトウェア割り込み要求を受け付けるためには、CPO レジスタの Status<IM[1:0]>に”1”がセットされている状態で、CPO レジスタの Status<IE>が”1”にセットされ、Status<ERL/EXL>が”0”にクリアされている必要があります。また CPO レジスタの Status<IM[1:0]>に”0”をセットすることでソフトウェア割り込みを個別にマスクすることが可能です。ソフトウェア割り込みとハードウェア割り込みが同時に発生した場合、ハードウェア割り込みが優先されます。

ソフトウェア割り込みでは Shadow Register Set を有効にした場合、ソフトウェア割り込み発生後、SSCR<PSS>に SSCR<CSS>の値が上書きされますが、SSCR<CSS>の値は更新されないためレジスタバンクは切り替わりません。SSCR<PSS>の値のみ更新されるのは、ソフトウェア割り込みからの復帰時に ERET 命令を実行することによって、SSCR<PSS>に SSCR<CSS>の値が上書きされ、レジスタバンクが変わってしまうことを防ぐためです。ソフトウェア割り込みは図 6-2 のようなフローで割り込み処理を行います。

(注1) ソフトウェア割り込み発生後、IVR の読み出しを行なって下さい。IVR の読み出しを行なうまでハードウェア割り込みが、コアへに通知されません。

(注2) ソフトウェア割り込みは後述のハードウェア割り込み要因のうちの「ソフトウェアセット」とは異なります。IMCO<IL2:0>に”000”以外の値をセットすることで、ハードウェア割り込みが発生することを「ソフトウェアセット」と呼びます。

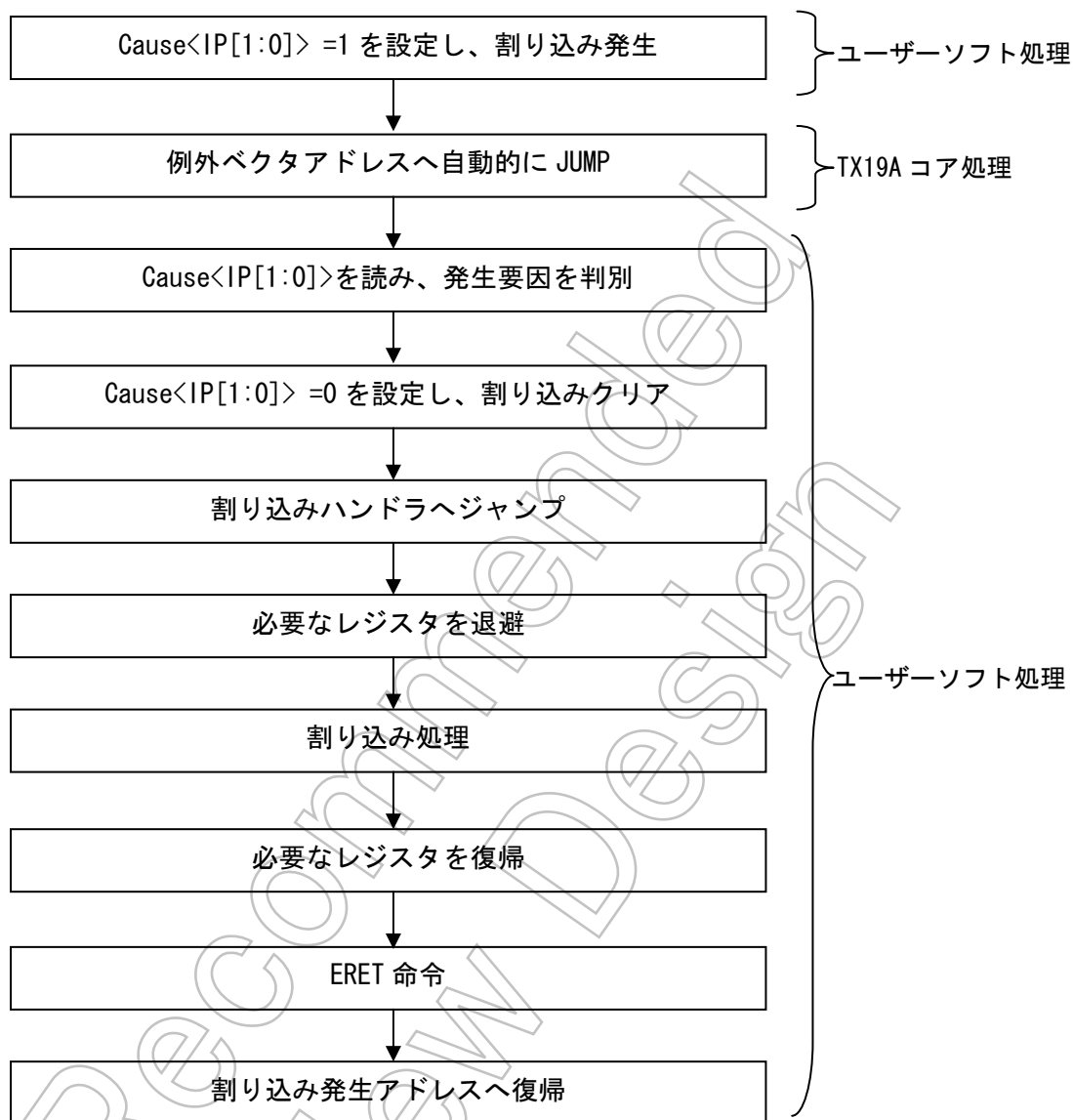


図 6-2 ソフトウェア割り込み動作例

(注) ソフトウェア割り込みは割り込みを有効にした命令から最短 3 クロック後に受け付けられ、その時点の PC が EPC に格納されます。

6.8 マスカブルハードウェア割り込み

6.8.1 特徴

マスカブルハードウェア割り込み（以下、ハードウェア割り込み）は割り込みコントローラ（INTC）により個別に7段階の割り込みレベル（優先順位）を設定できる64要因の割り込み要求です。

ハードウェア割り込み要求を受け付けるためには、CPOレジスタのStatus<IM[4:2]>に”1”がセットされている状態で、CPOレジスタのStatus<IE>が”1”にセットされ、Status<ERL/EXL>が”0”にクリアされている必要があります。

同時に複数の割り込みが発生した場合は、これらの割り込みレベルの優先順位に従って割り込み要求を受け付けられます。また同じ割り込みレベルの割り込みが同時に発生した場合は、表6-2の割り込み番号の小さい割り込み要求から受け付けられます。

割り込み要求を受け付けられると、CPOレジスタのStatus<EXL>が”1”にセットされ、割り込みが禁止状態となり、自動的にINTCのILEV<CMASK>が割り込み要求の設定された割り込みレベルに更新されます。なおCPOレジスタのStatus<IE>は割り込み応答では”1”にセットされたまま変化しません。

ハードウェア割り込みではShadow Register Setと呼ばれるレジスタバンクが割り込みレベルごとに用意されています。（CPOレジスタのSSCR<SSD>=”0”で使用可能となります）

割り込み要求を受け付けられると自動的に割り込みレベルと同じ番号のレジスタバンクに切り替わります。そのため割り込み応答時のユーザプログラムによる汎用レジスタ（GPR）の退避が不要になり、高速な割り込み応答が可能になっています。

多重割り込みを行う場合は、CPOレジスタのStatus<EXL>を”0”にクリアし、割り込みを許可状態にします。このときINTCのILEV<CMASK>が割り込み要求の設定された割り込みレベルに更新されていますので、受け付け中の割り込みレベルよりも高い割り込み要求のみ受け付けます。多重割り込みの詳細については「6.8.7 多重割り込みの設定例」を参照してください。

またINTCのILEV<CMASK>レジスタを設定することで、プログラマブルにマスクレベル以下の割り込み要求をマスクすることが可能です。

すべての割り込み要求をDMA転送のスタートトリガに使用することができます。

ハードウェア割り込みの詳細な動作を以下に示しますが、別冊「TX19A コア アーキテクチャ」の「例外処理 マスカブル割り込み（Interrupts）」の章も合わせて参照してください。

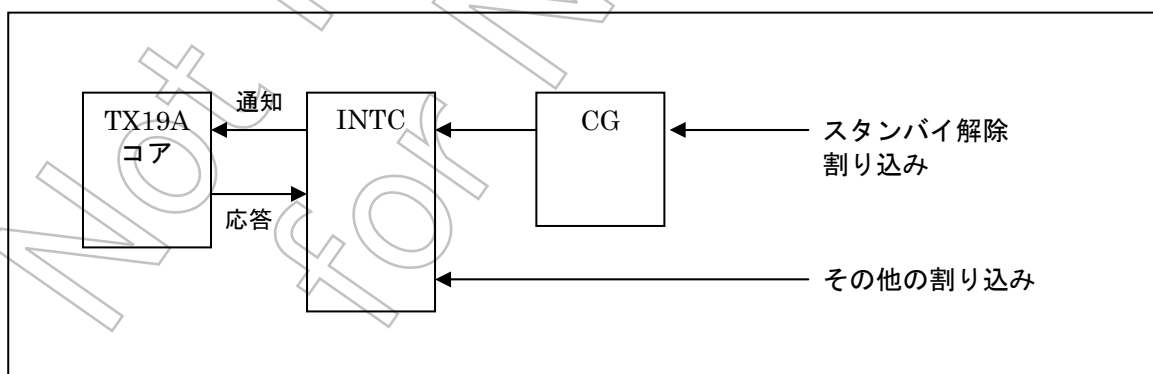


図 6-3 割り込み通知図

表 6-2 ハードウェア割り込み要因一覧

割り込み番号	IVR[7:0]	割り込み要因	割り込み制御レジスタ	アドレス
0	0x000	ソフトウェアセット	IMC0	0xFFFF_E000
1	0x004	INT0 端子		
2	0x008	INT1 端子		
3	0x00C	INT2 端子		
4	0x010	INT3 端子	IMC1	0xFFFF_E004
5	0x014	INT4 端子		
6	0x018	INT5 端子		
7	0x01C	INT6 端子		
8	0x020	INT7 端子	IMC2	0xFFFF_E008
9	0x024	INT8 端子		
10	0x028	INT9 端子		
11	0x02C	INTA 端子		
12	0x030	INTB 端子	IMC3	0xFFFF_E00C
13	0x034	INTC 端子		
14	0x038	INTD 端子		
15	0x03C	INTE 端子		
16	0x040	INTF 端子	IMC4	0xFFFF_E010
17	0x044	KWUP		
18	0x048	INTRX0 : シリアル受信 (channel. 0)		
19	0x04C	INTTX0 : シリアル送信 (channel. 0)		
20	0x050	INTRX1 : シリアル受信 (channel. 1)	IMC5	0xFFFF_E014
21	0x054	INTTX1 : シリアル送信 (channel. 1)		
22	0x058	INTRX2 : シリアル受信 (channel. 2)		
23	0x05C	INTTX2 : シリアル送信 (channel. 2)		
24	0x060	HINTRX0 : 高速シリアル受信 (Hchannel. 0)	IMC6	0xFFFF_E018
25	0x064	HINTTX0 : 高速シリアル送信 (Hchannel. 0)		
26	0x068	HINTRX1 : 高速シリアル受信 (Hchannel. 1)		
27	0x06C	HINTTX1 : 高速シリアル送信 (Hchannel. 1)		
28	0x070	HINTRX2 : 高速シリアル受信 (Hchannel. 2)	IMC7	0xFFFF_E01C
29	0x074	HINTTX2 : 高速シリアル送信 (Hchannel. 2)		
30	0x078	INTS0 : シリアルバスインタフェース 0		
31	0x07C	INTADHP : 最優先 AD 変換終了割り込み		
32	0x080	INTADM : AD 変換監視機能割り込み	IMC8	0xFFFF_E020
33	0x084	INTTB0 : 16 ビット・タイマ 0		
34	0x088	INTTB1 : 16 ビット・タイマ 1		
35	0x08C	INTTB2 : 16 ビット・タイマ 2		
36	0x090	INTTB3 : 16 ビット・タイマ 3	IMC9	0xFFFF_E024
37	0x094	INTTB4 : 16 ビット・タイマ 4		
38	0x098	INTTB5 : 16 ビット・タイマ 5		
39	0x09C	INTTB6 : 16 ビット・タイマ 6		
40	0x0A0	INTTB7 : 16 ビット・タイマ 7	IMCA	0xFFFF_E028
41	0x0A4	INTTB8 : 16 ビット・タイマ 8		
42	0x0A8	INTTB9 : 16 ビット・タイマ 9		
43	0x0AC	INTTBA : 16 ビット・タイマ A		
44	0x0B0	INTTBB : 16 ビット・タイマ B	IMCB	0xFFFF_E02C
45	0x0B4	INTTBC : 16 ビット・タイマ C		
46	0x0B8	INTTBD : 16 ビット・タイマ D		
47	0x0BC	INTTBE : 16 ビット・タイマ E		
48	0x0C0	INTTBF : 16 ビット・タイマ F	IMCC	0xFFFF_E030
49	0x0C4	INTCAPG0 : インプットキャプチャ・グループ 0		
50	0x0C8	Reserved		
51	0x0CC	INTCMP0 : コンペア割り込み 0		
52	0x0D0	INTCMP1 : コンペア割り込み 1	IMCD	0xFFFF_E034
53	0x0D4	INTCMP2 : コンペア割り込み 2		
54	0x0D8	INTCMP3 : コンペア割り込み 3		
55	0x0DC	INTCMP4 : コンペア割り込み 4		
56	0x0E0	INTCMP5 : コンペア割り込み 5	IMCE	0xFFFF_E038
57	0x0E4	INTCMP6 : コンペア割り込み 6		
58	0x0E8	INTCMP7 : コンペア割り込み 7		
59	0x0EC	INTTBT : オーバーフロー割り込み		
60	0x0F0	INTRTC : 時計タイマ	IMCF	0xFFFF_E03C
61	0x0F4	INTAD : A/D 変換終了		
62	0x0F8	INTDMA0 : DMA 転送終了 (channel. 0~3)		
63	0x0FC	INTDMA1 : DMA 転送終了 (channel. 4~7)		

(注1) IMCxx は 32 ビットのレジスタですが、8 ビット/16 ビットでのアクセスが可能です。

(注2) IDLE モード解除は全ての要因で可能

表 6-3 STOP/SLEEP モード解除割り込み要因

番号	割り込み要因	補足
0	INT0	外部割り込み 0
1	INT1	外部割り込み 1
2	INT2	外部割り込み 2
3	INT3	外部割り込み 3
4	INT4	外部割り込み 4
5	INT5	外部割り込み 5
6	INT6	外部割り込み 6
7	INT7	外部割り込み 7
8	INT8	外部割り込み 8
9	INT9	外部割り込み 9
10	INTA	外部割り込み A
11	INTB	外部割り込み B
12	KWUP	Key on Wake up 割り込み
13	INTRTC	時計用タイマ割り込み
14	INTTB2	二相パルス入力カウンタ割り込み 2
15	INTTB3	二相パルス入力カウンタ割り込み 3

※番号 0~11 は STOP/SLEEP/IDLE 解除可能な割り込み要因

※番号 12 はダイナミックプルアップ設定の場合は SLEEP/IDLE 解除可能な割り込み要因

※番号 12 はスタティックプルアップ設定の場合は STOP/SLEEP/IDLE 解除可能な割り込み要因

※番号 13~15 は SLEEP/IDLE 解除可能な割り込み要因

6.8.2 割り込み要求の検出

割り込み要求の検出は表 6-4に示すように要因ごとに異なります。すべての割り込み要求は検出後、INTC に通知され優先度調停され、TX19A プロセッサコアに通知されます。各割り込み要因で使用できる検知レベルは表 6-6を参照してください。

表 6-4 割り込み要求の検出場所

割り込み	検出場所	割り込み通知経路
(1) 外部端子割り込み INT0~INTB	CG	PORT→CG(検出)→INTC(調停)→TX19A コア
	INTC	PORT →INTC(検出/調停)→TX19A コア
(2) 外部端子割り込み INTC~INTF	INTC	PORT →INTC(検出/調停)→TX19A コア
(3) キーオンウェイク アップ割り込み KWUP00~31	CG	PORT→KWUP→CG(検出)→INTC(調停)→TX19A コア
	INTC	PORT→KWUP(検出)→INTC(調停)→TX19A コア
(4) RTC 割り込み RTC	CG	RTC→CG(検出)→INTC(調停)→TX19A コア
	INTC	RTC →INTC(検出/調停)→TX19A コア
(5) 2 相カウンタ INTTB2, INTTB3	CG	PORT→TMBR→CG(検出)→INTC(調停)→TX19A コア
	INTC	PORT→TMBR →INTC(検出/調停)→TX19A コア
(6) その他の割り込み	INTC	周辺回路 →INTC(検出/調停)→TX19A コア

6.8.3 割り込みの優先度調停

1. 7 段階の割り込みレベル

INTC は割り込み要因個別に 7 段階の割り込みレベル（優先度）を設定できます。

割り込みレベルは INTC の IMCxx<ILxxx>で設定し、設定された割り込みレベルが大きいほど優先度が高くなります。値が"000" のとき（割り込みレベル 0）はその要因による割り込みは発生しません。また割り込みレベル 0 の割り込み要因は保留されません。

2. 割り込みレベル通知

割り込み要求が発生すると、INTC はその割り込みレベルとマスクのレベルを比較します。ILEV<CMASK>で設定したマスクレベルよりその割り込みのレベルが高いときに割り込み要求を TX19A プロセッサコアへ通知します。

同時に複数の割り込みが発生した場合は、割り込みレベルの優先順位に従って割り込み要求を通知します。また同じ割り込みレベルの割り込みが同時に発生した場合は、表 6-2 の割り込み番号の小さい割り込み要求から通知します。

前の割り込み要求がクリアされる前に同じ割り込み要因の再要求があった場合、1 回目の割り込みしか受け付けられません。

3. INTC レジスタ更新

割り込み要求が TX19A コアに受け付けられると、その時点で最も高いレベルの割り込みレベルが ILEV<CMASK>に入り、IVR には対応したベクタ値がセットされます。一度セットされた CMASK/IVR はより高いレベルの割り込み要求が発生しても、IVR を読み出すまで更新されず、またコアへも通知されません。

(注) ILEV の値を変更する前に必ず IVR の値を読み出してください。IVR の値を読み出す前に ILEV の値を変更すると意図しない割り込みが発生する可能性があります。

6.8.4 ハードウェア割り込みの動作

ハードウェア割り込みが発生すると、TX19A コアは下記の処理を行い、CPO レジスタの Status<BEV> と Cause<IV>の設定に応じた表 6-1の例外ベクタアドレスへジャンプします。

- (1) CPO レジスタの Status<EXL>を” 1” にセットします。
- (2) CPO レジスタの EPC に割り込み発生時の PC の値をセットします。
- (3) Shadow Register Set を有効にしている場合 (CPO レジスタの SSCR<SSD> =0)、CPO レジスタの SSCR<GSS/PSS>が更新され、割り込みレベルと同じ番号のレジスタバンクに切り替わります。
- (4) INTC の ILEV<CMASK/PMASKx>が更新され、割り込みマスクレベルが受け付けられた割り込みレベルにセットされます。
- (5) INTC の IVR[7:0]を表 6-2の値にセットします。

Not Recommended for New Design

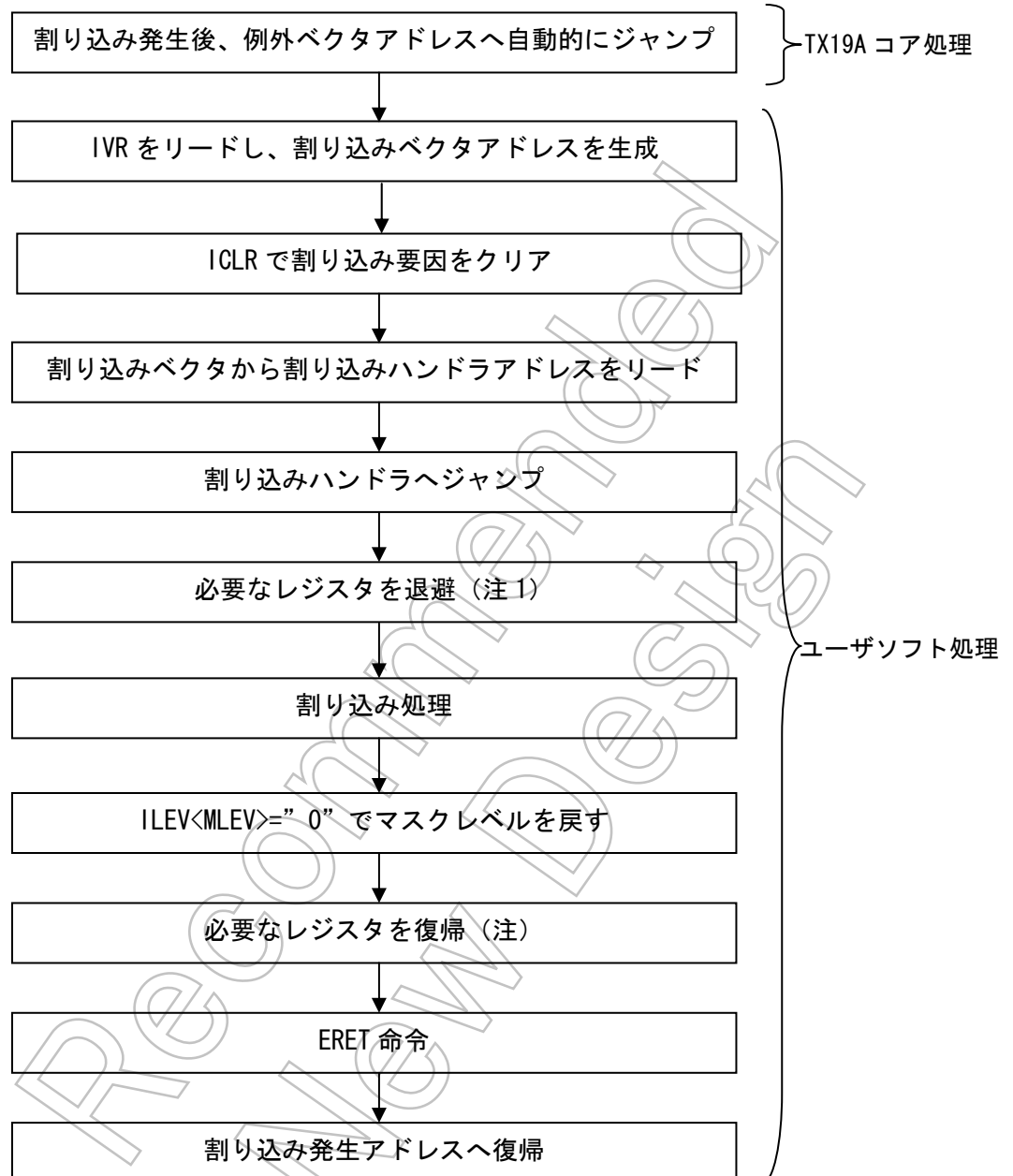


図 6-5 ハードウェア割り込みの基本動作例

(注) TX19A コアは Shadow Register Set を使用すること (CPO レジスタ SSCR<SSD>=0) によって汎用レジスタの大部分を自動的に退避することが可能です。

6.8.5 割り込みの初期設定

割り込みを使用する前に必要な設定として、要因に関わらず割り込みを使用する場合に必要な設定を「6.8.5.1 共通の初期設定」で、要因や用途によって必要な設定を「6.8.5.2 割り込み要因別の初期設定」で説明します。

6.8.5.1 共通の初期設定

割り込みを使用するためには以下の設定が必要です。

- (1) CPO レジスタの Status<IM[4:2]>に” 111” をセットします。
- (2) INTC の IVR[31:8]に割り込みベクタテーブルのベースアドレスをセットします。
- (3) 「割り込みベクタテーブルのベースアドレス+割り込み要因ごとの IVR[7:0]」のアドレスに割り込み要因ごとの割り込みハンドラアドレスをセットします。

(1) の記述例：割り込みの例外ベクタアドレス 0xBFC00400 番地を使用する場合

```
lui    r2, 0x1040          ; CU0=1, BEV =1 (r2 =0x1040_xxxx)
addiu  r2, r2, 0x1C00      ; IM4, IM3, IM2 =1 (r2 =0x1040_1C00)
mtc0   r2, r12
```

(2) の記述例：VectorTable を割り込みベクタテーブルのラベルにしている場合

```
lui    r3, hi(VectorTable)
addiu  r3, r3, lo(VectorTable) ; r3 =VectorTable のアドレス
lui    r2, hi(IVR)          ; r2 =0xFFFF_xxxx (IVR のアドレスの上位 16bit)
sw     r3, lo(IVR)(r2)      ; IVR[31:8]に VectorTable のアドレスを設定
```

(3) の記述例：0xBFC20000 番地を割り込みベクタのベースアドレスにした場合

```
_VectorTable section code isa32 abs=0xBFC20000
VectorTable:
dw     _SWINT              ; 0 --- software interrupt
dw     _INT0               ; 1 --- INT0
dw     _INT1               ; 2 --- INT1
dw     _INT2               ; 3 --- INT2
dw     _INT3               ; 4 --- INT3
dw     _INT4               ; 5 --- INT4
dw     _INT5               ; 6 --- INT5
dw     _INT6               ; 7 --- INT6
dw     _INT7               ; 8 --- INT7
```

(注) この記述例は東芝製アセンブラを使用した場合の例です。サードパーティ製アセンブラを使用した場合、文法エラーとなる場合がありますので、ご使用になるアセンブラに応じて記述を変更してください。

6.8.5.2 割り込み要因別の初期設定

割り込みを使用するために設定するレジスタは下記の要因ごとに異なります。

表 6-6 割り込み検知と設定レジスタ

割り込み	検知場所	設定場所	使用できる割り込み検知レベル(アクティブ状態の設定)
(1) 外部端子割り込み INT0~INTB	INTC	PxFC (PORT) PxCr (PORT) IMCxx (INTC)	INTCで“H/L”レベル、立ち下がり、立ち上がりが設定できます。
	CG	PxFC (PORT) PxCr (PORT) IMCGx (CG) IMCxx (INTC)	スタンバイモードからの復帰に使用する場合、CGで“H/L”レベル、立ち下がり、立ち上がりの設定を行い、INTCでは必ず”H”レベルに設定してください。
(2) 外部端子割り込み INTC~INTF	INTC	PxFC (PORT) PxCr (PORT) IMCxx (INTC)	INTCで“H/L”レベル、立ち下がり、立ち上がりが設定できます。
	CG	PxFC (PORT) PxCr (PORT) IMCGx (CG) IMCxx (INTC)	スタンバイモードからの復帰に使用する場合、KWUP回路で“H/L”レベル、立ち下がり、立ち上がりが設定ができます。
(3) キーオンウェイクアップ割り込み KWUP00~31	INTC	PxFC (PORT) PxCr (PORT) IMCxx (INTC)	INTC、KWUP回路で“H/L”レベル、立ち下がり、立ち上がりが設定ができます。
	CG	PxFC (PORT) PxCr (PORT) IMCGx (CG) IMCxx (INTC)	スタンバイモードからの復帰に使用する場合、KWUP回路で“H/L”レベル、立ち下がり、立ち上がりの設定を行い、INTCでは必ず”H”レベルに設定してください。
(4) INTRTC 割り込み	INTC	PxFC (PORT) PxCr (PORT) IMCxx (INTC)	INTCでは必ず”立下りエッジに設定してください。
	CG	PxFC (PORT) PxCr (PORT) IMCGx (CG) IMCxx (INTC)	CGで立ち下がりエッジの設定を行い、INTCでは必ず”H”レベルに設定してください。
(5) 2相カウンタ割り込み	INTC	PxFC (PORT) PxCr (PORT) IMCxx (INTC)	INTCでは必ず”立上がりエッジに設定してください。
	CG	PxFC (PORT) PxCr (PORT) IMCGx (CG) IMCxx (INTC)	CGで立ち上がりの設定を行い、INTCでは必ず”H”レベルに設定してください。
(6) その他の割り込み	INTC	IMCxx (INTC)	INTCで“H/L”レベル、立ち下がり、立ち上がりが設定できます。

(注) レベル検出は内部クロックによって毎回値を確認し、エッジ検出は内部クロックによって前回の入力との値を比較し、エッジを検出します。

CG/KWUP(スタティック設定時)のエッジ検出は内部クロックを使用せず、入力信号のエッジを検出します。

割り込みの初期設定をする場合は、表 6-4に示している、割り込み検出経路の順に設定してから、CP0 レジスタで割り込みを許可にしてください。設定順序が異なる場合は意図しない割り込みが発生する場合がありますので、必ず割り込み要因をクリアしてから割り込み許可に設定してください。また割り込みを禁止する場合は、CP0 レジスタで割り込みを禁止にしてください。また割り込みを禁止する場合は、CP0 レジスタで割り込みを禁止にしてください。

(1) 外部端子割り込み INTO~INTB

- ・ PORT の PxCR でポートを入力許可に設定します。(7. ポート機能参照)
- ・ PORT の PxFC で端子機能を INTO~INTB に設定します。(7. ポート機能参照)
- ・ PORT の PxPE で必要に応じてプルアップ設定をします。(7. ポート機能参照)
- ・ INTC の IMCx<EIMxx>でアクティブ状態を設定します。(5.3.3 割り込み関連レジスタ参照)
- ・ CG の IMCGx<EMCGxx>でスタンバイ解除の許可/禁止を設定します。(INTCG レジスタ (STOP/SLEEP/IDLE 解除割り込み) 参照)
- ・ INTC の IMCx<EIMxx>で CG から通知される内部割り込み信号のアクティブ状態を設定します。INTC の IMCx<EIMxx>で立ち上がり/下がりエッジに設定している場合は立ち下がりエッジに設定 (IMCx<EIMxx>を “10” にセット) し、H/L レベルに設定している場合は L レベルに設定 (IMCx<EIMxx>を “00” にセット) してください。(6.8.8 レジスタ参照)

・ 外部端子割り込み INT3 を STOP 解除入力 (立ち下がりエッジ) として使用する場合の設定例

```
Status<IE> = " 0"           ; 割り込み禁止
PACR<PA3C> = " 0"           ; ポートを入力に設定
PAFC<PA3F> = " 0"           ; ポートを INT3 に設定
IMCGA<EMCG32:30> = " 010"    ; INT3 を立ち下がりエッジ
IMCGA<INT3EN> = " 1"         ; INT3 をスタンバイ解除に設定
EICRGG<ICRGG3:0> = " 0011"   ; INT3 のスタンバイ解除要求をクリア
IMC1<EIM41:40> = " 01"      ; INT3 をレベルに設定
INTCLR<EICLR7:0> = " 010"    ; INT3 の割り込み要求をクリア
IMC1<IL42:40> = " 101"      ; INT3 の割り込みレベルを " 5" に設定
ILEV<MLEV>/<CMASK> = " 1" / " xxx" ; マスクレベルを " xxx" に設定
                                   (ILEV<MLEV>と同時にセット)
SYNC 命令                     ; 割り込み設定が有効になるまでストール
Status<IE> = " 1"           ; 割り込み許可
```

・ 外部端子割り込み INT3 を使用禁止にする場合の設定例

```
Status<IE> = " 0"           ; 割り込み禁止
IMC1<IL42:40> = " 000"     ; INT3 の割り込みを禁止
INTCLR<EICLR7:0> = " 010"  ; INT3 の割り込み要求をクリア
```

(2) 外部端子割り込み INTC~INTF

- ・ PORT の PxCR, PxFC でポートを入力許可に設定します。(7. ポート機能参照)
- ・ PORT の PxFR で端子機能を INTC~INTF に設定します。(7. ポート機能参照)
- ・ INTC の IMCx<EIMxx>でアクティブ状態を設定します。(6.8.8 レジスタ参照)

・ 外部端子割り込み INTF を H レベルとして使用する場合の設定例

```
Status<IE> = " 0"           ; 割り込み禁止
P5CR<P53C> = " 0"         ; ポートを入力に設定
P5FC<P53F> = " 1"         ; ポートを入力に設定
```

IMC4<EIM101:100> = " 01" ; INTF を " H " レベルに設定
 INTCLR< EICLR7:0 > = " 0x040" ; INTF の割り込み要求をクリア
 IMC4<IL102 : IL100> = " 010" ; INTF の割り込みレベルを " 2 " に設定
 ILEV<MLEV>/<CMASK> = " 1 " / " xxx" ; マスクレベルを " xxx" に設定 (ILEV<MLEV>と同時にセット)
 Status<IE> = " 1" ; 割り込み許可

(3) キーオンウェイクアップ割り込み KWUP00~31

- ・ PORT の PxCR でポートを入力許可に設定します。(7. ポート機能参照)
- ・ PORT の PxFC で端子機能を KEY に設定します。(7. ポート機能参照)
- ・ PORT の PxPE で必要に応じてプルアップ設定をします。(7. ポート機能参照)
- ・ キーのアクティブ状態を設定します。(20. KEY ON Wake up 回路参照)
- ・ INTC の IMCx<EIMxx>でアクティブ状態を設定します。(5.3.3 割り込み関連レジスタ参照)
- ・ KWUPSTxx で KEY ON Wake up を許可します。(20. KEY ON Wake up 回路参照)
- ・ CG の IMCGx<EMCGxx>でスタンバイ解除の許可/禁止を設定します。(INTCG レジスタ (STOP/SLEEP/IDLE 解除割り込み) 参照)

・ KEY08 を STOP 解除入力 (ダイナミック Pull-Up、立ち下がリエッジ) として使用する場合の設定例

Status<IE> = " 0" ; 割り込み禁止
 PECR<PE0C> = " 0" ; ポートを入力に設定
 PEFC<PE0F> = " 0" ; ポートをキー入力に設定
 PEPE<PEE0> = " 1" ; ポートを Pull-up に設定
 KWUPCNT = " 0x24" ; ダイナミックプルアップ期間設定
 (例: 周期: 10 : 1024/fs, 期間: 01:4/fs)
 KWUPST08<DPE08> = " 1" ; ダイナミックプルアップ設定
 KWUPST08<KEY82:80> = " 010" ; 立ち下がリエッジに設定
 KWUPST08<KEY08EN> = " 1" ; キー入力を許可
 KWUPCLR<KEYCLR3:0> = " 1010" ; キー入力要因クリア
 IMCGD<EMCGC1:C0> = " 10" ; スタンバイ解除設定を H レベル設定
 IMCGD<KWUPEN> = " 1" ; KWUP をスタンバイ解除に設定
 EICRCG<ICRCG3:0> = " 1100" ; KWUP のスタンバイ解除要求をクリア
 IMC4<EIM111:110> = " 01" ; KWUP を H レベル設定
 IMC4<IL112:110> = " 110" ; KWUP の割り込みレベルを " 6 " に設定
 ILEV<MLEV>/<CMASK> = " 1 " / " xxx" ; マスクレベルを " xxx" に設定
 (ILEV<MLEV>と同時にセット)
 SYNC 命令 ; 割り込み設定が有効になるまでストール
 Status<IE> = " 1" ; 割り込み許可

(4) その他のハードウェア割り込み

- ・ 使用する周辺ハードウェアの設定をします。
- ・ INTC の IMCx<EIMx>を設定します。(6.8.8 レジスタ参照)

(注) 割り込みの初期設定をする場合は、INTC の設定してから、CPO レジスタで割り込みを許可にしてください。また割り込みを禁止する場合は、CPO レジスタで割り込みを禁止にしてから INTC を設定してください。

6.8.5.3 割り込み許可

割り込み要求を受け付けるためには「6.8.5 割り込みの初期設定」以外に下記の3条件が設定されている必要があります。

- ・ CPO レジスタの Status<ERL>が” 0” にセットされている。
- ・ CPO レジスタの Status<EXL>が” 0” にセットされている。
- ・ CPO レジスタの Status<IE>が” 1” にセットされている。

これらの設定は命令実行から 2 クロック後に割り込みが許可状態になり、レジスタがセットされます。また CPO レジスタの Status<IE>を” 1” にセットするには、下記の 4 通りの設定方法があります。

1. 32 ビット ISA の MTC0 命令で CPO レジスタの Status<IE>を” 1” にセットする。
2. 32 ビット ISA の MTC0 命令で CPO レジスタの IER を” 0” 以外にセットする。(注 1)
3. 16 ビット ISA の MTC0 命令で CPO レジスタの Status<IE>を” 1” にセットする。
4. 16 ビット ISA の EI 命令を実行する。(注 2)

(注1) コード増加を抑制するため、32 ビット ISA ではこの方法で割り込み許可することを推奨します。東芝製 C コンパイラでも 32 ビット ISA の「_EI () 組み込み関数」はこの命令が実行されます。

(注2) コード増加を抑制するため、16 ビット ISA ではこの方法で割り込み許可することを推奨します。東芝製 C コンパイラでも 16 ビット ISA の「_EI () 組み込み関数」はこの命令が実行されます。

(注3) コード増加を抑制し、高速に処理できるため、2. と 4. の方法を推奨します。

6.8.5.4 割り込み禁止

下記の3条件のうち1つでも成立していると割り込み禁止状態になります。下記設定によって割り込み禁止状態にすると、「6.8.5 割り込みの初期設定」で設定されている割り込み要求は保留されません。また割り込みレベル0に設定した割り込み要因は保留しません。

- ・ CPOレジスタのStatus<ERL>が”1”にセットされている。
- ・ CPOレジスタのStatus<EXL>が”1”にセットされている。
- ・ CPOレジスタのStatus<IE>が”0”にセットされている。

これらの設定は命令実行直後に割り込みが禁止状態になり、2クロック後にレジスタがセットされます。CPOレジスタのStatus<ERL>と<EXL>は割り込み及び例外で自動的にセットされ、ERET命令で自動的にクリアされるビットですので、通常の割り込み禁止設定を行なう場合はCPOレジスタのStatus<IE>を”0”にセットする方法を推奨します。多重割り込みを使用する場合の割り込み禁止は「6.8.7多重割り込みの設定例」を参照してください。CPOレジスタのStatus<IE>を”0”にセットするには、下記の4通りの設定方法があります。

1. 32ビットISAのMTC0命令でCPOレジスタのStatus<IE>を”0”にセットする。
2. 32ビットISAのMTC0命令でCPOレジスタのIERを”0”にセットする。(注1)
3. 16ビットISAのMTC0命令でCPOレジスタのStatus<IE>を”0”にセットする。
4. 16ビットISAのDI命令を実行する。(注2)

(注1) コード増加を抑制するため、32ビットISAではこの方法で割り込み禁止することを推奨します。東芝製Cコンパイラでも32ビットISAの「_DI()組み込み関数」はこの命令が実行されます。

(注2) コード増加を抑制するため、16ビットISAではこの方法で割り込み禁止することを推奨します。東芝製Cコンパイラでも16ビットISAの「_DI()組み込み関数」はこの命令が実行されます。

(注3) コード増加を抑制し、高速に処理できるため、2.と4.の方法を推奨します。

一度、INTCのIMCx<ILxxx>で割り込みレベルを設定し、割り込み許可になった要因を個別に再度禁止(IMCx<ILxxx> = ”000”)にする場合は、下記の例のようにCPOレジスタのStatus<ERL/EXL/IE>をセットし、割り込みを禁止状態にしてから割り込み要因を禁止して下さい。

割り込み要因を個別に禁止する場合の記述例

mtc0	r0, IER	; 割り込み禁止 (Status<IE> = ”0”)
sb	r0, IMCxx	; 割り込み要因の禁止
sync		; 書き込みが有効になるまでストール
mtc0	r29, IER	; 割り込み許可 (Status<IE> = ”1”)

(注) この記述例は東芝製アセンブラを使用した場合の例です。サードパーティ製アセンブラを使用した場合、文法エラーとなる場合がありますので、ご使用になるアセンブラに応じて記述を変更してください。

6.8.6 割り込み処理

ここでは図 6-5の基本フローを前提にした詳細な動作を説明します。

6.8.6.1 割り込み応答と復帰

①ハードウェアによる割り込み受け付け

INTC は割り込み要求を調停すると INTC の IVR に受け付けた割り込み要求の割り込みベクタと ILEV<CMASK>に受け付けた割り込みレベルをセットし、TX19A プロセッサコアに割り込みレベルを通知します。割り込みレベルの通知を受けた TX19A プロセッサコアは CP0 レジスタの Status<EXL>を”1”にセットし、割り込みを禁止状態にし、割り込みが発生した PC の値を EPC に退避します。また Shadow Register Set が有効 (CP0 レジスタ SSCR<SSD>=0) な場合は CP0 レジスタの SSCR<CSS>に割り込みレベルをセットし、レジスタバンクを切り替えます。

割り込みが受け付けられると実行中の命令は中止され、例外ベクタアドレス (割り込み) へ自動的にジャンプします。割り込みの受け付けフローを図 6-4に示します。

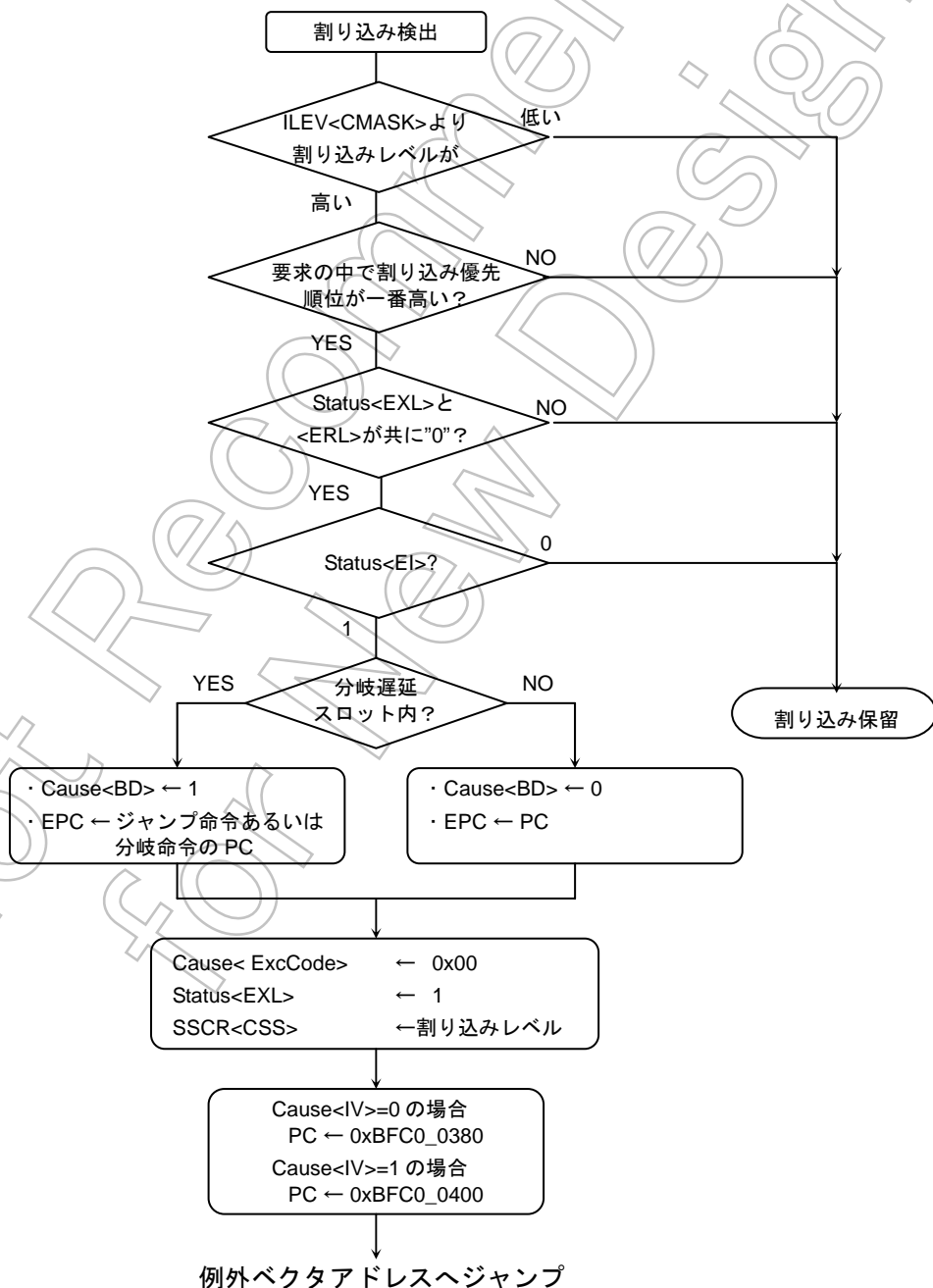


図 6-4 ハードウェアによる割り込み受け付けフロー

②例外ハンドラでの必要な処理

割り込み要求が受け付けられた後、自動的にジャンプする例外ハンドラでは、INTC の IVR から割り込みベクタアドレスを読み出し、ユーザプログラムで割り込みハンドラアドレスを生成します。通常「6.8.5 割り込みの初期設定」での記述例のように、IVR[31:8]には割り込みベクタのベースアドレスを設定するため、IVR の値が割り込みベクタアドレスになります。

INTC の IVR を読み出した後に割り込み要因をクリアします。IVR を読む前に割り込み要因をクリアすると IVR の値がクリアされ、正しい値が読み出せなくなります。

例外ハンドラの記述例：例外ベクタアドレス（割り込み）が 0xBFC0_0400 番地の場合

VECTOR_INT section code isa32 abs=0xBFC00400

__InterruptVector:

```
lui    r26, hi (IVR)
lw     r26, lo(IVR) (r26)      ; IVR から割り込みベクタアドレスの読み出し
lui    r27, hi (INTCLR)
sh     r26, lo(INTCLR) (r27)  ; 割り込み要求のクリア
lw     r26, 0 (r26)           ; 割り込みベクタから割り込みハンドラアドレスの読み出し
jr     r26                     ; 割り込みハンドラへジャンプ
nop
```

(注) この記述例は東芝製アセンブラを使用した場合の例です。サードパーティ製アセンブラを使用した場合、文法エラーとなる場合がありますので、ご使用になるアセンブラに応じて記述を変更してください。

③割り込みハンドラでの必要な処理

通常、割り込みハンドラでは必要なレジスタの退避と割り込み処理を行います。Shadow Register Set を有効 (CP0 レジスタ SSCR<SSD>=0) にしている場合は、汎用レジスタの r26, r27, r28, r29 (Shadow Register Set 番号 1~7) 以外は自動的に退避されるため、ユーザプログラムで退避する必要はありません。退避される汎用レジスタの詳細については別冊の「TX19A コア アーキテクチャ」を参照してください。

一般的に汎用レジスタ以外はユーザプログラムに依存しますが、必要に応じて、CP0 レジスタの Status, EPC, SSCR, HI, LO, Cause, Config 等も退避します。

退避処理後に CP0 レジスタの Status<EXL>を” 0” にクリアし、割り込みを許可にすることで多重割り込みを使用することが可能です。

(注) 割り込み禁止の状態でも一般例外は受け付けられます。そのため多重割り込みを使用しない場合でも一般例外によって書き換わる可能性のある、汎用レジスタ及び CP0 レジスタを退避することを推奨します。

割り込みハンドラでの必要な設定例

SSCR→スタックへ退避	;	SSCR の値の退避 (必要に応じて)
NOP 命令	;	SSCR が切り替わるまでストール
NOP 命令	;	SSCR が切り替わるまでストール
EPC →スタックへ退避	;	EPC の値の退避 (必要に応じて)
Status →スタックへ退避	;	Status の値の退避 (必要に応じて)
NOP 命令	;	ERET 命令実行前にストール
NOP 命令	;	ERET 命令実行前にストール
Status<EXL> = " 0"	;	割り込み許可 (多重割り込み時のみ)

(注) CPO レジスタの SSCR を書き換えた後は、レジスタバンクが切り替わるまでの 2 命令待ってからレジスタアクセスをして下さい。

④割り込みハンドラからの復帰

割り込みハンドラからメイン処理に復帰するには割り込みハンドラの手前で退避したレジスタを戻し、INTC の ILEV<MLEV>に " 0" をセットして割り込みのマスケレベルを戻します。すべての復帰作業が終了後、ERET 命令を実行することによって、CPO レジスタの Status<EXL>を " 0" にクリアされ、EPC のアドレスが PC に戻りメイン処理に復帰します。また Shadow Register Set を有効 (CPO レジスタ SSCR<SSD>=0) にしている場合は、ERET 命令によって SSCR<CSS>が更新され、ひとつ前の Shadow Register Set 番号に自動的に戻るため、レジスタバンクで退避した汎用レジスタは自動的に復帰します。

多重割り込みを使用している場合は、復帰処理の前に CPO レジスタの Status<EXL>を " 1" にセットし、割り込みを禁止にしておく必要があります。

割り込みハンドラからの復帰の設定例

Status<EXL> = " 1"	;	割り込み禁止 (多重割り込み時のみ)
ILEV<MLEV> = " 0"	;	マスケレベルを 1 段階戻す
SYNC 命令	;	マスケレベルが戻るまでストール
SSCR ←退避した SSCR	;	SSCR の値を復帰 (必要に応じて)
NOP 命令	;	SSCR が切り替わるまでストール
NOP 命令	;	SSCR が切り替わるまでストール
EPC ←退避した EPC	;	EPC の値を復帰 (必要に応じて)
Status ←退避した Status	;	Status の値を復帰 (必要に応じて)
NOP 命令	;	ERET 命令実行前にストール
NOP 命令	;	ERET 命令実行前にストール
ERET 命令	;	Status<EXL> = " 0" , PC ←EPC, SSCR<CSS> ←SSCR<PSS>

(注1) CPO レジスタの SSCR を書き換えた後は、レジスタバンクが切り替わるまでの 2 命令待ってからレジスタアクセスをして下さい。

(注2) ERET 命令を実行する 2 命令前に CPO レジスタをアクセスしないで下さい。

6.8.7 多重割り込みの設定例

多重割り込みとは割り込み処理中にさらに優先度の高い割り込み要求を処理することです。TMP19A43 は INTC が割り込み優先度の調停を行うことで、多重割り込みを行うことができます。割り込み要求が受け付けられると自動的に INTC の ILEV<CMASK>が受け付けられた割り込みレベルに更新されますので、ユーザプログラムで初期設定された優先度で調停を行うことができます。

①多重割り込みで必要な追加処理

割り込みが受け付けられると CPO レジスタの Status<EXL>が” 1” にセットされ割り込みが禁止状態になります。多重割り込みを行うためには、多重割り込みを許可する前に、2 回目以降の割り込みで上書きされてしまう可能性のあるレジスタを事前に退避しておく必要があります。そのため通常の例外ハンドラ及び割り込みハンドラの処理以外に下記レジスタを退避してから、CPO レジスタの Status<EXL>を” 0” にセットして、割り込みを許可して下さい。

退避させておかなければいけない CPO レジスタ

- ・ EPC
- ・ SSCR
- ・ Status

必要に応じて HI, LO, Cause, Config レジスタも退避させてください。

(注) 東芝製 C コンパイラの割り込み関数を使用すると自動的に退避／復帰されるレジスタもあります。詳細は、東芝製 C コンパイラに付属の「TX19A C コンパイラリファレンス」を参照してください。

②多重割り込みで必要な追加の復帰処理

割り込みからの復帰処理でのレジスタ復帰の前に「6.8.5.4 割り込み禁止」に示してある手段で割り込みを禁止にする必要があります。これは復帰したレジスタを多重割り込みで壊されないために必要です。また ERET 命令では自動的に CPO レジスタの Status<EXL>を” 0” にクリアするため、復帰処理での割り込み禁止は CPO レジスタの Status<EXL>を” 1” にセットすると、自動的に割り込み許可状態で割り込みから復帰することが可能です。

③Status<EXL>と Status<IE>の使い分け

Status<EXL>と Status<IE>は基本的に大きな違いはありませんが、Status<EXL>は割り込み発生で自動的に” 1” にセットされ ERET 命令で自動的に” 0” にクリアされます。割り込み先頭のレジスタ退避及び割り込み最後のレジスタ復帰は割り込みを禁止する必要があるため、通常はハードウェアで制御される Status<EXL>を使用します。また、その他の一般的な割り込み許可／禁止制御は Status<IE>を使用して制御します。

多重割り込みでの割り込み許可／禁止制御フローは「6.8.7.1 多重割り込みでの割り込み制御」で説明します。

6.8.7.1 多重割り込みでの割り込み制御

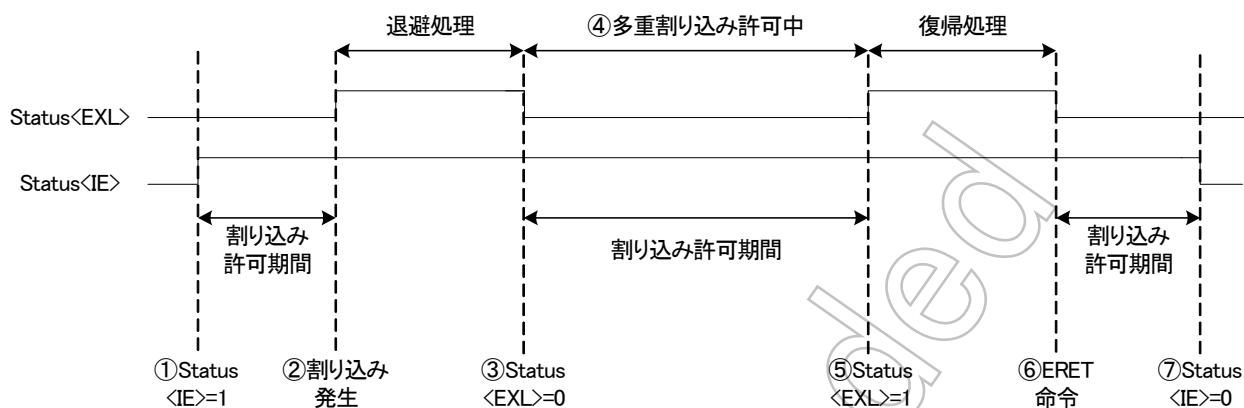


図 6-5 多重割り込み制御の割り込み許可/禁止

①Status<IE>=1

CP0 レジスタの Status<EXL>が” 0” の状態で、CP0 レジスタの Status<IE>を” 1” にセットすることで、割り込みを許可にすることが可能です。この処理はソフトウェアで必要に応じて任意に設定します。

②割り込み発生

割り込みが発生すると自動的に CP0 レジスタの Status<EXL>が” 1” にセットされ、割り込み禁止状態になります。この処理はハードウェアで自動的に設定されます。

③Status<EXL>=0

多重割り込みを許可にする場合、必要なレジスタを退避後に CP0 レジスタの Status<EXL>を” 0” にセットし、割り込みを許可にする必要があります。レジスタ退避前に割り込みを許可にしてしまうと優先度の高い割り込みによって、レジスタの内容を破壊されてしまう可能性があります。この処理はソフトウェアで必要に応じて任意に設定します。

④多重割り込み許可中

多重割り込みが許可されている期間です。現在の割り込みレベル (ILEV<CMASK>) よりも大きいレベルの割り込みが受け付けられます。この期間で割り込みを禁止したい場合は CP0 レジスタの Status<IE>を” 0” にセットします。

⑤Status<EXL>=1

多重割り込みを許可にした場合、必要なレジスタを復帰させる前に CP0 レジスタの Status<EXL>を” 1” にセットし、割り込みを禁止にする必要があります。割り込み禁止前にレジスタ退避をしてしまうと優先度の高い割り込みによって、レジスタの内容を破壊されてしまう可能性があります。この処理はソフトウェアで必要に応じて任意に設定します。

⑥ERET 命令

割り込み発生前に戻るための命令です。CP0 レジスタの Status<EXL>が” 1” にセットされている状態で実行すると、自動的に CP0 レジスタの Status<EXL>が” 0” にセットされ、割り込み許可状態になります (ただし、CP0 レジスタの Status<IE>を” 1” の場合)。

⑦Status<IE>=0

CP0 レジスタの Status<IE>を” 0” にセットすることで、割り込みを禁止にすることが可能です。この処理はソフトウェアで必要に応じて任意に設定します。

6.8.8 レジスタ

6.8.8.1 レジスタマップ

表 6-7 INTC レジスタマップ

アドレス	レジスタ記号	レジスタ	対応割り込み番号
0xFFFF_E000	IMC0	割り込みモードコントロールレジスタ 00	0 ~ 3
0xFFFF_E004	IMC1	割り込みモードコントロールレジスタ 04	4 ~ 7
0xFFFF_E008	IMC2	割り込みモードコントロールレジスタ 08	8 ~ 11
0xFFFF_E00C	IMC3	割り込みモードコントロールレジスタ 12	12 ~ 15
0xFFFF_E010	IMC4	割り込みモードコントロールレジスタ 16	16 ~ 19
0xFFFF_E014	IMC5	割り込みモードコントロールレジスタ 20	20 ~ 23
0xFFFF_E018	IMC6	割り込みモードコントロールレジスタ 24	24 ~ 27
0xFFFF_E01C	IMC7	割り込みモードコントロールレジスタ 28	28 ~ 31
0xFFFF_E020	IMC8	割り込みモードコントロールレジスタ 32	32 ~ 35
0xFFFF_E024	IMC9	割り込みモードコントロールレジスタ 36	36 ~ 39
0xFFFF_E028	IMCA	割り込みモードコントロールレジスタ 40	40 ~ 43
0xFFFF_E02C	IMCB	割り込みモードコントロールレジスタ 44	44 ~ 47
0xFFFF_E030	IMCC	割り込みモードコントロールレジスタ 48	48 ~ 51
0xFFFF_E034	IMCD	割り込みモードコントロールレジスタ 52	52 ~ 55
0xFFFF_E038	IMCE	割り込みモードコントロールレジスタ 56	56 ~ 59
0xFFFF_E03C	IMCF	割り込みモードコントロールレジスタ 60	60 ~ 63
0xFFFF_E040	IVR	割り込みベクタレジスタ	
0xFFFF_E060	INTCLR	割り込み要求クリアレジスタ	
0xFFFF_E10C	ILEV	割り込みマスクレベルレジスタ	

(注) 割り込みモードコントロールレジスタ (IMCxx) は 32 ビットのレジスタですが、16 ビット及び 8 ビットでもアクセスが可能です。

6.8.8.2 割り込みベクタレジスタ (IVR)

IVR は発生した割り込み要因の割り込みベクタアドレスを示すレジスタです。割り込み要求が受け付けられると IVR[7:0]に表 6-2に対応する値がセットされます。IVR[31:8]は RD/WR 可能なビットで割り込みベクタのベースアドレスをセットすることによって、IVR を読み出すだけで割り込みベクタアドレスを生成することが可能です。

表 6-8 割り込みベクタレジスタ

IVR (0xFFFF_E040)		7	6	5	4	3	2	1	0	
	bit Symbol	IVR7	IVR6	IVR5	IVR4	IVR3	IVR2	IVR1	IVR0	
	Read/Write	R								
	リセット後	0	0	0	0	0	0	0	0	
	機能	発生している割り込み要因のベクタがセットされます						常に"0"が読めます		
		15	14	13	12	11	10	9	8	
	bit Symbol	IVR15	IVR14	IVR13	IVR12	IVR11	IVR10	IVR9	IVR8	
	Read/Write	R/W							R	
	リセット後	0	0	0	0	0	0	0	0	
	機能								常に"0"が読めます	
		23	22	21	20	19	18	17	16	
	bit Symbol	IVR23	IVR22	IVR21	IVR20	IVR19	IVR18	IVR17	IVR16	
	Read/Write	R/W								
	リセット後	0	0	0	0	0	0	0	0	
	機能									
		31	30	29	28	27	26	25	24	
bit Symbol	IVR31	IVR30	IVR29	IVR28	IVR27	IVR26	IVR25	IVR24		
Read/Write	R/W									
リセット後	0	0	0	0	0	0	0	0		
機能										

6.8.8.3 割り込みレベルレジスタ (ILEV)

ILEVはINTCからTX19Aプロセッサコアへ割り込み要求を通知するレベルを制御するレジスタです。

ILEV<CMASK>以下の割り込みレベルは割り込みが保留されます。割り込み優先順位は”7”が一番高く、”1”が一番低いです。ただし、割り込みレベル0に設定されている割り込みは保留されません。

割り込みが発生するとその割り込みレベルが<CMASK>に格納され、それ以前に格納されていた値は「CMASK→PMASK0, PMASK0→PMASK1…」のようにひとつずつマスクレベルが退避されます。<CMASK>の値を書き換える場合は、<MLEV>に”1”をセットすると同時に<CMASK>の値を書き換えます。<PMASKx>の値は書き換えることができません。

<MLEV>に”0”をセットすると割り込みマスクレベルが「PMASK0→CMASK, PMASK1→PMASK0…」のようにひとつ前の状態に戻り、<PMASK6>には”000”が格納されます。割り込みからの復帰処理で使用する場合は ERET 命令を実行前に<MLEV>を”0”にセットして下さい。<MLEV>は常に”0”が読み出せます。

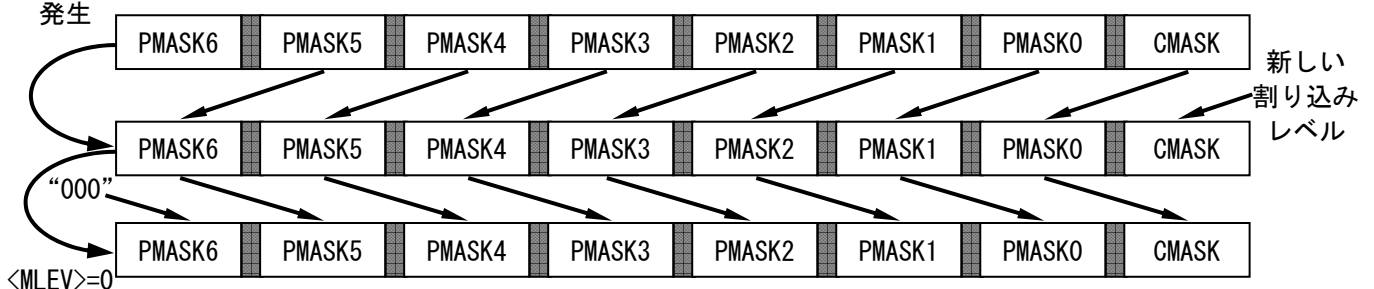
表 6-9 割り込みレベルレジスタ

ILEV (0xFFFF_E10C)	7	6	5	4	3	2	1	0	
	bit Symbol	PMASK0				—	CMASK		
	Read/Write	R				R/W			
	リセット後	0	000			0	000		
機能	割り込みマスクレベル(前)0				割り込みマスクレベル(現)				
	15	14	13	12	11	10	9	8	
bit Symbol	PMASK2				—	PMASK1			
Read/Write	R				R				
リセット後	0	000			0	000			
機能	割り込みマスクレベル(前)2				割り込みマスクレベル(前)1				
	23	22	21	20	19	18	17	16	
bit Symbol	PMASK4				—	PMASK3			
Read/Write	R				R				
リセット後	0	000			0	000			
機能	割り込みマスクレベル(前)4				割り込みマスクレベル(前)3				
	31	30	29	28	27	26	25	24	
bit Symbol	MLEV	PMASK6				—	PMASK5		
Read/Write	W	R				R			
リセット後	0	000			0	000			
機能	0: マスクレベル復帰 1: CMASKの変更	割り込みマスクレベル(前)6				割り込みマスクレベル(前)5			

(注1) このレジスタは32ビットでアクセスしてください。

(注2) ILEVの値を変更する前に必ずIVRの値を読み出してください。IVRの値を読み出す前にILEVの値を変更すると意図しない割り込みが発生する可能性があります。

割り込み発生 (注3) 本レジスタはビット操作命令でアクセスできません。



6.8.8.4 割り込みモードコントロールレジスタ (IMCxx)

IMCxx は割り込み要因ごとの割り込みレベルを決定する<I|xxx>と DMA 転送の起動要因に設定する<DMxx>、および割り込み要求のアクティブ状態を決定する<EIMXX>で構成されています。

IMCO (0xFFFF_E000)									
		7	6	5	4	3	2	1	0
	bit Symbol		EIM01	EIM00	DM0		IL02	IL01	IL00
	Read/Write	R	R/W			R	R/W		
	リセット後	0	0	0	0	0	0	0	0
	機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: 禁止 10: 禁止 11: 禁止 かならず"00"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号0を起動要因にする	リードすると"0"が読めます	DM0 = 0 のとき 割り込み番号 0 (ソフトウェアセット) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM0 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
		15	14	13	12	11	10	9	8
	bit Symbol		EIM11	EIM10	DM1		IL12	IL11	IL10
	Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0	
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ スタンバイ解除設定時は"01"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号1を起動要因にする	リードすると"0"が読めます	DM1 = 0 のとき 割り込み番号 1 (INT0) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM1 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7			
	23	22	21	20	19	18	17	16	
bit Symbol		EIM21	EIM20	DM2		IL22	IL21	IL20	
Read/Write	R	R/W			R	R/W			
リセット後	0	0	0	0	0	0	0	0	
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ スタンバイ解除設定時は"01"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号2を起動要因にする	リードすると"0"が読めます	DM2 = 0 のとき 割り込み番号 2 (INT1) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM2 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7			
	31	30	29	28	27	26	25	24	
bit Symbol		EIM31	EIM30	DM3		IL32	IL31	IL30	
Read/Write	R	R/W			R	R/W			
リセット後	0	0	0	0	0	0	0	0	
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ スタンバイ解除設定時は"01"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号3を起動要因にする	リードすると"0"が読めます	DM3 = 0 のとき 割り込み番号 3 (INT2) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM3 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7			

IMC1
(0xFFFF_E004)

	7	6	5	4	3	2	1	0
bit Symbol		EIM41	EIM40	DM4		IL42	IL41	IL40
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ スタンバイ解除設定時は"01"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号4を起動要因にする	リードすると"0"が読めます	DM4 = 0 のとき 割り込み番号4 (INT3) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM4 = 1 のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM51	EIM50	DM5		IL52	IL51	IL50
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ スタンバイ解除設定時は"01"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号5を起動要因にする	リードすると"0"が読めます	DM5 = 0 のとき 割り込み番号5 (INT4) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM5 = 1 のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM61	EIM60	DM6		IL62	IL61	IL60
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ スタンバイ解除設定時は"01"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号6を起動要因にする	リードすると"0"が読めます	DM6 = 0 のとき 割り込み番号6 (INT5) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM6 = 1 のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM71	EIM70	DM7		IL72	IL71	IL70
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ スタンバイ解除設定時は"01"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号7を起動要因にする	リードすると"0"が読めます	DM7 = 0 のとき 割り込み番号7 (INT6) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM7 = 1 のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		

IMC2
(0xFFFF_E008)

	7	6	5	4	3	2	1	0
bit Symbol		EIM81	EIM80	DM8		IL82	IL81	IL80
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ スタンバイ解除設定時は"01"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号8を起動要因にする	リードすると"0"が読めます	DM8 = 0 のとき 割り込み番号8 (INT7) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM8 = 1 のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM91	EIM90	DM9		IL92	IL91	IL90
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ スタンバイ解除設定時は"01"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号9を起動要因にする	リードすると"0"が読めます	DM9 = 0 のとき 割り込み番号9 (INT8) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM9 = 1 のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIMA1	EIMA0	DMA		ILA2	ILA1	ILA0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ スタンバイ解除設定時は"01"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号10を起動要因にする	リードすると"0"が読めます	DMA = 0 のとき 割り込み番号10 (INT9) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DMA = 1 のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIMB1	EIMB0	DMB		ILB2	ILB1	ILB0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ スタンバイ解除設定時は"01"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号11を起動要因にする	リードすると"0"が読めます	DMB = 0 のとき 割り込み番号11 (INTA) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DMB = 1 のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		

IMC3
(0xFFFF_E00C)

	7	6	5	4	3	2	1	0
bit Symbol		EIMC1	EIMC0	DMC		ILC2	ILC1	ILC0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ スタンバイ解除設定時は"01"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号12を起動要因にする	リードすると"0"が読めます	DMC = 0 のとき 割り込み番号12 (INTB) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DMC = 1 のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIMD1	EIMD0	DMD		ILD2	ILD1	ILD0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号13を起動要因にする	リードすると"0"が読めます	DMD = 0 のとき 割り込み番号13 (INTC) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DMD = 1 のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIME1	EIME0	DME		ILE2	ILE1	ILE0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号14を起動要因にする	リードすると"0"が読めます	DME = 0 のとき 割り込み番号14 (INTD) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DME = 1 のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIMF1	EIMF0	DMF		ILF2	ILF1	ILF0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がりエッジ 11: 立ち上がりエッジ		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号15を起動要因にする	リードすると"0"が読めます	DMF = 0 のとき 割り込み番号15 (INTE) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DMF = 1 のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		

IMC4
(0xFFFF_E010)

	7	6	5	4	3	2	1	0
bit Symbol		EIM101	EIM100	DM10		IL102	IL101	IL100
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がりエッジ 11: 立ち上がり		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号16を起動要因にする	リードすると"0"が読めます	DM10 = 0のとき 割り込み番号16 (INTF) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM10 = 1のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM111	EIM110	DM11		IL112	IL111	IL110
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 01: "H" レベル かならず"01"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号17を起動要因にする	リードすると"0"が読めます	DM11 = 0のとき 割り込み番号17 (KWUP) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM11 = 1のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM121	EIM120	DM12		IL122	IL121	IL120
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号18を起動要因にする	リードすると"0"が読めます	DM12 = 0のとき 割り込み番号18 (INTRX0) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM12 = 1のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM131	EIM130	DM13		IL132	IL131	IL130
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号19を起動要因にする	リードすると"0"が読めます	DM13 = 0のとき 割り込み番号19 (INTTX0) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM13 = 1のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		

注：EIMxx0, EIMxx1 の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

IMC5
(0xFFFF_E014)

	7	6	5	4	3	2	1	0
bit Symbol		EIM141	EIM140	DM14		IL142	IL141	IL140
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定 してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号20を 起動要因にする	リードすると"0"が読めます	DM14= 0 のとき 割り込み番号 20 (INTRX1) に対する 割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM14 = 1 のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM151	EIM150	DM15		IL152	IL151	IL150
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定 してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号21を 起動要因にする	リードすると"0"が読めます	DM15 = 0 のとき 割り込み番号 21 (INTTX1) に対する 割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM15 = 1 のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM161	EIM160	DM16		IL162	IL161	IL160
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定 してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号22を 起動要因にする	リードすると"0"が読めます	DM16 = 0 のとき 割り込み番号 22 (INTRX2) に対する 割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM16 = 1 のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM171	EIM170	DM17		IL172	IL171	IL170
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定 してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号23を 起動要因にする	リードすると"0"が読めます	DM17= 0 のとき 割り込み番号 23 (INTTX2) に対する 割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM17 = 1 のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		

注 : EIMxx0, EIMxx1 の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

IMC6
(0xFFFF_E018)

	7	6	5	4	3	2	1	0
bit Symbol		EIM181	EIM180	DM18		IL182	IL181	IL180
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号24を起動要因にする	リードすると"0"が読めます	DM18 = 0のとき 割り込み番号24 (INTRX3) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM18 = 1のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM191	EIM190	DM19		IL192	IL191	IL190
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号25を起動要因にする	リードすると"0"が読めます	DM19 = 0のとき 割り込み番号25 (INTTX3) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM19 = 1のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM1A1	EIM1A0	DM1A		IL1A2	IL1A1	IL1A0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号26を起動要因にする	リードすると"0"が読めます	DM1A = 0のとき 割り込み番号26 (INTRX4) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM1A = 1のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM1B1	EIM1B0	DM1B		IL1B2	IL1B1	IL1B0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号27を起動要因にする	リードすると"0"が読めます	DM1B = 0のとき 割り込み番号27 (INTTX4) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM1B = 1のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		

注: EIMxx0, EIMxx1 の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

IMC7
(0xFFFF_E01C)

	7	6	5	4	3	2	1	0
bit Symbol		EIM1C1	EIM1C0	DM1C		IL1C2	IL1C1	IL1C0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号28を起動要因にする。	リードすると"0"が読めます	DM1C = 0のとき 割り込み番号28 (INTRX5) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM1C = 1のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM1D1	EIM1D0	DM1D		IL1D2	IL1D1	IL1D0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号29を起動要因にする。	リードすると"0"が読めます	DM1D = 0のとき 割り込み番号29 (INTTX5) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM1D = 1のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM1E1	EIM1E0	DM1E		IL1E2	IL1E1	IL1E0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号30を起動要因にする。	リードすると"0"が読めます	DM1E = 0のとき 割り込み番号30 (INTSO) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM1E = 1のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM1F1	EIM1F0	DM1F		IL1F2	IL1F1	IL1F0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号31を起動要因にする。	リードすると"0"が読めます	DM1F = 0のとき 割り込み番号31 (INTADHP) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM1F = 1のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		

注: EIMxx0, EIMxx1 の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

IMC8
(0xFFFF_E020)

	7	6	5	4	3	2	1	0
bit Symbol		EIM201	EIM200	DM20		IL202	IL201	IL200
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号32を起動要因にする	リードすると"0"が読めます	DM20 = 0 のとき 割り込み番号32 (INTADM) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM20 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM211	EIM210	DM21		IL212	IL211	IL210
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号33を起動要因にする	リードすると"0"が読めます	DM21 = 0 のとき 割り込み番号33 (INTTB0) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM21 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM221	EIM220	DM26		IL222	IL221	IL220
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号34を起動要因にする	リードすると"0"が読めます	DM22 = 0 のとき 割り込み番号34 (INTTB1) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM22 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM231	EIM230	DM23		IL232	IL231	IL230
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。 スタンバイ解除設定時は"01" (Hレベル設定) にしてください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号35を起動要因にする。	リードすると"0"が読めます	DM23 = 0 のとき 割り込み番号35 (INTTB2) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM23 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		

注: EIMxx0, EIMxx1 の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

IMC9
(0xFFFF_E024)

	7	6	5	4	3	2	1	0
bit Symbol		EIM241	EIM240	DM24		IL242	IL241	IL240
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。 スタンバイ解除設定時は"01" (Hレベル設定)にしてください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号36を起動要因にする	リードすると"0"が読めます	DM24 = 0のとき 割り込み番号36 (INTTB3) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM24 = 1のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM251	EIM250	DM25		IL252	IL251	IL250
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号37を起動要因にする	リードすると"0"が読めます	DM25 = 0のとき 割り込み番号37 (INTTB4) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM25 = 1のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM261	EIM260	DM26		IL262	IL261	IL260
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号38を起動要因にする	リードすると"0"が読めます	DM26 = 0のとき 割り込み番号38 (INTTB5) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM26 = 1のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM271	EIM270	DM27		IL272	IL271	IL270
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号39を起動要因にする。	リードすると"0"が読めます	DM27 = 0のとき 割り込み番号39 (INTTB6) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM27 = 1のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		

注 : EIMxx0, EIMxx1 の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

IMCA
(0xFFFF_E028)

	7	6	5	4	3	2	1	0
bit Symbol		EIM281	EIM280	DM28		IL282	IL281	IL280
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定 してください。		DMAC の起 動 要 因 に 設定 0: 設定し ない 1: 割り込み 番号 40 を 起 動 要 因 にする	リードす ると"0" が読めま す	DM28 = 0 のとき 割り込み番号 40 (INTTB7) に対す る割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM28 = 1 のとき DMAC のチャネル選択 000~011: 0~3 100~111: 4~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM291	EIM290	DM29		IL292	IL291	IL290
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定 してください。		DMAC の起 動 要 因 に 設定 0: 設定し ない 1: 割り込み 番号 41 を 起 動 要 因 にする	リードす ると"0" が読めま す	DM29 = 0 のとき 割り込み番号 41 (INTTB8) に対す る割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM29 = 1 のとき DMAC のチャネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM2A1	EIM2A0	DM2A		IL2A2	IL2A1	IL2A0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定 してください。		DMAC の起 動 要 因 に 設定 0: 設定し ない 1: 割り込み 番号 42 を 起 動 要 因 にする	リードす ると"0" が読めま す	DM2A = 0 のとき 割り込み番号 42 (INTTB9) に対す る割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM2A = 1 のとき DMAC のチャネル選択 000~011: 0~3 100~111: 4~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM2B1	EIM2B0	DM2B		IL2B2	IL2B1	IL2B0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定 してください。		DMAC の起 動 要 因 に 設定 0: 設定し ない 1: 割り込み 番号 43 を 起 動 要 因 にする	リードす ると"0" が読めま す	DM2B = 0 のとき 割り込み番号 43 (INTTBA) に対す る割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM2B = 1 のとき DMAC のチャネル選択 000~011: 0~3 100~111: 4~7		

注 : EIMxx0, EIMxx1 の初期値と使用時の値に相違が有ります。使用される場合は規定値に設定してください。

IMCB
(0xFFFF_E02C)

	7	6	5	4	3	2	1	0
bit Symbol		EIM2C1	EIM2C0	DM2C		IL2C2	IL2C1	IL2C0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号44を起動要因にする	リードすると"0"が読めます	DM2C = 0 のとき 割り込み番号44 (INTTBB) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM2C = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM2D1	EIM2D0	DM2D		IL2D2	IL2D1	IL2D0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号45を起動要因にする	リードすると"0"が読めます	DM2D = 0 のとき 割り込み番号45 (INTTBC) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM2D = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM2E1	EIM2E0	DM2E		IL2E2	IL2E1	IL2E0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号46を起動要因にする	リードすると"0"が読めます	DM2E = 0 のとき 割り込み番号46 (INTTBD) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM2E = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM2F1	EIM2F0	DM2F		IL2F2	IL2F1	IL2F0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定11: 立ち上がりエッジ かならず"11"に設定してください。		DMAC の起動要因に設定 0: 設定しない 1: 割り込み番号47を起動要因にする	リードすると"0"が読めます	DM2F = 0 のとき 割り込み番号47 (INTTBE) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM2F = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		

注 : EIMxx0, EIMxx1 の初期値と使用時の値に相違が有ります。使用される場合は規定値に設定してください。

IMCC
(0xFFFF_E030)

	7	6	5	4	3	2	1	0
bit Symbol		EIM301	EIM300	DM30		IL302	IL301	IL300
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定 してください。		DMAC の起 動 要 因 に 設定 0: 設定し ない 1: 割り込み 番号 48 を 起 動 要 因 にする	リードす ると"0" が読めま す	DM30 = 0 のとき 割り込み番号 48 (INTTBF) に対 する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM30 = 1 のとき DMAC のチャネル選択 000~011: 0~3 100~111: 4~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM311	EIM310	DM31		IL312	IL311	IL310
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 1: 立ち上がりエッジ かならず"11"に設定 してください。		DMAC の起 動 要 因 に 設定 0: 設定し ない 1: 割り込み 番号 49 を 起 動 要 因 にする	リードす ると"0" が読めま す	DM31 = 0 のとき 割り込み番号 49 (INTCAPG0) に対 する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM31 = 1 のとき DMAC のチャネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます							
	31	30	29	28	27	26	25	24
bit Symbol		EIM331	EIM330	DM33		IL332	IL331	IL330
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定 してください		DMAC の起 動 要 因 に 設定 0: 設定し ない 1: 割り込み 番号 51 を 起 動 要 因 にする	リードす ると"0" が読めま す	DM33 = 0 のとき 割り込み番号 51 (INTCMP0) に対 する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM33 = 1 のとき DMAC のチャネル選択 000~011: 0~3 100~111: 4~7		

注 : EIMxx0, EIMxx1 の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

IMCD
(0xFFFF_E034)

	7	6	5	4	3	2	1	0
bit Symbol		EIM341	EIM340	DM34		IL342	IL341	IL340
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0		
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定 してください		DMAC の起 動 要 因 に 設定 0: 設定し ない 1: 割り込み 番号 52 を 起 動 要 因 にする	リードす ると"0" が読めま す	DM34 = 0 のとき 割り込み番号 52 (INTCMP1) に対 する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM34 = 1 のとき DMAC のチャネル選択 000~011: 0~3 100~111: 4~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM351	EIM350	DM35		IL352	IL351	IL350
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定 してください		DMAC の起 動 要 因 に 設定 0: 設定し ない 1: 割り込み 番号 53 を 起 動 要 因 にする	リードす ると"0" が読めま す	DM35 = 0 のとき 割り込み番号 53 (INTCMP2) に対 する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM35 = 1 のとき DMAC のチャネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM361	EIM360	DM36		IL362	IL361	IL360
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定 してください		DMAC の起 動 要 因 に 設定 0: 設定し ない 1: 割り込み 番号 54 を 起 動 要 因 にする	リードす ると"0" が読めま す	DM36 = 0 のとき 割り込み番号 54 (INTCMP3) に対 する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM36 = 1 のとき DMAC のチャネル選択 000~011: 0~3 100~111: 4~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM371	EIM370	DM37		IL372	IL371	IL370
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定 してください		DMAC の起 動 要 因 に 設定 0: 設定し ない 1: 割り込み 番号 55 を 起 動 要 因 にする	リードす ると"0" が読めま す	DM37 = 0 のとき 割り込み番号 55 (INTCMP4) に対 する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM37 = 1 のとき DMAC のチャネル選択 000~011: 0~3 100~111: 4~7		

注：EIMxx0, EIMxx1 の初期値と使用時の値に相違が有ります。使用される場合は規定値に設定してください。

IMCE
(0xFFFF_E038)

	7	6	5	4	3	2	1	0
bit Symbol		EIM381	EIM380	DM38		IL382	IL381	IL380
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定 してください		DMAC の起 動 要 因 に 設定 0: 設定し ない 1: 割り込み 番号 56 を 起 動 要 因 にする	リードす ると"0" が読めま す	DM38 = 0 のとき 割り込み番号 56 (INTCMP5) に対 する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM38 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM391	EIM390	DM39		IL392	IL391	IL390
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定 してください		DMAC の起 動 要 因 に 設定 0: 設定し ない 1: 割り込み 番号 57 を 起 動 要 因 にする	リードす ると"0" が読めま す	DM39 = 0 のとき 割り込み番号 57 (INTCMP6) に対 する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM39 = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM3A1	EIM3A0	DM3A		IL3A2	IL3A1	IL3A0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定 してください		DMAC の起 動 要 因 に 設定 0: 設定し ない 1: 割り込み 番号 58 を 起 動 要 因 にする	リードす ると"0" が読めま す	DM3A = 0 のとき 割り込み番号 58 (INTCMP7) に対 する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM3A = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM3B1	EIM3B0	DM3B		IL3B2	IL3B1	IL3B0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 10: 立ち下がりエッジ かならず"10"に設定 してください		DMAC の起 動 要 因 に 設定 0: 設定し ない 1: 割り込み 番号 59 を 起 動 要 因 にする	リードす ると"0" が読めま す	DM3B = 0 のとき 割り込み番号 59 (INTTBT) に対 する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM3B = 1 のとき DMAC のチャンネル選択 000~011: 0~3 100~111: 4~7		

注 : EIMxx0, EIMxx1 の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

IMCF
(0xFFFF_E03C)

	7	6	5	4	3	2	1	0
bit Symbol		EIM3C1	EIM3C0	DM3C		IL3C2	IL3C1	IL3C0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 10: 立ち下がりエッジ スタンバイ解除設定時は"01" (Hレベル設定)にしてください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号60を起動要因にする	リードすると"0"が読めます	DM3C = 0のとき 割り込み番号60 (INTRTC) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM3C = 1のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		
	15	14	13	12	11	10	9	8
bit Symbol		EIM3D1	EIM3D0	DM3D		IL3D2	IL3D1	IL3D0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号61を起動要因にする	リードすると"0"が読めます	DM3D = 0のとき 割り込み番号61 (INTAD) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM3D = 1のとき DMACのチャンネル選択 000~011: 0~3 100~111: 4~7		
	23	22	21	20	19	18	17	16
bit Symbol		EIM3E1	EIM3E0	DM3E		IL3E2	IL3E1	IL3E0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L"レベル かならず"00"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号62を起動要因にする	リードすると"0"が読めます	DM3E = 0のとき 割り込み番号62 (INTDMA0~3) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM3E = 1のとき DMACのチャンネル選択 000~011: 設定禁止 100~111: 4~7		
	31	30	29	28	27	26	25	24
bit Symbol		EIM3F1	EIM3F0	DM3F		IL3F2	IL3F1	IL3F0
Read/Write	R	R/W			R	R/W		
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	割り込み要求のアクティブ状態を設定 00: "L"レベル かならず"00"に設定してください。		DMACの起動要因に設定 0: 設定しない 1: 割り込み番号63を起動要因にする	リードすると"0"が読めます	DM3F = 0のとき 割り込み番号63 (INTDMA4~7) に対する割り込みレベルを設定 000: 割り込み禁止 001~111: 1~7 DM3F = 1のとき DMACのチャンネル選択 000~011: 0~3 100~111: 設定禁止		

注: EIMxx0, EIMxx1の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。
DMACによるDMACレジスタへのアクセスは禁止です。

- (注1) 割り込み要求を許可する前に、かならずアクティブ状態を設定してください。
- (注2) 割り込み要求を DMAC の起動要因にする場合はかならず INTC を設定後に DMAC を待機状態にしてください。
- (注3) アクティブ条件を変更する場合(特にレベル検出に変更する場合は)、該当するデバイスの割り込み出力をデアサート状態にしてから変更して下さい。
- (1) IL="0 以外"の場合は、IL="0"を設定
 - (2) 検出条件(EIM)の変更
 - (3) INTCLR で、該当割り込みをクリア
 - (4) IL を"0 以外"に設定

6.8.8.5 割り込み要求クリアレジスタ (INTCLR)

要求をクリアしたい割り込み要因の IVR[7:0]を INTCLR にセットすることで、保留されている割り込み要求をクリアすることができます。割り込み要求をクリアすると IVR の値もクリアされるため、割り込み要因の判別ができなくなります。IVR の値を読む前に割り込み要求のクリアは行わないで下さい。

表 6-10 要求をクリアしたい IVR<IVR7:0>の値をセット

	7	6	5	4	3	2	1	0
INTCLR (0xFFFF_E060)	EICLR7	EICLR6	EICLR5	EICLR4	EICLR3	EICLR2	EICLR1	EICLR0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	要求をクリアしたい割り込みに相当する IVR<7 : 0>の値をセット							
	15	14	13	12	11	10	9	8
bit Symbol	/							
Read/Write	R							
リセット後	0							
機能	リードすると"0"が読めます							
	23	22	21	20	19	18	17	16
bit Symbol	/							
Read/Write	R							
リセット後	0							
機能	リードすると"0"が読めます							
	31	30	29	28	27	26	25	24
bit Symbol	/							
Read/Write	R							
リセット後	0							
機能	リードすると"0"が読めます							

- (注1) このレジスタは必ず 16 ビットでアクセスしてください。
- (注2) INTC の IMCx<EIMxx>のアクティブ状態の設定が "H" ," L" レベル、立ち上がり/立ち下がりエッジのどの場合でも割り込み要因を保持するため、割り込み要求をクリアしてください。
- (注3) 本レジスタはビット操作命令でアクセスできません。
- (注4) DMAC の割り込み要因による転送要求はクリアされません。一度受け付けた外部転送要求は DMA 転送を実行するまで解除されません。そのため不要な外部転送要求は DMA 転送を実行しクリアするか、不要な外部転送要求を受け付ける前に IMCx<ILxxx>で割り込み禁止もしくは IMCx<DMxx>で DMAC の起動要因を解除する必要があります。

IMCx レジスタを設定したあとは、必ず INTCLR にて、該当する割り込み番号のクリアを実施してください。

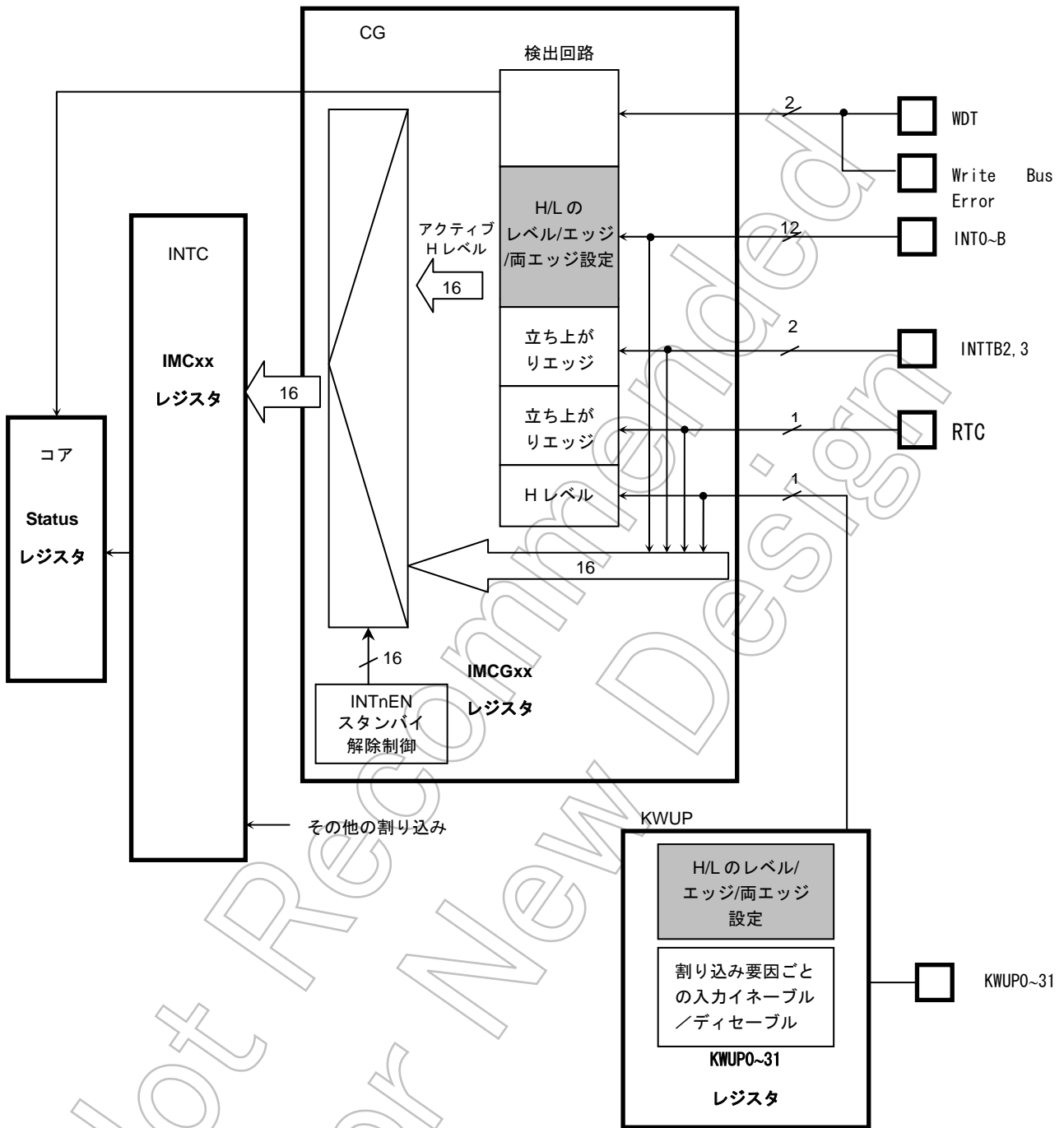


図 6.6 割り込み関係接続図

6.9 INTCG レジスタ (STOP/SLEEP/IDLE 解除割り込み)

INT0~INTB、KWUP0~31 : STOP/SLEEP/IDLE モード解除割り込み
 INTRTC、INTTB2, 3(二相パルス入力カウンタ) : SLEEP

IMCGA
 (0xFFFF_EE10)

	7	6	5	4	3	2	1	0
bit Symbol		EMCG02	EMCG01	EMCG00	EMST01	EMST00		INT0EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めず	INT0スタンバイ解除要求のアクティブ状態を設定 000: "L" レベル 001: "H" レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			INT0スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると"0"が読めず	INT0解除入力 0: ディセーブル 1: イネーブル
	15	14	13	12	11	10	9	8
bit Symbol		EMCG12	EMCG11	EMCG10	EMST11	EMST10		INT1EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めず	INT1スタンバイ解除要求のアクティブ状態を設定 000: "L" レベル 001: "H" レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			INT1スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると"0"が読めず	INT1解除入力 0: ディセーブル 1: イネーブル
	23	22	21	20	19	18	17	16
bit Symbol		EMCG22	EMCG21	EMCG20	EMST21	EMST20		INT2EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めず	INT2スタンバイ解除要求のアクティブ状態を設定 000: "L" レベル 001: "H" レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			INT2スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると"0"が読めず	INT2解除入力 0: ディセーブル 1: イネーブル
	31	30	29	28	27	26	25	24
bit Symbol		EMCG32	EMCG31	EMCG30	EMST31	EMST30		INT3EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めず	INT3スタンバイ解除要求のアクティブ状態を設定 000: "L" レベル 001: "H" レベル 010: 立ち下がリエッジ 011: 立ち上がリエッジ 100: 両エッジ			INT3スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がリエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると"0"が読めず	INT3解除入力 0: ディセーブル 1: イネーブル

EMSTxx ビットを参照することにより、スタンバイ解除に使用されたアクティブ状態を確認することが出来ます。

IMCGB
(0xFFFF_EE14)

	7	6	5	4	3	2	1	0
bit Symbol		EMCG42	EMCG41	EMCG40	EMST41	EMST40		INT4EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めます	INT4スタンバイ解除要求のアクティブ状態を設定 000: "L" レベル 001: "H" レベル 010: 立ち下がリエッジ 011: 立ち上がりエッジ 100: 両エッジ			INT4スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると"0"が読めます	INT4解除入力 0: ディセーブル 1: イネーブル
	15	14	13	12	11	10	9	8
bit Symbol		EMCG52	EMCG51	EMCG50	EMST51	EMST50		INT5EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めます	INT5スタンバイ解除要求のアクティブ状態を設定 000: "L" レベル 001: "H" レベル 010: 立ち下がリエッジ 011: 立ち上がりエッジ 100: 両エッジ			INT5スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると"0"が読めます	INT5解除入力 0: ディセーブル 1: イネーブル
	23	22	21	20	19	18	17	16
bit Symbol		EMCG62	EMCG61	EMCG60	EMST61	EMST60		INT6EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めます	INT6スタンバイ解除要求のアクティブ状態を設定 000: "L" レベル 001: "H" レベル 010: 立ち下がリエッジ 011: 立ち上がりエッジ 100: 両エッジ			INT6スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると"0"が読めます	INT6解除入力 0: ディセーブル 1: イネーブル
	31	30	29	28	27	26	25	24
bit Symbol		EMCG72	EMCG71	EMCG70	EMST71	EMST70		INT7EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めます	INT7スタンバイ解除要求のアクティブ状態を設定 000: "L" レベル 001: "H" レベル 010: 立ち下がリエッジ 011: 立ち上がりエッジ 100: 両エッジ			INT7スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると"0"が読めます	INT7解除入力 0: ディセーブル 1: イネーブル

EMST_{xx} ビットを参照することにより、スタンバイ解除に使用されたアクティブ状態を確認することができます。

IMCGC
(0xFFFF_EE18)

	7	6	5	4	3	2	1	0
bit Symbol		EMCG82	EMCG81	EMCG80	EMST81	EMST80		INT8EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めます	INT8 スタンバイ解除要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がリエッジ 11: 立ち上がりエッジ 100: 両エッジ			INT8 スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると"0"が読めます	INT8 解除入力 0: ディセーブル 1: イネーブル
	15	14	13	12	11	10	9	8
bit Symbol		EMCG92	EMCG91	EMCG90	EMST91	EMST90		INT9EN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めます	INT9 スタンバイ解除要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がリエッジ 11: 立ち上がりエッジ 100: 両エッジ			INT9 スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると"0"が読めます	INT9 解除入力 0: ディセーブル 1: イネーブル
	23	22	21	20	19	18	17	16
bit Symbol		EMCGA2	EMCGA1	EMCGA0	EMSTA1	EMSTA0		INTAEN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めます	INTA スタンバイ解除要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がリエッジ 11: 立ち上がりエッジ 100: 両エッジ			INTA スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると"0"が読めます	INTA 解除入力 0: ディセーブル 1: イネーブル
	31	30	29	28	27	26	25	24
bit Symbol		EMCGB2	EMCGB1	EMCGB0	EMSTB1	EMSTB0		INTBEN
Read/Write	R	R/W			R		R	R/W
リセット後	0	0	1	0	0	0	0	0
機能	リードすると"0"が読めます	INTB スタンバイ解除要求のアクティブ状態を設定 00: "L" レベル 01: "H" レベル 10: 立ち下がリエッジ 11: 立ち上がりエッジ 100: 両エッジ			INTB スタンバイ解除要求のアクティブ状態 00: - 01: 立ち上がりエッジ 10: 立ち下がリエッジ 11: 両エッジ		リードすると"0"が読めます	INTB 解除入力 0: ディセーブル 1: イネーブル

EMSTxx ビットを参照することにより、スタンバイ解除に使用されたアクティブ状態を確認することができます。

IMCGD
(0xFFFF_EE1C)

	7	6	5	4	3	2	1	0
bit Symbol			EMCGC1	EMCGC0				KWUPEN
Read/Write	R	R/W	R/W		R			R/W
リセット後	0	0	1	0	-			0
機能	リードすると"0"が読めます	かならず"0"をライトして下さい。	KWUPスタンバイ解除要求のアクティブ状態を設定 01: "H"レベル かならず"01"に設定してください。		リード値は不定です			リードすると"0"が読めます KWUP解除入力 0: ディセーブル 1: イネーブル
	15	14	13	12	11	10	9	8
bit Symbol			EMCGD1	EMCGD0				INTRTCEN
Read/Write	R	R/W	R/W		R			R/W
リセット後	0	0	1	0	-			0
機能	リードすると"0"が読めます	かならず"0"をライトして下さい。	INTRTCスタンバイ解除要求のアクティブ状態を設定 10: 立ち下がリエッジ かならず"10"に設定してください。		リード値は不定です			リードすると"0"が読めます INTRTC解除入力 0: ディセーブル 1: イネーブル
	23	22	21	20	19	18	17	16
bit Symbol			EMCGE1	EMCGE0				INTTB2EN
Read/Write	R	R/W	R/W		R			R/W
リセット後	0	0	1	0	-			0
機能	リードすると"0"が読めます	かならず"0"をライトして下さい。	INTTB2スタンバイ解除要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定してください。		リード値は不定です			リードすると"0"が読めます INTTB2解除入力 0: ディセーブル 1: イネーブル
	31	30	29	28	27	26	25	24
bit Symbol			EMCGF1	EMCGF0				INTTB3EN
Read/Write	R	R/W	R/W		R			R/W
リセット後	0	0	1	0	-			0
機能	リードすると"0"が読めます	かならず"0"をライトして下さい。	INTTB3スタンバイ解除要求のアクティブ状態を設定 11: 立ち上がりエッジ かならず"11"に設定してください。		リード値は不定です			リードすると"0"が読めます INTTB3解除入力 0: ディセーブル 1: イネーブル

注 : EMCGx0, EMCGx1 の初期値と使用時の値に相違があります。使用される場合は規定値に設定してください。

STOP/SLEEP/IDLE 解除用に割り込みを許可する場合は、かならず解除要求のアクティブ状態を設定してください。

- (注1) 割り込みを使用する場合はかならず以下の順に設定してください。
- ① 汎用ポートなどと兼用の場合は該当割り込みの入力をイネーブル
 - ② 初期化時にアクティブ状態等の設定
 - ③ 割り込み要求のクリア
 - ④ 割り込みのイネーブル
- (注2) 各設定はかならず割り込みディゼーブルの状態で行ってください。
- (注3) TMP19A43 は STOP/SLEEP 解除割り込みとして INTO~INTB、INTRTC、INTTB2/INTTB3、KWUP00~31 の 16 要因の設定が可能です。INTO~INTB は STOP/SLEEP/IDLE 解除割り込みとして使用するかどうか、およびアクティブ状態のエッジ/レベルは CG にて設定します。また、KWUP00~31 は STOP/SLEEP/IDLE 解除割り込みとして使用するかどうかは CG で設定し、アクティブ状態のエッジ/レベルは KWUPSTn<KEYn>で設定します。
- (注4) STOP/SLEEP/IDLE 解除要求割り込みに割り当てられる上記 16 要因のうち、INTO~INTB は通常割り込みとして使用する場合は CG での設定は不用で INTC でレベル/エッジ、両エッジを指定してください。KWUP00~31 は通常割り込みとして使用する場合は KWUPSTn でアクティブレベルを設定して INTC では HIGH レベルに設定してください。CG での設定は不要です。INTRTC は通常割り込みとして使用する場合は CG/INTC で設定してください。

STOP/SLEEP/IDLE 解除要求として割り当てられている以外の割り込み要因は、すべて INTC ブロックにて設定します。

Not Recommended for New

E1CRCG
(0xFFFF_EE20)

	7	6	5	4	3	2	1	0
bit Symbol					I1CRCG3	I1CRCG2	I1CRCG1	I1CRCG0
Read/Write	R				R/W			
リセット後	0				0			
機能	リードすると"0"が読めます				リードすると"0"が読めます。 割り込み要求をクリア 0000: INT0 0101: INT5 1010: INTA 0001: INT1 0110: INT6 1011: INTB 0010: INT2 0111: INT7 1100: KWUP 0011: INT3 1000: INT8 1101: INTRC 0100: INT4 1001: INT9 1110: INTTB2 1111: INTTB3			
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write	R							
リセット後	0							
機能	リードすると"0"が読めます。							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write								
リセット後								
機能	リードすると"0"が読めます。							
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0							
機能	リードすると"0"が読めます。							

(注5) STOP/SLEEP/IDLE 解除要求に割り当てられている上記 16 要因の割り込み要求のクリアは、

a) 解除要因として使用した場合

- ① KWUP の場合は KWUPCLR で行います。
- ② INT0~INTB, INTRTC, INTTB2, INTTB3 は上記 CG ブロックの E1CRCG レジスタで行います。

b) 解除要因として使用しない場合

INTCLR で割り込み要因をクリアしてください。

6.10 NMI フラグレジスタ

NMIFLG
(0xFFFF_EE24)

	7	6	5	4	3	2	1	0
bit Symbol							WDT	WBER
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます						NMI 要因 1:WDT 割り込 みにより NMI 発生	NMI 要因 1:ライトバス エラーにより NMI 発生
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます							
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます							
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます							

・ WDT, WBER は読み出すと"0"にクリアされます。

TMP19A43 は外部端子としては、NMI 割り込みがありませんが、内部の割り込み要因として NMI 割り込みを持っております。

6.11 割り込み使用上の注意事項

割り込みを使用する上で、注意しなければいけない内容を下記に示します。ユーザプログラムは下記内容を満たすようにプログラムを記述する必要があります。

6.11.1 TX19A プロセッサコア関連

- ・ 例外を禁止することはできません。ただし、命令によっては例外発生有/無の違いのみで2種類の命令を持っているものがありますので、用途に応じて使い分けてください。
- ・ ソフトウェア割り込みとハードウェア割り込み要因の「ソフトウェアセット」は異なる割り込み要因です。
- ・ CPO レジスタの SSCR を書き換えた後は、レジスタバンクが切り替わるまで2クロックかかるため、直後に NOP 命令を2つ置いてください。
- ・ ILEV<CMASK>を変更して、同じ割り込みレベルの割り込み要求が多重に受け付けられた場合、レジスタバンクは切り替わらないため、ユーザプログラムで退避する必要があります。
- ・ CPO レジスタの IER は32ビット ISA のみでアクセス可能です。
- ・ スタックポインタ (r29) は Shadow Register Set 番号0と Shadow Register Set 番号1~7 で区別されていますので、2回設定をする必要があります。共通のスタックポインタを使用したい場合は、メイン処理で SSCR<CSS>を”1”にセットし、Shadow Register Set 番号1を使用する方法があります。この場合、割り込みレベル1の割り込みが受け付けられてもレジスタバンクは切り替わりませんので、ユーザプログラムで退避する必要があります。
- ・ CPO レジスタの Status<ERL>=”1” の割り込み禁止状態で ERET 命令を実行すると、CPO レジスタの ErrorEPC を戻り番地としてメイン処理に復帰します。TX19A プロセッサコアは割り込みの戻り番地を EPC に退避するため、Status<ERL>で割り込み禁止をする場合は注意が必要です。
- ・ CPO レジスタの Status、ErrorEPC、EPC、SSCR をアクセス後、2クロック以内に ERET 命令を実行しないでください。
- ・ CPO レジスタの Status<ERL/EXL/IE>をセットすることで、割り込み禁止にする場合は、命令実行時点 (E ステージ) で割り込みが禁止になりますが、レジスタにセットされた値が反映されるのは2クロック後になります。
- ・ CPO レジスタの Status<ERL/EXL/IE>をセットすることで、割り込み許可にする場合は、命令実行時点 (E ステージ) から2クロック後に有効になり、レジスタにセットされた値が反映されるのも命令実行時点 (E ステージ) から2クロック後になります。

6.11.2 INTC 関連

- ・ 同じ割り込みレベルの複数の割り込み要求があった場合、割り込み番号が小さい要因から優先的に受け付けられます。
- ・ 割り込みレベル 0 の割り込み要因は保留されません。
- ・ 割り込み要因を個別に禁止（割り込みレベル 0）にする場合は、割り込み禁止状態で割り込み要因を禁止にしてください。
- ・ INTC の IMCx<EIMxx>の初期値と使用する場合の設定値が異なるものがあります。
- ・ INTC の ILEV は必ず 32 ビットでアクセスしてください。
- ・ INTC の INTCLR は必ず 32 ビットでアクセスしてください。
- ・ 割り込みの許可をする場合は、検出経路の順（外側→内側）で、禁止する場合は検出経路の逆（内側→外側）に設定をする必要があります。
- ・ INTC の ILEV<CMASK>の値を書き換える場合は、<MLEV>に” 1 ”を同時にセットしてください。
- ・ DMA 転送割り込み (INTDMA) は、8 要因を 0~3、4~7 の 2 要因にまとめております。
- ・ DMA 転送要求は、命令ではクリアできませんので、DMA 転送終了後に、再度要求が発生した場合には DMA 転送終了割り込みの中でダミー転送を実施してください。

Not Recommended for New Design

7 入出力ポート

7.1 ポート 0 (P00~P07)

ポート 0 はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の設定はコントロールレジスタ P0CR によって行います。リセット動作により、P0CR の全ビットは “0” にクリアされ、ポート 0 は入力モードになります。

汎用入出力ポート機能以外にデータバス (D0~D7) またはアドレスデータバス (AD0~AD7) 機能があります。外部メモリをアクセスするときは、自動的にデータバス (D0~D7) またはアドレスデータバス (AD0~AD7) として機能し、P0CR はすべて “0” にクリアされます。

リセット時に BUSMD 端子 (ポート P45) を ” L ” レベルにすることでセパレートバスモード (D0~D7) に、 ” H ” レベルにすることでマルチプレクスモード (AD0~AD7) になります。

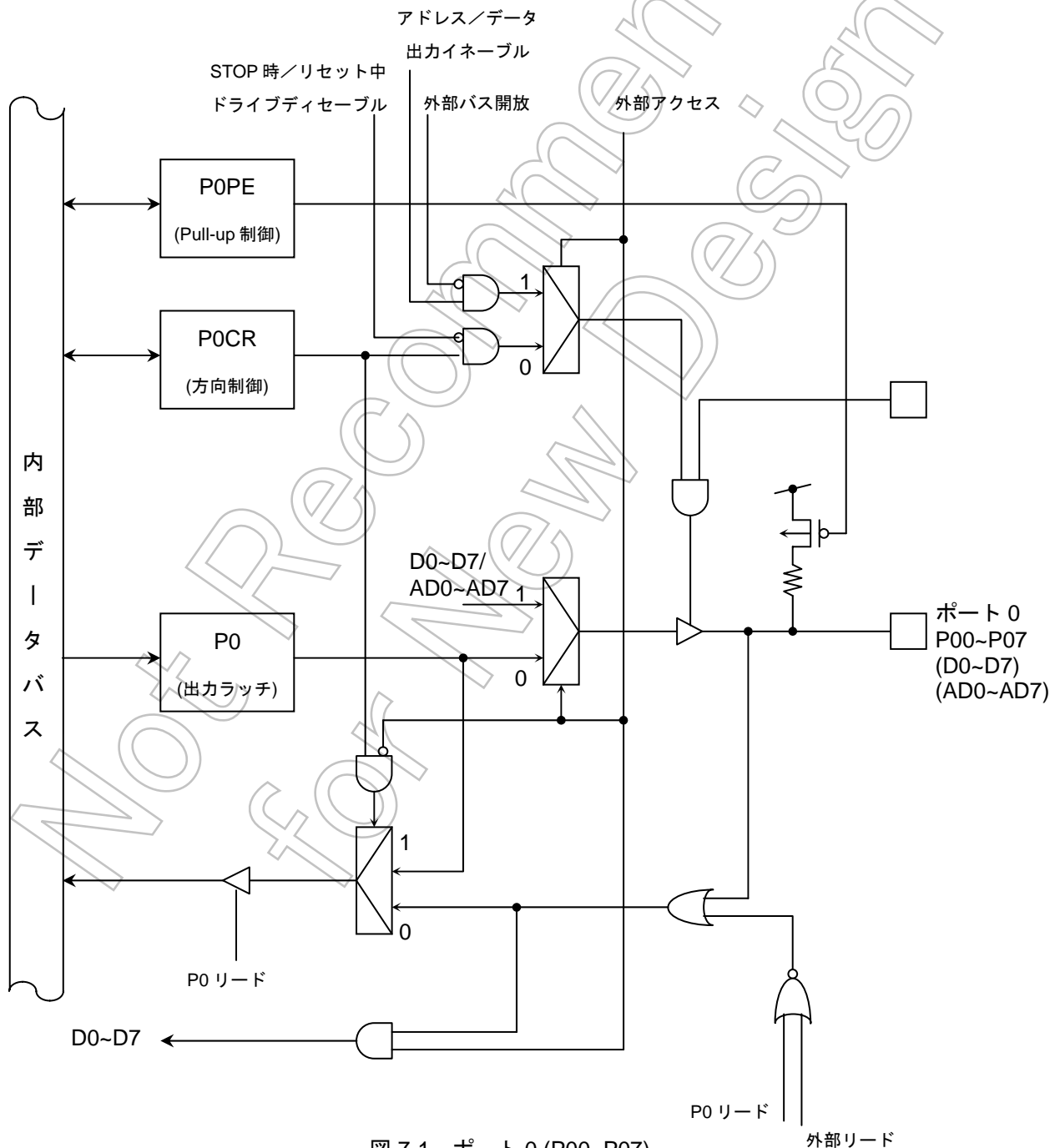


図 7-1 ポート 0 (P00~P07)

ポート 0 レジスタ

	7	6	5	4	3	2	1	0	
P0 (0xFFFF_F00)	Bit Symbol	P07	P06	P05	P04	P03	P02	P01	P00
	Read/Write	R/W							
	リセット後	入力モード (出力ラッチレジスタは "0" にクリア)							

ポート 0 コントロールレジスタ

	7	6	5	4	3	2	1	0	
POCR (0xFFFF_F02)	Bit Symbol	P07C	P06C	P05C	P04C	P03C	P02C	P01C	P00C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: 入力 1: 出力 (外部領域アクセス時、D7-0 または AD7-0 になり、このレジスタは 0 にクリアされます)							

ポート 0 プルアップ制御レジスタ

	7	6	5	4	3	2	1	0	
P0PE (0xFFFF_F0C)	Bit Symbol	PE07	PE06	PE05	PE04	PE03	PE02	PE01	PE00
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	プルアップ 0: オフ 1: Pull-Up	プルアップ 0: オフ 1: Pull-Up	プルアップ 0: オフ 1: Pull-Up	プルアップ 0: オフ 1: Pull-Up	プルアップ 0: オフ 1: Pull-Up	プルアップ 0: オフ 1: Pull-Up	プルアップ 0: オフ 1: Pull-Up	プルアップ 0: オフ 1: Pull-Up

7.2 ポート 1(P10~P17)

ポート 1 はビット単位で入出力の設定ができる 8 ビットの汎用入出力ポートです。入出力の設定は、コントロールレジスタ P1CR とファンクションレジスタ P1FC によって行います。リセット動作により、出力ラッチ P1 の全ビットと P1CR と P1FC の全ビットは “0” にクリアされ、ポート 1 は入力モードになります。

汎用入出力ポート機能以外に、データバス (D8~15) またはアドレスデータバス (AD8~15) 機能とアドレスバス (A8~15) 機能があります。外部メモリをアクセスするときは、P1CR、P1FC によりアドレスバスまたはアドレスデータバスに設定する必要があります。

リセット時に BUSMD 端子 (ポート 45) を ” L ” レベルにすることでセパレートバスモード (D8~D15) に、 ” H ” レベルにすることでマルチプレクスモード (AD8~AD15/A8~A15) になります。

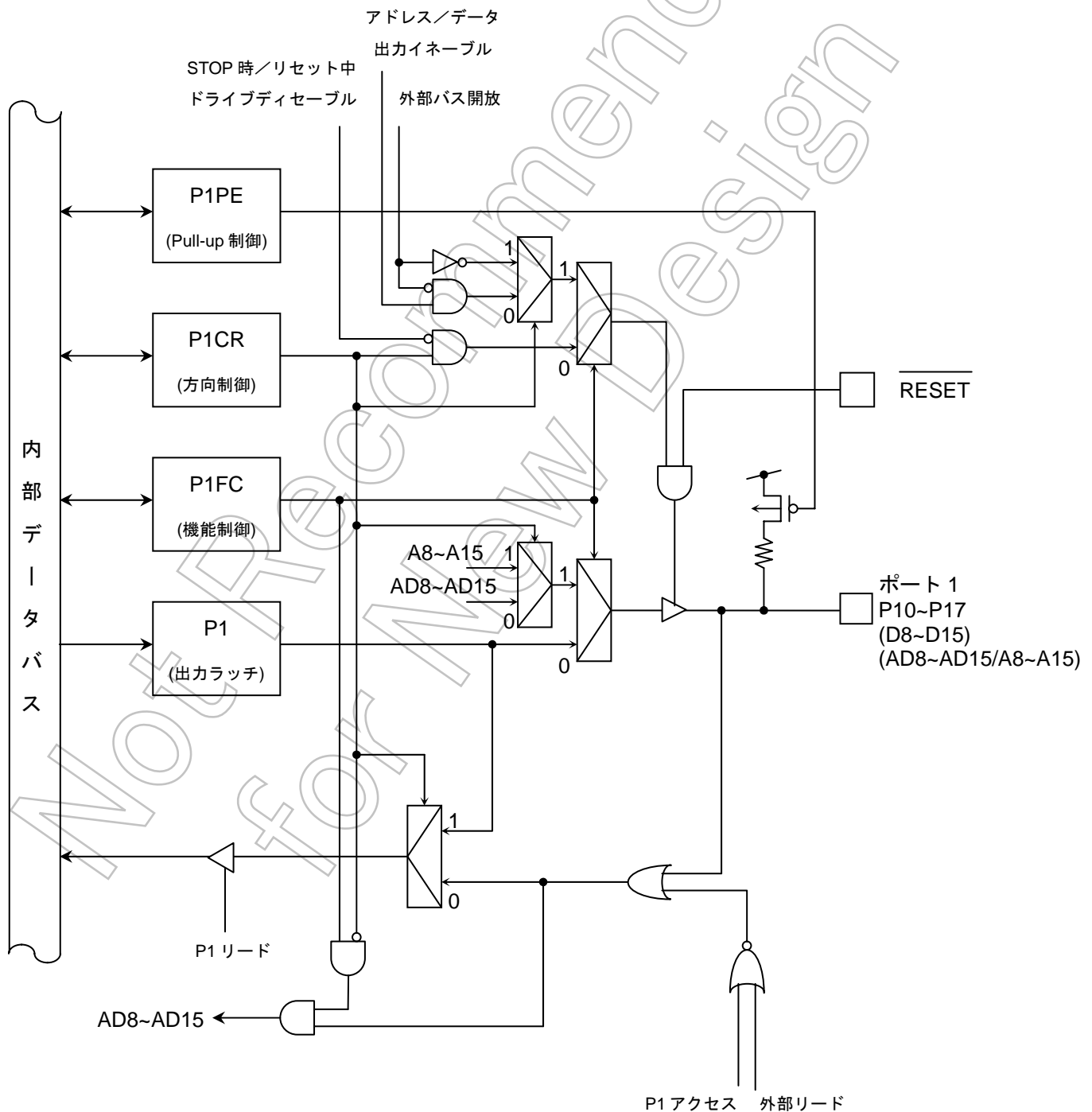


図 7-2 ポート 1 (P10~P17)

ポート 1 レジスタ

	7	6	5	4	3	2	1	0	
P1 (0xFFFF_F001)	Bit Symbol	P17	P16	P15	P14	P13	P12	P11	P10
	Read/Write	R/W							
	リセット後	入力モード (出力ラッチレジスタは "0" にクリア)							

ポート 1 コントロールレジスタ

	7	6	5	4	3	2	1	0	
P1CR (0xFFFF_F004)	Bit Symbol	P17C	P16C	P15C	P14C	P13C	P12C	P11C	P10C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	<< P1FC の欄を参照 >>							

ポート 1 ファンクションレジスタ

	7	6	5	4	3	2	1	0	
P1FC (0xFFFF_F005)	Bit Symbol	P17F	P16F	P15F	P14F	P13F	P12F	P11F	P10F
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	P1FC/P1CR = 00: 入力, 01: 出力, 10: D15-8 または AD15-8, 11: A15-8							

ポート 1 プルアップ制御レジスタ

	7	6	5	4	3	2	1	0	
P1PE (0xFFFF_F00D)	Bit Symbol	PE17	PE16	PE15	PE14	PE13	PE12	PE11	PE10
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up

機能	P1FC の該当 BIT	P1CR の該当 BIT	使用 PORT
P10~P17 入力の設定	0	0	PORT1
P10~P17 出力の設定	0	1	PORT1
セパレートバス モード (BUSMD=" 0")	データバス (D15~D8) 入出力の設定	1	PORT1
	アドレスバス (A15~A8) 出力の設定	1	
マルチプレクスバス モード (BUSMD=" 1")	アドレスデータバス (AD15~AD8) 入出力の設定	1	PORT1
	アドレスバス (A15~A8) 出力の設定	1	

表 7-1

7.3 ポート 2(P20~P27)

ポート 2 はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ P2CR とファンクションレジスタ P2FC によって行います。リセット動作により出力ラッチ P2 の全ビットは “1” にセットされ、また、P2CR と P2FC の全ビットは “0” にクリアされ、ポート 2 は入力モードになります。

16 ビットタイマの入力機能があり、P2FC、P2FC2 の該当ビットを “1”、P2CR の該当ビットを “0” に設定することによりこれらの機能が有効になります。リセット動作により P2CR、P2FC は “0” にクリアされてポート 2 は入力ポートとなります。

汎用入出力ポート機能以外にアドレスバス (A0~A7) 機能とアドレスバス (A16~A23) 機能があります。外部メモリをアクセスする時は、P2CR、P2FC によりアドレスバスに設定する必要があります。

リセット時に BUSMD 端子 (ポート P45) を ” L ” レベルにすることでセパレートバスモード (A16~A23) に、 ” H ” レベルにすることでマルチプレクスモード (A0~A7/A16~A23) になります。

Not Recommended for New Design

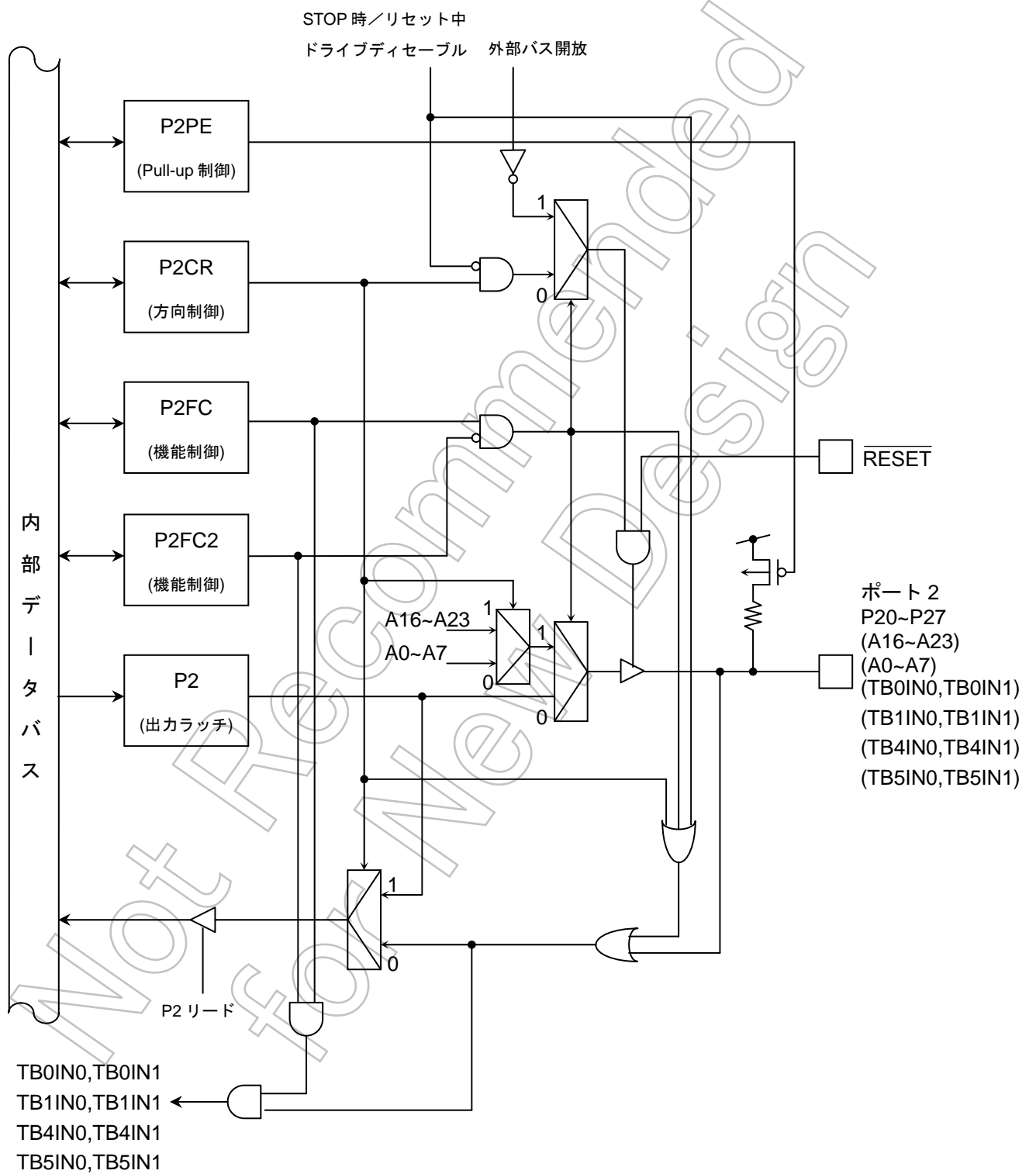


図 7-3 ポート 2 (P20~P27)

ポート 2 レジスタ

	7	6	5	4	3	2	1	0	
P2 (0xFFFF_F012)	Bit Symbol	P27	P26	P25	P24	P23	P22	P21	P20
	Read/Write	R/W							
	リセット後	入力モード (出力ラッチレジスタは "1" に Set)							

ポート 2 コントロールレジスタ

	7	6	5	4	3	2	1	0	
P2CR (0xFFFF_F014)	Bit Symbol	P27C	P26C	P25C	P24C	P23C	P22C	P21C	P20C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	<< P2FC の欄を参照 >>							

ポート 2 ファンクションレジスタ 1

	7	6	5	4	3	2	1	0	
P2FC (0xFFFF_F015)	Bit Symbol	P27F	P26F	P25F	P24F	P23F	P22F	P21F	P20F
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0:Port 1:機能	0:Port 1:機能	0:Port 1:機能	0:Port 1:機能	0:Port 1:機能	0:Port 1:機能	0:Port 1:機能	0:Port 1:機能

ポート 2 ファンクションレジスタ 2

	7	6	5	4	3	2	1	0	
P2FC2 (0xFFFF_F016)	Bit Symbol	P27F2	P26F2	P25F2	P24F2	P23F2	P22F2	P21F2	P20F2
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0:アドレス 1:TB5IN1	0:アドレス 1:TB5IN0	0:アドレス 1:TB4IN1	0:アドレス 1:TB4IN0	0:アドレス 1:TB1IN1	0:アドレス 1:TB1IN0	0:アドレス 1:TB0IN1	0:アドレス 1:TBOIN0

ポート 2 プルアップ制御レジスタ

	7	6	5	4	3	2	1	0	
P2PE (0xFFFF_F01C)	Bit Symbol	PE27	PE26	PE25	PE24	PE23	PE22	PE21	PE20
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up

使用 PORT	機能	P2FC の該当 BIT	P2FC2 の該当 BIT	P2CR の該当 BIT
PORT2	P20~P27 入力の設定	0	*	0
	P20~P27 出力の設定	0	*	1
	アドレスバス (A7~A0) 出力の設定 (*1)	1	0	0
	アドレスバス (A23~A16) 出力の設定 (*1)	1	0	1
	TMRB 入力設定	1	1	0

図 7-4

(*1) アドレスバス (A7~A0/A23~A16) 出力の設定はセパレートバスモード、マルチプレクスバスモードの設定 (BUSMD=" 0" , " 1") 共通です。
 (注) リセット解除後、ポート 2 は入力状態となります。
 貫通電流の発生を回避するため中間電位を入力しないようにしてください。

7.4 ポート 3(P30~P37)

ポート 3 はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです (ただし、P30 と P31 は出力専用)。入出力の指定はコントロールレジスタ P3CR とファンクションレジスタ P3FC によって行います。リセット動作により、出力ラッチ P30, 31 は “1” にセットされます。

入出力ポート機能以外に P34 は 16 ビットタイマの出力機能、P35~P37 は 32 ビットインプットキャプチャトリガ入力機能があります、P3FC の該当ビットを “1” に設定することによりこれらの機能が有効になります。リセット動作により P3CR、P3FC は “0” にクリアされてポート 3 は入力ポートとなります。

上記機能以外に CPU のコントロール/ステータス信号の入出力機能があります。P30 端子が \overline{RD} 信号出力モードとして定義されているとき (<P30F>= “1” のとき)、外部アドレスエリアをアクセスしたときのみ \overline{RD} ストローブは出力されます。P31 端子が \overline{WR} 信号出力モードとして定義されているとき (<P31F>= “1” のとき) も同様に、外部アドレスエリアをアクセスしたときのみ \overline{WR} ストローブは出力されます。

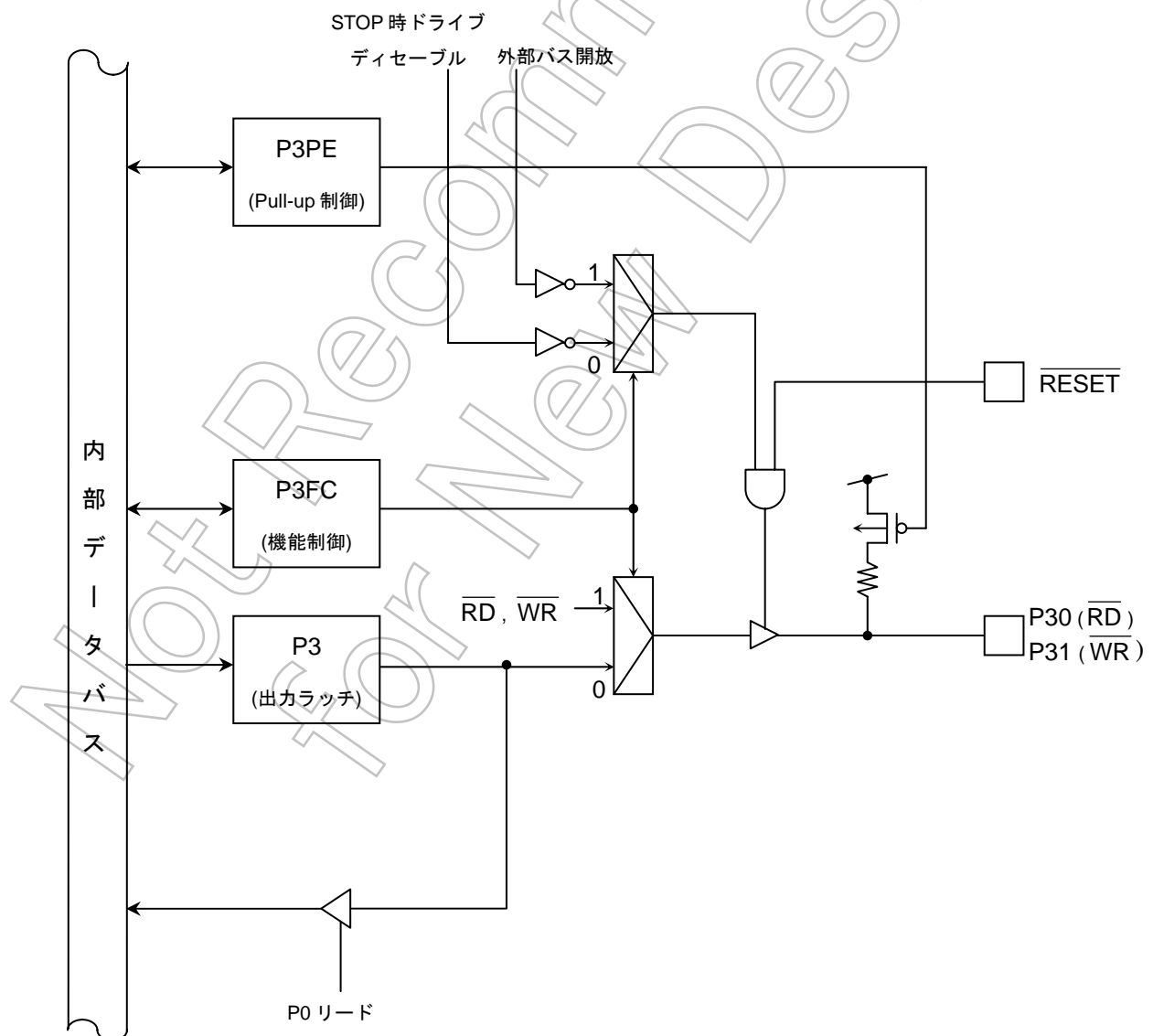


図 7-5 ポート 3 (P30, P31)

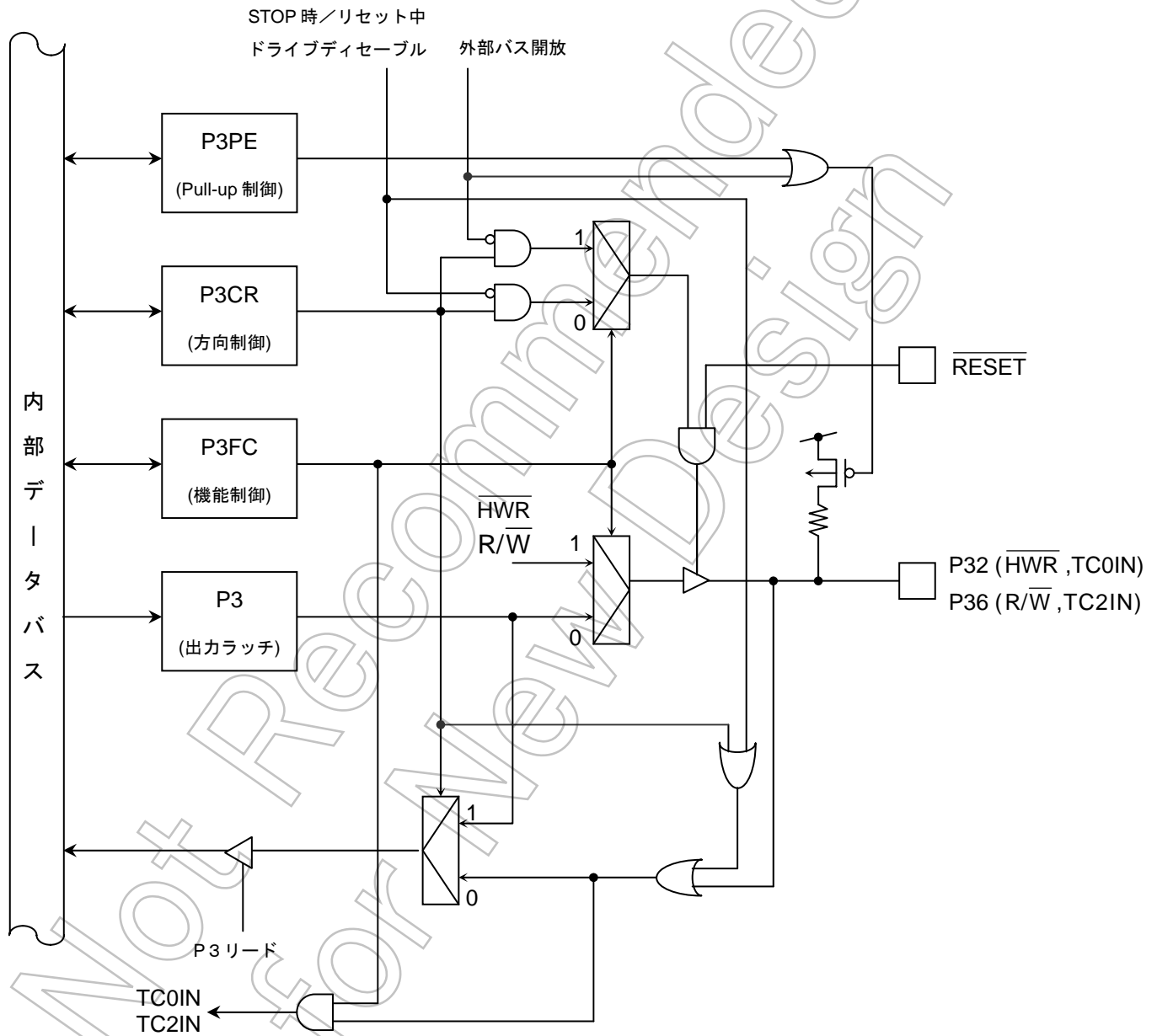


図 7-6 ポート 3 (P32,P36)

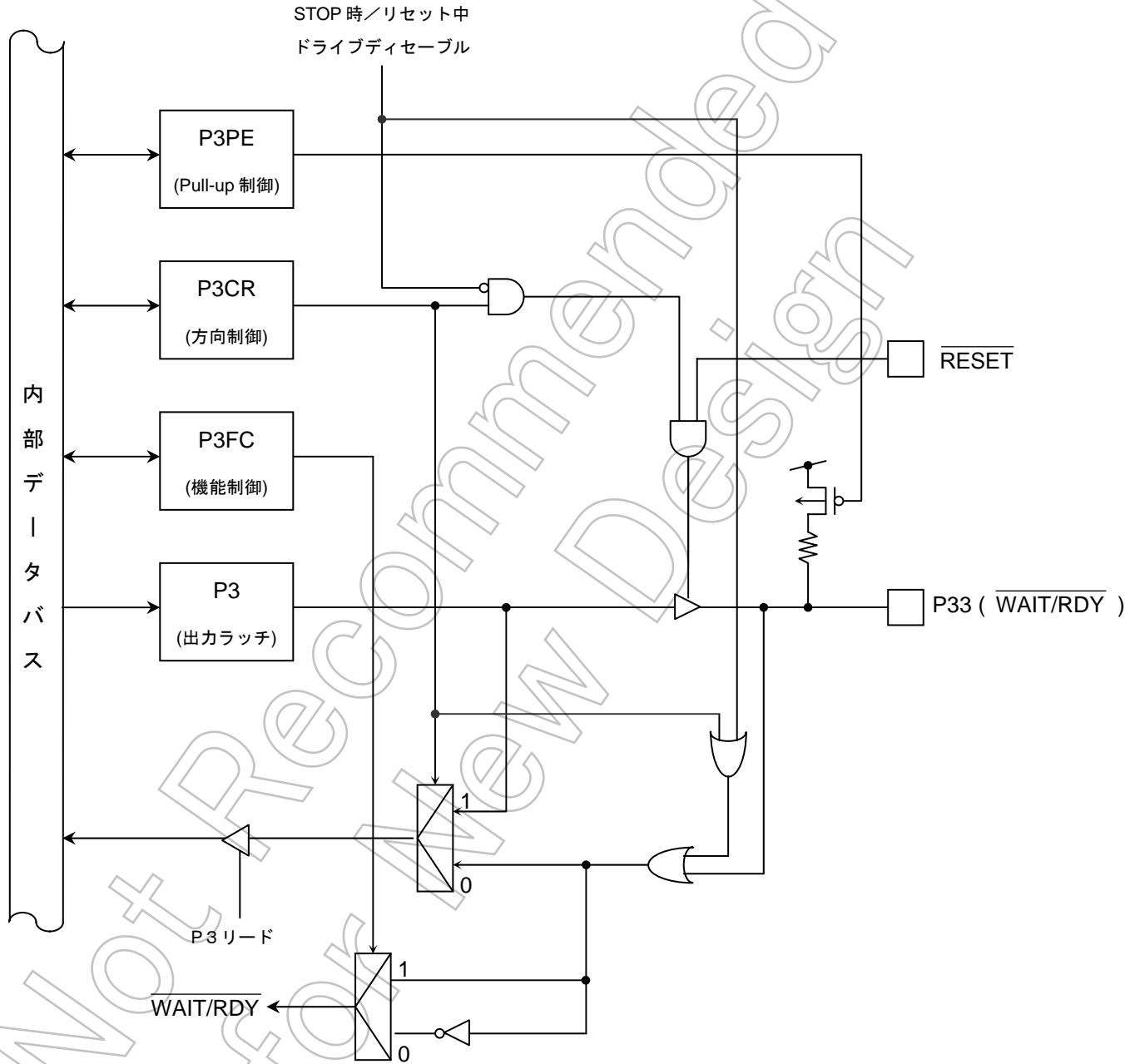


図 7-7 ポート 3 (P33)

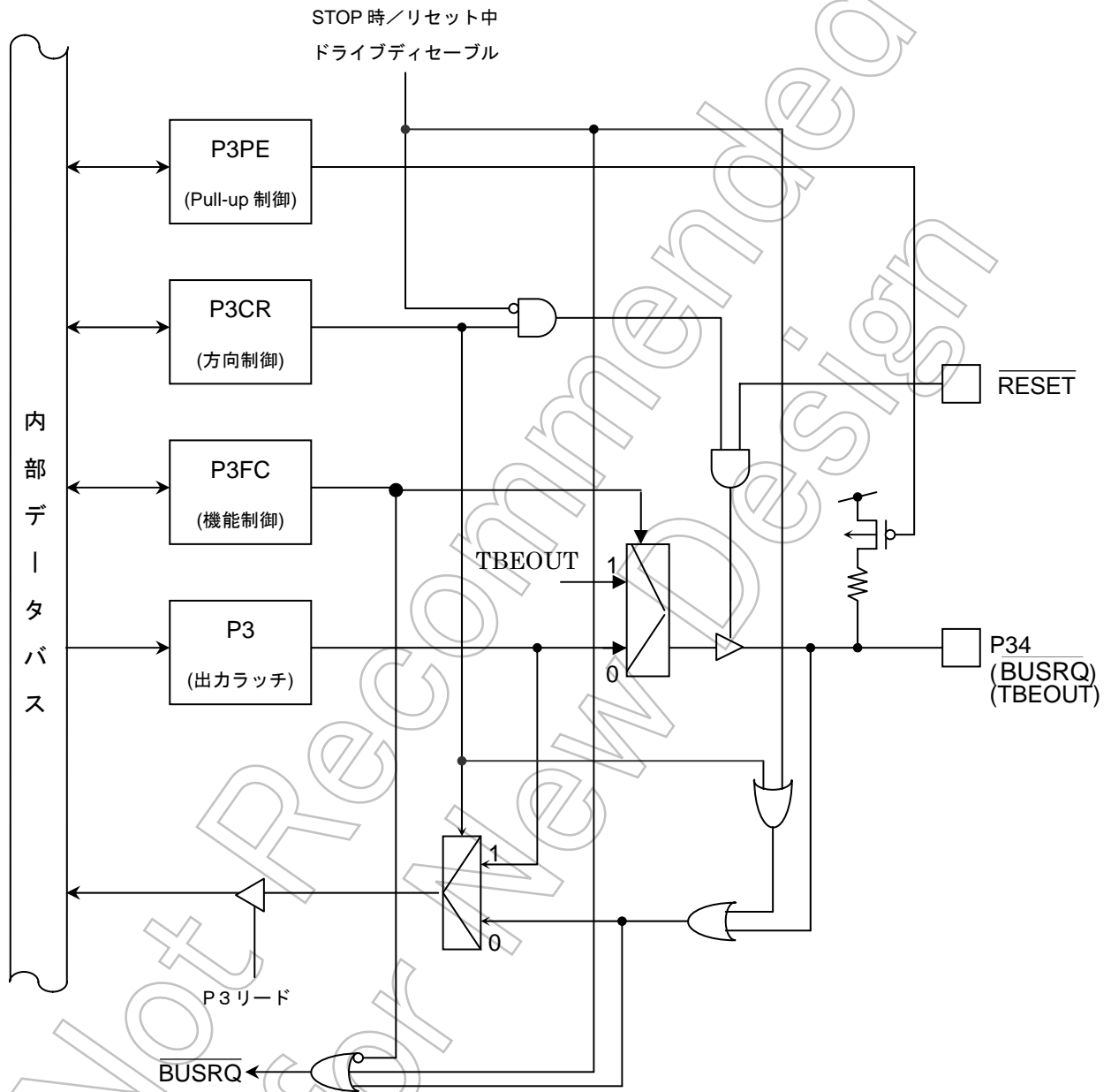


図 7-8 ポート 3 (P34)

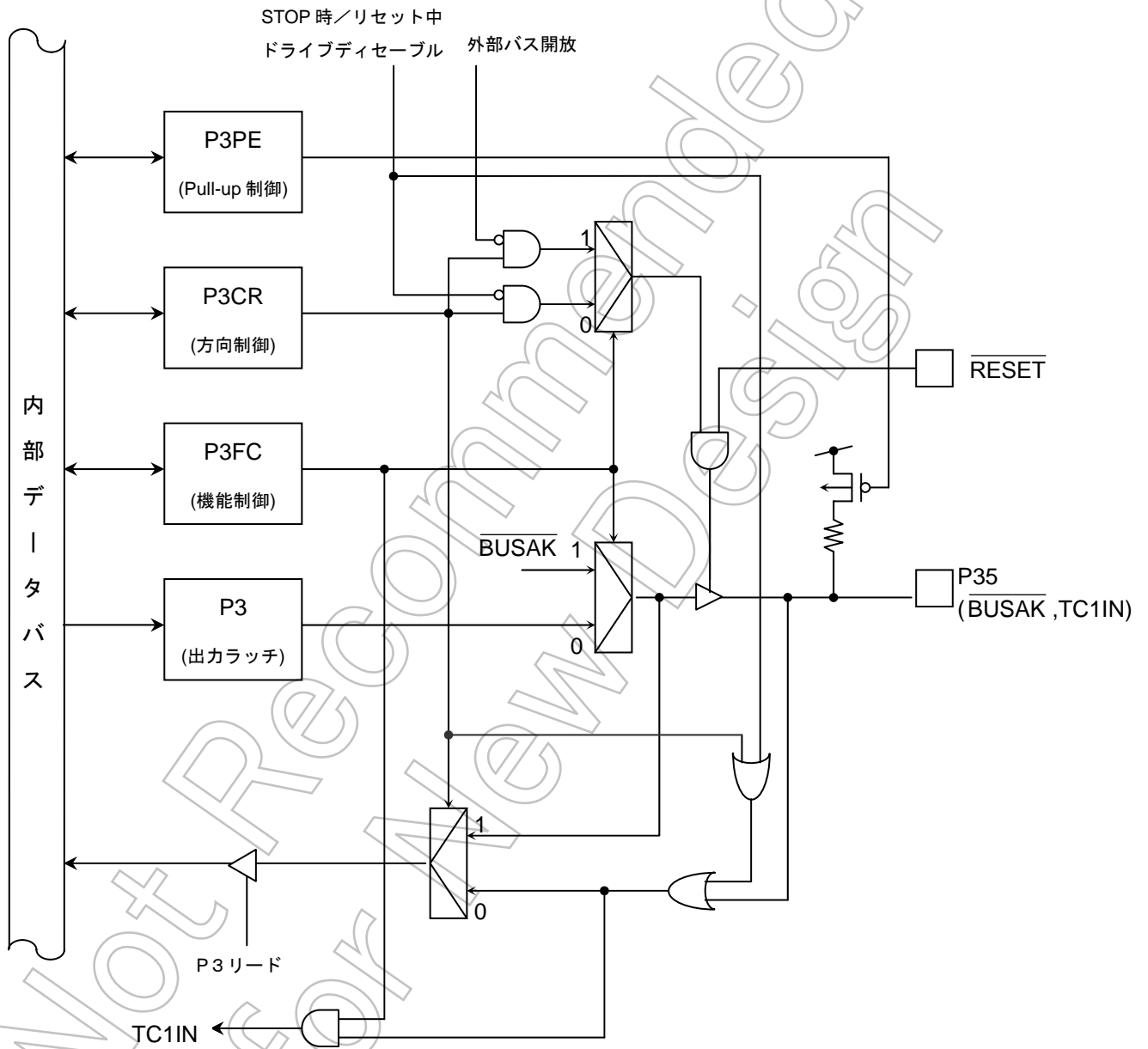


図 7-9 ポート 3 (P35)

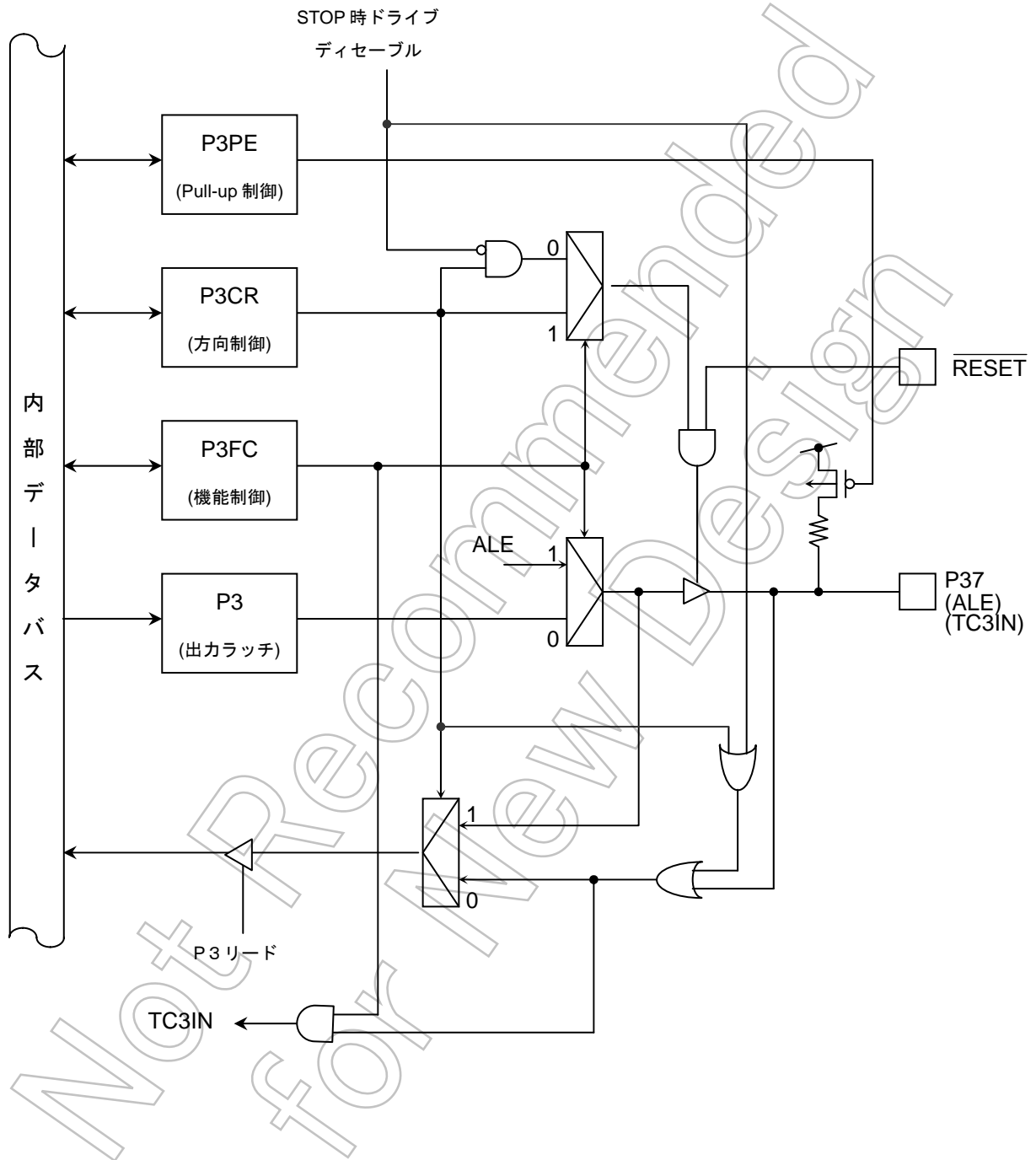


図 7-10 ポート 3 (P37)

ポート 3 レジスタ

	7	6	5	4	3	2	1	0		
P3 (0xFFFF_F018)	Bit Symbol	P37	P36	P35	P34	P33	P32	P31	P30	
	Read/Write	R/W								
	リセット後	バスモードにより 確定(※1)	入力モード				出力モード			
			1				1	1		

ポート 3 コントロールレジスタ

	7	6	5	4	3	2	1	0		
P3CR (0xFFFF_F01A)	Bit Symbol	P37C	P36C	P35C	P34C	P33C	P32C	—	—	
	Read/Write	R/W								
	リセット後	バスモードにより 確定(※1)	0	0	0	0	0			
	機能		0: 入力				1: 出力			

ポート 3 ファンクションレジスタ 1

	7	6	5	4	3	2	1	0		
P3FC (0xFFFF_F01B)	Bit Symbol	P37F	P36F	P35F	P34F	P33F	P32F	P31F	P30F	
	Read/Write	R/W								
	リセット後	0	0	0	0	0	0	0	0	
	機能	0: PORT 1: ALE / TC3IN	0: PORT 1: R/W	0: PORT 1: BUSAK	0: PORT 1: BUSRQ	0: PORT/ WAIT 1: PORT/ RDY	0: PORT 1: HWR / TC0IN	0: PORT 1: WR	0: PORT 1: RD	

ポート 3 プルアップ制御レジスタ

	7	6	5	4	3	2	1	0		
P3PE (0xFFFF_F01D)	Bit Symbol	PE37	PE36	PE35	PE34	PE33	PE32	PE31	PE30	
	Read/Write	R/W								
	リセット後	0	0	0	0	0	0	0	0	
	機能	プルアップ 0: オフ 1: Pull-Up	プルアップ 0: オフ 1: Pull-Up	プルアップ 0: オフ 1: Pull-Up	プルアップ 0: オフ 1: Pull-Up	プルアップ 0: オフ 1: Pull-Up	プルアップ 0: オフ 1: Pull-Up	プルアップ 0: オフ 1: Pull-Up	プルアップ 0: オフ 1: Pull-Up	

(※1) バスモードによるレジスタの初期値

BUSMD (P45)	L (セパレート)	H (マルチプレクス)
P3<P37>	1	0
P3CR<P37C>	0	1

使用 PORT	機能	P3FC の該当 BIT	P3CR の該当 BIT	BUSMD
P30/P31	P30/31 出力設定	0	—	—
	RD/WR 出力設定	1	—	—
P32/P36	P32/P36 入力設定	*	0	—
	P32/P36 出力設定	0	1	—
	TC0IN/TC2IN 入力設定	1	0	—
	HWR/ R/W 出力の設定	1	1	—
P33	P33 入力設定	*	0	—
	P33 出力設定	*	1	—
	WAIT 入力の設定	0	0	—
	RDY 入力の設定	1	0	—
P34	P34 入力設定	*	0	—
	P34 出力設定	0	1	—
	BUSRQ 入力の設定	1	0	—
	TBEOUT 出力の設定	1	1	—
P35	P35 入力設定	*	0	—
	P35 出力設定	0	1	—
	TC1IN 入力の設定	1	0	—
	BUSAK 出力の設定	1	1	—
P37	P37 入力設定	*	0	—
	P37 出力設定	0	1	—
	TC3IN 入力の設定	1	0	H
	ALE 出力の設定	1	1	H

表 7-2

- (*1) セパレートバスモード (BUSMD=" 0") の場合、ALE 出力はしません。コントロールレジスタ P3CR<P37C>ビットの設定により入出力ポートに設定されます。リセット後は入力ポートとなります。
マルチプレクスバスモード (BUSMD=" 1") の場合、リセット後は " L " 出力ポートとなります。
- (*2) /RD, /WR 出力は外部アクセス時のみ出力します。
- (注) リセット中、ポート 37 は入力状態となります。
リセット解除後はポート 30 ~ 36 は入力状態となり、ポート 37 はセパレートバスモードでは入力状態となります。
入力状態では、貫通電流の発生を回避するため中間電位を入力しないようにしてください。

7.5 ポート 4(P40~P47)

ポート 4 はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定はコントロールレジスタ P4CR とファンクションレジスタ P4FC によって行います。

汎用入出力ポート機能以外に、P40~P43 はチップセレクト信号出力機能 ($\overline{CS0} \sim \overline{CS3}$)、およびキーオンウェイクアップ入力機能、P44 は内部クロックを出力する SCOUT 出力端子、P47 は 16 ビットタイマ出力があります。P45, P46 はリセット中の設定により外部バスモード設定用の BUSMD 端子、ENDIAN 設定端子として機能致します。

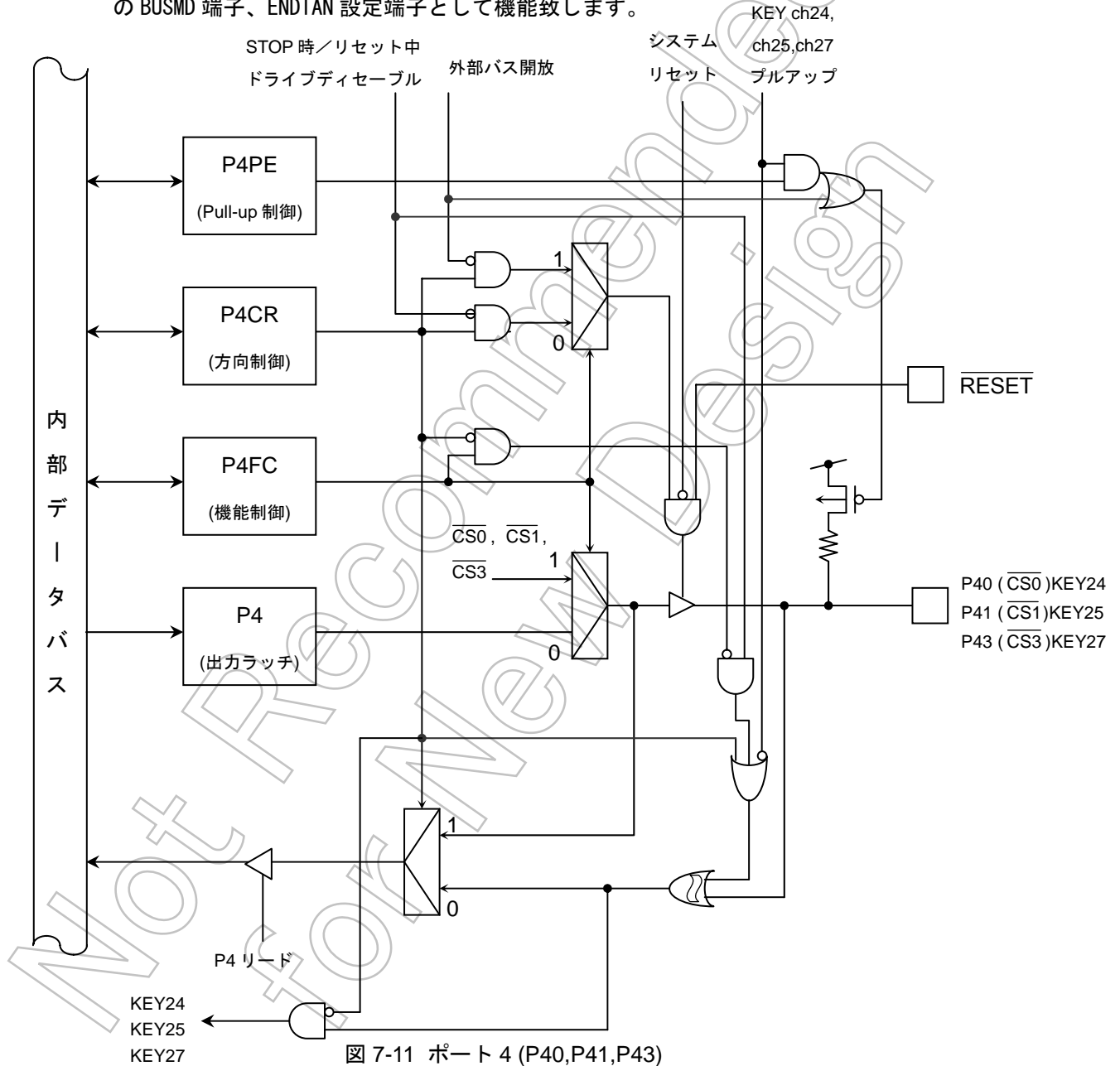


図 7-11 ポート 4 (P40,P41,P43)

- PxFC = " 1" かつ PxCR = " 0" の場合、STOP モード時も KEY 入力を受け付けます。
- KWUPの該当chの設定との関係は、
 - KWUP<DPEx>=0 : 入出力ポートまたはKWUPのスタティック INT入力
 - KWUP<DPEx>=1 : KWUPのダイナミック INT入力
 となります。入出力ポートとして使用する場合は、該当するKWUP<DPEx>=0に設定して下さい。

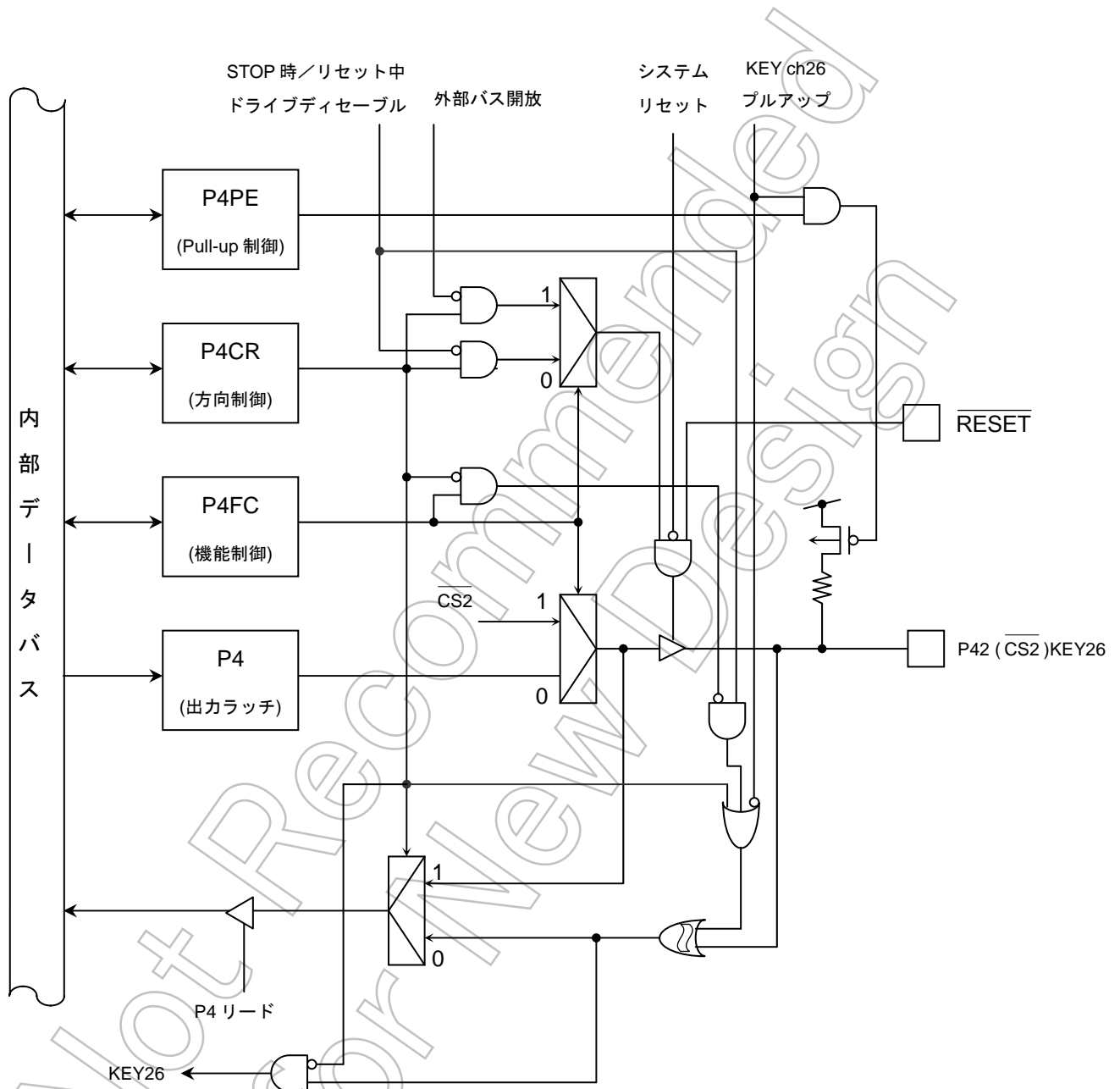


図 7-12 ポート 4 (P42)

- ・ PxFC = " 1 " かつ PxCR = " 0 " の場合、STOP モード時も KEY 入力を受け付けます。
- ・ KWUPの該当chの設定との関係は、
 - KWUP<DPEx>=0 : 入出力ポートまたはKWUPのスタティック INT入力
 - KWUP<DPEx>=1 : KWUPのダイナミック INT入力
 となります。入出力ポートとして使用する場合は、該当する KWUP<DPEx>=0 に設定して下さい。

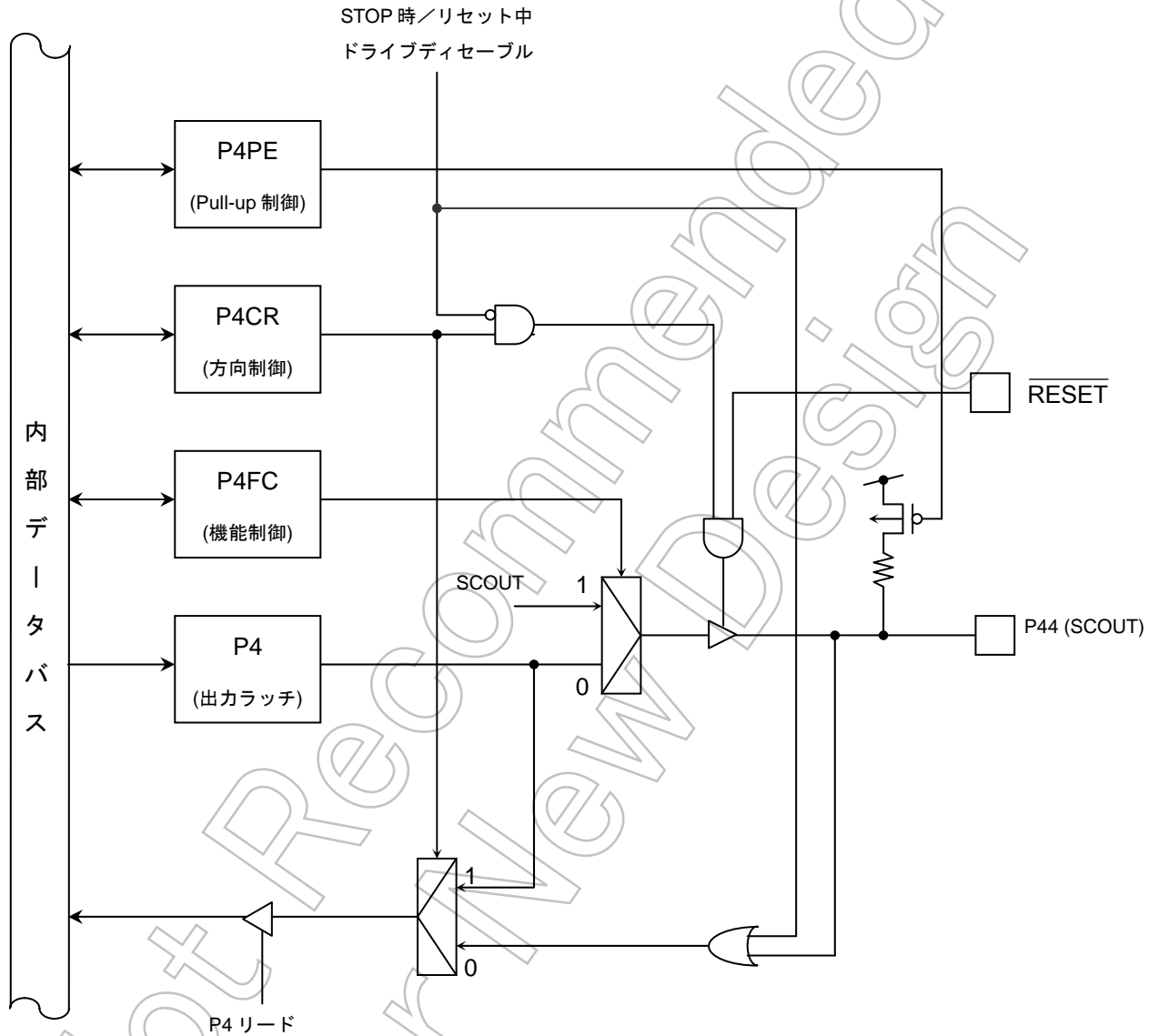


図 7-13 ポート 4 (P44)

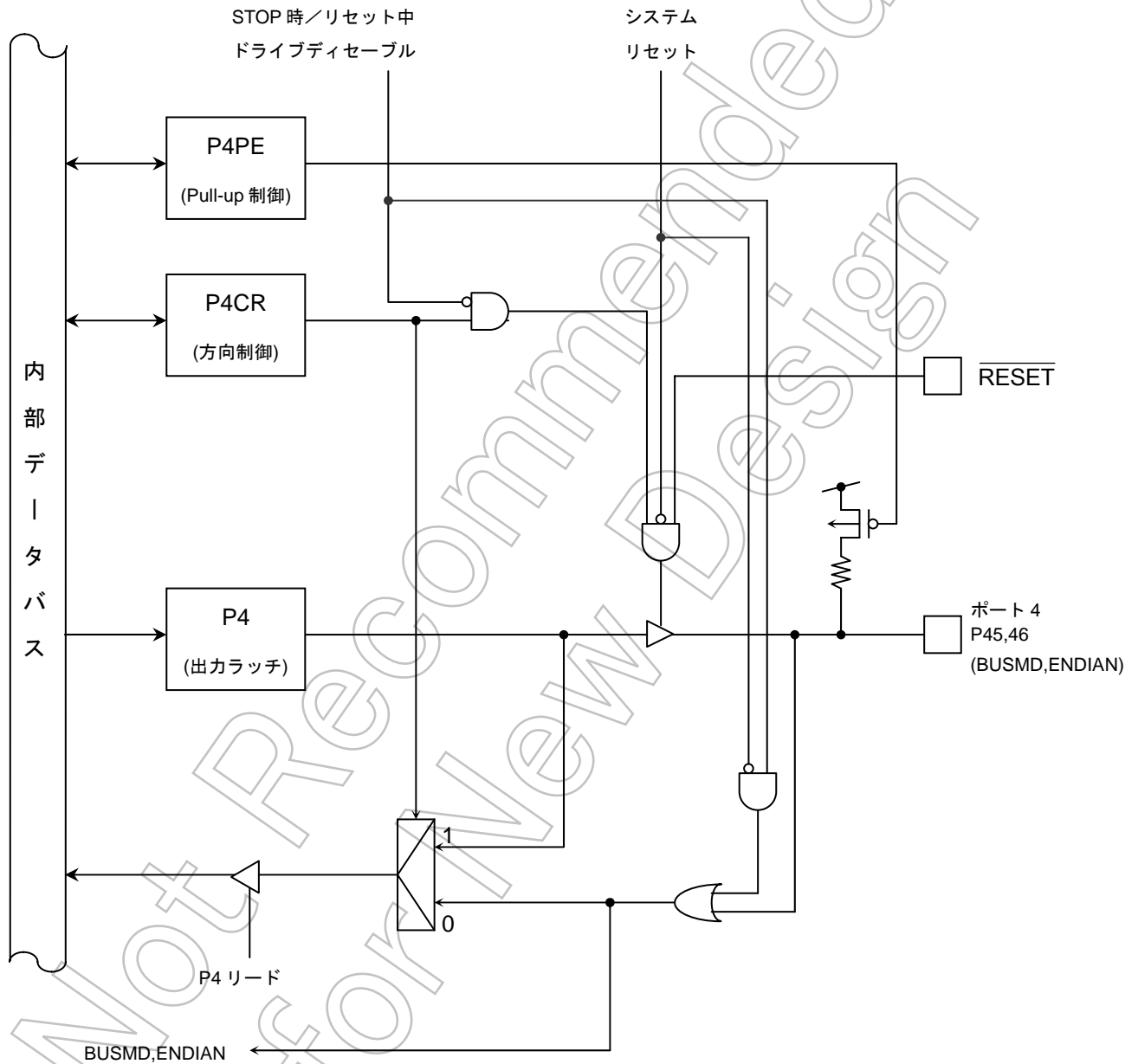


図 7-14 ポート 4 (P45,P46)

(注) リセット中も、ポート45、ポート46は入力状態となります。
外部にて、BUSMD, ENDIAN 信号の設定を行って下さい。(リセット解除時の値をラッチします)

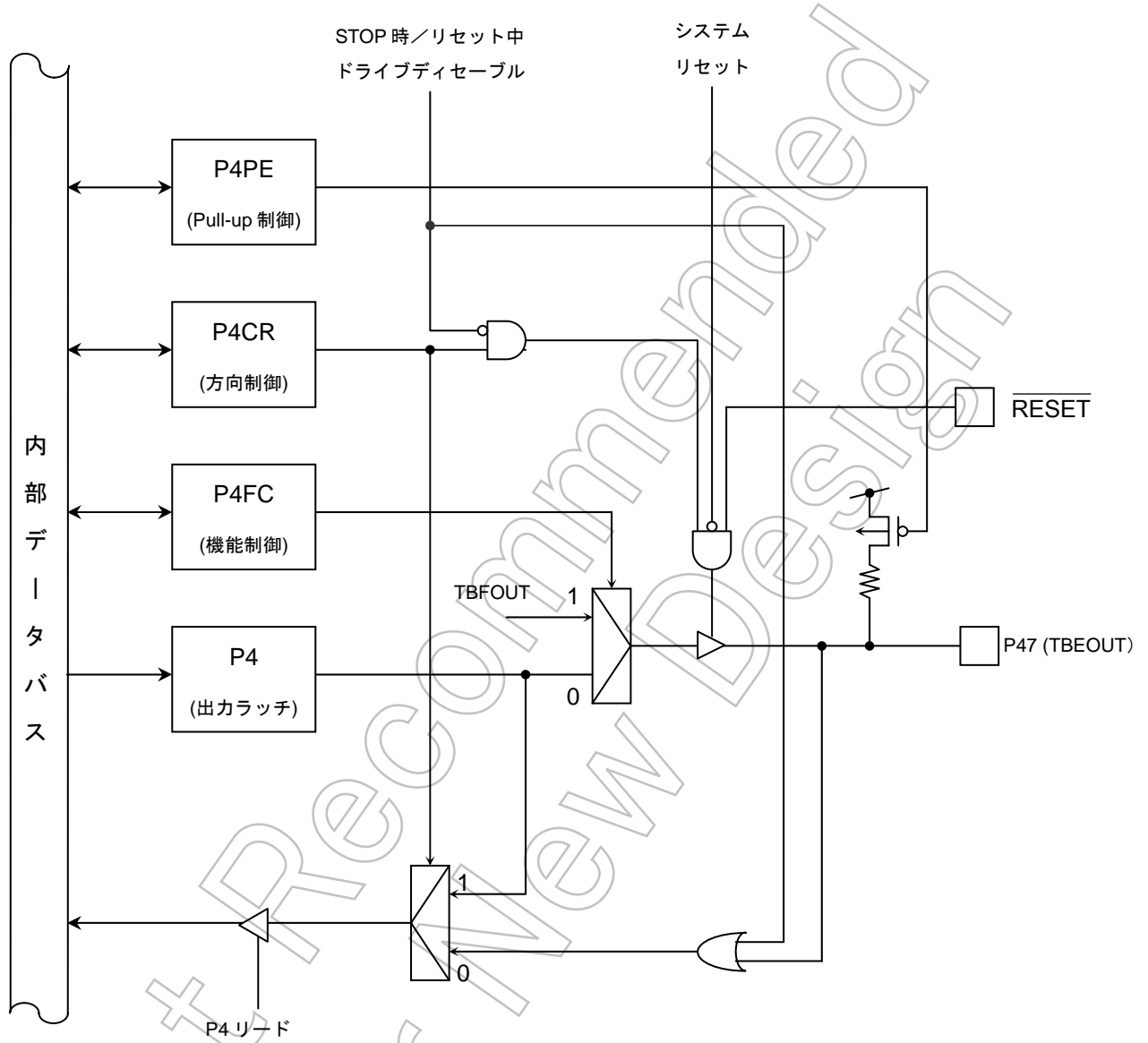


図 7-15 ポート 4 (P47)

ポート 4 レジスタ

	7	6	5	4	3	2	1	0	
P4 (0xFFFF_F01E)	Bit Symbol	P47	P46	P45	P44	P43	P42	P41	P40
	Read/Write	R/W							
	リセット後	入力モード (出力ラッチレジスタは“1”に Set)							

ポート 4 コントロールレジスタ

	7	6	5	4	3	2	1	0	
P4CR (0xFFFF_F020)	Bit Symbol	P47C	P46C	P45C	P44C	P43C	P42C	P41C	P40C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
		0: 入力				1: 出力			

ポート 4 ファンクションレジスタ

	7	6	5	4	3	2	1	0	
P4FC (0xFFFF_F021)	Bit Symbol	P47F	P46F	P45F	P44F	P43F	P42F	P41F	P40F
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: PORT 1: TBFOUT	0を書いて ください	0を書いて ください	0: PORT 1: SCOUT	0: PORT /KEY27 1: CS3 /KEY27	0: PORT/ KEY26 1: CS2 /KEY26	0: PORT/ KEY25 1: CS1 /KEY25	0: PORT/ KEY24 1: CS0 /KEY24

ポート 4 プルアップ制御レジスタ

	7	6	5	4	3	2	1	0	
P4PE (0xFFFF_F025)	Bit Symbol	PE47	PE46	PE45	PE44	PE43	PE42	PE41	PE40
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up

使用 PORT	機能	P4FC の該当 BIT	P4CR の該当 BIT
P40/P41/P43	P40/P41/P43 入力設定	0	0
	P40/P41/P43 出力設定	0	1
	KEY24/25/27 入力設定	*	0
	CS0/CS1/CS3 出力の設定	1	1
P42	P42 入力設定	0	0
	P42 出力設定	0	1
	KEY26 入力設定	*	0
	CS2 出力の設定	1	1
P44	P44 入力設定	*	0
	P44 出力設定	0	1
	SCOUT 設定	1	1
P45/P46	P45/P46 入力設定	-	0
	P45/P46 出力設定	-	1
	BUSMD/ENDIAN 入力設定	-	*
P47	P47 入力設定	*	0
	P47 出力設定	0	1
	TBEOUT 出力の設定	1	1

表 7-3

(注)リセット中、ポート45、46は入力状態となります。
リセット解除後はポート4の全ビットが入力状態となります。
入力状態では、貫通電流の発生を回避するため中間電位を入力しないようにしてください。

7.6 ポート 5(P50~P57)

ポート 5 はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ P5CR とファンクションレジスタ P5FC によって行います。リセット動作により出力ラッチ P5 の全ビットは “1” にセットされ、また、P5CR と P5FC の全ビットは “0” にクリアされ、ポート 5 は入力モードになります。

入出力ポート機能以外に P50~P53 外部割込み入力機能, P54~P57 は 16 ビットタイマの出力機能, P56, P57 はキーオンウェイクアップ入力機能があります。P5FC の該当ビットを “1” に設定することによりこれらの機能が有効になります。リセット動作により P5CR、P5FC は “0” にクリアされてポート 5 は入力ポートとなります。

汎用入出力ポート機能以外にアドレスバス (A0~A7) 機能があります。外部メモリをアクセスする時は、P5CR、P5FC によりアドレスバスに設定する必要があります。但し、アドレスバス機能を使用できるのはセパレートバスモード (リセット時に BUSMD 端子 (ポート 45) を “L” レベルにすることでセパレートバスモードになります) の時のみです。

Not Recommended for New Design

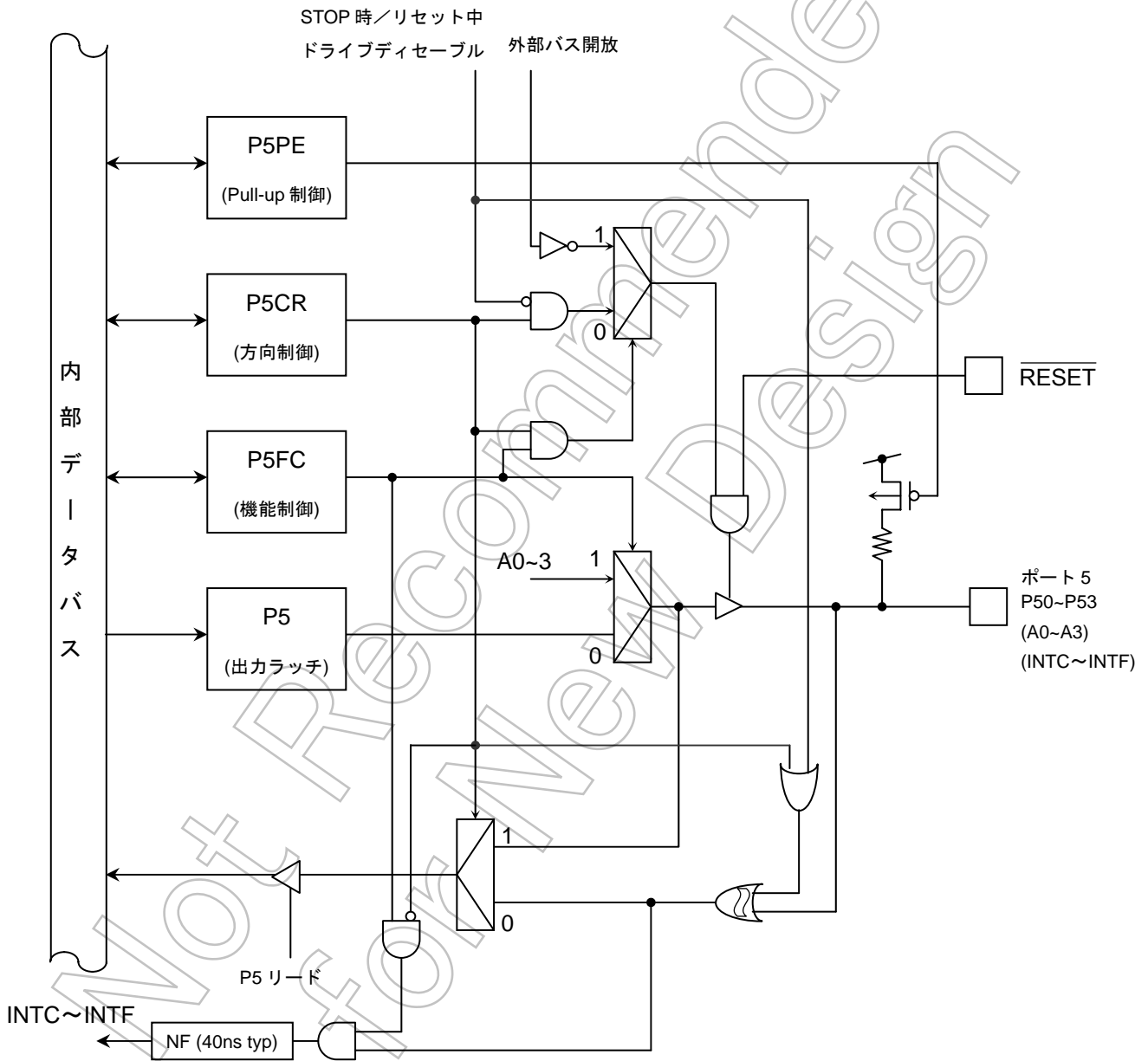


図 7-16 ポート 5 (P50~P53)

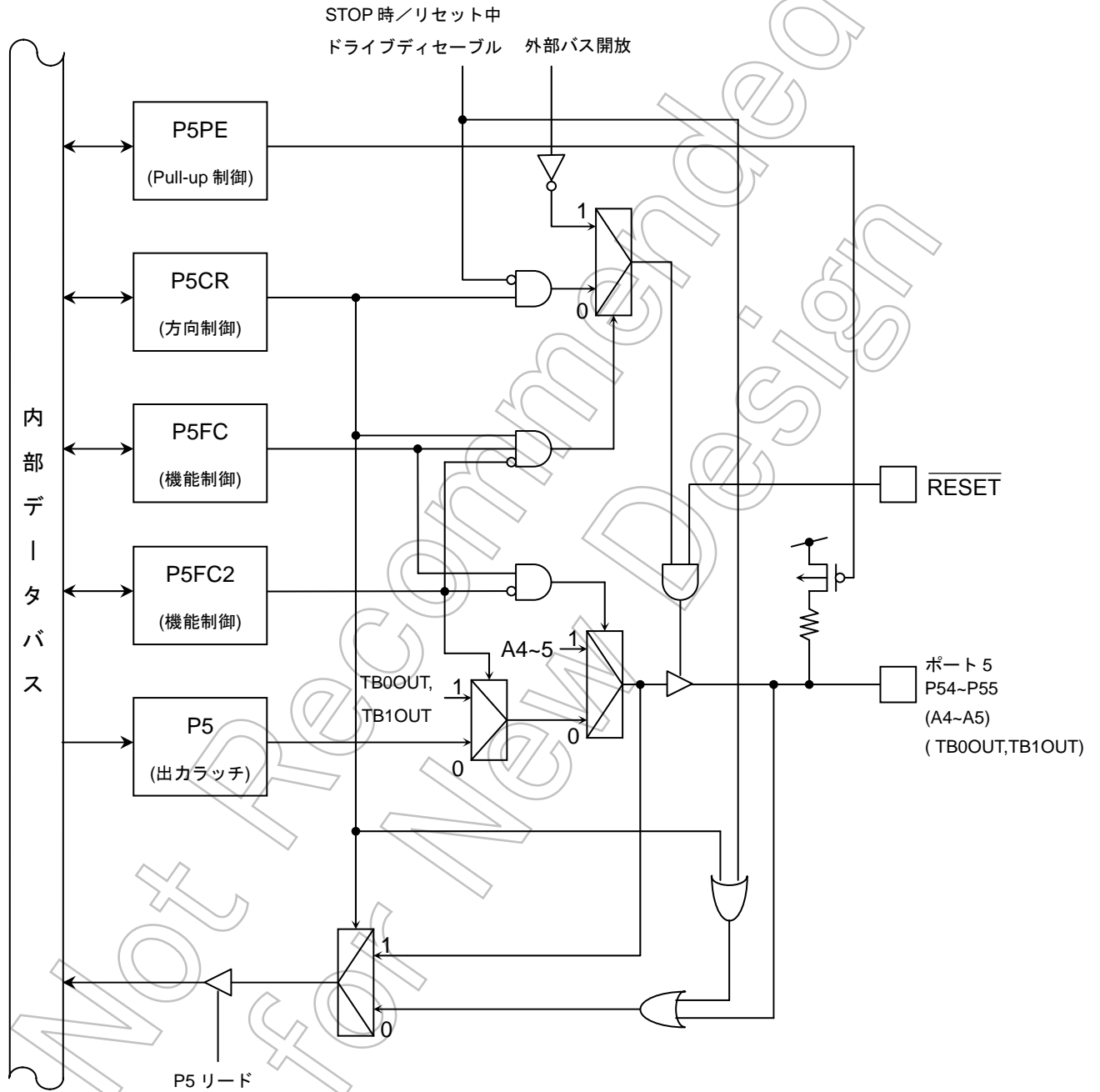


図 7-17 ポート 5(P54, P55)

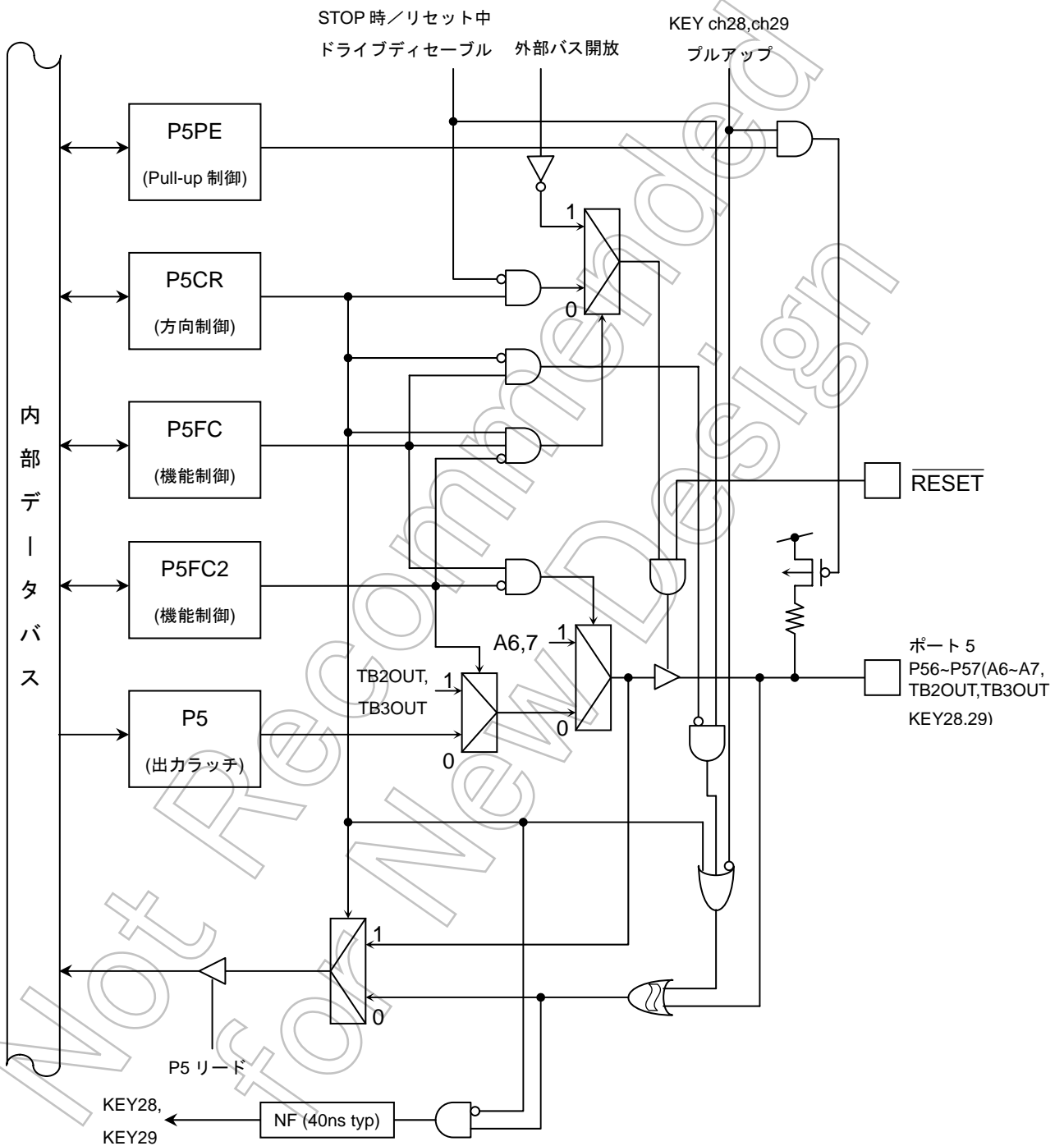


図 7-18 ポート 5(P56, P57)

- $P_xFC = "1"$ かつ $P_xCR = "0"$ の場合、STOP モード時も KEY 入力を受け付けます。
- KWUP の該当 ch の設定との関係は、
 - KWUP<DPEx>=0 : 入出力ポートまたはKWUPのスタティック INT 入力
 - KWUP<DPEx>=1 : KWUPのダイナミック INT 入力
 となります。入出力ポートとして使用する場合は、該当する KWUP<DPEx>=0 に設定して下さい。

ポート 5 レジスタ

		7	6	5	4	3	2	1	0
P5 (0xFFFF_F028)	Bit Symbol	P57	P56	P55	P54	P53	P52	P51	P50
	Read/Write	R/W							
	リセット後	入力モード (出力ラッチレジスタは "1" にセット)							

ポート 5 コントロールレジスタ

		7	6	5	4	3	2	1	0
P5CR (0xFFFF_F02C)	Bit Symbol	P57C	P56C	P55C	P54C	P53C	P52C	P51C	P50C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
機能	<< P5FC の欄を参照 >>								

ポート 5 ファンクションレジスタ 1

		7	6	5	4	3	2	1	0
P5FC (0xFFFF_F02D)	Bit Symbol	P57F	P56F	P55F	P54F	P53F	P52F	P51F	P50F
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
機能	P5FC/P5CR = 00: 入力, 01: 出力, 10: 入力, 11: A7-0								

ポート 5 ファンクションレジスタ 2

		7	6	5	4	3	2	1	0	
P5FC2 (0xFFFF_F03C)	Bit Symbol	P57F2	P56F2	P55F2	P54F2	-				
	Read/Write	R/W					R			
	リセット後	0	0	0	0	0				
機能	0: アドレス /PORT 1: TB3OUT	0: アドレス /PORT 1: TB2OUT	0: アドレス /PORT 1: TB1OUT	0: アドレス /PORT 1: TB0OUT	リードすると "0" が読めます					

注: P5FC= "0", P5FC2= "1" の時は、TB3OUT~TB0OUT が選択されます。

PORT として使用する際は、P5FC= "0", P5FC2= "0" として下さい。

ポート 5 プルアップ制御レジスタ

		7	6	5	4	3	2	1	0
P5PE (0xFFFF_F026)	Bit Symbol	PE57	PE56	PE55	PE54	PE53	PE52	PE51	PE50
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
機能	0: オフ 1: Pull-Up	0: オフ 1: Pull-Up	0: オフ 1: Pull-Up	0: オフ 1: Pull-Up	0: オフ 1: Pull-Up	0: オフ 1: Pull-Up	0: オフ 1: Pull-Up	0: オフ 1: Pull-Up	0: オフ 1: Pull-Up

使用 PORT	機能	P5FC2 の該当 BIT	P5FC の該当 BIT	P5GR の該当 BIT
P50~P53	P50~P53 入力設定	-	*	0
	P50~P53 出力設定	-	0	1
	INTC~INTF 入力設定	-	1	0
	A0~A3 出力の設定	-	1	1
P54/P55	P54/P55 入力設定	*	*	0
	P54/P55 出力設定	0	0	1
	TB00UT/TB10UT 出力の設定	1	*	1
	A4/A5 出力の設定	0	1	1
P56/P57	P56/P57 入力設定	*	0	0
	P56/P57 出力設定	0	0	1
	TB20UT/TB30UT 出力の設定	1	*	1
	A4/A5 出力の設定	0	1	1
	KEY28/KEY29 入力の設定	*	0	0

図 7-19

- (*1) アドレスバス (A7~A0) 出力の設定はセパレートバスモード、マルチプレクスバスモードの設定 (BUSMD="0", "1") 共通です。
- (注) リセット解除後、ポート 5 は入力状態となります。貫通電流の発生を回避するため中間電位を入力しないようにしてください。

7.7 ポート 6(P60~P67)

ポート 6 はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ P6CR とファンクションレジスタ P6FC によって行います。リセット動作により出力ラッチ P6 の全ビットは “1” にセットされ、また、P6CR と P6FC の全ビットは “0” にクリアされ、ポート 6 は入力モードになります。入出力ポート機能以外に P60, P63 は S10 のデータ出力、P61, P64 は S10 のデータ入力、P62, P65 は S10 の CLK 入出力または CTS 入力、P61, P64 には外部割込み入力機能、P66, P67 には 16bit タイマ出力機能があります。

汎用入出力ポート機能以外にアドレスバス (A8~A15) 機能があります。外部メモリをアクセスする時は、P6CR、P6FC によりアドレスバスに設定する必要があります。但し、アドレスバス機能を使用できるのはセパレートバスモード(リセット時に BUSMD 端子(ポート 45)を”L”レベルにすることでセパレートバスモードになります)の時のみです。

Not Recommended for New Design

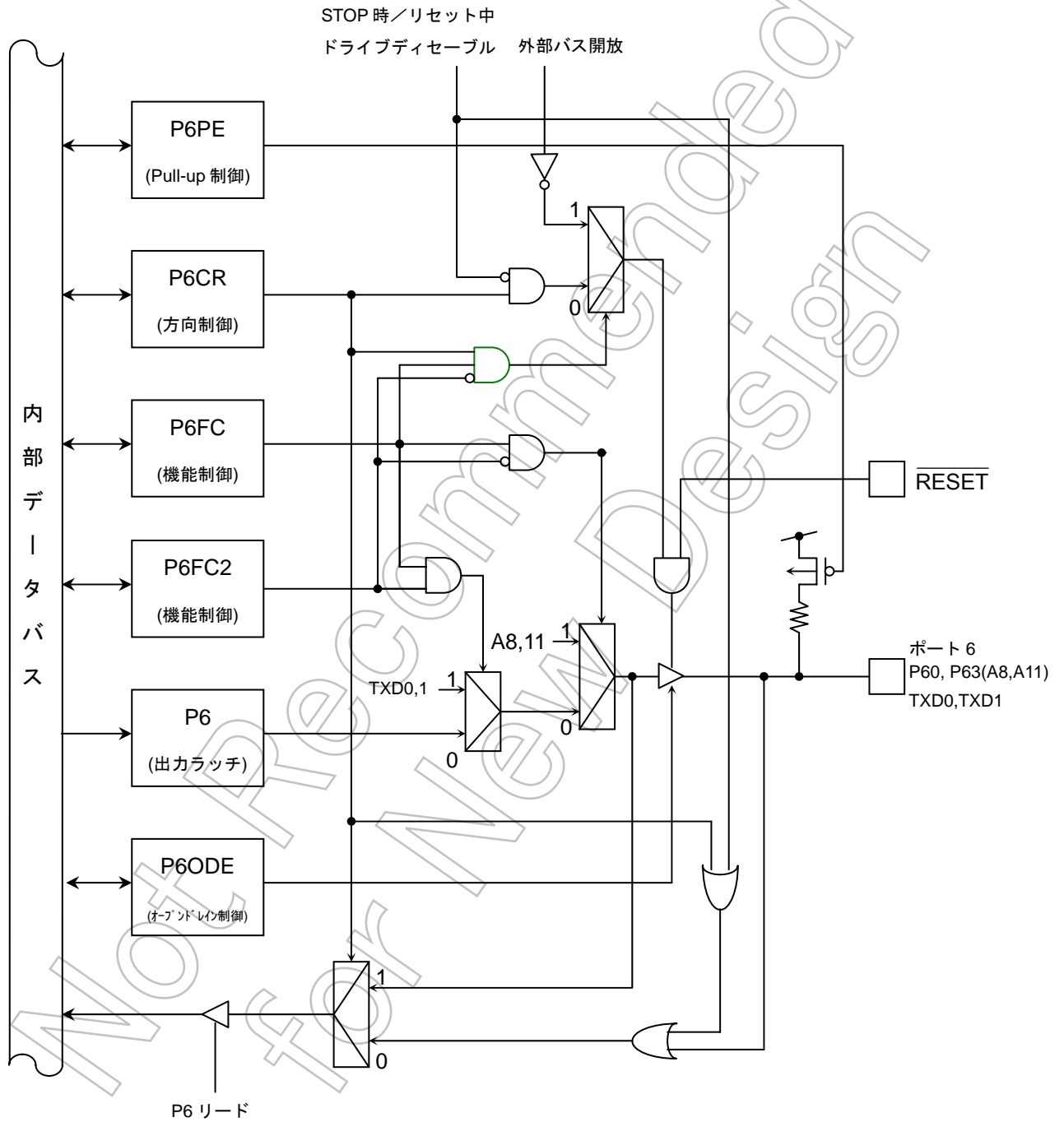


図 7-20ポート 6 (P60,P63)

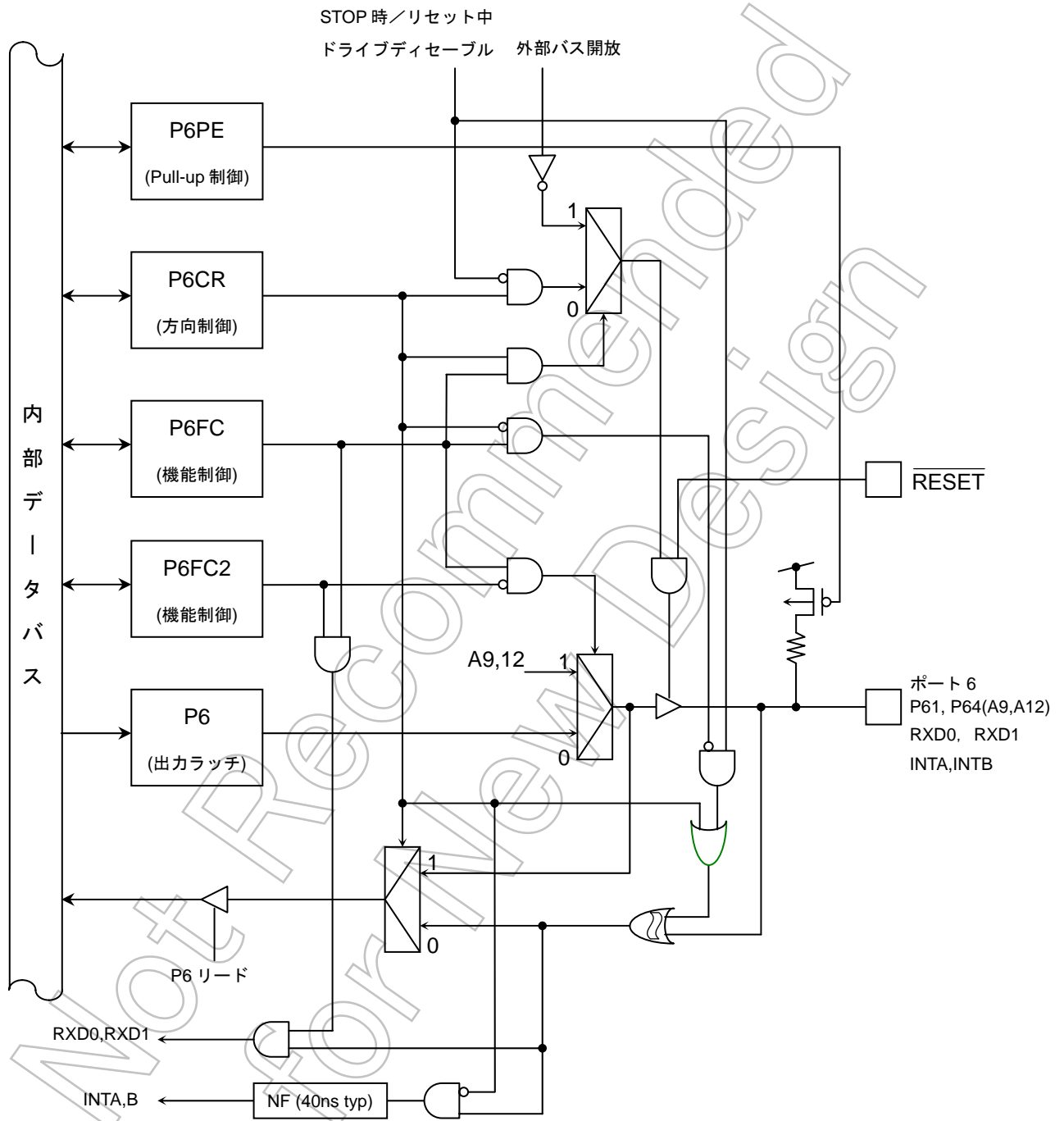


図 7-21 ポート 6 (P61, P64)

・ P_xFC = " 1" かつ P_xCR = " 0" の場合、STOP モード時も SIO/INT 入力を受け付けます。

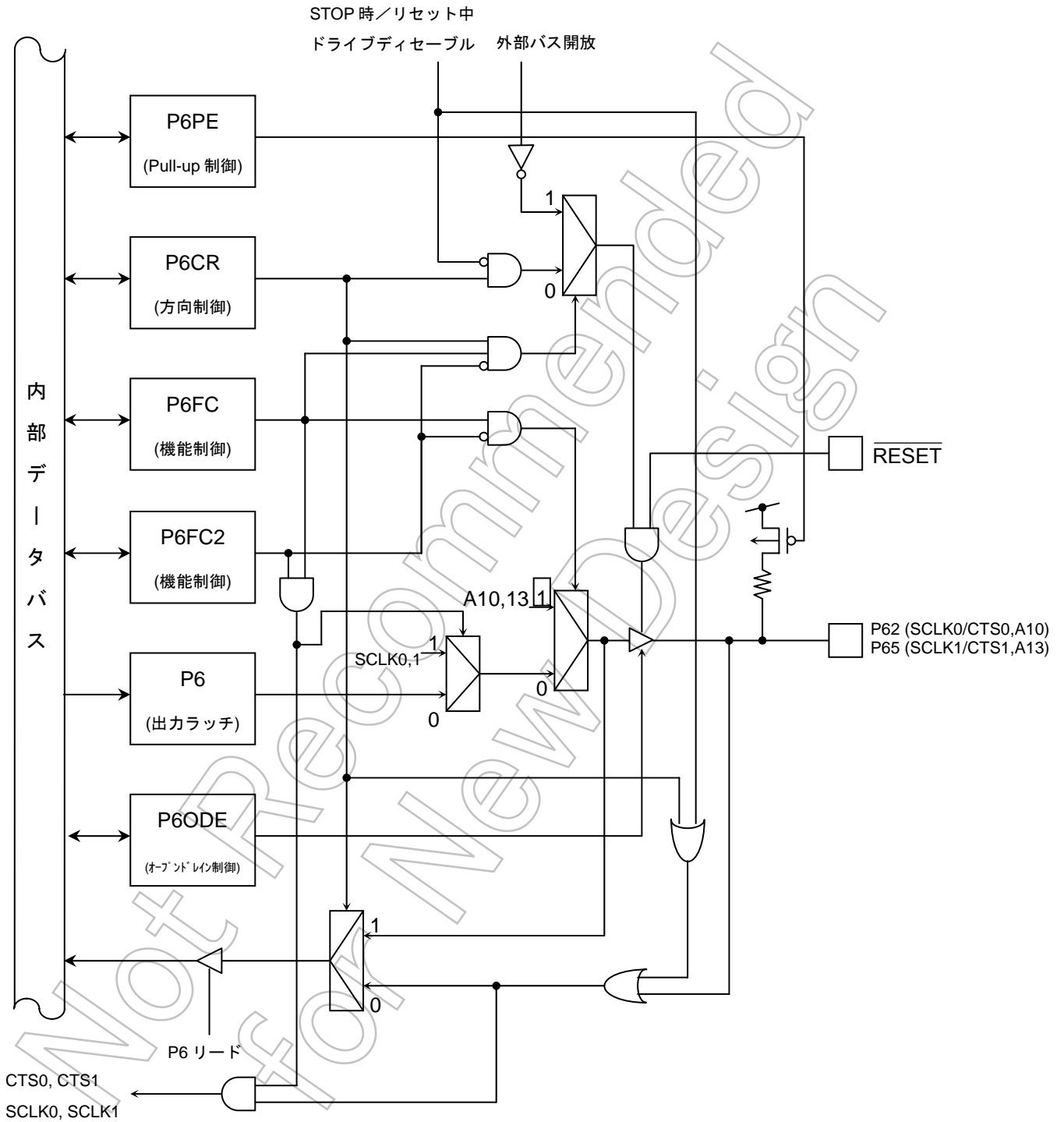


図 7-22ポート 6 (P62, P65)

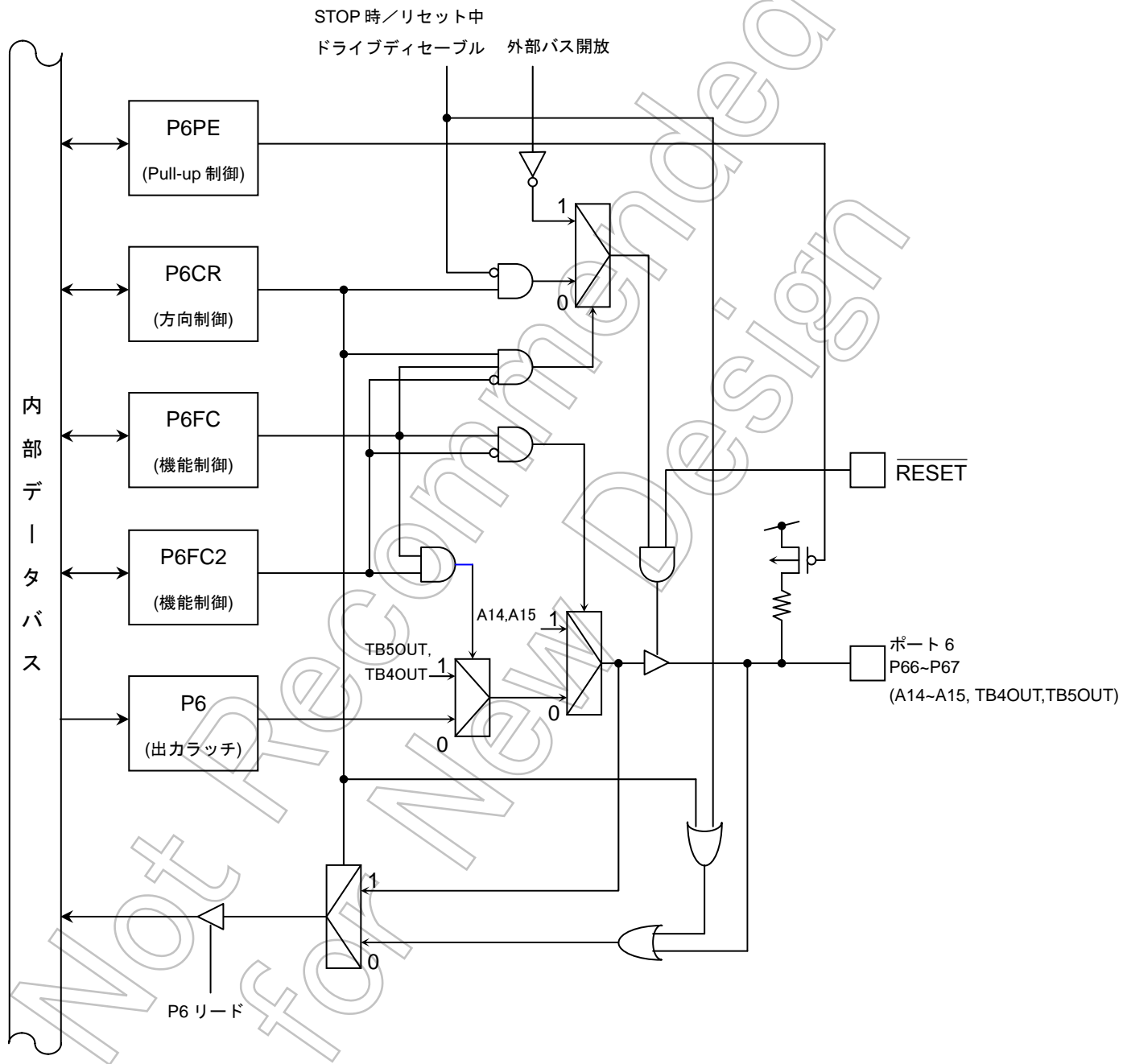


図 7-23ポート 6(P66,P67)

ポート 6 レジスタ

	7	6	5	4	3	2	1	0	
P6 (0xFFFF_F029)	Bit Symbol	P67	P66	P65	P64	P63	P62	P61	P60
	Read/Write	R/W							
	リセット後	入力モード (出力ラッチレジスタは "1" に Set)							

ポート 6 コントロールレジスタ

	7	6	5	4	3	2	1	0	
P6CR (0xFFFF_F02E)	Bit Symbol	P67C	P66C	P65C	P64C	P63C	P62C	P61C	P60C
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	<< P6FC の欄を参照 >>							

ポート 6 ファンクションレジスタ

	7	6	5	4	3	2	1	0	
P6FC (0xFFFF_F02F)	Bit Symbol	P67F	P66F	P65F	P64F	P63F	P62F	P61F	P60F
	Read/Write	W							
	リセット後	0	0	0	0	0	0	0	0
	機能	P6FC/P6CR = 00: 入力, 01: 出力, 10: 入力, 11: A15-8							

ポート 6 の機能設定

P60, P63	BUSMD (P45)	P6CR <P6xC>	P6FC<P6xF>	
			0	1
	セパレートバスモード (BUSMD="L")	0	入力ポート	
		1	出力ポート	アドレスバス (A11,8) /TXD0,1
マルチプレクス バスモード (BUSMD="H")	0	入力ポート		
	1	出力ポート	アドレスバス (A11,8) /TXD0,1	

P61, P64	BUSMD (P45)	P6CR <P6xC>	P6FC<P6xF>	
			0	1
	セパレートバスモード (BUSMD="L")	0	入力ポート (INTA,B)	RXD0,1/INTA,B
		1	出力ポート	アドレスバス (A12,9)
マルチプレクス バスモード (BUSMD="H")	0	入力ポート (INTA,B)		
	1	出力ポート	アドレスバス (A12,9)	

P62, P65	BUSMD (P45)	P6CR <P6xC>	P6FC<P6xF>	
			0	1
	セパレートバスモード (BUSMD="L")	0	入力ポート	SCLK0,1/CTS0,1
		1	出力ポート	アドレスバス (A13,10) /SCLK0,1
マルチプレクス バスモード (BUSMD="H")	0	入力ポート		
	1	出力ポート	アドレスバス (A13,10) /SCLK0,1	

P66, P67	BUSMD (P45)	P6CR <P6xC>	P6FC<P6xF>	
			0	1
	セパレートバスモード (BUSMD="L")	0	入力ポート	
		1	出力ポート	アドレスバス (A15,14) /TB4OUT,TB5OUT
	マルチプレクス バスモード (BUSMD="H")	0	入力ポート	
		1	出力ポート	アドレスバス (A15,14) /TB4OUT,TB5OUT

ポート 6 ファンクションレジスタ 2

	7	6	5	4	3	2	1	0	
P6FC2 (0xFFFF_F03D)	Bit Symbol	P67F2	P66F2	P65F2	P64F2	P63F2	P62F2	P61F2	P60F2
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0:A15 1:TB5OUT	0:A14 1:TB4OUT	0:A13 1:SCLK1/ CTS1	0:A12 1:RXD1	0:A11 1:TXD1	0:A10 1:SCLK0/ CTS0	0:A9 1:RXD0	0:A8 1:TXD0,

注：P6FC= “0”， P6FC2= “ 1” の時は、PORT が選択されます。
機能端子として使用する場合は、P6FC= “ 1” ， P6FC2= “ 1” としてください。

ポート 6 プルアップ制御レジスタ

	7	6	5	4	3	2	1	0	
P6PE (0xFFFF_F027)	Bit Symbol	PE67	PE66	PE65	PE64	PE63	PE62	PE61	PE60
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up

7.5.1

7.5.2 ポート 6 オープンドレイン制御レジスタ

	7	6	5	4	3	2	1	0
P6ODE (0xFFFF_F030)	Bit Symbol	—	P65ODE	—	P63ODE	P62ODE	—	P60ODE
	Read/Write	R	R/W	R	R/W	R/W	R	R/W
	リセット後	0	0	0	0	0	0	0
	機能	リードすると"0"が読めます	0:CMOS 1:オープン ドレイン	リードす ると"0"が 読めます	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	リードす ると"0"が 読めます	0:CMOS 1:オープン ドレイン

(注) リセット解除後、ポート 6 は入力状態となります。
貫通電流の発生を回避するため中間電位を入力しないようにしてください。

使用 PORT	機能	P6FC2 の該当 BIT	P6FC の該当 BIT	P6CR の該当 BIT
P60/P63	P60/P63 入力設定	*	*	0
	P60/P63 出力設定	*	0	1
	TXD0/TXD1 出力設定	1	1	1
	A8/A11 出力の設定	0	1	1
P61/P64	P61/P64 入力設定	*	0	0
	P61/P64 出力設定	*	0	1
	RXD0/RXD1 入力の設定	1	1	0
	INTA/INTB 入力の設定	*	0	0
	A9, A12 出力の設定	0	1	1
P62/P65	P62/P65 入力設定	*	*	0
	P62/P65 出力設定	*	0	1
	SCLK0/SCLK1 出力の設定	1	*	1
	CTS0/CTS1/SCLK0/SCLK1 入力の設定	1	1	0
	A10/A13 出力の設定	0	1	1
P66/P67	P66/P67 入力設定	*	*	0
	P66/P67 出力設定	*	0	1
	TB4OUT/TB5OUT 出力の設定	1	1	1
	A15/A16 出力の設定	0	1	1

Not Recommended for New Design

7.8 ポート 7(P70~P77)

ポート 7 は 8 ビットの入力専用ポートで A/D コンバータのアナログ入力端子、および P74~P77 はキーオンウェイクアップ入力機能と兼用になっております。

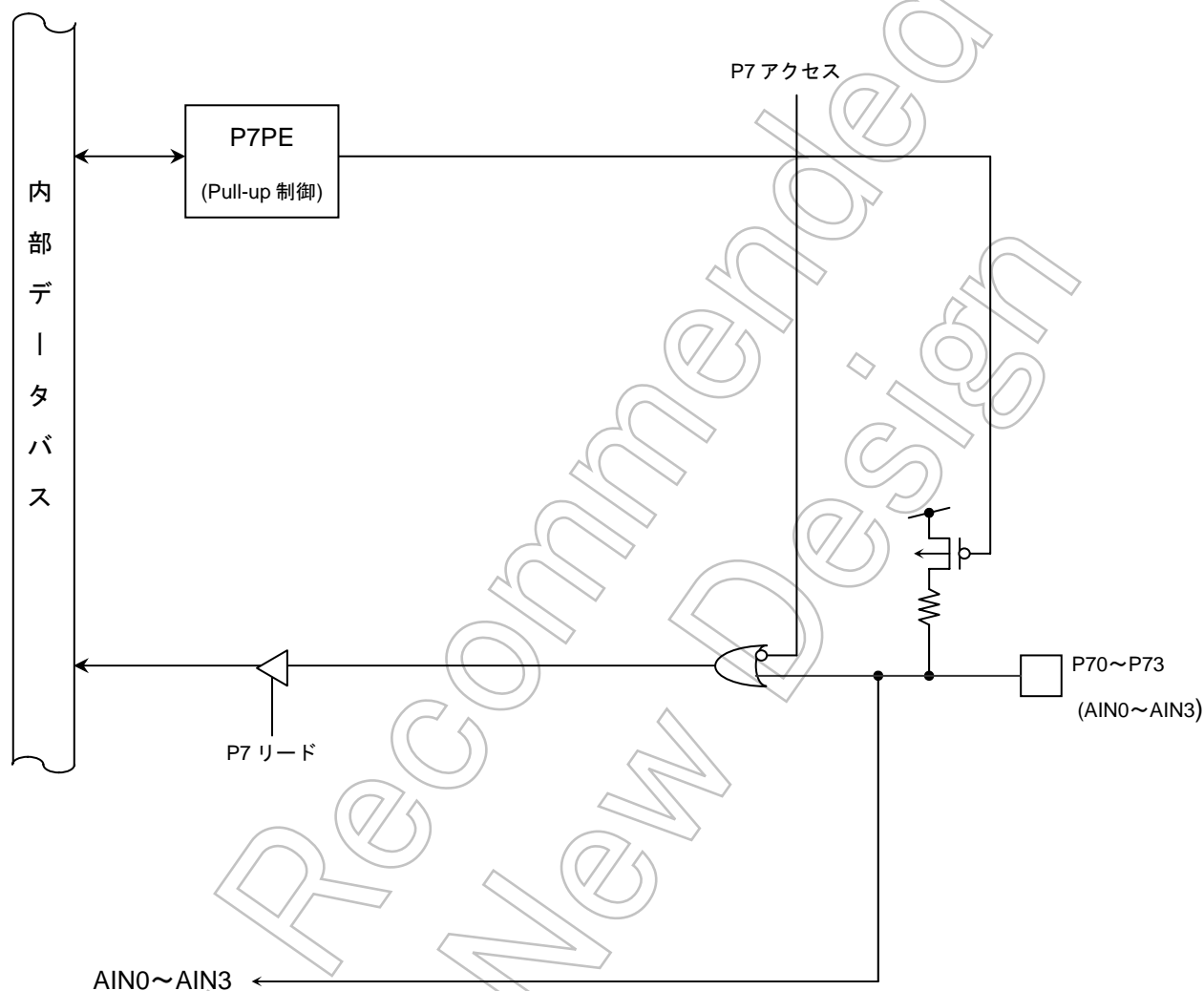


図 7-24ポート 7(P70~P73)

- ・ PORT : Read 時のみ入力を受け付けます。STOP モード時、入力が禁止になります。
- ・ AD アナログ入力 : 常時入力を受け付けます。

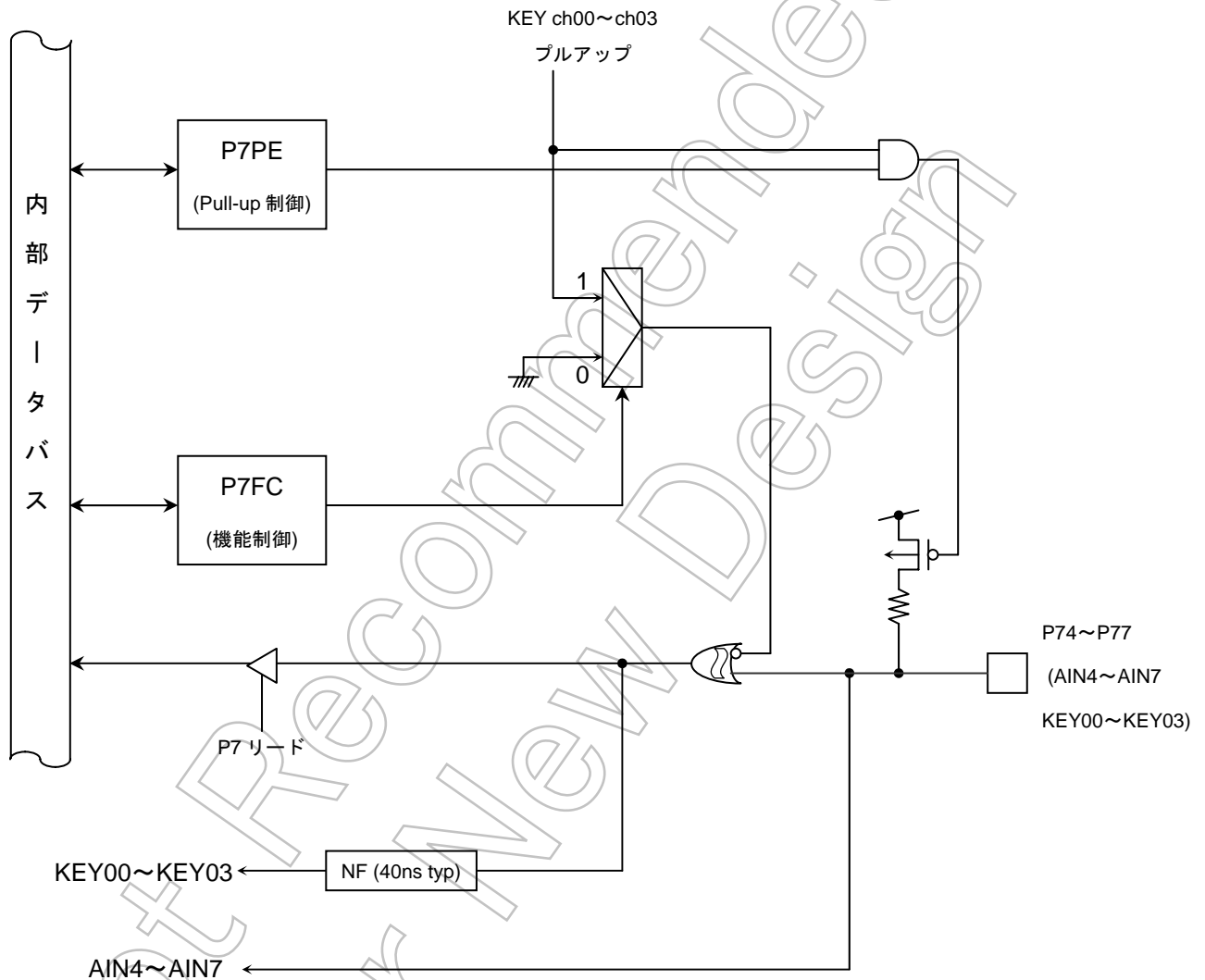


図 7-25 ポート 7(P74~P77)

- ・ A/Dアナログ入力：常に入力
- ・ P_xFC = " 0" (A/D)：PORT/KEY は入力禁止
- ・ P_xFC = " 1" (PORT/KEY)：プルアップイネーブル状態で入力
- * KWUP 設定で入力可能な状態にした場合、STOP モード時も KEY/PORT 入力を受け付けます
- * KWUPの該当chの設定との関係は、

KWUP<DPE_x>=0 : 入出力ポートまたはKWUPのスタティック INT入力

KWUP<DPE_x>=1 : KWUPのダイナミック INT入力

となります。入出力ポートとして使用する場合は、該当する KWUP<DPE_x>=0 に設定して下さい

ポート7レジスタ

	7	6	5	4	3	2	1	0	
P7 (0xFFFF_F040)	Bit Symbol	P77	P76	P75	P74	P73	P72	P71	P70
	Read/Write	R							
	リセット後	入力モード							

ポート7ファンクションレジスタ

	7	6	5	4	3	2	1	0	
P7FC (0xFFFF_F048)	Bit Symbol	P77F	P76F	P75F	P74F	—	—	—	—
	Read/Write	R/W				R			
	リセット後	0	0	0	0	0			
	機能	0:A/D 1: PORT /KEY03	0:A/D 1: PORT /KEY02	0:A/D 1: PORT /KEY01	0:A/D 1: PORT /KEY00	リードすると常に“0”が読めます			

ポート7 プルアップ制御レジスタ

	7	6	5	4	3	2	1	0	
P7PE (0xFFFF_F04C)	Bit Symbol	PE77	PE76	PE75	PE74	PE73	PE72	PE71	PE70
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up

7.9 ポート 8(P80~P87)

ポート 8 は 8 ビットの入力専用ポートで A/D コンバータのアナログ入力端子、および P80~P83 はキーオンウェイクアップ入力機能, P84~P87 は外部割込み入力機能と兼用になっております。

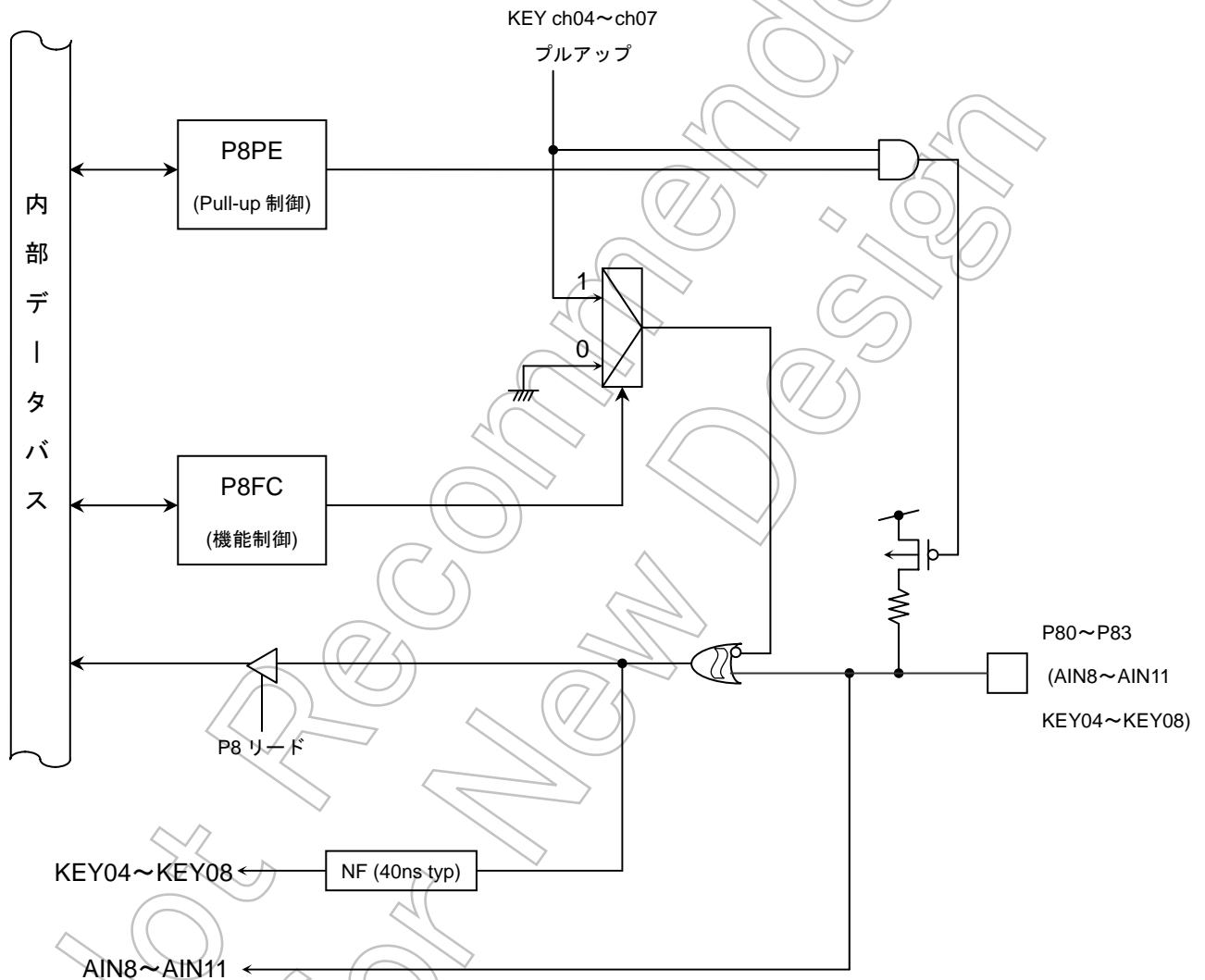


図 7-26 ポート 8(P80~P83)

- ・ A/D アナログ入力 : 常に入力
- ・ P_xFC = " 0" (A/D) : PORT/KEY は入力禁止
- ・ P_xFC = " 1" (PORT/KEY) : プルアップイネーブル状態で入力
- * KWUP 設定で入力可能な状態にした場合、STOP モード時も KEY/PORT 入力を受け付けます
- * KWUP の該当 ch の設定との関係は、

KWUP<DPE_x>=0 : 入出力ポートまたはKWUPのスタティック INT 入力

KWUP<DPE_x>=1 : KWUPのダイナミック INT 入力

となります。入出力ポートとして使用する場合は、該当する KWUP<DPE_x>=0 に設定して下さい

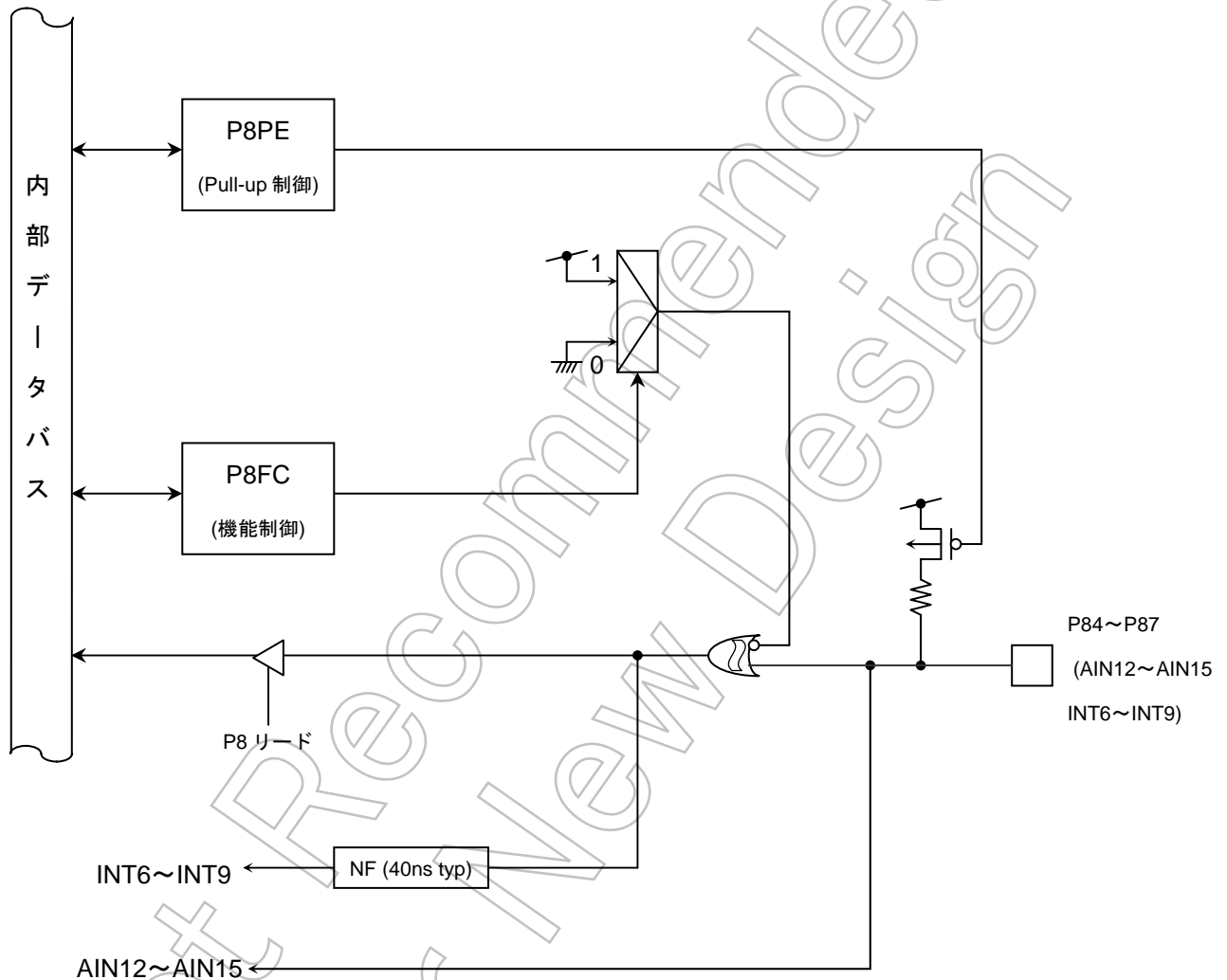


図 7-27ポート 8(P84~P87)

- ・ A/Dのアナログ入力：常に入力
- ・ P_xFC = "0" (A/D)：PORT/INT は入力禁止です
- ・ P_xFC = "1" (PORT/INT)：常時入力です。

ポート 8 レジスタ

	7	6	5	4	3	2	1	0	
P8 (0xFFFF_F041)	Bit Symbol	P87	P86	P85	P84	P83	P82	P81	P80
	Read/Write	R							
	リセット後	入力モード							

ポート 8 ファンクションレジスタ

	7	6	5	4	3	2	1	0	
P8FC (0xFFFF_F049)	Bit Symbol	P87F	P86F	P85F	P84F	P83F	P82F	P81F	P80F
	Read/Write	RW							
	リセット後	0	0	0	0	0	0	0	0
	機能	0:A/D 1:PORT /INT9	0:A/D 1:PORT /INT8	0:A/D 1:PORT /INT7	0:A/D 1:PORT /INT6	0:A/D 1:PORT /KEY07	0:A/D 1:PORT /KEY06	0:A/D 1:PORT /KEY05	0:A/D 1:PORT /KEY04

ポート 8 プルアップ制御レジスタ

	7	6	5	4	3	2	1	0	
P8PE (0xFFFF_F04D)	Bit Symbol	PE87	PE86	PE85	PE84	PE83	PE82	PE81	PE80
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up

7.10 ポート 9(P90~ P97)

ポート 9 はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ P9CR とファンクションレジスタ P9FC によって行います。リセット動作により出力ラッチ P9 の全ビットは “1” にセットされ、また、P9CR と P9FC の全ビットは “0” にクリアされ、ポート 9 は入力モードになります。

入出力ポート機能以外に P93 は S10 のデータ出力、P94 は S10 のデータ入力、P95 は S10 の CLK 入出力または CTS 入力、P90~P92, P96, P97 には 16bit タイマ出力機能があります。

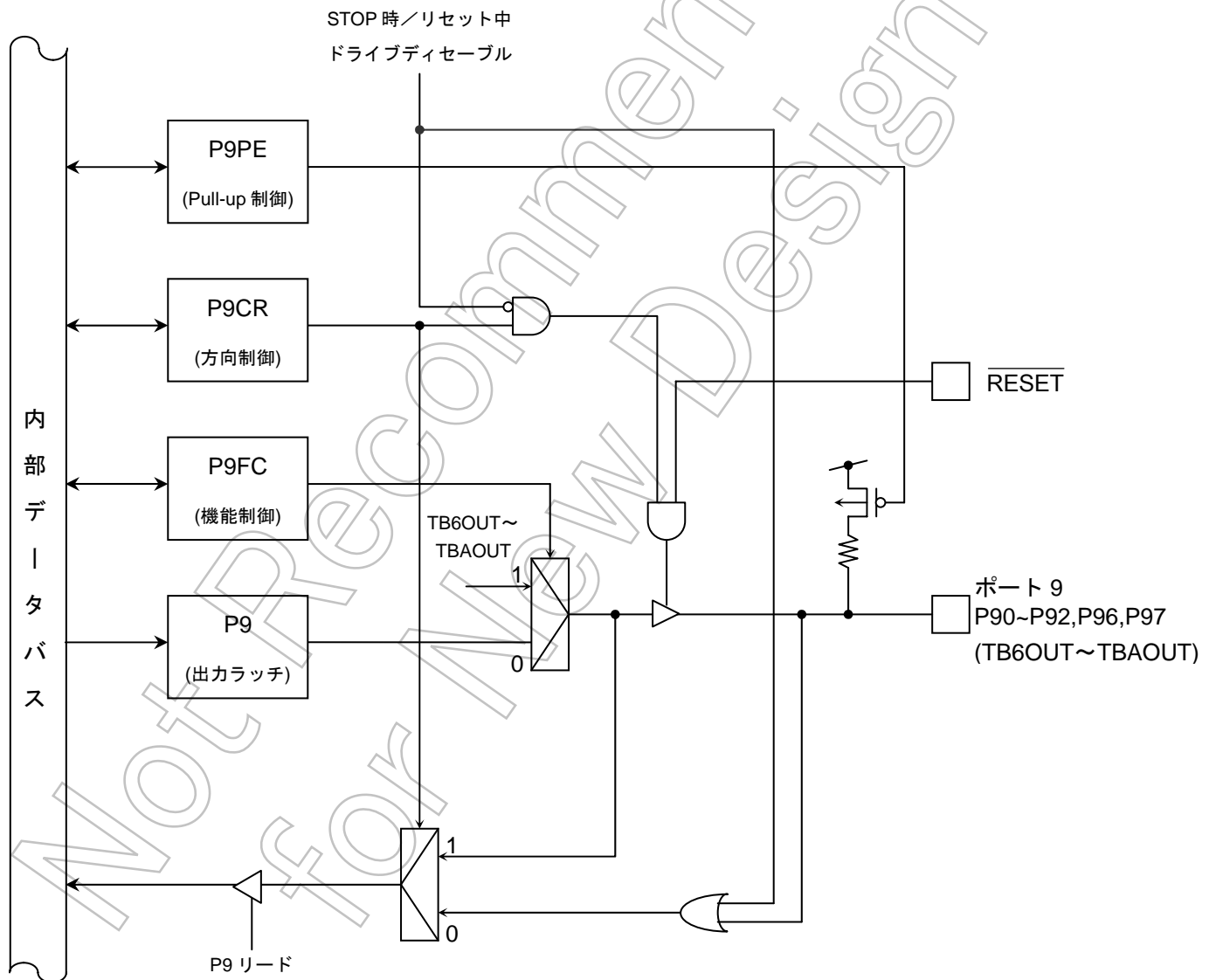


図 7-28 ポート 9(P90~P92,P96,P97)

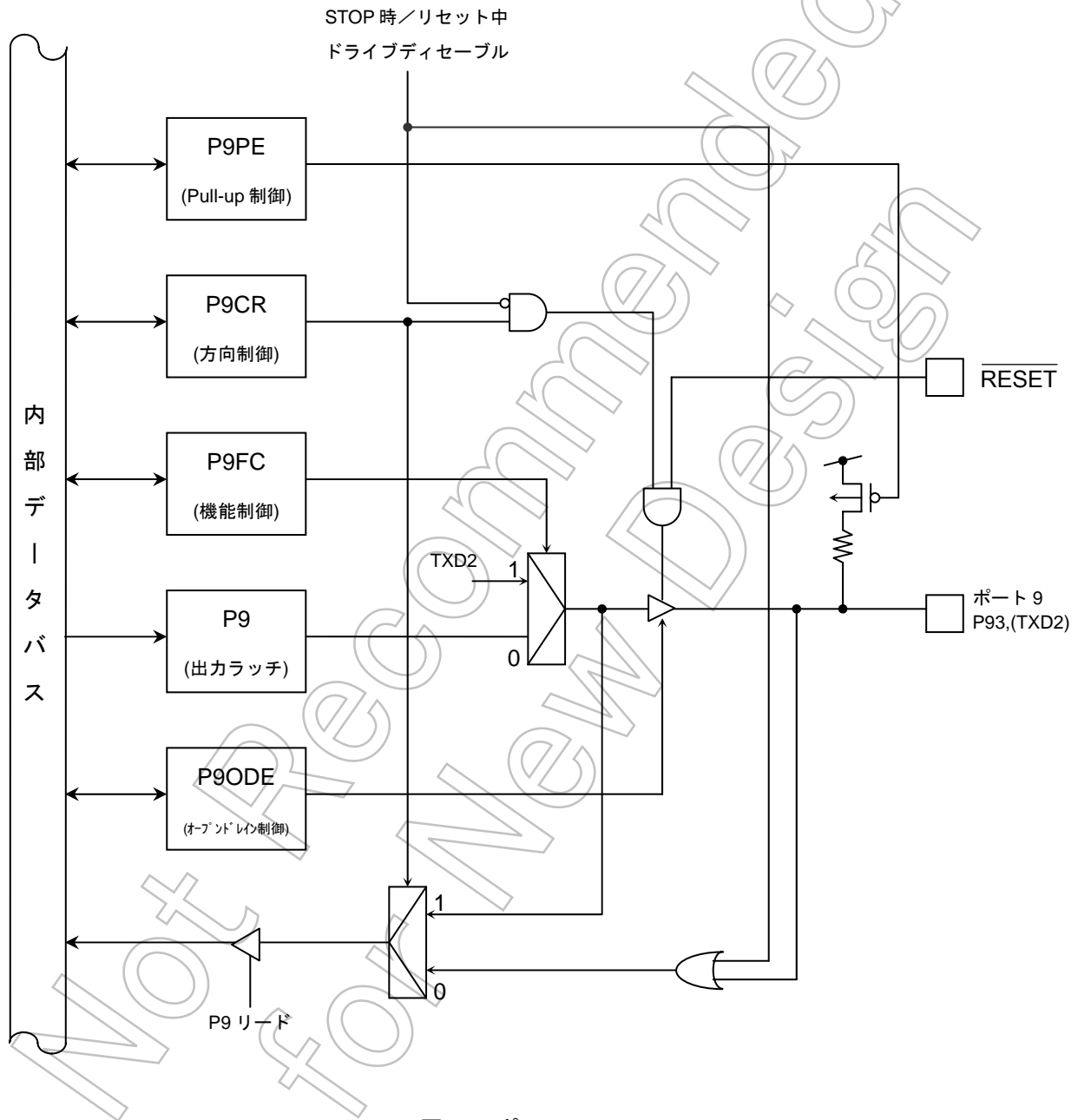


図 7-29ポート 9(P93)

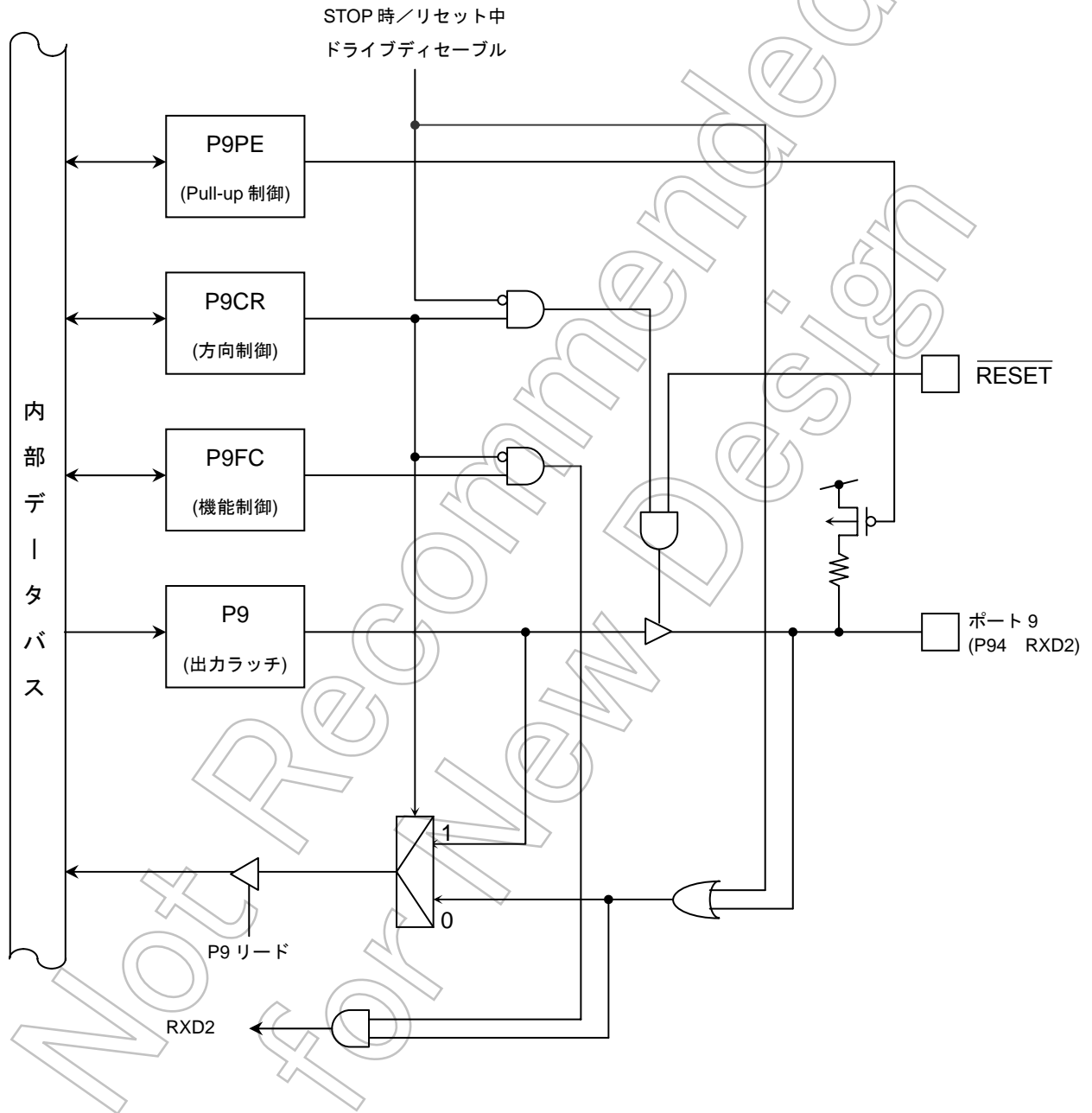


図 7-30 ポート 9 (P94)

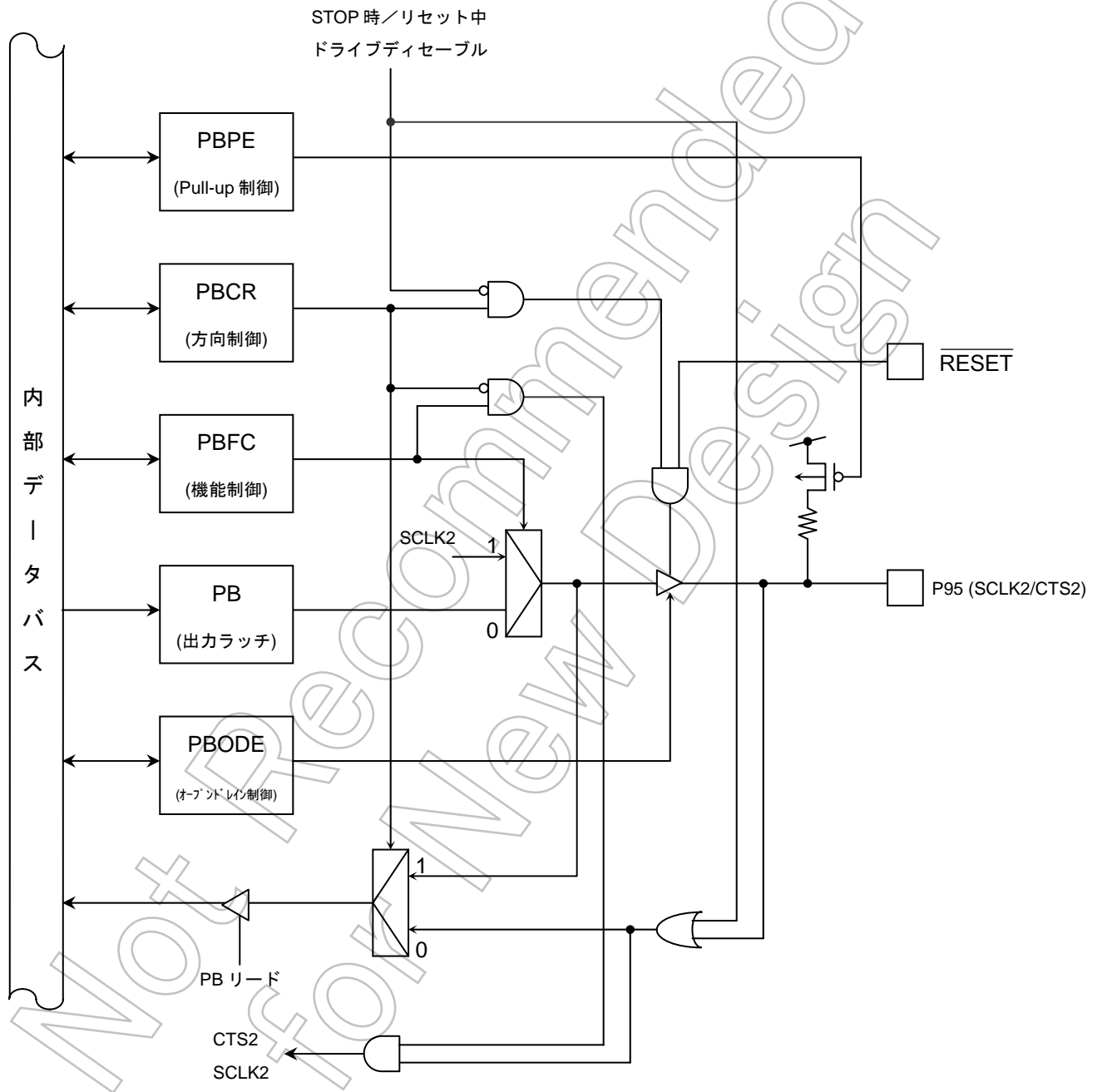


図 7-31 ポート 9 (P95)

ポート 9 レジスタ

	7	6	5	4	3	2	1	0
Bit Symbol	P97	P96	P95	P94	P93	P92	P91	P90
P9 (0xFFFF_F042)	Read/Write R/W							
リセット後	入力モード (出力ラッチレジスタは“1”に Set)							

ポート 9 コントロールレジスタ

	7	6	5	4	3	2	1	0
Bit Symbol	P97C	P96C	P95C	P94C	P93C	P92C	P91C	P90C
P9CR (0xFFFF_F046)	Read/Write R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0: 入力 1: 出力							

ポート 9 ファンクションレジスタ

	7	6	5	4	3	2	1	0
Bit Symbol	P97F	P96F	P95F	P94F	P93F	P92F	P91F	P90F
P9FC (0xFFFF_F04A)	Read/Write R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0:PORT 1:TBAOUT	0:PORT 1:TB9OUT	0:PORT 1:SCLK2/ CTS2	0:PORT 1:RXD2	0:PORT 1:TXD2	0:PORT 1:TB8OUT	0:PORT 1:TB7OUT	0:PORT 1:TB6OUT

ポート 9 プルアップ制御レジスタ

	7	6	5	4	3	2	1	0
Bit Symbol	PE97	PE96	PE95	PE94	PE93	PE92	PE91	PE90
P9PE (0xFFFF_F04E)	Read/Write R/W							
リセット後	0	0	0	0	0	0	0	0
機能	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up

ポート 9 オープンドレイン制御レジスタ

	7	6	5	4	3	2	1	0
Bit Symbol	—	—	P95ODE	—	P93ODE	—	—	—
P9ODE (0xFFFF_F031)	Read/Write R/W							
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます	0:CMOS 1:オープン ドレイン	リードすると“0”が読めます	0:CMOS 1:オープン ドレイン	リードすると“0”が読めます	0:CMOS 1:オープン ドレイン	リードすると“0”が読めます	0:CMOS 1:オープン ドレイン

(注) リセット解除後、ポート 9 は入力状態となります。

貫通電流の発生を回避するため中間電位を入力しないようにしてください。

7.11 ポート A (PA0~PA7)

ポート A はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ PACR とファンクションレジスタ PAFC によって行います。リセット動作により出力ラッチ PA の全ビットは “1” にセットされ、また、PACR と PAFC の全ビットは “0” にクリアされ、ポート A は入力モードになります。

入出力ポート機能以外に PA0~PA5 には外部割込み入力機能、16 ビットタイマ入力機能があり、PA6, PA7 にはダイヤル入力機能があります。

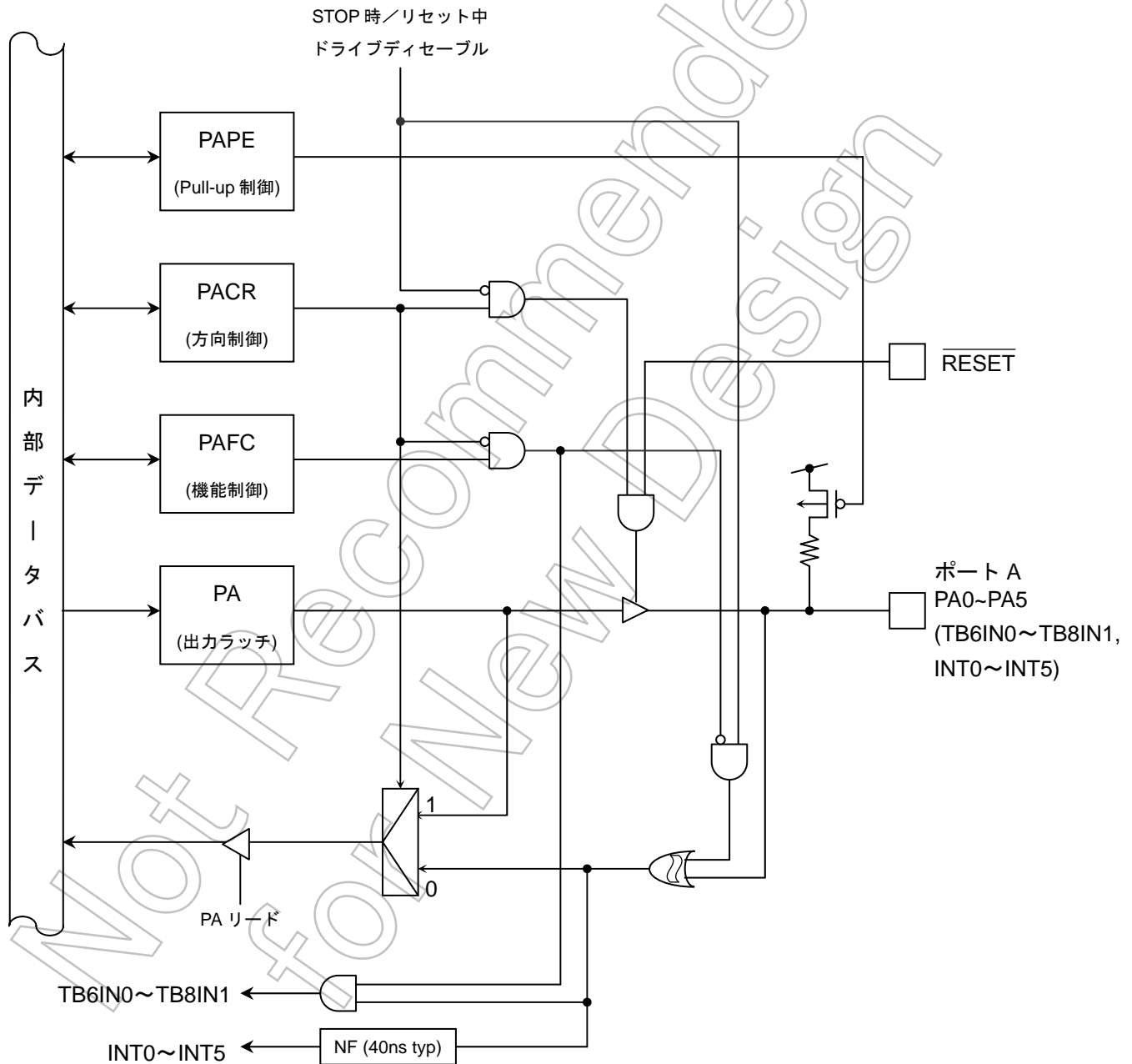


図 7-32 ポート A (PA0~PA5)

・ PxFC = " 1" かつ PxCR = " 0" の場合、STOP モード時も TMRB/INT 入力を受け付けます。

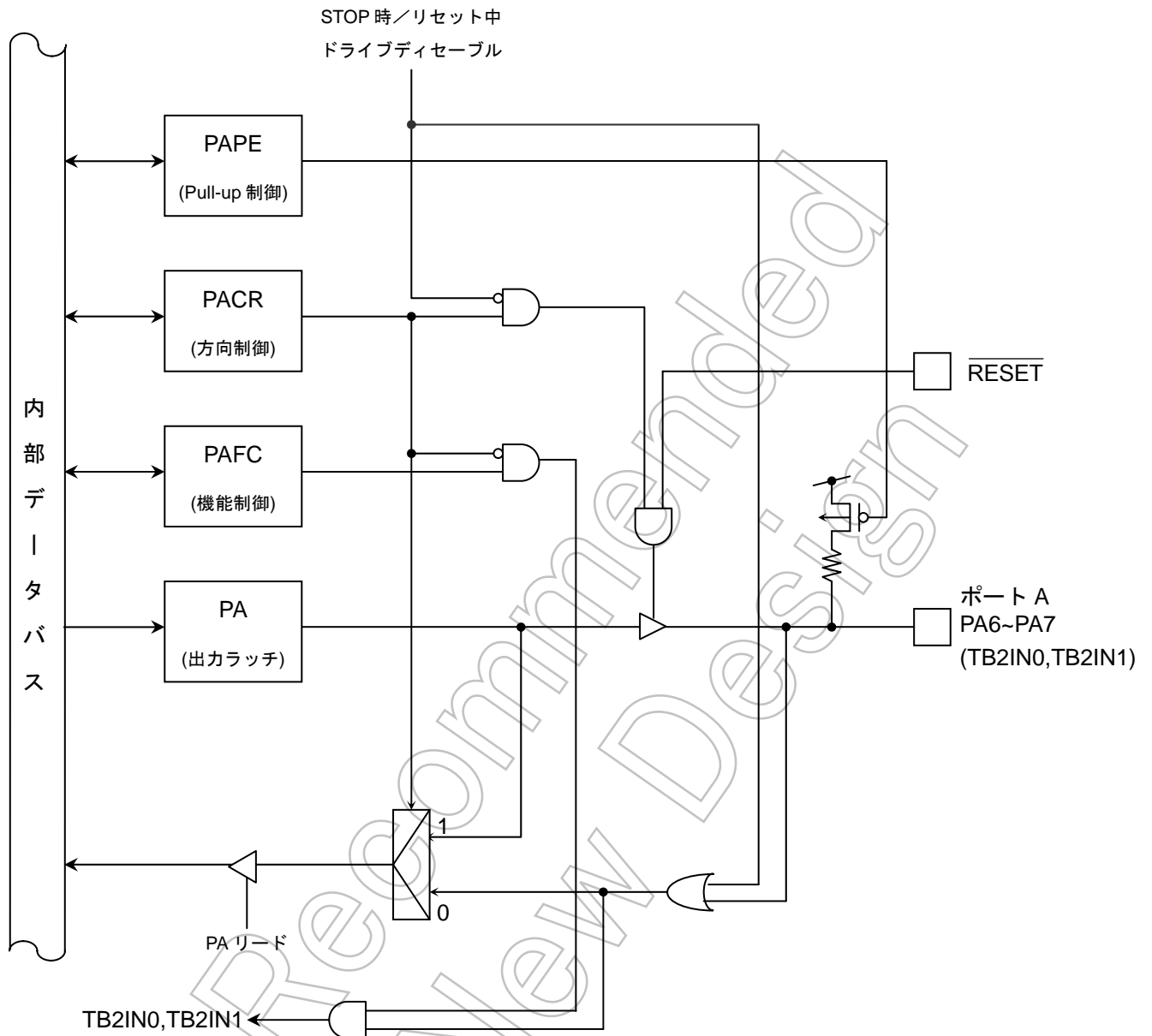


図 7-33ポート A (PA6~PA7)

ポート A レジスタ

	7	6	5	4	3	2	1	0
PA (0xFFFF_F043)	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
Bit Symbol								
Read/Write	R/W							
リセット後	入力モード (出力ラッチレジスタは “1” に set)							

ポート A コントロールレジスタ

	7	6	5	4	3	2	1	0
PACR (0xFFFF_F047)	PA7C	PA6C	PA5C	PA4C	PA3C	PA2C	PA1C	PA0C
Bit Symbol								
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0: 入力 1: 出力							

ポート A ファンクションレジスタ

	7	6	5	4	3	2	1	0
PAFC (0xFFFF_F04B)	PA7F	PA6F	PA5F	PA4F	PA3F	PA2F	PA1F	PA0F
Bit Symbol								
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0:PORT 1:TB2IN1	0:PORT 1:TB2IN0	0:PORT / INT5 1:INT5 /TB8IN1	0:PORT / INT4 1:INT4 /TB8IN0	0:PORT / INT3 1:INT3 /TB7IN1	0:PORT / INT2 1:INT2 /TB7IN0	0:PORT / INT1 1:INT1 /TB6IN1	0:PORT / INT0 1:INT0 /TB6IN0

ポート A プルアップ制御レジスタ

	7	6	5	4	3	2	1	0
PAPE (0xFFFF_F04F)	PEA7	PEA6	PEA5	PEA4	PEA3	PEA2	PEA1	PEA0
Bit Symbol								
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up

(注) リセット解除後、ポート A は入力状態となります。
貫通電流の発生を回避するため中間電位を入力しないようにしてください。

7.12 ポート B(PB0~PB7)

ポート B はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ PBCR とファンクションレジスタ PBFC によって行います。リセット動作により出力ラッチ PB の全ビットは “1” にセットされ、また、PBCR と PBFC の全ビットは “0” にクリアされ、ポート B は入力モードになります。

入出力ポート機能以外に PB2, PB5 は HS10 のデータ出力、PB3, PB6 は HS10 のデータ入力、PB4, PB7 は HS10 の HCLK 入出力または HCTS 入力、PB0, PB1 にはダイヤル入力機能を持った 16bit キャプチャ入力機能があります。

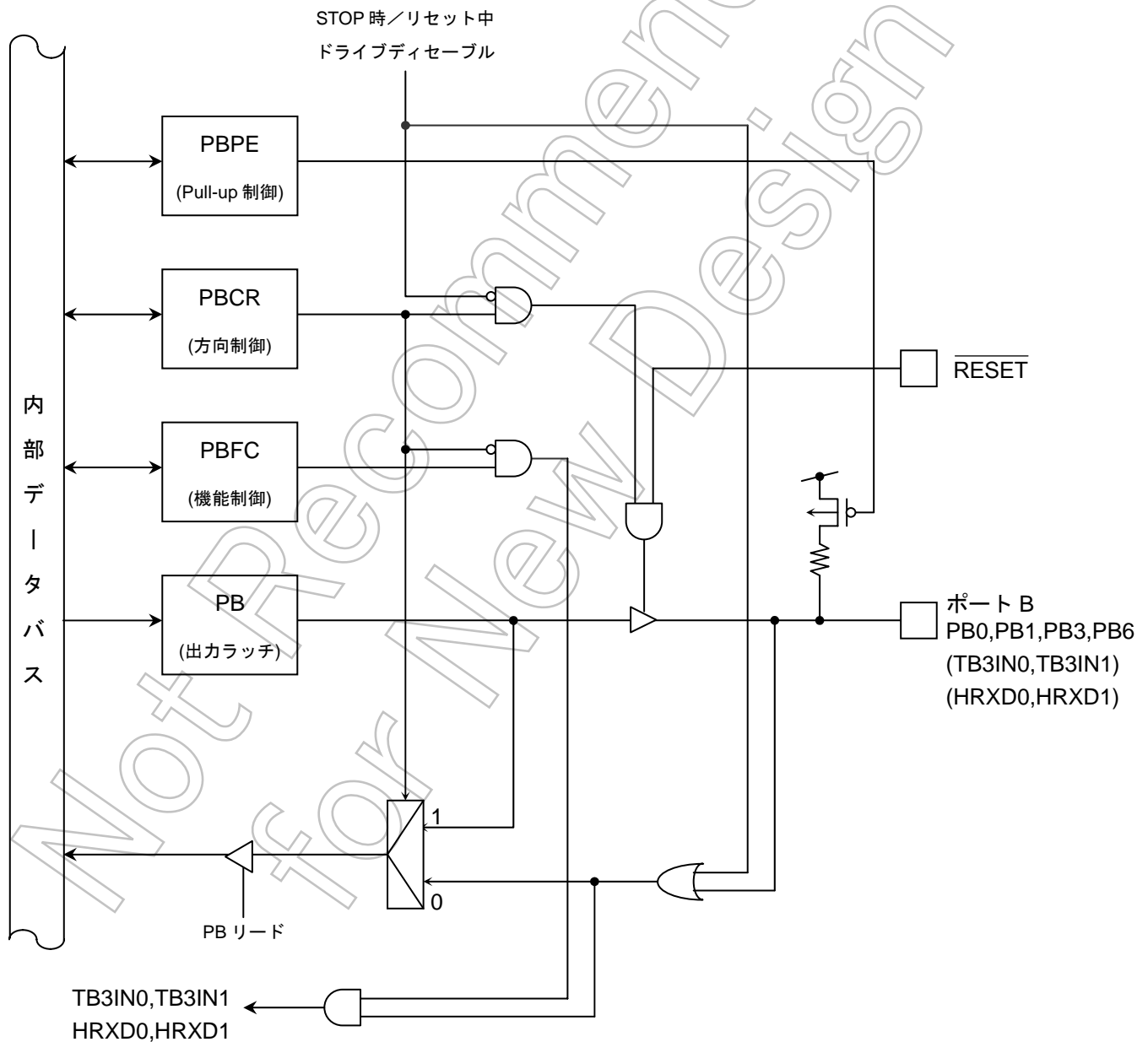


図 7-44 ポート B (PB0, PB1, PB3, PB6)

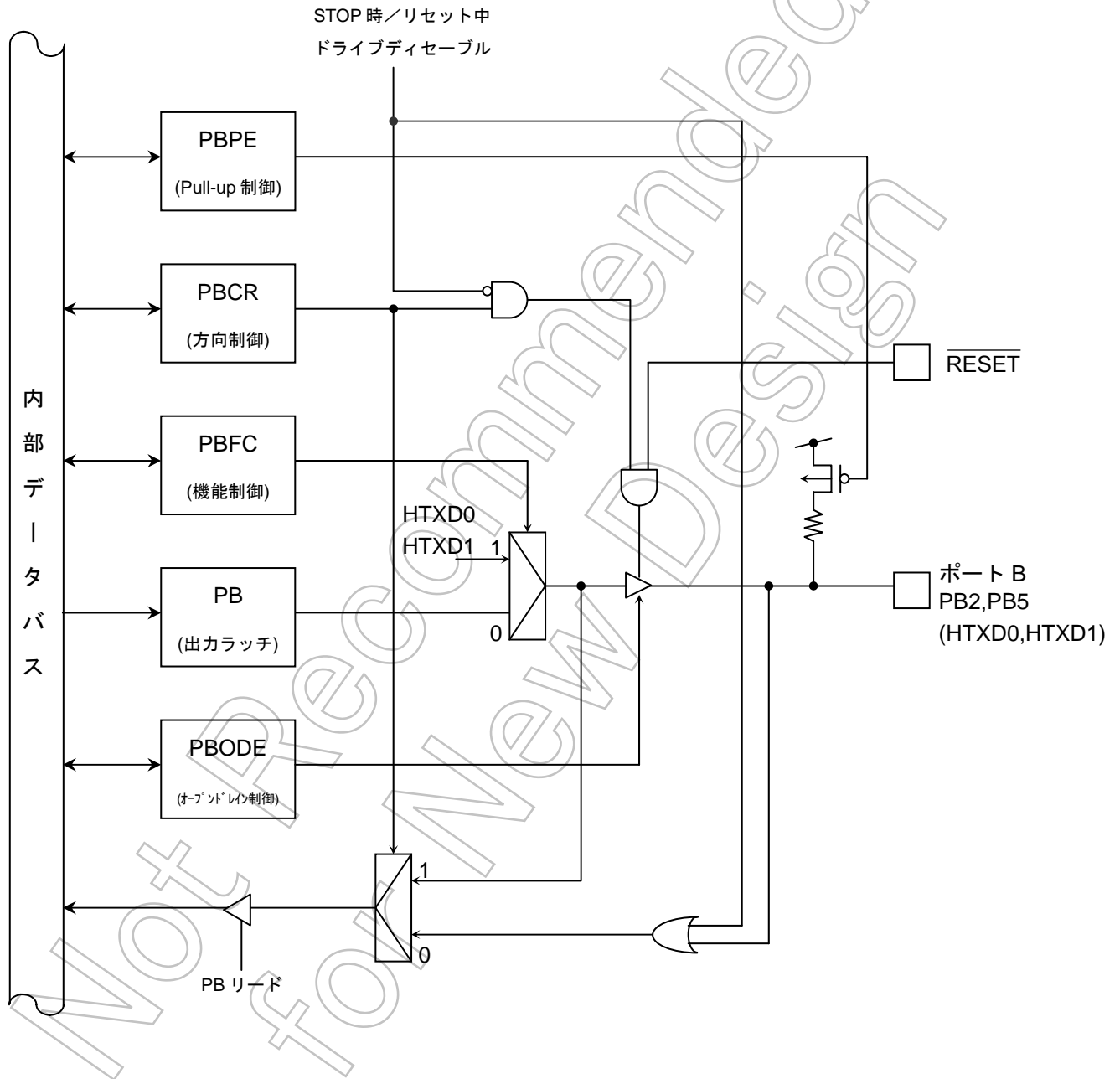


図 7-34ポート B (PB2, PB5)

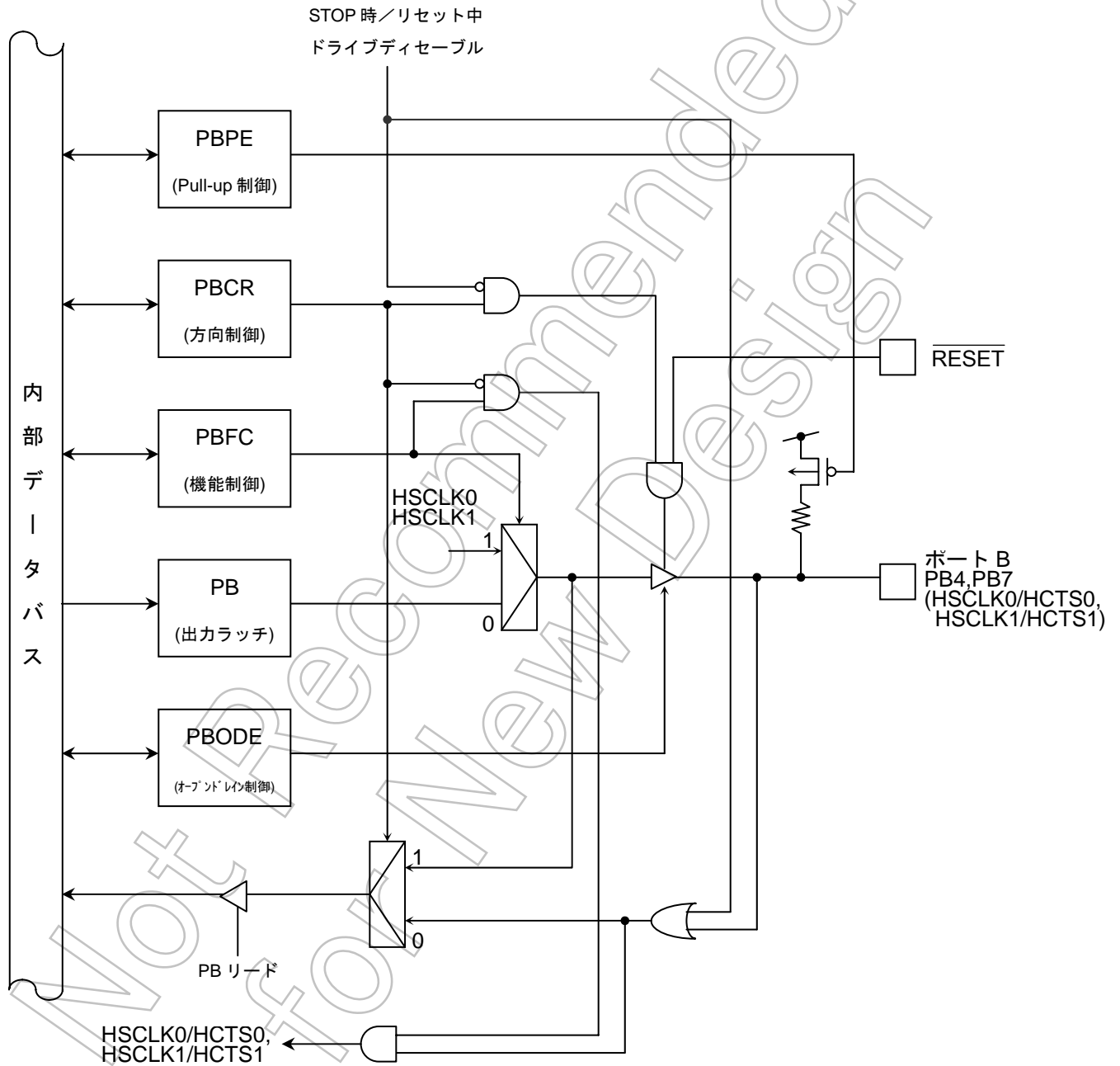


図 7-35ポート B (PB4, PB7)

ポート B レジスタ

	7	6	5	4	3	2	1	0
Bit Symbol	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
Read/Write	R/W							
リセット後	入力モード (出力ラッチレジスタは“1”に Set)							

PB
(0xFFFF_F050)

ポート B コントロールレジスタ

	7	6	5	4	3	2	1	0
Bit Symbol	PB7C	PB6C	PB5C	PB4C	PB3C	PB2C	PB1C	PB0C
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0: 入力 1: 出力							

PBCR
(0xFFFF_F054)

ポート B ファンクションレジスタ

	7	6	5	4	3	2	1	0
Bit Symbol	PB7F	PB6F	PB5F	PB4F	PB3F	PB2F	PB1F	PB0F
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0:PORT 1:HSCLK1 /HCTS1	0:PORT 1:HRXD1	0:PORT 1:HTXD1	0:PORT 1:HSCLK0 /HCTS0	0:PORT 1:HRXD0	0:PORT 1:HTXD0	0:PORT 1:TB3IN1	0:PORT 1:TB3IN0

PBFC
(0xFFFF_F058)

ポート B プルアップ制御レジスタ

	7	6	5	4	3	2	1	0
Bit Symbol	PEB7	PEB6	PEB5	PEB4	PEB3	PEB2	PEB1	PEB0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up

PBPE
(0xFFFF_F05C)

ポート B オープンドレイン制御レジスタ

	7	6	5	4	3	2	1	0
Bit Symbol	PB7ODE	—	PB5ODE	PB4ODE	—	PB2ODE	—	—
Read/Write	R/W	R	R/W		R	R/W	R	R
リセット後	0	0	0	0	0	0	0	0
機能	0:CMOS 1:オープン ドレイン	リードす ると“0”が 読めます	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	リードす ると“0”が 読めます	0:CMOS 1:オープン ドレイン	リードすると“0”が読め ます	—

PBODE
(0xFFFF_F034)

(注) リセット解除後、ポート B は入力状態となります。貫通電流の発生を回避するため中間電位を入力しないようにしてください。

7.13 ポート C(PC0~PC7)

ポート C はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ PCGR とファンクションレジスタ PCFC によって行います。リセット動作により出力ラッチ PC の全ビットは “1” にセットされ、また、PCGR と PCFC の全ビットは “0” にクリアされ、ポート C は入力モードになります。

入力ポート機能以外に PC0 に 32 ビットタイムベースタイマの外部クロックソース入力機能、およびキーオンウェイクアップ入力機能、PC1~PC4 に 32 ビットコンペア出力機能があり、PC5~PC7 には SBI の入出力機能があります。

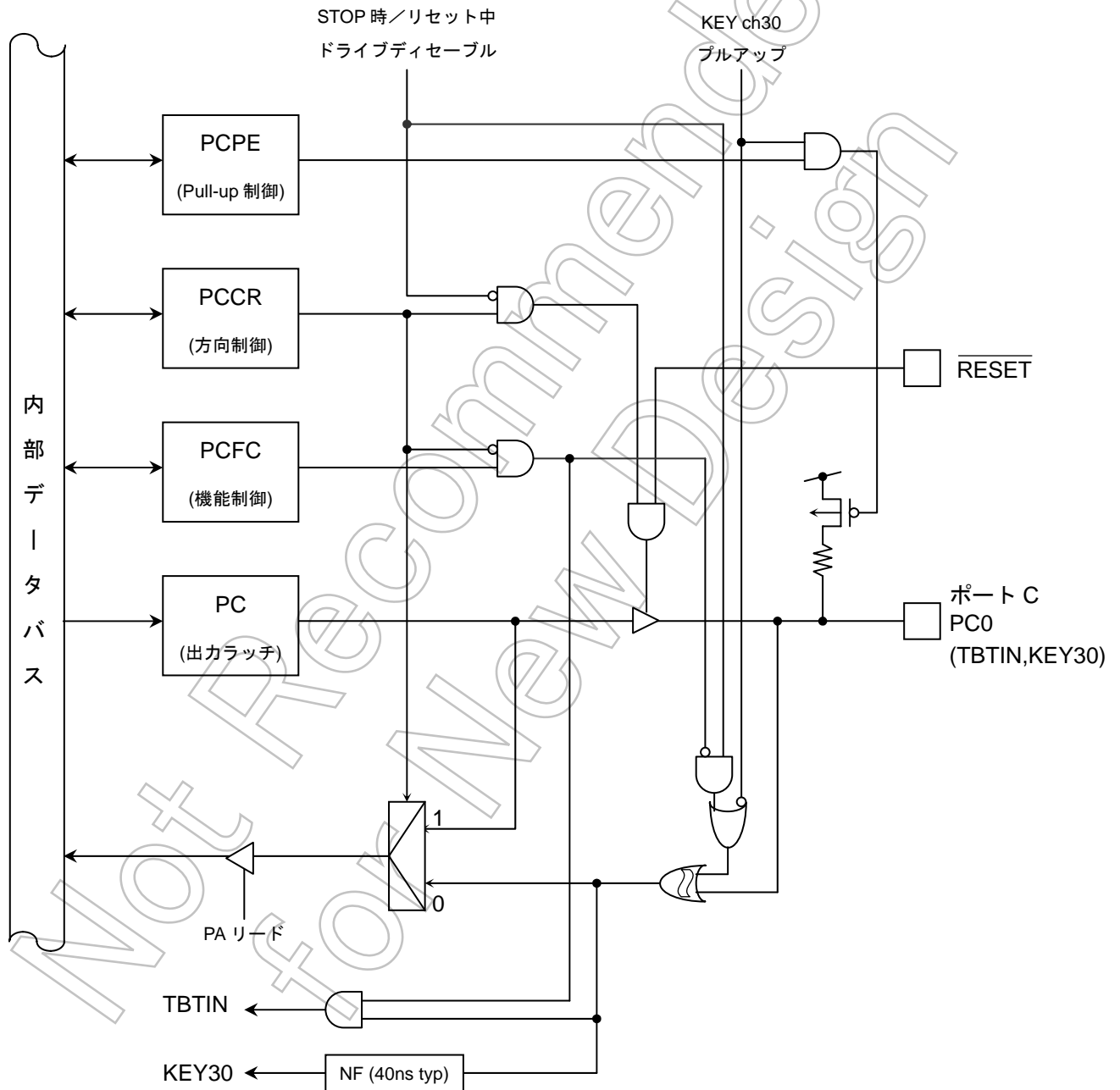


図 7-36 ポート C (PC0)

- ・ PxFC = " 1" かつ PxCR = " 0" の場合、STOP モード時も TBTIN/KEY 入力を受け付けます。
- ・ KWUPの該当chの設定との関係は、
 - KWUP<DPEx>=0 : 入出力ポートまたはKWUPのスタティックINT入力
 - KWUP<DPEx>=1 : KWUPのダイナミックINT入力となります。入出力ポートとして使用する場合は、該当する KWUP<DPEx>=0 に設定して下さい。

Not Recommended
for New Design

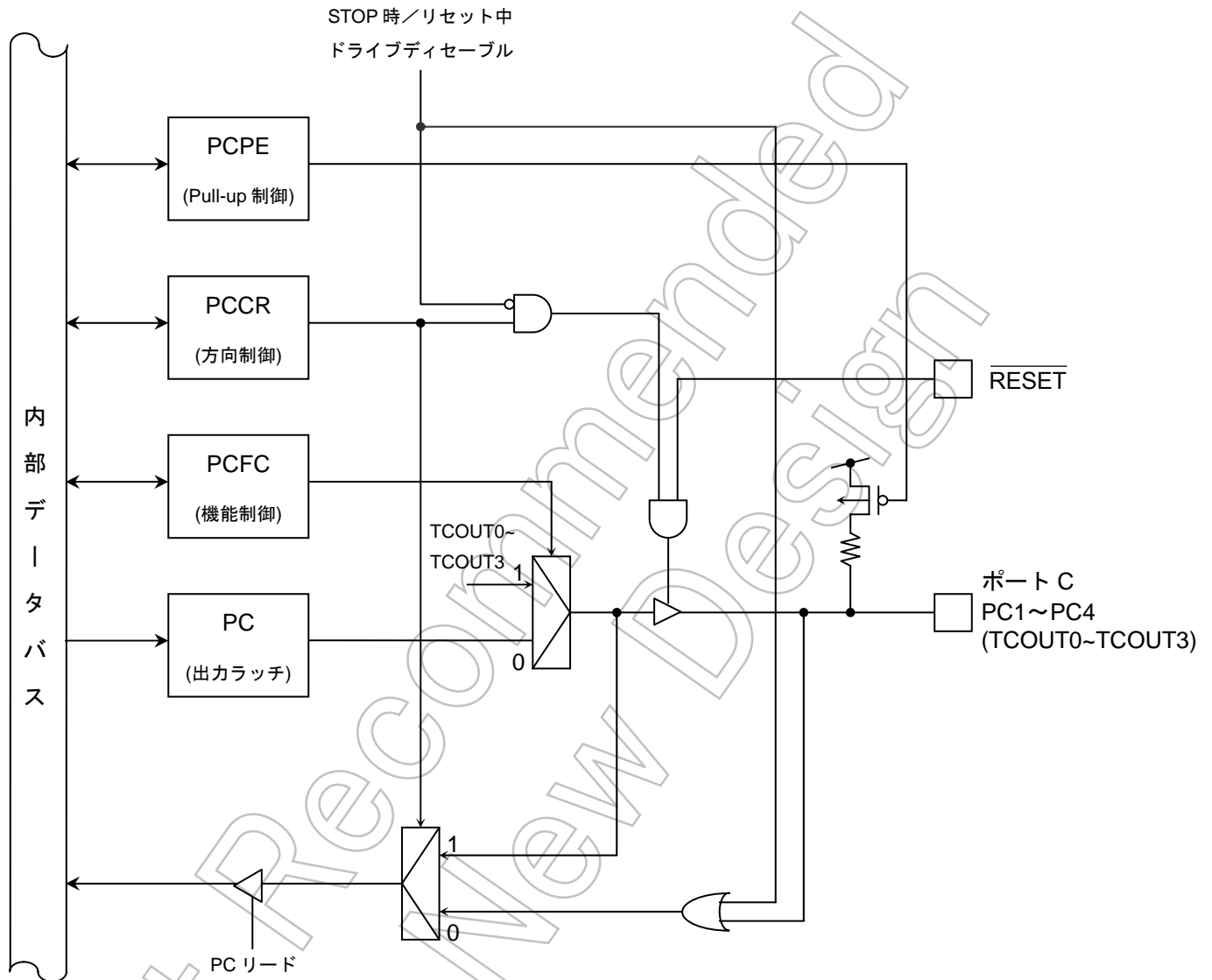


図 7-37ポート C(PC1~PC4)

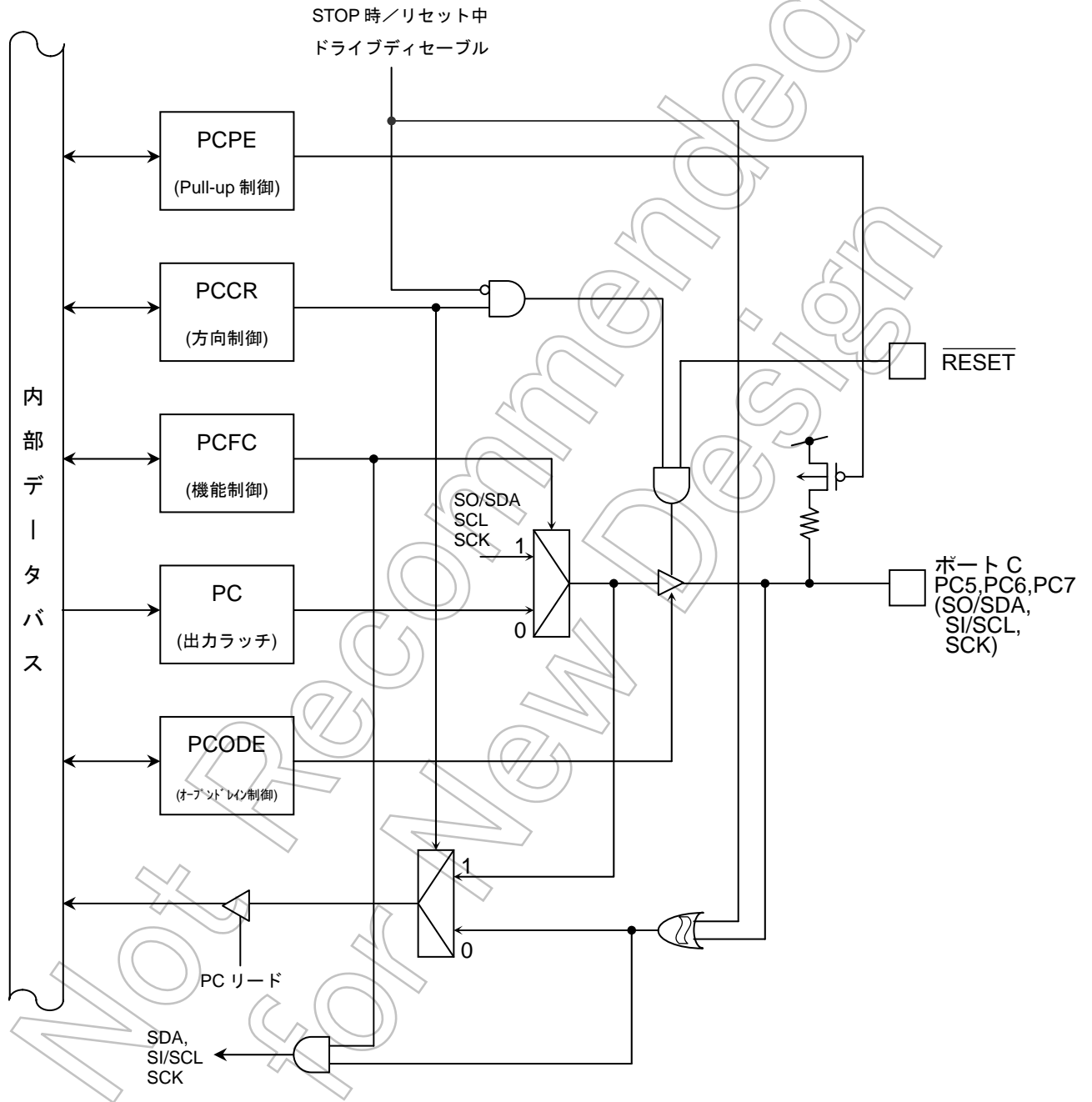


図 7-38 ポート C (PC5, PC6, PC7)

ポート C レジスタ

	7	6	5	4	3	2	1	0	
PC (0xFFFF_F051)	Bit Symbol	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
	Read/Write	R/W							
	リセット後	入力モード (出力ラッチレジスタは“1”に Set)							

ポート C コントロールレジスタ

	7	6	5	4	3	2	1	0	
PCCR (0xFFFF_F055)	Bit Symbol	PC7C	PC6C	PC5C	PC4C	PC3C	PC2C	PC1C	PC0C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	0: 入力 1: 出力							

ポート C ファンクションレジスタ

	7	6	5	4	3	2	1	0	
PCFC (0xFFFF_F059)	Bit Symbol	PC7F	PC6F	PC5F	PC4F	PC3F	PC2F	PC1F	PC0F
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	0:PORT 1:SCK	0:PORT 1:SI /SCL	0:PORT 1:SO /SDA0	0:PORT 1:TCOUT3	0:PORT 1:TCOUT2	0:PORT 1:TCOUT1	0:PORT 1:TCOUT0	0:PORT /KEY30 1: TB TIN /KEY30

ポート C プルアップ制御レジスタ

	7	6	5	4	3	2	1	0	
PCPE (0xFFFF_F05D)	Bit Symbol	PEC7	PEC6	PEC5	PEC4	PEC3	PEC2	PEC1	PEC0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	
	機能	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up

ポート C オープンドレイン制御レジスタ

	7	6	5	4	3	2	1	0
PCODE (0xFFFF_F035)	Bit Symbol	PC7ODE	PC6ODE	PC5ODE	—			
	Read/Write	R/W	R/W	R/W	R			
	リセット後	0	0	0	0			
	機能	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	0:CMOS 1:オープン ドレイン	リードすると“0”が読めます			

(注) リセット解除後、ポート C は入力状態となります。
貫通電流の発生を回避するため中間電位を入力しないようにしてください。

7.14 ポート D(PD0~PD6)

ポート D はビット単位で入出力の指定ができる 7 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ PDGR とファンクションレジスタ PDFC によって行います。リセット動作により出力ラッチ PD の全ビットは “1” にセットされ、また、PDGR と PDFC の全ビットは “0” にクリアされ、ポート D は入力モードになります。

入力ポート機能以外に PD0 は HSIO のデータ出力、PD1 は HSIO のデータ入力、PD2 は HSIO の HCLK 入出力または HCTS 入力 PD3~PD5 に 16 ビットタイマ出力機能があり、PD6 にはキーオンウェイクアップ入力機能および、A/D コンバータの A/D トリガ入力機能があります。

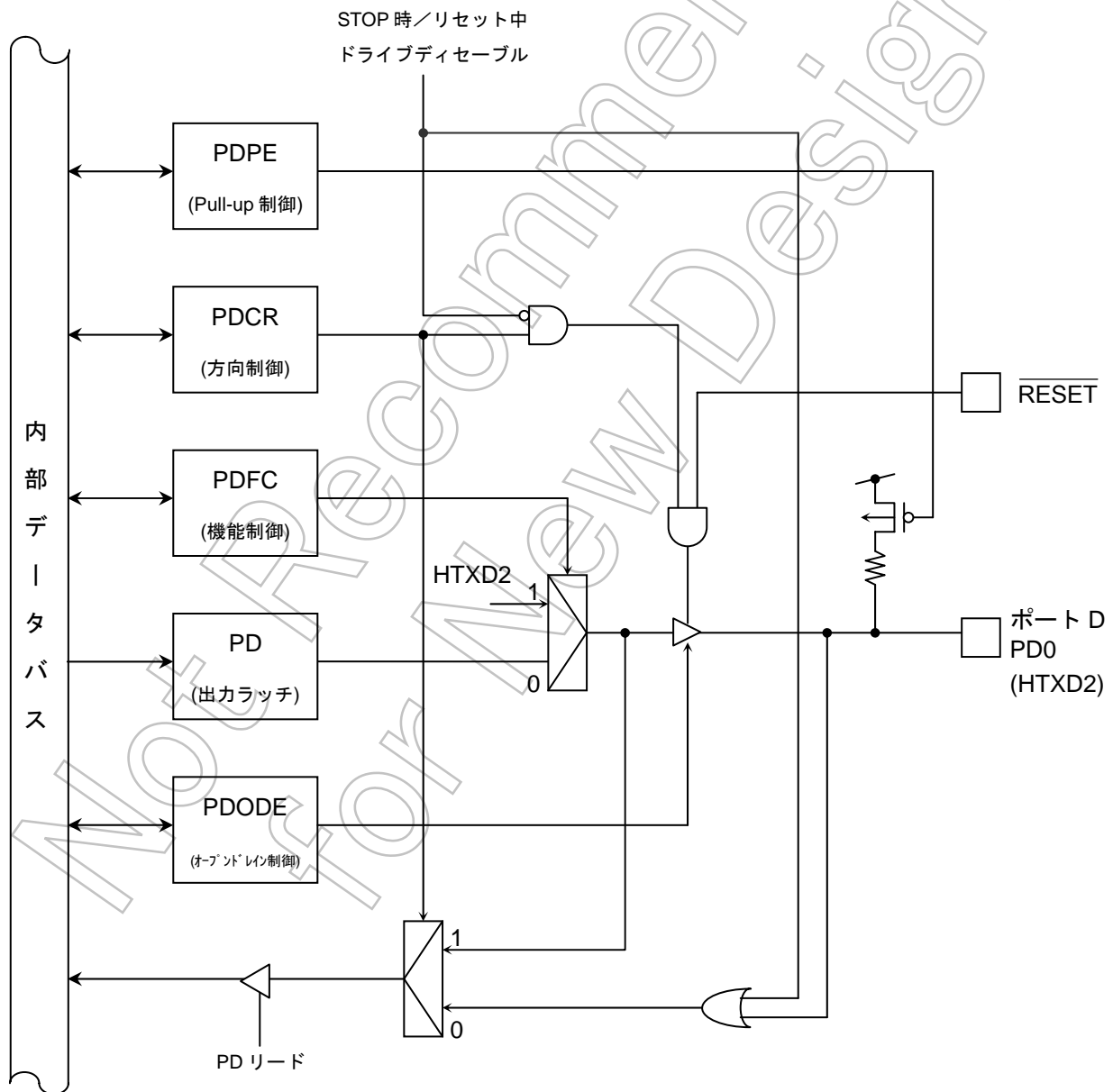


図 7-39ポート D (PD0)

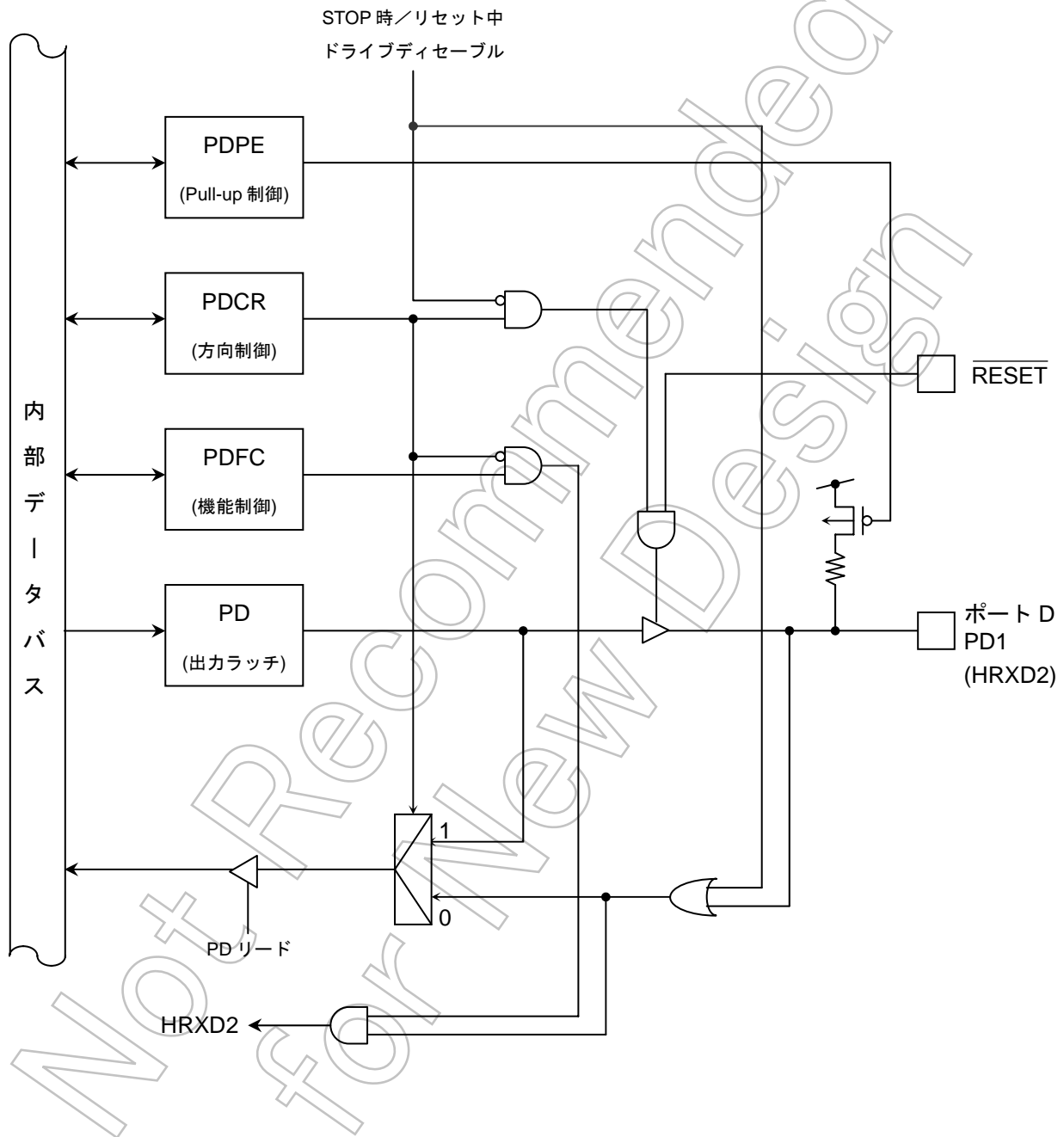


図 7-40ポート D (PD1)

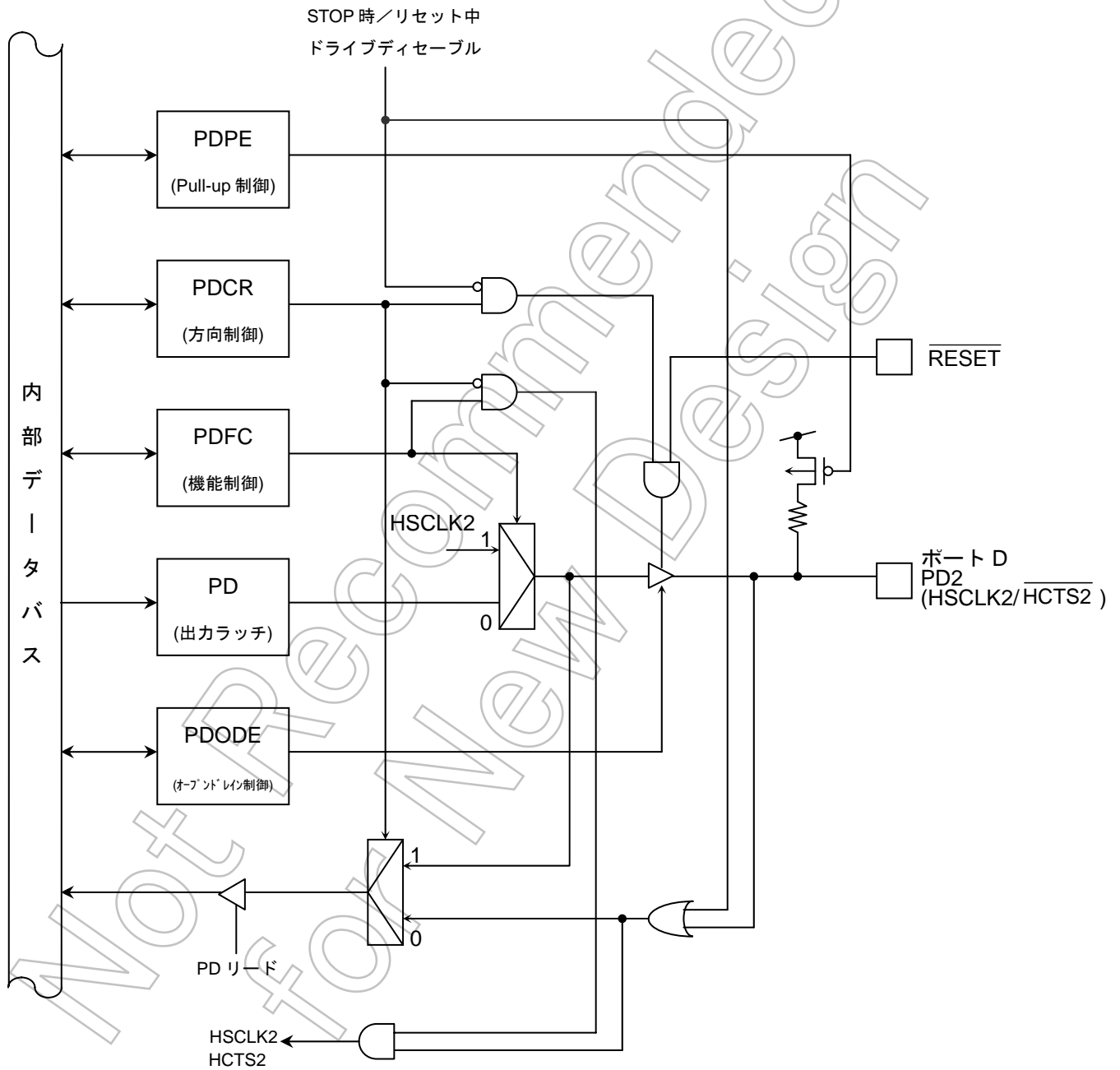


図 7-41ポート D (PD2)

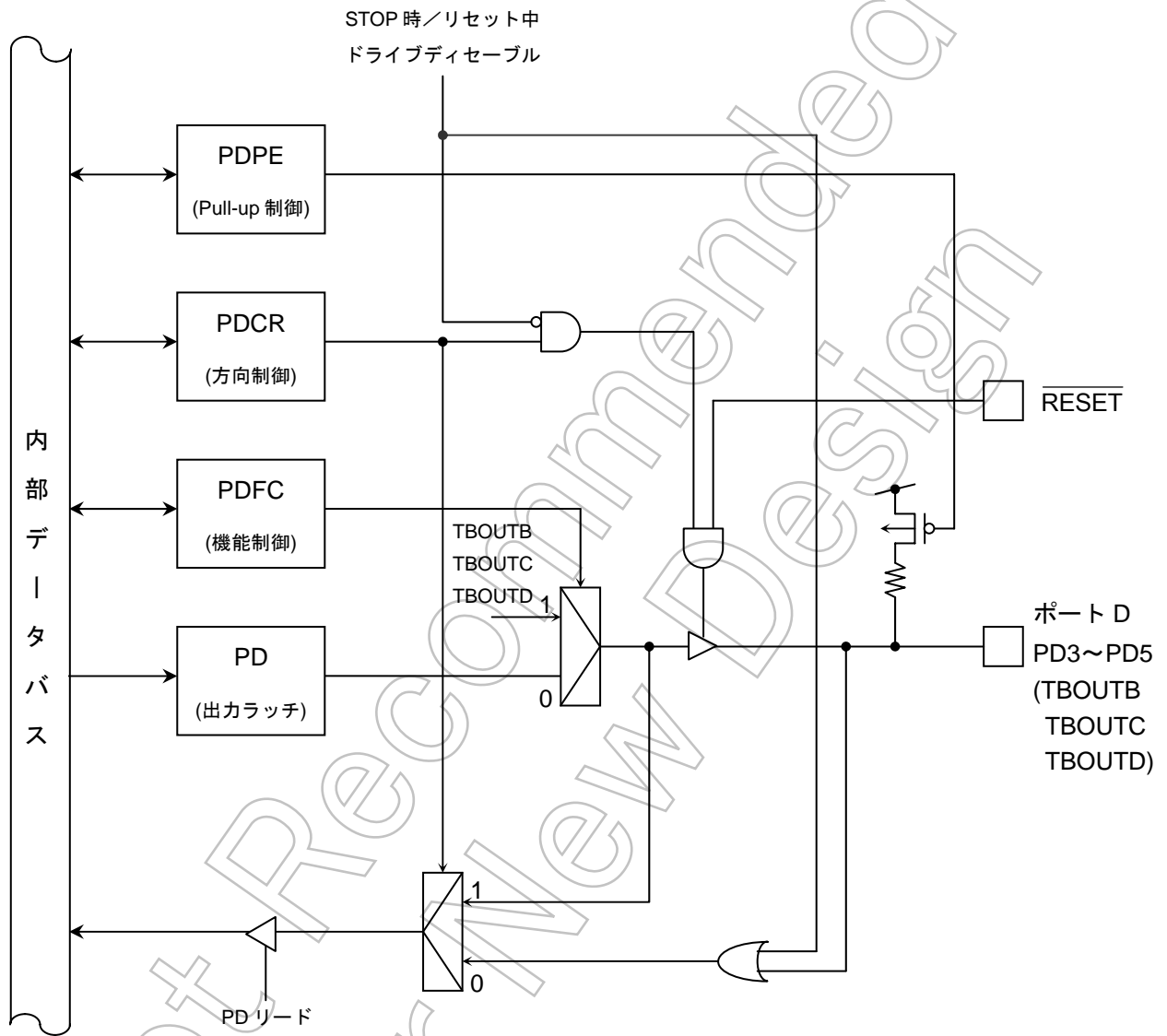


図 7-42ポート D(PD3-PD5)

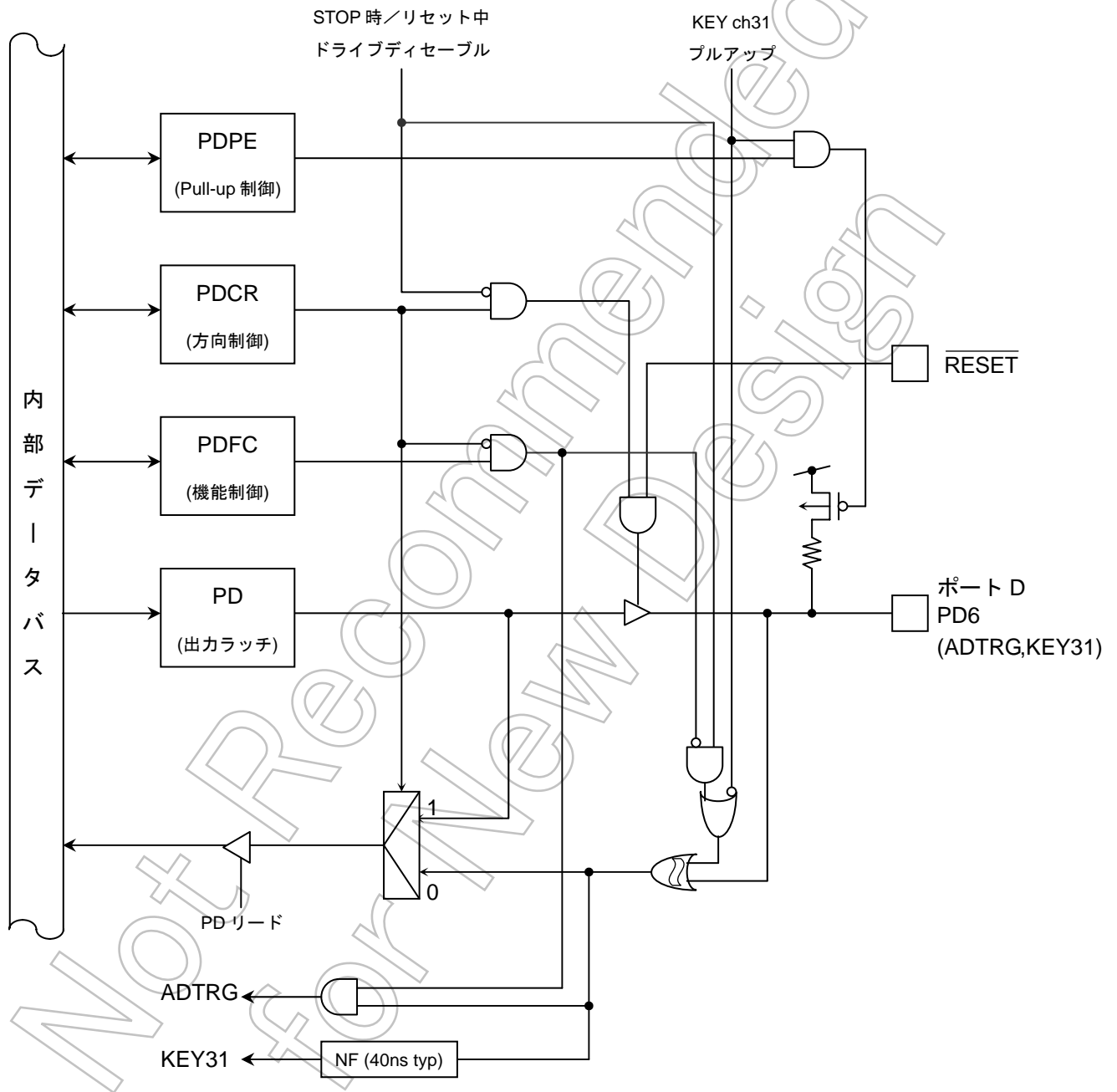


図 7-43ポート D (PD6)

- PxFC = " 1 " かつ PxCR = " 0 " の場合、STOP モード時も ADTRG/KEY 入力を受け付けます。
- KWUPの該当chの設定との関係は、
 KWUP<DPEx>=0 : 入出力ポートまたはKWUPのスタティック INT入力
 KWUP<DPEx>=1 : KWUPのダイナミック INT入力
 となります。入出力ポートとして使用する場合は、該当する KWUP<DPEx>=0 に設定して下さい。

ポート D レジスタ

		7	6	5	4	3	2	1	0
PD	Bit Symbol		PD6	PD5	PD4	PD3	PD2	PD1	PD0
(0xFFFF_F052)	Read/Write	R	R/W						
	リセット後	0	入力モード (出カラッチレジスタは“1”に Set)						

ポート D コントロールレジスタ

		7	6	5	4	3	2	1	0
PDCR	Bit Symbol		PD6C	PD5C	PD4C	PD3C	PD2C	PD1C	PD0C
(0xFFFF_F056)	Read/Write	R	R/W						
	リセット後	0	0	0	0	0	0	0	0
	機能		0: 入力 1: 出力						

ポート D ファンクションレジスタ

		7	6	5	4	3	2	1	0
PDFC	Bit Symbol	—	PD6F	PD5F	PD4F	PD3F	PD2F	PD1F	PD0F
(0xFFFF_F05A)	Read/Write	R	R/W						
	リセット後	0	0	0	0	0	0	0	0
	機能	リードすると“0”が読めます	0:PORT /KEY31 1:ADTRG /KEY31	0:PORT 1:TBDOUT	0:PORT 1:TBCOUT	0:PORT 1:TBBOUT	0:PORT 1:HSCLK2 /HCTS2	0:PORT 1:HRXD2	0:PORT 1:HTXD2

ポート D プルアップ制御レジスタ

		7	6	5	4	3	2	1	0
PDPE	Bit Symbol		PED6	PED5	PED4	PED3	PED2	PED1	PED0
(0xFFFF_F05E)	Read/Write		R/W						
	リセット後	0	0	0	0	0	0	0	0
	機能	ライトした値が読めます	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up

ポート D オープンドレイン制御レジスタ

		7	6	5	4	3	2	1	0	
PDODE	Bit Symbol						PD2ODE	—	PD0ODE	
(0xFFFF_F036)	Read/Write		R					R/W	R	R/W
	リセット後		0					0	0	0
	機能		リードすると“0”が読めます					0:CMOS 1:オープン ドレイン	リードすると“0”が読めます	0:CMOS 1:オープン ドレイン

(注) リセット解除後、ポート D は入力状態となります。
貫通電流の発生を回避するため中間電位を入力しないようにしてください。

7.15 ポート E (PE0~PE7)

ポート E はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ PEGR とファンクションレジスタ PEFC によって行います。リセット動作により出力ラッチ PE の全ビットは “1” にセットされ、また、PEGR と PEFC の全ビットは “0” にクリアされ、ポート E は入力モードになります。

入力ポート機能以外にキーオンウェイクアップ入力機能があります。

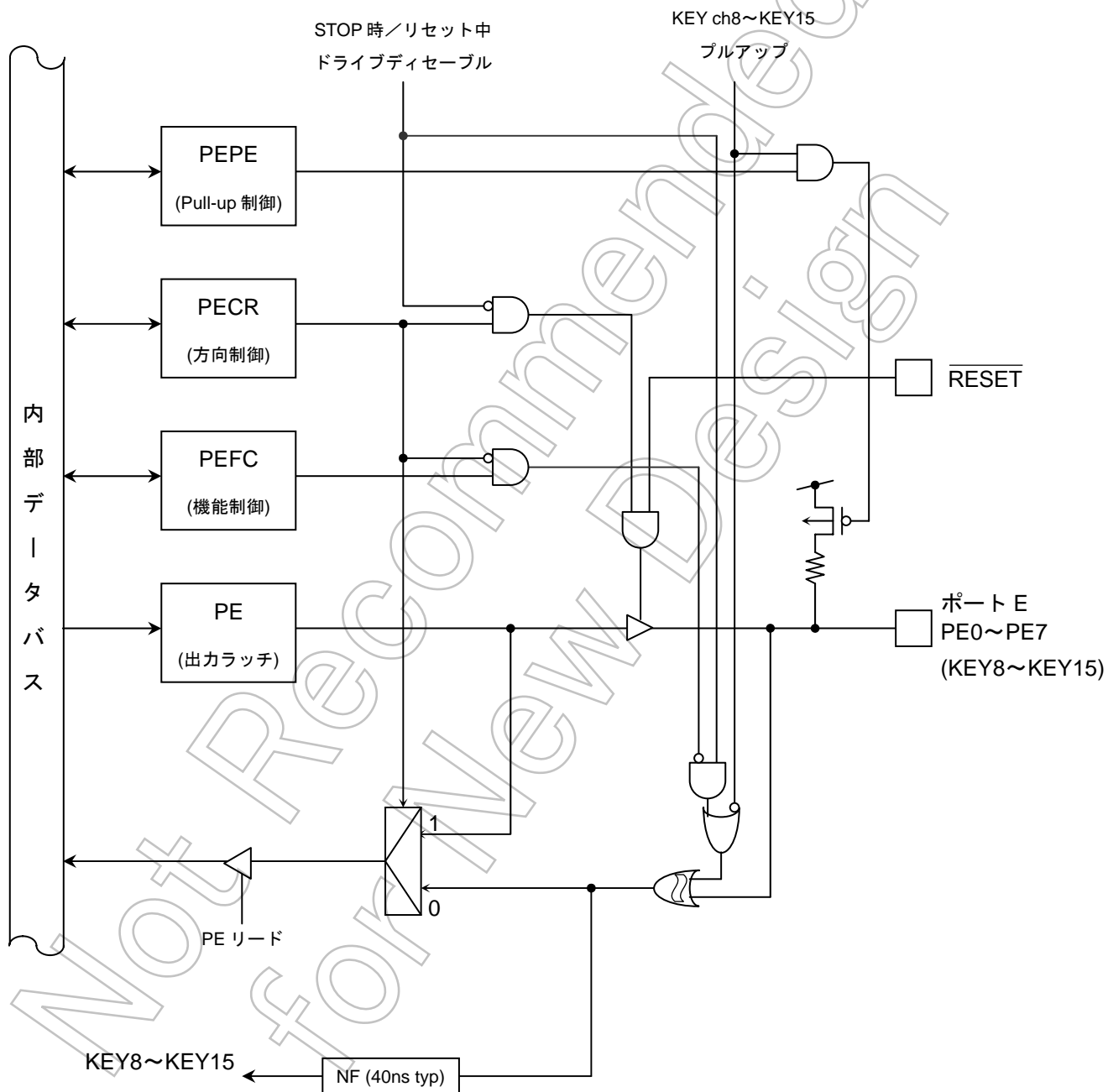


図 7-44 ポート E (PE0~PE7)

・ PxFC = " 1 " かつ PxCR = " 0 " の場合、STOP モード時も KEY 入力を受け付けます。

・ KWUP の該当 ch の設定との関係は、

 KWUP<DPEx>=0 : 入出力ポートまたは KWUP のスタティック INT 入力

 KWUP<DPEx>=1 : KWUP のダイナミック INT 入力

となります。入出力ポートとして使用する場合は、該当する KWUP<DPEx>=0 に設定して下さい。

ポート E レジスタ

	7	6	5	4	3	2	1	0	
PE (0xFFFF_F053)	Bit Symbol	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0
	Read/Write	R/W							
	リセット後	入力モード (出力ラッチレジスタは "1" に Set)							

ポート E コントロールレジスタ

	7	6	5	4	3	2	1	0	
PECR (0xFFFF_F057)	Bit Symbol	PE7C	PE6C	PE5C	PE4C	PE3C	PE2C	PE1C	PE0C
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0: 入力 1: 出力							

ポート E ファンクションレジスタ

	7	6	5	4	3	2	1	0	
PEFC (0xFFFF_F05B)	Bit Symbol	PE7F	PE6F	PE5F	PE4F	PE3F	PE2F	PE1F	PE0F
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	0:PORT /KEY15 1:KEY15	0:PORT /KEY14 1:KEY14	0:PORT /KEY13 1:KEY13	0:PORT /KEY12 1:KEY12	0:PORT /KEY11 1:KEY11	0:PORT /KEY10 1:KEY10	0:PORT /KEY09 1:KEY09	0:PORT /KEY08 1:KEY08

ポート E プルアップ制御レジスタ

	7	6	5	4	3	2	1	0	
PEPE (0xFFFF_F05F)	Bit Symbol	PEE7	PEE6	PEE5	PEE4	PEE3	PEE2	PEE1	PEE0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up

(注) リセット解除後、ポート E は入力状態となります。
貫通電流の発生を回避するため中間電位を入力しないようにしてください。

7.16 ポート F(PF0~PF7)

ポート F はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ PFGR とファンクションレジスタ PFFC によって行います。リセット動作により出力ラッチ PF の全ビットは “1” にセットされ、また、PFGR と PFFC の全ビットは “0” にクリアされ、ポート F は入力モードになります。

入力ポート機能以外にキーオンウェイクアップ入力機能があり、PF0~PF3 に 32 ビットタイマキャプチャ入力機能、PF4~PF7 には 32 ビットタイマコンペア出力機能があります。

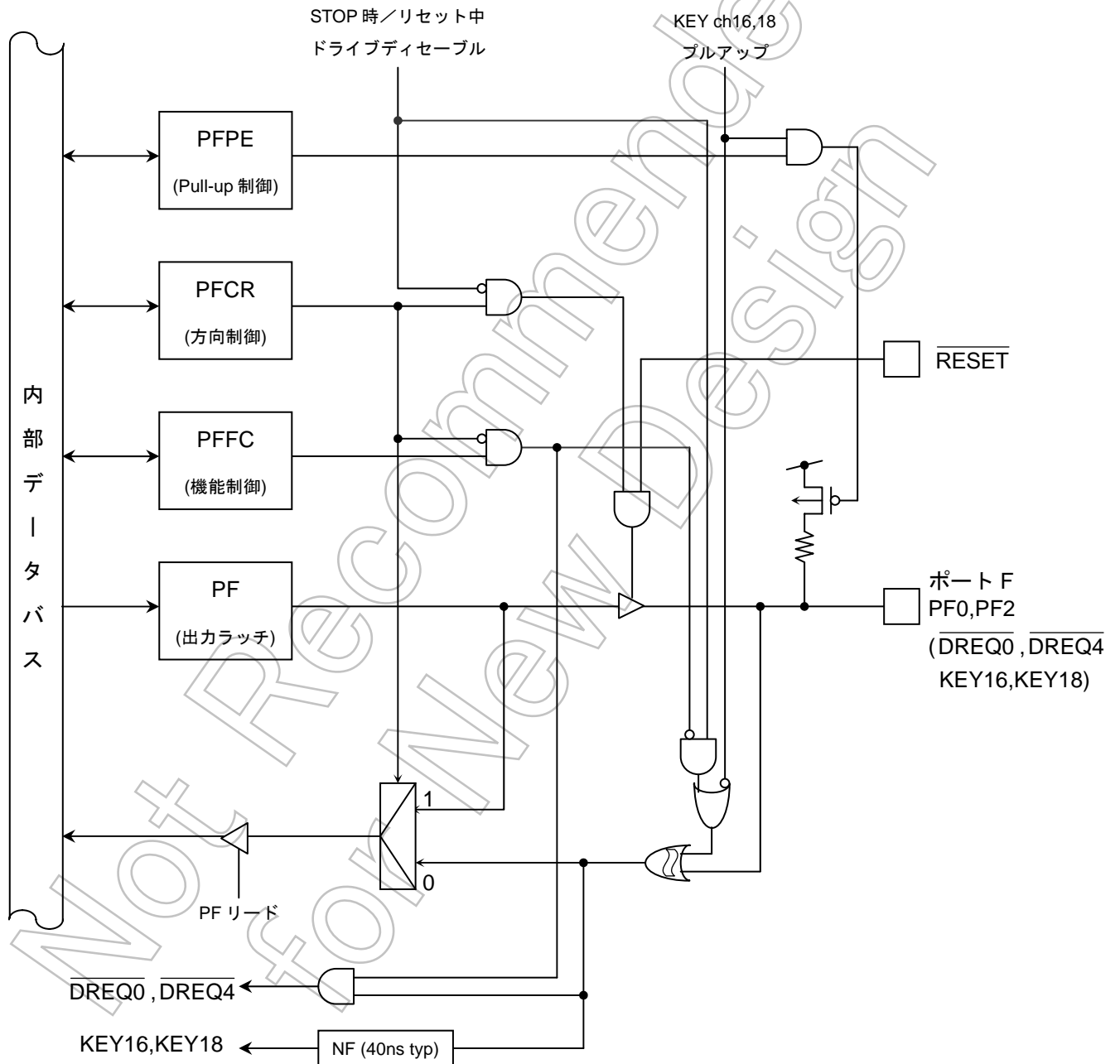


図 7-45ポート F(PF0, PF2)

・ PxFC = " 1" かつ PxCR = " 0" の場合、STOP モード時も DREQ/KEY 入力を受け付けます。

・ KWUPの該当chの設定との関係は、

KWUP<DPEx>=0 : 入出力ポートまたはKWUPのスタティック INT入力

KWUP<DPEx>=1 : KWUPのダイナミック INT入力

となります。入出力ポートとして使用する場合は、該当する KWUP<DPEx>=0 に設定して下さい。

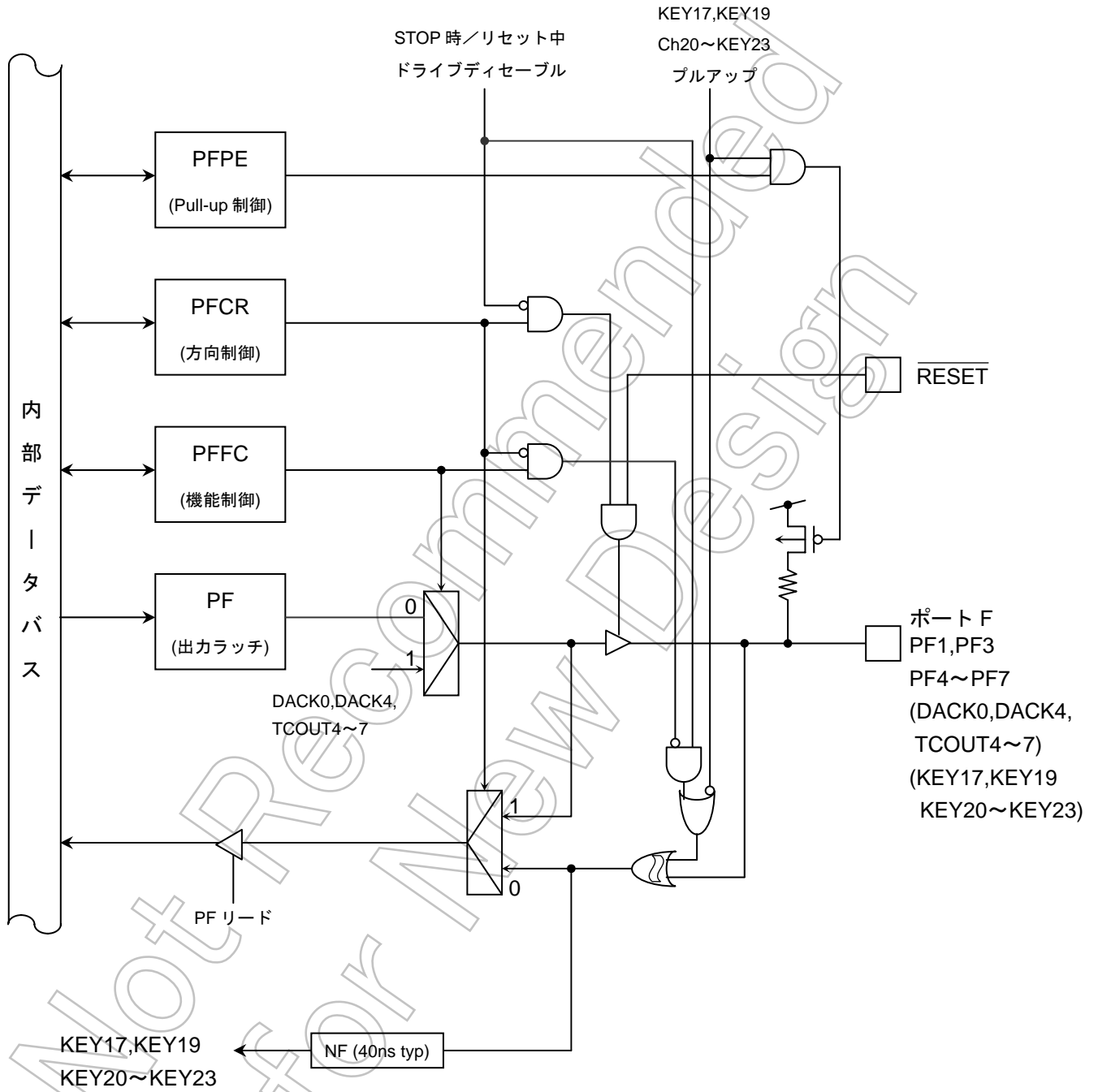


図 7-46ポート F(PF1,PF3,PF4~PF7)

- ・ PxFC = " 1" かつ PxCR = " 0" の場合、STOP モード時も KEY 入力を受け付けます。
- ・ KWUPの該当chの設定との関係は、
 - KWUP<DPEx>=0 : 入出力ポートまたはKWUPのスタティック INT入力
 - KWUP<DPEx>=1 : KWUPのダイナミック INT入力
 となります。入出力ポートとして使用する場合は、該当する KWUP<DPEx>=0 に設定して下さい。

ポート F レジスタ

	7	6	5	4	3	2	1	0
PF	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0
(0xFFFF_F060)	Read/Write R/W							
リセット後	入力モード (出力ラッチレジスタは“1”に Set)							

ポート F コントロールレジスタ

	7	6	5	4	3	2	1	0
PF0CR	PF7C	PF6C	PF5C	PF4C	PF3C	PF2C	PF1C	PF0C
(0xFFFF_F064)	Read/Write R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0: 入力 1: 出力							

ポート F ファンクションレジスタ

	7	6	5	4	3	2	1	0	
PF0FC	PF7F	PF6F	PF5F	PF4F	PF3F	PF2F	PF1F	PF0F	
(0xFFFF_F068)	Read/Write R/W								
リセット後	0	0	0	0	0	0	0	0	
機能	0:PORT /KEY23 1:TCOUT7 /KEY23	0:PORT /KEY22 1:TCOUT6 /KEY22	0:PORT /KEY21 1:TCOUT5 /KEY21	0:PORT /KEY20 1:TCOUT4 /KEY20	0:PORT /KEY19 1:DACK4 /KEY19	0:PORT /KEY18 1:DREQ4 /KEY18	0:PORT /KEY17 1:DACK0 /KEY17	0:PORT /KEY16 1:DREQ0 /KEY16	0:PORT /KEY16 1:DREQ0 /KEY16

ポート F プルアップ制御レジスタ

	7	6	5	4	3	2	1	0	
PF0PE	PEF7	PEF6	PEF5	PEF4	PEF3	PEF2	PEF1	PEF0	
(0xFFFF_F06C)	Read/Write R/W								
リセット後	0	0	0	0	0	0	0	0	
機能	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up

(注) リセット解除後、ポート F は入力状態となります。

貫通電流の発生を回避するため中間電位を入力しないようにしてください。

7.17 ポート G(PG0~PG7)

ポート G はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ PGCR とファンクションレジスタ PGFC によって行います。リセット動作により出力ラッチ PG の全ビットは “1” にセットされ、また、PGCR と PGFC の全ビットは “0” にクリアされ、ポート G は入力モードになります。

入力ポート機能以外にデバッグ用のデータトレース出力端子機能があります。デバッグレベルにより、レジスタ設定に依存せずデバッグ用に切り替わります。デバッグ時に DSU-ICE を使用する場合、ポート G は EJTAG 用信号を出力します。よって、ポート G を入出力ポートとして使用されないことを推奨します。

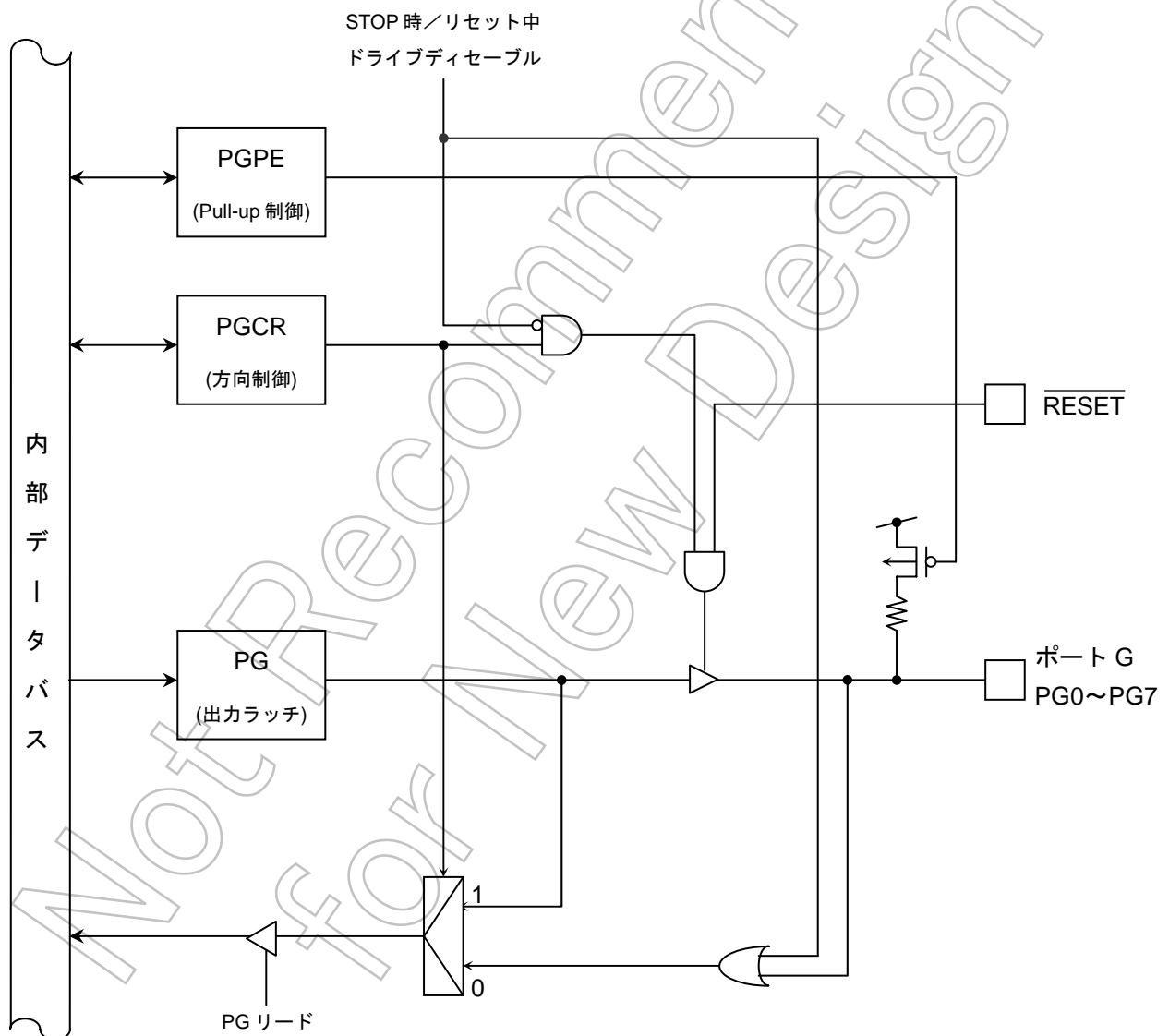


図 7-47 ポート G(PG0~PG7)

(注) 上記システム図はデバッグ機能に関しては表現していません。

ポート G レジスタ

	7	6	5	4	3	2	1	0
PG	PG7	PG6	PG5	PG4	PG3	PG2	PG1	PG0
(0xFFFF_F061)	R/W							
リセット後	入力モード (出力ラッチレジスタは“1”に Set)							

ポート G コントロールレジスタ

	7	6	5	4	3	2	1	0
PGCR	PG7C	PG6C	PG5C	PG4C	PG3C	PG2C	PG1C	PG0C
(0xFFFF_F065)	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0: 入力 1: 出力							

ポート G プルアップ制御レジスタ

	7	6	5	4	3	2	1	0
PGPE	PEG7	PEG6	PEG5	PEG4	PEG3	PEG2	PEG1	PEG0
(0xFFFF_F06D)	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	プルアップ 0: オフ 1: Pull-Up	プルアップ 0: オフ 1: Pull-Up	プルアップ 0: オフ 1: Pull-Up	プルアップ 0: オフ 1: Pull-Up	プルアップ 0: オフ 1: Pull-Up	プルアップ 0: オフ 1: Pull-Up	プルアップ 0: オフ 1: Pull-Up	プルアップ 0: オフ 1: Pull-Up

(注) リセット解除後、ポート G は入力状態となります。
貫通電流の発生を回避するため中間電位を入力しないようにしてください。

	レベル0	レベル1	レベル2		レベル3
PG Port	PORT	PORT	PGFC = 0	PORT	TPD
			PGFC = 1	TPD	
PH Port	PORT	TPC	PGFC = 0	TPD	TPC
			PGFC = 1	PORT	

表 7-4 デバッグレベルによる G,H port の端子状態

※ PGFC の設定は、EJTAG 使用時にツール上で設定致します。
PGFC は、全 bit “0” または全 bit “1” に設定して下さい (PGFC 0xFFFF_F069)

7.18 ポート H(PH0~PH7)

ポート H はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。入出力の指定は、コントロールレジスタ PHCR によって行います。リセット動作により出力ラッチ PH の全ビットは “1” にセットされ、PHCR の全ビットは “0” にクリアされ、ポート H は入力モードになります。

PORTH はポート以外に DSU の TPC/TPD 出力機能がありますが、PGFC と EJTAG レベルによって決まります。デバッグ時に DSU-ICE を使用する場合、ポート H は EJTAG 用信号を出力します。よって、ポート H を入出力ポートとして使用されないことを推奨します。

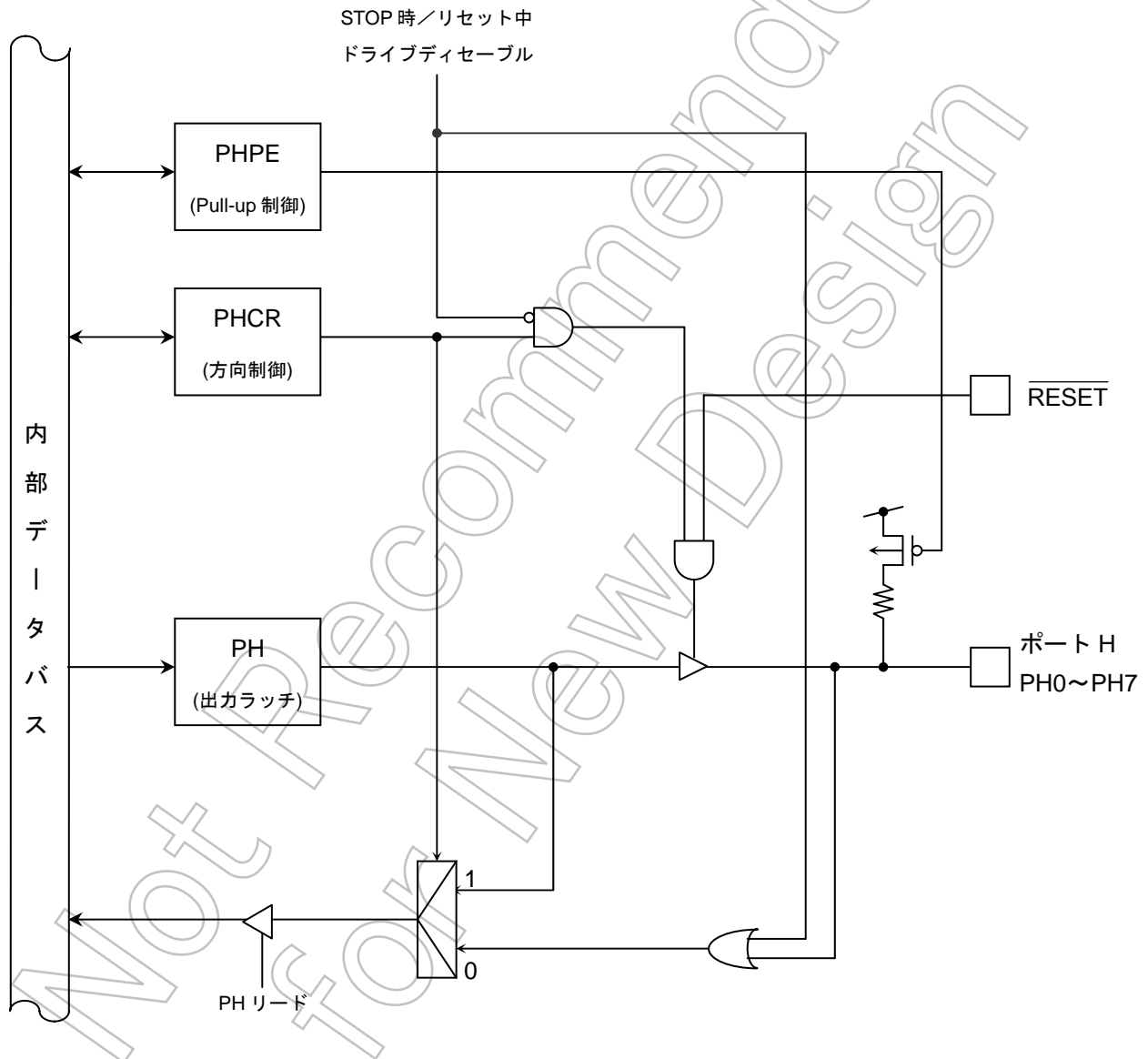


図 7-48 ポート H(PH0~PH7)

(注) 上記システム図はデバッグ機能に関しては表現していません。

	7	6	5	4	3	2	1	0
PH (0xFFFF_F062)	PH7	PH6	PH5	PH4	PH3	PH2	PH1	PH0
Read/Write	R/W							
リセット後	入力モード (出力ラッチレジスタは“1”に Set)							

ポートHコントロールレジスタ

	7	6	5	4	3	2	1	0
PHCR (0xFFFF_F066)	PH7C	PH6C	PH5C	PH4C	PH3C	PH2C	PH1C	PH0C
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	0: 入力 1: 出力							

ポートH プルアップ制御レジスタ

	7	6	5	4	3	2	1	0
PHPE (0xFFFF_F06E)	PEH7	PEH6	PEH5	PEH4	PEH3	PEH2	PEH1	PEH0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up	プルアップ 0:オフ 1:Pull-Up

(注) リセット解除後、ポートHは入力状態となります。
貫通電流の発生を回避するため中間電位を入力しないようにしてください。

8. 外部バスインタフェース

TMP19A43 は、外部にメモリや I/Oなどを接続するための外部バスインタフェース機能を内蔵しています。外部バスインタフェース回路 (EBIF) と CS (チップセレクト)/ウェイトコントローラがこれに相当します。

CS/ウェイトコントローラは、任意の 4 ブロックアドレス空間のマッピングアドレス指定と、この 4 ブロックアドレス空間およびそれ以外の外部アドレス空間に対して、ウェイトおよびデータバス幅 (8 ビットか 16 ビット) を制御します。

外部バスインタフェース回路 (EBIF) は、CS/ウェイトコントローラの設定にもとづき外部バスのタイミングを制御します。ダイナミックバスサイジングや外部バスマスタとの間のバス裁停も EBIF が制御します。

●外部バスモード

アドレス、データセパレートバスモードまたはマルチプレクスモードの選択が可能

●ウェイト機能

各ブロックにて設定可能

- 最大 7 クロックまでのウェイトを自動挿入可能
- $\overline{\text{WAIT}}/\overline{\text{RDY}}$ 端子によるウェイト挿入可能

●データバス幅

各ブロックにて 8 ビットか 16 ビットを設定可能

●リカバリサイクル (リード時/ライト時)

外部バスサイクルが連続するときに最大 2 クロックまでのダミーサイクルを挿入可能

各ブロックにて設定可能

●リカバリサイクル (チップセレクト)

外部バスをセレクトしているときに最大 1 クロックのダミーサイクルを挿入可能

各ブロックにて設定可能

●バス裁定機能

8.1 アドレス、データ端子

(1) アドレス、データ端子の設定

TMP19A43 はセパレートバスまたはマルチプレクスバスの設定が可能です。リセット時に BUSMD 端子（ポート P45）を”L” レベル（DVSS に接続）にすることでセパレートバスモードに、”H” レベル（DVCC3 に接続）にすることで、マルチプレクスバスモードになります。外部デバイス（メモリ）接続のためにポート 0、ポート 1、ポート 2、ポート 5、ポート 6 端子がアドレスバス、データバス、アドレス・データバスになります。バスモードとアドレス、データ端子の関係を表 8-1 に示します。

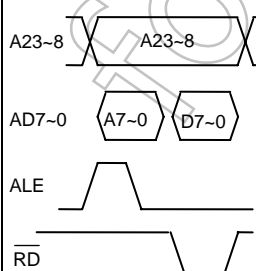
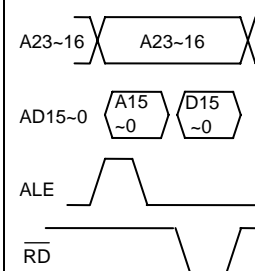
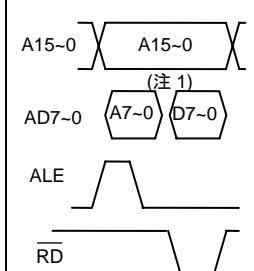
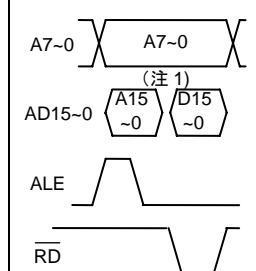
表 8-1 バスモードとアドレス、データ端子の関係

	セパレート BUSMD="L"	マルチプレクス BUSMD="H"
ポート0 (P00~P07)	D0~D7	AD0~AD7
ポート1 (P10~P17)	D8~D15	AD8~AD15/A8~A15
ポート2 (P20~P27)	A16~A23	A0~A7/A16~A23
ポート5 (P50~P57)	A0~A7	汎用ポート
ポート6 (P60~P67)	A8~A15	汎用ポート
ポート37 (P37)	汎用ポート	ALE

各ポートはリセット後、入力ポートとなっています。外部デバイスにアクセスする場合には、ポートコントロールレジスタ（PnCR）、ポートファンクションレジスタ（PnFC）によりアドレスバス、データバスの機能に設定してください。

マルチプレクスモード時には、ポートレジスタ（PnCR、PnFC）の設定により表 8-2 のように 4 通りの選択ができます。

表 8-2 マルチプレクスモード時のアドレス、データ端子の関係

		①	②	③	④
アドレスバス本数		max.24 (~16 MB)	max.24 (~16 MB)	max.16 (~64 KB)	max.8 (~256 B)
データバス本数		8	16	8	16
アドレス、データマルチプレクス本数		8	16	0	0
ポート機能	ポート 0	AD0~AD7	AD0~AD7	AD0~AD7	AD0~AD7
	ポート 1	A8~A15	AD8~AD15	A8~A15	AD8~AD15
	ポート 2	A16~A23	A16~A23	A0~A7	A0~A7
タイミング図					

(注 1): ③、④の場合でもデータバス端子はアドレスバスと兼用となるためアドレスが出力されます。

(注 2): ポート 0~2 はリセット後、入力ポートとなっておりアドレス、データバス端子ではありません。

(注 3): 外部メモリをアクセスする時はポート 0 は自動的にデータ、アドレス/データバス端子になります。

(注 4): P1CR、P1FC、P2CR、P2FC レジスタの設定により①~④のどれでも選択できます。

(2) 内部領域アクセス時のアドレス HOLD

内部領域アクセス時は、アドレスバスは以前の外部領域のアドレス出力を保持し変化しません。また、データバスはハイインピーダンスになります。

8.2 データ・フォーマット

TMP19A43 の内部レジスタと外部バスインタフェースとの関係を説明します。

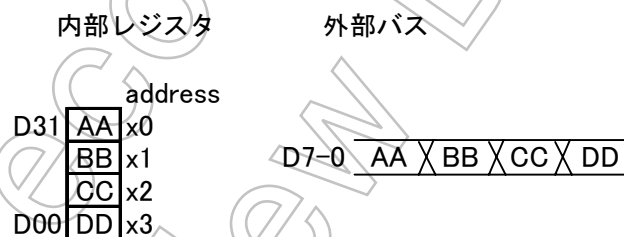
(1) ビッグエンディアンモード

① ワードアクセス

- 16 ビットバス幅の時

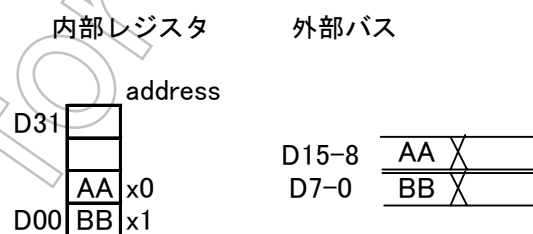


- 8 ビットバス幅の時



② ハーフワードアクセス

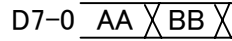
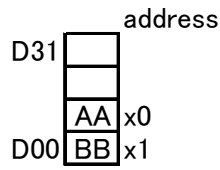
- 16 ビットバス幅の時



- 8ビットバス幅の時

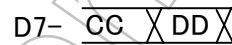
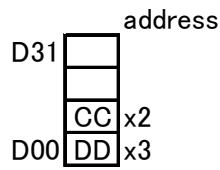
内部レジスタ

外部バス



内部レジスタ

外部バス

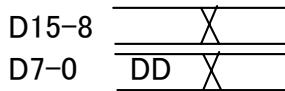
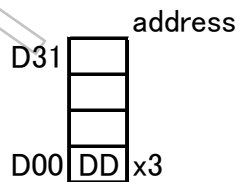
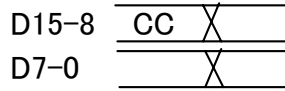
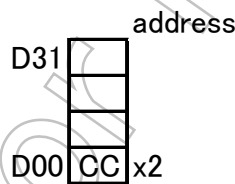
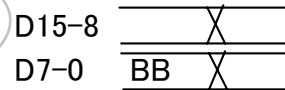
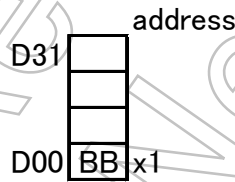
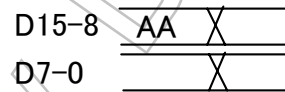
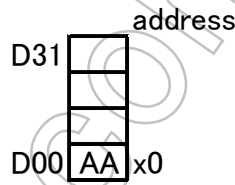


③ バイトアクセス

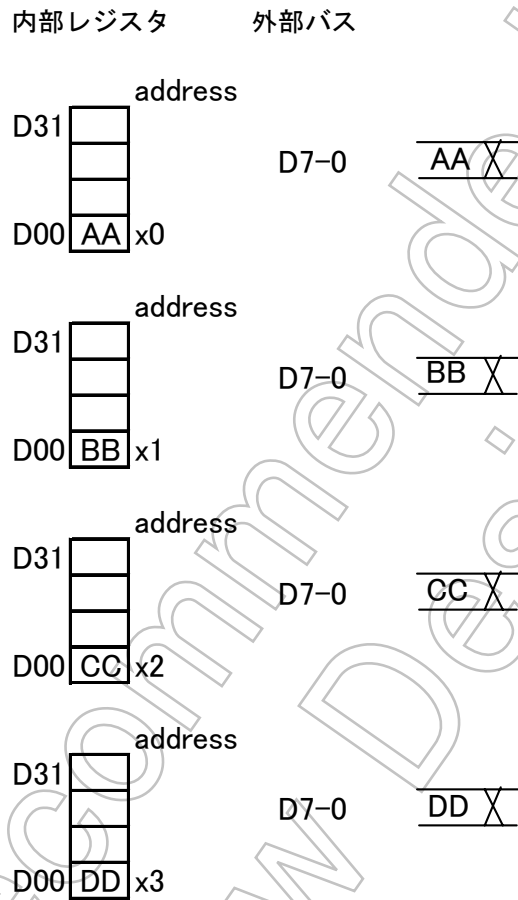
- 16ビットバス幅の時

内部レジスタ

外部バス



- 8ビットバス幅の時

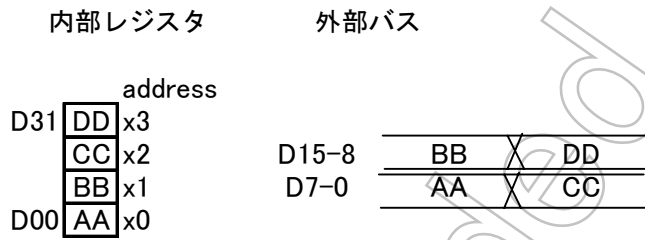


Not Recommended for New Design

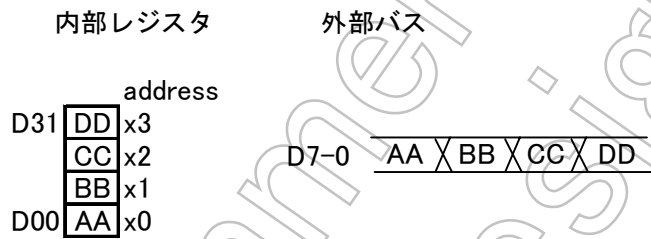
(2) リトルエンディアンモード

① ワードアクセス

- 16 ビットバス幅の時

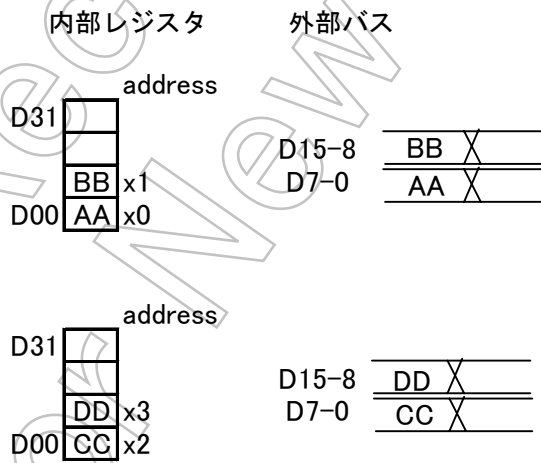


- 8 ビットバス幅の時



② ハーフワードアクセス

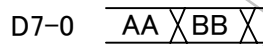
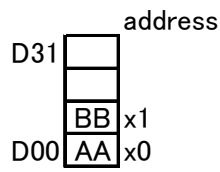
- 16 ビットバス幅の時



- 8ビットバス幅の時

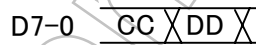
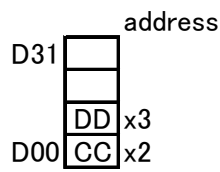
内部レジスタ

外部バス



内部レジスタ

外部バス

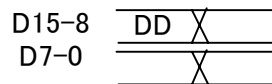
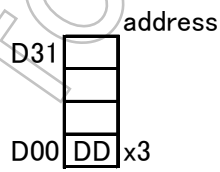
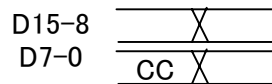
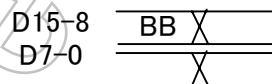
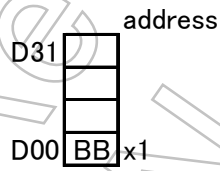


③ バイトアクセス

- 16ビットバス幅の時

内部レジスタ

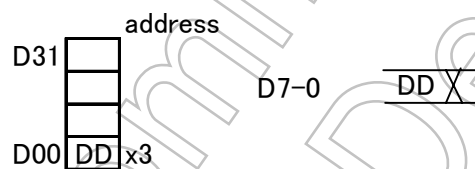
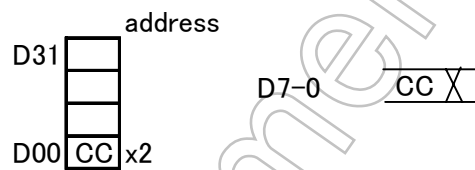
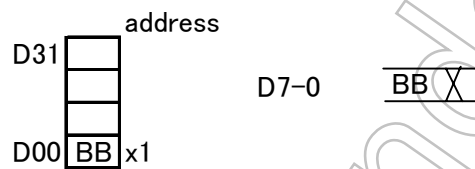
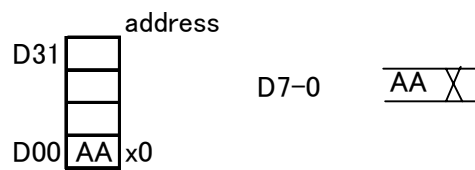
外部バス



- 8ビットバス幅の時

内部レジスタ

外部バス



Not Recommended for New Design

8.3 外部バスオペレーション（セパレートバスモード）

各種バスタイミングについて説明します。なおタイミング図はアドレスバス、データバスとして A23~A0, D15~D0 を設定したときのものを示しています。

(1) 基本バスオペレーション

TMP19A43 の外部バスサイクルは基本的に 3 クロックです。後述するようにウェイトを挿入することもできます。外部バスサイクルの基本クロックは内部のシステムクロックと同じです。

図 8-1 にリードバスタイミングを、図 8-2 にライトバスタイミングを示します。図のように内部アクセス時にはアドレスバスは変化しません。またデータバスはハイインピーダンスになり \overline{RD} 、 \overline{WR} などの制御信号もアクティブになりません。

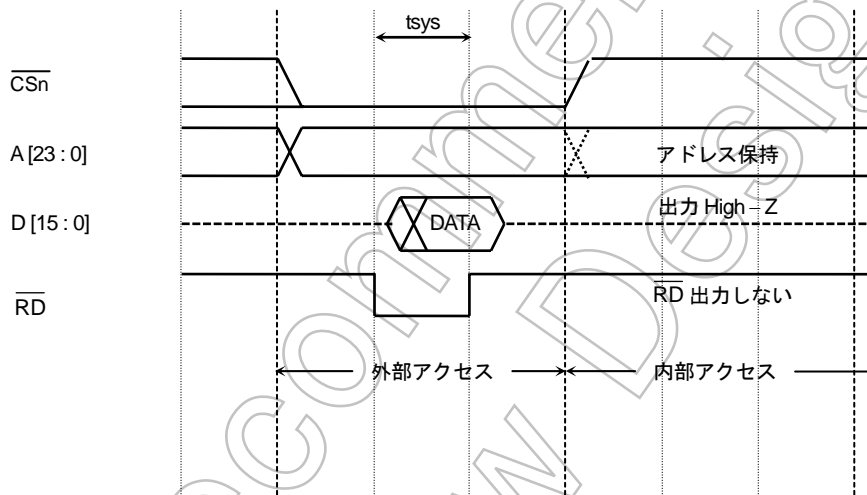


図 8-1 リードオペレーションタイミング図

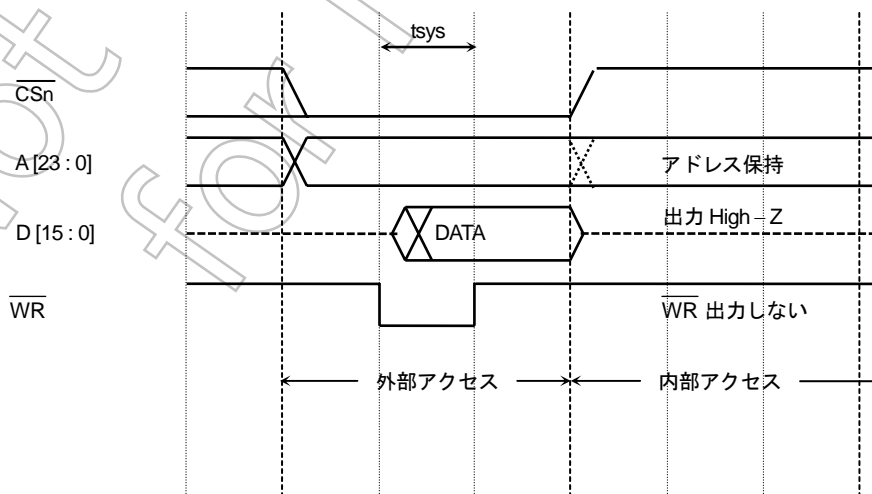


図 8-2 ライトオペレーションタイミング図

(2) ウェイトタイミング

CS/ウェイトコントローラによりブロックごとにウェイトサイクルを挿入することができます。挿入できるウェイトには次の3種類があります。

- ① 最大7クロックまでの自動ウェイト挿入
- ② $\overline{\text{WAIT}}$ 端子によるウェイト挿入
($2+2N$ 、 $3+2N$ 、 $4+2N$ 、 $5+2N$ 、 $6+2N$ 、 $7+2N$ $2N$: 外部ウェイト挿入数)
- ③ $\overline{\text{RDY}}$ 端子によるウェイト挿入
($2+2N$ 、 $3+2N$ 、 $4+2N$ 、 $5+2N$ 、 $6+2N$ 、 $7+2N$ $2N$: 外部ウェイト挿入数)

自動ウェイト数、外部ウェイト入力の設定はCS/ウェイトコントロールレジスタ $\text{BmnCS}\langle\text{BnW}\rangle$ で設定します。

図 8-3～図 8-10にウェイトを挿入したタイミング図を示します。

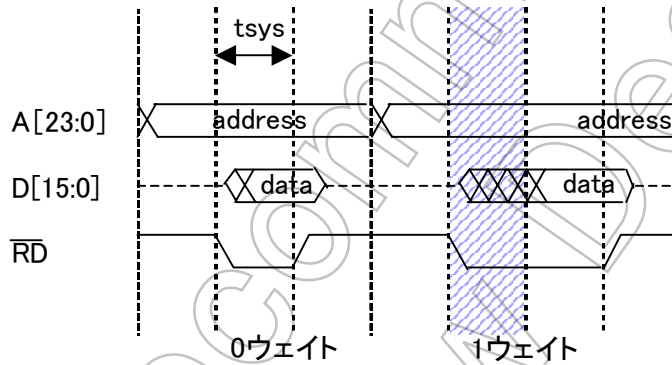


図 8-3 リードオペレーションタイミング図 (0 ウェイトおよび自動 1 ウェイト)

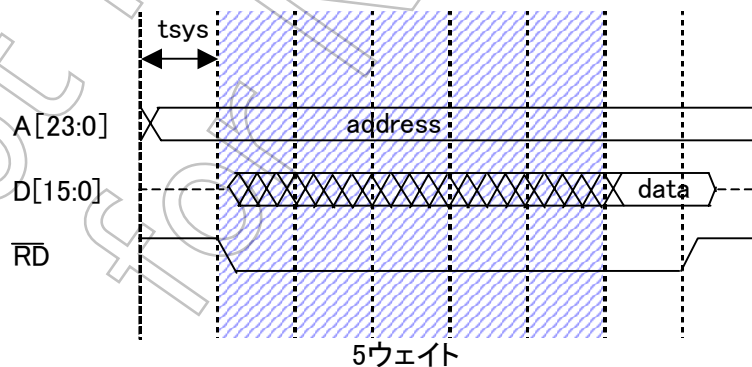


図 8-4 リードオペレーションタイミング図 (自動 5 ウェイト)

図 8-5にセパレートバス時の0ウェイト、自動ウェイト、自動ウェイト+外部ウェイトを挿入した場合のリードタイミングを示します。

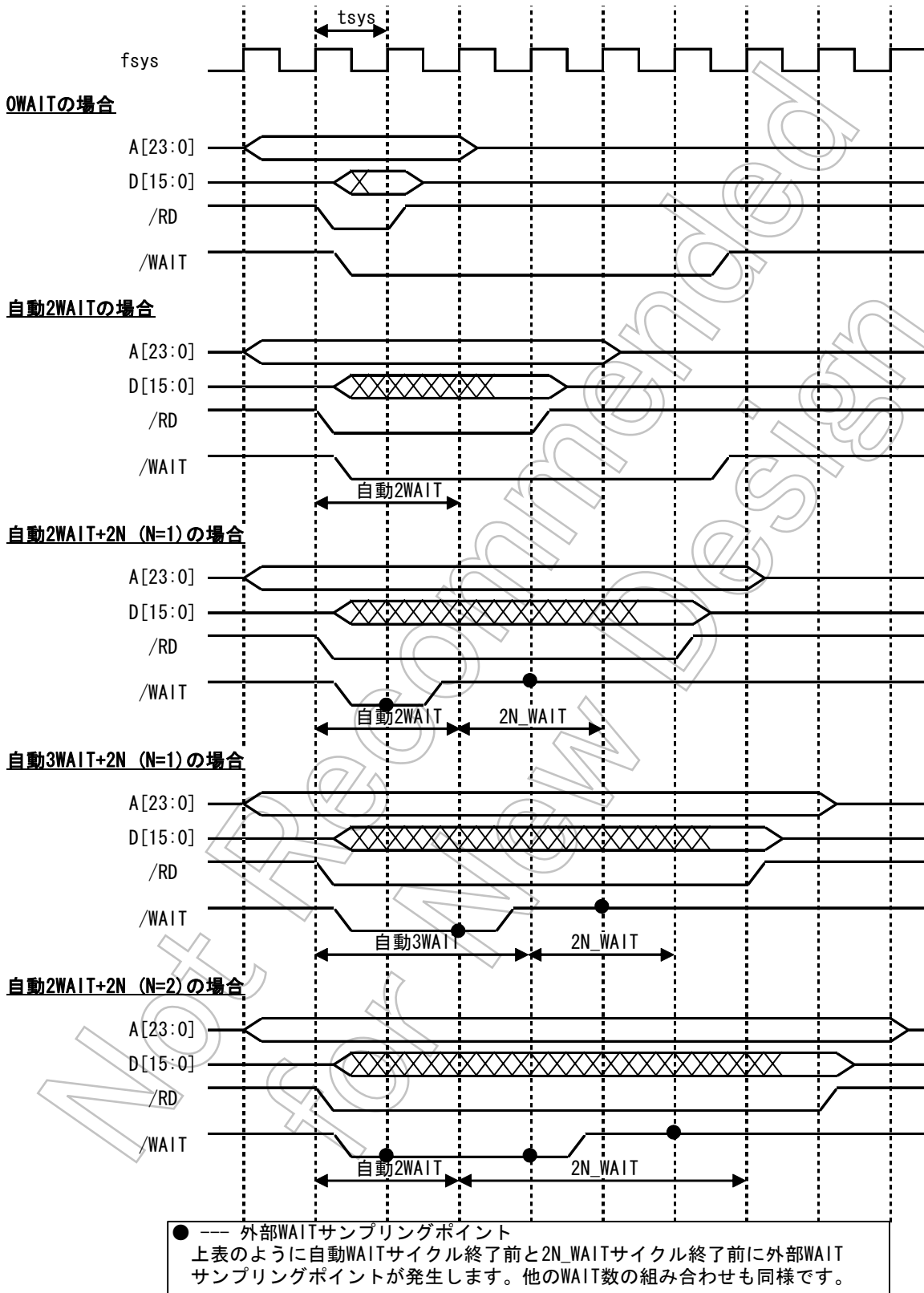


図 8-5 リードオペレーションタイミング図

図 8-6にセパレートバス時の0ウェイト、自動ウェイト、自動ウェイト+外部ウェイトを挿入した場合のライトタイミングを示します。

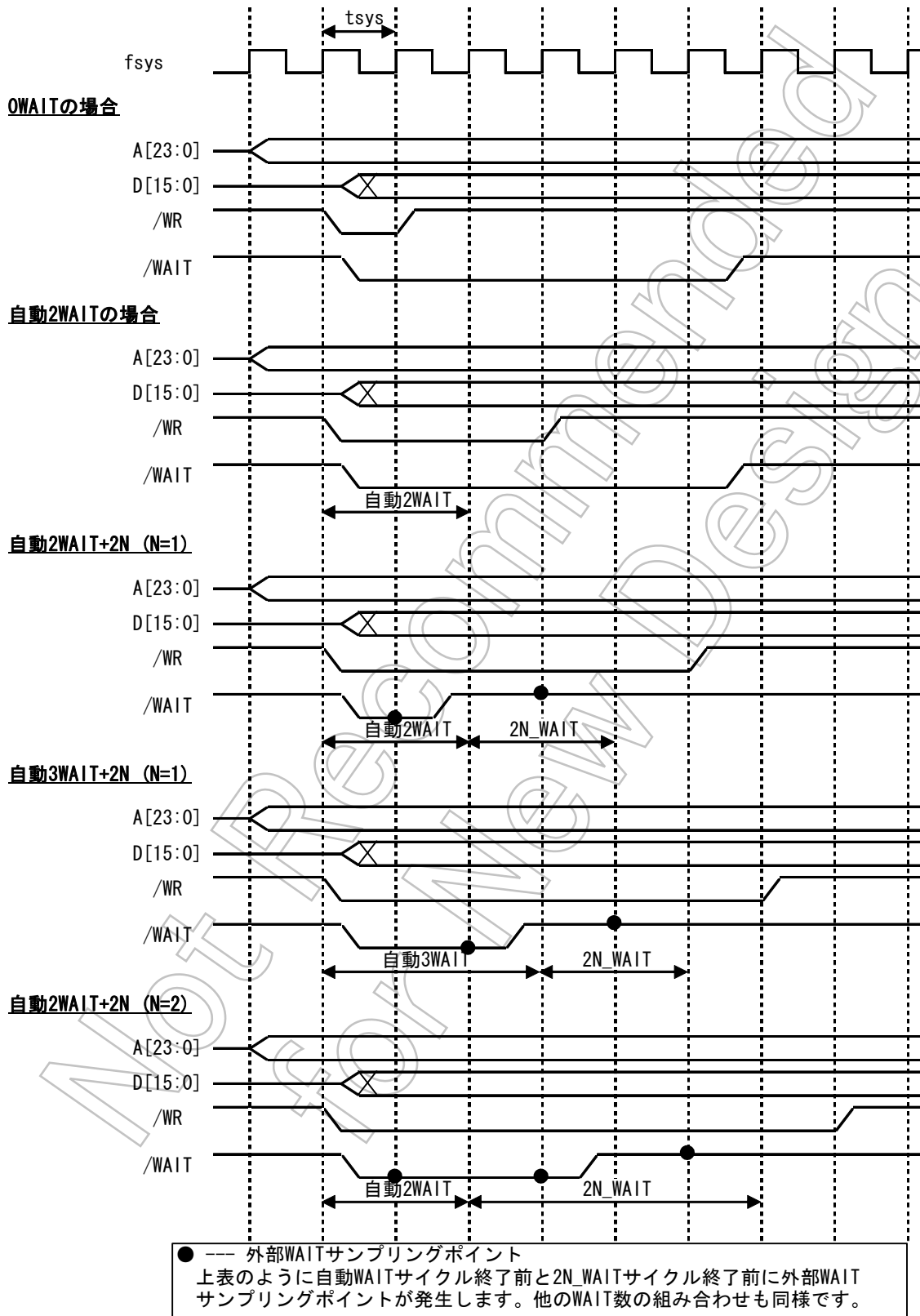


図 8-6 ライトオペレーションタイミング図

ポート3ファンクションレジスタ P3FGのビット3<P33F>を”1”にセットすることにより、 $\overline{\text{WAIT}}$ 入力端子 (P33) は $\overline{\text{RDY}}$ 入力端子としても機能します。

$\overline{\text{RDY}}$ 入力は $\overline{\text{WAIT}}$ 入力の論理的反転で外部バスインタフェース回路に入力されます。CS/ウェイトコントロールレジスタ BmnCS<BnW>でウェイト数の設定を行います。

図 8-7に $\overline{\text{RDY}}$ 入力とウェイト数の関係を示します。

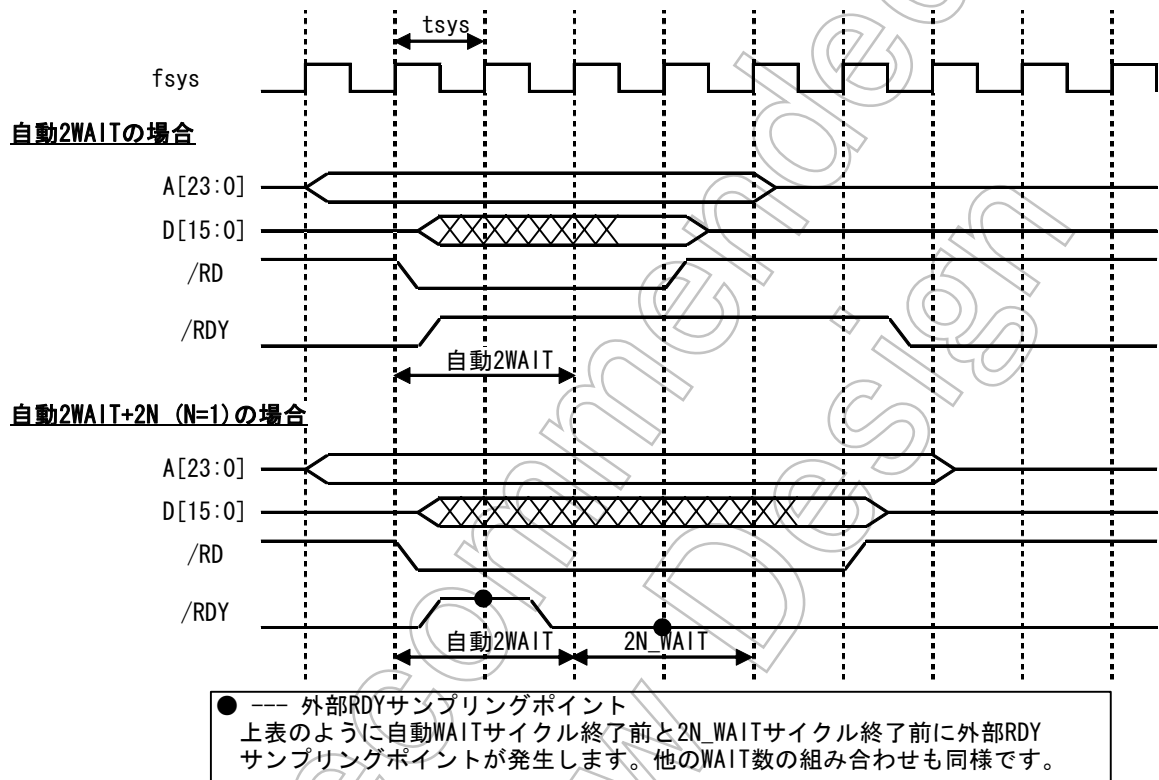


図 8-7 $\overline{\text{RDY}}$ 入力とウェイトオペレーションタイミング図

(3) ALE アサート時間

TMP19A43 の外部バスをマルチプレクスバスとして使用する時に ALE 幅（アサート時間）を設定できます。CG 部のシステムコントロールレジスタ SYSCR3 の<ALESEL>にて設定します。セパレートバスモードの場合には ALE は出力されませんが、SYSCR3<ALESEL>の値によりアドレス成立から \overline{RD} または \overline{WR} 信号のアサートされるまでの時間が変わります。リセット時は<ALESEL>="1" にセットされ、アドレス成立から 2 システムクロック（内部）後に \overline{RD} または \overline{WR} 信号がアサートされます。<ALESEL>を"0" にクリアすると、アドレス成立から 1 システムクロック（内部）後に前述信号はアサートされます。この設定は外部エリアのブロック毎には設定できず、外部アドレス空間で共通です。

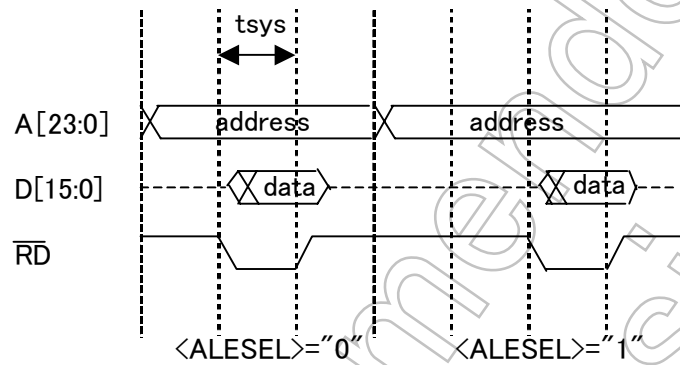


図 8-8 SYSCR3<ALESEL>設定値と外部バスオペレーション

(4) リードライトリカバリタイム

連続した外部領域アクセスが発生した場合に、リカバリタイムのためのダミーサイクルを挿入することができます。

リードサイクル、ライトサイクルいずれの場合にもダミーサイクルを挿入できます。ダミーサイクルの挿入については CS/ウェイトコントロールレジスタ BmnCS<BnWCV> (ライト・リカバリサイクル)、<BnRCV> (リード・リカバリサイクル) にて設定します。ダミーサイクル数は各ブロックごとに1システムクロック (内部) または2システムクロック (内部) を指定できます。図 8-9にリカバリタイム挿入時のタイミング図を示します。

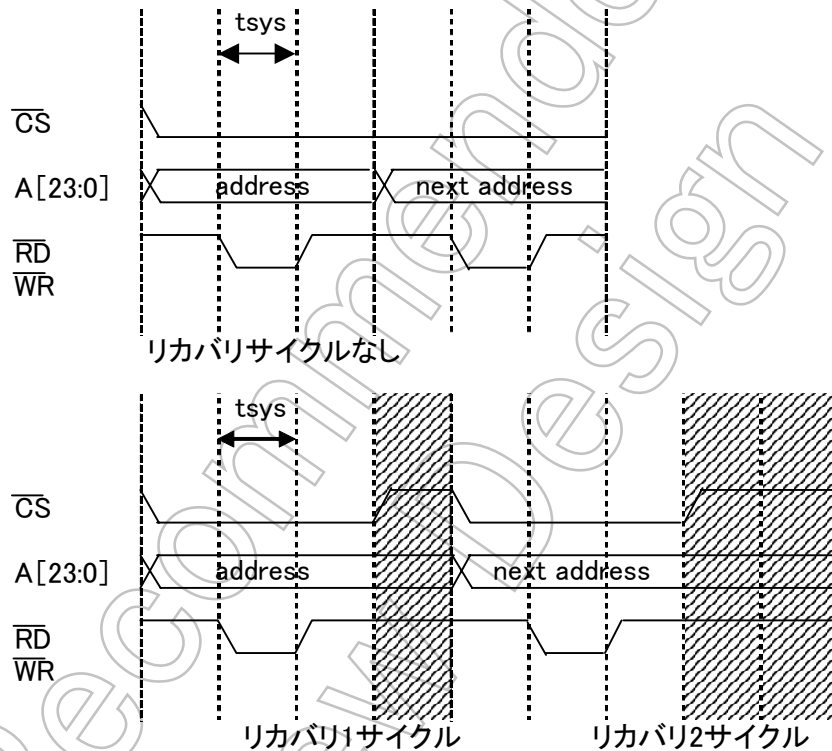


図 8-9 リカバリタイム挿入時のタイミング

(5) チップセレクトリカバリタイム

連続した外部領域アクセスが発生した場合に、リカバリタイム生成のためのダミーサイクルを挿入することができます。

ダミーサイクルの挿入についてはCS/ウェイトコントロールレジスタ BmnCS<BnCSCV>にて設定します。ダミーサイクル数はブロックごとに1システムクロック（内部）を指定することができます。図 8-10にリカバリタイム挿入時のタイミング図を示します。

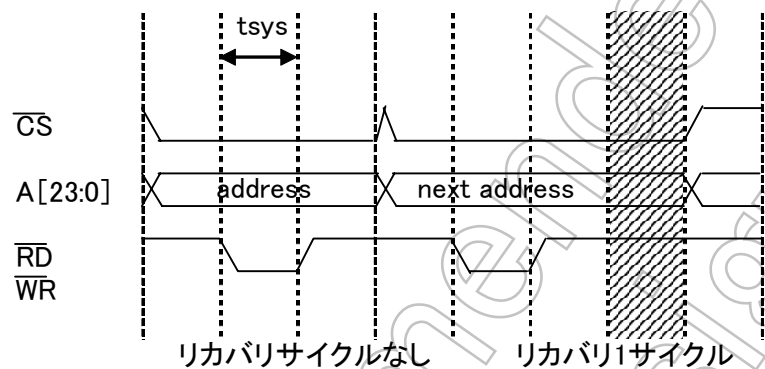


図 8-10リカバリタイム挿入時のタイミング

8.4 外部バスオペレーション（マルチプレクスバスモード）

各種バスタイミングについて説明します。なおタイミング図はアドレスバス、アドレス/データバスとして A23~A16, AD15~AD0 を設定したときのものを示しています。

(1) 基本バスオペレーション

TMP19A43 の外部バスサイクルは基本的に 3 クロックです。後述するようにウェイトを挿入することもできます。外部バスサイクルの基本クロックは内部のシステムクロックと同じです。

図 8-11 にリードバスタイミングを、図 8-12 にライトバスタイミングを示します。図のように内部アクセス時にはアドレスバスは変化せず、ALE もラッチパルスを出しません。またアドレス/データバスはハイインピーダンスになり \overline{RD} 、 \overline{WR} などの制御信号もアクティブになりません。

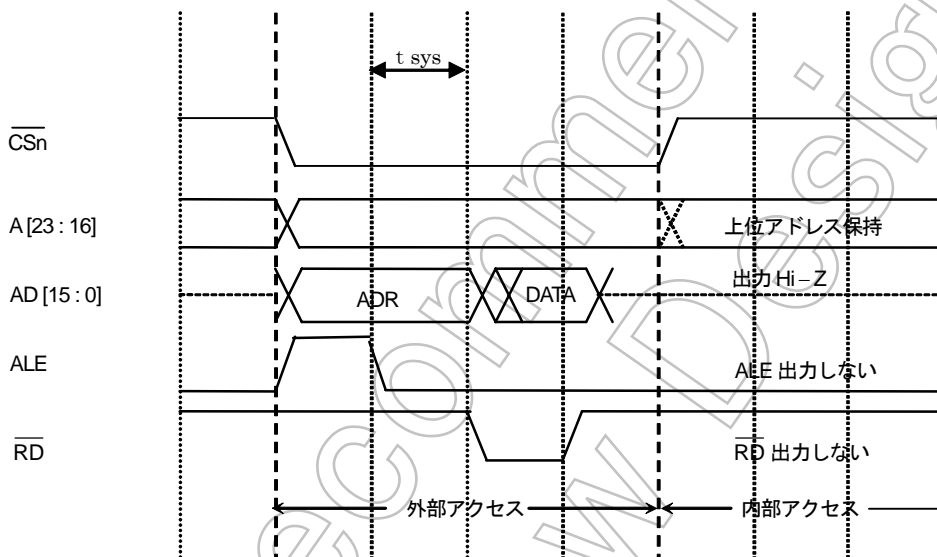


図 8-11 リードオペレーションタイミング図

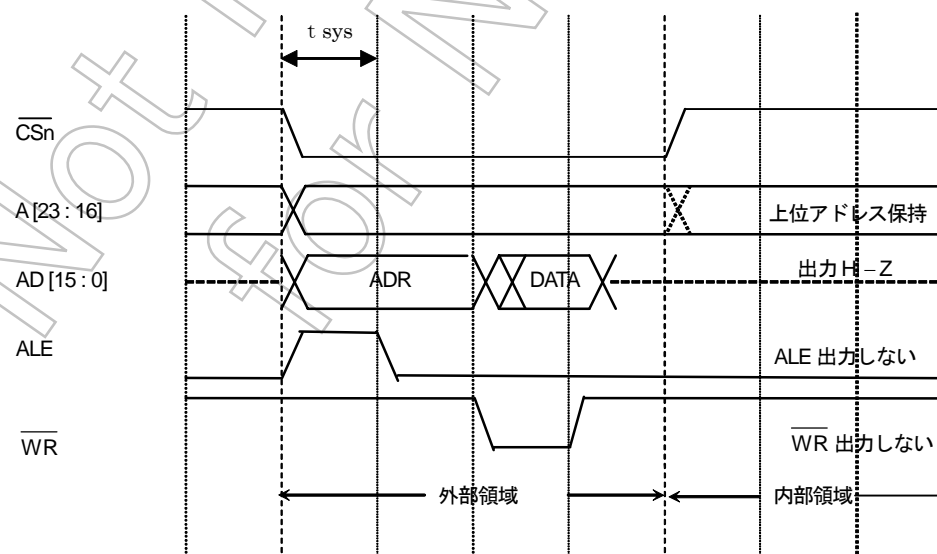


図 8-12 ライトオペレーションタイミング図

(2) ウェイトタイミング

CS/ウェイトコントローラによりブロックごとにウェイトサイクルを挿入することができます。挿入できるウェイトには次の3種類があります。

① 最大7クロックまでの自動ウェイト挿入

② $\overline{\text{WAIT}}$ 端子によるウェイト挿入

($2+2N$ 、 $3+2N$ 、 $4+2N$ 、 $5+2N$ 、 $6+2N$ 、 $7+2N$ 2N : 外部ウェイト挿入数)

③ $\overline{\text{RDY}}$ 端子によるウェイト挿入

($2+2N$ 、 $3+2N$ 、 $4+2N$ 、 $5+2N$ 、 $6+2N$ 、 $7+2N$ 2N : 外部ウェイト挿入数)

自動ウェイト数、外部ウェイト入力の設定はCS/ウェイトコントロールレジスタ $\text{BmnCS}\langle\text{BnW}\rangle$ で設定します。

Not Recommended
for New Design

図 8-13にマルチプレスクバス時の0ウェイト、自動ウェイト、自動ウェイト+外部ウェイトを挿入した場合のリードタイミングを示します。

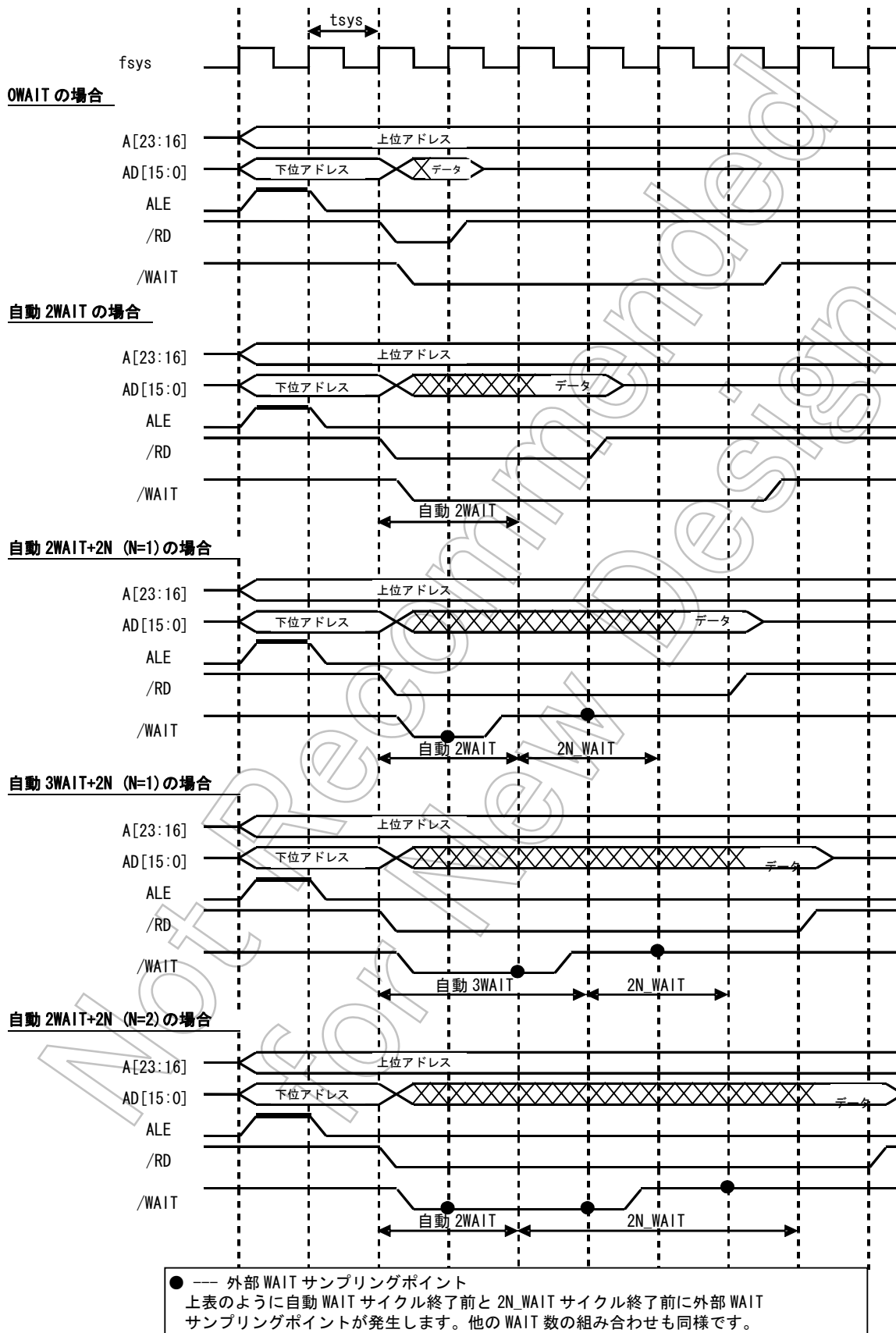


図 8-13 リードオペレーションタイミング図

図 8-14にマルチプレスクバス時の0ウェイト、自動ウェイト、自動ウェイト+外部ウェイトを挿入した場合のライトタイミングを示します。

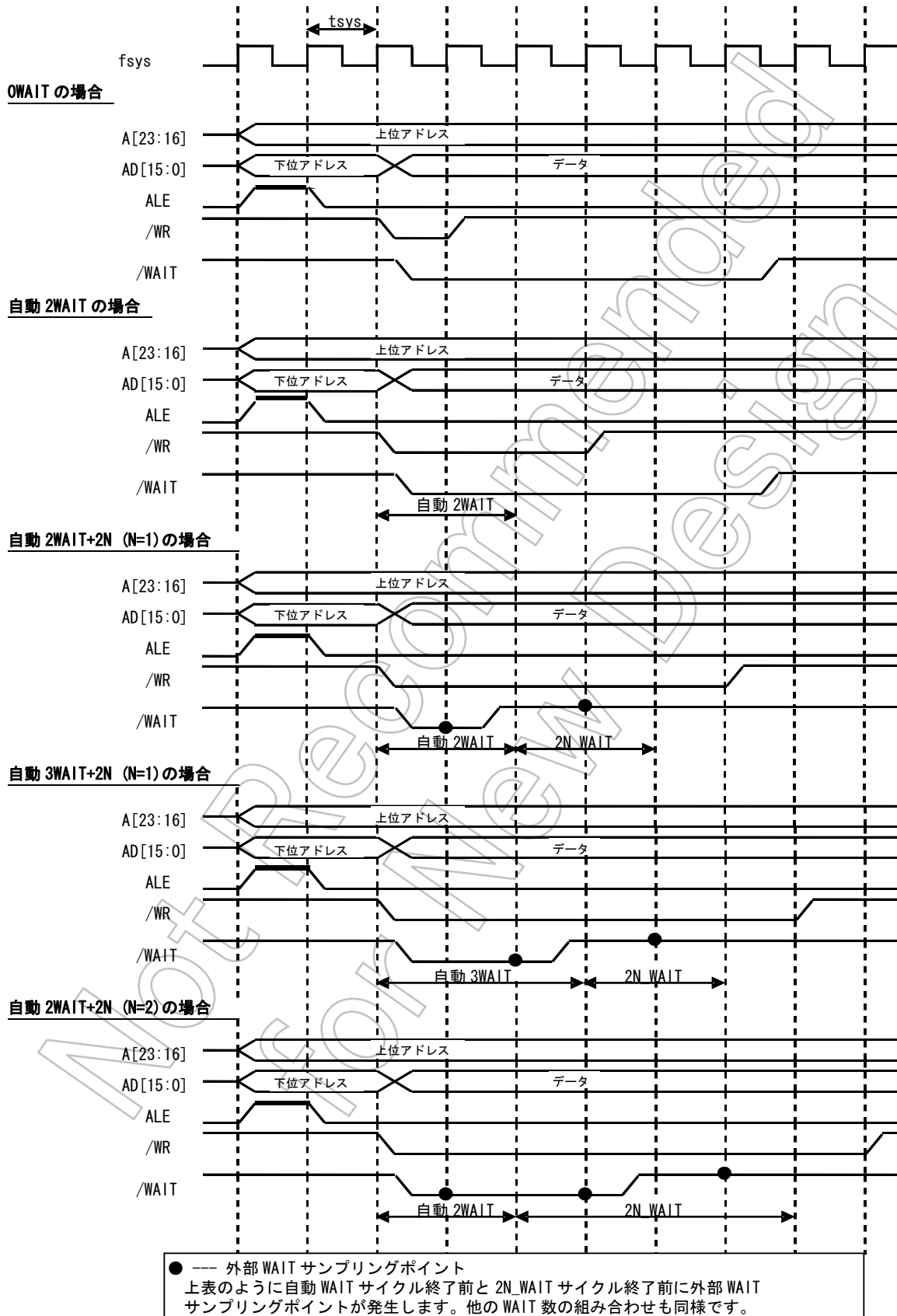


図 8-14 ライトオペレーションタイミング図

(3) ALE アサート時間

ALE アサート時間は、1 クロックと 2 クロックのどちらかを選択できます。設定用のビットはシステムクロック制御レジスタにあります。デフォルトは2クロックです。この設定は外部エリアのブロックごとには設定できず、外部アドレス空間で共通です。

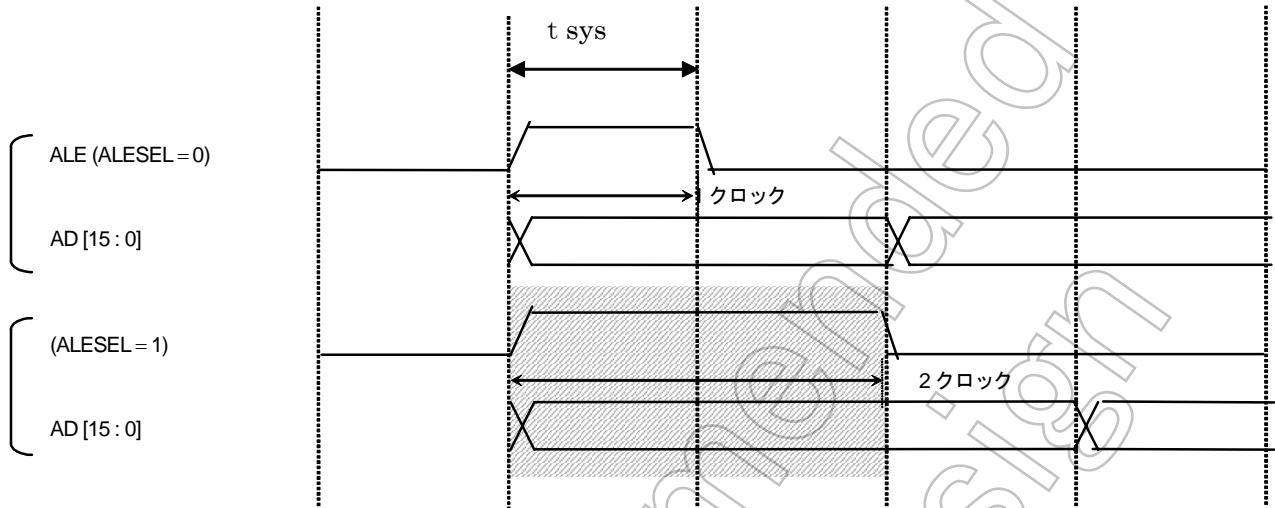


図 8-15 ALE のアサート時間

図 8-16 に ALE が 1 クロックのときと 2 クロックのときのタイミングを示します。

ALE 1クロック、2クロックの場合

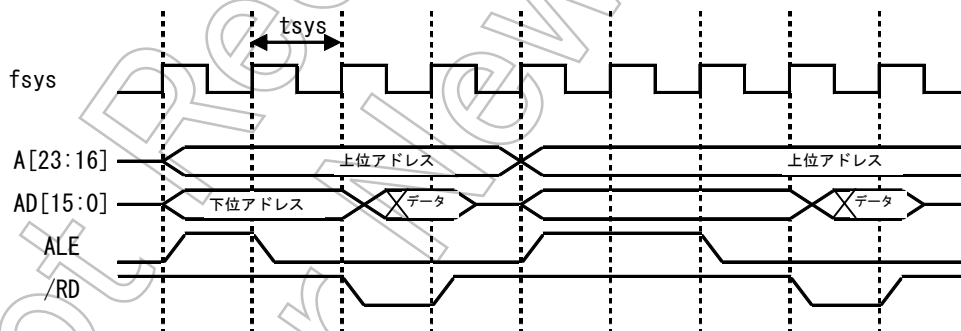


図 8-16 リードオペレーションタイミング図 (ALE 1クロックおよび2クロック)

(4) リード、ライトリカバリタイム

連続した外部領域アクセスが発生した場合に、リカバリタイム生成のためのダミーサイクルを挿入することができます。

リードサイクル、ライトサイクルいずれの場合にもダミーサイクルを挿入できます。ダミーサイクルの挿入については CS/ウェイトコントロールレジスタ BmnCS<BnWCV> (ライト・リカバリサイクル)、<BnRCV> (リード・リカバリサイクル) にて設定します。ダミーサイクル数はブロックごとに1システムクロック (内部) または2システムクロック (内部) を指定することができます。図 8-17 にリカバリタイム挿入時のタイミング図を示します。

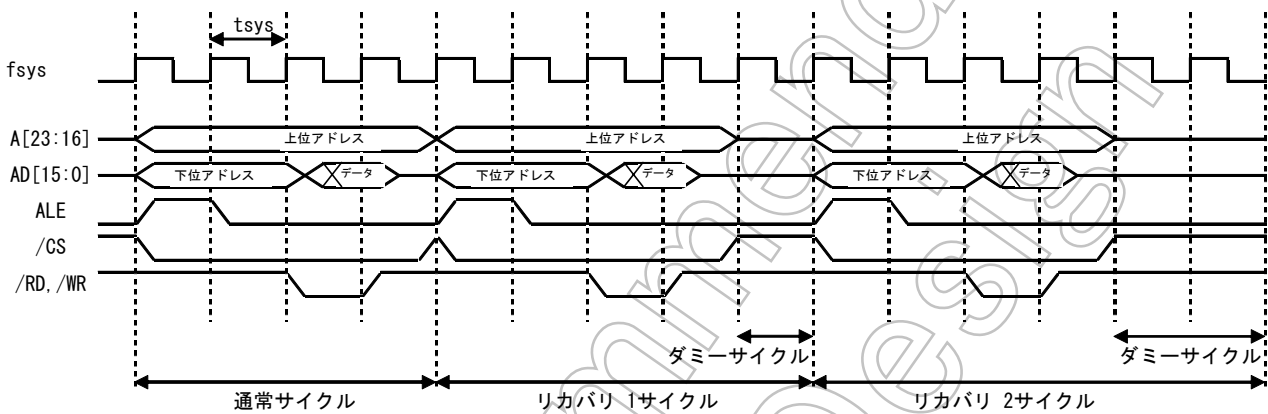
リード/ライトリカバリ挿入時 (ALE幅:1f_{sys}) の場合

図 8-17 リカバリタイム挿入時のタイミング

(5) チップセレクトリカバリタイム

連続した外部領域アクセスが発生した場合に、リカバリタイムのためのダミーサイクルを挿入することができます。

ダミーサイクルの挿入についてはCS/ウェイトコントロールレジスタ BmnCS<BnCSCV>にて設定します。ダミーサイクル数はブロックごとに1システムクロック（内部）を指定することができます。図 8-18 にリカバリタイム挿入時のタイミング図を示します。

CSリカバリ挿入時 (ALE幅:1fsys)の場合

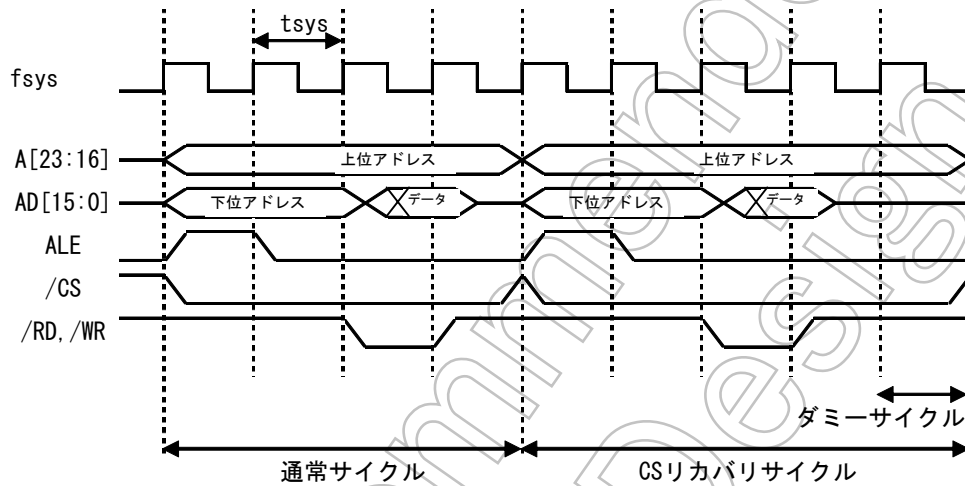


図 8-18 リカバリタイム挿入時のタイミング

8.5 バスアービトレーション

TMP19A43 は、外部にバスマスタを接続することができます。外部バスマスタとのバス制御権のアービトレーションは $\overline{\text{BUSRQ}}$ 、 $\overline{\text{BUSAK}}$ の 2 本の信号で行います。外部バスマスタが制御権を獲得できるバスは TMP19A43 の外部バスだけで、内部のバスは獲得できません。

(1) 外部バスマスタのアクセス範囲

外部バスマスタが制御権を獲得できるバスは TMP19A43 の外部バスだけで、内部のバス (G-BUS) は獲得できません。したがって外部バスマスタは、内蔵メモリおよび内蔵 I/O にアクセスすることはできません。この外部バスのバス権の調停は外部バスインタフェース回路 (EBIF) が行い、CPU や内蔵 DMAC は感知しません。外部バスマスタが外部のバス権を獲得しているときにも、CPU や内蔵 DMAC は内蔵の ROM、RAM やレジスタにはアクセスできません。他方、外部バスマスタが外部のバス権を獲得しているときに、CPU や内蔵 DMAC が外部のメモリにアクセスしようとする、外部バスマスタがバスを解放するまで、CPU や内蔵 DMAC のバスサイクルにウェイトがかかります。このため $\overline{\text{BUSRQ}}$ をアクティブにしたままにすると、TMP19A43 がロックする可能性があります。

(2) バス制御権の獲得

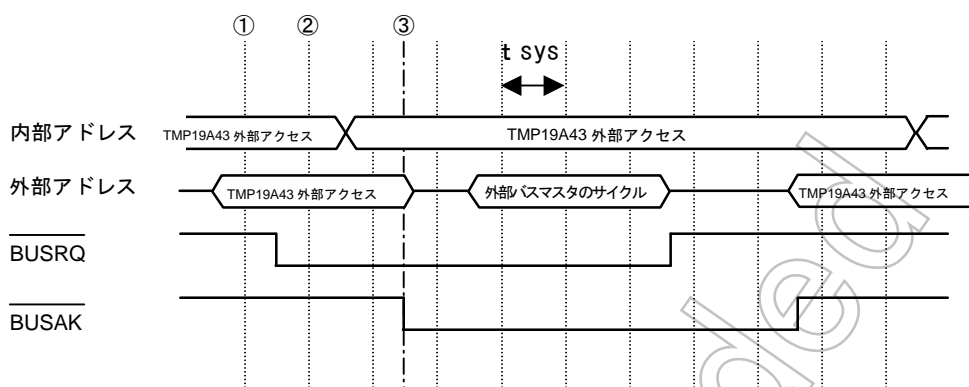
外部バスマスタは、 $\overline{\text{BUSRQ}}$ 信号をアサートすることで、TMP19A43 に対してバス制御権を要求します。TMP19A43 は、内部のバス (G-BUS) 上での外部バスサイクルの切れ目で $\overline{\text{BUSRQ}}$ 信号をサンプリングして、外部バスマスタにバス制御権を与えるかどうか判断します。バス制御権を外部バスマスタに与えるときは $\overline{\text{BUSAK}}$ 信号をアサートします。また同時にアドレスバス、データバスおよびバス制御信号 ($\overline{\text{RD}}$ 、 $\overline{\text{WR}}$) をハイインピーダンス状態にします ($\overline{\text{R/W}}$ 、 $\overline{\text{HWR}}$ 、 $\overline{\text{CSx}}$ は内蔵 Pull-up イネーブルの状態になります)。

ロード、ストアのデータサイズと外部メモリのバス幅の関係で、1 回のデータ転送に対して複数回のバスサイクルが発生することがあります (バスサイジング)。このときは最後のバスサイクルの終了時点が外部バスサイクルの切れ目になります。

TMP19A43 では、外部アクセスが連続した場合にダミーサイクルを挿入することができます。この場合にもバス要求が受け付けられるのは、内部バス (G-BUS) 上での外部バスサイクルの切れ目です。ダミーサイクル中にはすでに次の外部バスサイクルが内部バス上では起動されていますので、ダミーサイクル中に $\overline{\text{BUSRQ}}$ 信号がアサートされてもバスが解放されるのは次の外部バスサイクルが終了したときになります。

$\overline{\text{BUSRQ}}$ 信号は、バス制御権を解放するまでアサートし続けてください。

外部バスマスタによるバス制御権の獲得タイミングを図 8-1 に示します。



- ① $\overline{\text{BUSRQ}}$ が “H” レベルです。
- ② TMP19A43 は、 $\overline{\text{BUSRQ}}$ が “L” レベルであることを認識してバスサイクル終了時にバスを解放します。
- ③ TMP19A43 はバスの終了にともない $\overline{\text{BUSAK}}$ をアサートします。外部バスマスタは、 $\overline{\text{BUSAK}}$ が “L” レベルであることを認識してバス制御権を獲得し、バスオペレーションを開始します。

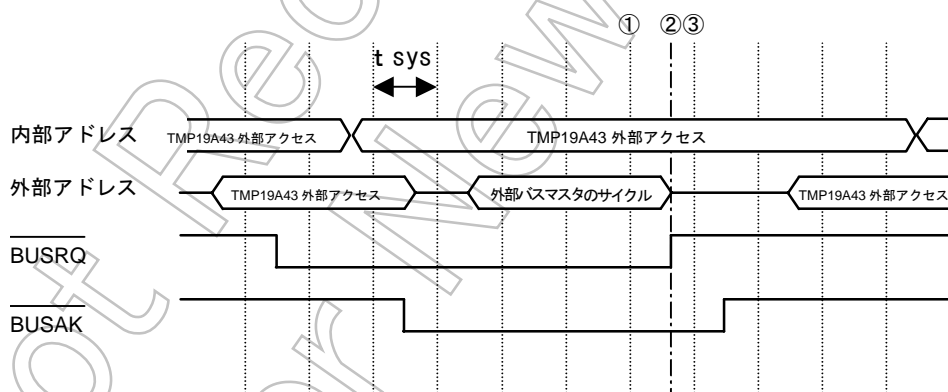
図 8-19 バス制御権の獲得タイミング

(3) バス制御権の解放

外部バスマスタがバス制御権を解放するのは、バス制御権が不要になった場合です。

外部バスマスタは、獲得していたバス制御権が不要になると、 $\overline{\text{BUSRQ}}$ 信号をデアサートしてバス制御権を TMP19A43 に返します。

バス制御不要による解放のタイミングを図 8-20 に示します。



- ① 外部バスマスタがバス制御権を持っています。
- ② 外部バスマスタはバス制御権が不要になったので、 $\overline{\text{BUSRQ}}$ をデアサートします。
- ③ TMP19A43 は、 $\overline{\text{BUSRQ}}$ が “H” レベルであることを認識して、 $\overline{\text{BUSAK}}$ をデアサートします。

図 8-20 バス制御権の解放タイミング

9. チップセレクト/ウェイトコントローラ

TMP19A43 は、外部デバイス（I/O デバイス、ROM、および、SRAM）に接続することができます。

TMP19A43 は、任意の 4 ブロックのアドレス空間（CS0～3 空間）を設定し、各アドレス空間とそれ以外のアドレス空間に対して、データバス幅、ウェイト数、ダミーサイクル数を指定することができます。

$\overline{CS0} \sim \overline{CS3}$ （P40～P43 と兼用）は、CS0～CS3 空間に対応した出力端子です。この端子は、CPU 動作により CS0～CS3 空間を選択するアドレスが指定されると、各空間に対してチップセレクト信号（ROM/SRAM 用）を出力します。ただし、チップセレクト信号を出力するためには、ポート 4 コントロールレジスタ（P4CR）とポート 4 ファンクションレジスタ（P4FC）による設定が必要です。

CS0～CS3 空間の指定は、ベース/マスクアドレス設定レジスタ（BMA0～BMA3）にてベースアドレス（BAn, n=0～3）とマスクアドレス（MA_n, n=0～3）の組み合わせにより行います。

各アドレス空間に対するマスタイネーブル、データバス幅、ウェイト数、ダミーサイクル数は、チップセレクト/ウェイトコントロールレジスタ（B01CS、B23CS、BEXCS）で指定します。

また、これらの状態を制御する入力端子として、バスウェイト要求端子（ \overline{WAIT}/RDY ）があります。

9.1 アドレス空間指定

CS0～CS3 空間の指定は、ベース/マスクアドレス設定レジスタ（BMA0～BMA3）により行います。

バスサイクルごとに、バス上のアドレスを CS0～CS3 空間で指定された領域のアドレスであるかどうか比較します。比較した結果が一致していると、指定された CS 空間がアクセスされたと判断して $\overline{CS0} \sim \overline{CS3}$ 端子からチップセレクト信号を出力し、チップセレクト/ウェイトコントロールレジスタ（B01CS、B23CS）で設定した動作を実行します（「9.2 チップセレクト/ウェイトコントローラ」を参照してください）。

9.1.1 ベース/マスクアドレス設定レジスタ

図 9-1,

図 9-2に、ベース/マスクアドレス設定レジスタを示します。ベースアドレス（BA0～BA3）には、CS0～CS3 空間のスタートアドレスを設定します。チップセレクト/ウェイトコントローラは、バスサイクルごとに、このレジスタの値と、アドレスとを比較します。このとき、マスクアドレス（MA0～MA3）でマスクされているアドレスビットはアドレスの比較対象にはなりません。マスクアドレスの設定によって、アドレス空間のサイズが決まります。

(1) ベースアドレス

ベースアドレス BAn には、スタートアドレスの上位 16 ビット（A31～A16）を設定します。また、スタートアドレスの下位 16 ビット（A15～A0）には、常に“0”が設定されています。したがって、スタートアドレスは、0x0000_0000H から 64 K バイトごとの値になります。

図 9-3にスタートアドレスと BAn の値の関係を示します。

(2) マスクアドレス

マスクアドレス（MA_n）は、アドレスのどのビットの値を比較するか、しないかを設定します。アドレスマスク MA_nに“0”をライトしたビットに対応するバス上のアドレスが、CS0～CS3 空間の領域かどうかの比較対象となり、“1”をライトしたビットは比較の非対称になります。

CS0～CS3 空間は、それぞれ MA0～MA3 によってマスクできるアドレスビットが異なります。

CS0 空間、CS1 空間: A29 ~ A14

CS2 空間、CS3 空間: A30 ~ A15

(注) アドレス設定は物理アドレスを設定してください。

ベース/マスクアドレス設定レジスタ BMA0 (0xFFFF_E400)~BMA3 (0xFFFF_E40C)

BMA0 (0xFFFF_E400)		7	6	5	4	3	2	1	0
	bit Symbol	MA0							
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
	機能	CS0 空間サイズ設定 0:アドレス比較対照							
		15	14	13	12	11	10	9	8
	bit Symbol	MA0							
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	1	1
	機能	かならず“0”をライトしてください						CS0 空間サイズ設定 0: アドレス比較対照	
	23	22	21	20	19	18	17	16	
bit Symbol	BA0								
Read/Write	R/W								
リセット後	0	0	0	0	0	0	0	0	
機能	スタートアドレス A23~A16 設定								
	31	30	29	28	27	26	25	24	
bit Symbol	BA0								
Read/Write	R/W								
リセット後	0	0	0	0	0	0	0	0	
機能	スタートアドレス A31~A24 設定								
BMA1 (0xFFFF_E404)		7	6	5	4	3	2	1	0
	bit Symbol	MA1							
	Read/Write	R/W							
	リセット後	1	1	1	1	1	1	1	1
	機能	CS1 空間サイズ設定 0: アドレス比較対照							
		15	14	13	12	11	10	9	8
	bit Symbol	MA1							
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	1	1
	機能	かならず“0”をライトしてください						CS1 空間サイズ設定 0: アドレス比較対照	
	23	22	21	20	19	18	17	16	
bit Symbol	BA1								
Read/Write	R/W								
リセット後	0	0	0	0	0	0	0	0	
機能	スタートアドレス A23~A16 設定								
	31	30	29	28	27	26	25	24	
bit Symbol	BA1								
Read/Write	R/W								
リセット後	0	0	0	0	0	0	0	0	
機能	スタートアドレス A31~A24 設定								

(注) BMA0、BMA1 のビット 10~15 にはかならず“0”をライトしてください。
 CS0、CS1 空間は最小 16 KB エリアから、最大 1 GB エリアまで設定可能ですが、TMP19A43 では外部アドレス空間は 16 MB なので A24~A29 のアドレスをマスクしないためビット 10~15 を“0”に設定します。

図 9-1 ベースアドレス/マスクアドレス設定レジスタ (BMA0, BMA1)

BMA2
(0xFFFF_E408)

	7	6	5	4	3	2	1	0
bit Symbol	MA2							
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1
機能	CS2 空間サイズ設定 0:アドレス比較対照							
	15	14	13	12	11	10	9	8
bit Symbol	MA2							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	1
機能	かならず“0”をライトしてください							CS2 空間サイズ設定 0:アドレス 比較対照
	23	22	21	20	19	18	17	16
bit Symbol	BA2							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	スタートアドレス A23~A16 設定							
	31	30	29	28	27	26	25	24
bit Symbol	BA2							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	スタートアドレス A31~A24 設定							

BMA3
(0xFFFF_E40C)

	7	6	5	4	3	2	1	0
bit Symbol	MA3							
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1
機能	CS3 空間サイズ設定 0: アドレス比較対照							
	15	14	13	12	11	10	9	8
bit Symbol	MA3							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	1
機能	かならず“0”をライトしてください							CS3 空間サイズ設定 0:アドレス 比較対照
	23	22	21	20	19	18	17	16
bit Symbol	BA3							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	スタートアドレス A23~A16 設定							
	31	30	29	28	27	26	25	24
bit Symbol	BA3							
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	スタートアドレス A31~A24 設定							

(注) BMA2、BMA3 のビット 9~15 にはかならず“0”をライトしてください。
CS2、CS3 空間は最小 32 KB エリアから、最大 2 GB エリアまで設定可能ですが、TMP19A43 では外部アドレス空間は 16 MB なので A24~A30 のアドレスをマスクしないためビット 9~15 を“0”に設定します。

図 9-2 ベースアドレス/マスクアドレス設定レジスタ (BMA2, BMA3)

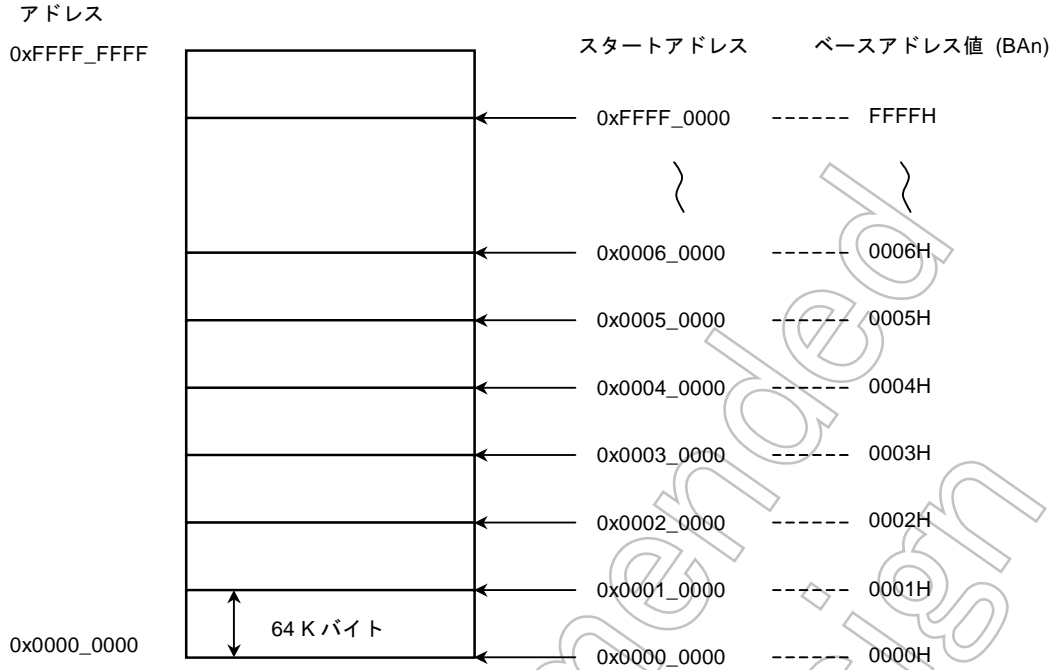
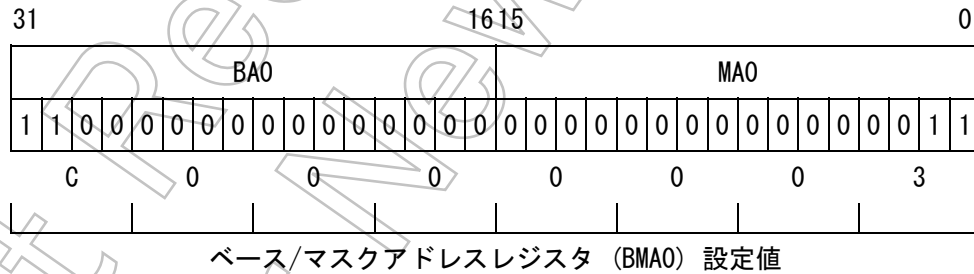


図 9-3 スタートアドレスとベースアドレスレジスタ値の関係

9.1.2 スタートアドレス、アドレス空間の設定方法

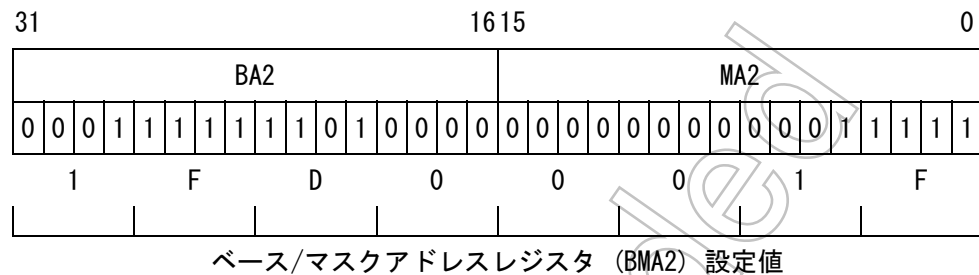
- CS0 空間を用いて、0xC000_0000 から始まる 64 Kバイトの空間を指定する場合、次のようにベース/マスクアドレスレジスタを設定します。



ベースアドレス (BA0) に、スタートアドレスの上位 16 ビットに相当する “0xC000” を設定します。マスクアドレス (MA0) は、A29 ~ A14 のアドレス比較を行うか、行わないかを設定します。A31、A30 はかならず比較が行われ、この場合 A29 ~ A24 についてはかならず比較が行われるようにマスクアドレス (MA0) のビット 15 ~ 10 には “0” を設定します。

上記のように設定すると、A31 ~ A16 までがスタートアドレスとして設定された値と比較されます。従って、0xC000_0000 ~ 0xC000_FFFF の 64 Kバイトが CS0 空間として設定され、バス上のアドレスと一致すれば CS0 信号がアサートされます。

- CS2 空間を用いて、0x1FD0_0000 から始まる 1 M バイトの空間を指定する場合、次のようにベース/マスクアドレスレジスタを設定します。



ベースアドレス (BA2) に、スタートアドレスの上位 16 ビットに相当する “0x1FD0” を設定します。マスクアドレス (MA2) は、A30 ~ A15 のアドレス比較を行うか、行わないかを設定します。この場合 A31 はかならず比較が行われ、A30 ~ A20 についてはかならず比較が行われるようにマスクアドレス (MA2) のビット 15 ~ 5 には “0” を設定します。

上記のように設定すると、A31 ~ A20 までがスタートアドレスとして設定された値と比較されます。この場合、A19 ~ A0 はマスクされます。0x1FD0_0000 ~ 0x1FDF_FFFF の 1 M バイトが CS2 空間として設定されます。

リセット後、CS0、CS1、CS3 空間はディセーブルになりますが、CS2 空間は全アドレス空間 (4 GB) でイネーブルになります。

表 9-1に CS 空間と空間サイズの関係を示します。なお、2 つ以上のアドレス空間を重ねて指定した場合には CS 空間番号の小さい方が優先的に選択されます。

(例) CS0 空間の開始アドレスを 0xC000_0000、空間サイズを 16 K バイト
CS1 空間の開始アドレスを 0xC000_0000、空間サイズを 64 K バイト

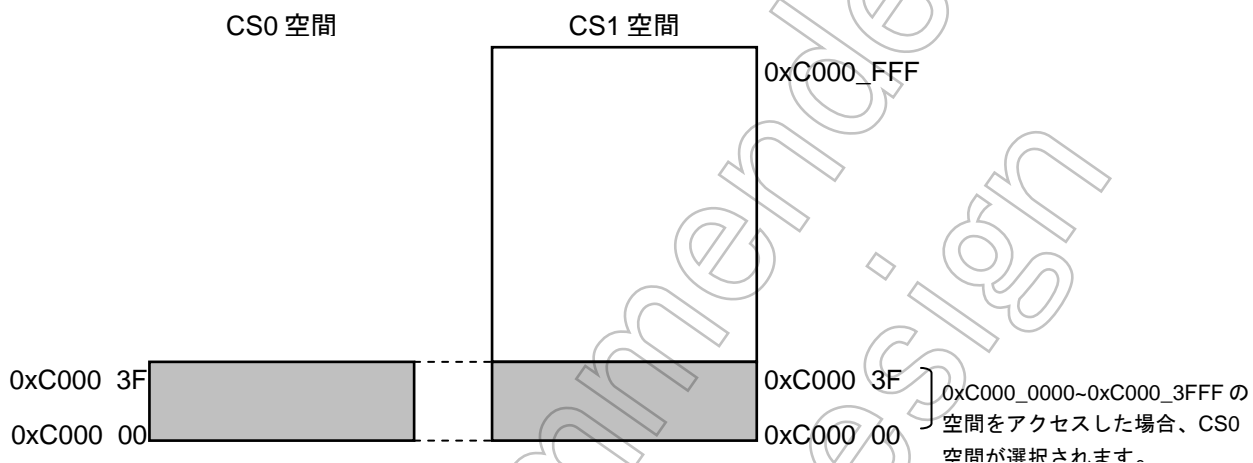


表 9-1 CS 空間と空間サイズ

サイズ (バイト)	16 K	32 K	64 K	128 K	256 K	512 K	1 M	2 M	4 M	8 M	16 M
CS 空間											
CS0	○	○	○	○	○	○	○	○	○	○	○
CS1	○	○	○	○	○	○	○	○	○	○	○
CS2		○	○	○	○	○	○	○	○	○	○
CS3		○	○	○	○	○	○	○	○	○	○

9.2 チップセレクト/ウェイトコントローラ

図 9-4~図 9-6に、チップセレクト/ウェイトコントロールレジスタを示します。各アドレス空間（CS0~CS3 空間と、それ以外のアドレス空間）は、それぞれのチップセレクト/ウェイトコントロールレジスタ（B01CS~B23CS、BEXCS）により、マスタイネーブル/ディセーブル、データバス幅選択、ウェイト数設定、ダミーサイクルの挿入を行うことができます。

また、2 つ以上のアドレス空間を重ねて設定した場合は、CS 空間番号の小さい方が優先的に選択されます。（優先順位は、CS0>CS1>CS2>CS3>EXCS）

Not Recommended
for New Design

B01CS (0xFFFF_E480), B23CS (0xFFFF_E484), BEXCS (0xFFFF_E488)

B01CS
(0xFFFF_E480)

	7	6	5	4	3	2	1	0
bit Symbol	B00M			B0BUS	B0W			
Read/Write	R/W		R		R/W			
リセット後	0	0	0	0	0	1	0	1
機能	チップセレクト出力 波形選択 00: ROM/RAM 他は設定しないでください		リードすると"0"が読めます	データバス幅選択 0: 16bit 1: 8bit	ウェイト数設定 (自動 WAIT 挿入) 0000: 0WAIT 0001: 1WAIT 0010: 2WAIT 0011: 3WAIT 0100: 4WAIT 0101: 5WAIT 0110: 6WAIT 0111: 7WAIT (外部 WAIT 入力) 1010: (2+2N) WAIT 1011: (3+2N) WAIT 1100: (4+2N) WAIT 1101: (5+2N) WAIT 1110: (6+2N) WAIT 1111: (7+2N) WAIT 1000, 1001: reserved			
	15	14	13	12	11	10	9	8
bit Symbol		B0CSCV	B0WCV		B0E		B0RCV	
Read/Write	R	R/W	R/W		R/W	R	R/W	
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	挿入ダミーサイクル数設定 (CS0 リカバリタイム) 1: 1サイクル 0: なし	挿入ダミーサイクル数設定 (ライト・リカバリタイム) 00: 2サイクル 01: 1サイクル 10: なし 11: 設定禁止		CS0 イネーブル 0: ディセーブル 1: イネーブル	リードすると"0"が読めます	挿入ダミーサイクル数設定 (リード・リカバリタイム) 00: 2サイクル 01: 1サイクル 10: なし 11: 設定禁止	
	23	22	21	20	19	18	17	16
bit Symbol	B10M			B1BUS	B1W			
Read/Write	R/W		R		R/W			
リセット後	0	0	0	0	0	1	0	1
機能	チップセレクト出力 波形選択 00: ROM/RAM 他は設定しないでください		リードすると"0"が読めます	データバス幅選択 0: 16bit 1: 8bit	ウェイト数設定 (自動 WAIT 挿入) 0000: 0WAIT 0001: 1WAIT 0010: 2WAIT 0011: 3WAIT 0100: 4WAIT 0101: 5WAIT 0110: 6WAIT 0111: 7WAIT (外部 WAIT 入力) 1010: (2+2N) WAIT 1011: (3+2N) WAIT 1100: (4+2N) WAIT 1101: (5+2N) WAIT 1110: (6+2N) WAIT 1111: (7+2N) WAIT 1000, 1001: reserved			
	31	30	29	28	27	26	25	24
bit Symbol		B1CSCV	B1WCV		B1E		B1RCV	
Read/Write	R	R/W	R/W		R/W	R	R/W	
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が読めます	挿入ダミーサイクル数設定 (CS1 リカバリタイム) 1: 1サイクル 0: なし	挿入ダミーサイクル数設定 (ライト・リカバリタイム) 00: 2サイクル 01: 1サイクル 10: なし 11: 設定禁止		CS1 イネーブル 0: ディセーブル 1: イネーブル	リードすると"0"が読めます	挿入ダミーサイクル数設定 (リード・リカバリタイム) 00: 2サイクル 01: 1サイクル 10: なし 11: 設定禁止	

図 9-4 チップセレクト/ウェイトコントロールレジスタ

B23CS
(0xFFFF_E484)

	7	6	5	4	3	2	1	0
bit Symbol	B2OM			B2BUS	B2W			
Read/Write	R/W				R/W			
リセット後	0	0		0	0	1	0	1
機能	チップセレクト出力 波形選択 00: ROM/RAM 他は設定しないでください		リードすると"0"が 読めます	データバス幅選択 0: 16bit 1: 8bit	ウェイト数設定 (自動 WAIT 挿入) 0000: 0WAIT 0001: 1WAIT 0010: 2WAIT 0011: 3WAIT 0100: 4WAIT 0101: 5WAIT 0110: 6WAIT 0111: 7WAIT (外部 WAIT 入力) 1010: (2+2N) WAIT 1011: (3+2N) WAIT 1100: (4+2N) WAIT 1101: (5+2N) WAIT 1110: (6+2N) WAIT 1111: (7+2N) WAIT 1000, 1001: reserved			
	15	14	13	12	11	10	9	8
bit Symbol		B2CSCV	B2WCV		B2E	B2M	B2RCV	
Read/Write	R	R/W	R/W				R/W	
リセット後	0	0	0	0	1	0	0	0
機能	リードすると"0"が 読めます	挿入ダミーサイ クル数設定 (CS2 リカバ リタイム) 1: 1 サイクル 0: なし	挿入ダミーサイ クル数設定 (ライト・リカバ リタイム) 00: 2 サイクル 01: 1 サイクル 10: なし 11: 設定禁止		CS2 イネー ブル 0: ディセー ブル 1: イネー ブル	CS2 空間選択 0: 4G バイ ト空間 1: CS 空間	挿入ダミーサイ クル数設定 (リード・リカバ リタイム) 00: 2 サイクル 01: 1 サイクル 10: なし 11: 設定禁止	
	23	22	21	20	19	18	17	16
bit Symbol	B3OM			B3BUS	B3W			
Read/Write	R/W		R		R/W			
リセット後	0	0	0	0	0	1	0	1
機能	チップセレクト出力 波形選択 00: ROM/RAM 他は設定しないでください		リードすると"0"が 読めます	データバス幅選択 0: 16bit 1: 8bit	ウェイト数設定 (自動 WAIT 挿入) 0000: 0WAIT 0001: 1WAIT 0010: 2WAIT 0011: 3WAIT 0100: 4WAIT 0101: 5WAIT 0110: 6WAIT 0111: 7WAIT (外部 WAIT 入力) 1010: (2+2N) WAIT 1011: (3+2N) WAIT 1100: (4+2N) WAIT 1101: (5+2N) WAIT 1110: (6+2N) WAIT 1111: (7+2N) WAIT 1000, 1001: reserved			
	31	30	29	28	27	26	25	24
bit Symbol		B3CSCV	B3WCV		B3E		B3RCV	
Read/Write	R	R/W	R/W		R/W	R	R/W	
リセット後	0	0	0	0	0	0	0	0
機能	リードすると"0"が 読めます	挿入ダミーサイ クル数設定 (CS3 リカバ リタイム) 1: 1 サイクル 0: なし	挿入ダミーサイ クル数設定 (ライト・リカバ リタイム) 00: 2 サイクル 01: 1 サイクル 10: なし 11: 設定禁止		CS3 イネー ブル 0: ディセー ブル 1: イネー ブル	リードすると"0"が 読めます	挿入ダミーサイ クル数設定 (リード・リカバ リタイム) 00: 2 サイクル 01: 1 サイクル 10: なし 11: 設定禁止	

図 9-5 チップセレクト/ウェイトコントロールレジスタ

BEXCS
Little (0xFFFF_E48C)
Big (0xFFFF_F_E48E)

	7	6	5	4	3	2	1	0
bit Symbol	BEXOM			BEXBUS	BEXW			
Read/Write	R/W		R		R/W			
リセット後	0	0	0	0	0	1	0	1
機能	チップセレクト出力 波形選択 00: ROM/RAM 他は設定しないでください		リードすると"0"が 読めます	データバス幅選択 0: 16bit 1: 8bit	ウェイト数設定 (自動 WAIT 挿入) 0000: 0WAIT 0001: 1WAIT 0010: 2WAIT 0011: 3WAIT 0100: 4WAIT 0101: 5WAIT 0110: 6WAIT 0111: 7WAIT (外部 WAIT 入力) 1010: (2+2N) WAIT 1011: (3+2N) WAIT 1100: (4+2N) WAIT 1101: (5+2N) WAIT 1110: (6+2N) WAIT 1111: (7+2N) WAIT 1000, 1001: reserved			
	15	14	13	12	11	10	9	8
bit Symbol		BECS CV	BEXW CV				BEXR CV	
Read/Write	R	R/W	R/W		R		R/W	
リセット後	0	0	0	0	0		0	0
機能	リードすると"0"が 読めます	挿入ダミーサイ クル数設定 1: 1 サイクル 0: なし	挿入ダミーサイ クル数設定 (ライト・リカバリタイム) 00: 2 サイクル 01: 1 サイクル 10: なし 11: 設定禁止		リードすると"0"が読 めます		挿入ダミーサイ クル数設定 (リード・リカバリタイム) 00: 2 サイクル 01: 1 サイクル 10: なし 11: 設定禁止	

図 9-6 チップセレクト/ウェイトコントロールレジスタ

TMP19A43 ではリセット後、ポート 4 コントロールレジスタ (P4CR) とポート 4 ファンクションレジスタ (P4FC) は "0" にされているため、CS 信号出力はディセーブルとなっています。CS 信号を出力する場合、P4FC、P4CR の順に必要なビットに "1" をセットしてください。

また、CS 設定以外のエリアでの CS リカバリタイムの設定は可能ですが、CS 信号は出力されません。

Not for

10. DMA コントローラ (DMAC)

TMP19A43 は 8 チャンネルの DMA コントローラを内蔵しています。

10.1 特長

TMP19A43 に内蔵している DMAC には以下に示す特長があります。

- (1) 独立した 8 チャンネルの DMA
(割り込み要因は 2 要因 0ch~3ch : INTDMA0, 4ch~7ch : INTDMA1)
- (2) 2 種類のバス制御権要求: スヌープ要求有り/無し
- (3) 転送要求: 内部リクエスト (ソフトスタート)/外部リクエスト (外部割り込み、内蔵周辺 I/O からの割り込みによるリクエスト、DREQ 端子によるリクエスト)
DREQ 端子によるリクエスト (CH0, 4) : レベルモード, エッジモード
- (4) 転送モード: デュアルアドレスモード
- (5) 転送デバイス: メモリ空間転送
- (6) デバイスサイズ: メモリ-32 ビット (CS/WAIT コントローラで 16/8 ビット指定も可能)
I/O-8、16、32 ビット
- (7) アドレス変化: 増加/減少/固定/変則増加/変則減少
- (8) チャンネル間優先度: 固定 (チャンネル番号の小さい順)
- (9) エンディアン切り換え機能

10.2 構成

10.2.1 TMP19A43 内部接続

TMP19A43 内部での DMAC の接続を図 10-1 に示します。

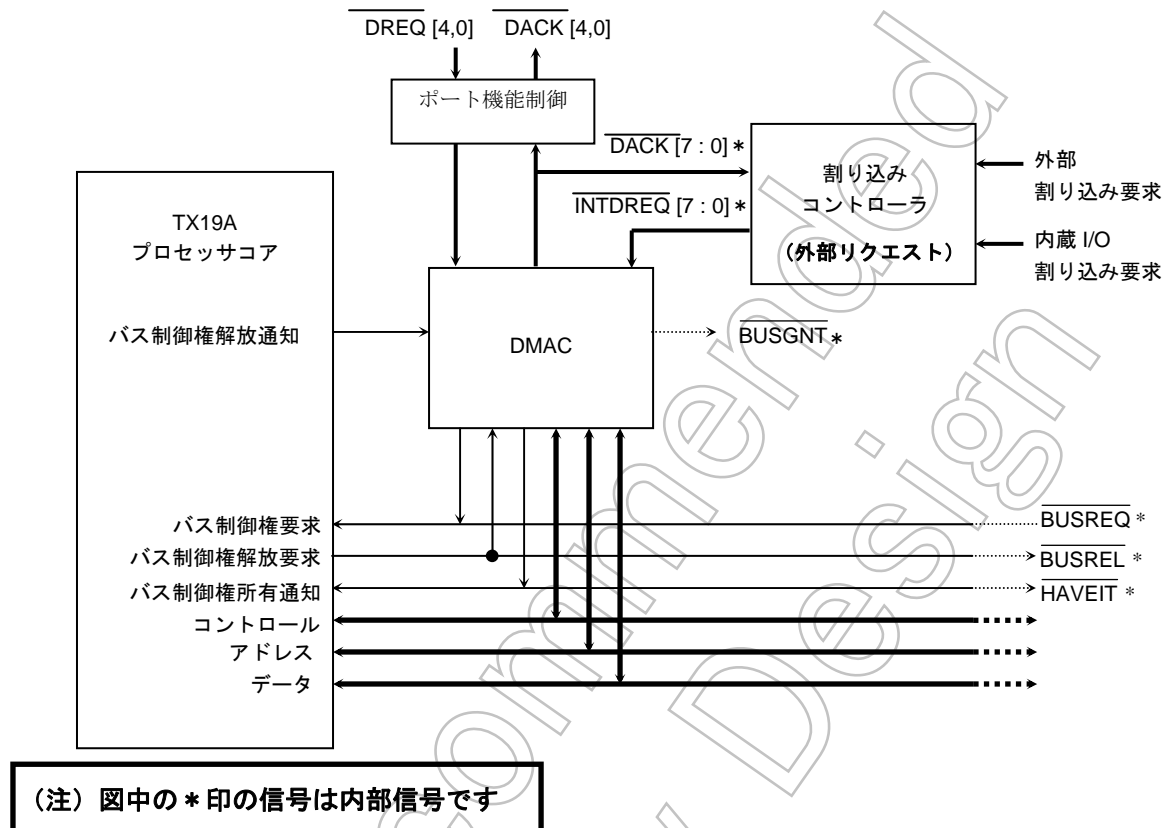


図 10-1 TMP19A43 内部での DMAC の接続

DMAC には 8 つの DMA チャンネルがあります。これら各チャンネルには割り込みコントローラからのデータ転送要求信号 (INTDREQ_n) と、これらに対するアクノリッジ信号 (DACK_n) とがあります。n はチャンネル番号で 0~7 を示します。また、外部端子 (DREQ0、DREQ4) については内部にてポート F 兼用チャンネルとなっており、機能制御レジスタ PFFC にて選択します。

外部端子 (DREQ0、DREQ4) からのデータ転送要求とアクノリッジ信号出力端子 (DACK0、DACK4) があります。チャンネル 0 の方がチャンネル 1 よりも優先度が高く、チャンネル 1 の方がチャンネル 2 よりも、チャンネル 2 の方がチャンネル 3 よりも優先度が高くなっています。以降のチャンネルについても同様です。

TX19A プロセッサコアにはスヌープ機能があります。スヌープ機能では、TX19A プロセッサコアはコアのデータバスを DMAC に対して開放します。したがって、DMAC はこのとき TX19A プロセッサコアにつながっている内蔵 ROM や内蔵 RAM にアクセスすることができます。DMAC はこのスヌープ機能を使用するかを選択することができます。スヌープ機能の詳細については「10.2.3 スヌープ機能」を参照ください。

DMAC はスヌープ機能の使用/不使用による 2 種類のバス制御権 (SREQ、GREQ) があります。GREQ はスヌープ機能を使用しないバス制御権要求で、SREQ はスヌープ機能を使用するバス制御権要求です。この 2 種類のバス制御権要求では、SREQ の方が GREQ より優先度が高くなっています。

10.2.2 DMAC 内部ブロック

DMAC の内部ブロックを図 10-2に示します。

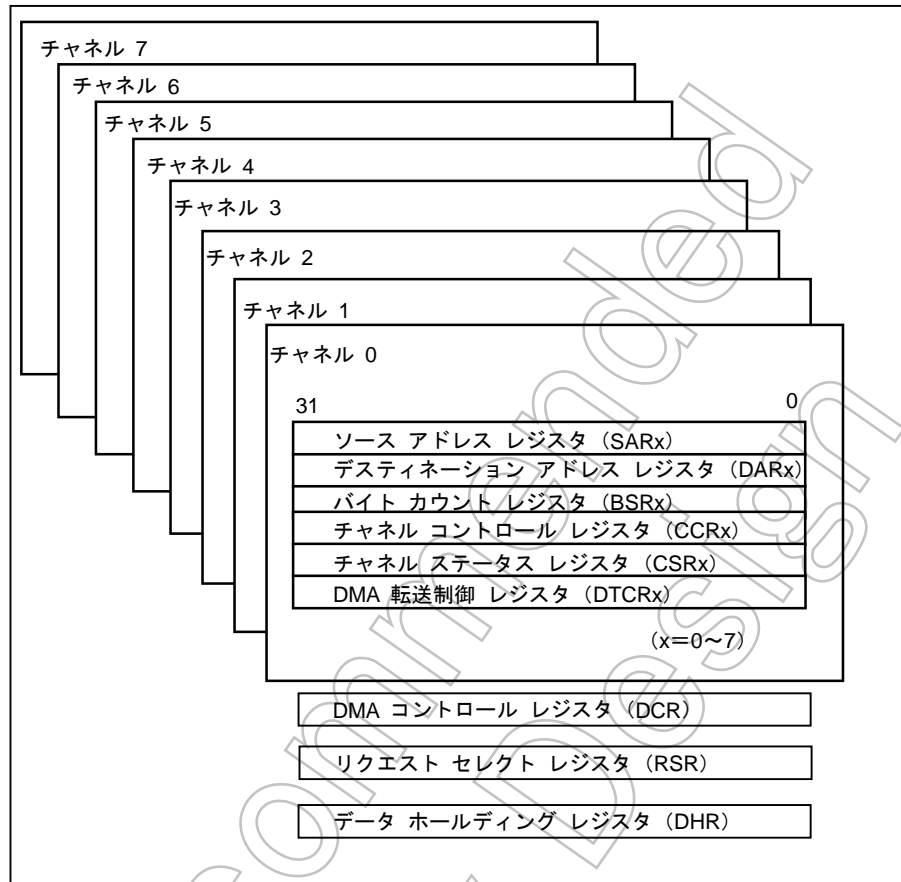


図 10-2 DMAC 内部ブロック

10.2.3 スヌープ機能

TX19A プロセッサコアには、スヌープ機能があります。

TX19A プロセッサコアは、スヌープ機能が働くとコアのデータバスを DMAC に対して開放します。

コアは DMAC がバス制御権要求を取り下げるまで動作が停止します。スヌープ機能が働いているときに、DMAC は内蔵 RAM や内蔵 ROM にアクセスすることが可能になるので、ソースやデスティネーションとして指定することができます。

スヌープ機能を使用しない場合は、DMAC は内蔵 RAM、内蔵 ROM にアクセスできません。ただし、このときも G-Bus は DMAC へ開放していますので、TX19A プロセッサコアが G-Bus によりメモリもしくは I/O にアクセスしようとした場合には、DMAC がバス制御権開放要求に応えないかぎり、バスオペレーションを実行できないので、パイプラインはストールします。

(注) スヌープ機能を使用しないと、TX19A プロセッサコアはデータバスを DMAC に開放しません。この場合、DMAC のソースやデスティネーションに内蔵 RAM や内蔵 ROM を指定すると、DMAC の転送バスサイクルに対してアクノリッジ信号が返ってこないためバスがロックします。

10.3 レジスタ

DMAC は 51 本の 32 ビットレジスタを内蔵しています。表 10.1 に DMAC のレジスタマップを示します。

表 10.1 DMAC レジスタ一覧

アドレス	レジスタ記号	レジスタ名称
0xFFFF_E200	CCR0	チャンネル制御レジスタ (ch. 0)
0xFFFF_E204	CSR0	チャンネルステータスレジスタ (ch. 0)
0xFFFF_E208	SAR0	ソースアドレスレジスタ (ch. 0)
0xFFFF_E20C	DAR0	デスティネーションアドレスレジスタ (ch. 0)
0xFFFF_E210	BCR0	バイトカウントレジスタ (ch. 0)
0xFFFF_E218	DTCR0	DMA 転送制御レジスタ (ch. 0)
0xFFFF_E220	CCR1	チャンネル制御レジスタ (ch. 1)
0xFFFF_E224	CSR1	チャンネルステータスレジスタ (ch. 1)
0xFFFF_E228	SAR1	ソースアドレスレジスタ (ch. 1)
0xFFFF_E22C	DAR1	デスティネーションアドレスレジスタ (ch. 1)
0xFFFF_E230	BCR1	バイトカウントレジスタ (ch. 1)
0xFFFF_E238	DTCR1	DMA 転送制御レジスタ (ch. 1)
0xFFFF_E240	CCR2	チャンネル制御レジスタ (ch. 2)
0xFFFF_E244	CSR2	チャンネルステータスレジスタ (ch. 2)
0xFFFF_E248	SAR2	ソースアドレスレジスタ (ch. 2)
0xFFFF_E24C	DAR2	デスティネーションアドレスレジスタ (ch. 2)
0xFFFF_E250	BCR2	バイトカウントレジスタ (ch. 2)
0xFFFF_E258	DTCR2	DMA 転送制御レジスタ (ch. 2)
0xFFFF_E260	CCR3	チャンネル制御レジスタ (ch. 3)
0xFFFF_E264	CSR3	チャンネルステータスレジスタ (ch. 3)
0xFFFF_E268	SAR3	ソースアドレスレジスタ (ch. 3)
0xFFFF_E26C	DAR3	デスティネーションアドレスレジスタ (ch. 3)
0xFFFF_E270	BCR3	バイトカウントレジスタ (ch. 3)
0xFFFF_E278	DTCR3	DMA 転送制御レジスタ (ch. 3)
0xFFFF_E280	CCR4	チャンネル制御レジスタ (ch. 4)
0xFFFF_E284	CSR4	チャンネルステータスレジスタ (ch. 4)
0xFFFF_E288	SAR4	ソースアドレスレジスタ (ch. 4)
0xFFFF_E28C	DAR4	デスティネーションアドレスレジスタ (ch. 4)
0xFFFF_E290	BCR4	バイトカウントレジスタ (ch. 4)
0xFFFF_E298	DTCR4	DMA 転送制御レジスタ (ch. 4)
0xFFFF_E2A0	CCR5	チャンネル制御レジスタ (ch. 5)
0xFFFF_E2A4	CSR5	チャンネルステータスレジスタ (ch. 5)
0xFFFF_E2A8	SAR5	ソースアドレスレジスタ (ch. 5)
0xFFFF_E2AC	DAR5	デスティネーションアドレスレジスタ (ch. 5)
0xFFFF_E2B0	BCR5	バイトカウントレジスタ (ch. 5)
0xFFFF_E2B8	DTCR5	DMA 転送制御レジスタ (ch. 5)
0xFFFF_E2C0	CCR6	チャンネル制御レジスタ (ch. 6)
0xFFFF_E2C4	CSR6	チャンネルステータスレジスタ (ch. 6)
0xFFFF_E2C8	SAR6	ソースアドレスレジスタ (ch. 6)
0xFFFF_E2CC	DAR6	デスティネーションアドレスレジスタ (ch. 6)
0xFFFF_E2D0	BCR6	バイトカウントレジスタ (ch. 6)
0xFFFF_E2D8	DTCR6	DMA 転送制御レジスタ (ch. 6)

表 10.2 DMAC レジスタ一覧 (つづき)

0xFFFF_E2E0	CCR7	チャンネル制御レジスタ (ch. 7)
0xFFFF_E2E4	CSR7	チャンネルステータスレジスタ (ch. 7)
0xFFFF_E2E8	SAR7	ソースアドレスレジスタ (ch. 7)
0xFFFF_E2EC	DAR7	デスティネーションアドレスレジスタ (ch. 7)
0xFFFF_E2F0	BCR7	バイトカウントレジスタ (ch. 7)
0xFFFF_E2F8	DTCR7	DMA 転送制御レジスタ (ch. 7)
0xFFFF_E300	DCR	DMA 制御レジスタ (DMAC)
0xFFFF_E304	RSR	リクエストセレクトレジスタ (DMAC)
0xFFFF_E30C	DHR	データホールディングレジスタ (DMAC)

Not Recommended for New Design

10.3.1 DMA 制御レジスタ (DCR)

DCR (0xFFFF_E300H)	bit Symbol	Rst7	Rst6	Rst5	Rst4	Rst3	Rst2	Rst1	Rst0
	Read/Write	W							
	リセット後	0							
	機能	詳細説明を参照ください							
	15	14	13	12	11	10	9	8	
bit Symbol									
Read/Write	W								
リセット後	0								
機能									
	23	22	21	20	19	18	17	16	
bit Symbol									
Read/Write	W								
リセット後	0								
機能									
	31	30	29	28	27	26	25	24	
bit Symbol	Rstall								
Read/Write	W								
リセット後	0								
機能	詳細説明を参照ください								

ビット	ニモニク	フィールド名	説明
31	Rstall	リセットオール	DMAC のソフトウェアリセットを行います。Rstall ビットが 1 にセットされると、DMAC の内部レジスタの値はすべて初期値になります。また、すべての転送要求は取り消され、8 つのチャンネルは停止状態になります。 0: Don't care 1: DMAC を初期化
7	Rst7	リセット 7	DMAC チャンネル 7 のソフトウェアリセットを行います。Rst7 ビットが 1 にセットされると、DMAC チャンネル 7 の内部レジスタと、RSR レジスタのチャンネル 7 該当ビットは初期値になります。また、チャンネル 7 の転送要求は取り消され、停止状態になります。 0: Don't care 1: DMAC チャンネル 7 を初期化
6	Rst6	リセット 6	DMAC チャンネル 6 のソフトウェアリセットを行います。Rst6 ビットが 1 にセットされると、DMAC チャンネル 6 の内部レジスタと、RSR レジスタのチャンネル 6 該当ビットは初期値になります。また、チャンネル 6 の転送要求は取り消され、停止状態になります。 0: Don't care 1: DMAC チャンネル 6 を初期化
5	Rst5	リセット 5	DMAC チャンネル 5 のソフトウェアリセットを行います。Rst5 ビットが 1 にセットされると、DMAC チャンネル 5 の内部レジスタと、RSR レジスタのチャンネル 5 該当ビットは初期値になります。また、チャンネル 5 の転送要求は取り消され、停止状態になります。 0: Don't care 1: DMAC チャンネル 5 を初期化

ビット	ニモニック	フィールド名	説明
4	Rst4	リセット 4	DMAC チャンネル 4 のソフトウェアリセットを行います。Rst4 ビットが 1 にセットされると、DMAC チャンネル 4 の内部レジスタと、RSR レジスタのチャンネル 4 該当ビットは初期値になります。また、チャンネル 4 の転送要求は取り消され、停止状態になります。 0: Don't care 1: DMAC チャンネル 4 を初期化
3	Rst3	リセット 3	DMAC チャンネル 3 のソフトウェアリセットを行います。Rst3 ビットが 1 にセットされると、DMAC チャンネル 3 の内部レジスタと、RSR レジスタのチャンネル 3 該当ビットは初期値になります。また、チャンネル 3 の転送要求は取り消され、停止状態になります。 0: Don't care 1: DMAC チャンネル 3 を初期化
2	Rst2	リセット 2	DMAC チャンネル 2 のソフトウェアリセットを行います。Rst2 ビットが 1 にセットされると、DMAC チャンネル 2 の内部レジスタと、RSR レジスタのチャンネル 2 該当ビットは初期値になります。また、チャンネル 2 の転送要求は取り消され、停止状態になります。 0: Don't care 1: DMAC チャンネル 2 を初期化
1	Rst1	リセット 1	DMAC チャンネル 1 のソフトウェアリセットを行います。Rst1 ビットが 1 にセットされると、DMAC チャンネル 1 の内部レジスタと、RSR レジスタのチャンネル 1 該当ビットは初期値になります。また、チャンネル 1 の転送要求は取り消され、停止状態になります。 0: Don't care 1: DMAC チャンネル 1 を初期化
0	Rst0	リセット 0	DMAC チャンネル 0 のソフトウェアリセットを行います。Rst0 ビットが 1 にセットされると、DMAC チャンネル 0 の内部レジスタと、RSR レジスタのチャンネル 0 該当ビットは初期値になります。また、チャンネル 0 の転送要求は取り消され、停止状態になります。 0: Don't care 1: DMAC チャンネル 0 を初期化

図10-3 DMA 制御レジスタ (DCR)

- (注1) ソフトリセット機能を使用する時、DMA 転送の最後の転送が終了した直後に DCR レジスタへの書き込みが発生した場合、チャンネルレジスタ等の初期化は行われませんが、DMA 転送終了割り込みはキャンセルされません。
- (注2) DCR レジスタへの書き込み（ソフトリセット）は DMA 転送を利用して行うような使い方は避けてください。

10.3.2 チャネル制御レジスタ (CCRn)

	7	6	5	4	3	2	1	0	
CCRn	bit Symbol		DAC		TrSiz		DPS		
(0xFFFF_E200H)	Read/Write		R/W		R/W		R/W		
(0xFFFF_E220H)	リセット後 0								
(0xFFFF_E240H)	機能	細説明を参照ください	常に“0”を設定してください	詳細説明を参照ください					
	15	14	13	12	11	10	9	8	
(0xFFFF_E260H)	bit Symbol		ExR	PosE	Lev	SReq	RelEn	SIO	SAC
(0xFFFF_E280H)	Read/Write		R/W	R/W	R/W	R/W	R/W	R/W	R/W
(0xFFFF_E2A0H)	リセット後 0								
(0xFFFF_E2C0H)	機能	常に“0”を設定してください	詳細説明を参照ください						
(0xFFFF_E2E0H)									
	23	22	21	20	19	18	17	16	
	bit Symbol		NIEEn	AbIEEn			Big		
	Read/Write		R/W	R/W	R/W	R/W	R/W	R/W	
	リセット後		1		0		1	0	
	機能	詳細説明を参照ください	常に“0”を設定してください				詳細説明を参照ください	常に“0”を設定してください	
	31	30	29	28	27	26	25	24	
	bit Symbol		Str						
	Read/Write		W				W		
	リセット後 0								
	機能	詳細説明を参照ください						常に“0”を設定してください	

図10-4

ビット	ニモニック	フィールド名	説明
31	Str	チャンネルスタート	Start (初期値 1) チャンネル動作を起動します。このビットに 1 をセットすることにより、チャンネルが待機状態になり、転送要求に応じてデータ転送を開始します。 Str ビットへの書き込みは 1 のみが有効で、0 の書き込みは無視されます。また、読み出すと常に 0 です。 1: チャンネル動作を起動
24	—	(予約済み)	このビットは予約ビットです。常に "0" を設定してください。
23	NIEn	正常終了割り込み許可	Normal Completion Interrupt Enable (初期値 1) 1: 正常終了割り込みを許可 0: 正常終了割り込みを禁止
22	AblEn	異常終了割り込み許可	Abnormal Completion Interrupt Enable (初期値 1) 1: 異常終了割り込みを許可 0: 異常終了割り込みを禁止
21	—	(予約済み)	このビットは予約ビットです。初期値は "1" ですが、常に "0" を設定してください。
20	—	(予約済み)	このビットは予約ビットです。常に "0" を設定してください。
19	—	(予約済み)	このビットは予約ビットです。常に "0" を設定してください。
18	—	(予約済み)	このビットは予約ビットです。常に "0" を設定してください。
17	Big	ビッグエンディアン	Big Endian (初期値 1) 1: チャンネルはビッグエンディアンで動作 0: チャンネルはリトルエンディアンで動作
16	—	(予約済み)	このビットは予約ビットです。常に "0" を設定してください。
15	—	(予約済み)	このビットは予約ビットです。常に "0" を設定してください。
14	ExR	外部リクエストモード	External Request Mode (初期値 0) 転送要求モードを指定します。(0ch,4ch のみ適用) 1: 外部転送要求 (割り込み要求または外部 DREQn 要求) 0: 内部転送要求 (ソフトスタート)
13	PosE	立ち上がりエッジ	Positive Edge (初期値 0) 転送要求信号 INTDREQn または DREQn の有効レベルを指定します。転送要求が外部転送要求のとき (ExR ビットが 1) のみ有効です。内部転送要求のとき (ExR ビットが 0) は PosE の値は無視されます。INTDREQn、DREQn 信号は "L" レベルアクティブの信号なので、この PosE ビットをかならず "0" に設定してください。 1: 設定禁止 0: INTDREQn、DREQn 信号の立ち下がり、または "L" レベルが有効。DACKn 信号のアクティブレベルは "L" レベル
12	Lev	レベルモード	Level Mode (初期値 0) 外部転送要求の要求方法を指定します。転送要求として外部転送要求が設定されているとき (ExR ビットが 1) のみ有効です。内部転送要求が設定されているとき (ExR ビットが 0) は、Lev ビットの値は無視されます。INTDREQn 信号は "L" レベルアクティブの信号なので、この Lev ビットをかならず "1" に設定してください。DREQn のアクティブの状態は Lev ビットの設定によります。 1: レベルモード。DREQn 信号のレベル (PosE ビットが 0 のとき "L" レベル) をデータ転送要求として認識します。 0: エッジモード。DREQn 信号の変化 (PosE ビットが 0 のとき立ち下がりエッジ) をデータ転送要求として認識します。
11	SReq	スヌープ要求	Snoop Request (初期値 0) バス制御権要求モードとしてスヌープ機能の使用を指定します。使用する場合、TX19A プロセッサコアのスヌープ機能が有効になり、DMAC はコアのデータバスを使用できます。使用しない場合、TX19A プロセッサコアのスヌープ機能は働きません。 1: スヌープ機能を使用する (SREQ)。 0: スヌープ機能を使用しない (GREQ)。

ビット	ニモニック	フィールド名	説明
10	RelEn	バス制御権解放要求許可	Release Request Enable (初期値 0) TX19A プロセッサコアからのバス制御権解放要求に対して応答することを指定します。 この機能は GREQ のときのみ有効です。SREQ のときには TX19A プロセッサコアはバス制御権解放要求を出せないなのでこの機能は無効になります。 1: DMAC がバス権を所有しているときに、バス制御権解放要求に応えます。TX19A プロセッサコアがバス制御権解放要求を発行すると、DMAC はバスオペレーションの切れ目でバス制御権をコアに戻します。 0: バス制御権解放要求に応えません。
9	SIO	転送方法の選択	転送方法の選択: (初期値 0) 1: 単発転送 0: 連続転送 (BCRx が 0 になるまで連続転送します)
8 : 7	SAC	ソースアドレスカウン ト	Source Address Count (初期値 00) ソースのアドレス変化を指定します。 1x: アドレス固定 01: アドレス減少 00: アドレス増加
6	—	(予約済み)	このビットは予約ビットです。常に“0”を設定してください。
5 : 4	DAC	デスティネーションア ドレスカウン ト	Destination Address Count (初期値 00) デスティネーションのアドレス変化を指定します。 1x: アドレス固定 01: アドレス減少 00: アドレス増加

図 10-5 チャンネル制御レジスタ (CCRn) (2/3)

ビット	ニモニック	フィールド名	説明
3:2	TrSiz	転送単位	Transfer Size (初期値 00) 1回の転送要求に対する転送データ量を示します。 11: 8 ビット (バイト) 10: 16 ビット (2 バイト) 0x: 32 ビット (4 バイト) ※必ずデバイスポートサイズ(DPS)と同じ設定にしてください
1:0	DPS	デバイスポートサイズ	Device Port Size (初期値 00) ソースデバイスもしくはデスティネーションデバイスとして指定した I/O デバイスのバス幅を指定します。 11: 8 ビット (バイト) 10: 16 ビット (2 バイト) 0x: 32 ビット (4 バイト) ※必ず転送単位(TrSiz)と同じ設定にしてください

図 10-6 チャンネル制御レジスタ (CCRn) (3/3)

(注 1) CCRn レジスタの設定は DMAC を待機状態にする前に行ってください。

(注 2) メモリ間転送の時には、DPS にセットされた値は無効になります。

10.3.3 リクエスト選択レジスタ (RSR)

RSR
(0xFFFF_E304H)

	7	6	5	4	3	2	1	0
bit Symbol				ReqS4				ReqS0
Read/Write				R/W				R/W
リセット後	0							
機能	常に"0"を設定してください			詳細説明を参照ください	常に"0"を設定してください			詳細説明を参照ください
	15	14	13	12	11	10	9	8
bit Symbol								
Read/Write								
リセット後	0							
機能								
	23	22	21	20	19	18	17	16
bit Symbol								
Read/Write								
リセット後	0							
機能								
	31	30	29	28	27	26	25	24
bit Symbol								
Read/Write								
リセット後	0							
機能								

図 10-7

ビット	ニモニック	フィールド名	説明
4	ReqS4	リクエストセレクト (ch.4)	Request Select (初期値 0) DMA チャンネル 4 に対する外部転送要求の選択を行います。 1: DREQ4 からの要求 0: 割り込みコントローラ (INTC) からの要求
0	ReqS0	リクエストセレクト (ch.0)	Request Select (初期値 0) DMA チャンネル 0 に対する外部転送要求の選択を行います。 1: DREQ0 からの要求 0: 割り込みコントローラ (INTC) からの要求

(注) RSR レジスタのビット 1~3、5~7 はかならず"0"をライトしてください。

図10-8 DMA 制御レジスタ (RSR)

10.3.4 チャネルステータスレジスタ (CSRn)

	7	6	5	4	3	2	1	0
CSRn	bit Symbol							
(0xFFFF_E204H)	Read/Write							
(0xFFFF_E224H)	リセット後							
(0xFFFF_E244H)	機能							
(0xFFFF_E264H)	常に“0”を設定してください							
	15	14	13	12	11	10	9	8
(0xFFFF_E284H)	bit Symbol							
(0xFFFF_E2A4H)	Read/Write							
(0xFFFF_E2C4H)	リセット後							
(0xFFFF_E2E4H)	機能							
	23	22	21	20	19	18	17	16
	bit Symbol							
	NC	AbC		BES	BED	Conf		
	Read/Write							
	R/W	R/W	R/W	R	R	R		
	リセット後							
	0							
	機能		詳細説明を参照ください	常に“0”を設定してください	詳細説明を参照ください			
	31	30	29	28	27	26	25	24
	bit Symbol							
	Act							
	Read/Write							
	R							
	リセット後							
	0							
	機能		詳細説明を参照ください					

図10-9

Not Recommended for New Design

ビット	ニモニック	フィールド名	説明
31	Act	チャンネルアクティブ	Channel Active (初期値 0) チャンネルが待機状態であることを示します。 1: チャンネルは待機状態である。 0: チャンネルは待機状態でない。
23	NC	正常終了	Normal Completion (初期値 0) チャンネル動作が正常終了したことを示します。CCR レジスタによって正常終了時の割り込みが許可されている場合、NC ビットが"1"になると、DMAC は割り込みを要求します。 NC ビットに"0"を書き込むことによりクリアできます。正常終了により割り込みを要求していた場合、NC ビットが"0"になると、割り込み要求をとり上げます。 NC ビットが"1"のとき、Str ビットを"1"にセットしようとするエラーになります。次の転送を開始するときには、NC ビットを"0"にクリアしてください。"1"の書き込みは無視されます。 1: チャンネル動作が正常終了。 0: チャンネル動作が正常終了していない。
22	AbC	異常終了	Abnormal Completion (初期値 0) チャンネル動作が異常終了したことを示します。CCR レジスタによって異常終了時の割り込みが許可されている場合、AbC ビットが"1"になると、DMAC は割り込みを要求します。AbC ビットは"0"を書き込むことによりクリアできます。異常終了により割り込みを要求していた場合、AbC ビットが"0"になると、割り込み要求をとり上げます。また、AbC ビットが"0"にクリアされると、BES、BED および Conf の各ビットを"0"にクリアします。 AbC ビットが"1"のとき、Str ビットを"1"にセットしようとするエラーになります。次の転送を開始するときには、AbC ビットを"0"にクリアしてください。"1"の書き込みは無視されます。 1: チャンネル動作が異常終了。 0: チャンネル動作が異常終了していない。
21	—	(予約済み)	このビットは予約ビットです。常に"0"を設定してください。
20	BES	ソースバスエラー	Source Bus Error (初期値 0) 1: ソースアクセス時にバスエラー発生。 0: ソースアクセス時にバスエラー発生していない。
19	BED	デスティネーションバスエラー	Destination Bus Error (初期値 0) 1: デスティネーションアクセス時にバスエラー発生した。 0: デスティネーションアクセス時にバスエラー発生していない。
18	Conf	コンフィグレーションエラー	Configuration Error (初期値 0) 1: コンフィグレーションエラー発生。 0: コンフィグレーションエラー発生していない。
2:0	—	(予約済み)	このビットは3ビットとも予約ビットです。すべてのビットに対して常に"0"を設定してください。

図10-10 チャンネルステータスレジスタ (CSRn)

10.3.5 ソースアドレスレジスタ (SARn)

	7	6	5	4	3	2	1	0	
SARn	bit Symbol	SAddr7	SAddr6	SAddr5	SAddr4	SAddr3	SAddr2	SAddr1	SAddr0
(0xFFFF_E208H)	Read/Write	R/W							
(0xFFFF_E228H)	リセット後	不定							
(0xFFFF_E248H)	機能	詳細説明を参照ください							
(0xFFFF_E268H)		15	14	13	12	11	10	9	8
(0xFFFF_E288H)	bit Symbol	SAddr15	SAddr14	SAddr13	SAddr12	SAddr11	SAddr10	SAddr9	SAddr8
(0xFFFF_E2A8H)	Read/Write	R/W							
(0xFFFF_E2C8H)	リセット後	不定							
(0xFFFF_E2E8H)	機能	詳細説明を参照ください							
		23	22	21	20	19	18	17	16
	bit Symbol	SAddr23	SAddr22	SAddr21	SAddr20	SAddr19	SAddr18	SAddr17	SAddr16
	Read/Write	R/W							
	リセット後	不定							
	機能	詳細説明を参照ください							
		31	30	29	28	27	26	25	24
	bit Symbol	SAddr31	SAddr30	SAddr29	SAddr28	SAddr27	SAddr26	SAddr25	SAddr24
	Read/Write	R/W							
	リセット後	不定							
	機能	詳細説明を参照ください							

図10-11

ビット	ニモニック	フィールド名	説明
31:0	SAddr	ソースアドレス	Source Address (初期値-) データ転送元となるソースのアドレスを物理アドレスで設定します。CCRnのSAC,TrSizで指定された内容と、DTCRnのSACMで指定された内容に従ってアドレスが変化します。

図10-12 ソースアドレスレジスタ (SARn)

10.3.6 デスティネーションアドレスレジスタ (DARn)

	7	6	5	4	3	2	1	0
DARn	DAddr7	DAddr6	DAddr5	DAddr4	DAddr3	DAddr2	DAddr1	DAddr0
(0xFFFF_E20CH)	Read/Write R/W							
(0xFFFF_E22CH)	リセット後 不定							
(0xFFFF_E24CH)	機能 詳細説明を参照ください							
(0xFFFF_E26CH)	15	14	13	12	11	10	9	8
(0xFFFF_E28CH)	DAddr15	DAddr14	DAddr13	DAddr12	DAddr11	DAddr10	DAddr9	DAddr8
(0xFFFF_E2ACH)	Read/Write R/W							
(0xFFFF_E2CCH)	リセット後 不定							
(0xFFFF_E2ECH)	機能 詳細説明を参照ください							
	23	22	21	20	19	18	17	16
	DAddr23	DAddr22	DAddr21	DAddr20	DAddr19	DAddr18	DAddr17	DAddr16
	Read/Write R/W							
	リセット後 不定							
	機能 詳細説明を参照ください							
	31	30	29	28	27	26	25	24
	DAddr31	DAddr30	DAddr29	DAddr28	DAddr27	DAddr26	DAddr25	DAddr24
	Read/Write R/W							
	リセット後 不定							
	機能 詳細説明を参照ください							

図 10-13

ビット	ニモニック	フィールド名	説明
31:0	DAddr	デスティネーションアドレス	Destination Address (初期値ー) データ転送先となるデスティネーションのアドレスを物理アドレスで設定します。CCRn の DAC, TrSiz で指定された内容と、DTCRn の DACM で指定された内容に従ってアドレスが変化します。

図10-14 デスティネーションアドレスレジスタ (DARn)

10.3.7 バイトカウントレジスタ (BCRn)

	7	6	5	4	3	2	1	0
BCRn	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0
(0xFFFF_E210H)	Read/Write R/W							
(0xFFFF_E230H)	リセット後 0							
(0xFFFF_E250H)	機能 詳細説明を参照ください							
(0xFFFF_E270H)	15	14	13	12	11	10	9	8
(0xFFFF_E290H)	BC15	BC14	BC13	BC12	BC11	BC10	BC9	BC8
(0xFFFF_E2B0H)	Read/Write R/W							
(0xFFFF_E2D0H)	リセット後 0							
(0xFFFF_E2F0H)	機能 詳細説明を参照ください							
	23	22	21	20	19	18	17	16
	BC23	BC22	BC21	BC20	BC19	BC18	BC17	BC16
	Read/Write R/W							
	リセット後 0							
	機能 詳細説明を参照ください							
	31	30	29	28	27	26	25	24
	bit Symbol							
	Read/Write							
	リセット後 0							
	機能							

図 10-15

ビット	ニモニック	フィールド名	説明
23:0	BC	バイトカウント	Byte Count (初期値 0) データ転送するバイト数を設定します。転送したデータ数分ずつ (CCRn の TrSiz で指定した値ずつ) アドレスが減少します。

図10-16 バイトカウントレジスタ (BCRn)

10.3.8 DMA 転送制御レジスタ (DTCRn)

		7	6	5	4	3	2	1	0
DTCRn	bit Symbol	DACM				SACM			
(0xFFFF_E218H)	Read/Write	R/W				R/W			
(0xFFFF_E238H)	リセット後	0							
(0xFFFF_E258H)	機能	詳細説明を参照ください				詳細説明を参照ください			
(0xFFFF_E278H)		15	14	13	12	11	10	9	8
(0xFFFF_E298H)	bit Symbol								
(0xFFFF_E2B8H)	Read/Write								
(0xFFFF_E2D8H)	リセット後	0							
(0xFFFF_E2F8H)	機能								
		23	22	21	20	19	18	17	16
	bit Symbol								
	Read/Write								
	リセット後	0							
	機能								
		31	30	29	28	27	26	25	24
	bit Symbol								
	Read/Write								
	リセット後	0							
	機能								

図 10-17

ビット	ニモニック	フィールド名	説明
5 : 3	DACM	デスティネーションアドレスカウントモード	Destination Address Count Mode デスティネーションアドレスのカウントモードを指定します。 000: ビット 0 からカウント 001: ビット 4 からカウント 010: ビット 8 からカウント 011: ビット 12 からカウント 100: ビット 16 からカウント 101: 設定禁止 110: 設定禁止 111: 設定禁止
2 : 0	SACM	ソースアドレスカウントモード	Source Address Count Mode ソースアドレスのカウントモードを指定します。 000: ビット 0 からカウント 001: ビット 4 からカウント 010: ビット 8 からカウント 011: ビット 12 からカウント 100: ビット 16 からカウント 101: 設定禁止 110: 設定禁止 111: 設定禁止

図10-18 DMA 転送制御レジスタ (DTCRn)

10.3.9 データホールディングレジスタ (DHR)

DHR (0xFFFF_E30CH)		7	6	5	4	3	2	1	0
	bit Symbol	DOT7	DOT6	DOT5	DOT4	DOT3	DOT2	DOT1	DOT0
	Read/Write	R/W							
	リセット後	0							
	機能	詳細説明を参照ください							
		15	14	13	12	11	10	9	8
	bit Symbol	DOT15	DOT14	DOT13	DOT12	DOT11	DOT10	DOT9	DOT8
	Read/Write	R/W							
	リセット後	0							
	機能	詳細説明を参照ください							
		23	22	21	20	19	18	17	16
	bit Symbol	DOT23	DOT22	DOT21	DOT20	DOT19	DOT18	DOT17	DOT16
	Read/Write	R/W							
リセット後	0								
機能	詳細説明を参照ください								
	31	30	29	28	27	26	25	24	
bit Symbol	DOT31	DOT30	DOT29	DOT28	DOT27	DOT26	DOT25	DOT24	
Read/Write	R/W								
リセット後	0								
機能	詳細説明を参照ください								

図 10-19

ビット	ニモニク	フィールド名	説明
31:0	DOT	転送データ	Data on Transfer (初期値 0) デュアルアドレスモードでの転送で、ソースからリードしたデータです。

図10-20 データホールディングレジスタ (DHR)

10.4 動作

DMAC は TX19A プロセッサコアを用いたシステム内のデータ転送を、コアを介さずに高速に行うことができる 32 ビット DMA コントローラです。

10.4.1 詳細

(1) ソースとデスティネーション

DMAC は、メモリ空間のデータ転送を行います。データ転送元のデバイスをソースデバイス、データ転送先のデバイスをデスティネーションデバイスと呼びます。ソースデバイス、デスティネーションデバイスとしてアドレスを指定できます。

DMAC への転送要求に割り込み要因を指定することができます。割り込み要因が発生すると割り込みコントローラ (INTC) が DMAC に対してリクエストを出します (このとき TX19A プロセッサコアに対しては割り込み要求は通知されません。詳しくは「割り込み」の項を参照してください)。この INTC からの要求は \overline{DACKn} 信号によってクリアされます。転送方法の選択 (SIO BIT) にて単発転送が設定されているときには DMAC への要求は 1 回の転送 (TrSiz で指定した転送サイズ分の転送) ごとに解除されます。これに対して連続転送を設定した場合には転送バイト数 (BCRn レジスタの値) が “0” になったときだけ \overline{DACKn} がアサートされるので、1 回の転送要求で連続してデータ転送を行います。

例えば、TMP19A43 の内蔵 I/O と内蔵 (外部) メモリ間で転送を行う場合、内蔵 I/O から DMAC へ要求は 1 回の転送ごとにクリアされますが、転送バイト数 (BCRn レジスタの値) が “0” にならない限り次の転送要求待ちの状態になります。したがって、BCRn レジスタの値が “0” になるまで DMA 転送を連続して行います。

(2) バス制御権の受け渡し (バスアービトレーション)

DMAC は、DMAC 内部からの転送要求により、TX19A プロセッサコアにバス制御権を要求します。応答信号がコアから返ってくると、バス制御権を獲得してデータ転送のバスサイクルを実行します。

DMAC のバス制御権要求には、TX19A プロセッサコアのデータバスを使用できるスヌープを要求するモードと要求しないモードとがあります。モードの選択はチャンネルごとに CCRn レジスタのビット 11 (SReq) で設定します。

また、TX19A プロセッサコアがバス制御権の解放を求める場合があります。この要求に応答するかはチャンネルごとに CCRn レジスタのビット 10 (RelEn) で設定します。ただし、この機能はスヌープを要求しないモード (GREQ) のときのみ有効です。スヌープを要求するモード (SREQ) のときには TX19A プロセッサコアはバス制御権解放要求を出せないなのでこの機能は無効になります。転送要求がなくなると、DMAC はバス制御権を解放します。

(注 1) DMAC 動作中は Halt 動作に移行しないでください。

(注 2) スヌープ機能を使用時は、IDLE (Doze) モードへ移行する前に DMAC を停止してください。

(3) 転送要求モード

DMAC の転送要求モードには、内部転送要求モードと外部転送要求モードとがあります。

内部転送要求モードは、DMAC 内部で転送要求が発生するモードです。DMAC 内蔵レジスタのスタートビット（チャンネル制御レジスタ CCRn の Str ビット）に “1” をセットすると転送要求が発生し、DMAC は転送動作を開始します。

外部転送要求モードはスタートビットに “1” をセットした後、INTC が出力する転送要求信号（INTDREQn）の入力または外部デバイスが出力する転送要求信号 DREQn の入力により転送要求が発生するモードです。DMAC は INTDREQn 信号の “L” レベル検出で転送要求が発生するレベルモードと、DREQn 信号の立下りエッジまたは “L” レベル検出で転送要求が発生するモードとがあります。

(4) アドレスモード

TMP19A43 の DMAC が持っているアドレスモードは、デュアルアドレスモードのみです。シングルアドレスモードはありません。

デュアルアドレスモードでは、連続転送、または単発転送を行います。ソースデバイスおよびデスティネーションデバイスのアドレスは DMAC が出力します。I/O デバイスにアクセスする際、DMAC は DACKn 信号をアサートします。このモードでは、リードオペレーションとライトオペレーションの 2 つのバスオペレーションを実行します。なお、ソースデバイスから読み出した転送データは、DMAC 内部のデータホールディングレジスタ（DHR）にいったん取り込んだ後、デスティネーションデバイスへ書き込みます。

(5) チャンネル動作

DMAC には 8 つのチャンネル（チャンネル 0～チャンネル 7）があります。チャンネルは、チャンネル制御レジスタ（CCRn）のスタート（Str）ビットを “1” にセットすることにより起動され、待機状態になります。

チャンネルが待機状態のときに転送要求が発生すると、DMAC はバス制御権を獲得してデータ転送を行います。転送要求がなくなると、DMAC はバス制御権を解放して待機状態になります。転送が終了すると、チャンネルは停止状態になります。転送終了には、正常終了と、エラー発生などによる異常終了とがあります。転送終了時には割り込み信号が発生することができます。

チャンネル動作の状態遷移の概略を図 10-21 に示します。

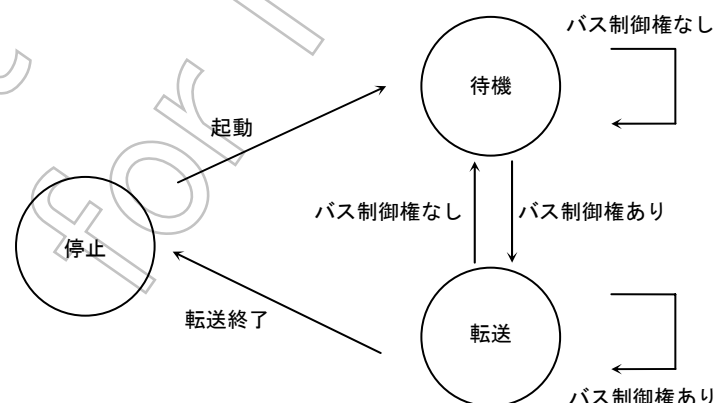


図10-21 チャンネル動作の状態遷移

(6) 転送方式組み合わせまとめ

DMAC は各モードの組み合わせにより、下表の転送ができます。

転送要求	エッジ/レベル	アドレスモード	転送デバイス
内部	—	デュアル	連続転送
外部	“L” レベル (INTDREQn)		単発転送
外部	“L” レベル (DREQn)		連続転送
	立ち下がりエッジ (DREQn)		単発転送

(7) アドレス変化

アドレス変化には大きくわけて増加、減少、固定の 3 タイプがあります。CCRn レジスタの SAC、DAC によりソースアドレスとデスティネーションアドレスごとに設定できます。単発転送を選んだ場合は、ソースデバイスまたはデスティネーションデバイスの設定は、CCRn レジスタの SAC または DAC の設定をアドレス固定にしてください。

アドレス変化に増加もしくは減少を選んだ場合、カウントするビット位置を DTCRn レジスタの SACM、DACM で設定できます。SACM がソースアドレスで、DACM がデスティネーションアドレスに対しての設定になります。アドレスをカウントするビット位置としてはビット 0, 4, 8, 12, 16 を指定できます。ビット 0 を選択したときは通常の増加、減少になります。ビット 4, 8, 12, 16 を指定することで変則増加、変則減少をさせることができます。

アドレス変化の例を示します。

例 1) ソースデバイスは単調増加、デスティネーションが変則増加のとき

SAC: アドレス増加
 DAC: アドレス増加
 TrSiz: 転送単位 32 ビット
 ソースアドレス: 0xA000_1000
 デスティネーションアドレス: 0xB000_0000
 SACM: 000 → アドレスカウンターの 0 ビット目からカウントする。
 DACM: 001 → アドレスカウンターの 4 ビット目からカウントする。

	ソース	デスティネーション
1 回目	0xA000_1000	0xB000_0000
2 回目	0xA000_1004	0xB000_0010
3 回目	0xA000_1008	0xB000_0020
4 回目	0xA000_100C	0xB000_0030

...

...

例 2) ソースデバイスは変則減少、デスティネーションが単調減少のとき

SAC: アドレス減少
 DAC: アドレス減少
 TrSiz: 転送単位 16 ビット
 ソースアドレス: 初期値 0xA000_1000
 デスティネーションアドレス: 0xB000_0000
 SACM: 010 → アドレスカウンターの 8 ビット目からカウントする。
 DACM: 000 → アドレスカウンターの 0 ビット目からカウントする。

	ソース	デスティネーション
1 回目	0xA000_1000	0xB000_0000
2 回目	0x9FFF_FF00	0xAFFF_FFFE
3 回目	0x9FFF_FE00	0xAFFF_FFFC
4 回目	0x9FFF_FD00	0xAFFF_FFFA

10.4.2 転送要求

DMAC でデータ転送を行うためには、DMAC に対して転送要求が発生する必要があります。DMAC の転送要求には、内部転送要求と外部転送要求との 2 種類があります。転送要求はチャンネルごとに設定できます。

どちらの転送要求の場合でも、チャンネル動作が起動された後に転送要求が発生すると DMAC はバス制御権を獲得してデータ転送を行います。

・内部転送要求

CCRn の ExR ビットが “0” であるとき、CCR の Str ビットに “1” をセットすると、ただちに転送要求が発生します。この転送要求を内部転送要求と呼びます。

内部転送要求では、チャンネル動作が終了するまで転送要求がありますので、優先度の高いチャンネルへの遷移や、他の優先度の高いバスマスタへのバス制御権の遷移が起こらない限り、連続してデータ転送を行います。

・外部転送要求

CCRn の ExR ビットが “1” であるとき、CCR の Str ビットに “1” をセットしてチャンネルが待機状態になった後、チャンネルに対応する $\overline{\text{INTDREQn}}$ 信号または $\overline{\text{DREQn}}$ 信号により転送要求が INTC または外部デバイスから通知されると、転送要求が発生します。この転送要求を外部転送要求と呼びます。外部転送要求は、連続転送、単発転送に用います。

TMP19A43 のリクエスト信号の認識方法は、 $\overline{\text{INTDREQn}}$ 信号の “L” レベル検出、 $\overline{\text{DREQn}}$ 信号の立ち下がリエッジまたは “L” レベル検出のみです。

1 回の転送要求に対するデータ転送単位は CCRn の TrSiz フィールドで指定します。32 ビット、16 ビット、あるいは 8 ビットを指定できます。

$\overline{\text{INTDREQn}}$ 、 $\overline{\text{DREQn}}$ による転送要求の詳細を次に説明します。

①割り込みコントローラ（INTC）からの要求

\overline{DACKn} 信号によってクリアされます。この \overline{DACKn} 信号は単発転送のバスサイクル、もしくは連続転送設定時の転送バイト数（BCRn レジスタの値）が“0”になったときだけアサートされます。したがって、単発転送では、転送要求ごとに $\overline{INTDREQn}$ がクリアされるので、TrSiz で指定した転送サイズ分の転送が 1 回行われるだけです。一方、連続転送では、転送バイト数（BCRn レジスタの値）が“0”になるまで $\overline{INTDREQn}$ がクリアされないため、1 回の転送要求で連続してデータ転送が行えます。

なお、 $\overline{INTDREQn}$ に指定した割り込みを、DMAC が受け付けて DMA 転送を開始する前に INTC などでクリアした場合には、タイミングによっては DMA 転送が割り込み要求がクリアされた後に 1 回実行されることがあります。

②外部デバイスからの要求

外部端子（ $\overline{DREQ0}$ 、 $\overline{DREQ4}$ ）は、内部にてポート F 兼用チャネルとなっています。機能制御レジスタ PFFC にて外部端子を選択することができます。

エッジモードでは転送要求ごとに、いったん \overline{DREQn} 信号をデアサートしてからアサートして有効エッジを作る必要がありますが、レベルモードでは、有効レベルを保持することで、連続した転送要求を認識できます。連続転送では“L”レベルモードのみ、単発転送では立下りエッジモードのみ使用可能です。

ーレベルモード

レベルモードでは、内部システムクロックの立ち上がりで \overline{DREQn} 信号を“L”レベル検出します。チャネルが待機状態のときに、 \overline{DREQn} 信号に“L”レベルを検出すると、DMAC は転送状態に移りデータ転送を開始します。 \overline{DREQn} 信号のアクティブレベルは CCRn レジスタの PosE ビット（bit13）を“0”にして使用します。 \overline{DACKn} 信号のアクティブレベルは \overline{DREQn} 信号と同じ“L”アクティブです。

外部回路が \overline{DREQn} 信号をアサートしたら、 \overline{DACKn} 信号がアサートされるまで \overline{DREQn} 信号を“L”レベルに保持してください。 \overline{DACKn} 信号がアサートされる前に \overline{DREQn} 信号をデアサートした場合には、転送要求が認識されないことがあります。

\overline{DREQn} 信号が“L”レベルでないと、転送要求がないとして、他のチャネルの転送動作を開始するか、バス制御権を解放して待機状態になります。

転送要求の単位は、CCRn レジスタの TrSiz フィールド（<bit3:2>）で指定します。

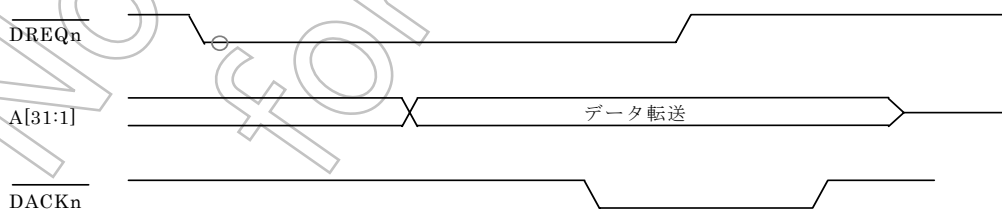


図10-22 転送要求タイミング（レベルモード）

ーエッジモード

エッジモードでは、 $\overline{\text{DREQn}}$ 信号の立ち下がりエッジを検出します。チャンネルが待機状態にあるときに内部システムクロックの立ち上がりで $\overline{\text{DREQn}}$ 信号の立ち下がりエッジを認識する（1つ前のシステムクロックの立ち上がりでは”L”レベルではなかったが、現在は”L”レベルである場合）と、DMACは転送要求があると認識して転送状態に移り、転送動作を開始します。 $\overline{\text{DREQn}}$ 信号の立ち下がりエッジは、CCRn レジスタの PosE ビット (bit13) を”0”に、Lev ビット (bit12) を”0”に設定します。 $\overline{\text{DACKn}}$ 信号のアクティブレベルは”L”レベルです。

$\overline{\text{DACKn}}$ 信号がアサートされた以降に $\overline{\text{DREQn}}$ 信号の立ち下がりエッジを認識すると、続けて次のデータが転送されます。

$\overline{\text{DACKn}}$ 信号がアサートされた以降に $\overline{\text{DREQn}}$ 信号の立ち下がりエッジがない場合には、転送要求がないとして、他のチャンネル動作を開始するか、バス制御権を解放して待機状態になります。

転送要求の単位は、CCRn レジスタの TrSiz ビット (<bit3:2>) で指定します。



図10-23 転送要求タイミング（エッジモード）

割り込みを DMA の起動要因にした場合、転送要求のクリアは命令では行えません。前回の DMA 転送終了後に、DMA 起動要因が残っている可能性が有ります。DMA 転送終了割り込みの中で、ダミー転送を実施してください。

CCRx	= 設定;	} DMA 要求のクリア（ダミー転送を行う）
SARx	= (RAM のアドレス)	
DARx	= (RAM のアドレス)	
BCRx	= 0x01;	
DTCRx	= 0x00;	
CCRx	= (チャンネルスタート)	

10.4.3 アドレスモード

アドレスモードは、DMAC がソースデバイス、デスティネーションデバイスの双方にアドレスを出力して転送動作を行うか、あるいは一方のデバイスにのみアドレスを出力して転送動作を行うかを指定します。前者をデュアルアドレスモード、後者をシングルアドレスモードと呼びます。TMP19A43 には前者のデュアルアドレスモードしかありません。

デュアルアドレスモードでは、DMAC はまずソースデバイスに対するリードオペレーションを実行します。このときソースデバイスが出力したデータを、DMAC 内部のレジスタ (DHR) にいったん格納します。次にデスティネーションデバイスに対するライトオペレーションを実行することによって、このデータを書き込み、ソースデバイスからデスティネーションデバイスへのデータ転送を実現します。

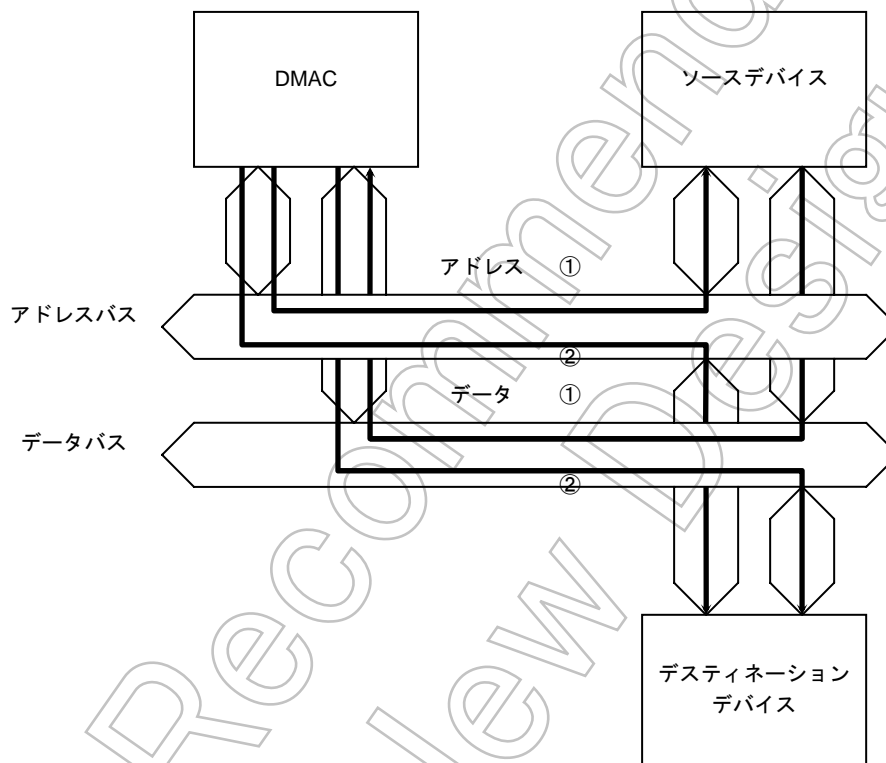


図10-24 デュアルアドレスモード転送の概念図

DMAC のデータ転送単位は、CCRn の TrSiz フィールドで指定したデータ量 (32 ビット、16 ビットまたは 8 ビット) です。転送要求を認識するとこの転送単位分のデータを転送します。

デュアルアドレスモードでは、データ転送単位分のデータをソースデバイスから DHR に読み込み、次にそのデータをデスティネーションデバイスに書き込みます。

内蔵メモリへのアクセスは設定したデータ転送単位で発生しますが、外部のメモリへのアクセスの場合、データ転送単位が 32 ビットの設定で、CS ウェイトコントローラでのバス幅の設定が 16 ビットの場合には 2 回の 16 ビットアクセスが発生することになります。同様にデータ転送単位が 32 ビットの設定で、CS ウェイトコントローラでのバス幅の設定が 8 ビットの場合には 4 回の 8 ビットアクセスが発生することになります。

10.4.4 チャネル動作

チャネルは、各チャネルの CCRn の Str ビットが “1” にセットされると起動されます。チャネルが起動されると、起動のチェックが行われ、エラーがない場合にはそのチャネルは待機状態になります。

チャネルが待機状態であるときに転送要求が発生すると、DMAC はバス制御権を獲得して、転送動作を開始します。

チャネル動作の終了には、正常終了と、エラー発生などによる異常終了とがあります。終了したときの状態は、CSRn に示されます。

チャネル動作の開始

チャネルは CCRn の Str ビットが “1” にセットされると起動されます。

チャネルが起動されると、コンフィグレーションエラーのチェックを行い、エラーがなければ待機状態になります。エラーが検出されると、チャネルは異常終了します。チャネルが待機状態になると、そのチャネルの CSRn の Act ビットが “1” になります。

チャネルが内部転送要求に設定されている場合には、ただちに転送要求が発生し、DMAC はバス制御権を得てデータ転送を開始します。チャネルが外部転送要求に設定されている場合には、TINTDREQn または DREQn がアサートされると DMAC はバス制御権を得てデータ転送を開始します。

チャネル動作の終了

チャネル動作の終了には、正常終了と異常終了とがあります。正常終了であるか異常終了であるかは、CSRn に示されます。

CSRn レジスタの NC ビットあるいは AbC ビットが “1” のときに CCRn レジスタの Str ビットに “1” をセットしようとする、チャネル動作は開始せず、異常終了となります。

正常終了

チャネルが正常終了するのは、次の場合です。なお、正常終了では、かならずデータ転送単位 (CCRn の TrSiz フィールドで設定した値) での転送終了後の終了となります。

- BCRn の内容が 0 になりデータ転送が終了した場合

異常終了

DMAC の異常終了には次のものがあります。

- コンフィグレーションエラーによる終了

コンフィグレーションエラーとは、DMA 転送の設定の誤りです。コンフィグレーションエラーはデータ転送動作を開始する前に発生しますので、SARn、DARn、BCRn の値は設定時のままです。コンフィグレーションエラーでチャネルが異常終了すると、CSRn の AbC ビットが “1” にセットされると同時に Conf ビットも “1” にセットされます。以下にコンフィグレーションエラーの要因を示します。

- CSRn の NC ビットあるいは AbC ビットの値が “1” であるときに CCRn の Str ビットに “1” をセットした。
- BCRn にデータ転送単位で割り切れない値を設定した。
- SARn、DARn にデータ転送単位で割り切れない値を設定した。
- デバイSPORTサイズとデータ転送単位を禁止された組み合わせに設定した。
- BCRn の値が 0 のときに CCRn の Str ビットに “1” をセットした。

- バスエラーによる終了

バスエラーによる異常終了では、CSRn の AbC ビットに “1” がセットされると同時に、CSRn の BES ビットあるいは BED ビットに “1” がセットされます。

- データ転送中にバスエラーが通知された。

(注) バスエラーで終了した場合の BCR、SAR、DAR の値は保証されません。
バスエラーを起こす場合は後述の「21. 機能レジスタ一覧表」を参照してください。

10.4.5 チャンネルの優先順位

DMAC にある 8 つのチャンネルのうち、チャンネル番号の小さい方の優先度が常に高くなっています。このため、チャンネル 0 とチャンネル 1 と同時に転送要求が発生すると、チャンネル 0 の転送要求に対する転送動作をまず行います。チャンネル 0 の転送要求がなくなった時点でチャンネル 1 に依然として転送要求が発生していれば、チャンネル 1 の転送動作を実行します（内部転送要求では、転送要求は保持されています。外部転送要求では、割り込みコントローラ中で DMA 要求に割り当てた割り込み要求に対するアクティブ状態の設定がエッジモードのときには割り込みコントローラが転送要求を保持していますが、レベルモードでは割り込みコントローラは転送要求を保持しません。割り込みコントローラ中で DMA 要求に割り当てた割り込み要求に対するアクティブ状態の設定をレベルモードにした場合には、割り込み要求信号をアサートし続けてください）。

また、チャンネル 1 のデータ転送中にチャンネル 0 に転送要求が発生すると、チャンネル遷移が起こります。チャンネル 1 のデータ転送を一時中断し、チャンネル 0 の転送を開始します。チャンネル 0 の転送要求がなくなると、チャンネル 1 の転送動作を再開します。

チャンネル遷移が起こるタイミングは、データ転送単位の転送終了時です。すなわち、DHR 内のデータをすべて書き込んだときとなります。

割り込み

DMAC はチャンネル動作終了時に TX19A プロセッサコアに割り込み（INTDMA_n : DMA 転送終了割り込み）を要求することができます。割り込みには、正常終了割り込み、異常終了割り込みの 2 つがあります。

INTDMA0 : 0~3ch INTDMA1 : 4~7ch

- 正常終了割り込み

チャンネル動作が正常終了すると、CSRn の NC ビットが “1” にセットされます。このとき CCRn の NIEn ビットで正常終了割り込みが許可されていると、TX19A プロセッサコアに割り込みを要求します。

- 異常終了割り込み

チャンネル動作が異常終了すると、CSRn の AbC ビットに “1” がセットされます。このとき CCRn の AbIEn ビットで異常終了割り込みが許可されていると TX19A プロセッサコアに割り込みを要求します。

(注) DMA 転送終了割り込みは 0~3ch : INTDMA0, 4~7ch : INTDMA1 の 2 つとなります。

10.5 タイミング図

DMAC の動作は、内部システムクロックの立ち上がりエッジに同期して行われます。

10.5.1 デュアルアドレスモード

- 連続転送

外部メモリ（16 ビット幅）から外部メモリ（16 ビット幅）へ 16 ビットデータ転送する場合の 1 回分のタイミング例を図 10-25 に示します。実際にはデータは BCRn が“0” になるまで連続して転送されます。

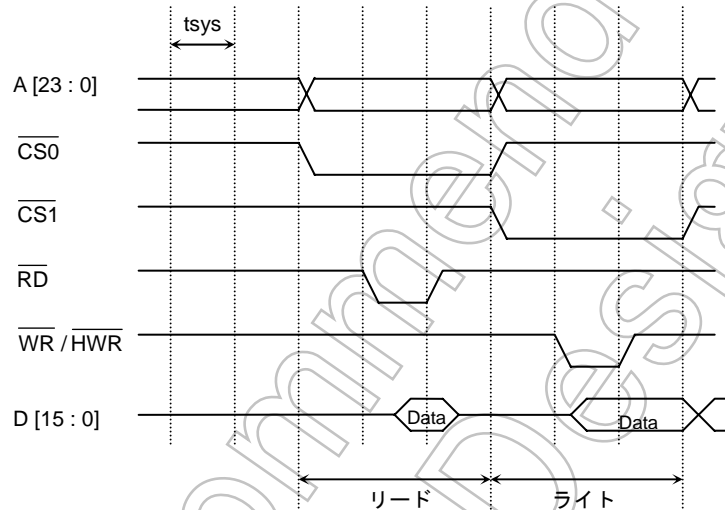


図10-25 デュアルアドレスモード（連続転送）

10.5.2 DREQnによる転送モード

- 内蔵 RAM→外部メモリ転送（マルチプレクスバス、5 ウェイト挿入、レベルモード）
内蔵 RAM から外部メモリ（16 ビット幅）へ 16 ビットデータ転送する場合の 2 回分のタイミング例を図 10-26 に示します。

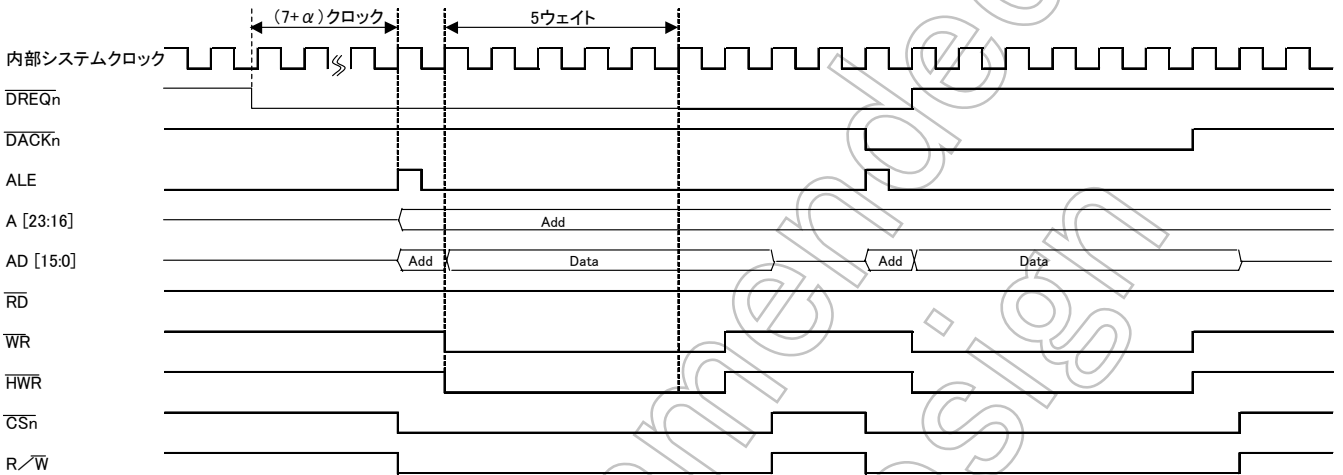


図 10-26 レベルモード（内蔵 RAM→外部メモリ）

- 外部メモリ→内蔵 RAM 転送（マルチプレクスバス、5 ウェイト挿入、レベルモード）
外部メモリ（16 ビット幅）から内蔵 RAM へ 16 ビットデータ転送する場合の 2 回分のタイミング例を図 10-23 に示します。

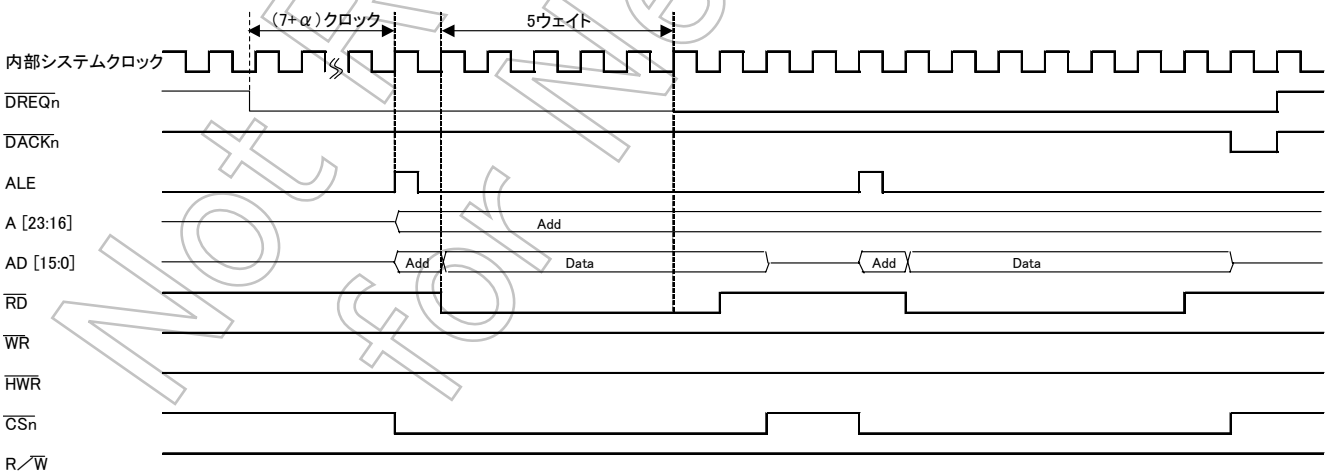


図 10-27 レベルモード（外部メモリ→内蔵 RAM）

- 内蔵 RAM → 外部メモリ転送（セパレートバス、5 ウェイト挿入、レベルモード）
内蔵 RAM から外部メモリ（16 ビット幅）へ 16 ビットデータ転送する場合の 2 回分のタイミング例を図 10-28 に示します。

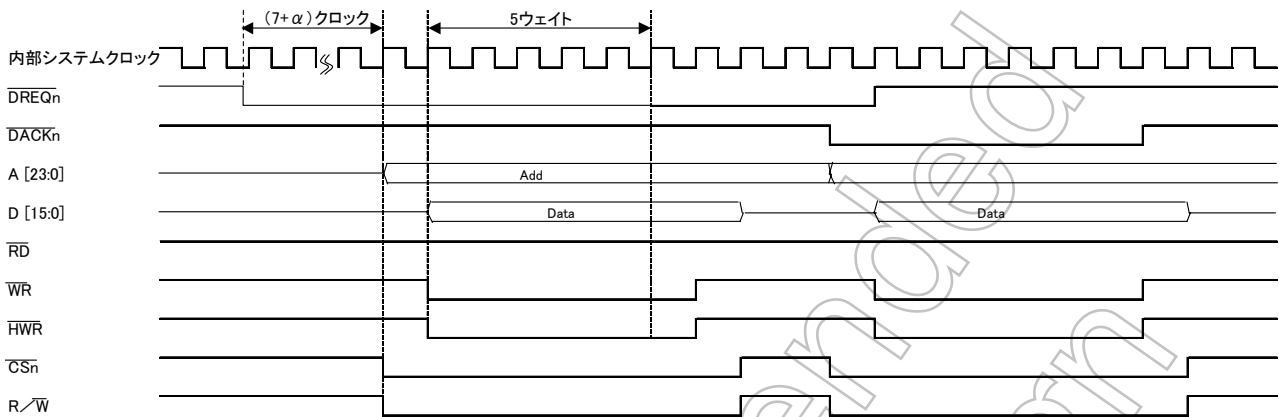


図 10-28 レベルモード（内蔵 RAM → 外部メモリ）

- 外部メモリ → 内蔵 RAM 転送（セパレートバス、5 ウェイト挿入、レベルモード）
外部メモリ（16 ビット幅）から内蔵 RAM へ 16 ビットデータ転送する場合の 2 回分のタイミング例を図 10-29 に示します。

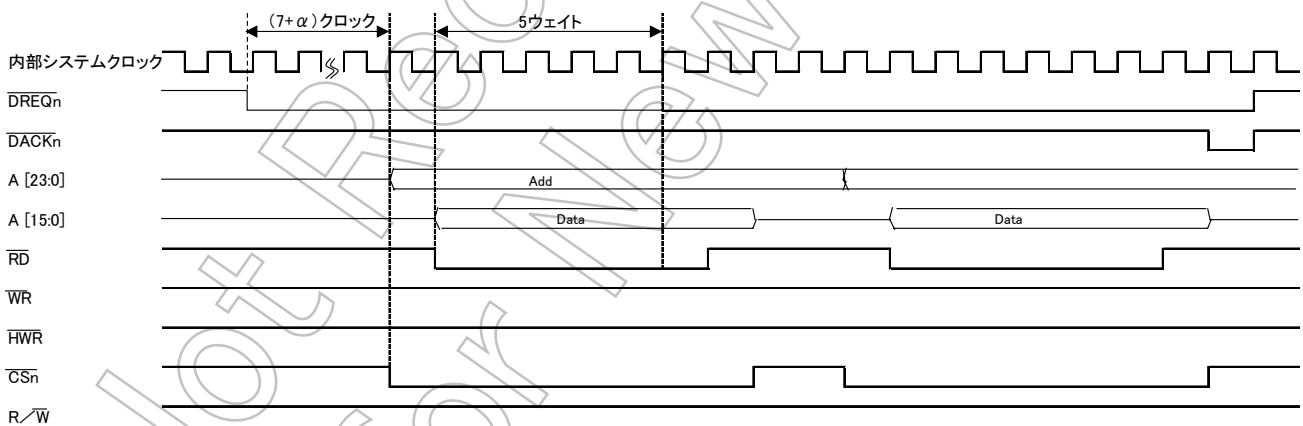


図 10-29 レベルモード（外部メモリ → 内蔵 RAM）

- 内蔵 RAM→外部メモリ転送（マルチプレクスバス、5 ウェイト挿入、エッジモード）
 内蔵 RAM から外部メモリ（16 ビット幅）へ 16 ビットデータ転送する場合の 1 回分のタイミング例を図 10-30に示します。

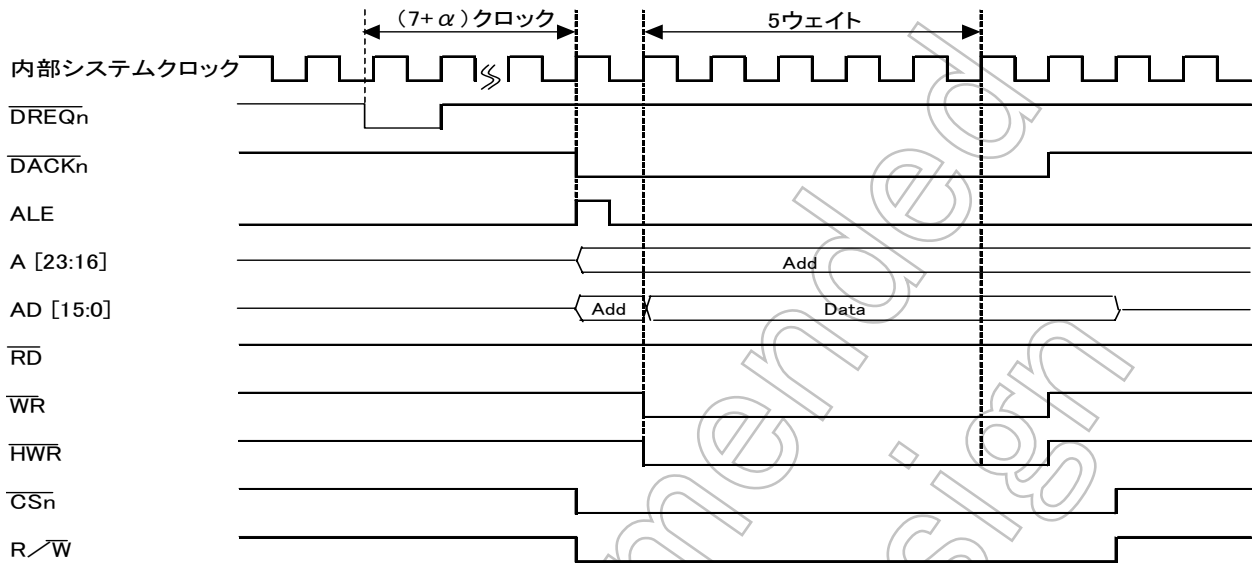


図 10-30 エッジモード（内蔵 RAM→外部メモリ）

- 外部メモリ→内蔵 RAM 転送（マルチプレクスバス、5 ウェイト挿入、エッジモード）
 外部メモリ（16 ビット幅）から内蔵 RAM へ 16 ビットデータ転送する場合の 1 回分のタイミング例を図 10-31に示します。

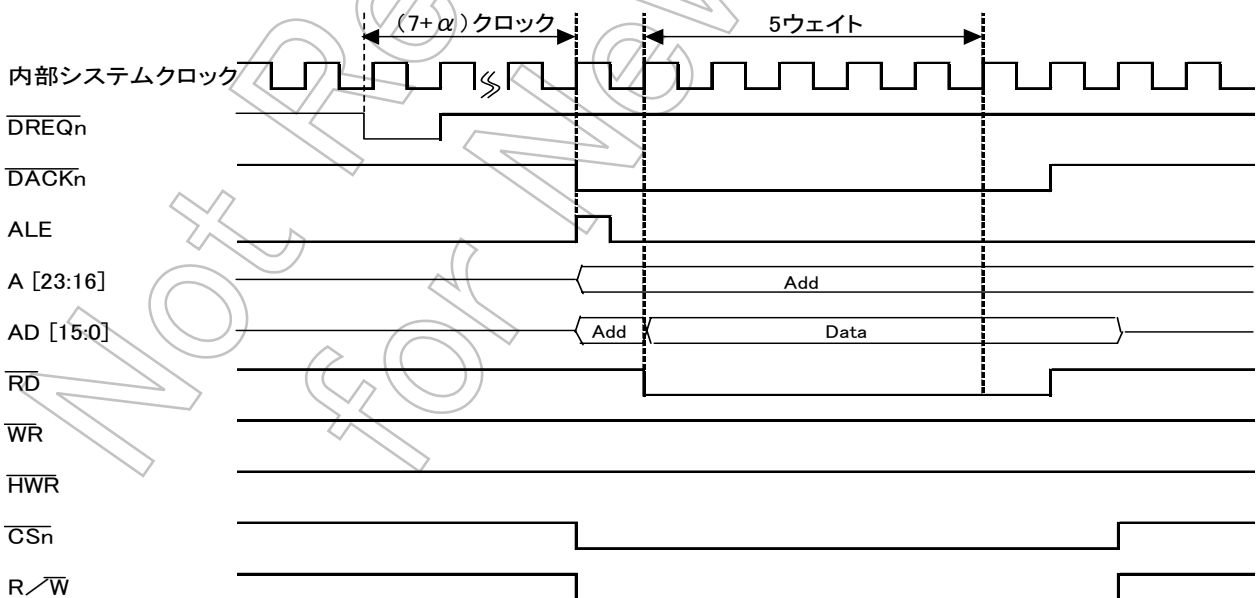


図 10-31 エッジモード（外部メモリ→内蔵 RAM）

- 内蔵 RAM→外部メモリ転送（セパレートバス、5 ウェイト挿入、エッジモード）
内蔵 RAM から外部メモリ（16 ビット幅）へ 16 ビットデータ転送する場合の 1 回分のタイミング例を図 10-32 に示します。

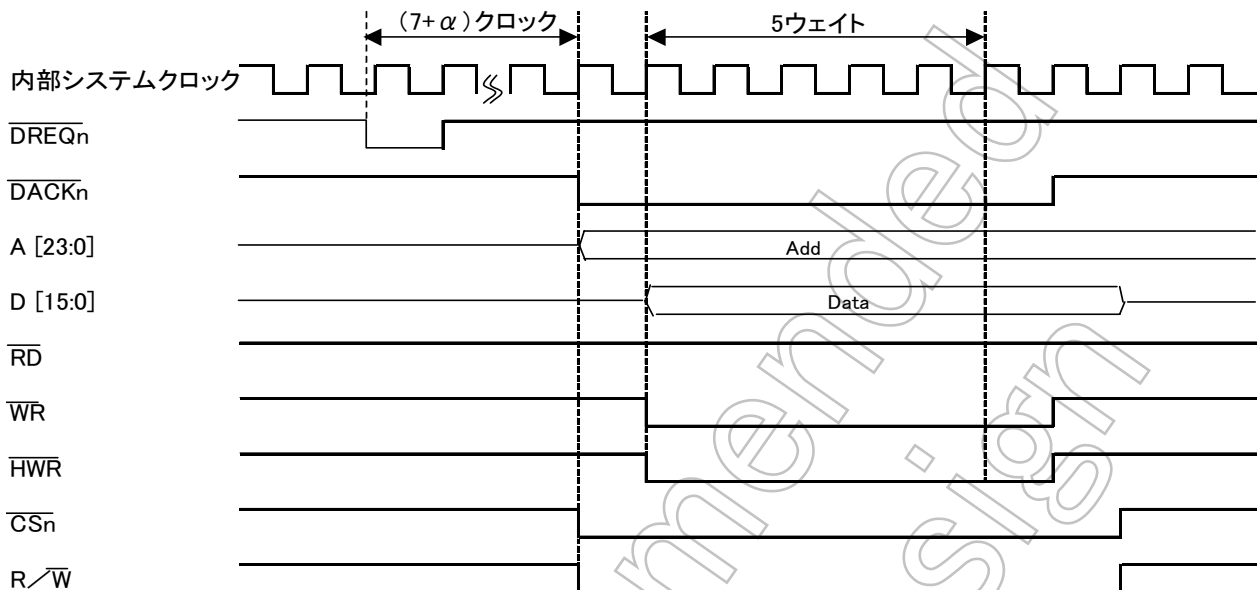


図 10-32 エッジモード（内蔵 RAM→外部メモリ）

- 外部メモリ→内蔵 RAM 転送（セパレートバス、5 ウェイト挿入、エッジモード）
外部メモリ（16 ビット幅）から内蔵 RAM へ 16 ビットデータ転送する場合の 1 回分のタイミング例を図 10-33 に示します。

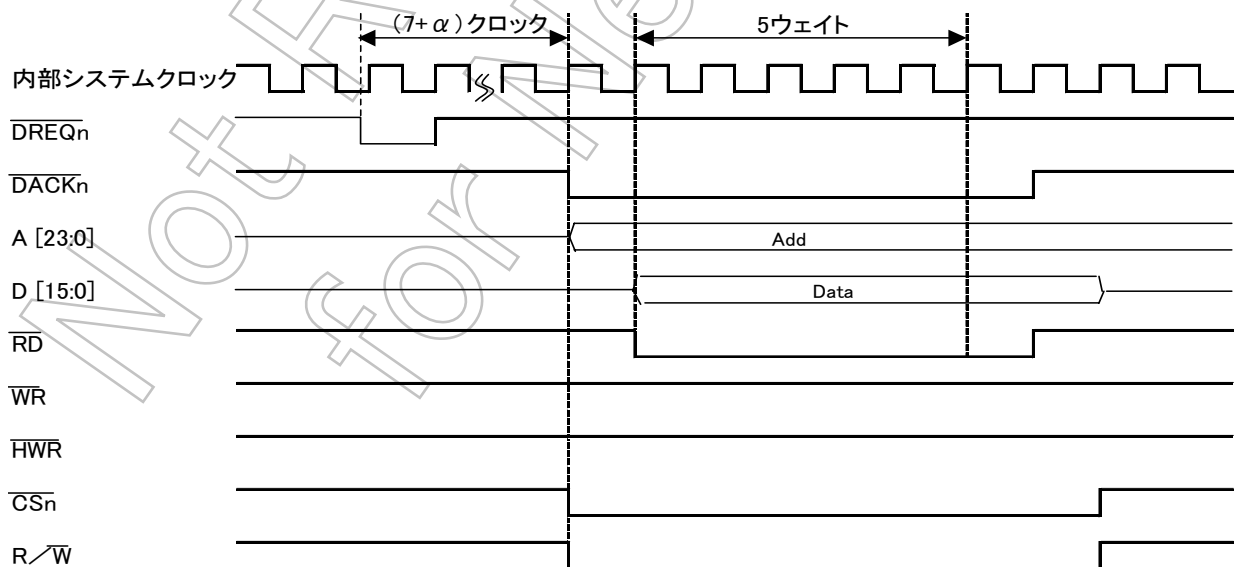


図 10-33 エッジモード（外部メモリ→内蔵 RAM）

10.6 設定例：シリアル受信データ (SCnBUF) を内蔵 RAM に DMA 転送する例

転送には DMA (ch. 0) を使い、SI01 の受信割り込みで DMA0 を起動します。

<DMA 設定例>

- 使用チャンネル：0
- ソースアドレス：SC1BUF
- デスティネーション：(物理アドレス) 0xFFFF_9800
- 転送バイト数：256 バイト

<シリアルチャネル設定例>

- データ長 8 ビット：UART
- シリアルチャネル：ch1
- 転送レート：9600bps

<SI0 ch.1 設定>

```

IMC5LL ← x111, x100 /* DMC0 起動要因に割り当て */
INTCLR ← 0x050 /* IVR [8:0], INTRX1 割り込み要因 */
SC1MOD0 ← 0x29 /* UART モード, 8 ビット長, ポーレートジェネレータ */
SC1CR ← 0x00
BR1CR ← 0x1F /* @fc = 40 MHz */

```

<DMA0 設定>

```

DCR ← 0x8000_0000 /* DMA リセット */
IMCFHL ← x000, x000 /* 割り込み禁止 */
INTCLR ← 0x0F8 /* IVR [8:0] の値 */
IMCFHL ← x000, x100 /* レベル = 4 (任意値) */
DTCRO ← 0x0000_0000 /* DACM = 000 */
/* SACM = 000 */
SARO ← 0xFFFF_F208 /* SC1BUF の物理アドレス */
DARO ← 0xFFFF_9800 /* 転送先の物理アドレス */
BCRO ← 0x0000_00FF /* 256 (転送バイト数) */
CGRO ← 0x80C0_5B0F /* DMA ch.0 設定 */

```

(内容)

```

31 27 23 19
|-----|-----|-----|
1 0 0 0 0 0 0 1 1 0 0 0 0 0 0
|-----|-----|-----|
15 11 7 3
|-----|-----|-----|
0 1 0 1 1 x 1 1 x 0 0 0 1 1 1 1

```

割り込みを DMA の起動要因にした場合、転送要求のクリアは命令では行えません。
 前回の DMA 転送終了後に、DMA 起動要因が残っている可能性があります。
 DMA 転送終了割り込みの中で、ダミー転送を実施してください (10-25 ページ参照)。

11. 16ビットタイマ/イベントカウンタ (TMRB)

多機能 16 ビットタイマ/イベントカウンタを 16 チャンネル (TMRB0~TMRF) 内蔵しています。
TMRB は、次の 4 つの動作モードをもっています。

- 16 ビットインタバルタイマモード
- 16 ビットイベントカウンタモード
- 16 ビットプログラマブル矩形波出力 (PPG) モード
- タイマ同期モード (4ch 毎に同期出力設定可能)
- 2 相パルス入力カウンタモード (4 通倍/通常、TMRB2、TMRB3、TMRB6、TMRB7 のみ)

また、キャプチャ機能を利用することで、次のような動作を行うことができます。

- 周波数測定モード
- パルス幅測定モード
- 時間差測定モード

各チャンネルは、主に 16 ビットアップカウンタ、16 ビットタイマレジスタ 2 本 (1 本はダブルバッファ構造)、16 ビットのキャプチャレジスタ 2 本、コンパレータ 2 個、および、キャプチャ入力制御、タイマフリップフロップとその制御回路で構成されています。タイマの動作モードやタイマフリップフロップはレジスタで制御されます。

各チャンネル (TMRB0~TMRBF) はそれぞれ独立に動作します。いずれのチャンネルも表 11-1 に示される仕様相違点と 2 相パルスカウント機能を除いて同一の動作をしますので、動作説明は TMRB0 の場合と 2 相パルスカウント機能 (TMRB2、TMRB3、TMRB6、TMRB7) についてのみ説明します。

下記チャンネルはキャプチャトリガや、同期トリガに使用されます。

- (1) TMRB 0、8 のフリップフロップ出力を他のチャンネルのキャプチャトリガとして使用可能
 - TB0OUT => TMRB 1 ~ 7 で使用
 - TB8OUT => TMRB 9 ~ F で使用
- (2) タイマ同期モードのスタートトリガ (TBxRUN を使用)
 - TMRB0 => TMRB0, 1, 2, 3 を同時スタート
 - TMRB4 => TMRB4, 5, 6, 7 を同時スタート
 - TMRB8 => TMRB8, 9, A, B を同時スタート
 - TMRBC => TMRBC, D, E, F を同時スタート

表 11-1TMRB のチャンネル別仕様相違点

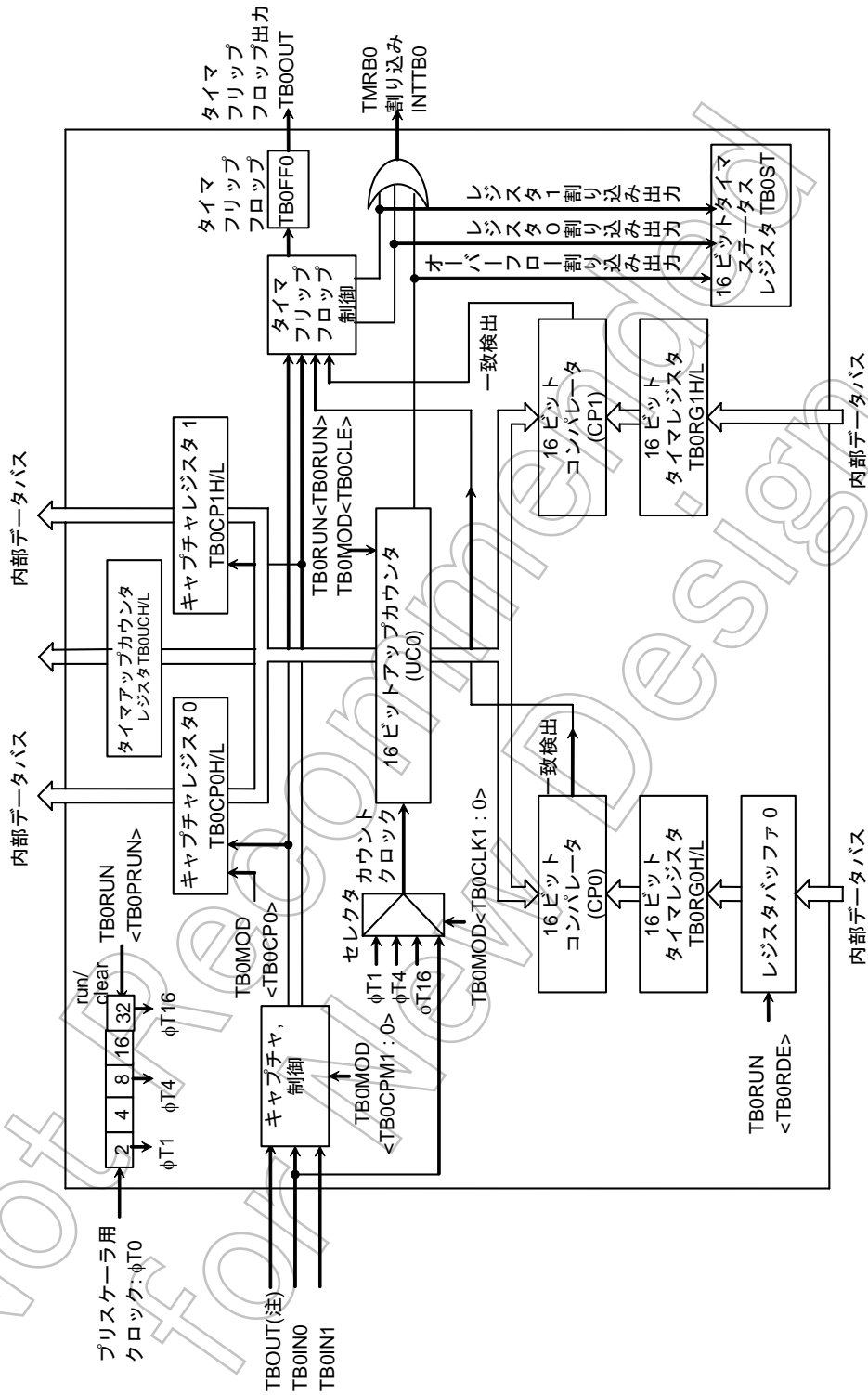
仕様		チャンネル			
		TMRB0	TMRB1	TMRB2	TMRB3
外部端子	外部クロック/ キャプチャトリガ入力端子	TB0IN0 (P20 と兼用) TB0IN1 (P21 と兼用)	TB1IN0 (P22 と兼用) TB1IN1 (P23 と兼用)	TB2IN0 (PA6 と兼用) TB2IN1 (PA7 と兼用)	TB3IN0 (PB0 と兼用) TB3IN1 (PB1 と兼用)
	タイマフリップフロップ 出力端子	TB0OUT (P54 と兼用)	TB1OUT (P55 と兼用)	TB2OUT (P56 と兼用)	TB3OUT (P57 と兼用)
内部信号	キャプチャトリガ用タイマ	—	TB0OUT	TB0OUT	TB0OUT
	同期スタートトリガ用タイマ	—	TMRB0	TMRB0	TMRB0
レジスタ名 (アドレス)	タイマ RUN レジスタ	TB0RUN (0xFFFF_F140)	TB1RUN (0xFFFF_F150)	TB2RUN (0xFFFF_F160)	TB3RUN (0xFFFF_F170)
	タイマコントロール レジスタ	TB0CR (0xFFFF_F141)	TB1CR (0xFFFF_F151)	TB2CR (0xFFFF_F161)	TB3CR (0xFFFF_F171)
	タイマモードレジスタ	TB0MOD (0xFFFF_F142)	TB1MOD (0xFFFF_F152)	TB2MOD (0xFFFF_F162)	TB3MOD (0xFFFF_F172)
	タイマフリップフロップ コントロールレジスタ	TB0FFCR (0xFFFF_F143)	TB1FFCR (0xFFFF_F153)	TB2FFCR (0xFFFF_F163)	TB3FFCR (0xFFFF_F173)
	タイマステータスレジスタ	TB0ST (0xFFFF_F144)	TB1ST (0xFFFF_F154)	TB2ST (0xFFFF_F164)	TB3ST (0xFFFF_F174)
	タイマアップカウンタ レジスタ	TB0UCL TB0UCH	TB1UCL TB1UCH	TB2UCL TB2UCH	TB3UCL TB3UCH
	タイマレジスタ	TB0RG0L (0xFFFF_F148)	TB1RG0L (0xFFFF_F158)	TB2RG0L (0xFFFF_F168)	TB3RG0L (0xFFFF_F178)
		TB0RG0H (0xFFFF_F149)	TB1RG0H (0xFFFF_F159)	TB2RG0H (0xFFFF_F169)	TB3RG0H (0xFFFF_F179)
		TB0RG1L (0xFFFF_F14A)	TB1RG1L (0xFFFF_F15A)	TB2RG1L (0xFFFF_F16A)	TB3RG1L (0xFFFF_F17A)
		TB0RG1H (0xFFFF_F14B)	TB1RG1H (0xFFFF_F15B)	TB2RG1H (0xFFFF_F16B)	TB3RG1H (0xFFFF_F17B)
	キャプチャレジスタ	TB0CP0L (0xFFFF_F14C)	TB1CP0L (0xFFFF_F15C)	TB2CP0L (0xFFFF_F16C)	TB3CP0L (0xFFFF_F17C)
		TB0CP0H (0xFFFF_F14D)	TB1CP0H (0xFFFF_F15D)	TB2CP0H (0xFFFF_F16D)	TB3CP0H (0xFFFF_F17D)
		TB0CP1L (0xFFFF_F14E)	TB1CP1L (0xFFFF_F15E)	TB2CP1L (0xFFFF_F16E)	TB3CP1L (0xFFFF_F17E)
TB0CP1H (0xFFFF_F14F)		TB1CP1H (0xFFFF_F15F)	TB2CP1H (0xFFFF_F16F)	TB3CP1H (0xFFFF_F17F)	

仕様		チャンネル			
		TMRB4	TMRB5	TMRB6	TMRB7
外部端子	外部クロック/ キャプチャトリガ入力端子	TB4IN0 (P24 と兼用) TB4IN1 (P25 と兼用)	TB5IN0 (P26 と兼用) TB5IN1 (P27 と兼用)	TB6IN0 (PA0 と兼用) TB6IN1 (PA1 と兼用)	TB7IN0 (PA2 と兼用) TB7IN1 (PA3 と兼用)
	タイマフリップフロップ 出力端子	TB4OUT (P66 と兼用)	TB5OUT (P67 と兼用)	TB6OUT (P90 と兼用)	TB7OUT (P91 と兼用)
内部信号	キャプチャトリガ用タイマ	TB0OUT	TB0OUT	TB0OUT	TB0OUT
	同期スタートトリガ用タイマ	—	TMRB4	TMRB4	TMRB4
レジスタ名 (アドレス)	タイマ RUN レジスタ	TB4RUN (0xFFFF_F180)	TB5RUN (0xFFFF_F190)	TB6RUN (0xFFFF_F1A0)	TB7RUN (0xFFFF_F1B0)
	タイマコントロール レジスタ	TB4CR (0xFFFF_F181)	TB5CR (0xFFFF_F191)	TB6CR (0xFFFF_F1A1)	TB7CR (0xFFFF_F1B1)
	タイマモードレジスタ	TB4MOD (0xFFFF_F182)	TB5MOD (0xFFFF_F192)	TB6MOD (0xFFFF_F1A2)	TB7MOD (0xFFFF_F1B2)
	タイマフリップフロップ コントロールレジスタ	TB4FFCR (0xFFFF_F183)	TB5FFCR (0xFFFF_F193)	TB6FFCR (0xFFFF_F1A3)	TB7FFCR (0xFFFF_F1B3)
	タイマステータスレジスタ	TB4ST (0xFFFF_F184)	TB5ST (0xFFFF_F194)	TB6ST (0xFFFF_F1A4)	TB7ST (0xFFFF_F1B4)
	タイマアップカウンタ レジスタ	TB4UCL TB4UCH	TB5UCL TB5UCH	TB6UCL TB6UCH	TB7UCL TB7UCH
	タイマレジスタ	TB4RG0L (0xFFFF_F188)	TB5RG0L (0xFFFF_F198)	TB6RG0L (0xFFFF_F1A8)	TB7RG0L (0xFFFF_F1B8)
		TB4RG0H (0xFFFF_F189)	TB5RG0H (0xFFFF_F199)	TB6RG0H (0xFFFF_F1A9)	TB7RG0H (0xFFFF_F1B9)
		TB4RG1L (0xFFFF_F18A)	TB5RG1L (0xFFFF_F19A)	TB6RG1L (0xFFFF_F1AA)	TB7RG1L (0xFFFF_F1BA)
		TB4RG1H (0xFFFF_F18B)	TB5RG1H (0xFFFF_F19B)	TB6RG1H (0xFFFF_F1AB)	TB7RG1H (0xFFFF_F1BB)
	キャプチャレジスタ	TB4CP0L (0xFFFF_F18C)	TB5CP0L (0xFFFF_F19C)	TB6CP0L (0xFFFF_F1AC)	TB7CP0L (0xFFFF_F1BC)
		TB4CP0H (0xFFFF_F18D)	TB5CP0H (0xFFFF_F19D)	TB6CP0H (0xFFFF_F1AD)	TB7CP0H (0xFFFF_F1BD)
		TB4CP1L (0xFFFF_F18E)	TB5CP1L (0xFFFF_F19E)	TB6CP1L (0xFFFF_F1AE)	TB7CP1L (0xFFFF_F1BE)
TB4CP1H (0xFFFF_F18F)		TB5CP1H (0xFFFF_F19F)	TB6CP1H (0xFFFF_F1AF)	TB7CP1H (0xFFFF_F1BF)	

仕様		チャンネル	TMRB8	TMRB9	TMRBA	TMRBB	
外部端子	外部クロック/ キャプチャトリガ入力端子		TB8IN0 (PA4 と兼用) TB8IN1 (PA5x と兼用)	-	-	-	
	タイマフリップフロップ 出力端子		TB8OUT (P92 と兼用)	TB9OUT (P96 と兼用)	TBAOUT (P97 と兼用)	TBBOUT (PD3 と兼用)	
内部信号	キャプチャトリガ用タイマ	-		TB8OUT	TB8OUT	TB8OUT	
	同期スタートトリガ用タイマ	-		TMRB8	TMRB8	TMRB8	
レジスタ名 (アドレス)	タイマ RUN レジスタ		TB8RUN (0xFFFF_F1C0)	TB9RUN (0xFFFF_F1D0)	TBARUN (0xFFFF_F1E0)	TBBRUN (0xFFFF_F1F0)	
	タイマコントロール レジスタ		TB8CR (0xFFFF_F1C1)	TB9CR (0xFFFF_F1D1)	TBACR (0xFFFF_F1E1)	TBBCR (0xFFFF_F1F1)	
	タイマモードレジスタ		TB8MOD (0xFFFF_F1C2)	TB9MOD (0xFFFF_F1D2)	TBAMOD (0xFFFF_F1E2)	TBBMOD (0xFFFF_F1F2)	
	タイマフリップフロップ コントロールレジスタ		TB8FFCR (0xFFFF_F1C3)	TB9FFCR (0xFFFF_F1D3)	TBAFFCR (0xFFFF_F1E3)	TBFFCR (0xFFFF_F1F3)	
	タイマステータスレジスタ		TB8ST (0xFFFF_F1C4)	TB9ST (0xFFFF_F1D4)	TBAST (0xFFFF_F1E4)	TBBST (0xFFFF_F1F4)	
	タイマアップカウンタ レジスタ		TB8UCL TB8UCH	TB9UCL TB9UCH	TBAUCL TBAUCH	TBBUCL TBBUCH	
		タイマレジスタ		TB8RG0L (0xFFFF_F1C8) TB8RG0H (0xFFFF_F1C9) TB8RG1L (0xFFFF_F1CA) TB8RG1H (0xFFFF_F1CB)	TB9RG0L (0xFFFF_F1D8) TB9RG0H (0xFFFF_F1D9) TB9RG1L (0xFFFF_F1DA) TB9RG1H (0xFFFF_F1DB)	TBARG0L (0xFFFF_F1E8) TBARG0H (0xFFFF_F1E9) TBARG1L (0xFFFF_F1EA) TBARG1H (0xFFFF_F1EB)	TBBRG0L (0xFFFF_F1F8) TBBRG0H (0xFFFF_F1F9) TBBRG1L (0xFFFF_F1FA) TBBRG1H (0xFFFF_F1FB)
	キャプチャレジスタ			TB8CP0L (0xFFFF_F1CC) TB8CP0H (0xFFFF_F1CD) TB8CP1L (0xFFFF_F1CE) TB8CP1H (0xFFFF_F1CF)	TB9CP0L (0xFFFF_F1DC) TB9CP0H (0xFFFF_F1DD) TB9CP1L (0xFFFF_F1DE) TB9CP1H (0xFFFF_F1DF)	TBACP0L (0xFFFF_F1EC) TBACP0H (0xFFFF_F1ED) TBACP1L (0xFFFF_F1EE) TBACP1H (0xFFFF_F1EF)	TBBCP0L (0xFFFF_F1FC) TBBCP0H (0xFFFF_F1FD) TBBCP1L (0xFFFF_F1FE) TBBCP1H (0xFFFF_F1FF)

仕様		チャンネル	TMRBC	TMRBD	TMRBE	TMRBF	
外部端子	外部クロック/ キャプチャトリガ入力端子		-	-	-	-	
	タイマフリップフロップ 出力端子		TBCOUT (PD4 と兼用)	TBDOUT (PD5 と兼用)	TBEOUT (P32 と兼用)	TBFOUT (P47 と兼用)	
内部信号	キャプチャトリガ用タイマ		TB8OUT	TB8OUT	TB8OUT	TB8OUT	
	同期スタートトリガ用タイマ	-		TMRBC	TMRBC	TMRBC	
レジスタ名 (アドレス)	タイマ RUN レジスタ		TBCRUN (0xFFFF_F200)	TBDRUN (0xFFFF_F210)	TBERUN (0xFFFF_F220)	TBFRUN (0xFFFF_F230)	
	タイマコントロール レジスタ		TBCCR (0xFFFF_F201)	TBDCR (0xFFFF_F211)	TBECR (0xFFFF_F221)	TBF CR (0xFFFF_F231)	
	タイマモードレジスタ		TBCMOD (0xFFFF_F202)	TBDMOD (0xFFFF_F212)	TBEMOD (0xFFFF_F222)	TBFMOD (0xFFFF_F232)	
	タイマフリップフロップ コントロールレジスタ		TBCFFCR (0xFFFF_F203)	TBDFFCR (0xFFFF_F213)	TBEFFCR (0xFFFF_F223)	TBFFFCR (0xFFFF_F233)	
	タイマステータスレジスタ		TBCST (0xFFFF_F204)	TBDST (0xFFFF_F214)	TBEST (0xFFFF_F224)	TBFST (0xFFFF_F234)	
	タイマアップカウンタ レジスタ		TBCUCL TBCUCH	TBDUCL TBDUCH	TBEUCL TBEUCH	TBFUCL TBFUCH	
		タイマレジスタ		TBCRG0L (0xFFFF_F208) TBCRG0H (0xFFFF_F209) TBCRG1L (0xFFFF_F20A) TBCRG1H (0xFFFF_F20B)	TBDRG0L (0xFFFF_F218) TBDRG0H (0xFFFF_F219) TBDRG1L (0xFFFF_F21A) TBDRG1H (0xFFFF_F21B)	TBERG0L (0xFFFF_F228) TBERG0H (0xFFFF_F229) TBERG1L (0xFFFF_F22A) TBERG1H (0xFFFF_F22B)	TBFRG0L (0xFFFF_F238) TBFRG0H (0xFFFF_F239) TBFRG1L (0xFFFF_F23A) TBFRG1H (0xFFFF_F23B)
	キャプチャレジスタ			TBCCP0L (0xFFFF_F20C) TBCCP0H (0xFFFF_F20D) TBCCP1L (0xFFFF_F20E) TBCCP1H (0xFFFF_F20F)	TBDCP0L (0xFFFF_F21C) TBDCP0H (0xFFFF_F21D) TBDCP1L (0xFFFF_F21E) TBDCP1H (0xFFFF_F21F)	TBECP0L (0xFFFF_F22C) TBECP0H (0xFFFF_F22D) TBECP1L (0xFFFF_F22E) TBECP1H (0xFFFF_F22F)	TBFCP0L (0xFFFF_F23C) TBFCP0H (0xFFFF_F23D) TBFCP1L (0xFFFF_F23E) TBFCP1H (0xFFFF_F23F)

11.1 チャンネル別のブロック図



(注) チャンネル 0, 8 には入力はありません。チャンネル 1, 4 には TB0OUT が入力され、チャンネル 9~F には TB8OUT が入力されます。

図 11-1 TMRB0 ブロック図 (チャンネル 1,4,5,8~F も同様)

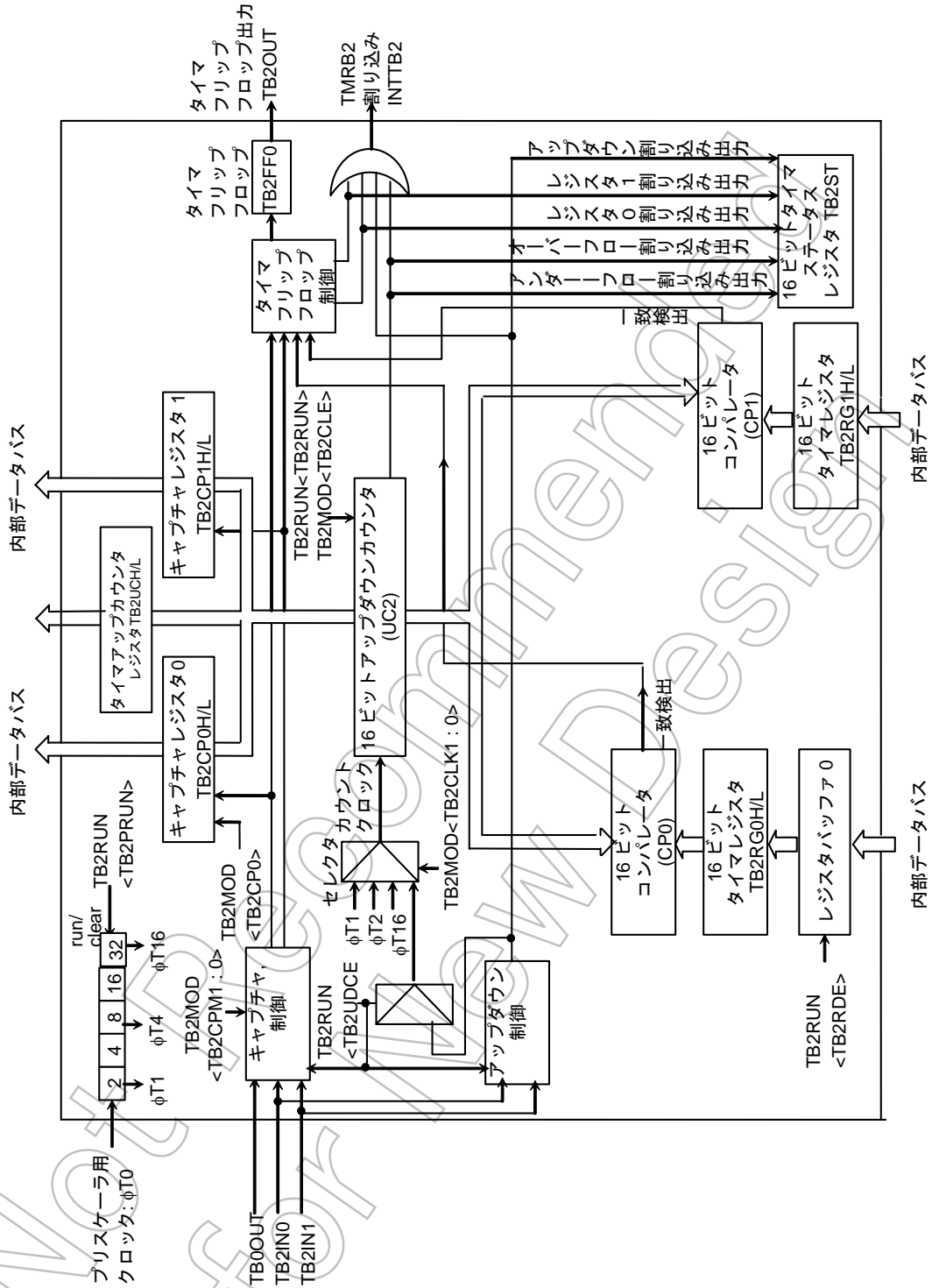


図 11-2 TMRB2 ブロック図 (チャンネル 3,6,7 も同様)

11.2 回路別の動作説明

11.2.1 プリスケーラ

TMRB0 のクロックソースを得るため、4 ビットプリスケーラがあります。プリスケーラへの入力クロック ϕ_{T0} はCG部のSYSCRO<PRCK1:0>にて選択した $f_{periph}/2$ 、 $f_{periph}/4$ 、 $f_{periph}/8$ 、 $f_{periph}/16$ のいずれかのクロックです。このペリフェラルクロック f_{periph} はCG部のSYSCR1<FPSEL>で選択したクロック f_{gear} またはクロックギア分周前のクロック f_c のいずれかのクロックです。

プリスケーラはTBORUN<TBOPRUN>により動作/停止の設定をします。“1”をライトするとカウント開始し“0”をライトするとクリアされ停止します。プリスケーラ出力クロックの分解能を表 11-2に示します。

Not Recommended for New Design

表 11-2 プリスケーラ出カクロック分解能

@ = 40MHz

ペリフェラル クロック解除 <FPSEL>	クロックギア値 <GEAR2 : 0>	プリスケーラ クロック選択 <PRCK1 : 0>	プリスケーラ出カクロック分解能		
			$\phi T1$	$\phi T4$	$\phi T16$
0 (fgear)	000 (fc)	00(fperiph/16)	$fc/2^5(0.8 \mu s)$	$fc/2^7(3.2 \mu s)$	$fc/2^9(12.8 \mu s)$
		01(fperiph/8)	$fc/2^4(0.4 \mu s)$	$fc/2^6(1.6 \mu s)$	$fc/2^8(6.4 \mu s)$
		10(fperiph/4)	$fc/2^3(0.2 \mu s)$	$fc/2^5(0.8 \mu s)$	$fc/2^7(3.2 \mu s)$
		11(fperiph/2)	$fc/2^2(0.1 \mu s)$	$fc/2^4(0.4 \mu s)$	$fc/2^6(1.6 \mu s)$
	100(fc/2)	00(fperiph/16)	$fc/2^6(1.6 \mu s)$	$fc/2^8(6.4 \mu s)$	$fc/2^{10}(25.6 \mu s)$
		01(fperiph/8)	$fc/2^5(0.8 \mu s)$	$fc/2^7(3.2 \mu s)$	$fc/2^9(12.8 \mu s)$
		10(fperiph/4)	$fc/2^4(0.4 \mu s)$	$fc/2^6(1.6 \mu s)$	$fc/2^8(6.4 \mu s)$
		11(fperiph/2)	$fc/2^3(0.2 \mu s)$	$fc/2^5(0.8 \mu s)$	$fc/2^7(3.2 \mu s)$
	110(fc/4)	00(fperiph/16)	$fc/2^7(3.2 \mu s)$	$fc/2^9(12.8 \mu s)$	$fc/2^{11}(51.2 \mu s)$
		01(fperiph/8)	$fc/2^6(1.6 \mu s)$	$fc/2^8(6.4 \mu s)$	$fc/2^{10}(25.6 \mu s)$
		10(fperiph/4)	$fc/2^5(0.8 \mu s)$	$fc/2^7(3.2 \mu s)$	$fc/2^9(12.8 \mu s)$
		11(fperiph/2)	$fc/2^4(0.4 \mu s)$	$fc/2^6(1.6 \mu s)$	$fc/2^8(6.4 \mu s)$
	111(fc/8)	00(fperiph/16)	$fc/2^8(6.4 \mu s)$	$fc/2^{10}(25.6 \mu s)$	$fc/2^{12}(102.4 \mu s)$
		01(fperiph/8)	$fc/2^7(3.2 \mu s)$	$fc/2^9(12.8 \mu s)$	$fc/2^{11}(51.2 \mu s)$
		10(fperiph/4)	$fc/2^6(1.6 \mu s)$	$fc/2^8(6.4 \mu s)$	$fc/2^{10}(25.6 \mu s)$
		11(fperiph/2)	$fc/2^5(0.8 \mu s)$	$fc/2^7(3.2 \mu s)$	$fc/2^9(12.8 \mu s)$
1 (fc)	000 (fc)	00(fperiph/16)	$fc/2^5(0.8 \mu s)$	$fc/2^7(3.2 \mu s)$	$fc/2^9(12.8 \mu s)$
		01(fperiph/8)	$fc/2^4(0.4 \mu s)$	$fc/2^6(1.6 \mu s)$	$fc/2^8(6.4 \mu s)$
		10(fperiph/4)	$fc/2^3(0.2 \mu s)$	$fc/2^5(0.8 \mu s)$	$fc/2^7(3.2 \mu s)$
		11(fperiph/2)	$fc/2^2(0.1 \mu s)$	$fc/2^4(0.4 \mu s)$	$fc/2^6(1.6 \mu s)$
	100(fc/2)	00(fperiph/16)	$fc/2^5(0.8 \mu s)$	$fc/2^7(3.2 \mu s)$	$fc/2^9(12.8 \mu s)$
		01(fperiph/8)	$fc/2^4(0.4 \mu s)$	$fc/2^6(1.6 \mu s)$	$fc/2^8(6.4 \mu s)$
		10(fperiph/4)	$fc/2^3(0.2 \mu s)$	$fc/2^5(0.8 \mu s)$	$fc/2^7(3.2 \mu s)$
		11(fperiph/2)	—	$fc/2^4(0.4 \mu s)$	$fc/2^6(1.6 \mu s)$
	110(fc/4)	00(fperiph/16)	$fc/2^5(0.8 \mu s)$	$fc/2^7(3.2 \mu s)$	$fc/2^9(12.8 \mu s)$
		01(fperiph/8)	$fc/2^4(0.4 \mu s)$	$fc/2^6(1.6 \mu s)$	$fc/2^8(6.4 \mu s)$
		10(fperiph/4)	—	$fc/2^5(0.8 \mu s)$	$fc/2^7(3.2 \mu s)$
		11(fperiph/2)	—	$fc/2^4(0.4 \mu s)$	$fc/2^6(1.6 \mu s)$
	111(fc/8)	00(fperiph/16)	$fc/2^5(0.8 \mu s)$	$fc/2^7(3.2 \mu s)$	$fc/2^9(12.8 \mu s)$
		01(fperiph/8)	—	$fc/2^6(1.6 \mu s)$	$fc/2^8(6.4 \mu s)$
		10(fperiph/4)	—	$fc/2^5(0.8 \mu s)$	$fc/2^7(3.2 \mu s)$
		11(fperiph/2)	—	—	$fc/2^6(1.6 \mu s)$

(注1) プリスケーラ出カクロック ϕTn は、かならず $\phi Tn < fsys/2$ を満足するように(ϕTn が $fsys/2$ よりも遅くなるように) 選択してください。

(注2) タイマ動作中にクロックギアの切り換えはしないでください。

(注3) —: 設定禁止

11.2.2 アップカウンタ(UC0),アップカウンタキャプチャレジスタ (TB0UCL, TB0UCH)

TB0MOD<TB0CLK1 : 0> で指定された入力クロックによって、カウントアップする 16 ビットのバイナリカウンタです。

UC0 の入力クロックは、3 種類のプリスケアラ出力クロック $\Phi T1$ 、 $\Phi T4$ 、 $\Phi T16$ 、または、TB0IN0 端子の外部クロックのいずれかを選択できます。UC0 は、TB0RUN<TB0RUN> によってカウント/停止&クリアを設定します。UC0 は、タイマレジスタ TB0RG1H/L と一致すると、クリアイネーブルであれば、ゼロクリアされます。このクリアイネーブル/ディセーブルは、TB0MOD<TB0CLE> で設定します。

クリアディセーブルであれば、カウンタはフリーランニングカウンタとして動作します。

TB0UCL, TB0UCH レジスタを読み出すことにより、UC0 の現在のカウント値をキャプチャする事が可能です。

注: 読み出す場合は必ず下位 → 上位の順で読み出してください。

サンプリングが f_s 時には 直接カウント値を読み出す事はできません。

キャプチャレジスタを使用してください。

UC0 のオーバーフローが発生した場合、オーバーフロー割り込み INTTB0 が発生します。

TMRB2、TMRB3、TMRB6、TMRB7 には 2 相パルス入力カウント機能があり、TB2RUN<TB2UDCE>によって 2 相パルスカウントモードになり、本カウンタはアップダウンカウンタとして機能し、カウンタは 0x7FFF に初期化されます。カウンタがオーバーフローするとカウンタ値は 0x0000 に、アンダーフローするとカウンタ値は 0xFFFF になりカウントを継続します。2 相パルスカウントモードではない場合はアップカウントのみとなります。

11.2.3 タイマレジスタ (TB0RG0H/L, TB0RG1H/L)

カウンタ値を設定する 16 ビットレジスタで、2 本ずつ内蔵されています。このタイマレジスタへの設定値と、アップカウンタ UC0 の値とが一致すると、コンパレータの一致検出信号がアクティブになります。

タイマレジスタ TB0RG0H/L、TB0RG1H/L へのデータ設定は、2 バイトデータ転送命令を用いるか、1 バイトデータ転送命令を 2 回用いて下位 8 ビット、上位 8 ビットの順に行います。

このタイマレジスタは、TB0RG0 がダブルバッファ構成になっており、レジスタバッファ 0 とペアになっています。TB0RG0 は TB0RUN<TB0RDE> によってダブルバッファのイネーブル/ディセーブルを制御します。<TB0RDE> = “0” のときディセーブル、<TB0RDE> = “1” のときイネーブルとなります。ダブルバッファイネーブル時、レジスタバッファ 0 からタイマレジスタ TB0RG0 へのデータ転送は、UC0 と TB0RG1 との一致時に行われます。

リセット動作により、TB0RG0H/L、TB0RG1H/L は不定のため、16 ビットタイマを使用する場合は、あらかじめデータを書き込む必要があります。リセット動作により、TB0RUN <TB0RDE> = “0” に初期化され、ダブルバッファディセーブルになっています。ダブルバッファを使用するときは、タイマレジスタにデータを書き込み <TB0RDE> = “1” に設定した後、レジスタバッファへ次のデータを書き込んでください。

TB0RG0 とレジスタバッファは、同じアドレス 0xFFFF_F148/0xFFFF_F149 に割り付けられています。<TB0RDE> = “0” のときは、TB0RG0 とそれぞれのレジスタバッファに、同じ値が書き込まれ、<TB0RDE> = “1” のときは、それぞれのレジスタバッファにのみ書き込まれます。したがって、タイマレジスタに初期値を書き込むときには、レジスタバッファをディセーブルにしておく必要があります。

注) タイマ動作中は、TBxRG1 およびダブルバッファ未使用時の TBxRG0 を書き換えしないで下さい。

注) ダブルバッファ使用時、TBxREG0 の書き換え中は、データの更新がされません。

11.2.4 キャプチャレジスタ (TB0CP0H/L, TB0CP1H/L)

アップカウンタ UC0 の値をラッチする 16 ビットのレジスタです。キャプチャレジスタを読み出す場合は、16bit データ転送命令を用いるか、下位→上位の順に読み出して下さい。

11.2.5 キャプチャ

アップカウンタ UC0 の値をキャプチャレジスタ TB0CP0、TB0CP1 にラッチするタイミングを制御する回路です。キャプチャレジスタのラッチタイミングは、TB0MOD<TB0CPM1 : 0>で設定します。

また、ソフトウェアによってもアップカウンタ UC0 の値をキャプチャレジスタへ取り込むことができ、TB0MOD<TB0CP0> に “0” を書き込むたびに、その時点の UC0 の値をキャプチャレジスタ TB0CP0 へキャプチャします。なお、プリスケアラは、RUN 状態 (TB0RUN<TB0PRUN> = “1”) にしておく必要があります。

2 相パルスカウントモード (TMRB2、TMRB3、TMRB6、TMRB7 のみ) ではカウンタの値はソフトウェアキャプチャにより取り込みます。

(注1) キャプチャレジスタの下位 8 ビットをリードするとキャプチャ動作ができなくなります。続けて上位 8 ビットをリードするとキャプチャ動作ができるようになります。

(注2) 下位 8 ビットのみリードした状態でタイマストップすると、再スタート後もキャプチャできない状態が継続するので下位 8 ビットのみリードした状態でタイマをストップしないでください。

11.2.6 コンパレータ (CP0、CP1)

アップカウンタ UC0 と、タイマレジスタ TBORG0、TBORG1 への設定値とを比較し、一致を検出する 16 ビットコンパレータです。一致すると、INTTB0 を発生します。

11.2.7 タイマフリップフロップ (TB0FF0)

タイマフリップフロップ (TB0FF0) は、コンパレータからの一致信号、キャプチャレジスタへのラッチ信号によって反転するフリップフロップです。反転のディセーブル/イネーブルは、TB0FFCR<TB0C1T1, TB0C0T1, TB0E1T1, TB0E0T1> によって設定できます。

リセット後、TB0FF0 の値は不定となります。TB0FFCR<TB0FF0C1 : 0>に “00” を書き込むことで反転、“01” を書き込むことで “1” にセット、“10” を書き込むことで “0” にクリアすることが可能です。

TB0FF0 の値は、タイマ出力端子 TB0OUT 端子 (P54 と兼用) へ出力することができます。タイマ出力を行う場合、あらかじめポート 5 関連レジスタ P5CR、P5FC により、設定を行う必要があります。

11.3 レジスタ説明

TMRBn RUN レジスタ (n=0, 1, 4, 5, 8~F)

TbNRUN (0xFFFF_F1x0)		7	6	5	4	3	2	1	0
	bit Symbol	TbNRDE				I2TBn	TbNPRUN		TbNRUN
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W
	リセット後	0	0	0	0	0	0	0	0
	機能	Double Buffer 0: 禁止 1: 許可	"0"をライトしてください。	"0"をライトしてください。	"0"をライトしてください。	IDLE 時 0: 停止 1: 動作	Timer Run/Stop Control 0: 停止&クリア 1: カウント ※ 1 bit 目は"0"が読めます		

<TbNRUN> : TMRB0 のカウント動作を制御します。

<TbNPRUN> : TMRB0 のプリスケアラの動作を制御します。

<I2TBn> : IDLE モード時の動作を制御します。

<TbNRDE> : ダブルバッファの許可/禁止を制御します。

**注) TbNRUN のビット 1 は、リードすると"0"が読み出されます。
モード設定と、カウントスタートは同時に行なわないで下さい。**

TMRBm RUN レジスタ (m=2, 3, 6, 7)

TbMRUN (0xFFFF_F1x0)		7	6	5	4	3	2	1	0
	bit Symbol	TbMRDE		UDmCK	TbMUDCE	I2TBm	TbMPRUN		TbMRUN
	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W
	リセット後	0	0	0	0	0	0	0	0
	機能	Double Buffer 0: 禁止 1: 許可	"0"をライトしてください。	サンプリングクロック 0: fs 1: ΦT0/4	2 相カウンタ 0: ディゼーブル 1: イネーブル	IDLE 0: 停止 1: 動作	Timer Run/Stop Control 0: 停止&クリア 1: カウント ※ 1 bit 目は"0"が読めます		

<TbMRUN> : TMRB0 のカウント動作を制御します。

<TbMPRUN> : TMRB0 のプリスケアラの動作を制御します。

<I2TBm> : IDLE モード時の動作を制御します。

<TbMUDCE> : 2 相パルス入力カウンタ動作のイネーブル/ディゼーブルを制御します。

イネーブル : カウンタはアップダウンカウントします。

ディゼーブル : 通常のタイマーモードとしてカウンタはアップカウントのみになります。

<UDmCK> : 2 相パルス入力のサンプリングクロックを選択します。

<TbMRDE> : ダブルバッファの許可/禁止を制御します。

**(注) TbMRUN のビット 1 は、リードすると"0"が読み出されます。
モード設定と、カウントスタートは同時に行なわないで下さい。**

図 11-3 TMRB 関係のレジスタ

TMRBn コントロールレジスタ (n=2, 3, 6, 7)

TnBnCR (0xFFFF_F1x1)		7	6	5	4	3	2	1	0
	bit Symbol	TnBnEN				TnBnSYC	UDnNF	UDnCNT	
	Read/Write	R/W	R/W	R	R	R/W	R/W	R/W	R
	リセット後	0	0	0	0	0	0	0	0
機能	TMRBn 動作 0: 禁止 1: 許可	"0"をライトしてください。	リードすると"0"が読めます	リードすると"0"が読めます	同期モード切り替え 0: 個別動作 1: 同期動作	デジタルノイズフィルタ 0: 未使用 1: 使用する	モード切り替え 0: 通常 1: 4 通倍	リードすると"0"が読めます	

TMRBn コントロールレジスタ (n=0, 1, 4, 5, 8~F)

TnBnCR (0xFFFF_F1x1)		7	6	5	4	3	2	1	0
	bit Symbol	TnBnEN				TnBnSYC			
	Read/Write	R/W	R/W	R	R	R/W	R	R	R
	リセット後	0	0	0	0	0	0	0	0
機能	TMRBn 動作 0: 禁止 1: 許可	"0"をライトしてください。	リードすると"0"が読めます	リードすると"0"が読めます	同期モード切り替え 0: 個別動作 1: 同期動作	リードすると"0"が読めます	リードすると"0"が読めます	リードすると"0"が読めます	

<TnBnEN> : TMRB の動作を指定します。動作禁止の状態では TMRB モジュールの他のレジスタへクロックが供給されませんので消費電力の低減が可能です（他のレジスタへのリード、ライトはできません）。TMRB を使用する場合は、TMRB モジュールの各レジスタを設定する前に TMRB 動作許可（"1"）にしてください。TMRB を一旦動作させた後に、動作禁止した場合は各レジスタの設定は保持されます。

TMRBn モードレジスタ (n=0~F)

TnBnMOD (0xFFFF_F1x2)		7	6	5	4	3	2	1	0
	bit Symbol			TnBnCP0	TnBnCPM1	TnBnCPM0	TnBnCLE	TnBnCLK1	TnBnCLK0
	Read/Write	R		W		R/W			
	リセット後	0	0	1	0	0	0	0	0
機能	リードすると"00"が読めます	ソフトウェアキャプチャ制御 0: ソフトキャプチャ 1: Don't care	キャプチャタイミング 00: ディセーブル 01: TnBnI0 ↑ TnBnI1 ↑ 10: TnBnI0 ↑ TnBnI0 ↓ 11: TB3OUT ↑ TB3OUT ↓	アップカウンタ制御 0: クリアディセーブル 1: クリアイネーブル	ソースクロック選択 00: TnBnI0 端子入力 01: φT1 10: φT4 11: φT16				

<TnBnCLK1:0> : TMRBn のタイマカウントクロックを選択します。

<TnBnCLE> : TMRBn のアップカウンタのクリア制御をおこないます。

"0" : アップカウンタのクリア禁止

"1" : タイマレジスタ 1 (TnBnRG1) との一致でクリア

<TnBnCPM1:0> : TMRBn のキャプチャタイミングを設定します。

"00" : キャプチャ禁止

"01" : TnBnI0 端子入力の立ち上がりでキャプチャレジスタ 0 (TnBnCP0) にカウント値を取り込み、
TnBnI1 端子入力の立ち上がりでキャプチャレジスタ 1 (TnBnCP1) にカウント値を取り込む

"10" : TnBnI0 端子入力の立ち上がりでキャプチャレジスタ 0 (TnBnCP0) にカウント値を取り込み、
TnBnI0 端子入力の立ち下がりでキャプチャレジスタ 1 (TnBnCP1) にカウント値を取り込む

“11”：16ビットタイマー致出力 (TBxOUT) の立ち上がりでキャプチャレジスタ 0 (TBnCP0) にカウント値を取り込み、TBxOUT の立ち下がり でキャプチャレジスタ 1 (TBnCP1) にカウント値を取り込む (TMRB1~7 : TB0OUT、TMRB9~F : TB8OUT)

<TBnCP0> : ソフトウェアキャプチャし、キャプチャレジスタ 0 (TBnCP0) にカウント値を取り込みます。

注) TBnMOD のビット 5 は、リードすると“1”が読み出されます。

図 11-4 TMRB 関係のレジスタ

TMRBn フリップフロップコントロールレジスタ (n=0~F)

	7	6	5	4	3	2	1	0
bit Symbol			TBnC1T1	TBnC0T1	TBnE1T1	TBnE0T1	TBnFF0C1	TBnFF0C0
Read/Write	R		R/W				R/W	
リセット後	1	1	0	0	0	0	1	1
機能	読み出すと常に“11”になります。		TBnFF0 反転トリガ 0: トリガディセーブル 1: トリガイネーブル				TBnFF0 の制御	
			TBnCP1 へのアップカウンタ値取り込み時	TBnCP0 へのアップカウンタ値取り込み時	アップカウンタとTBnRG1との一致時	アップカウンタとTBnRG0との一致時	10: Clear 11: Don't care ※ 読み出すと常に“11”になります。	

<TBnFF0C1:0> : タイマフリップフロップを制御します。

“00” : TBnFF0 の値を反転 (ソフト反転) します

“01” : TBnFF0 を“1”にセットします

“10” : TBnFF0 を“0”にクリアします

“11” : Don't care

<TBnE1:0> : アップカウンタとタイマレジスタ 0,1 (TBnRG0,1) との一致時にタイマフリップフロップを反転します。

<TBnC1:0> : アップカウンタの値がキャプチャレジスタ 0,1 (TBnCP0,1) に取り込まれた時にタイマフリップフロップを反転します。

図 11-5 TMRB 関係のレジスタ

TMRBn ステータスレジスタ (n=0, 1, 4, 5, 8~F)

TBnST (0xFFFF_F1x4)	bit Symbol							INTTBOFn	INTTBn1	INTTBn0
	Read/Write	R						R		
	リセット後	0						0	0	0
	機能	リードすると“0”が読めます						0: 割り込みは発生していない 1: 割り込みが発生	0: 割り込みは発生していない 1: 割り込みが発生	0: 割り込みは発生していない 1: 割り込みが発生

- <INTTBn0> : タイマレジスタ 0 (TBnRG0) との一致割り込み
- <INTTBn1> : タイマレジスタ 1 (TBnRG1) との一致割り込み
- <INTTBOFn> : アップカウンタのオーバーフロー割り込み

(注) いずれかの割り込みが発生すると、TBnST に該当割り込みのフラグがセットされ、INTC に割り込み発生が通知されます。TBnST レジスタをリードすると、フラグはクリアされます。

TMRBm ステータスレジスタ (m=2,3,6,7)

① TBmRUN<TBmUDCE> = 0 のとき: 通常のタイマーモード

TBmST (0xFFFF_F1x4)	bit Symbol							INTTBm0	INTTBm1	INTTBOFm
	Read/Write	R						R		
	リセット後	0						0	0	0
	機能	リードすると“0”が読めます						0: 割り込みは発生していない 1: 割り込みが発生	0: 割り込みは発生していない 1: 割り込みが発生	0: 割り込みは発生していない 1: 割り込みが発生

- <INTTBm0> : タイマレジスタ 0 (TBmRG0) との一致割り込み発生
- <INTTBm1> : タイマレジスタ 1 (TBmRG1) との一致割り込み発生
- <INTTBOFm> : アップカウンタのオーバーフロー割り込み発生

(注) いずれかの割り込みが発生すると、TBmST に該当割り込みのフラグがセットされ、INTC に割り込み発生が通知されます。TBmST レジスタをリードすると、フラグはクリアされます。

② TBmRUN<TBmUDCE> = 1 のとき: 2相パルス入力カウントモード

TBmST (0xFFFF_F1x4)	bit Symbol							INTTBUDm	INTTBUDFm	INTTBOUFm
	Read/Write	R						R		
	リセット後	0						0	0	0
	機能	リードすると“0”が読めます	アップダウンカウンタ	アンダーフロー	オーバーフロー	リードすると“0”が読めます				
			0: 発生無し 1: 発生	0: 発生無し 1: 発生	0: 発生無し 1: 発生					

INTTBUDF2: アップダウンカウンタのアンダーフロー発生
 INTTBOUF2: アップダウンカウンタのオーバーフロー発生
 INTTBUD2: アップまたはダウンカウント発生

- <INTTBOUFm> : アップダウンカウンタのオーバーフロー割り込み発生
- <INTTBUDFm> : アップダウンカウンタのアンダーフロー割り込み発生
- <INTTBUDm> : アップまたはダウンカウント割り込み発生

(注) いずれかの割り込みが発生すると、TBmST に該当割り込みのフラグがセットされ、INTC に割り込み発生が通知されます。TBmST レジスタをリードすると、フラグはクリアされます。

図 11-6 TMRB 関係のレジスタ

TBnRG0H/L、TBnRG1H/L タイマレジスタ

TBnRG0H/L タイマレジスタ (n=0~F)

		7	6	5	4	3	2	1	0
TBnRG0L (0xFFFF_F1x8)	bit Symbol	TBnRG0L7	TBnRG0L6	TBnRG0L5	TBnRG0L4	TBnRG0L3	TBnRG0L2	TBnRG0L1	TBnRG0L0
	Read/Write	W							
	リセット後	不定							
	機能	タイマカウント値 下位 8 ビットデータ							

		7	6	5	4	3	2	1	0
TBnRG0H (0xFFFF_F1x9)	bit Symbol	TBnRG0H7	TBnRG0H6	TBnRG0H5	TBnRG0H4	TBnRG0H3	TBnRG0H2	TBnRG0H1	TBnRG0H0
	Read/Write	W							
	リセット後	不定							
	機能	タイマカウント値 上位 8 ビットデータ							

(注) タイマレジスタへのデータ設定は、16bit データ転送命令を用いるか、下位→上位の順に設定して下さい。

TBnRG1H/L タイマレジスタ (n=0~F)

		7	6	5	4	3	2	1	0
TBnRG1L (0xFFFF_F1xA)	bit Symbol	TBnRG1L7	TBnRG1L6	TBnRG1L5	TBnRG1L4	TBnRG1L3	TBnRG1L2	TBnRG1L1	TBnRG1L0
	Read/Write	W							
	リセット後	不定							
	機能	タイマカウント値 下位 8 ビットデータ							

		7	6	5	4	3	2	1	0
TBnRG1H (0xFFFF_F1xB)	bit Symbol	TBnRG1H7	TBnRG1H6	TBnRG1H5	TBnRG1H4	TBnRG1H3	TBnRG1H2	TBnRG1H1	TBnRG1H0
	Read/Write	W							
	リセット後	不定							
	機能	タイマカウント値 上位 8 ビットデータ							

(注) タイマレジスタへのデータ設定は、16bit データ転送命令を用いるか、下位→上位の順に設定して下さい。

TBnCP0H/L、TBnCP1H/L キャプチャレジスタ

TBnCP0H/L キャプチャレジスタ (n=0~F)

	7	6	5	4	3	2	1	0	
TBnCP0L (0xFFFF_F1xC)	bit Symbol	TBnCP0L7	TBnCP0L6	TBnCP0L5	TBnCP0L4	TBnCP0L3	TBnCP0L2	TBnCP0L1	TBnCP0L0
	Read/Write	R							
	リセット後	不定							
	機能	タイマキャプチャ値 下位 8 ビットデータ							

	7	6	5	4	3	2	1	0	
TBnCP0H (0xFFFF_F1xD)	bit Symbol	TBnCP0H7	TBnCP0H6	TBnCP0H5	TBnCP0H4	TBnCP0H3	TBnCP0H2	TBnCP0H1	TBnCP0H0
	Read/Write	R							
	リセット後	不定							
	機能	タイマキャプチャ値 上位 8 ビットデータ							

(注) キャプチャレジスタへのデータを読み出す場合、16bit データ転送命令を用いるか、下位 → 上位の順に読み出してください。

TBnCP1H/L キャプチャレジスタ (n=0~F)

	7	6	5	4	3	2	1	0	
TBnCP1L (0xFFFF_F1xE)	bit Symbol	TBnCP1L7	TBnCP1L6	TBnCP1L5	TBnCP1L4	TBnCP1L3	TBnCP1L2	TBnCP1L1	TBnCP1L0
	Read/Write	R							
	リセット後	不定							
	機能	タイマキャプチャ値 下位 8 ビットデータ							

	7	6	5	4	3	2	1	0	
TBnCP1H (0xFFFF_F1xF)	bit Symbol	TBnCP1H7	TBnCP1H6	TBnCP1H5	TBnCP1H4	TBnCP1H3	TBnCP1H2	TBnCP1H1	TBnCP1H0
	Read/Write	R							
	リセット後	不定							
	機能	タイマキャプチャ値 上位 8 ビットデータ							

(注) キャプチャレジスタへのデータを読み出す場合、16bit データ転送命令を用いるか、下位 → 上位の順に読み出してください。

11.4 モード別動作説明

11.4.1 16ビットインタバルタイマモード

一定周期の割り込みを発生させる場合

タイマレジスタ TBORG1 にインタバル時間を設定し、INTTBO 割り込みを発生します。

	7	6	5	4	3	2	1	0		
TBOCR	1	0	X	X	X	X	X	X	TMRBO モジュールを起動します。	
TBORUN	←	0	0	0	0	-	0	X	0	TMRBO を停止します。
IMC8	←	0	1	1	0	0	0	0	0	INTTBO をイネーブル、レベル4に設定します。 (INTTBO の設定のみ抜き出しておりますが、 32bit レジスタの為、他の割り込みも設定して下さい) トリガをディセーブルします。 入カクロックをプリスケアラ出カクロックにし、 インタバル時間を設定します。 (16ビット)
		0	1	1	0	0	0	0	0	
		0	1	1	0	0	1	0	0	
		0	1	1	0	0	0	0	0	
TBOFFCR	←	1	1	0	0	0	0	1	1	TMRBO を起動します。
TBOMOD	←	0	0	1	0	0	1	*	*	
TBORG1L	←	*	*	*	*	*	*	*	*	
TBORG1H	←	*	*	*	*	*	*	*	*	
TBORUN	←	0	0	0	0	-	1	X	1	

X: Don't care -; no change

11.4.2 16ビットイベントカウンタモード

入カクロックを外部クロック (TBOINO 端子入力) にすることでイベントカウンタにすることができます。

アップカウンタは TBOINO 端子入力の立ち上がりエッジでカウントアップします。ソフトウェアキャプチャを行い、キャプチャ値をリードすることでカウント値を読むことができます。

	7	6	5	4	3	2	1	0		
TBOCR	←	1	0	X	X	X	X	X	X	TMRBO モジュールを起動します。
TBORUN	←	0	0	0	0	-	0	X	0	TMRBO を停止します。
P2CR	←	-	-	-	-	-	-	0		P20 を入力モードに設定します。
P2FC	←	-	-	-	-	-	-	1		
P2FC2	←	-	-	-	-	-	-	0		
IMC8	←	0	1	1	0	0	0	0	0	
IMC8		0	1	1	0	0	0	0	0	INTTBO をイネーブル、レベル4に設定します。 (INTTBO の設定のみ抜き出しておりますが、 32bit レジスタの為、他の割り込みも設定して下さい) トリガディセーブルにします。 入カクロックを TBOINO 端子入力にします。
		0	1	1	0	0	1	0	0	
		0	1	1	0	0	0	0	0	
		0	1	1	0	0	0	0	0	
TBOFFCR	←	1	1	0	0	0	0	1	1	TMRBO を起動します。
TBOMOD	←	0	0	1	0	0	1	0	0	
TBORUN	←	0	0	0	0	-	1	X	1	
TBOMOD	←	X	X	0	0	0	1	0	0	ソフトウェアキャプチャを行ないます。
TBORG1L	←	*	*	*	*	*	*	*	*	インタバル時間を設定します。
TBORG1H	←	*	*	*	*	*	*	*	*	(16ビット)

X: Don't care -; no change

イベントカウンタとして使用する場合も、プリスケアラは “RUN” にしてください (TBORUN<TBOPRUN> = “1”)。

11.4.3 16ビット PPG (プログラマブル矩形波) 出力モード

任意周波数、任意デューティの矩形波 (プログラマブル矩形波) を出力することができます。出力パルスは、ローアクティブ、ハイアクティブどちらでも可能です。

アップカウンタ (UC0) とタイマレジスタ (TBORG0H/L、TBORG1H/L) への設定値との一致によりタイマフリップフロップ (TBOFF) の反転トリガをかけることで、プログラマブル矩形波を TBOOUT 端子より出力することができます。ただし、TBORG0H/L と TBORG1H/L の設定値は次の条件を満たす必要があります。

(TBORG0H/L への設定値) < (TBORG1H/L への設定値)

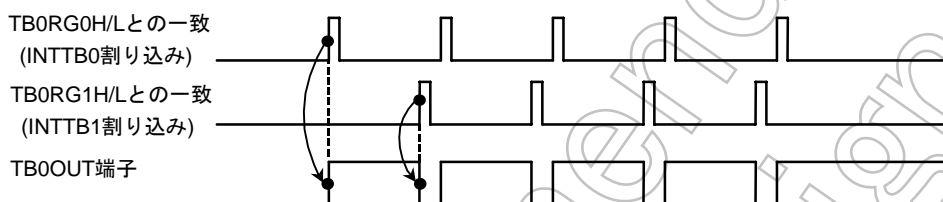


図 11-7 プログラマブル矩形波 (PPG) 出力波形例

このモードでは、TBORG0H/L のダブルバッファをイネーブルにすることにより、TBORG1H/L との一致で、レジスタバッファ 0 の値が TBORG0H/L へシフトインされます。これにより、小さいデューティへの対応が容易に行えます。

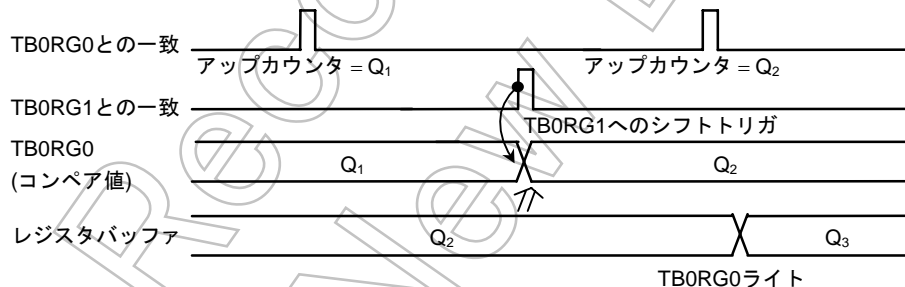


図 11-8 レジスタバッファの動作

注：ダブルバッファは TBORG0 のみです。TBORG1 の変更は次の一致までに完了してください。

このモードのブロック図を示します。

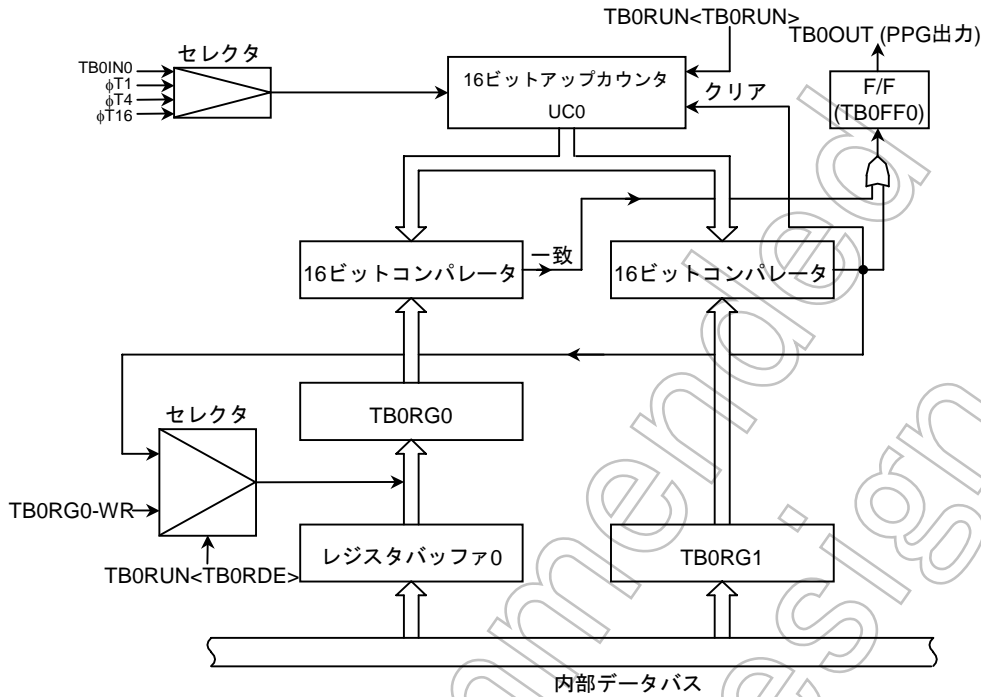


図 11-9 16 ビット PPG モードのブロック図

16 ビット PPG 出力モード時の各レジスタは、次のように設定します。

	7	6	5	4	3	2	1	0	
TBOCR	← 1	0	X	X	X	X	X	X	TMRBO モジュールを起動します。
TBORUN	← 0	0	0	0	-	0	X	0	TBORGO のダブルバッファディセーブルおよび TMRBO を停止します。
TBORG0L	← *	*	*	*	*	*	*	*	デューティを設定します。(16 ビット)
TBORG0H	← *	*	*	*	*	*	*	*	
TBORG1L	← *	*	*	*	*	*	*	*	周期を設定します。(16 ビット)
TBORG1H	← *	*	*	*	*	*	*	*	
TBORUN	← 1	0	0	0	-	0	X	0	TBORGO のダブルバッファイネーブル (INTTBO 割り込みでデューティ/周期の変更)
TBOFFCR	← X	X	0	0	1	1	1	0	TBOFF0 を TBORG0、TBORG1 との一致検出で反転するように設定します。また、TBOFF0 の初期値を“0”にします。
TBOMOD	← 0	0	1	0	0	1	*	*	} 入力クロックをプリスケアラ出力クロックにし、キャプチャ機能ディセーブルにします。
P5CR	← -	-	-	1	-	-	-	-	
P5FC	← -	-	-	1	-	-	-	-	
P5FC2	← -	-	-	0	-	-	-	-	P54 を TBOOUT に割り付けます。
TBORUN	← 1	0	0	0	-	1	X	1	TMRBO を起動します。

X: Don't care -; no change

11.4.4 タイマ同期モード

タイマ同期モードを使用する事により、タイマ間のスタートの同期を取る事が可能となります。
PPG 出力にて同期モードを使用することによりモータ等の駆動に応用が可能です。

TBnCR<TBnSYC>により、同期モードの切り替えを行います。

<TBnSYC> = “0” : タイマの ch 毎のタイミングで動作を行います

<TBnSYC> = “1” : 同期出力を行います。

TMRB0~3, TMRB4~7, TMRB8~B, TMRBC~F の 4 つのブロックに分かれております。

<TBnSYC> = “1” が設定されていた場合、ch 毎のタイマスタート TBmRUN<TBmPRUN, TBmRUN>=” 1, 1”
ではスタートせず、TMRB0, TMRB4, TMRB8, TMRBC に同期する形でスタート致します。

注 : ・ 同期出力したい ch に関しては、TMRB0, TMRB4, TMRB8, TMRBC でスタートする前に
TBmRUN<TBmPRUN, TBmRUN>=” 1, 1” にて予め同時にスタートをかけておいてください。

- ・ 同期出力モード時以外は TBnCR<TBnSYC>= “0” に設定してください。
同期出力モードが設定されている場合、TMRB0, 4, 8, C にてスタートが掛かるまで
他の ch スタートは待たされます

注) タイマ同期のマスターとなる TMRB0, TMRB4, TMRB8, TMRBC は
常に TBnSYC ビットを” 0” に設定してください。

	7	6	5	4	3	2	1	0
TBnCR (0xFFFF_F1x1)	TBnEN		TBnSYC					
Read/Write	R/W	R/W	R	R	R/W	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	TMRBn 動作 0: 禁止 1: 許可	“0”をライ トしてく ださい。	リードす ると“0”が 読めます	リードす ると“0”が 読めます	“0”をライ トしてくだ さい	リードす ると“0”が 読めます	リードす ると“0”が 読めます	リードす ると“0”が 読めます

スレーブ側となるタイマは、TBnSYC ビットを” 1” に設定してください。

	7	6	5	4	3	2	1	0
TBnCR (0xFFFF_F1x1)	TBnEN		TBnSYC					
Read/Write	R/W	R/W	R	R	R/W	R	R	R
リセット後	0	0	0	0	0	0	0	0
機能	TMRBn 動作 0: 禁止 1: 許可	“0”をライ トしてく ださい。	リードす ると“0”が 読めます	リードす ると“0”が 読めます	“1”をライ トしてくだ さい	リードす ると“0”が 読めます	リードす ると“0”が 読めます	リードす ると“0”が 読めます

11.5 キャプチャ機能を利用した応用例

キャプチャ機能を利用することにより次に示す例をはじめ、多くの応用が可能です。

- ① 外部トリガパルスからのワンショットパルス出力
- ② 周波数測定
- ③ パルス幅測定
- ④ 時間差測定

①外部トリガパルスからのワンショットパルス出力

外部トリガパルスからのワンショットパルス出力は、次のように行います。

16ビットアップカウンタ UC6 をプリスケアラ出カクロックにてフリーランニングでカウントアップさせておきます。TB6IN0 端子より外部トリガパルスを入力し、キャプチャ機能を用いて、外部トリガパルスの立ち上がりで、アップカウンタ値をキャプチャレジスタ (TB6CPOH/L) に取り込みます。

外部トリガパルスの立ち上がり時、割り込み INTO が発生するように INTC で設定します。この割り込みで、タイマレジスタ (TB6RG0H/L) には、TB6CP0 の値 (c) とディレイタイム (d) を加算した値 (c + d) を設定します。

タイマレジスタ (TB6RG1H/L) には、TB6RG0H/L の値とワンショットパルスのパルス幅 (p) を加算した値 (c + d + p) を設定します。(TB6RG1 の変更は次の一致までに完了してください)

さらに、タイマフリップフロップコントロールレジスタ (TB6FFCR<TB6E1T1, TB6E0T1>) に “11” を設定し、UC6 と TB6RG0H/L との一致、および、TB6RG1H/L との一致により、タイマフリップフロップ (TB6FF0) が反転するように、トリガイネーブルにします。ワンショットパルス出力後、INTTB6 の割り込み処理により、これをディセーブルに戻します。

なお、文中の (c)、(d)、(p) は、「図 11-10 ワンショットパルス出力 (ディレイあり)」の c、d、p と対応しています。

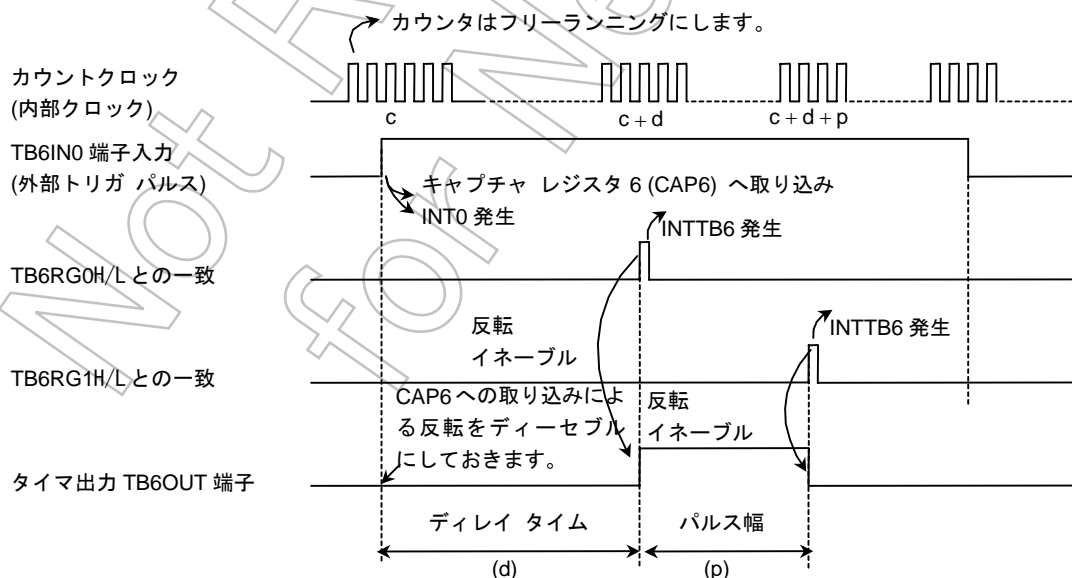


図 11-10 ワンショットパルス出力 (ディレイあり)

設定例： TB6IN0 端子からの外部トリガパルスに対して、3 ms ディレイで 2 ms のワンショットパルス
 を出力する場合

※クロック条件

システムクロック : 高速 (fc)
 高速クロックギア : 1 倍 (fc)
 プリスケアラクロック : fperiph/4 (fperiph · fsys)

メインでの設定

	7	6	5	4	3	2	1	0		
PACR	X	X	X	X	X	X	X	0	TB6IN0 設定	
PAFC	X	X	X	X	X	X	X	1		
PAPE	X	X	X	X	X	X	X	1		
フリーランニングにします。										
TB6MOD	←	X	X	1	0	1	0	0	1	φT1 でカウントさせます。
TB6FFCR	←	X	X	0	0	0	0	1	0	TB6IN0 入力の立ち上がりで TB6CPO へ取り込みます。
P9CR	←	-	-	-	-	-	-	1		TB6FF0 をゼロクリアします。
P9FC	←	-	-	-	-	-	-	1		TB6FF0 の反転をディセーブルにします。
IMCO	←	X	X	0	0	0	0	0	0	P90 端子を TB6OUT に割り付けます。
	←	X	X	1	1	0	1	0	0	
	←	X	X	0	0	0	0	0	0	32 ビットレジスタの為全ての処理を行ってください。
IMC9	←	X	X	1	1	0	0	0	0	
	←	X	X	1	1	0	0	0	0	
	←	X	X	1	1	0	0	0	0	
TB6RUN	←	-	0	X	0	-	1	X	1	TMRB6 を起動します。

INT0 での設定

TB6RG0	←	TB6CPO + 3ms/φT1								
TB6RG1	←	TB6RG0 + 2ms/φT1								
TB6FFCR	←	X	X	-	-	1	1	-	-	TB2RG0, 1 との一致による TB2FF0 の反転をイネーブルにします。
IMC9	←	X	X	1	1	0	0	0	0	INTTB6 をイネーブルにします。
	←	X	X	1	1	0	0	0	0	
	←	X	X	1	1	0	0	0	0	
	←	X	X	1	1	0	1	0	0	

INTTB6 での設定

TB6FFCR	←	X	X	-	-	0	0	-	-	TB6RG0, 1 との一致による TB6FF0 の反転をディセーブルにします。
IMC9	←	X	X	1	1	0	0	0	0	INTTB6 をディセーブルにします。
	←	X	X	1	1	0	0	0	0	
	←	X	X	1	1	0	0	0	0	
	←	X	X	1	1	0	0	0	0	

X: Don't care —;no change

ディレイが不要な場合、TB6CP0 への取り込みによって TB6FF0 を反転させ、割り込み INTO で TB6CP0 の値 (c) にワンショットパルスの幅 (p) を加算した値 (c + p) を TB6RG1 に設定します。(TB6RG1 の変更は次の一致までに完了してください。)TB6FF0 は、TB6RG1 と UC6 の一致によって反転するように、反転イネーブルを選択します。また、INTTB6 割り込みでこれをディセーブルに戻します。

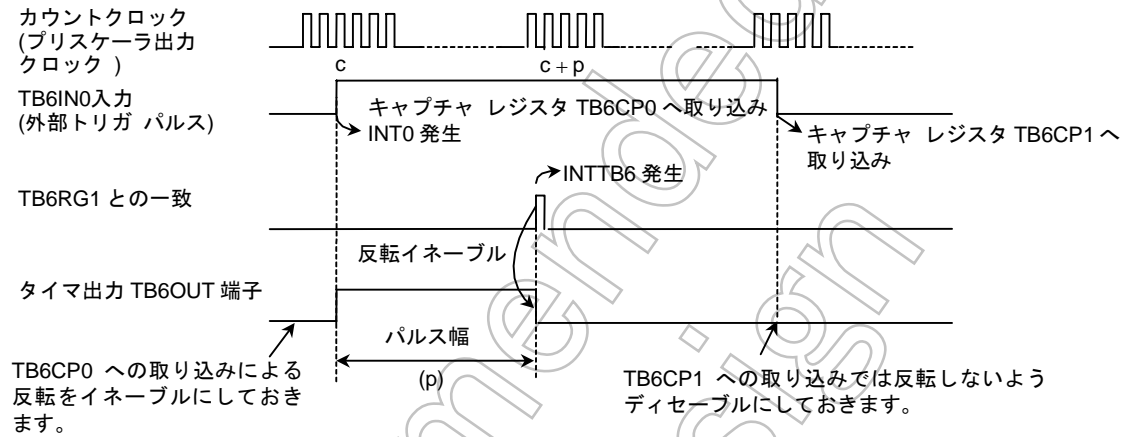


図 11-11 外部トリガパルスのワンショットパルス出力 (ディレイなし)

② 周波数測定

キャプチャ機能を用いて外部クロックの周波数測定を行うことができます。

周波数測定は、16 ビットイベントカウンタモードと他の 16 ビットタイマ (TMRB0) を組み合わせて行います (TMRB0 は、TBOFFCR を反転させることで測定時間の設定に用います)。

TMRB3 のカウントクロックは TB3IN0 端子入力を選択し、外部クロック入力によるカウント動作を行います。TB3MOD<TB3CPM1 : 0> には “11” を設定します。この設定により、16 ビットタイマ (TMRB0) のタイマフリップフロップ (TBOFFCR) の立ち上がりで、キャプチャレジスタ (TB3CP0) に 16 ビットアップカウンタ UC3 のカウンタ値を取り込み、16 ビットタイマ (TMRB0) の TBOFF の立ち下がりで、キャプチャレジスタ (TB3CP1) に UC3 のカウンタ値の取り込みを行います。

周波数は、16 ビットタイマの割り込み INTTB3 で測定時間を基準にして TBOCP0、TBOCP1 の差より求めます。

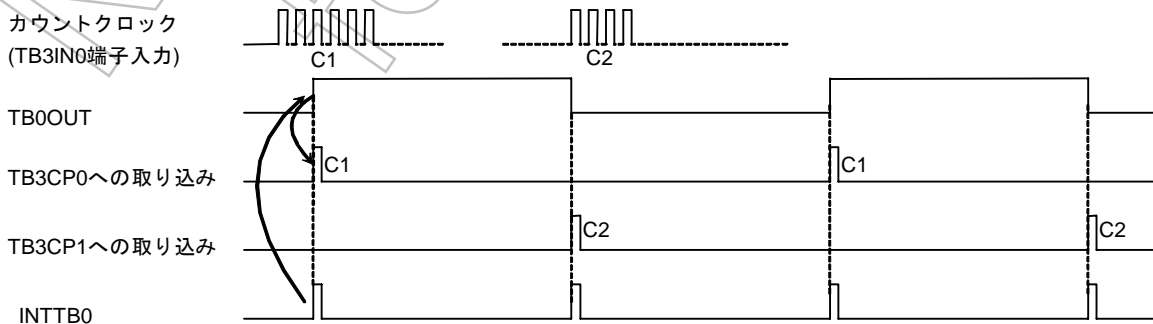


図 11-12 周波数測定

例えば、16ビットタイマによるTB3FFの“1”レベル幅の設定値が0.5 sで、TB0CP0とTB0CP1の差が100であれば、周波数は $100 \div 0.5 \text{ s} = 200 \text{ Hz}$ となります。

③ パルス幅測定

キャプチャ機能を用いて、外部パルスの“H”レベル幅を測定することができます。TB6IN0端子より外部パルスを入力し、アップカウンタ(UC6)をプリスケアラ出力クロックにてフリーランニングでカウントアップさせておきます。キャプチャ機能を用いて、外部パルスの立ち上がり/立ち下がり、それぞれのエッジでトリガをかけ、このときのアップカウンタ値をキャプチャレジスタ(TB6CP0, TB6CP1)に取り込みます。TB6IN0端子の立ち下がりにより、INT0が発生するようにINTCで設定します。

“H”レベルパルス幅は、TB6CP0とTB6CP1の差を求め、その値に内部クロックの周期をかけることにより、求めることができます。

例えばTB6CP0とTB6CP1の差が100で、プリスケアラ出力クロックの周期が $0.5 \mu\text{s}$ であれば、パルス幅は、 $100 \times 0.5 \mu\text{s} = 50 \mu\text{s}$ となります。

なお、クロックソースにより定まるUC2の最大カウント時間を越えるパルス幅の測定を行う場合は、注意が必要です。この場合、ソフトウェアによる処理を行ってください。

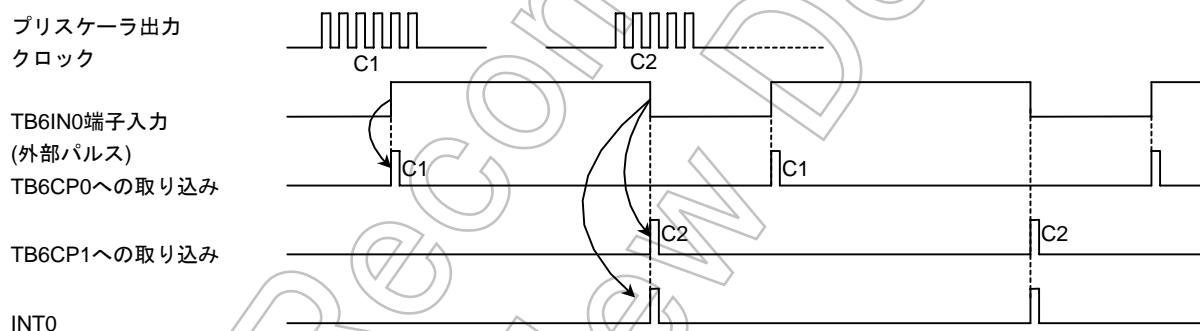


図 11-13 パルス幅測定

また、外部パルスの“L”レベル幅を測定することもできます。この場合、「

図 11-14 時間差測定」における、2回目のINT0割り込み処理により、1回目のC2と2回目のC1の差に、プリスケアラ出力クロックの周期をかけることにより、求めることができます。

④ 時間差測定

キャプチャ機能を用いて、2つの事象の時間差を測定することができます。プリスケアラ出力クロックを用いて、アップカウンタ (UC6) をフリーランニングでカウントアップさせておきます。TB6IN0 端子の入力パルスの立ち上がりエッジで、UC6 の値をキャプチャレジスタ (TB6CP0) に取り込みます。このとき、割り込み INT0 が発生するように INTC で設定します。

TB6IN1 端子の入力パルスの立ち上がりエッジで、UC6 の値をキャプチャレジスタ TB6CP1 に取り込みます。このとき、割り込み INT1 が発生するように INTC で設定します。

時間差は、キャプチャレジスタの値が取り込み終わった時点で、TB6CP1 から TB6CP0 を引いた値に、内部クロックの周期をかけて求めることができます。

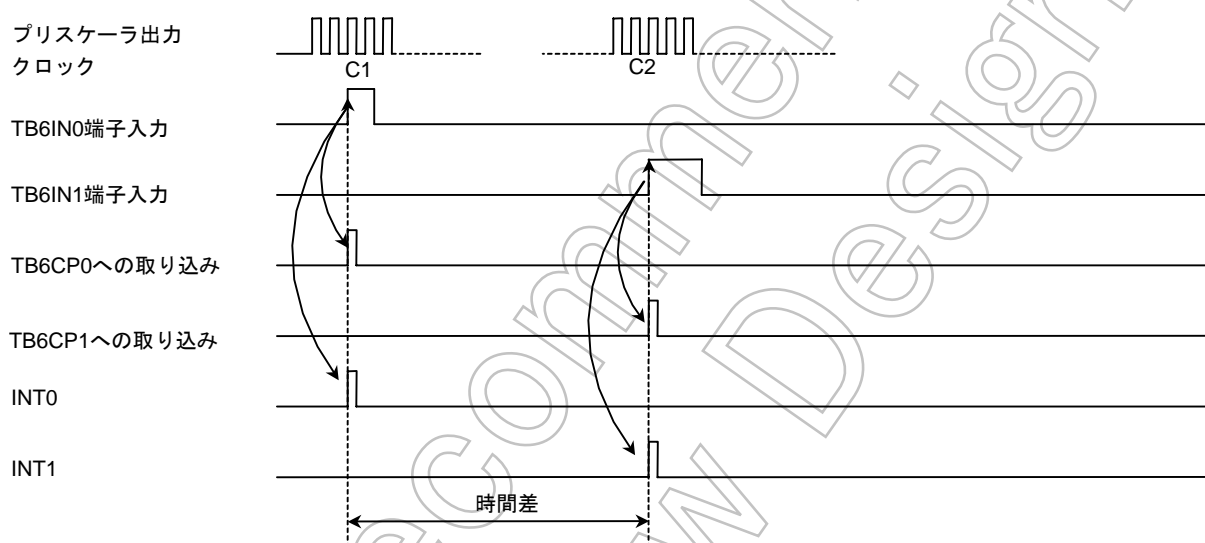


図 11-14 時間差測定

11.6 2相パルス入力カウントモード (TMRB2,TMRB3,TMRB6,TMRB7)

(TMRB2, 3, 6, 7 の動作は共通ですので、ここでは TMRB2 について説明します)

TB2IN0、TB2IN1 より入力される位相差ある 2 相クロックの状態遷移によりカウンタ+1、あるいはカウンタ-1 を実行するモードです。アップダウンカウンタモード中にカウント動作により割り込みを出力します。

カウント動作は 2 種類存在し、モードの切り替えはレジスタにより制御します。

- 1) 通常動作モード(4 カウント目で UP/DOWN)
- 2) 4 通倍モード(全てのカウントで UP/DOWN)

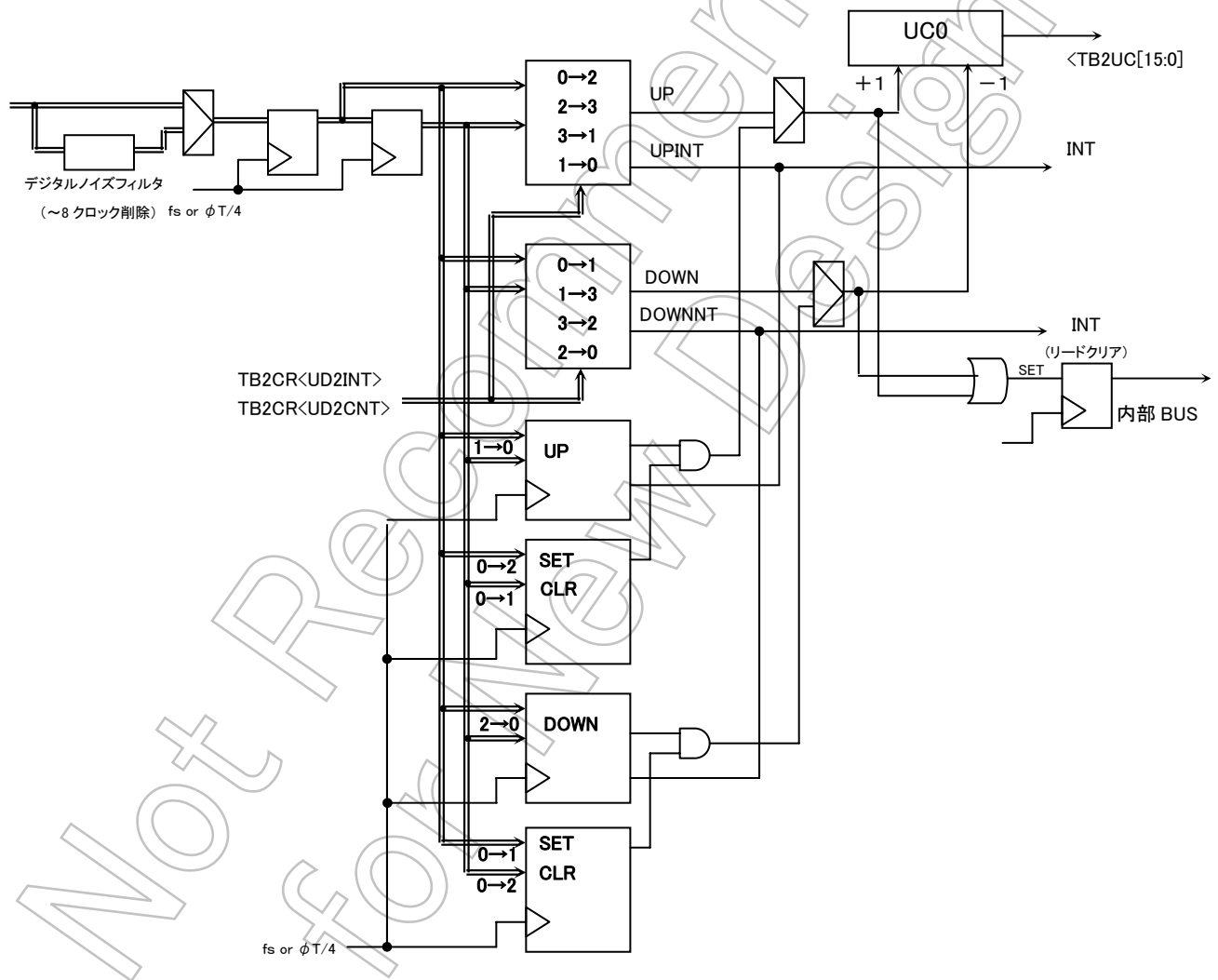
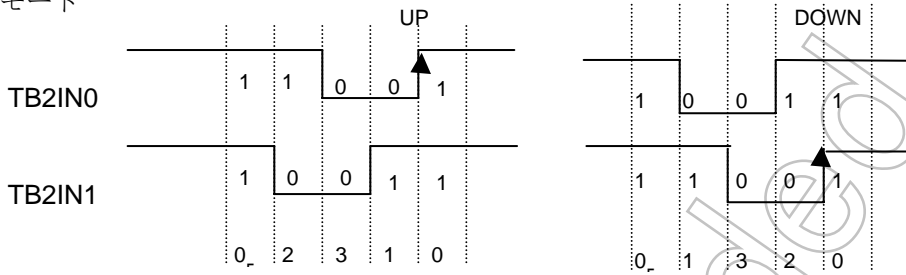


図 11-15 2相カウンタ カウント回路

・通常動作モード



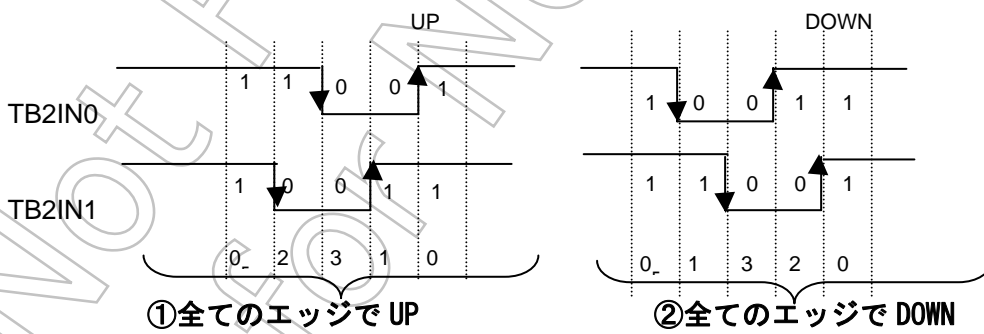
カウント条件	端子状態						
	UP			DOWN			
TB2IN0, TB2IN1	0	→	2	0	→	1	←SET
TB2IN0, TB2IN1	1	→	0	2	→	0	←割り込み発生
TB2IN0, TB2IN1	0	→	1	0	→	2	←CLR

カウント条件：

- ・ UP 0→2 (UP SET) された状態で、1→0 でカウント UP
0→2 (UP SET) された状態で、0→1 (逆回転) で CLR
- ・ DOWN 0→1 (DOWN SET) された状態で、2→0 でカウント DOWN
0→1 (DOWN SET) された状態で、0→2 (逆回転) で CLR

注：0 → 3, 3 → 0 に関してはイレギュラーな状態と判断しカウントしません。
UP, DOWN 状態 SET を CLR します。

・4 逓倍モード



カウント条件	端子状態					
	UP			DOWN		
TB2IN0, TB2IN1	0	→	2	0	→	1
	2		3	1		3
	3		1	3		2
	1		0	2		0

TMRB2RUN レジスタ (TB2RUN)

TB2RUN
(0xFFFF_F160)

	7	6	5	4	3	2	1	0
bit Symbol	TB2RDE		UD2CK	TB2UDCE	I2TB2	TB2PRUN		TB2RUN
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W
リセット後	0	0	0	0	0	0	0	0
機能	Double Buffer 0: Disable 1: Enable	“0” をラ イトしてく ださい	サンプリング クロック選択 0: fs 1: $\phi T0/4$	2 相カウンタ イネーブル 0: ディゼー ブル 1: イネー ブル	IDLE 0: 停止 1: 動作	Timer Run/Stop Control 0: Stop & Clear 1: Run (Count Up)		

図 11-16 2相パルス入力カウントモード設定レジスタ
サンプリングクロックは TB2RUN レジスタの第5ビット目<UD2CK>を”1”に設定します。

<< SLEEP モードからの復帰 >>

1) TMRB2, TMRB3 の場合

SLEEP 解除の入力状態により、二相カウンタはカウントアップ、ダウンが行なわれます

2) TMRB6, TMRB7 にて INTO~INT3 を使用して復帰する場合

SLEEP 解除時にもカウント条件が成立しない場合には、カウンタ値は変化しません。
SLEEP 解除後にカウンタ値を読み出す場合は、アップダウンカウント発生割り込み処理
の中で行ってください。

① 動作モード

TB2IN0、TB2IN1 入力端子からの外部入力信号を通常の 16 ビットタイマ (キャプチャ入
力) およびアップダウンカウンタのどちらへ入力するかはレジスタ設定で選択します。

- アップダウンカウンタモード時キャプチャはソフトウェアキャプチャのみで、外部ク
ロックタイミングによるキャプチャは行いません。
- アップダウンカウンタモード時コンパレータは無効になり、タイマレジスタとの比較
は行いません。
- 入力クロックは fs (32KHz または 16KHz) または、高速クロック (システムクロック) で
サンプリングします。最大入力周波数は fs の場合は 4KHz, 高速クロックの場合は ϕ
T0/4 になります。

<< STOP モードからの復帰 >>

TMRB6, TMRB7 にて INTO~INT3 を使用して復帰する場合

二相カウンタは前の状態を保持したまま STOP モードに入ります。従って、STOP モード
解除に使用された入力状態と保持された状態との関係でカウントアップまたはダウンの
条件が成立すると、STOP 解除後にカウンタ値は+1 または-1 されます。STOP 解除後の
状態を一定に保つ必要がある場合は、STOP 解除後に二相カウンタを初期化 (TB7RUN<
TB7UDCE> = ”0” にして、再び”1”にする事によりカウンタは “0xFFFF” に初期化され
ます。) してください TMRB2, 3 はこの機能を使用できません。

<< アップダウンカウンタ設定方法 >>

TB2MOD レジスタ<TB2CLK0、TB2CLK1> = “00” (プリスケラ OFF) にします。次に、
アップダウンカウンタとして動作させるか、従来の外部クロック入力のアップカウンタと
して動作させるかを TB2RUN レジスタの第4ビット目<TB2UDCE>に設定して決定します。

TB2UDCE (アップダウンカウンタイネーブル) = “0” : 通常 16 ビットタイマ動作
= “1” : アップダウンカウンタ動作

② 割り込み

- NORMAL/SLOW モード時

割り込みコントローラ (INTC) にて INTTB2 割り込みをイネーブルにします。アップまたはダウンカウントにより割り込み INTTB2 が発生します。割り込み処理の中で、ステータスレジスタ TB2ST をリードすることにより、同時にオーバーフロー、アンダーフローが発生しているかを知ることができます。TB2ST<INTTBOUF2> = “1” であればオーバーフローが発生、また<INTTBUDF2> = “1” であればアンダーフローが発生している状態です。このレジスタはリードするとクリアされます。またオーバーフローが発生するとカウンタは 0x0000 になり、アンダーフローが発生すると 0xFFFF になり、続けてカウント動作が行なわれます。

	7	6	5	4	3	2	1	0
bit Symbol				INTTBUD2	INTTBUDF2	INTTBOUF2		
Read/Write	R			R			R	
リセット後	0			0	0	0	0	
機能	リードすると“0”が読めます			アップダウンカウント 0: 発生無し 1: 発生	アンダーフロー 0: 発生無し 1: 発生	オーバーフロー 0: 発生無し 1: 発生	リードすると“0”が読めます	

図 11-17 TMRB2 ステータスレジスタ

注：ステータスはレジスタを読み出す事でクリアされます。

- SLEEP モード時 (TMRB2, 3)

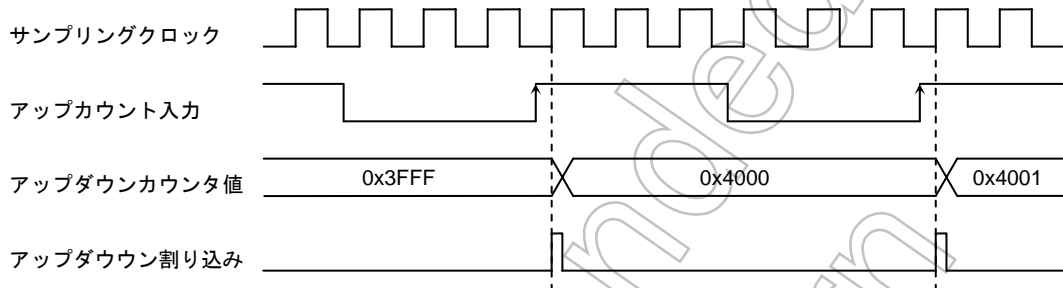
二相入力パルス入力カウンタは動作します。アップまたはダウンカウント入力により割り込み INTTB2 が発生して SLEEP モードから復帰します。割り込み処理の中で、ステータスレジスタ TB2ST をリードすることにより、同時にオーバーフロー、アンダーフローが発生しているかを知ることができます。TB2ST<INTTBOUF2> = “1” であればオーバーフローが発生、また<INTTBUDF2> = “1” であればアンダーフローが発生している状態です。このレジスタはリードするとクリアされます。またオーバーフローが発生するとカウンタは 0x0000 になり、アンダーフローが発生すると 0xFFFF になり、続けてカウント動作が行なわれます。

- STOP モード時 (TMRB6, TMRB7 にて INTO~INT3 を使用して復帰する場合)

二相入力パルス入力カウンタは停止しています。解除入力後、ウォーミングアップ時間経過後に NORMAL モードに遷移後カウント動作を再開します。STOP モード解除に使用された入力状態と保持された状態との関係でカウントアップまたはダウンの条件が成立すると、STOP 解除後にカウンタ値は+ 1 または- 1 されます。

③アップダウンカウンタ

二相入力カウントモードに設定 (TB2RUN<TB2UDCE> = “1”) するとアップカウンタはアップダウンカウンタになり 0x7FFF に初期化されます。カウンタがオーバーフローした場合は 0x0000、アンダーフローした場合は 0xFFFF に戻り、続きをカウントします。したがって、割込み発生後にカウンタ値とステータスフラグ TB2ST をリードすることにより、状態を判別することができます。



(注1) アップ(ダウン) カウント入力は入力前状態、入力後状態は “H” レベルにしてください。
 (注2) カウンタ値の読み出しは INTTB2 の割り込み処理の中で行ってください。

TMRB2 コントロールレジスタ

TB2CR
(0xFFFF_F162)

	7	6	5	4	3	2	1	0
bit Symbol	TB2EN				TB2SYC	UD2NF	UD2CNT	
Read/Write	R/W	R/W	R	R	R/W	R/W	R/W	R
リセット後	0	0	0	0	0	0	0	0
機能	TMRB2 動作 0: 禁止 1: 許可	“0” をライ トしてく ださい。	リードす ると “0” が 読めます	リードす ると “0” が 読めます	同期モード 切り替え 0: 個別動作 1: 同期動作	デジタルノイズ フィルタ 0: 未使用 1: 使用する	モード切り 替え 0: 通常 1: 4 通倍	リードす ると “0” が 読めます

- ・モード切り替えビット
 - 0: 通常モード
 - 1: 4 通倍モード

UD2NF ノイズ除去を制御します。
 “1 (使用する)” の場合は、TMRB2, TMRB3, TMRB6, TMRB7 端子入力に対して TB2RUN<UD2CK> で選択されるサンプリングクロックの 8 周期分のクロックに満たない入力はノイズ成分として除去します。内部信号との同期の為、1 システムクロック分の誤差が生じますので、入力信号の周波数については考慮を願います。

12. 32 ビットインプットキャプチャ (TMRC)

32 ビットのタイムベースタイマ (TBT) を 1 チャンネルと 32 ビットインプットキャプチャレジスタを 4 チャンネル (TCCAP0~3)、32 ビットのコンペアレジスタを 8 チャンネル (TCCMP0~7) を内蔵しています。

図 12-1 に TMRC のブロック図を示します。

12.1 TMRC のブロック図

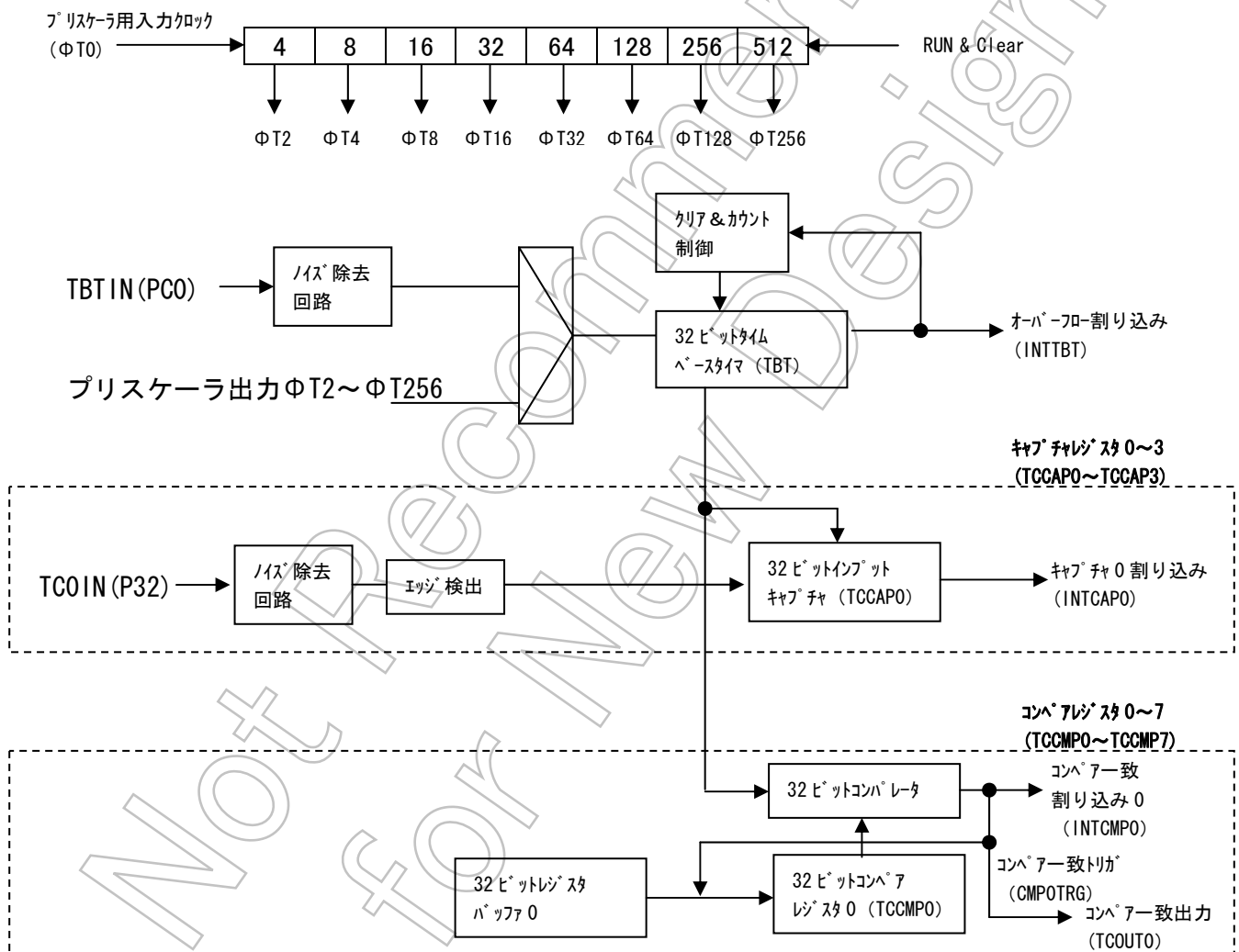


図 12-1 タイマ C のブロック図

12.2 回路別の動作説明

12.2.1 プリスケータ

TMRCのクロックソースを得るためのプリスケータがあります。プリスケータの入カクック $\phi T0$ は、CG部のSYSCRO<PRCK1 : 0>にて選択した $f_{periph}/2$, $f_{periph}/4$, $f_{periph}/8$, $f_{periph}/16$ のいずれかのクロックです。TMRCのプリスケータ入カクックは、 $\phi T0$ を分周した $\phi T2 \sim \phi T256$ までをTBTCR<TBCLK3:0>にて選択することが可能です。

f_{periph} はCG部のSYSCR1<FPSEL>で選択されるクロック f_{gear} またはクロックギアで分周される前のクロック f_c のいずれかです。

プリスケータはTBTRUN<TBTPRUN>により動作/停止の設定をします。“1”をライトするとカウント開始し、“0”をライトするとクリアされ停止します。プリスケータ出カクックの分解能を図12-1に示します。

Not Recommended for New Design

表 12-1 プリスケーラ出カクロック分解能

@fc = 40.0MHz

ヘリフェラルクロック 選択<FPSEL>	クロックギア 値 <GEAR2:0>	プリスケーラクロック 選択 <PRCK1:0>	プリスケーラ出カクロック分解能			
			ΦT2	ΦT4	ΦT8	ΦT16
0(fgear)	000(fc)	00(fperiph/16)	$fc/2^6(1.60 \mu s)$	$fc/2^7(3.20 \mu s)$	$fc/2^8(6.40 \mu s)$	$fc/2^9(12.8 \mu s)$
		01(fperiph/8)	$fc/2^5(0.80 \mu s)$	$fc/2^6(1.60 \mu s)$	$fc/2^7(3.20 \mu s)$	$fc/2^8(6.40 \mu s)$
		10(fperiph/4)	$fc/2^4(0.40 \mu s)$	$fc/2^5(0.80 \mu s)$	$fc/2^6(1.60 \mu s)$	$fc/2^7(3.20 \mu s)$
		11(fperiph/2)	$fc/2^3(0.20 \mu s)$	$fc/2^4(0.40 \mu s)$	$fc/2^5(0.80 \mu s)$	$fc/2^6(1.60 \mu s)$
	100(fc/2)	00(fperiph/16)	$fc/2^7(3.20 \mu s)$	$fc/2^8(6.40 \mu s)$	$fc/2^9(12.8 \mu s)$	$fc/2^{10}(25.3 \mu s)$
		01(fperiph/8)	$fc/2^6(1.60 \mu s)$	$fc/2^7(3.20 \mu s)$	$fc/2^8(6.40 \mu s)$	$fc/2^9(12.6 \mu s)$
		10(fperiph/4)	$fc/2^5(0.80 \mu s)$	$fc/2^6(1.60 \mu s)$	$fc/2^7(3.20 \mu s)$	$fc/2^8(6.32 \mu s)$
		11(fperiph/2)	$fc/2^4(0.40 \mu s)$	$fc/2^5(0.80 \mu s)$	$fc/2^6(1.60 \mu s)$	$fc/2^7(3.20 \mu s)$
	110(fc/4)	00(fperiph/16)	$fc/2^8(6.40 \mu s)$	$fc/2^9(12.8 \mu s)$	$fc/2^{10}(25.6 \mu s)$	$fc/2^{11}(51.2 \mu s)$
		01(fperiph/8)	$fc/2^7(3.20 \mu s)$	$fc/2^8(6.40 \mu s)$	$fc/2^9(12.8 \mu s)$	$fc/2^{10}(25.6 \mu s)$
		10(fperiph/4)	$fc/2^6(1.60 \mu s)$	$fc/2^7(3.20 \mu s)$	$fc/2^8(6.40 \mu s)$	$fc/2^9(12.8 \mu s)$
		11(fperiph/2)	$fc/2^5(0.80 \mu s)$	$fc/2^6(1.60 \mu s)$	$fc/2^7(3.20 \mu s)$	$fc/2^8(6.40 \mu s)$
	111(fc/8)	00(fperiph/16)	$fc/2^9(12.8 \mu s)$	$fc/2^{10}(25.6 \mu s)$	$fc/2^{11}(51.2 \mu s)$	$fc/2^{12}(102.4 \mu s)$
		01(fperiph/8)	$fc/2^8(6.40 \mu s)$	$fc/2^9(12.8 \mu s)$	$fc/2^{10}(25.6 \mu s)$	$fc/2^{11}(51.2 \mu s)$
		10(fperiph/4)	$fc/2^7(3.20 \mu s)$	$fc/2^8(6.40 \mu s)$	$fc/2^9(12.8 \mu s)$	$fc/2^{10}(25.6 \mu s)$
		11(fperiph/2)	$fc/2^6(1.60 \mu s)$	$fc/2^7(3.20 \mu s)$	$fc/2^8(6.40 \mu s)$	$fc/2^9(12.8 \mu s)$
1(fc)	000(fc)	00(fperiph/16)	$fc/2^6(1.60 \mu s)$	$fc/2^7(3.20 \mu s)$	$fc/2^8(6.40 \mu s)$	$fc/2^9(12.8 \mu s)$
		01(fperiph/8)	$fc/2^5(0.80 \mu s)$	$fc/2^6(1.60 \mu s)$	$fc/2^7(3.20 \mu s)$	$fc/2^8(6.40 \mu s)$
		10(fperiph/4)	$fc/2^4(0.40 \mu s)$	$fc/2^5(0.80 \mu s)$	$fc/2^6(1.60 \mu s)$	$fc/2^7(3.20 \mu s)$
		11(fperiph/2)	$fc/2^3(0.20 \mu s)$	$fc/2^4(0.40 \mu s)$	$fc/2^5(0.80 \mu s)$	$fc/2^6(1.60 \mu s)$
	100 (fc/2)	00(fperiph/16)	$fc/2^6(1.60 \mu s)$	$fc/2^7(3.20 \mu s)$	$fc/2^8(6.40 \mu s)$	$fc/2^9(12.8 \mu s)$
		01(fperiph/8)	$fc/2^5(0.80 \mu s)$	$fc/2^6(1.60 \mu s)$	$fc/2^7(3.20 \mu s)$	$fc/2^8(6.40 \mu s)$
		10(fperiph/4)	$fc/2^4(0.40 \mu s)$	$fc/2^5(0.80 \mu s)$	$fc/2^6(1.60 \mu s)$	$fc/2^7(3.20 \mu s)$
		11(fperiph/2)	$fc/2^3(0.20 \mu s)$	$fc/2^4(0.40 \mu s)$	$fc/2^5(0.80 \mu s)$	$fc/2^6(1.60 \mu s)$
	110(fc/4)	00(fperiph/16)	$fc/2^6(1.60 \mu s)$	$fc/2^7(3.20 \mu s)$	$fc/2^8(6.40 \mu s)$	$fc/2^9(12.8 \mu s)$
		01(fperiph/8)	$fc/2^5(0.80 \mu s)$	$fc/2^6(1.60 \mu s)$	$fc/2^7(3.20 \mu s)$	$fc/2^8(6.40 \mu s)$
		10(fperiph/4)	$fc/2^4(0.40 \mu s)$	$fc/2^5(0.80 \mu s)$	$fc/2^6(1.60 \mu s)$	$fc/2^7(3.20 \mu s)$
		11(fperiph/2)	$fc/2^3(0.20 \mu s)$	$fc/2^4(0.40 \mu s)$	$fc/2^5(0.80 \mu s)$	$fc/2^6(1.60 \mu s)$
	111(fc/8)	00(fperiph/16)	$fc/2^6(1.60 \mu s)$	$fc/2^7(3.20 \mu s)$	$fc/2^8(6.40 \mu s)$	$fc/2^9(12.8 \mu s)$
		01(fperiph/8)	$fc/2^5(0.80 \mu s)$	$fc/2^6(1.60 \mu s)$	$fc/2^7(3.20 \mu s)$	$fc/2^8(6.40 \mu s)$
		10(fperiph/4)	$fc/2^4(0.40 \mu s)$	$fc/2^5(0.80 \mu s)$	$fc/2^6(1.60 \mu s)$	$fc/2^7(3.20 \mu s)$
		11(fperiph/2)	$fc/2^3(0.20 \mu s)$	$fc/2^4(0.40 \mu s)$	$fc/2^5(0.80 \mu s)$	$fc/2^6(1.60 \mu s)$

@fc = 40MHz

ペリフェラルクロック 選択<FPSEL>	クロックギア 値 <GEAR1:0>	プリスケアラクロック 選択 <PRCK1:0>	プリスケアラ出カクロック分解能			
			Φ T32	Φ T64	Φ T128	Φ T256
0(fgear)	000(fc)	00(fperiph/16)	fc/2 ¹⁰ (25.6 μs)	fc/2 ¹¹ (51.2 μs)	fc/2 ¹² (102.4 μs)	fc/2 ¹³ (204.8 μs)
		01(fperiph/8)	fc/2 ⁹ (12.8 μs)	fc/2 ¹⁰ (25.6 μs)	fc/2 ¹¹ (51.2 μs)	fc/2 ¹² (102.4 μs)
		10(fperiph/4)	fc/2 ⁸ (6.40 μs)	fc/2 ⁹ (12.8 μs)	fc/2 ¹⁰ (25.6 μs)	fc/2 ¹¹ (51.2 μs)
		11(fperiph/2)	fc/2 ⁷ (3.20 μs)	fc/2 ⁸ (6.40 μs)	fc/2 ⁹ (12.8 μs)	fc/2 ¹⁰ (25.6 μs)
	100(fc/2)	00(fperiph/16)	fc/2 ¹¹ (51.2 μs)	fc/2 ¹² (102.4 μs)	fc/2 ¹³ (204.8 μs)	fc/2 ¹⁴ (409.6 μs)
		01(fperiph/8)	fc/2 ¹⁰ (25.6 μs)	fc/2 ¹¹ (51.2 μs)	fc/2 ¹² (102.4 μs)	fc/2 ¹³ (204.8 μs)
		10(fperiph/4)	fc/2 ⁹ (12.8 μs)	fc/2 ¹⁰ (25.6 μs)	fc/2 ¹¹ (51.2 μs)	fc/2 ¹² (102.4 μs)
		11(fperiph/2)	fc/2 ⁸ (6.40 μs)	fc/2 ⁹ (12.8 μs)	fc/2 ¹⁰ (25.6 μs)	fc/2 ¹¹ (51.2 μs)
	110(fc/4)	00(fperiph/16)	fc/2 ¹² (102.4 μs)	fc/2 ¹³ (204.8 μs)	fc/2 ¹⁴ (409.6 μs)	fc/2 ¹⁵ (819.2 μs)
		01(fperiph/8)	fc/2 ¹¹ (51.2 μs)	fc/2 ¹² (102.4 μs)	fc/2 ¹³ (204.8 μs)	fc/2 ¹⁴ (409.6 μs)
		10(fperiph/4)	fc/2 ¹⁰ (25.6 μs)	fc/2 ¹¹ (51.2 μs)	fc/2 ¹² (102.4 μs)	fc/2 ¹³ (204.8 μs)
		11(fperiph/2)	fc/2 ⁹ (12.8 μs)	fc/2 ¹⁰ (25.6 μs)	fc/2 ¹¹ (51.2 μs)	fc/2 ¹² (102.4 μs)
	111(fc/8)	00(fperiph/16)	fc/2 ¹³ (204.8 μs)	fc/2 ¹⁴ (409.6 μs)	fc/2 ¹⁵ (819.2 μs)	fc/2 ¹⁶ (1638.4 μs)
		01(fperiph/8)	fc/2 ¹² (102.4 μs)	fc/2 ¹³ (204.8 μs)	fc/2 ¹⁴ (409.6 μs)	fc/2 ¹⁵ (819.2 μs)
		10(fperiph/4)	fc/2 ¹¹ (51.2 μs)	fc/2 ¹² (102.4 μs)	fc/2 ¹³ (204.8 μs)	fc/2 ¹⁴ (409.6 μs)
		11(fperiph/2)	fc/2 ¹⁰ (25.6 μs)	fc/2 ¹¹ (51.2 μs)	fc/2 ¹² (102.4 μs)	fc/2 ¹³ (204.8 μs)
1(fc)	000(fc)	00(fperiph/16)	fc/2 ¹⁰ (25.6 μs)	fc/2 ¹¹ (51.2 μs)	fc/2 ¹² (102.4 μs)	fc/2 ¹³ (204.8 μs)
		01(fperiph/8)	fc/2 ⁹ (12.8 μs)	fc/2 ¹⁰ (25.6 μs)	fc/2 ¹¹ (51.2 μs)	fc/2 ¹² (102.4 μs)
		10(fperiph/4)	fc/2 ⁸ (6.40 μs)	fc/2 ⁹ (12.8 μs)	fc/2 ¹⁰ (25.6 μs)	fc/2 ¹¹ (51.2 μs)
		11(fperiph/2)	fc/2 ⁷ (3.20 μs)	fc/2 ⁸ (6.40 μs)	fc/2 ⁹ (12.8 μs)	fc/2 ¹⁰ (25.6 μs)
	100(fc/2)	00(fperiph/16)	fc/2 ¹⁰ (25.6 μs)	fc/2 ¹¹ (51.2 μs)	fc/2 ¹² (102.4 μs)	fc/2 ¹³ (204.8 μs)
		01(fperiph/8)	fc/2 ⁹ (12.8 μs)	fc/2 ¹⁰ (25.6 μs)	fc/2 ¹¹ (51.2 μs)	fc/2 ¹² (102.4 μs)
		10(fperiph/4)	fc/2 ⁸ (6.40 μs)	fc/2 ⁹ (12.8 μs)	fc/2 ¹⁰ (25.6 μs)	fc/2 ¹¹ (51.2 μs)
		11(fperiph/2)	fc/2 ⁷ (3.20 μs)	fc/2 ⁸ (6.40 μs)	fc/2 ⁹ (12.8 μs)	fc/2 ¹⁰ (25.6 μs)
	110(fc/4)	00(fperiph/16)	fc/2 ¹⁰ (25.6 μs)	fc/2 ¹¹ (51.2 μs)	fc/2 ¹² (102.4 μs)	fc/2 ¹³ (204.8 μs)
		01(fperiph/8)	fc/2 ⁹ (12.8 μs)	fc/2 ¹⁰ (25.6 μs)	fc/2 ¹¹ (51.2 μs)	fc/2 ¹² (102.4 μs)
		10(fperiph/4)	fc/2 ⁸ (6.40 μs)	fc/2 ⁹ (12.8 μs)	fc/2 ¹⁰ (25.6 μs)	fc/2 ¹¹ (51.2 μs)
		11(fperiph/2)	fc/2 ⁷ (3.20 μs)	fc/2 ⁸ (6.40 μs)	fc/2 ⁹ (12.8 μs)	fc/2 ¹⁰ (25.6 μs)
	111(fc/8)	00(fperiph/16)	fc/2 ¹⁰ (25.6 μs)	fc/2 ¹¹ (51.2 μs)	fc/2 ¹² (102.4 μs)	fc/2 ¹³ (204.8 μs)
		01(fperiph/8)	fc/2 ⁹ (12.8 μs)	fc/2 ¹⁰ (25.6 μs)	fc/2 ¹¹ (51.2 μs)	fc/2 ¹² (102.4 μs)
		10(fperiph/4)	fc/2 ⁸ (6.40 μs)	fc/2 ⁹ (12.8 μs)	fc/2 ¹⁰ (25.6 μs)	fc/2 ¹¹ (51.2 μs)
		11(fperiph/2)	fc/2 ⁷ (3.20 μs)	fc/2 ⁸ (6.40 μs)	fc/2 ⁹ (12.8 μs)	fc/2 ¹⁰ (25.6 μs)

(注1) タイマ動作中はクロックギアの切り換えは行なわないでください。

(注2) 表中の“-”は設定禁止です。

12.2.2 ノイズ除去回路

タイムベースタイマ (TBT) の外部クロックソース入力 (TBTIN)、キャプチャトリガ入力 (TCnIN) に対してノイズ成分を除去します。ノイズ除去処理を行わない入力信号を出力することも可能です。

12.2.3 32 ビットタイムベースタイマ (TBT)

TBT コントロールレジスタ TBTCR で指定された入力クロックの立ち上がりによってカウントアップする 32 ビットのバイナリカウンタです。

入力クロックは、TBTIN 端子からの外部クロックと、8 種類のプリスケアラ出力クロック $\Phi T2$, $\Phi T4$, $\Phi T8$, $\Phi T16$, $\Phi T32$, $\Phi T64$, $\Phi T128$, $\Phi T256$ から、TBTCR<TBTCLK3:0> の設定値に応じて選択されます。

アップカウンタは、TBTRUN<TBTRUN>によってカウント/停止&クリアを設定します。リセット時、アップカウンタはクリアされて、タイマは停止しています。カウントスタートするとフリーラン動作し、カウンタオーバーフローになるとオーバーフロー割り込み INTTBT を発生しカウンタ値は 0 にクリアされ再びアップカウント動作します。

また、本カウンタはリードキャプチャが可能です。リードキャプチャ時は、TBT リードキャプチャレジスタ (TBTRDCAP) に対して下位側から読む必要があります。このため、本レジスタに対しては 8bit 単位で下位から順に上位にアクセスしてください。

12.2.4 エッジ検出回路

外部からのキャプチャ入力 (TCnIN) の入力エッジをサンプリング検出します。キャプチャコントロールレジスタ GAPnCR<CPnEG1:0>により、立ち上がり、立下り、両エッジ、キャプチャしない、の選択が可能です。図 13.2 にキャプチャ入力とエッジ検出回路の出力 (キャプチャ要因出力) の関係を示します。

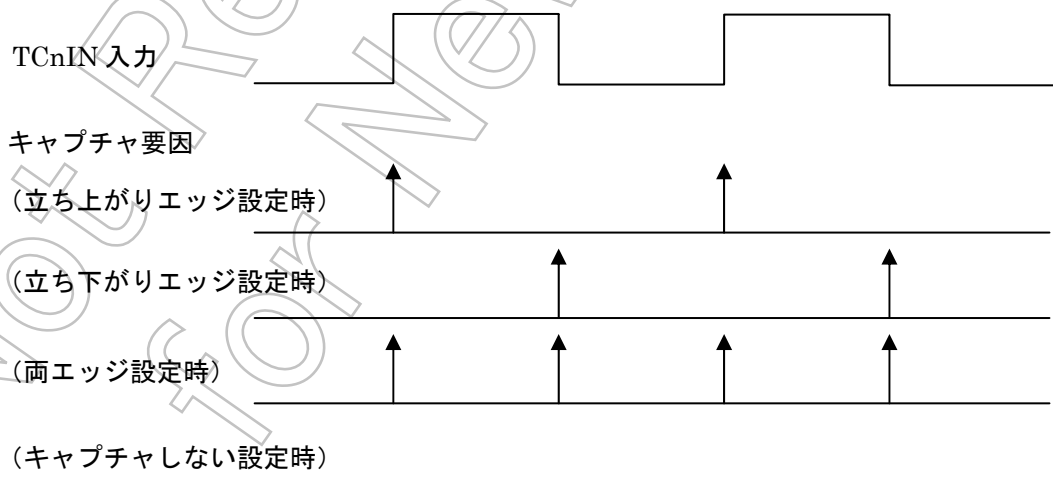


図 12-2 キャプチャ入力とキャプチャ要因出力 (エッジ検出回路出力)

12.2.5 32 ビットキャプチャレジスタ

キャプチャ要因をトリガにして TBT のカウント値が取り込まれる 32 ビットのレジスタです。キャプチャ動作が行われるとキャプチャ割り込み INTCAPn が発生します。割り込み要求 INTCAPO から INTCAP3 (4 本の要求は) は 1 つにグルーピングされ割り込みコントローラに伝えられます。割り込み処理の中でステータスレジスタ TCGOST をリードすることによりいずれの割り込み要求かの判別が可能です。また、割り込みマスクレジスタ TCGOIM の該当ビットをセットすることにより必要以外の要求による割り込み発生をマスクすることが可能です。キャプチャレジスタを読み出している時は、トリガがあってもキャプチャはされません。

本レジスタに対しは 8bit 単位で下位から順に上位にアクセスしてください。

12.2.6 32 ビットコンペアレジスタ

コンペア値を設定する 32 ビットレジスタで、TMRC には TCCMP0~TCCMP7 の 8 本内蔵されています。このコンペアレジスタへの設定値と、タイムベースタイマ TBT の値とが一致すると、コンパレータの一致検出信号がアクティブになります。コンペア制御レジスタ CMPCTL<CMPEN1:0>でコンペアイネーブル/ディセーブルを制御します。

TCCMPn へのデータ設定は、ワード転送命令を用いるか、ハーフワード転送命令を 2 回用いるか、バイトデータ転送命令を 4 回用いて下位から上位ビットの順に行ないます。

このコンペアレジスタは、ダブルバッファ構成になっており、TCCMPn はレジスタバッファ n とペアになっています。ダブルバッファのイネーブル/ディセーブルはコンペア制御レジスタ CMPCTL <CMPRDEn> によって制御します。<CMPRDEn>= “0” のときディセーブル、<CMPRDEn>= “1” のときイネーブルとなります。

ダブルバッファイネーブル時、レジスタバッファ n からコンペアレジスタ TCCMPn へのデータ転送は、TBT と TCCMPn との一致時に行われます。

リセット時、TCCMPn は不定のためあらかじめデータを書き込む必要があります。リセット動作により、CMPCTL <CMPRDEn>= “0” に初期化され、ダブルバッファディセーブルになっています。ダブルバッファを使用するときは、コンペアレジスタにデータを書き込み <CMPRDEn>= “1” に設定した後、レジスタバッファへ次のデータを書き込んでください。

TCCMPn とレジスタバッファは、同じアドレスに割り付けられています。<CMPRDEn>= “0” のときは、TCCMPn とそれぞれのレジスタバッファに、同じ値が書き込まれ、<CMPRDEn>= “1” のときは、それぞれのレジスタバッファにのみ書き込まれます。したがって、コンペアレジスタに初期値を書き込むときには、ダブルバッファをディセーブルにしておく必要があります。

12.3 レジスタ説明

TMRC コントロールレジスタ

		7	6	5	4	3	2	1	0	
TCCR (0xFFFF_F400)	bit Symbol	TCEN	I2TBT							
	Read/Write	R/W					R			
	リセット後	0	0	0						
	機能	TMRC 動作 0: 禁止 1: 許可	IDLE 0: 停止 1: 動作	リードすると“0”が読めます						

<I2TBT> : IDLE モード時の動作を制御します。

<TCEN> : TMRC の動作を指定します。動作禁止の状態では TMRC モジュールの他のレジスタへクロックが供給されませんので消費電力の低減が可能です（他のレジスタへのリード、ライトはできません）。TMRC を使用する場合は、TMRC モジュールの各レジスタを設定する前に TMRC 動作許可（"1"）にしてください。TMRC を一旦動作させた後に、動作禁止した場合は各レジスタの設定は保持されます。

TBTRUN レジスタ

		7	6	5	4	3	2	1	0	
TBTRUN (0xFFFF_F401)	bit Symbol						TBTCAP	TBTPRUN	TBTRUN	
	Read/Write	R					R/W			
	リセット後	0					0	0	0	0
	機能	リードすると“0”が読めます					かならず "0"をライ トしてく ださい。	TBT カウン タキャプ チャ 0: D'ont Care 1: リフキャプ チャ	TimerRun/Stop Control 0: 停止&ク リア 1: カウン ト	

<TBTRUN> : TBT のカウント動作を制御します。

<TBTPRUN> : TBT のプリスケアラの動作を制御します。

<TBTCAP> : "1"を設定すると、その時の TBT のカウンタ値をキャプチャレジスタ TBTCAPn に取り込みます。

図 12-3 TMRC 関係のレジスタ

TBT コントロールレジスタ

		7	6	5	4	3	2	1	0
TBTCCR (0xFFFF_F402)	bit Symbol	TBTNF				TBTCLK3	TBTCLK2	TBTCLK1	TBTCLK0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	TBTIN 入力ノイズ 除去 0:2/fsys 以上 1:6/fsys 以上	かならず"0"をライトしてください。			TBT ソースクロック 0000: φT2 0001: φT4 0010: φT8 0011: φT16 0100: φT32 0101: φT64 0110: φT128 0111: φT256 1111: TBTIN 端子入力			

< TBTCLK3:0 > : TBT の入力クロックです。"0000~0111"の時はプリスケアラ出力からの選択に、"1111"の時は TBTIN 端子入力になります。

< TBTNF > : TBTIN 端子入力のノイズ除去を制御します。

"0 (除去なし)" の場合は、TBTIN 端子入力に対して "H" レベル、"L" レベルともに 2/fsys 以上 (50ns@fper iph=fc=40MHz) で TBT のソースクロックとなります。

"1 (除去あり)" の場合は、TBTIN 端子入力に対して "H" レベル、"L" レベルともに 6/fsys (150ns@fper iph=fc=40MHz) に満たない入力はノイズとして除去します。クロックギアによりシステムクロックの変化に伴い除去幅が変わります。

TBT キャプチャレジスタ (TBTCAP)

		7	6	5	4	3	2	1	0
TBTCAPO (0xFFFF_F404)	bit Symbol	CAP07	CAP06	CAP05	CAP04	CAP03	CAP02	CAP01	CAP00
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	キャプチャデータ							
		7	6	5	4	3	2	1	0
TBTCAP1 (0xFFFF_F405)	bit Symbol	CAP15	CAP14	CAP13	CAP12	CAP11	CAP10	CAP09	CAP08
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	キャプチャデータ							
		7	6	5	4	3	2	1	0
TBTCAP2 (0xFFFF_F406)	bit Symbol	CAP23	CAP22	CAP21	CAP20	CAP19	CAP18	CAP17	CAP16
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	キャプチャデータ							
		7	6	5	4	3	2	1	0
TBTCAP3 (0xFFFF_F407)	bit Symbol	CAP31	CAP30	CAP29	CAP28	CAP27	CAP26	CAP25	CAP24
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	キャプチャデータ							

図 12-4 TMRC 関係のレジスタ

TBT リードキャプチャレジスタ (TBTRDCAP)

		7	6	5	4	3	2	1	0
TBTRDCAPLL (0xFFFF_F408)	bit Symbol	RDCAP07	RDCAP06	RDCAP05	RDCAP04	RDCAP03	RDCAP02	RDCAP01	RDCAP00
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	キャプチャデータ							
TBTRDCAPLH (0xFFFF_F409)	bit Symbol	RDCAP15	RDCAP14	RDCAP13	RDCAP12	RDCAP11	RDCAP10	RDCAP09	RDCAP08
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	キャプチャデータ							
TBTRDCAPHL (0xFFFF_F40A)	bit Symbol	RDCAP23	RDCAP22	RDCAP21	RDCAP20	RDCAP19	RDCAP18	RDCAP17	RDCAP16
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	キャプチャデータ							
TBTRDCAPHH (0xFFFF_F40B)	bit Symbol	RDCAP31	RDCAP30	RDCAP29	RDCAP28	RDCAP27	RDCAP26	RDCAP25	RDCAP24
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	キャプチャデータ							

図 12-5 TMRC 関係のレジスタ

TMRC キャプチャ 0 コントロールレジスタ

		7	6	5	4	3	2	1	0
CAP0CR (0xFFFF_F410)	bit Symbol	TC0NF						CP0EG1	CP0EG0
	Read/Write	R/W			R			R/W	
	リセット後	0			0			0	0
機能	TC0IN 入力ノイズ 除去 0.2/fsys 以上 1.6/fsys 以上	リードすると“0”が読めます						TC0IN 入力の有効エッジ 選択 00: キャプチャしない 01: 立ち上がり 10: 立ち下がり 11: 両エッジ	

< CP0EG1:0 > : キャプチャ 0 (TCCAP0) のトリガ入力端子 TC0IN の有効エッジを選択します。“00”を設定するとキャプチャ動作を行いません。

< TC0NF > : TC0IN 端子入力のノイズ除去を制御します。

“0 (除去なし)”の場合は、TC0IN 端子入力に対して“H”レベル、“L”レベルともに $2/fsys$ 以上 ($50ns@f_{periph}=f_c=40MHz$) で TCCAP0 のトリガ入力となります。

“1 (除去あり)”の場合は、TC0IN 端子入力に対して“H”レベル、“L”レベルともに $6/fsys$ ($150ns@f_{periph}=f_c=40MHz$) に満たない入力はノイズとして除去します。クロックギアによりシステムクロックの変化に伴い除去幅が変わります。

図 12-6 TMRC 関係のレジスタ

TMRC キャプチャ0レジスタ (TCCAP0)

		7	6	5	4	3	2	1	0
TCCAP0LL (0xFFFF_F414)	bit Symbol	CAP007	CAP006	CAP005	CAP004	CAP003	CAP002	CAP001	CAP000
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	キャプチャ0データ							
TCCAP0LH (0xFFFF_F415)	bit Symbol	CAP015	CAP014	CAP013	CAP012	CAP011	CAP010	CAP009	CAP008
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	キャプチャ0データ							
TCCAP0HL (0xFFFF_F416)	bit Symbol	CAP023	CAP022	CAP021	CAP020	CAP019	CAP018	CAP017	CAP016
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	キャプチャ0データ							
TCCAP0HH (0xFFFF_F417)	bit Symbol	CAP031	CAP030	CAP029	CAP028	CAP027	CAP026	CAP025	CAP024
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	キャプチャ0データ							

(注) キャプチャレジスタを読み出し中はキャプチャされません。

TMRCG0 割り込みマスクレジスタ

		7	6	5	4	3	2	1	0
TCGOIM (0xFFFF_F40C)	bit Symbol					TCIM3	TCIM2	TCIM1	TCIM0
	Read/Write	R				R/W			
	リセット後	0				0	0	0	0
	機能	リードすると“0”が読めます				1:INTCAP3 をマスク	1:INTCAP2 をマスク	1:INTCAP1 をマスク	1:INTCAP0 をマスク

TMRCG0 ステータスレジスタ

		7	6	5	4	3	2	1	0
TCGOST (0xFFFF_F40D)	bit Symbol					INTCAP3	INTCAP2	INTCAP1	INTCAP0
	Read/Write	R							
	リセット後	0				0	0	0	0
	機能	リードすると“0”が読めます				0:割り込み は発生 してい ない 1:割り込み が発生	0:割り込み は発生 してい ない 1:割り込み が発生	0:割り込み は発生 してい ない 1:割り込み が発生	0:割り込み は発生 してい ない 1:割り込み が発生

(注) TCGOST をリードすると、ビット0, 1, 2, 3はクリアされます。

図 12-7 TMRC 関係のレジスタ

TMRC キャプチャ 1 コントロールレジスタ

		7	6	5	4	3	2	1	0	
CAP1CR (0xFFFF_F418)	bit Symbol	TC1NF						CP1EG1	CP1EG0	
	Read/Write	R/W	R					R/W		
	リセット後	0	0					0	0	
	機能	TC1IN 入力ノイズ 除去 0:2/fsys 以上 1:6/fsys 以上	リードすると“0”が読めます					TC1IN 入力の有効エッジ 選択 00: キャプチャしない 01: 立ち上がり 10: 立ち下がり 11: 両エッジ		

<CP1EG1:0> : キャプチャ 1 (TCCAP1) のトリガ入力端子 TC1IN の有効エッジを選択します。"00"を設定するとキャプチャ動作を行いません。

<TC1NF> : TC1NF 端子入力のノイズ除去を制御します。

"0(除去なし)"の場合は、TC1IN 端子入力に対して"H"レベル、"L"レベルともに $2/fsys$ 以上 ($50ns@f_{periph}=f_c=40MHz$) で TCCAP1 のトリガ入力となります。

"1(除去あり)"の場合は、TC1IN 端子入力に対して"H"レベル、"L"レベルともに $6/fsys$ ($150ns@f_{periph}=f_c=40MHz$) に満たない入力はノイズとして除去します。クロックギアによりシステムクロックの変化に伴い除去幅が変わります。

TMRC キャプチャ 1 レジスタ (TCCAP1)

		7	6	5	4	3	2	1	0
TCCAP1LL (0xFFFF_F41C)	bit Symbol	CAP107	CAP106	CAP105	CAP104	CAP103	CAP102	CAP101	CAP100
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	キャプチャ 1 データ							
TCCAP1LH (0xFFFF_F41D)	bit Symbol	CAP115	CAP114	CAP113	CAP112	CAP111	CAP110	CAP109	CAP108
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	キャプチャ 1 データ							
TCCAP1HL (0xFFFF_F41E)	bit Symbol	CAP123	CAP122	CAP121	CAP120	CAP119	CAP118	CAP117	CAP116
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	キャプチャ 1 データ							
TCCAP1HH (0xFFFF_F41F)	bit Symbol	CAP131	CAP130	CAP129	CAP128	CAP127	CAP126	CAP125	CAP124
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	キャプチャ 1 データ							

(注) キャプチャレジスタを読み出し中はキャプチャされません。

図 12-8 TMRC 関係のレジスタ

TMRC キャプチャ 2 コントロールレジスタ

		7	6	5	4	3	2	1	0	
CAP2CR (0xFFFF_F420)	bit Symbol	TC2NF							CP2EG1	CP2EG0
	Read/Write	R/W	R						R/W	
	リセット後	0	0						0	0
	機能	TC2IN 入力ノイズ 除去 0:2/fsys 以上 1:6/fsys 以上	リードすると“0”が読めます						TC2IN 入力の有効エッジ 選択 00: キャプチャしない 01: 立ち上がり 10: 立ち下がり 11: 両エッジ	

<CP2EG1:0> : キャプチャ 2 (TCCAP2) のトリガ入力端子 TC2IN の有効エッジを選択します。“00”を設定するとキャプチャ動作を行いません。

<TC2NF> : TC2IN 端子入力のノイズ除去を制御します。

“0(除去なし)”の場合は、TC2IN 端子入力に対して“H”レベル、“L”レベルともに 2/fsys 以上 (50ns@fper iph=fc=40MHz) で TCCAP2 のトリガ入力となります。

“1(除去あり)”の場合は、TC2IN 端子入力に対して“H”レベル、“L”レベルともに 6/fsys (150ns@fper iph=fc=40MHz) に満たない入力はノイズとして除去します。クロックギアによりシステムクロックの変化に伴い除去幅が変わります。

TMRC キャプチャ 2 レジスタ (TCCAP2)

TCCAP2LL (0xFFFF_F424)		7	6	5	4	3	2	1	0
	bit Symbol	CAP207	CAP206	CAP205	CAP204	CAP203	CAP202	CAP201	CAP200
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
機能	キャプチャ 2 データ								
TCCAP2LH (0xFFFF_F425)		7	6	5	4	3	2	1	0
	bit Symbol	CAP215	CAP214	CAP213	CAP212	CAP211	CAP210	CAP209	CAP208
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
機能	キャプチャ 2 データ								
TCCAP2HL (0xFFFF_F426)		7	6	5	4	3	2	1	0
	bit Symbol	CAP223	CAP222	CAP221	CAP220	CAP219	CAP218	CAP217	CAP216
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
機能	キャプチャ 2 データ								
TCCAP2HH (0xFFFF_F427)		7	6	5	4	3	2	1	0
	bit Symbol	CAP231	CAP230	CAP229	CAP228	CAP227	CAP226	CAP225	CAP224
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
機能	キャプチャ 2 データ								

(注) キャプチャレジスタを読み出し中はキャプチャされません。

図 12-9 TMRC 関係のレジスタ

TMRC キャプチャ 3 コントロールレジスタ

		7	6	5	4	3	2	1	0
CAP3CR (0xFFFF_F428)	bit Symbol	TC3NF						CP3EG1	CP3EG0
	Read/Write	R/W						R/W	
	リセット後	0						0	0
	機能	TC3IN リードすると“0”が読めます 入力ノイズ除去 0:2/fsys 以上 1:6/fsys 以上						TC3IN 入力の有効エッジ 選択 00: キャプチャしない 01: 立ち上がり 10: 立ち下がり 11: 両エッジ	

< CP3EG1:0 > : キャプチャ 3 (TCCAP3) のトリガ入力端子 TC3IN の有効エッジを選択します。“00”を設定するとキャプチャ動作を行いません。

< TC3NF > : TC3IN 端子入力のノイズ除去を制御します。

“0 (除去なし)” の場合は、TC3IN 端子入力に対して“H”レベル、“L”レベルともに 2/fsys 以上 (50ns@fper iph=fc=40MHz) で接 TCCAP3 のトリガ入力となります。

“1 (除去あり)” の場合は、TC3IN 端子入力に対して“H”レベル、“L”レベルともに 6/fsys (150ns@fper iph=fc=40MHz) に満たない入力はノイズとして除去します。クロックギアによりシステムクロックの変化に伴い除去幅が変わります。

(注) CAP3CR のビット 2~6 は、リードすると“0”が読み出されます。

TMRC キャプチャ 3 レジスタ (TCCAP3)

		7	6	5	4	3	2	1	0
TCCAP3LL (0xFFFF_F42C)	bit Symbol	CAP307	CAP306	CAP305	CAP304	CAP303	CAP302	CAP301	CAP300
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	キャプチャ 3 データ							
TCCAP3LH (0xFFFF_F42D)	bit Symbol	CAP315	CAP314	CAP313	CAP312	CAP311	CAP310	CAP309	CAP308
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	キャプチャ 3 データ							
TCCAP3HL (0xFFFF_F42E)	bit Symbol	CAP323	CAP322	CAP321	CAP320	CAP319	CAP318	CAP317	CAP316
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	キャプチャ 3 データ							
TCCAP3HH (0xFFFF_F42F)	bit Symbol	CAP331	CAP330	CAP329	CAP328	CAP327	CAP326	CAP325	CAP324
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能	キャプチャ 3 データ							

(注) キャプチャレジスタを読み出し中はキャプチャされません。

図 12-10 TMRC 関係のレジスタ

TMRC コンペア制御レジスタ (CMPCTL)

		7	6	5	4	3	2	1	0
CMPCTL0 (0xFFFF_F470)	bit Symbol	TCFFEN0		TCFFC01	TCFFC00			CMPRDE0	CMPEN0
	Read/Write	R	R/W	R/W		R		R/W	
	リセット後	0	0	1	1	0		0	0
	機能	リードすると“0”が読めません	TCFF0 反転 0:禁止 1:許可	TCFF0 の制御 00:反転 01:セット 10:クリア 11:D'ont care		リードすると“0”が読めません		ダブルバッファ0 0:禁止 1:許可	コンペア0 イネーブル 0:禁止 1:許可
CMPCTL1 (0xFFFF_F471)	bit Symbol	TCFFEN1		TCFFC11	TCFFC10			CMPRDE1	CMPEN1
	Read/Write	R	R/W	R/W		R		R/W	
	リセット後	0	0	1	1	0		0	0
	機能	リードすると“0”が読めません	TCFF1 反転 0:禁止 1:許可	TCFF1 の制御 00:反転 01:セット 10:クリア 11:D'ont care		リードすると“0”が読めません		ダブルバッファ1 0:禁止 1:許可	コンペア1 イネーブル 0:禁止 1:許可
CMPCTL2 (0xFFFF_F472)	bit Symbol	TCFFEN2		TCFFC21	TCFFC20			CMPRDE2	CMPEN2
	Read/Write	R	R/W	R/W		R		R/W	
	リセット後	0	0	1	1	0		0	0
	機能	リードすると“0”が読めません	TCFF2 反転 0:禁止 1:許可	TCFF2 の制御 00:反転 01:セット 10:クリア 11:D'ont care		リードすると“0”が読めません		ダブルバッファ2 0:禁止 1:許可	コンペア2 イネーブル 0:禁止 1:許可
CMPCTL3 (0xFFFF_F473)	bit Symbol	TCFFEN3		TCFFC31	TCFFC30			CMPRDE3	CMPEN3
	Read/Write	R	R/W	R/W		R		R/W	
	リセット後	0	0	1	1	0		0	0
	機能	リードすると“0”が読めません	TCFF3 反転 0:禁止 1:許可	TCFF3 の制御 00:反転 01:セット 10:クリア 11:D'ont care		リードすると“0”が読めません		ダブルバッファ3 0:禁止 1:許可	コンペア3 イネーブル 0:禁止 1:許可

図 12-11 TMRC 関係のレジスタ

TMRC コンペア制御レジスタ (CMPCTL)

		7	6	5	4	3	2	1	0
CMPCTL4 (0xFFFF_F474)	bit Symbol	TCFFEN4		TCFFC41	TCFFC40			CMPRDE4	CMPEN4
	Read/Write	R	R/W	R/W		R		R/W	
	リセット後	0	0	1	1	0		0	0
	機能	リードすると“0”が読めず	TCFF4 反転 0:禁止 1:許可	TCFF4 の制御 00:反転 01:セット 10:クリア 11:D'ont care		リードすると“0”が読めず		ダブルバッファ4 0:禁止 1:許可	コンペア4 イネーブル 0:禁止 1:許可
CMPCTL5 (0xFFFF_F475)	bit Symbol	TCFFEN5		TCFFC51	TCFFC50			CMPRDE5	CMPEN5
	Read/Write	R	R/W	R/W		R		R/W	
	リセット後	0	0	1	1	0		0	0
	機能	リードすると“0”が読めず	TCFF5 反転 0:禁止 1:許可	TCFF5 の制御 00:反転 01:セット 10:クリア 11:D'ont care		リードすると“0”が読めず		ダブルバッファ5 0:禁止 1:許可	コンペア5 イネーブル 0:禁止 1:許可
CMPCTL6 (0xFFFF_F476)	bit Symbol	TCFFEN6		TCFFC61	TCFFC60			CMPRDE6	CMPEN6
	Read/Write	R	R/W	R/W		R		R/W	
	リセット後	0	0	1	1	0		0	0
	機能	リードすると“0”が読めず	TCFF6 反転 0:禁止 1:許可	TCFF6 の制御 00:反転 01:セット 10:クリア 11:D'ont care		リードすると“0”が読めず		ダブルバッファ6 0:禁止 1:許可	コンペア6 イネーブル 0:禁止 1:許可
CMPCTL7 (0xFFFF_F477)	bit Symbol	TCFFEN7		TCFFC71	TCFFC70			CMPRDE7	CMPEN7
	Read/Write	R	R/W	R/W		R		R/W	
	リセット後	0	0	1	1	0		0	0
	機能	リードすると“0”が読めず	TCFF7 反転 0:禁止 1:許可	TCFF7 の制御 00:反転 01:セット 10:クリア 11:D'ont care		リードすると“0”が読めず		ダブルバッファ7 0:禁止 1:許可	コンペア7 イネーブル 0:禁止 1:許可

- < CMPENn > : コンペア一致検出のイネーブル/ディゼーブルを制御します。
- < CMPRDEn > : コンペアレジスタのダブルバッファイネーブル/ディゼーブルを制御します。
- < TCFFCn1:0 > : コンペア一致出力 F/F の制御をします。
- < TCFFENn > : コンペア一致出力 F/F の反転イネーブル/ディゼーブルを制御します。

図 12-12 TMRC 関係のレジスタ

TMRC コンペアレジスタ 0 (TCCMP0)

		7	6	5	4	3	2	1	0
TCCMP0LL (0xFFFF_F440)	bit Symbol	CMP007	CMP006	CMP005	CMP004	CMP003	CMP002	CMP001	CMP000
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	コンペアレジスタ 0 データ							
TCCMP0LH (0xFFFF_F441)	bit Symbol	CMP015	CMP014	CMP013	CMP012	CMP011	CMP010	CMP009	CMP008
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	コンペアレジスタ 0 データ							
TCCMP0HL (0xFFFF_F442)	bit Symbol	CMP023	CMP022	CMP021	CMP020	CMP019	CMP018	CMP017	CMP016
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	コンペアレジスタ 0 データ							
TCCMP0HH (0xFFFF_F443)	bit Symbol	CMP031	CMP030	CMP029	CMP028	CMP027	CMP026	CMP025	CMP024
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	コンペアレジスタ 0 データ							

TMRC コンペアレジスタ 1 (TCCMP1)

		7	6	5	4	3	2	1	0
TCCMP1LL (0xFFFF_F444)	bit Symbol	CMP107	CMP106	CMP105	CMP104	CMP103	CMP102	CMP101	CMP100
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	コンペアレジスタ 1 データ							
TCCMP1LH (0xFFFF_F445)	bit Symbol	CMP115	CMP114	CMP113	CMP112	CMP111	CMP110	CMP109	CMP108
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	コンペアレジスタ 1 データ							
TCCMP1HL (0xFFFF_F446)	bit Symbol	CMP123	CMP122	CMP121	CMP120	CMP119	CMP118	CMP117	CMP116
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	コンペアレジスタ 1 データ							
TCCMP1HH (0xFFFF_F447)	bit Symbol	CMP131	CMP130	CMP129	CMP128	CMP127	CMP126	CMP125	CMP124
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	コンペアレジスタ 1 データ							

図 12-13 TMRC 関係のレジスタ

TMRC コンペアレジスタ 2 (TCCMP2)

		7	6	5	4	3	2	1	0
TCCMP2LL (0xFFFF_F448)	bit Symbol	CMP207	CMP206	CMP205	CMP204	CMP203	CMP202	CMP201	CMP200
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	コンペアレジスタ 2 データ							
TCCMP2LH (0xFFFF_F449)	bit Symbol	CMP215	CMP214	CMP213	CMP212	CMP211	CMP210	CMP209	CMP208
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	コンペアレジスタ 2 データ							
TCCMP2HL (0xFFFF_F44A)	bit Symbol	CMP223	CMP222	CMP221	CMP220	CMP219	CMP218	CMP217	CMP216
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	コンペアレジスタ 2 データ							
TCCMP2HH (0xFFFF_F44B)	bit Symbol	CMP231	CMP230	CMP229	CMP228	CMP227	CMP226	CMP225	CMP224
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	コンペアレジスタ 2 データ							

TMRC コンペアレジスタ 3 (TCCMP3)

		7	6	5	4	3	2	1	0
TCCMP3LL (FFF_F44C)	bit Symbol	CMP307	CMP306	CMP305	CMP304	CMP303	CMP302	CMP301	CMP300
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	コンペアレジスタ 3 データ							
TCCMP3LH (0xFFFF_F44D)	bit Symbol	CMP315	CMP314	CMP313	CMP312	CMP311	CMP310	CMP309	CMP308
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	コンペアレジスタ 3 データ							
TCCMP3HL (0xFFFF_F44E)	bit Symbol	CMP323	CMP322	CMP321	CMP320	CMP319	CMP318	CMP317	CMP316
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	コンペアレジスタ 3 データ							
TCCMP3HH (0xFFFF_F44F)	bit Symbol	CMP331	CMP330	CMP329	CMP328	CMP327	CMP326	CMP325	CMP324
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	コンペアレジスタ 3 データ							

図 12-14 TMRC 関係のレジスタ

TMRC コンペアレジスタ 4 (TCCMP4)

		7	6	5	4	3	2	1	0
TCCMP4LL (0xFFFF_F450)	bit Symbol	CMP407	CMP406	CMP405	CMP404	CMP403	CMP402	CMP401	CMP400
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	コンペアレジスタ 4 データ							
TCCMP4LH (0xFFFF_F451)	bit Symbol	CMP415	CMP414	CMP413	CMP412	CMP411	CMP410	CMP409	CMP408
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	コンペアレジスタ 4 データ							
TCCMP4HL (0xFFFF_F452)	bit Symbol	CMP423	CMP422	CMP421	CMP420	CMP419	CMP418	CMP417	CMP416
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	コンペアレジスタ 4 データ							
TCCMP4HH (0xFFFF_F453)	bit Symbol	CMP431	CMP430	CMP429	CMP428	CMP427	CMP426	CMP425	CMP424
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	コンペアレジスタ 4 データ							

TMRC コンペアレジスタ 5 (TCCMP5)

		7	6	5	4	3	2	1	0
TCCMP5LL (0xFFFF_F454)	bit Symbol	CMP507	CMP506	CMP505	CMP504	CMP503	CMP502	CMP501	CMP500
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	コンペアレジスタ 5 データ							
TCCMP5LH (0xFFFF_F455)	bit Symbol	CMP515	CMP514	CMP513	CMP512	CMP511	CMP510	CMP509	CMP508
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	コンペアレジスタ 5 データ							
TCCMP5HL (0xFFFF_F456)	bit Symbol	CMP523	CMP522	CMP521	CMP520	CMP519	CMP518	CMP517	CMP516
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	コンペアレジスタ 5 データ							
TCCMP5HH (0xFFFF_F457)	bit Symbol	CMP531	CMP530	CMP529	CMP528	CMP527	CMP526	CMP525	CMP524
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	コンペアレジスタ 5 データ							

図 12-15 TMRC 関係のレジスタ

TMRC コンペアレジスタ 6 (TCCMP6)

		7	6	5	4	3	2	1	0
TCCMP6LL (0xFFFF_F458)	bit Symbol	CMP607	CMP606	CMP605	CMP604	CMP603	CMP602	CMP601	CMP600
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	コンペアレジスタ 6 データ							
TCCMP6LH (0xFFFF_F459)	bit Symbol	CMP615	CMP614	CMP613	CMP612	CMP611	CMP610	CMP609	CMP608
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	コンペアレジスタ 6 データ							
TCCMP6HL (0xFFFF_F45A)	bit Symbol	CMP623	CMP622	CMP621	CMP620	CMP619	CMP618	CMP617	CMP616
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	コンペアレジスタ 6 データ							
TCCMP6HH (0xFFFF_F45B)	bit Symbol	CMP631	CMP630	CMP629	CMP628	CMP627	CMP626	CMP625	CMP624
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	コンペアレジスタ 6 データ							

TMRC コンペアレジスタ 7 (TCCMP7)

		7	6	5	4	3	2	1	0
TCCMP7LL (0xFFFF_F45C)	bit Symbol	CMP707	CMP706	CMP705	CMP704	CMP703	CMP702	CMP701	CMP700
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	コンペアレジスタ 7 データ							
TCCMP7LH (0xFFFF_F45D)	bit Symbol	CMP715	CMP714	CMP713	CMP712	CMP711	CMP710	CMP709	CMP708
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	コンペアレジスタ 7 データ							
TCCMP7HL (0xFFFF_F45E)	bit Symbol	CMP723	CMP722	CMP721	CMP720	CMP719	CMP718	CMP717	CMP716
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	コンペアレジスタ 7 データ							
TCCMP7HH (0xFFFF_F45F)	bit Symbol	CMP731	CMP730	CMP729	CMP728	CMP727	CMP726	CMP725	CMP724
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	コンペアレジスタ 7 データ							

図 12-16 TMRC 関係のレジスタ.

13 シリアル チャネル (SIO)

13.1 特長

シリアル入出力を3チャンネル内蔵 (SIO0~SIO2) しています。各チャンネルは、下記に示すようにUARTモード (非同期通信) およびI/Oインターフェースモード (同期通信) を選択できます。

I/Oインターフェースモード	——	モード0: I/Oを拡張するためのI/Oデータの送受信とその同期信号 (SCLK) の送受信を行うモード
非同期通信 (UART) モード	—	モード1: 送受信データ長 7ビット
		モード2: 送受信データ長 8ビット
		モード3: 送受信データ長 9ビット

このうち、モード1とモード2は、パリティビットの付加が可能で、モード3はマスタコントローラがシリアルリンク (マルチコントローラシステム) でスレーブコントローラを起動させるためのウェイクアップ機能を有しています。図13-2に、SIO0のブロック図を示します。

各チャンネルは主に、プリスケラ、シリアルクロック生成回路、受信バッファとその制御回路、送信バッファとその制御回路で構成されています。各チャンネルは、それぞれ独立に動作します。

SIO0~SIO2は同一の動作をしますので、SIO0の場合についてのみ説明します。

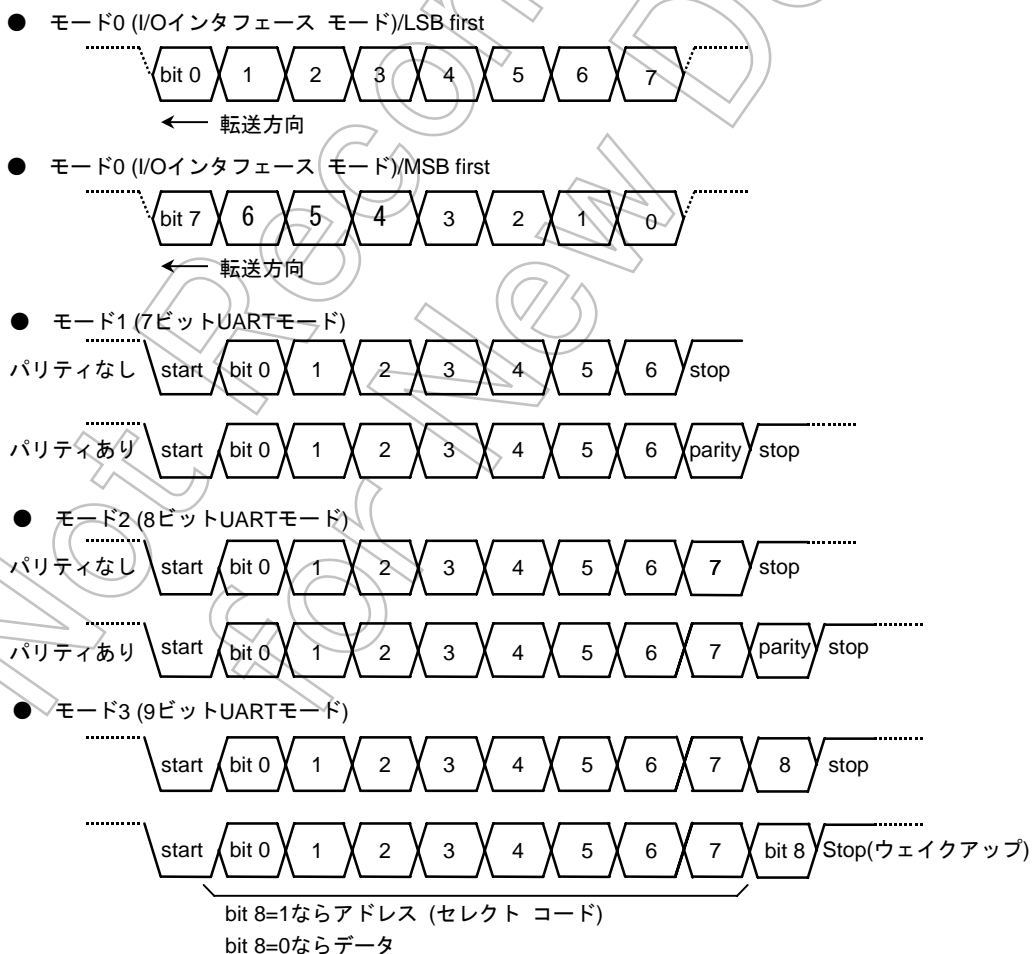


図 13-1 データフォーマット

13.2 ブロック図 (チャンネル0)

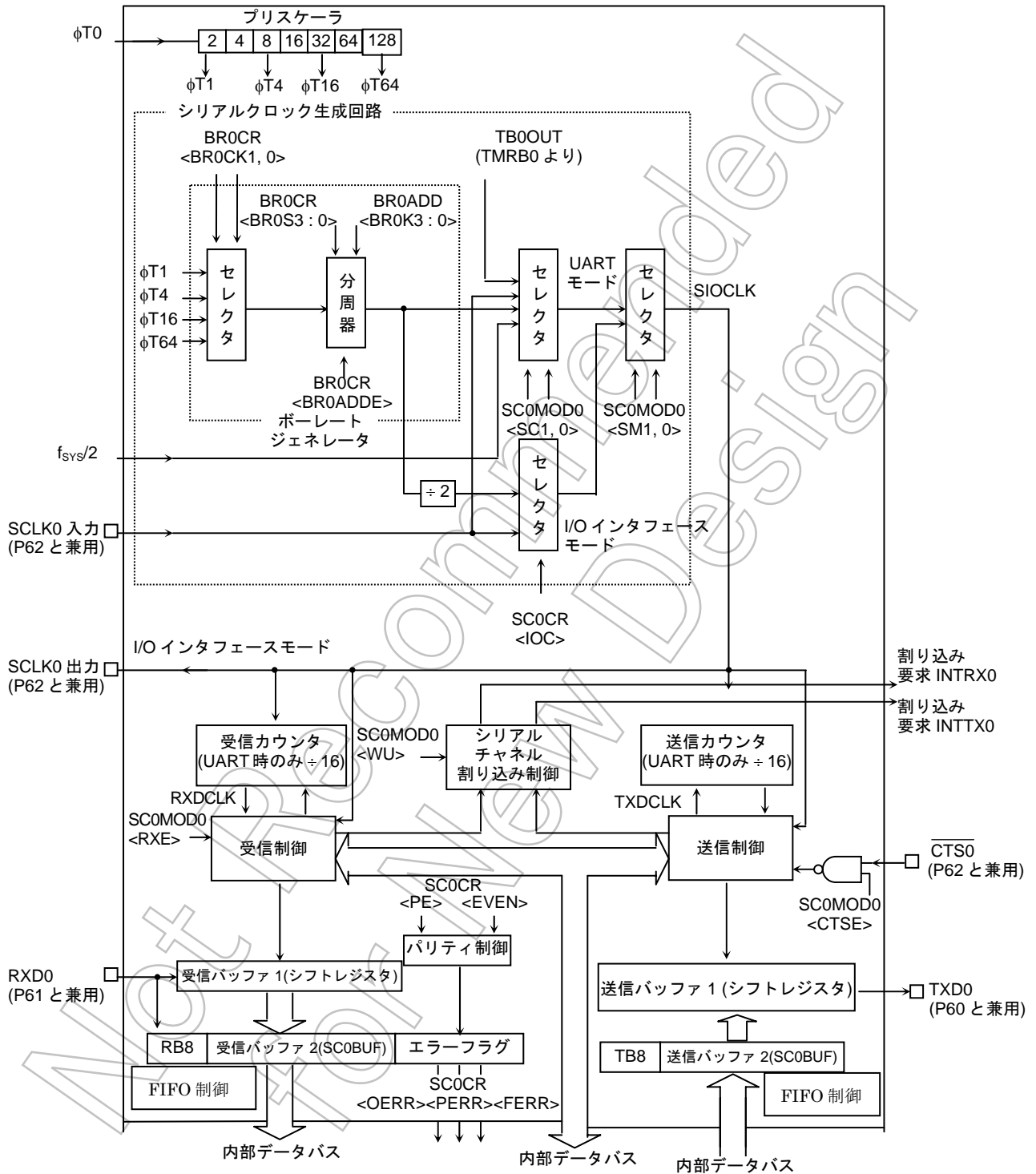


図 13-2 S100 ブロック図

13.3 回路別の動作説明（チャンネル0）

13.3.1 プリスケーラ

S100の動作クロックを生成するために、7ビットプリスケーラがあります。プリスケーラの入カクロック $\phi T0$ は、CG部のSYSCR<PRCK1:0>にて選択したfperiph/2、fperiph/4、fperiph/8、fperiph/16のいずれかのクロックです。

fperiphはCG部のSYSCR1<FPSEL>で選択されるクロックfgearまたはクロックギアで分周される前のクロックfcのいずれかです。

プリスケーラは、シリアル転送クロックに、ボーレートジェネレータを選択した場合にのみ動作します。プリスケーラ出力クロックの分解能を表13-1に示します。

Not Recommended for New Design

表 13-1 ボーレートジェネレータへの入力クロック分解能

@ = 40MHz

ペリフェラル クロック解除 <FPSEL>	クロックギア値 <GEAR1 : 0>	プリスケアラ クロック選択 <PRCK1 : 0>	プリスケアラ出力クロック分解能			
			$\phi T1$	$\phi T4$	$\phi T16$	$\phi T64$
0 (fgear)	000 (fc)	00 (fper iph/16)	$f_c/2^5$ (0.8 μ s)	$f_c/2^7$ (3.2 μ s)	$f_c/2^9$ (12.8 μ s)	$f_c/2^{11}$ (51.2 μ s)
		01 (fper iph/8)	$f_c/2^4$ (0.4 μ s)	$f_c/2^6$ (1.6 μ s)	$f_c/2^8$ (6.4 μ s)	$f_c/2^{10}$ (25.6 μ s)
		10 (fper iph/4)	$f_c/2^3$ (0.2 μ s)	$f_c/2^5$ (0.8 μ s)	$f_c/2^7$ (3.2 μ s)	$f_c/2^9$ (12.8 μ s)
		11 (fper iph/2)	$f_c/2^2$ (0.1 μ s)	$f_c/2^4$ (0.4 μ s)	$f_c/2^6$ (1.6 μ s)	$f_c/2^8$ (6.4 μ s)
	010 (fc/3/4)	00 (fper iph/16)	$3f_c/2^7$ (1.06 μ s)	$3f_c/2^9$ (4.25 μ s)	$3f_c/2^{11}$ (17 μ s)	$3f_c/2^{13}$ (68 μ s)
		01 (fper iph/8)	$3f_c/2^6$ (0.53 μ s)	$3f_c/2^8$ (2.12 μ s)	$3f_c/2^{10}$ (8.50 μ s)	$3f_c/2^{12}$ (34 μ s)
		10 (fper iph/4)	$3f_c/2^5$ (0.27 μ s)	$3f_c/2^7$ (1.06 μ s)	$3f_c/2^9$ (4.25 μ s)	$3f_c/2^{11}$ (17 μ s)
		11 (fper iph/2)	$3f_c/2^4$ (0.13 μ s)	$3f_c/2^6$ (0.53 μ s)	$3f_c/2^8$ (2.12 μ s)	$3f_c/2^{10}$ (8.50 μ s)
	100 (fc/2)	00 (fper iph/16)	$f_c/2^5$ (1.6 μ s)	$f_c/2^8$ (6.4 μ s)	$f_c/2^{10}$ (25.6 μ s)	$f_c/2^{12}$ (102 μ s)
		01 (fper iph/8)	$f_c/2^5$ (0.8 μ s)	$f_c/2^7$ (3.2 μ s)	$f_c/2^9$ (12.8 μ s)	$f_c/2^{11}$ (51.2 μ s)
		10 (fper iph/4)	$f_c/2^4$ (0.4 μ s)	$f_c/2^6$ (1.6 μ s)	$f_c/2^8$ (6.4 μ s)	$f_c/2^{10}$ (25.6 μ s)
		11 (fper iph/2)	$f_c/2^3$ (0.2 μ s)	$f_c/2^5$ (0.8 μ s)	$f_c/2^7$ (3.2 μ s)	$f_c/2^9$ (12.8 μ s)
	110 (fc/4)	00 (fper iph/16)	$f_c/2^7$ (3.2 μ s)	$f_c/2^9$ (12.8 μ s)	$f_c/2^{11}$ (51.2 μ s)	$f_c/2^{13}$ (204 μ s)
		01 (fper iph/8)	$f_c/2^6$ (1.6 μ s)	$f_c/2^8$ (6.4 μ s)	$f_c/2^{10}$ (25.6 μ s)	$f_c/2^{12}$ (102 μ s)
		10 (fper iph/4)	$f_c/2^5$ (0.8 μ s)	$f_c/2^7$ (3.2 μ s)	$f_c/2^9$ (12.8 μ s)	$f_c/2^{11}$ (51.2 μ s)
		11 (fper iph/2)	$f_c/2^4$ (0.4 μ s)	$f_c/2^6$ (1.6 μ s)	$f_c/2^8$ (6.4 μ s)	$f_c/2^{10}$ (25.6 μ s)
	111 (fc/8)	00 (fper iph/16)	$f_c/2^8$ (6.4 μ s)	$f_c/2^{10}$ (25.6 μ s)	$f_c/2^{12}$ (102 μ s)	$f_c/2^{14}$ (410 μ s)
		01 (fper iph/8)	$f_c/2^7$ (3.2 μ s)	$f_c/2^9$ (12.8 μ s)	$f_c/2^{11}$ (51.2 μ s)	$f_c/2^{13}$ (204 μ s)
		10 (fper iph/4)	$f_c/2^6$ (1.6 μ s)	$f_c/2^8$ (6.4 μ s)	$f_c/2^{10}$ (25.6 μ s)	$f_c/2^{12}$ (102 μ s)
		11 (fper iph/2)	$f_c/2^5$ (0.8 μ s)	$f_c/2^7$ (3.2 μ s)	$f_c/2^9$ (12.8 μ s)	$f_c/2^{11}$ (51.2 μ s)
1 (fc)	000 (fc)	00 (fper iph/16)	$f_c/2^5$ (0.8 μ s)	$f_c/2^7$ (3.2 μ s)	$f_c/2^9$ (12.8 μ s)	$f_c/2^{11}$ (51.2 μ s)
		01 (fper iph/8)	$f_c/2^4$ (0.4 μ s)	$f_c/2^6$ (1.6 μ s)	$f_c/2^8$ (6.4 μ s)	$f_c/2^{10}$ (25.6 μ s)
		10 (fper iph/4)	$f_c/2^3$ (0.2 μ s)	$f_c/2^5$ (0.8 μ s)	$f_c/2^7$ (3.2 μ s)	$f_c/2^9$ (12.8 μ s)
		11 (fper iph/2)	$f_c/2^2$ (0.1 μ s)	$f_c/2^4$ (0.4 μ s)	$f_c/2^6$ (1.6 μ s)	$f_c/2^8$ (6.4 μ s)
	010 (fc/3/4)	00 (fper iph/16)	$f_c/2^5$ (0.8 μ s)	$f_c/2^7$ (3.2 μ s)	$f_c/2^9$ (12.8 μ s)	$f_c/2^{11}$ (51.2 μ s)
		01 (fper iph/8)	$f_c/2^4$ (0.4 μ s)	$f_c/2^6$ (1.6 μ s)	$f_c/2^8$ (6.4 μ s)	$f_c/2^{10}$ (25.6 μ s)
		10 (fper iph/4)	$f_c/2^3$ (0.2 μ s)	$f_c/2^5$ (0.8 μ s)	$f_c/2^7$ (3.2 μ s)	$f_c/2^9$ (12.8 μ s)
		11 (fper iph/2)	$f_c/2^2$ (0.1 μ s)	$f_c/2^4$ (0.4 μ s)	$f_c/2^6$ (1.6 μ s)	$f_c/2^8$ (6.4 μ s)
	100 (fc/2)	00 (fper iph/16)	$f_c/2^5$ (0.8 μ s)	$f_c/2^7$ (3.2 μ s)	$f_c/2^9$ (12.8 μ s)	$f_c/2^{11}$ (51.2 μ s)
		01 (fper iph/8)	$f_c/2^4$ (0.4 μ s)	$f_c/2^6$ (1.6 μ s)	$f_c/2^8$ (6.4 μ s)	$f_c/2^{10}$ (25.6 μ s)
		10 (fper iph/4)	$f_c/2^3$ (0.2 μ s)	$f_c/2^5$ (0.8 μ s)	$f_c/2^7$ (3.2 μ s)	$f_c/2^9$ (12.8 μ s)
		11 (fper iph/2)	—	$f_c/2^4$ (0.4 μ s)	$f_c/2^6$ (1.6 μ s)	$f_c/2^8$ (6.4 μ s)
	110 (fc/4)	00 (fper iph/16)	$f_c/2^5$ (0.8 μ s)	$f_c/2^7$ (3.2 μ s)	$f_c/2^9$ (12.8 μ s)	$f_c/2^{11}$ (51.2 μ s)
		01 (fper iph/8)	$f_c/2^4$ (0.4 μ s)	$f_c/2^6$ (1.6 μ s)	$f_c/2^8$ (6.4 μ s)	$f_c/2^{10}$ (25.6 μ s)
		10 (fper iph/4)	—	$f_c/2^5$ (0.8 μ s)	$f_c/2^7$ (3.2 μ s)	$f_c/2^9$ (12.8 μ s)
		11 (fper iph/2)	—	$f_c/2^4$ (0.4 μ s)	$f_c/2^6$ (1.6 μ s)	$f_c/2^8$ (6.4 μ s)
	111 (fc/8)	00 (fper iph/16)	$f_c/2^5$ (0.8 μ s)	$f_c/2^7$ (3.2 μ s)	$f_c/2^9$ (12.8 μ s)	$f_c/2^{11}$ (51.2 μ s)
		01 (fper iph/8)	—	$f_c/2^6$ (1.6 μ s)	$f_c/2^8$ (6.4 μ s)	$f_c/2^{10}$ (25.6 μ s)
		10 (fper iph/4)	—	$f_c/2^5$ (0.8 μ s)	$f_c/2^7$ (3.2 μ s)	$f_c/2^9$ (12.8 μ s)
		11 (fper iph/2)	—	—	$f_c/2^6$ (1.6 μ s)	$f_c/2^8$ (6.4 μ s)

(注1) プリスケアラ出力クロック ϕTn は、かならず $\phi Tn < f_{sys}/2$ を満足するように (ϕTn が $f_{sys}/2$ よりも遅くなるように) 選択してください。

(注2) SIO動作中はクロックギアの切り替えは行わないでください。

(注3) 表中“—”は設定禁止です。

シリアルインタフェースボーレートジェネレータには、プリスケアラ出力クロックより $\phi T1$ 、 $\phi T4$ 、 $\phi T16$ 、 $\phi T64$ の4種類のクロックが用いられます。

13.3.2 ボーレート

ボーレートジェネレータは、シリアルチャネルの転送速度を定める送受信クロックを生成するための回路です。

ボーレートジェネレータへの入力クロックは7ビットプリスケアラより、 $\phi T1$ 、 $\phi T4$ 、 $\phi T16$ 、 $\phi T64$ を用います。この入力クロックの選択はボーレートジェネレータコントロールレジスタ BROCR <BROCK1:0>で設定します。

ボーレートジェネレータは、 $1 + N + \frac{m}{16}$ ($N=2\sim 15$, $m=0\sim 15$)、16分周が可能な分周器を内蔵しており、ボーレートジェネレータコントロールレジスタ BROCR<BROADDE><BROS3:0>、BROADD<BROK3:0>の設定に従い分周を行い、転送速度を決定します。

- UART モードの場合

- 1) BROCR<BROADDE>=0 の場合

BROADD<BROK3:0>の設定は無視され、BROCR<BROS3:0>に設定された値“N”に従いN分周を行います。(N=1、2、3 … 16)

- 2) BROCR<BROADDE>=1 の場合

$N + (16 - K) / 16$ 分周機能がイネーブルになり、BROCR<BROS3:0>に設定された値“N” (N = 2、3 … 15)、BROADD<BROK3:0>に設定された値“K”に従い $N + (16 - K) / 16$ 分周を行います。(K=1、2、3 … 15)

(注) N=1 および 16 のときは $N + (16 - K) / 16$ 分周機能は禁止となりますのでかならず BROCR<BROADDE>=“0” に設定してください。

- I/O インタフェースモードの場合

I/O インタフェースモード時は $N + (16 - K) / 16$ 分周機能は使用できません。かならず BROCR<BROADDE>=“0” に設定してN分周を行ってください。

- ボーレートジェネレータを使用した場合のボーレートの算出方法

- 1) UART モード

$$\text{ボーレート} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 16$$

ボーレートジェネレータで生成される最高のボーレートは、 $\phi T1$ が 10 MHz のときの 625 kbps です。

ボーレートジェネレータの出力ではない $f_{\text{sys}}/2$ をシリアルクロックとして使用できます。この場合の最高ボーレートは 1.25Mbps@ $f_{\text{sys}}=40\text{MHZ}$

2) I/O インタフェースモード

$$\text{ボーレート} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 2$$

ボーレートジェネレータで生成される最高のボーレートは、 $\phi T1$ が 10 MHz のときで、ダブルバッファを使用する場合は、ボーレートジェネレータの分周値="1" の設定が可能なので、5Mbps になります（ダブルバッファを使用しない場合は、ボーレートジェネレータの分周値="2" のときの、2.5Mbps が最高になります）。

- ボーレートの設定例

1) 整数分周 (N 分周) の場合

f_{periph} に $f_c=39.321$ MHz を選択し、 $\phi T0$ を $f_{\text{periph}}/16$ に設定したとき、ボーレートジェネレータへの入力クロックを $\phi T1$ 、分周値 "N" ($\text{BROCR}\langle\text{BROS3:0}\rangle=4$ 、 $\text{BROCR}\langle\text{BROADDE}\rangle="0"$) の場合の UART モードのボーレートは、

※ クロック条件

{	システムクロック	: 高速 (f_c)
	高速クロックギア	: 1 倍 (f_c)
	プリスケールクロック	: $f_{\text{periph}}/16$ ($f_{\text{periph}} = f_{\text{sys}}$)

$$\text{ボーレート} = \frac{f_c/32}{4} \div 16$$

$$= 39.321 \times 10^6 \div 32 \div 4 \div 16 \doteq 19200 \text{ (bps) となります。}$$

(注) $+(16-K)/16$ 分周機能は禁止に設定されるため $\text{BROADD}\langle\text{BROK3:0}\rangle$ の設定は無視されます。

2) $N + (16-K)/16$ 分周 (UART モードのみ) の場合

f_{periph} に $f_c=19.2$ MHz を選択し、 $\phi T0$ を $f_{\text{periph}}/16$ に設定したとき、ボーレートジェネレータへの入力クロックを $\phi T2$ 、分周値 "N" ($\text{BROCR}\langle\text{BROS3:0}\rangle=7$ 、 K) ($\text{BROADD}\langle\text{BROK3:0}\rangle=3$ 、 $\text{BROCR}\langle\text{BROADDE}\rangle=1$) の場合のボーレートは、

※ クロック条件

{	システムクロック	: 高速 (f_c)
	高速クロックギア	: 1 倍 (f_c)
	プリスケールクロック	: $f_{\text{periph}}/4$ ($f_{\text{periph}} = f_{\text{sys}}$)

$$\text{ボーレート} = \frac{f_c/32}{7 + \frac{(16-3)}{16}} \div 16$$

$$= 19.2 \times 10^6 \div 64 \div \left(7 + \frac{13}{16}\right) \div 16 = 4800 \text{ (bps) となります。}$$

また、外部クロック入力をシリアルクロックに使用することもできます。この場合のボーレーートの算出方法を示します。

- 外部クロック入力を使用した場合のボーレーートの算出方法

- 1) UART モード

ボーレート = 外部クロック入力 ÷ 16

ただし、(外部クロック入力周期) $\geq 4/f_{sys}$ を満足する必要があります。

$f_{sys}=40\text{MHz}$ のときの最高ボーレートは、 $40 \div 4 \div 16 = 625$ (kbps) になります。

- 2) I/O インタフェースモード

ボーレート = 外部クロック入力

ダブルバッファを使用するときは、

(外部クロック入力周期) $> 12/f_{sys}$ を満足する必要があります。

従って、 $f_{sys}=40\text{MHz}$ のときの最高ボーレートは、 $40 \div 12 = 3.3$ (Mbps) 未満にする必要があります。

ダブルバッファを使用しないときは、

(外部クロック入力周期) $> 16/f_{sys}$ を満足する必要があります。

従って、 $f_{sys}=40\text{MHz}$ のときの最高ボーレートは、 $40 \div 16 = 2.5$ (Mbps) 未満にする必要があります。

表 13-2～表 13-3に UART モードのボーレーートの例を示します。

表 13-2 UART ボーレートの選択

(ボーレートジェネレータ使用、BROCR <BROADDE> = 0 の場合)

単位 (kbps)

fc [MHz]	分周値 N (BROCR <BROS3 : 0>に設定)	入力クロック			
		$\phi T1$ (fc/4)	$\phi T4$ (fc/16)	$\phi T16$ (fc/64)	$\phi T64$ (fc/256)
19.6608	1	307.200	76.800	19.200	4.800
↑	2	153.600	38.400	9.600	2.400
↑	4	76.800	19.200	4.800	1.200
↑	8	38.400	9.600	2.400	0.600
↑	0	19.200	4.800	1.200	0.300
24.576	5	76.800	19.200	4.800	1.200
↑	A	38.400	9.600	2.400	0.600
29.4912	1	460.800	115.200	28.800	7.200
↑	2	230.400	57.600	14.400	3.600
↑	3	153.600	38.400	9.600	2.400
↑	4	115.200	28.800	7.200	1.800
↑	6	76.800	19.200	4.800	1.200
↑	C	38.400	9.600	2.400	0.600

(注) 本表は、システムクロックとして fc、クロックギアとして fc/1、プリスケール用クロックとして $f_{\text{periph}}/2$ を選択した場合の値です。

表 13-3 UART ボーレートの選択

(タイマ TMRB0 の出力 (内部 TBOOUT) 使用, タイマ TMRB0 の入力クロックが $\phi T0$ の場合)

単位 (kbps)

TBOREG	fc	29.4912 MHz	24.576 MHz	24 MHz	19.6608 MHz	16 MHz	12.288 MHz
1H		230.4	192	187.5	153.6	125	96
2H		115.2	96	93.75	76.8	62.5	48
3H		76.8	64	62.5	51.2	41.67	32
4H		57.6	48	46.88	38.4	31.25	24
5H		46.08	38.4	37.5	30.72	25	19.2
6H		38.4	32	31.25	25.6	20.83	16
8H		28.8	24	23.44	19.2	15.63	12
AH		23.04	19.2	18.75	15.36	12.5	9.6
10H		14.4	12	11.72	9.6	7.81	6
14H		11.52	9.6	9.38	7.68	6.25	4.8

ボーレートの算出方法 (タイマ TMRB0 を使用した場合)

$$\text{転送レート} = \frac{\text{SYSCRO} \langle \text{PRCK1:0} \rangle \text{で選択されたクロック周波数}}{\text{TBOREG} \times 2 \times 16}$$

↑ (タイマ TMRB0 の入力クロックが $\phi T0$ の場合)

(注1) I/O インタフェースモードでは、タイマ TMRB0 からの出力信号 (内部) を転送クロックとして使用できません。

(注2) 本表は、システムクロックとして fc、クロックギアとして fc/1、プリスケール用クロックとして $f_{\text{periph}}/4$ を選択した場合の値です。

13.3.3 シリアルクロック生成回路

送受信基本クロックを生成する回路です。

- I/O インターフェースモードの場合

シリアルコントロールレジスタ $SCOCR\langle IOC \rangle = "0"$ の SCLK 出力モードのときは、前記ポーレートジェネレータの出力を2分周して、基本クロックをつくります。

$SCOCR\langle IOC \rangle = "1"$ の SCLK 入力モードのときは、 $SCOCR\langle SCLKS \rangle$ の設定に従って立ち上がり/立ち下がリエッジを検出し、基本クロックをつくります。

- 非同期通信 (UART) モードの場合

シリアルモードコントロールレジスタ $SCOMOD0\langle SC1:0 \rangle$ の設定により、前記ポーレートジェネレータからのクロックか、システムクロック ($f_{SYS}/2$) か、タイマ (TMRB0) の内部出力信号か、または外部クロック (SCLK0 端子) のいずれかを選択し、基本クロック SIOCLK を生成します。

13.3.4 受信カウンタ

受信カウンタは、非同期通信 (UART) モードで用いられる4ビットのバイナリカウンタで、SIOCLK でカウントアップされます。データ1ビットの受信に SIOCLK が16クロック用いられ7、8、9発目でデータをサンプリングします。3度のデータサンプリングによる多数決論理により受信データを判断しています。

13.3.5 受信制御部

- I/O インターフェースモードの場合

$SCOCR\langle IOC \rangle = "0"$ の SCLK 出力モードのときは、SCLK0 端子へ出力されるシフトクロックの立ち上がりで RXD0 端子をサンプリングします。

$SCOCR\langle IOC \rangle = "1"$ の SCLK 入力モードのときは、 $SCOCR\langle SCLKS \rangle$ の設定に従って、SCLK 入力の立ち上がり/立ち下がリエッジでシリアル受信データ RXD0 端子をサンプリングします。

- 非同期通信 (UART) モードの場合

受信制御部は、スタートビット検出回路を持ち、正常なスタートビットと判断して受信動作を開始します。

13.3.6 受信バッファ

受信バッファは、オーバランエラーを防ぐため二重構造となっています。受信バッファ1 (シフトレジスタ型) に受信データが1ビットずつ格納され、データがそろうともう一方の受信バッファ2 (SCOBUF) へ移されます。また、同時に受信バッファの full Flag ($SCOMOD2\langle RBFL \rangle$) が "1" にセットされ、受信バッファ2 に有効データが格納されていることを示します。但し受信 FIFO が有効にされている場合は、受信データは受信 FIFO に移されこの Flag は直ぐにクリアされます。

受信 FIFO が有効にされていない場合 ($SCOF CNF\langle CNFG \rangle = 0$ で且つ $SCOMOD1\langle FDPX1:0 \rangle = 01$) は同時に割り込み INTRX0 が発生します。受信 FIFO が有効にされている場合 ($SCOF CNF\langle CNFG \rangle = 1$ で且つ $SCOMOD1\langle FDPX1:0 \rangle = 01/11$) は $SCORFC\langle RIL1:0 \rangle$ の設定に従い割り込みが発生します。

CPUは受信バッファ2 (SCOBUF) または受信 FIFO (ただし受信バッファに同じ) の方を読み出します。受信 FIFO が有効にされていない場合は、この読み出しにより受信バッファの full Flag <RBFLL>は“0”にクリアされます。CPUが受信バッファ2 (SCOBUF) または受信 FIFO を読み出す前でも、次の受信データは受信バッファ1へ格納することができます。

また、I/O インターフェースモードで SCLK 出力に設定されている場合は、ダブルバッファ制御ビット SCOMOD2<WBUF>の設定により、受信バッファ2 (SCOBUF) を許可または不許可にできます。

受信バッファ2 (ダブルバッファ) を不許可にして、更に受信 FIFO を有効にしない事 (SCOF CNF < CNFG > = 0 で且つ < FDPX1:0 > = 01) より、通信相手とハンドシェイクを取ることが可能となり、1 フレーム転送後に SCLK 出力を停止します。この設定の場合には、CPUからの読み出し動作は受信バッファ1に対して行われます。読み出し動作が行なわれる事により、SCLK 出力を再開します。

受信バッファ2 (ダブルバッファ) を許可にした場合で、受信 FIFO が有効にされていない場合は最初の受信データが受信バッファ1から2に移され、次に受信データの受信が終了して、受信バッファ2及び1に有効データが存在した状態になると、SCLK 出力を停止します。受信バッファ2の読み出しが行なわれると、受信バッファ1のデータが受信バッファ2に移され、受信割り込み INTRX が発生すると同時に SCLK 出力を再開します。従って、I/O インターフェースモードの SCLK 出力ではダブルバッファ制御ビット SCOMOD2<WBUF>の設定に関わらずオーバーランエラーは発生しません。

受信バッファ2 (ダブルバッファ) を許可にした場合で受信 FIFO が有効にされている場合 (SCNF CNF < CNFG > = 1 で且つ < FDPX1:0 > = 01/11) は受信 FIFO が FULL (SCOF CNF < RFST > の設定に従う) になり、受信バッファ2及び1に有効データが存在した状態になると SCLK 出力を停止します。またこの状態で SCOF CNF < RXTXCNT > = 1 にして

いると SCLK 出力停止と同時に受信制御 BIT : RXE が自動的にクリアされます。“0”の場合は自動クリアが行なわれません。

(注) このモードでは、SCOCR の < OEER > Flag は意味を持ちません。動作定義は不定となります。従って SCLK 出力モードから、他のモードへ切り替える時は事前に SCOCR をリードしてこの Flag を初期化してください。

その他の動作モードでは常に受信バッファ2の動作は有効であり、連続転送時のパフォーマンス向上を可能にしています。受信 FIFO が有効にされていない場合は、受信バッファ1に次のデータが全ビット受信される前に受信バッファ2 (SCOBUF) を読み出さなければオーバーランエラーとなります。オーバーランエラーが発生した場合、受信バッファ2および SCOCR < RB8 > の内容は保存されていますが、受信バッファ1の内容は失われます。受信 FIFO が有効にされている場合は受信 FIFO が FULL になり、受信バッファ2に次のデータが移される前に受信 FIFO を読み出さないと、受信 FIFO のオーバーランが発生して受信 FIFO のオーバーランエラーフラグがセットされます。この場合でも受信 FIFO のデータは保存されます。

8 ビット UART のパリティ付加の場合、パリティビット9ビット UART モードの場合の最上位ビットは SCOCR < RB8 > に格納されます。

9 ビット UART の場合、ウェイクアップ機能 $\text{SCOMOD0}\langle\text{WU}\rangle$ を “1” にすることによって、スレーブコントローラのウェイクアップ動作が可能で、 $\text{SCOCR}\langle\text{RB8}\rangle = “1”$ のときのみ、割り込み INTRX0 が発生します。

13.3.7 受信 FIFO バッファ

前記 Double buffer に加えて、受信 FIFO buffer を用いて、データの格納を行う事ができます。 SCOFCNF レジスタの $\langle\text{CNFG}\rangle$ 及び SCOMOD1 の $\langle\text{FDPX1:0}\rangle$ の設定で 4byte の受信 Buffer を有効にする事ができます。また、UART モード及び I/O インターフェースモードの場合は指定された fill レベルまでのデータが格納できます。受信 FIFO BUFFER を使用する場合はダブルバッファをイネーブルに設定しておいてください。

また UART モードでパリティビットを含むデータを受信する場合、受信ごとにパリティエラーチェックを行なう必要があります。

13.3.8 受信 FIFO の動作

① I/O インターフェースモードで SCLK 出力の場合

4Byte のデータを半二重受信する場合を例に説明します。

$\text{SCORFC}\langle 7:6 \rangle = 01$: 受信 FIFO のクリアと割り込み発生条件の設定

$\text{SCORFC}\langle 1:0 \rangle = 00$: 割り込み発生を fill level 4 に設定

$\text{SCOFCNF}\langle 1:0 \rangle = 10111$: fill level 到達後の継続受信自動禁止

受信 FIFO の使用 Byte 数は割り込み発生 fill レベルに同じ

この状態で転送モードを半二重受信に設定して RXE bit に 1 を書き込むと 4byte のデータ受信を開始します。4Byte 受信後に RXE を自動クリアして受信を終了 (SCLK を STOP) します。

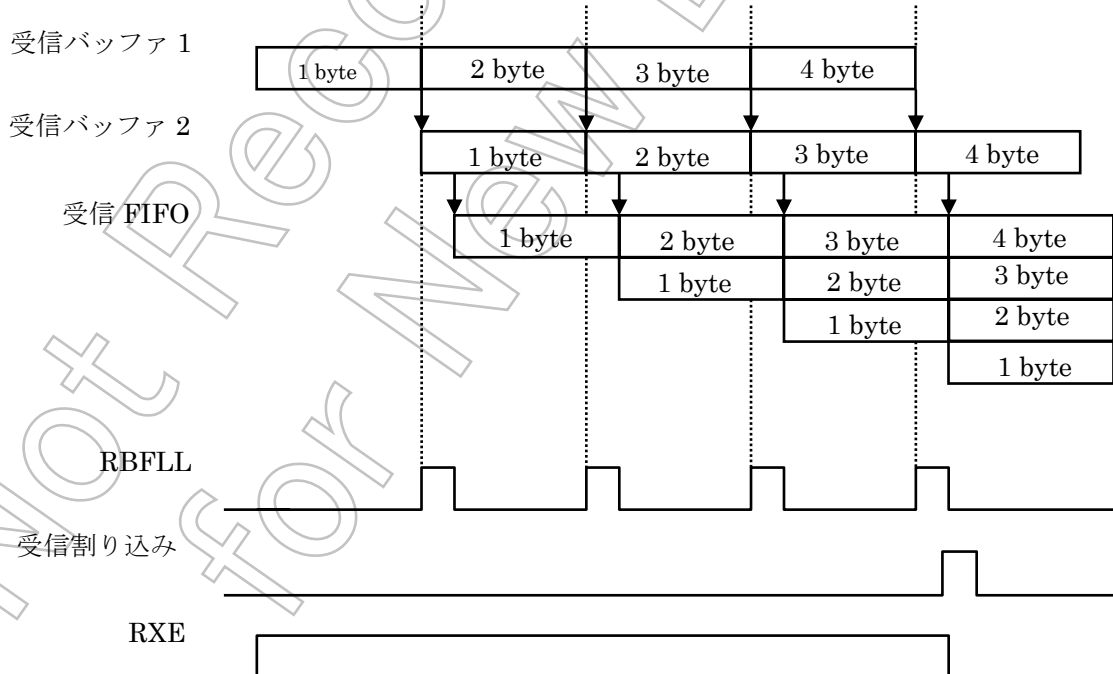


図 13-3 受信 FIFO の動作

② I/O インターフェースモードで SCLK 入力の場合

4Byte のデータを受信する場合を例に説明します。

SCORFC<7:6>=10 : 受信 FIFO のクリアと割り込み発生条件の設定

SCORFC<1:0>= 00 : 割り込み発生を fill level 4 に設定

SCOF CNF<1:0>=10101 : fill level 到達後の継続受信自動許可

受信 FIFO の使用 Byte 数は最大構成

この状態で転送モードを半二重受信に設定して RXE bit に 1 を書き込むと入力クロックに応じて 4byte のデータ受信を開始します。4byte 受信後に受信 FIFO 割り込みを発生します。

また、この設定では次の受信に備えることもでき、全部のデータが FIFO から読み出される前に次の 4 バイトデータの受信も可能です。

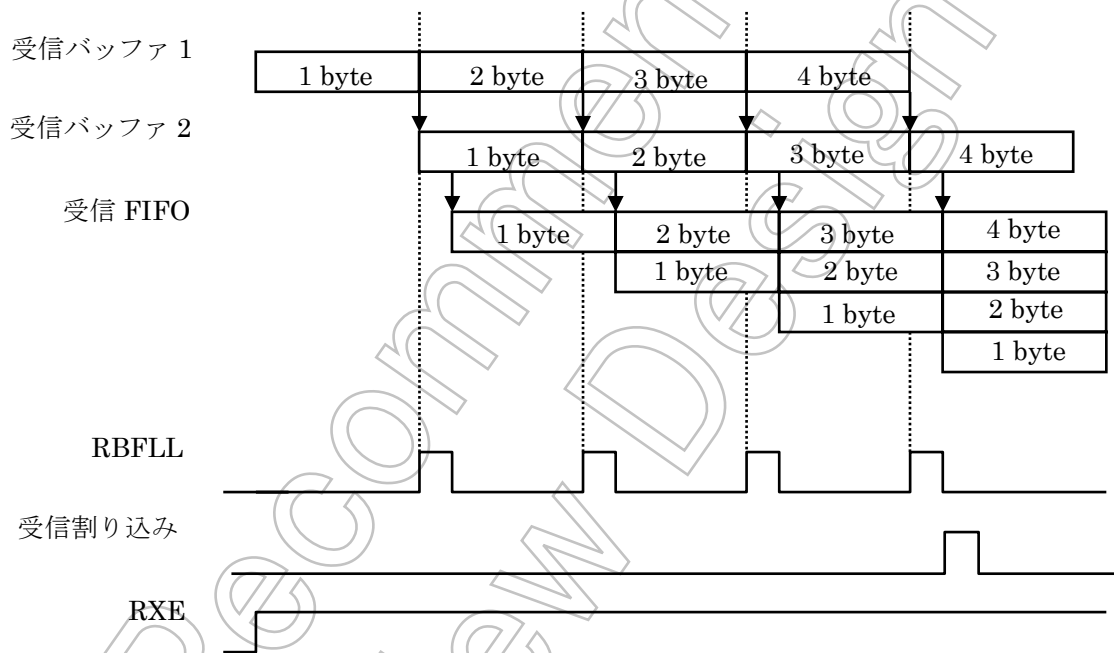


図 13-4 受信 FIFO の動作

13.3.9 送信カウンタ

送信カウンタは非同期通信 (UART) モードで用いられる 4 ビットのバイナリカウンタで受信カウンタ同様 SIOCLK でカウントされ、16 クロックごとに送信クロック (TXDCLK) を生成します。

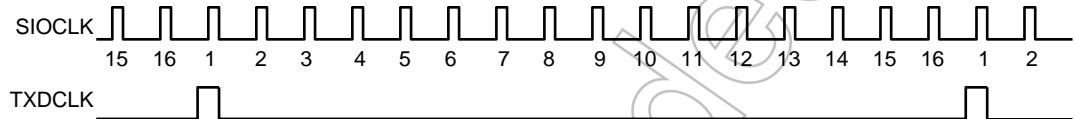


図 13-5 送信クロックの生成

13.3.10 送信制御部

- I/O インターフェースモードの場合

SCOCR<IOC>=“0”の SCLK 出力モードのときは、SCLK0 端子より出力されるシフトクロックの立ち上がりで送信バッファのデータを 1 ビットずつ TXD0 端子へ出力します。

SCOCR<IOC>=“1”の SCLK 入力モードのときは、SCOCR<SCLKS>の設定に従って SCLK 入力の立ち上がり/立ち下がりエッジで送信バッファのデータを 1 ビットずつシリアル送信データ TXD0 端子へ出力します。

- 非同期通信 (UART) モードの場合

送信バッファに CPU から送信データが書き込まれると、次の TXDCLK の立ち上がりエッジから送信を開始し、送信シフトクロック (TXDSFT) を生成します。

・ハンドシェイク機能

\overline{CTS} 端子をもっており、この端子を使用することにより、1 データフォーマット単位での送信が可能となり、オーバランエラーの発生を防ぐことができます。この機能は SCOMODO <CTSE> によってイネーブル/ディセーブルできます。

送信は $\overline{CTS0}$ 端子が “H” レベルになると、現在送信中のデータを送信完了後、 $\overline{CTS0}$ 端子が “L” レベルに戻るまで送信を停止します。ただし、INTTX0 割り込みは発生し、次の送信データを CPU に要求し、送信バッファにデータを書き込み、送信待機します。

なお、 \overline{RTS} 端子はありませんが、受信側にて受信が終了したとき（受信割り込みルーチン内）に \overline{RTS} 機能に割り当てた任意の 1 ポートを “H” レベルにして、送信側に送信の一時停止を要求することにより容易にハンドシェイク機能を構築できます。

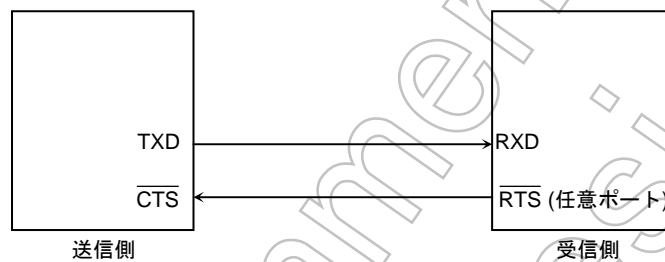
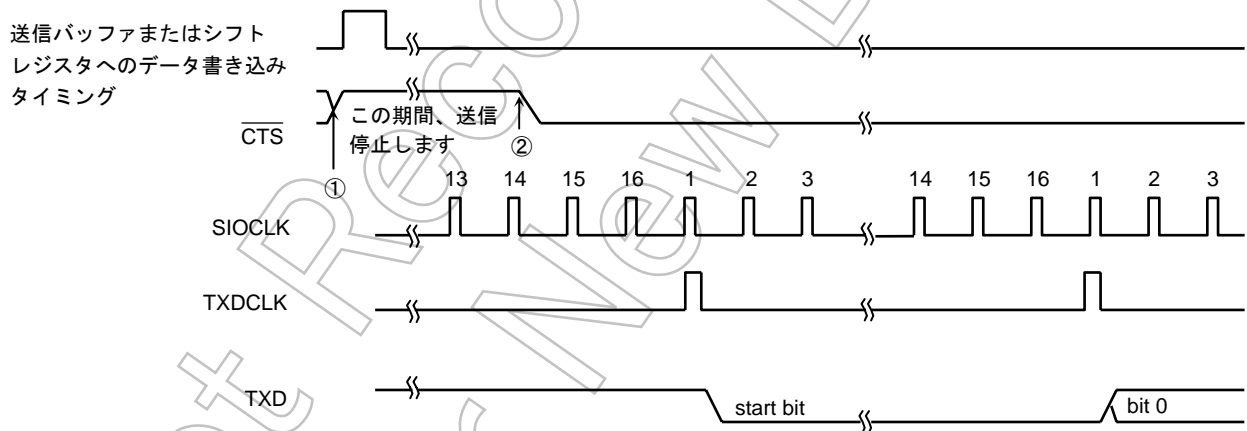


図 13-6 ハンドシェイク機能



- (注) ① 送信中に \overline{CTS} 信号を立ち上げた場合は、送信終了後、次のデータの送信を停止します。
 ② \overline{CTS} 信号立ち下がり後の最初の TXDCLK クロックの立ち下がりから送信を開始します。

図 13-7 \overline{CTS} (Clear to send) 信号のタイミング

13.3.11 送信バッファ

送信バッファ (SCOBUF) は2重構造になっています。シリアルモードコントロールレジスタ 2 (SCOMOD2) のダブルバッファ制御ビット<WBUF>の設定により、ダブルバッファの有効/無効を制御できます。ダブルバッファが有効のときは、送信バッファ 2 (SCOBUF) ヘデータが書き込まれると、そのデータは送信バッファ 1 (シフトレジスタ) へ移されます。

送信 FIFO が有効にされていない場合 (SCOFCNF<CNFG>=0 or 1 で且つ<FDPX1:0>=01) は同時に送信割り込み INTTX が発生して、SCOMOD2 の送信バッファエンプティフラグ<TBEMP>が“1”にセットされます。これは、送信バッファ 2 が空になったことを示し、次の送信データの書き込みが可能になります。次の送信データが送信バッファ 2 に書き込まれると<TBEMP>フラグが“0”にクリアされます。

送信 FIFO が有効にされている場合 (SCNFCNF<CNFG>=1 で且つ<FDPX1:0>=10/11) は送信 FIFO に送信データが存在する場合は直ぐに送信バッファ 2 へ移され、<TBEMP>フラグは直ぐに“0”にクリアされます。CPU は送信 Buffer 2 または送信 FIFO ヘデータを書き込みます。

また I/O インターフェースモードの SCLK 入力時に送信 FIFO が有効にされていない場合は、送信バッファ 1 のデータの送信が終了して次のフレームのクロックが入力される前に、送信バッファ 2 ヘデータがセットされないときは、アンダーランエラーになりシリアルコントロールレジスタ (SCOCR) のパリティ/アンダーランフラグ<PERR>がセットされます。

I/O インターフェースモードの SCLK 入力時で送信 FIFO が有効にされている場合は送信バッファ 1 のデータの送信が終了すると、送信バッファ 2 のデータが送信バッファ 1 へ移されると同時に送信 FIFO にデータが存在する場合は送信 FIFO から送信バッファ 2 ヘデータが移されます。

I/O インターフェースモードの SCLK 出力時に送信 FIFO が有効にされていない場合は、送信バッファ 2 のデータが送信バッファ 1 に移されて、そのデータの送信が終了すると SCLK 出力が停止します。従ってアンダーランエラーは発生しません。

I/O インターフェースモードの SCLK 出力時に送信 FIFO が有効にされている場合は送信 FIFO に有効データが無く、最後の送信バッファ 1 のデータ送信が終了すると SCLK 出力を停止します。

注) I/O インタフェース SCLK 出力モードでは、SCOCR の<PEER> Flag は意味を持ちません。動作定義は不定となります。従って SCLK 出力モードから、他のモードへ切り替える時は事前に SCOCR をリードしてこの Flag を初期化してください。

ダブルバッファを無効に設定している場合は、送信データの CPU からの書き込みは送信バッファ 1 に対して行われ、送信が終了すると送信割り込み INTTX が発生します。

相手方とハンドシェイクの通信が必要な場合はダブルバッファ制御ビット<WBUF>="0" (不許可) に設定して送信バッファ 2 の機能を無効にして、送信 FIFO の設定は行わないで下さい。

13.3.12 送信 FIFO BUFFER

前記 Double bufferに加えて、送信 FIFO buffer を用いて、データの格納を行う事ができます。SCOFCNF レジスタの CNFG の設定及び SCOMOD1 の FDPX1:0 で 4byte の送信 Buffer を有効にする事ができます。UART モード及び I/O インターフェースモードにおいて 4byte までのデータが格納できます。

また UART モードでパリティビットを含むデータを送信する場合、受信側は受信ごとにパリティエラーチェックを行なう必要があります。

13.3.13 送信 FIFO の動作

① I/O インターフェースモードで SCLK 出力の場合（通常モード）

4Byte のデータを送信する場合を例に説明します。

SCOTFC<7:6>=01 : 送信 FIFO のクリアと割り込み発生条件の設定

SCOTFC<1:0>=00 : 割り込み発生の fill level を 0 に設定

SCOFCNF<1:0>=01011 : fill level 到達後の継続送信の禁止

この状態で転送モードを半二重送信に設定して、送信 FIFO に 4byte 分の送信データを書き込み、〈TXE〉 BIT を 1 に設定する事によりデータ送信を開始します。最後の送信データが送信 BUFFER に移されると送信 FIFO 割り込みが発生して最後のデータの送信が終了するとクロック出力を停止して送信を終了します。

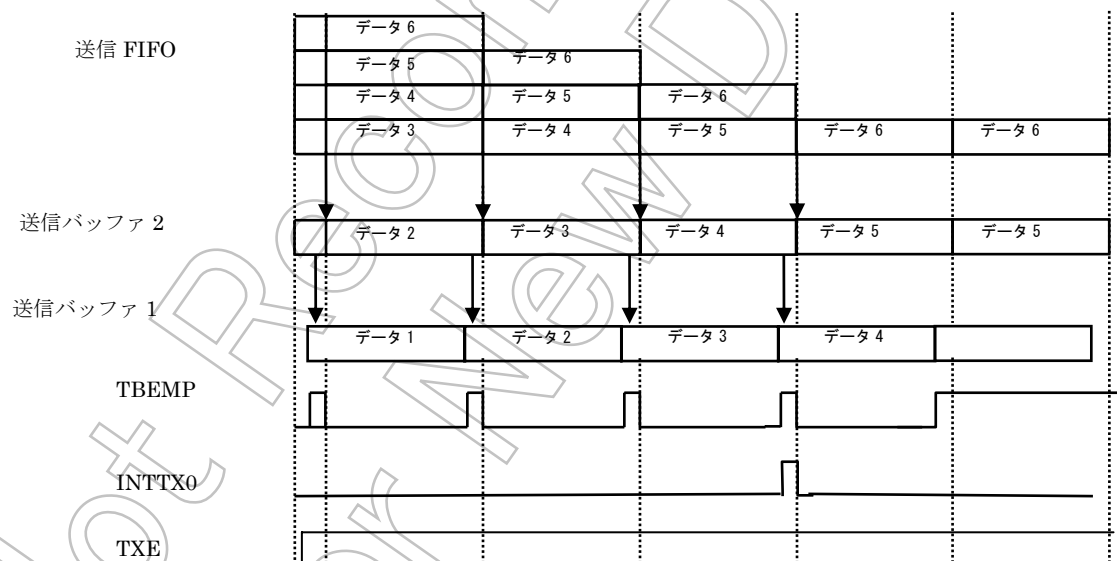


図 13-8 送信 FIFO の動作

② I/O インターフェースモードで SCLK 入力の場合（通常モード）

4Byte のデータを送信する場合を例に説明します。

SCOTFC<1:0>=01 : 送信 FIFO のクリアと割り込み発生条件の設定

SCOTFC<7:2>=000000 : 割り込み発生の fill level を 0 に設定

SCOF CNF<4:0>=01001 : fill level 到達後の継続送信の許可

この状態で転送モードを半二重送信に設定して、送信 FIFO に 4BYTE 分の送信データを書き込み、<TXE> BIT を 1 に設定する事によりクロック入力に応じてデータ送信を開始します。最後の送信データが送信 BUFFER に移されると送信 FIFO 割り込みが発生します。

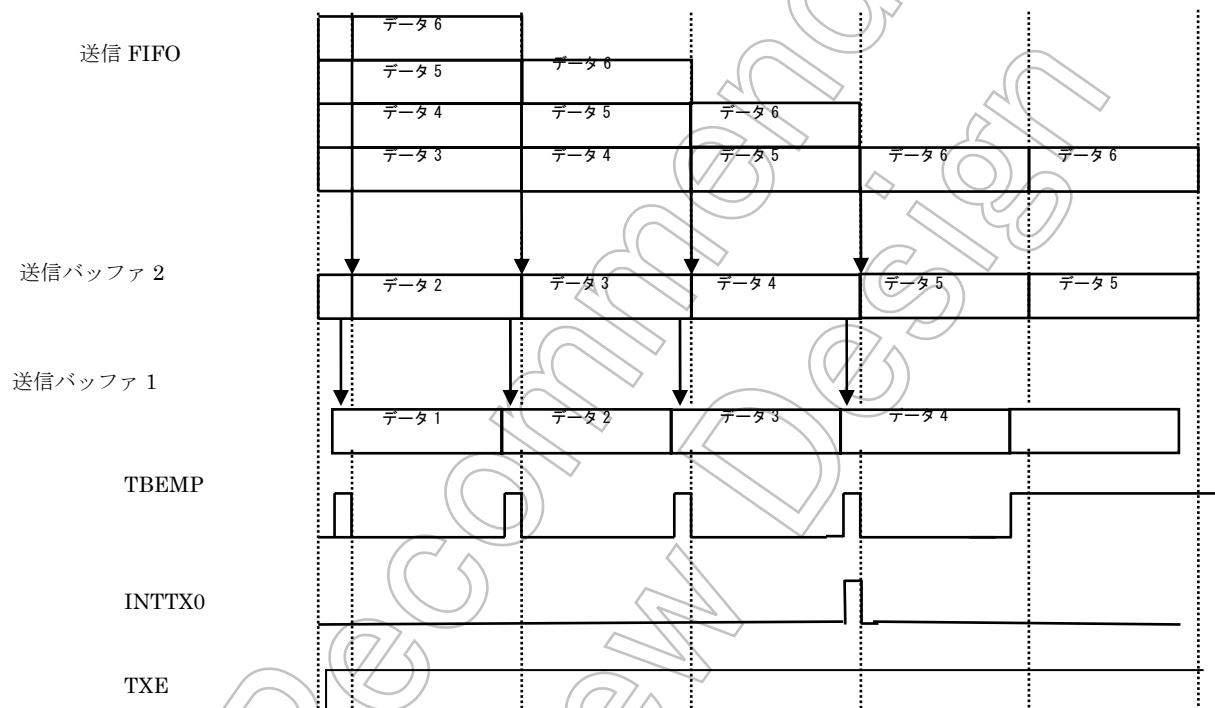


図 13-9 送信 FIFO の動作

13.3.14 パリティ制御回路

シリアルコントロールレジスタ (SCOCR) のパリティ付加ビット<PE>を“1”にするとパリティ付きの送信を行います。ただし、7ビット UART または 8ビット UART モードのみパリティ付加が可能です。SCOCR の<EVEN>ビットによって偶数 (奇数) パリティを選択することができます。

送信時、パリティ制御回路は送信バッファ (SCOBUF) に書き込まれたデータにより自動的にパリティを発生し、7ビット UART モードのときは SCOBUF ビット 7<TB7> に、8ビット UART モードのときはシリアルモードコントロールレジスタ SCOMOD のビット 7<TB8> にパリティがデータ送信後に格納されます。なお、<PE>と<EVEN>の設定は、送信データを送信バッファに書き込む前に行ってください。

受信時、受信データが受信バッファ 1 にシフトインされ、受信バッファ 2 (SCOBUF) に移されることによりパリティを自動発生します。7ビット UART モードのときは、SCOBUF <RB7> と、8ビット UART モードのときは、SCOCR レジスタのビット 7<RB8> のパリティと比較され、異なっているとパリティエラーが発生し、SCOCR レジスタの<PERR> フラグがセットされます。

I/O インターフェースモードの時は SCOCR<PERR>はパリティフラグではなく、アンダーランエラーフラグの働きになります。

13.3.15 エラーフラグ

受信データの信頼性を上げるために 3 つのエラーフラグが用意されています。

1. オーバランエラー <OERR> : シリアルコントロールレジスタ SCOCR のビット 4

UART、I/O インターフェースモード共に、受信バッファのデータを読み出す前に次のフレームの受信が終了するとエラーが発生して“1”にセットされます。受信 FIFO を有効にしている場合は、受信 FIFO へデータが自動的に移されるので、受信 FIFO が FULL (使用 BYTE 数) になるまではオーバランエラーは発生しません。また、このフラグは読み出すと“0”にクリアされます。但し、I/O インターフェースモードの SCLK 出力の設定ではオーバランエラーは発生しないために、このフラグは機能せず動作定義は未定です。

2. パリティエラー/アンダーランエラー<PERR> : SCOCR レジスタのビット 3

UART モード時はパリティエラーが発生すると“1”にセットされます。パリティエラーは受信したデータから生成されたパリティと受信したパリティが異なる場合に発生します。このフラグは読み出すと“0”にクリアされます。

I/O インターフェースモード時はアンダーランエラーを示します。このフラグはシリアルモードコントロールレジスタ (SCOMOD2) のダブルバッファ制御ビット<WBUF>が“1”に設定されている状態で、SCLK 入力モード時には、送信シフトレジスタのデータを送信終了し、次回の転送クロックが入力される前に、送信ダブルバッファヘデータがセットされない場合に“1”にセットされ、アンダーランエラーが発生したことを示します。送信 FIFO が有効にされている場合は送信 FIFO からデータが移されます。送信 FIFO のデータが空になり、送信ダブルバッファのデータ空になると、アンダーランエラーが発生します。SCLK 出力モード時、アンダーランエラーは発生しないために、このフラグは機能せず動作定義は未定となります。送信バッファ 2 が無効の場合はアンダーランエラーフラグ<PERR>はセットされません。また、このフラグは読み出すと“0”にクリアされます。

3. フレーミングエラー <FERR> : SC0CR レジスタのビット 2

UART モード時にフレーミングエラーが発生すると“1”にセットされます。読み出すと“0”にクリアされます。フレーミングエラーは受信データのストップビットを中央付近でサンプリングし、結果が“0”の場合に発生します。シリアルモードコントロールレジスタ 2 (SCOMOD2) の STOP ビット長設定ビット <SBLLEN> の設定に関わらず、受信時の STOP ビットの判定は 1 ビットのみです。

動作モード	エラーフラグ	機能
UART	OERR	オーバーランエラーフラグ
	PERR	パリティエラーフラグ
	FERR	フレーミングエラーフラグ
I/O インタフェース (SCLK 入力)	OERR	オーバーランエラーフラグ
	PERR	アンダーランエラーフラグ (WBUF=1) 0 固定 (WBUF=0)
	FERR	0 固定
I/O インタフェース (SCLK 出力)	OERR	動作未定義
	PERR	動作未定義
	FERR	0 固定

Not Recommended for New Design

13.3.16 データ転送方向

シリアルモードコントロールレジスタ 2 (SCOMOD2) の転送方向設定ビット<DRCHG>の設定により、I/O インターフェースモード時に転送方向を MSB ファーストまたは LSB ファーストを切り替えることができます。転送動作中の切り替えは行わないでください。

13.3.17 STOP ビットの長さ

SCOMOD2 レジスタのビット 4<SBLEN>の設定により UART 送信モード時の送信データ中の STOP ビットの長さを 1 ビットまたは 2 ビットに設定できます。

13.3.18 ステータスフラグ

SCOMOD2 レジスタのビット 6<RBFL>はダブルバッファ有効 (SCOMOD2<WBUF>="1") 時の受信バッファ full を示すフラグです。1 フレームの受信が終了して、受信データがバッファ 1 からバッファ 2 に移されるとバッファ 2 が full (データが格納されている状態)であることを示すために "1" にセットされます。CPU/DMAC により受信バッファを読み出すと "0" にクリアされます。<WBUF>="0" のときは意味を持ちませんのでステータスフラグとして使用しないでください。SCOMOD2 レジスタのビット 7<TBEMP>はダブルバッファ有効 (SCOMOD2<WBUF>="1") 時の送信バッファ 2 が空になったことを示すフラグです。送信バッファ 2 から送信バッファ 1 (シフトレジスタ) へデータが移されると、送信バッファ 2 が空になったことを示すために "1" がセットされます。CPU/DMAC により送信バッファにデータをセットすると "0" にクリアされます。<WBUF>="0" のときは意味を持ちませんのでステータスフラグとして使用しないでください。

13.3.19 送受信バッファの構成

		<WBUF> = 0	<WBUF> = 1
UART	送信	シングル	ダブル
	受信	ダブル	ダブル
I/O インターフェース (SCLK 入力)	送信	シングル	ダブル
	受信	ダブル	ダブル
I/O インターフェース (SCLK 出力)	送信	シングル	ダブル
	受信	シングル	ダブル

13.3.20 ソフトリセット

SCOMOD2 レジスタのビット 1, 0<SWRST1:0>を "10" → "01" と続けてのライトすることによりソフトウェアリセットが発生します。これにより、モードレジスタの SCOMOD0<RXE>、SCOMOD1<TXE>、SCOMOD2<TBEMP>、<RBFL>、<TXRUN>、コントロールレジスタの SCOCR<OERR>、<PERR>、<FERR> 及び内部回路が初期化されます。その他の状態は保持されます。

13.3.21 各信号発生タイミング

① UART モードの場合

受信

モード	9ビット	8ビット + パリティ	8ビット, 7ビット + パリティ, 7ビット
割り込み発生タイミング	第1ストップビットの中央付近	第1ストップビットの中央付近	第1ストップビットの中央付近
フレーミングエラー発生タイミング	ストップビットの中央付近	ストップビットの中央付近	ストップビットの中央付近
パリティエラー発生タイミング	—	最終ビット (パリティビット) の中央付近	最終ビット (パリティビット) の中央付近
オーバランエラー発生タイミング	ストップビットの中央付近	ストップビットの中央付近	ストップビットの中央付近

送信

モード	9ビット	8ビット + パリティ	8ビット, 7ビット + パリティ, 7ビット
割り込み発生タイミング (<WBUF> = 0)	ストップビット送出の直前	ストップビット送出の直前	ストップビット送出の直前
割り込み発生タイミング (<WBUF> = 1)	送信バッファ1ヘッダを移した直後 (スタートビット送出の直前)	送信バッファ1ヘッダを移した直後 (スタートビット送出の直前)	送信バッファ1ヘッダを移した直後 (スタートビット送出の直前)

② I/O インターフェースモードの場合

受信

割り込み発生タイミング (<WBUF> = 0)	SCLK 出力モード	最終 SCLK の立ち上がり直後
	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後
割り込み発生タイミング (<WBUF> = 1)	SCLK 出力モード	最終 SCLK の立ち上がり直後 (受信バッファ2ヘッダを移した直後) または受信バッファ2からデータを読み出した直後
	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後 (受信バッファ2ヘッダを移した直後)
オーバランエラー発生タイミング	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後

送信

割り込み発生タイミング (<WBUF> = 0)	SCLK 出力モード	最終 SCLK の立ち上がり直後
	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後
割り込み発生タイミング (<WBUF> = 1)	SCLK 出力モード	最終 SCLK の立ち上がり直後または送信バッファ1ヘッダを移した直後
	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後 または送信バッファ1ヘッダを移した直後
アンダーランエラー発生タイミング	SCLK 入力モード	次回 SCLK の立ち下がり直後 (立ち上がりモード)、立ち下がりモードでは立ち上がり直後

注1) 送信、受信 (受信許可の状態) に制御レジスタの変更は行わないでください

注2) 受信動作中に受信動作を停止 (SCOMOD0<RXE>="0") しないでください

注3) 送信動作中に送信動作を停止 (SCOMOD1<TXE>="0") しないでください

13.4 レジスタ説明（チャンネル0についてのみ説明します）

	7	6	5	4	3	2	1	0
bit Symbol	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	送信データビット8	ハンドシェイク機能制御 0: CTS ディセーブル 1: CTS イネーブル	受信制御 0: 受信禁止 1: 受信許可	ウェイクアップ機能 0: ディセーブル 1: イネーブル	シリアル転送モード 00: 1/0 インタフェースモード 01: 7ビット長 UARTモード 10: 8ビット長 UARTモード 11: 9ビット長 UARTモード	シリアル転送クロック (UART用) 00: タイマ TBOOUT 01: ポーレートジェネレータ 10: 内部クロック $f_{SYS}/2$ 11: 外部クロック (SCLK0 入力)		

注) I/O インタフェースモード時は、シリアルコントロールレジスタ (SC0CR) でクロックを選択します。

→ ウェイクアップ機能

	9ビットUART	その他のモード
0	受信すれば割り込み	don't care
1	RB8 = 1 のときの割り込み	

→ ハンドシェイク機能(CTS 端子)イネーブル

0	ディセーブル (常時送信可能)
1	イネーブル

注) <RXE>="0" の状態で各モードレジスタ (SCOMODO、SCOMOD1、SCOMOD2) を設定してから最後に<RXE>="1" にしてください

図 13-10 シリアルモードコントロールレジスタ 0 (S100 用、SCOMODO)

	7	6	5	4	3	2	1	0
SC0MOD1 (0xFFFF_F265)								
bit Symbol	I2S0	FDPX1	FDPX0	TXE	SINT2	SINT1	SINT0	—
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機能	IDLE 0: 停止 1: 動作	転送モード設定 00: 転送禁止 01: 半二重 (受信) 10: 半二重 (送信) 11: 全二重		送信制御 0: 禁止 1: 許可	連続転送時のインターバル時間 000: 無し 100: 8SCLK 001: 1SCLK 101: 16SCLK 010: 2SCLK 110: 32SCLK 011: 4SCLK 111: 64SCLK		0 を書き込んでください	

図 13-11 シリアルモードコントロールレジスタ 1 (S100 用、SC0MOD1)

<SINT2:0> : I/O インターフェースモード時で、Double buffer または FIFO が許可されている時に連続転送のインターバル時間を指定します。UART モードおよび、外部 CLK 入力時は意味を持ちません。

<TXE> : 送信許可 BIT です。全転送モードに有効です。送信中にこの BIT が禁止に設定された場合はそのフレームの転送が終了してから、禁止になります。

<FDPX1:0> : I/O インターフェース時の転送モードを設定します。また合わせて FIFO が許可されている場合は FIFO の構成を指定します。UART モードの場合は FIFO 構成の指定のみ行われます。

<I2S0> : IDLE モード時の動作を指定します。

SC0MOD2
(0xFFFF_F266)

	7	6	5	4	3	2	1	0
bit Symbol	TBEMP	RBFL	TXRUN	SBLN	DRCHG	WBUF	SWRST1	SWRST0
Read/Write	R			R/W				
リセット後	1	0	0	0	0	0	0	0
機能	送信 buffer empty flag 0: full 1: Empty	受信 Buffer full FLAG 0: Empty 1: full	送信動作中 FLAG 0: 停止 1: 動作	STOP ビット 0: 1 ビット 1: 2 ビット	転送方向設定 0: LSB first 1: MSB first	W-buffer の許可 0: 不許可 1: 許可	SOFT RESET “10” → “01” のライトで RESET	

<SWRST1:0>: “10” → “01” のライトによりソフトウェアリセットが発生します。これにより、モードレジスタの SCOMODO<RXE>、SCOMOD1<TXE>、SCOMOD2<TBEMP>、<RBFL>、<TXRUN>、コントロールレジスタの SCOCR<OERR>、<PERR>、<FERR>及び内部回路が初期化されます。

<WBUF>: I/O インターフェースモードの送信 (SCLK 出力、入力)、受信 (SCLK 出力)、UART モードの送信時に、送信、受信の Double buffer の許可/不許可を指定します。その他のモードでは設定に関わらず、常に Double buffer は許可されます。

<DRCHG>: I/O インターフェースモード時に、転送方向を指定します。UART モード時は LSB first に設定します。

<TXRUN>: 送信シフト動作中を示すステータスフラグです。このビットが1の場合は送信動作中である事を示し、0の場合は、ビット 7<TBEMP>=” 1” の時は送信が完全に終了している状態を、<TBEMP>=” 0” の時は送信バッファに次の送信データがあり送信待ちの状態を示します。

<RBFL>: 受信ダブルバッファのデータ full を示すフラグです。受信動作が終了して、受信シフトレジスタから受信ダブルバッファへデータが格納されると “1” になり、読み出すと “0” になります。

ダブルバッファの使用が不許可の場合はこのフラグは意味を持ちません。

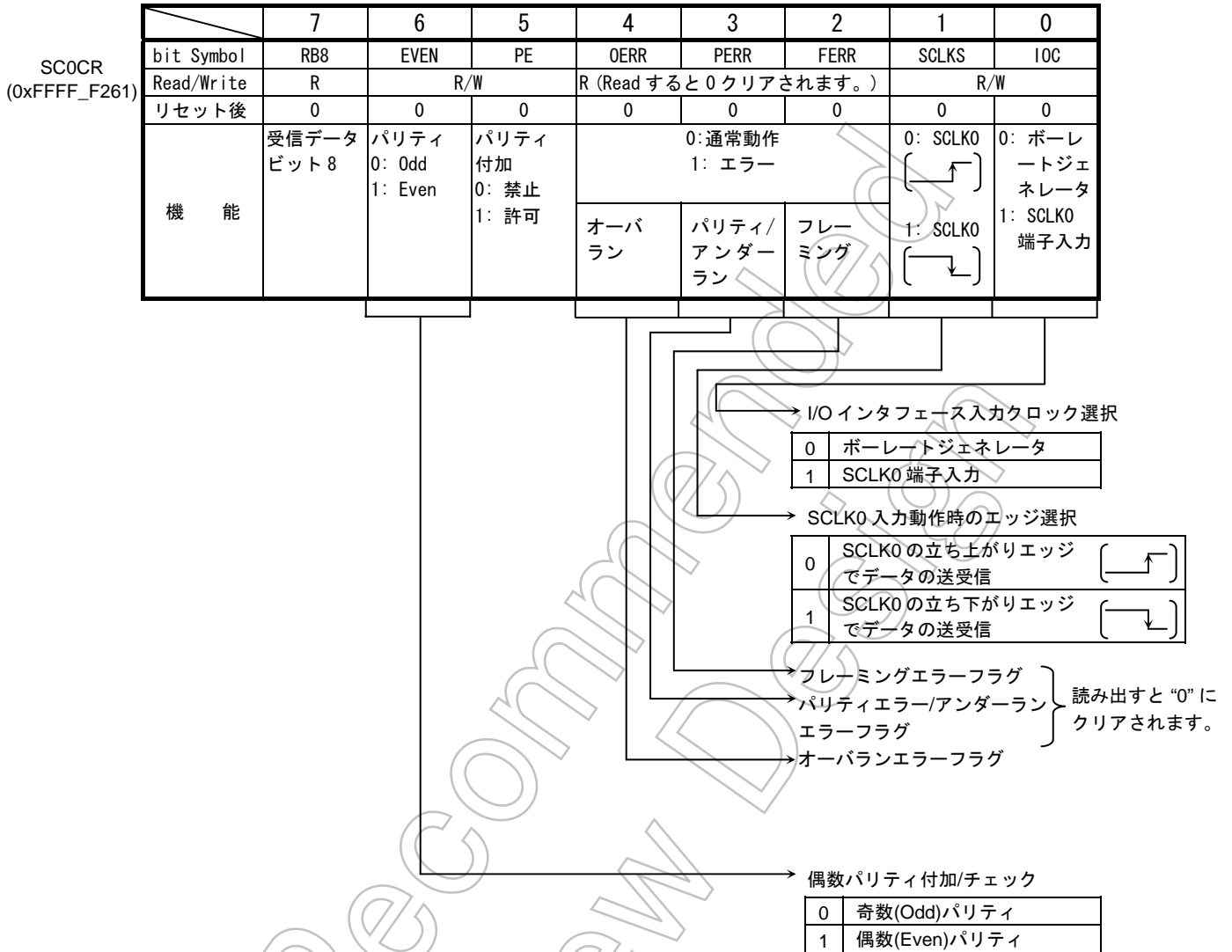
<TBEMP>: 送信ダブルバッファのデータ empty を示すフラグです。送信ダブルバッファのデータが送信シフトレジスタに移され、empty になると “1” になり、送信データが書き込まれると “0” になります。

ダブルバッファの使用が不許可の場合はこのフラグは意味を持ちません。

<SBLN>: UART モード時の送信 STOP ビットの長さを指定します。受信の場合は設定に関わらず 1 ビットの STOP ビットで認識します。

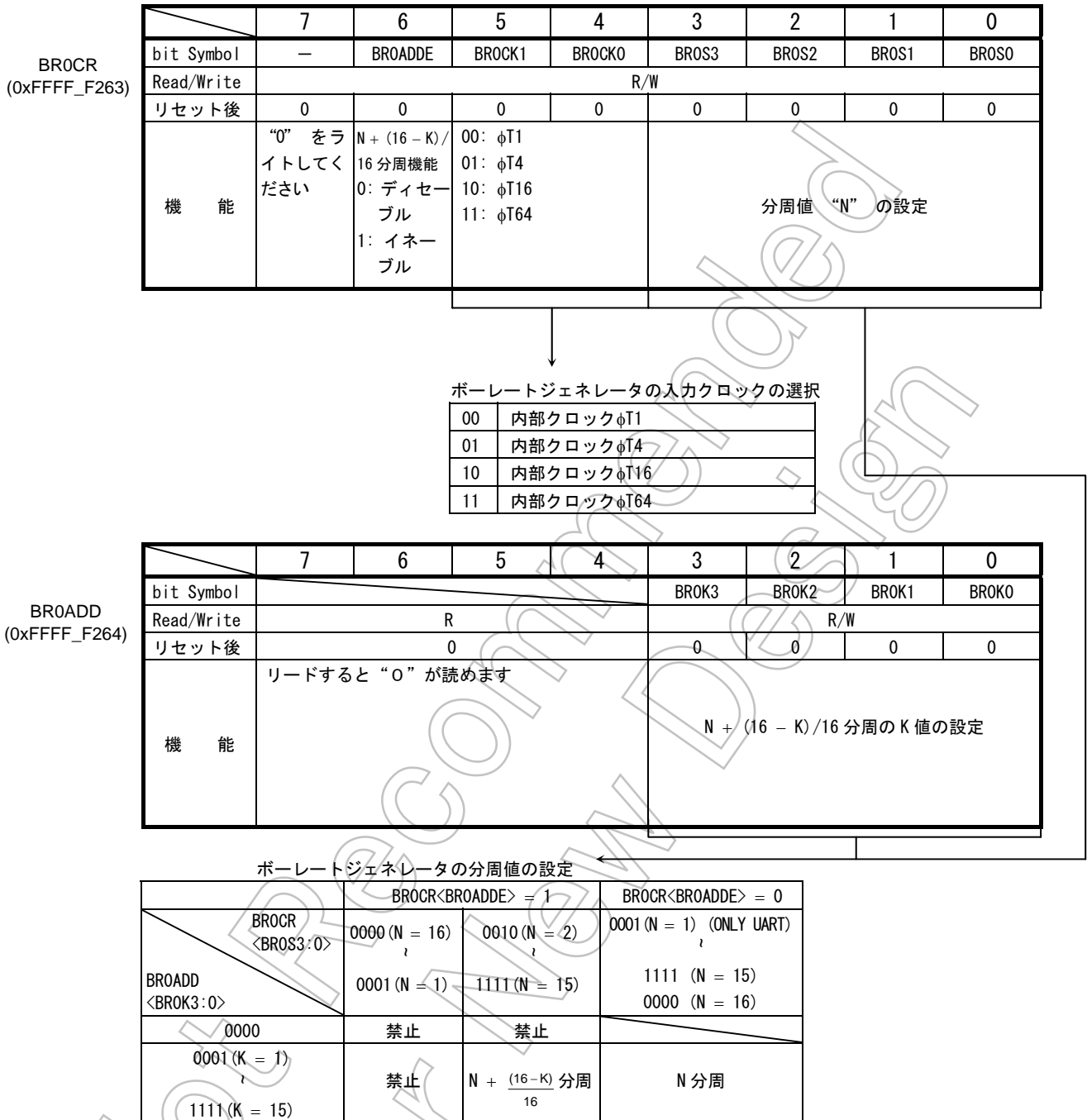
(注) 転送動作中にソフトリセットを掛ける場合は 2 回連続して実行してください。

図 13-12 シリアルモードコントロールレジスタ



(注) エラーフラグは読み出されるとすべてクリアされます。

図 13-13 シリアルコントロールレジスタ (S100 用、SCOCR)



- (注 1) UART モードでは、ポーレートジェネレータ分周値の “1” 分周は、 $N + (16 - K) / 16$ 分周機能を使用しないときのみ設定可能です。I/O インタフェースでは、ポーレートジェネレータ分周値の “1” 分周は、ダブルバッファ使用時のみ設定可能です。
- (注 2) $N + (16 - K) / 16$ 機能を使用する場合、かならず BR0ADD <BROK3 : 0> に K 値 (K = 1~15) を設定後に BR0CR <BROADDE> = “1” を設定してください。ただし、BR0CR <BROS3 : 0> = “0000” または “0001” (N = 16 または 1) のとき $N + (16 - K) / 16$ 分周機能は使用しないでください。
- (注 3) $N + (16 - K) / 16$ 分周機能は UART モードのみ使用可能です。I/O インターフェースモードのときは BR0CR <BROADDE> = “0” に設定し $N + (16 - K) / 16$ 分周機能を禁止してください。

図 13-14 ポーレートジェネレータコントロール (S100 用、BR0CR、BR0ADD)

	7	6	5	4	3	2	1	0
bit Symbol	TB7/RB7	TB6/RB6	TB5/RB5	TB4/RB4	TB3/RB3	TB2/RB2	TB1/RB1	TB0/RB0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	TB7~0 : 送信用バッファ + FIFO RB7~0 : 受信用バッファ + FIFO							

SC0BUF
(0xFFFF_F260)

図 13-15

注 : 「HSC0BUF は、WR 時は送信バッファ、RD 時は受信バッファとして機能します。」

図 13-16 FIFO コンフィグレジスター

	7	6	5	4	3	2	1	0
bit Symbol	Reserved	Reserved	Reserved	RFST	TFIE	RFIE	RXTXCNT	CNFG
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	必ず “000” を書き込んでください			受信 FIFO 使用 Byte 数 0: 最大 1: 受信 FIFO の FILL レベルに同じ	送信 FIFO 使用時の送信割り込み許可 0: 禁止 1: 許可	受信 FIFO 使用時の受信割り込み許可 0: 禁止 1: 許可	RXE/TXE の自動禁止 0: 無し 1: 自動禁止	FIFO の許可 0: 禁止 1: 許可

SC0FCNF
(0xFFFF_F26C)

- <CNFG> : 許可の場合は FIFO の構成は SCOMOD1<FDPX1:0> の設定により
 - <FDPX1:0>=01 (半二重受信) ----- 4Byte 受信 FIFO
 - <FDPX1:0>=10 (半二重送信) ----- 4Byte 送信 FIFO
 - <FDPX1:0>=11 (全二重) ----- 2Byte 受信 FIFO + 2Byte 送信 FIFO
 に自動的にになります。
- <RXTXCNT> : 0 受信許可 BIT : RXE、送信許可 BIT : TXE の自動禁止機能は無効
 : 1 自動禁止の場合は SCOMOD1<FDPX1:0> の設定により
 - <FDPX1:0>=01 (半二重受信) ----- 受信 FIFO に指定された有効 BYTE 数のデータが格納された時に以降の受信を禁止する為に自動的に RXE が “0” になります
 - <FDPX1:0>=10 (半二重送信) ----- 送信 FIFO が Empty になった時に、以降の送信を禁止する為に自動的に TXE が “0” になります
 - <FDPX1:0>=11 (全二重) ----- 前記 2 つの条件のどちらか片方が成立した時に、以降の送受信を禁止する為に自動的に RXE/TXE が “0” になります。
- <RFIE> : 受信 FIFO が有効にされている時の受信割り込みの許可 / 不許可を切り替えます。
- <TFIE> : 送信 FIFO が有効にされている時の送信割り込みの許可 / 不許可を切り替えます。
- <RFST> : 受信 FIFO が有効にされている時の受信 FIFO の使用 BYTE 数を切り替えます。
 0 : 構成されている FIFO の最大 BYTE 数。<FDPX1:0>=01 (半二重受信) の時は 4 BYTE、
 <FDPX1:0>=11 (全二重) の時は 2 BYTE
 1 : SCORFC<RIL1:0> で指定される受信割り込み発生の為の FILL レベルに同じ

(注) 送信 FIFO は常に構成されている FIFO の最大 BYTE 数を使用できます。
使用 BYTE 数は送信 FIFO に書き込んだ BYTE 数になります。

図 13-17 受信 FIFO コントロールレジスタ

	7	6	5	4	3	2	1	0
bit Symbol	RFCS	RFIS					RIL1	RIL0
Read/Write	W	R/W	R				R/W	
リセット後	0	0	0				0	0
機能	受信 FIFO クリア 1:クリア リードすると常に "0" が読めます	割り込み発生条件選択	リードすると "0" が読めます。				受信割込みが発生する FIFO の fill レベル 00:4byte (全二重の場合は 2Byte) 01:1byte 10:2byte 11:3byte 注: FDPX1:0=11 (全二重) の場合、RIL1 は無視されます	

0: 設定した fill レベルに到達した場合
1: 設定した fill レベルに到達した時及び、新規データが読み出された時に fill レベルを超えている場合

送信 FIFO コンフィグレジスタ

	7	6	5	4	3	2	1	0
bit Symbol	TFCS	TFIS					TIL1	TIL0
Read/Write	w	R/W	R				R/W	
リセット後	0	0	0				0	0
機能	送信 FIFO クリア 1:クリア リードすると常に "0" が読めます	割り込み発生条件選択	リードすると "0" が読めます。				送信割込みが発生する FIFO の fill レベル 00:Empty 01:1byte 10:2byte 11:3byte 注: FDPX1:0=11 (全二重) の場合、TIL1 は無視されます	

0: 設定した fill レベルに到達した場合
1: 設定した fill レベルに到達した時及び、新規データが書き込まれた時に fill レベルより低い場合

図 13-18 受信 FIFO ステータスレジスタ

	7	6	5	4	3	2	1	0
bit Symbol	ROR					RLVL2	RLVL1	RLVL0
Read/Write	R	R				R		
リセット後	0	0				0	0	0
機能	受信 FIFO Overrun 1:発生	リードすると "0" が読めます。				受信 FIFO の fill レベルのステータス 000:Empty 001:1Byte 010:2Byte 011:3Byte 100:4Byte		

(注): <ROR>ビットは、SC0BUF レジスタの受信データをリードすると "0" にクリアされます。

図 13-19 送信 FIFO ステータスレジスタ

		7	6	5	4	3	2	1	0
SC0TST (0xFFFF_F26B)	bit Symbol	TUR					TLVL2	TLVL1	TLVL0
	Read/Write	R	R				R		
	リセット後	1	0				0	0	0
	機能	送信 FIFO Under run 1:発生 FIFO ライトでクリア	リードすると“0”が読めます。				送信 FIFO の fill レベルのステータス 000: Empty 001: 1Byte 010: 2Byte 011: 3Byte 100: 4Byte		

(注) : <TUR>ビットは、SC0BUF レジスタに送信データをライトすると“0”にクリアされます。

SIO イネーブルレジスタ

		7	6	5	4	3	2	1	0	
SC0EN (0xFFFF_F267)	bit Symbol									SIOE
	Read/Write									R/W
	リセット後									0
	機能	リードすると“0”が読めます。								SIO 動作 0: 禁止 1: 許可

<SIOE>: SIO の動作を指定します。動作禁止の状態では SIO モジュールのレジスタ部以外へのクロックが供給されませんので消費電力の低減が可能です（他のレジスタへのリード、ライトはできません）。SIO を使用する場合は、SIO モジュールの各レジスタを設定する前に SIO 動作許可（“1”）にしてください。SIO を一旦動作させた後に、動作禁止した場合は各レジスタの設定は保持されます。

13.5 モード別動作説明

13.5.1 モード0 (I/O インターフェースモード)

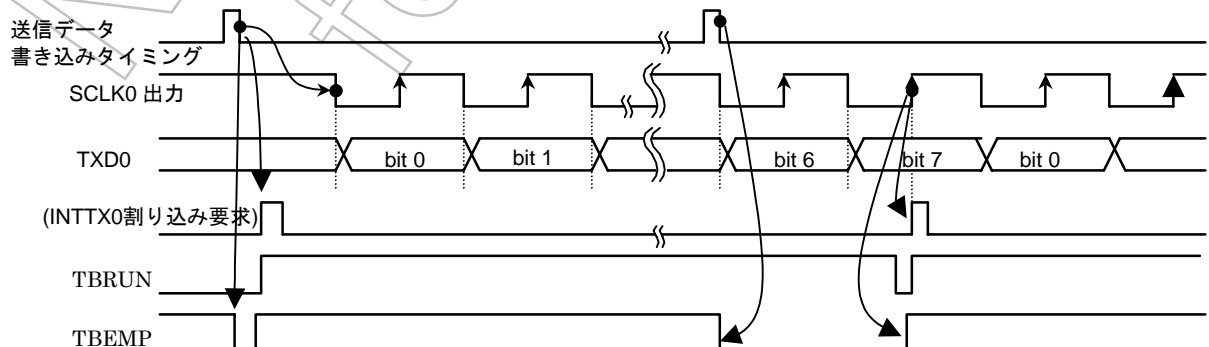
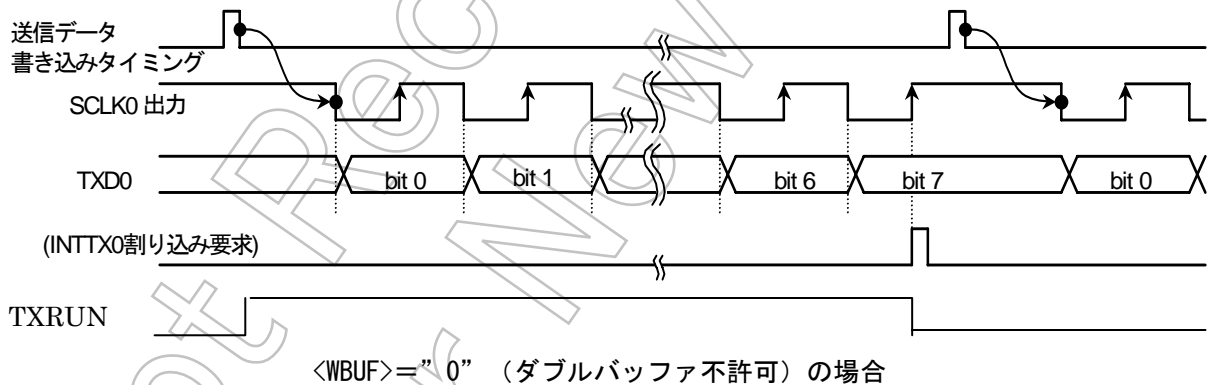
このモードには、同期クロック SCLK を出力する SCLK 出力モードと、外部より同期クロック SCLK を入力する SCLK 入力モードがあります。以下に FIFO の使用が禁止されている状態での各動作の説明を行います。FIFO の動作については、前述の受信 FIFO 動作及び送信 FIFO 動作の章を参照してください。

① 送信

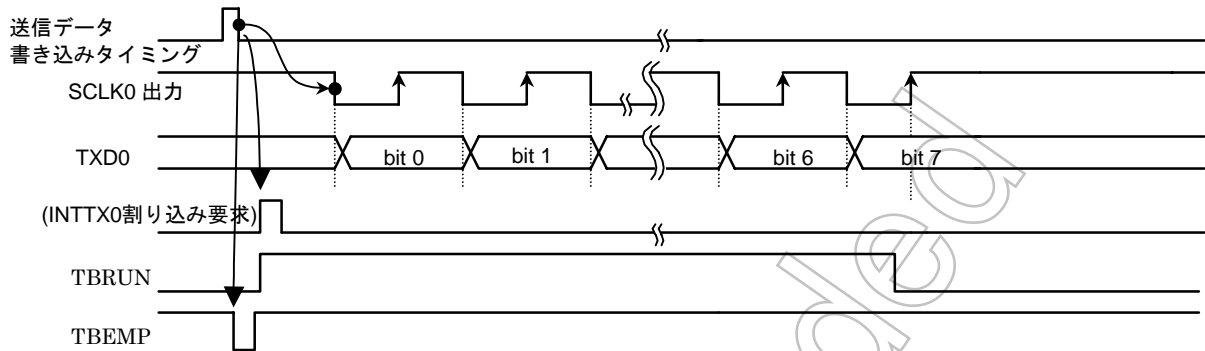
SCLK 出力モード

SCLK 出力モードでは $SCOMOD2\langle WBUF \rangle = "0"$ で送信ダブルバッファが不許可の場合、CPU が送信バッファにデータを書き込むたびに、8 ビットのデータが TXD0 端子、同期クロックが SCLK0 端子より出力されます。データがすべて出力されると割り込み (INTTX0) が発生します。

$SCOMOD2\langle WBUF \rangle = "1"$ で送信ダブルバッファが許可されている場合は、送信が停止している状態で CPU が送信バッファ 2 にデータを書き込んだとき、または送信バッファ 1 (シフトレジスタ) のデータ送達が終了したときに送信バッファ 2 より、送信バッファ 1 にデータが移されます。これと同時に送信バッファ empty フラグ $SCOMOD2\langle TBEMP \rangle$ が "1" にセットされます。同時に、割り込み (INTTX0) が発生します。このときに送信バッファ 2 に送信バッファ 1 へ移すデータが存在しない場合は、割り込み (INTTX0) を発生せず、SCLK0 出力も停止します。



<WBUF>="1" (ダブルバッファ許可) の場合 (バッファ 2 にデータがある場合)



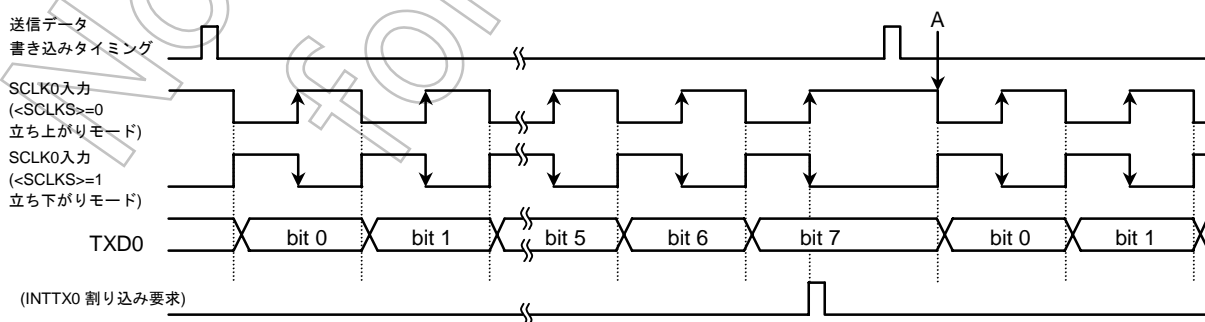
<WBUF>="1" (ダブルバッファ許可) の場合 (バッファ 2 にデータがない場合)

図 13-20 I/O インターフェースモード送信動作 (SCLK0 出力モード)

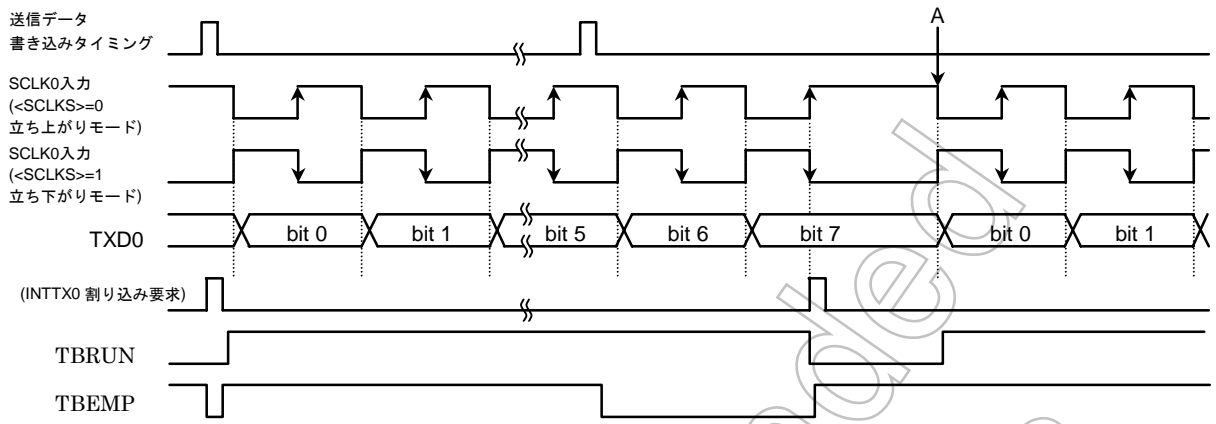
SCLK 入力モード

SCLK 入力モードでは、SCOMOD2<WBUF>="0" で送信ダブルバッファが不許可の場合は、送信バッファにデータが書き込まれている状態で SCLK0 入力アクティブになると、8 ビットのデータが TXD0 端子より出力されます。データがすべて出力されると割り込み INTTX0 が発生します。次の送信データは図 13-21 に示す A 点までに書き込んでください

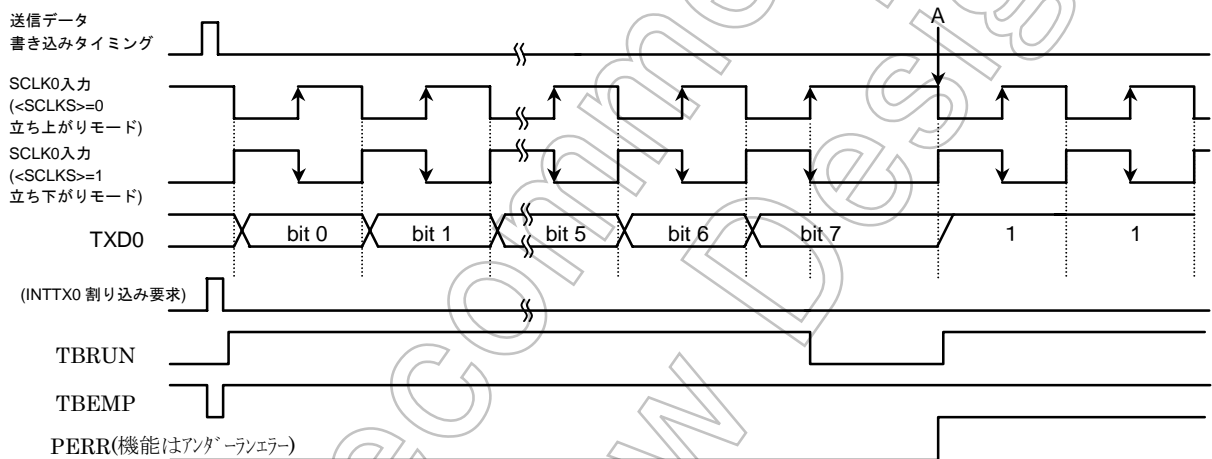
SCOMOD2<WBUF>="1" で送信ダブルバッファが許可されている場合は、SCLK0 入力アクティブになる前に送信バッファにデータを書き込んだとき、または送信バッファ 1 (シフトレジスタ) のデータ送達が終了したときに送信バッファ 2 のデータが送信バッファ 1 へ移されます。これと同時に送信バッファ empty フラグ SCOMOD2<TBEMP> が "1" にセットされ、割り込み (INTTX0) が発生します。送信バッファ 2 にデータが書き込まれていない状態で、SCLK0 入力アクティブになった場合は、内部ビット数カウンタはカウントを開始しますが、アンダーランエラーがセットされ、8 ビット分のダミーデータ (FFh) を送出します。



<WBUF>="0" (ダブルバッファ不許可) の場合



〈WBUF〉=”1”（ダブルバッファ許可）の場合（バッファ2にデータがある場合）



〈WBUF〉=”1”（ダブルバッファ許可）の場合（バッファ2にデータがない場合）

図 13-21 I/O インターフェースモード送信動作（SCLK0 入力モード）

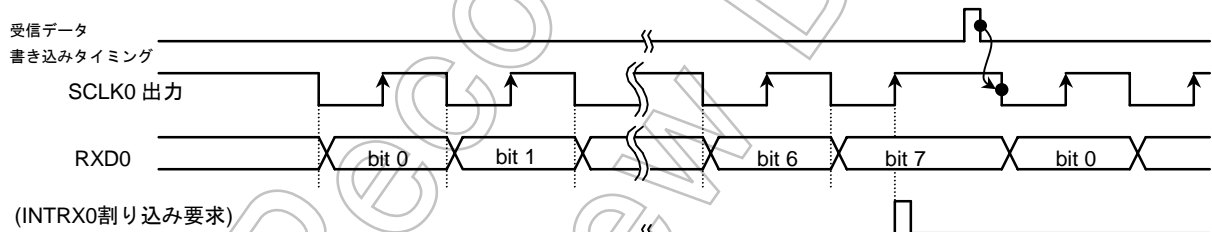
② 受信

SCLK 出力モード

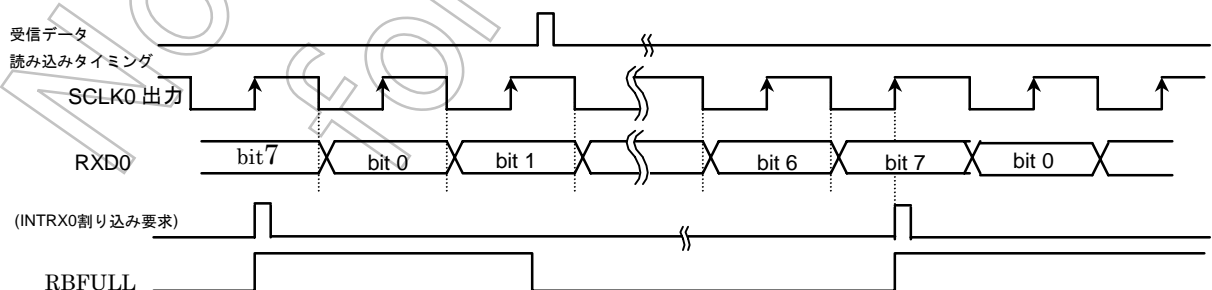
SCLK 出力モードでは SCOMOD2<WBUF>="0" で受信ダブルバッファが不許可の場合は、受信データが CPU に読み取られるたびに、SCLK0 端子より同期クロックが出力され次のデータが受信バッファ 1 にシフトインされます。8 ビットデータが受信されると、割り込み INTRX0 が発生します。

最初の SCLK 出力の開始は、受信許可ビット SCOMOD0<RXE>を "1" にセットすることで行います。また、SCOMOD2<WBUF>="1" で受信ダブルバッファが許可の場合は、最初に受信したフレームは受信バッファ 2 に移され、続けて次のフレームを受信バッファ 1 で受信します。受信バッファ 1 から受信バッファ 2 にデータが移されると、受信バッファ full フラグ SCOMOD2<RBFULL>が "1" にセットされ、割り込み INTRX0 が発生します。

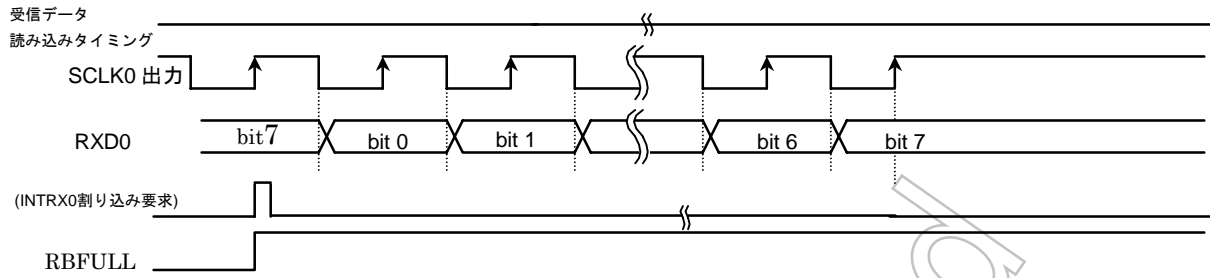
受信バッファ 2 にデータが移された状態で 8 ビット分のデータを受信完了する前に、CPU/DMAC で受信バッファ 2 のデータを読み出されない場合は、割り込み INTRX0 が発生せず、SCLK0 出力も停止します。この状態で受信バッファ 2 のデータを読み出すと、受信バッファ 1 のデータを受信バッファ 2 に移し、割り込み INTRX0 を発生して受信を再開します。



<WBUF>="0" (ダブルバッファ不許可) の場合



<WBUF>="1" (ダブルバッファ許可) の場合 (バッファ 2 のデータを読み出した場合)



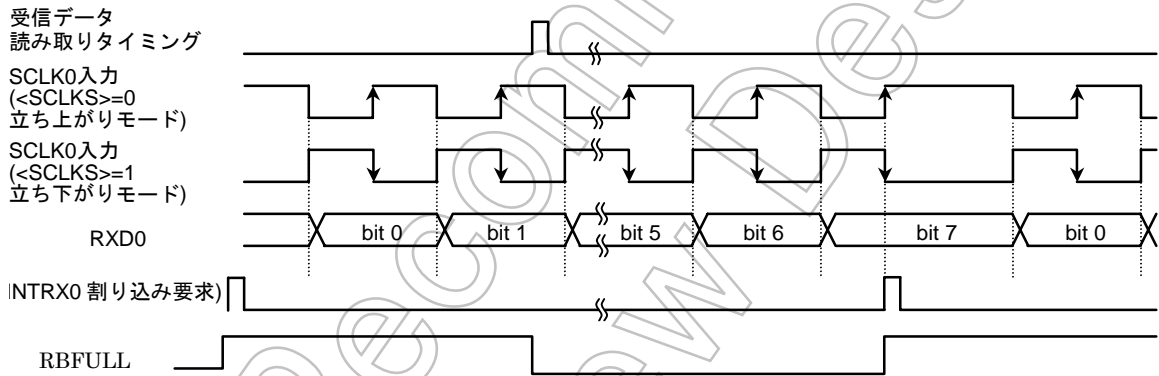
<WBUF>="1" (ダブルバッファ許可) の場合 (バッファ 2 のデータを読み出されない場合)

図 13-22 I/O インターフェースモード受信動作 (SCLK0 出力モード)

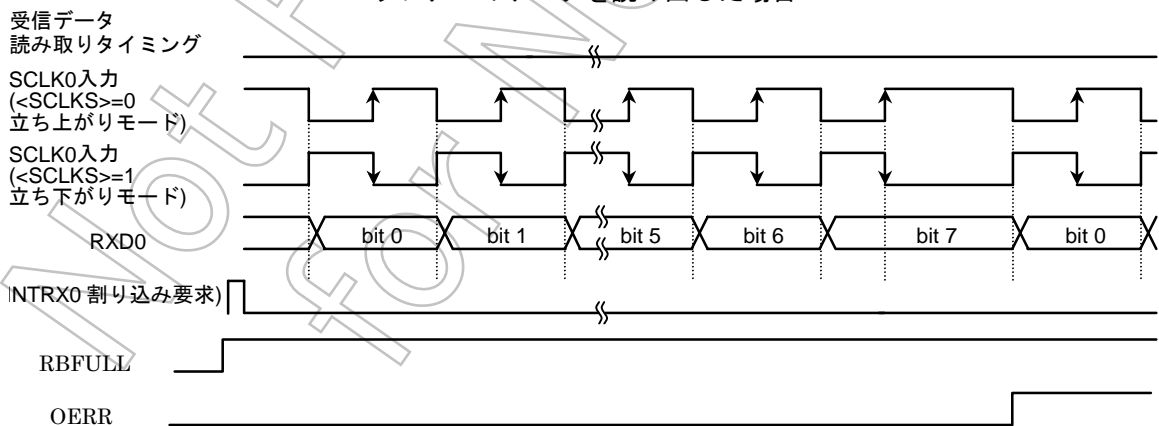
SCLK 入力モード

SCLK 入力モードでは常に受信ダブルバッファが許可されており、受信したフレームは受信バッファ 2 に移され、受信バッファ 1 で連続して次のフレームを受信することができます。

受信データが受信バッファ 2 へ移されるごとに受信割り込み INTRX が発生します。



バッファ 2 のデータを読み出した場合



バッファ 2 のデータが読み出されない場合

図 13-23 I/O インターフェースモード受信動作 (SCLK0 入力モード)

(注) 受信動作を行う場合には SCLK 入/出力のどちらのモードでも、受信イネーブル状態 (SCOMOD <RXE> = 1) にしておく必要があります。

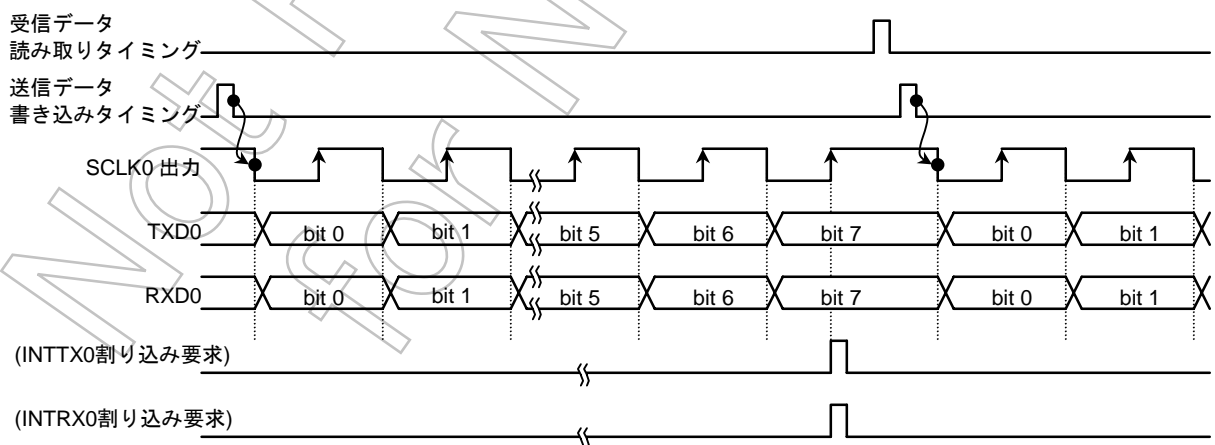
③ 送受信（全二重）

シリアルモードコントロールレジスタ 1 (SCOMOD1) のビット 6 <FDPX0> に "1" をセットすることにより全二重モードでの通信が可能になります。

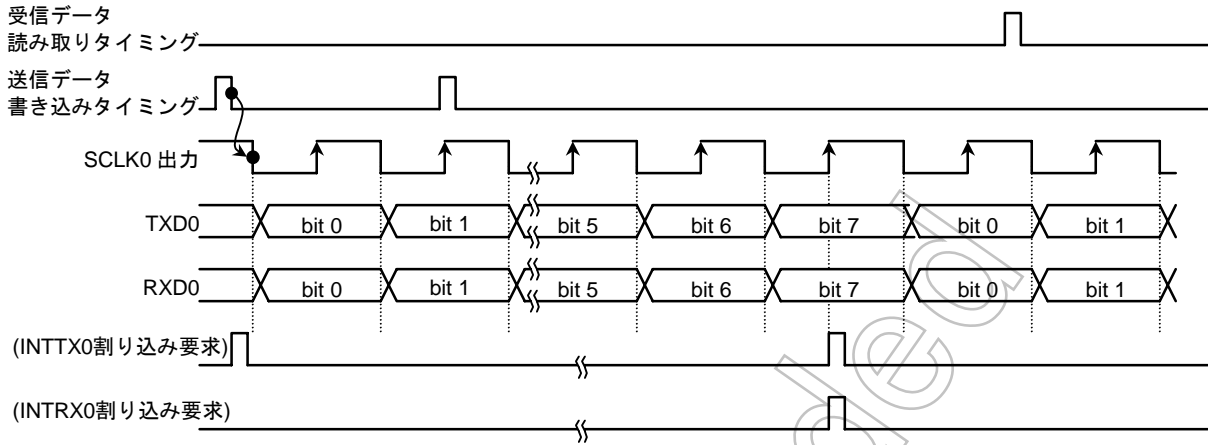
SCLK 出力モード

SCLK 出力モードでは SCOMOD2<WBUF>="0" で送受信共にダブルバッファが不許可の場合は、CPU が送信バッファにデータを書き込むと SCLK が出力され、8 ビットデータが受信バッファ 1 にシフトインされ、受信割り込み (INTRX0) が発生します。それと平行して送信バッファに書き込まれた 8 ビットデータが、TXD0 端子より出力され、全てのデータが送信されると送信割り込み (INTTX0) が発生します。この状態で SCLK の出力は停止します。この状態で CPU が受信バッファを読み出し、送信バッファへデータを書き込むと次の送受信が開始されます。受信バッファの読み出しと送信バッファの書き込み順番は任意です。両方の条件が成立した場合に再開されます。

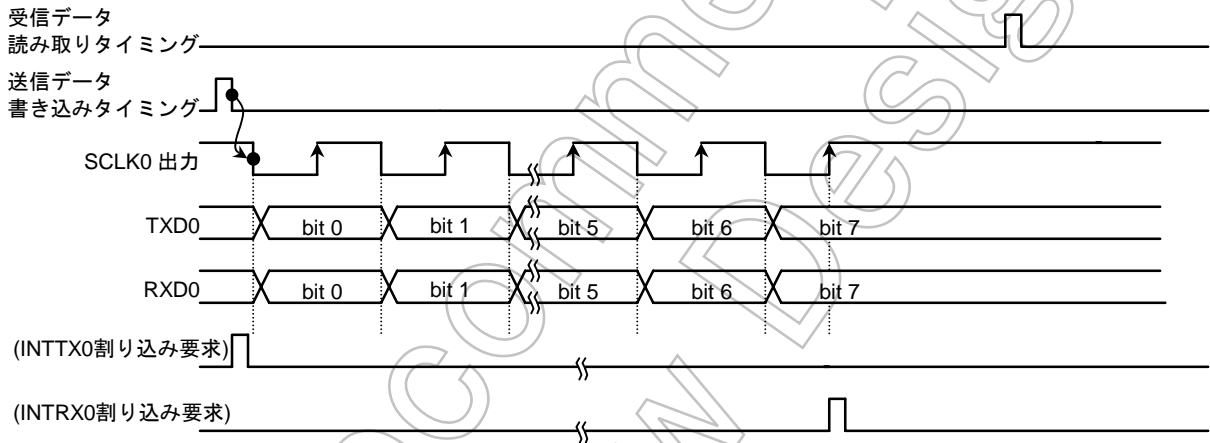
SCOMOD2<WBUF>="1" で送受信共にダブルバッファが許可されている場合は、CPU が送信バッファにデータを書き込むと SCLK が出力され、8 ビットデータが受信バッファ 1 にシフトインされると、データは受信バッファ 2 に移され割り込み (INTRX0) が発生します。8 ビットデータの受信と平行して 8 ビットデータが TXD0 端子より出力されます。データがすべて出力されると割り込み (INTTX0) が発生して次のデータが送信バッファ 2 から送信バッファ 1 移されます。この時に、送信バッファ 2 に移すデータが存在しない (SCOMOD2<TBEMP>="1") または受信バッファ 2 にデータが存在している (SCOMOD2<RBFULL>="1") 場合は SCLK 出力が停止します。その後は受信データの読み出しと送信データの書き込みの両方の条件が成立すると再度 SCLK の出力が開始されて次の送受信が始まります。



<WBUF>="0" (ダブルバッファ不許可) の場合



<WBUF>=" 1" (ダブルバッファ許可) の場合



<WBUF>=" 1" (ダブルバッファ許可) の場合

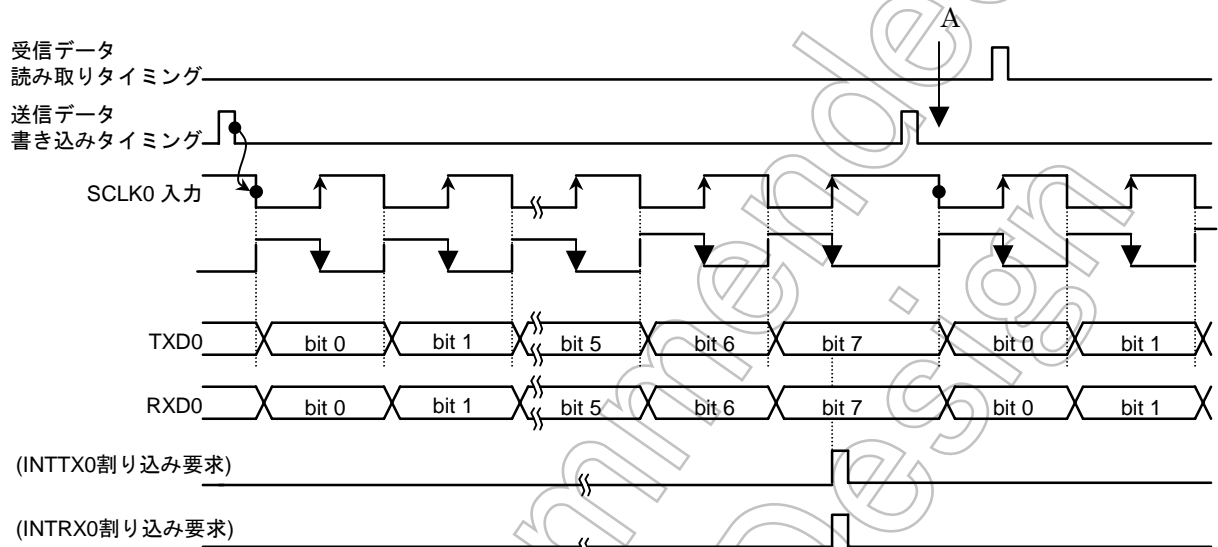
図 13-24 I/O インターフェースモード送受信動作 (SCLK0 出力モード)

SCLK 入力モード

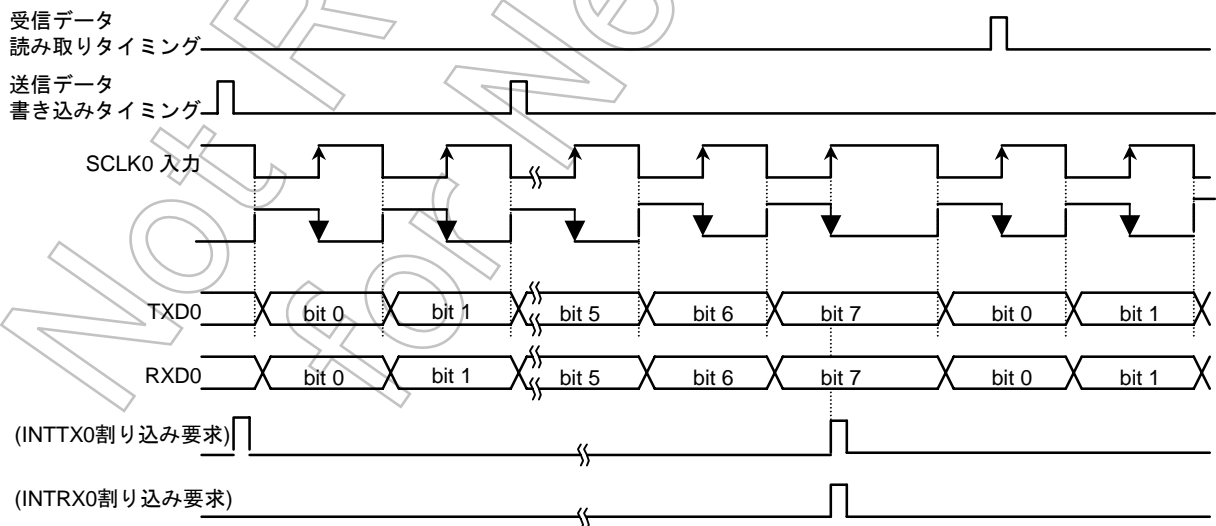
SCLK 入力モードでは SCOMOD2<WBUF>=" 0" で送信ダブルバッファが不許可 (受信は設定に関わらずダブルバッファ有効) の場合は、送信バッファにデータが書き込まれている状態で SCLK 入力が入ると、8 ビットのデータが TXD0 より出力されると同時に 8 ビットのデータが受信バッファへシフトインされます。データの送信が終了すると割り込み (INTTX0) が、受信が終了すると受信バッファ 1 から受信バッファ 2 へデータが移されると同時に割り込み (INTRX0) が発生します。次のフレームの SCLK が入力される前に送信データを送信バッファへ書き込む様にして下さい (図 13-25に示す A 点までに書き込んで下さい)。受信データに関してはダブルバッファが有効になっている為に次のフレームの受信が終了する前に読み出してください。

SCOMOD2<WBUF>=" 1" で送受信共にダブルバッファが許可されている場合は、送信バッファ 1 のデータの送信が終了すると、送信バッファ 2 のデータが送信バッファ 1 へ移されると同時に割り込み (INTRX0) が発生します。また並行して受信した 8 ビットデータのバッファ 1 へのシフトインが終了すると、そのデータは受信バッファ 2

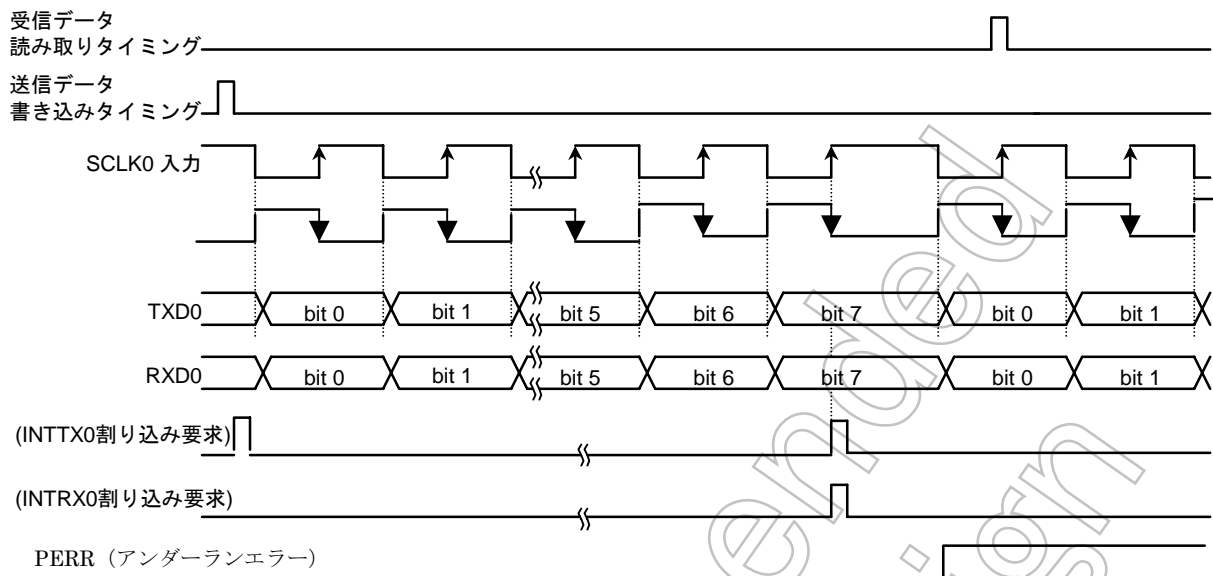
へ移され、割り込み (INTRX0) が発生します。続けて次のフレームの SCLK が入力されると、送信バッファ 2 から送信バッファ 1 へ移されたデータの送信が始まり、平行して受信バッファ 1 でのデータ受信が行なわれます。また、フレームの最終ビットの受信までに受信バッファ 2 のデータが読み出されていない場合はオーバーランエラーが発生します。また、次のフレームの SCLK 入力までに送信バッファ 2 へ転送データが書き込まれていない場合はアンダーランエラーが発生します。



<WBUF>="0" (ダブルバッファ不許可) の場合



<WBUF>="1" (ダブルバッファ許可)、の場合 (エラー無し)



<WBUF>="1" (ダブルバッファ許可)、の場合 (エラー発生)

図 13-25 I/O インターフェースモード送受信動作 (SCLK0 入力モード)

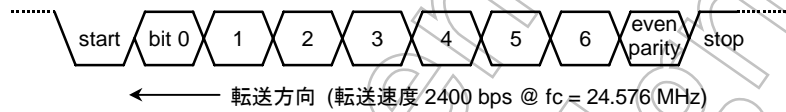
Not Recommended for New Design

13.5.2 モード1 (7ビットUARTモード)

シリアルモードコントロールレジスタ (SCOMOD <SM1, 0>) を 01 にセットすると7ビットUARTモードになります。

このモードではパリティビットの付加が可能で、シリアルモードコントロールレジスタ (SCOCR <PE>) でパリティビット付加のイネーブル/ディセーブルを制御しています。<PE>= “1” (イネーブル) のときは、SCOCR<EVEN>で偶数パリティ/奇数パリティを選択できます。STOP ビットの長さは SCOMOD2<SBLN>で指定することができます。

例: 下記フォーマットのデータを送信する場合の各コントロールレジスタの設定を示します。



- ※ クロック条件
- システムクロック : 高速 (fc)
 - 高速クロックギア : 1倍 (fc)
 - プリスケアラクロック : $f_{\text{periph}}/4$ ($f_{\text{periph}} = f_{\text{sys}}$)

	7 6 5 4 3 2 1 0	
P6CR	← - - - - - 1	} P60 を TXD0 端子とします。
P6FC	← - - - - - 1	
P6FC2	← - - - - - 1	
SCOMOD	← X 0 - X 0 1 0 1	7ビットUARTモードに設定します。
SCOCR	← X 1 1 X X X 0 0	偶数パリティを付加します。
BROCR	← 0 0 1 0 1 0 1 0	2400 bps に設定します。
IMC4	← - 1 1 X 0 1 0 0	32ビットレジスタの<31:24>をINTTX0 割り込みをイネーブル、レベル4にします。
SCOBUF	← * * * * * * * *	送信データをセットします。
(注) X: don't care -: no change		

Not for NE

13.5.3 モード2 (8ビットUARTモード)

SCOMODO <SM1:0> を10にセットすると8ビットUARTモードになります。このモードでは、パリティビットの付加が可能で SCOCR <PE> でパリティビット付加のイネーブル/ディセーブルを制御できます。<PE> = “1” (イネーブル) のとき、SCOCR <EVEN> で偶数パリティ/奇数パリティの選択も可能です。

例: 下記のフォーマットのデータを受信する場合の各コントロールレジスタの設定を示します。



- ※ クロック条件
- システムクロック : 高速 (fc)
 - 高速クロックギア : 1倍 (fc)
 - プリスケールクロック : $f_{periph}/4$ ($f_{periph} = f_{sys}$)

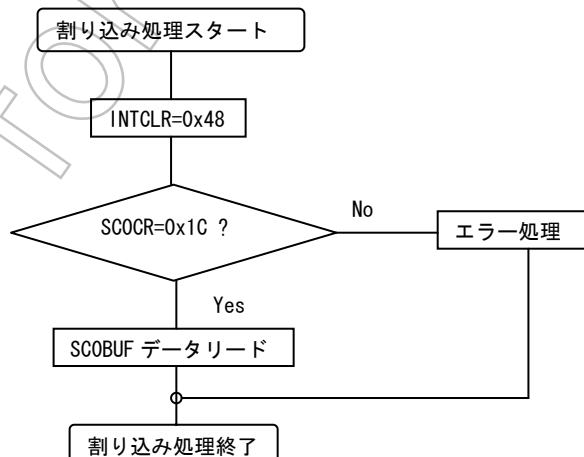
メインルーチンでの設定

	7 6 5 4 3 2 1 0	
P6CR	← - - - - - 0 -	} P62 を RXD0 端子とします。
P6FC	← - - - - - 1 -	
P6FC2	← - - - - - 1 -	
SCOMOD	← - 0 0 X 1 0 0 1	} 8ビットUARTモードにします。
SCOCR	← X 0 1 X X X 0 0	} 奇数パリティ付加に設定します。
BROCR	← 0 0 0 1 0 1 0 1	} 9600 bps に設定します。
IMC4	← - 1 1 X 0 1 0 0	} 32ビットレジスタの<23:16>をINTRX0 割り込みをイネーブル、レベル4に設定します。
SCOMOD	← - - 1 X - - - -	} 受信イネーブルにします。

割り込みルーチンでの処理例

```

INTCLR ← X 1 0 0 1 0 0 0 } 割り込み要求をクリアします。0x0000_0048
Reg. ← SCOCR AND 0x1C } エラーチェックを行います。
if Reg. ≠ 0 then ERROR 処理
Reg. ← SCobuf } 受信データを読み取ります。
割り込み処理終了
(注) X: don't care -: no change
    
```



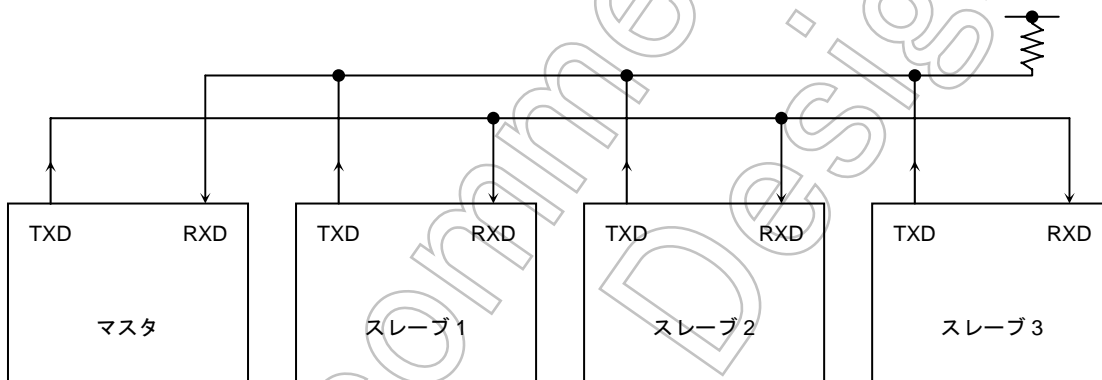
13.5.4 モード3 (9 ビット UART)

SCOMODO <SM1 : 0> を “11” にセットすると 9 ビット UART モードになります。このモードでは、パリティビットの付加を禁止 (SCOCR<PE> = “0”) してください。

最上位ビット (9 ビット目) は、送信の場合シリアルモードコントロールレジスタ 0 (SCOMODO) のビット 7 <TB8> に書き込み、受信の場合シリアルコントロールレジスタ SCOCR のビット 7 <RB8> に格納されます。また、バッファに対する書き込み、読み出しはかならず最上位ビットの方を先に行い、SCOBUF の方を後にします。STOP ビットの長さは SCOMOD2 <SBLEN> で指定することができます。

ウェイクアップ機能

9 ビット UART モードでは、ウェイクアップ機能制御ビット SCOMODO <WU> を “1” にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SCOCR <RB8> = “1” のときのみ割り込み (INTRX0) が発生します。



(注) スレーブコントローラの TXD 端子は、かならず ODE レジスタを設定してオープンドレイン出力モードにしてください。

図 13-26 ウェイクアップ機能によるシリアルリンク

プロトコル

- ① マスタおよびスレーブコントローラは9ビットUARTモードにします。
- ② 各スレーブコントローラはSCOMOD〈WU〉を“1”にセットし、受信可能状態とします。
- ③ マスタコントローラは、スレーブコントローラのセレクトコード(8ビット)を含む1フレームを送信します。このとき最上位ビット(ビット8)〈TB8〉は“1”にします。

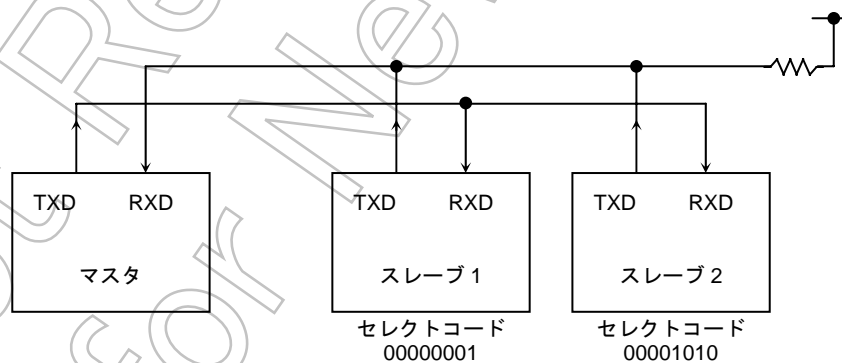


- ④ 各スレーブコントローラは、上記フレームを受信し、自分のセレクトコードと一致すれば、WUビットを“0”にクリアします。
- ⑤ マスタコントローラは指定したスレーブコントローラ(SCOMOD〈WU〉=“0”にクリアされたコントローラ)に対しデータを送信します。このとき、最上位ビット(ビット8)〈TB8〉は“0”にします。



- ⑥ 〈WU〉=“1”のままのスレーブコントローラは、受信データの最上位ビット(ビット8)の〈RB8〉が“0”であるため、割り込み(INTRX0)が発生せず、受信データを無視します。また、〈WU〉=“0”になったスレーブコントローラがマスタコントローラにデータを送信し、この送信データで受信終了をマスタコントローラに知らせることもできます。

設定例: 内部クロック $f_{\text{SYS}}/2$ を転送クロックとして2つのスレーブコントローラとシリアルリンクさせる場合



3) マスタコントローラの設定

メインルーチン

P6CR	← - - - - - 0 1	} P60 を TXD0、P61 を RXD0 端子にします。
P6FC	← - - - - - 1 1	
P6FC2	← - - - - - 1 1	
IMCC4	← - 1 1 - 0 1 0 1	32 ビットレジスタの<23:16>を
		INTRX0 をイネーブル、割り込みレベルを 5 に設定します。
IMCC4	← - 1 1 - 0 1 0 0	32 ビットレジスタの<31:24>を
		INTTX0 をイネーブル、割り込みレベルを 4 に設定します。
SCOMODO	← 1 0 1 0 1 1 1 0	9 ビット UART モード、転送クロックを $f_{\text{SYS}}/2$ に設定します。
SCOBUF	← 0 0 0 0 0 0 0 1	スレーブ 1 のセレクトコードをセットします。

割り込みルーチン
(INTTX0)

INTCLR	← X 1 0 0 1 1 0 0	割り込み要求をクリアします。(INTTX0)
SCOMODO	← 0 - - - - -	TB8 を “0” にします。
SCOBUF	← * * * * *	送信データをセットします。

割り込み処理終了

4) スレーブの設定

メインルーチン

P6CR	← - - - - - 0 1	} P60 を TXD (オープンドレイン出力) P61 を RXD にします。
P6FC	← - - - - - 1 1	
P6FC2	← - - - - - 1 1	
P60DE	← - - - - - 1 -	
IMC4	← - - 1 1 0 1 1 0	INTTX0, INTRX0 をイネーブルにします。
IMC4	← - - 1 1 0 1 0 1	
SCOMODO	← 0 0 1 1 1 1 1 0	9 ビット UART モード転送クロック $f_{\text{SYS}}/2$ で、<WU> = “1” に設定します。

割り込みルーチン (INTRX0)

INTCLR	← 0 1 0 0 1 0 0 0	割り込み要求をクリアします。
Reg.	← SCOBUF	
if Reg. =	セレクトコード	
Then		
SCOMODO	← - - - 0 - - - -	<WU> = “0” にクリアします。

14 シリアル チャネル (HSIO)

高速シリアル入出力を3チャンネル内蔵 (HSI00~HSI02) しています。各チャンネルは、下記に示すように UART モード (非同期通信) および I/O インターフェースモード (同期通信) を選択できます。

I/O インターフェースモード	——	モード0: I/O を拡張するための I/O データの送受信とその同期信号 (HSCLK) の送受信を行うモード
非同期通信 (UART) モード	— [モード1: 送受信データ長 7ビット
		モード2: 送受信データ長 8ビット
		モード3: 送受信データ長 9ビット

このうち、モード1とモード2は、パリティビットの付加が可能で、モード3はマスタコントローラがシリアルリンク (マルチコントローラシステム) でスレーブコントローラを起動させるためのウェイクアップ機能を有しています。図14-2に、HSI00のブロック図を示します。

各チャンネルは主に、プリスケラ、シリアルクロック生成回路、受信バッファとその制御回路、送信バッファとその制御回路で構成されています。各チャンネルは、それぞれ独立に動作します。

HSI00~HSI02は同一の動作をしますので、HSI00の場合についてのみ説明します。

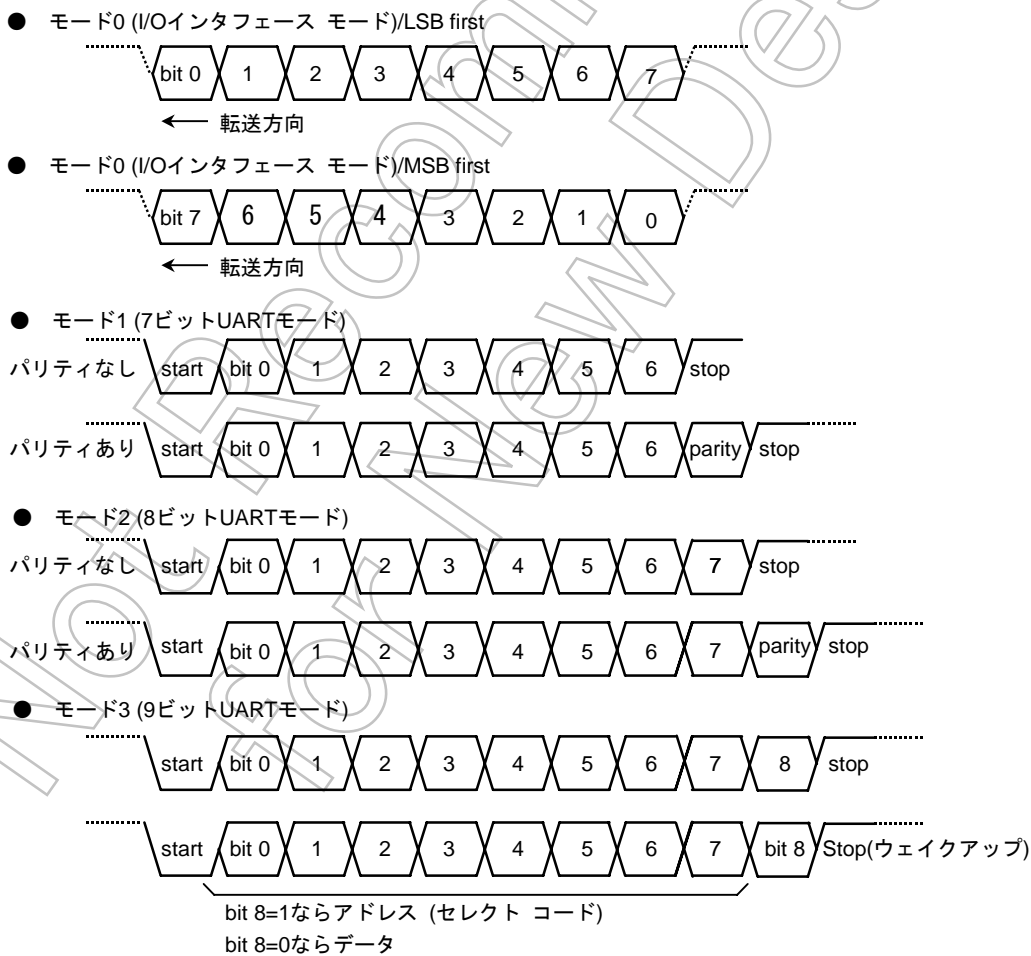


図 14-1 データフォーマット

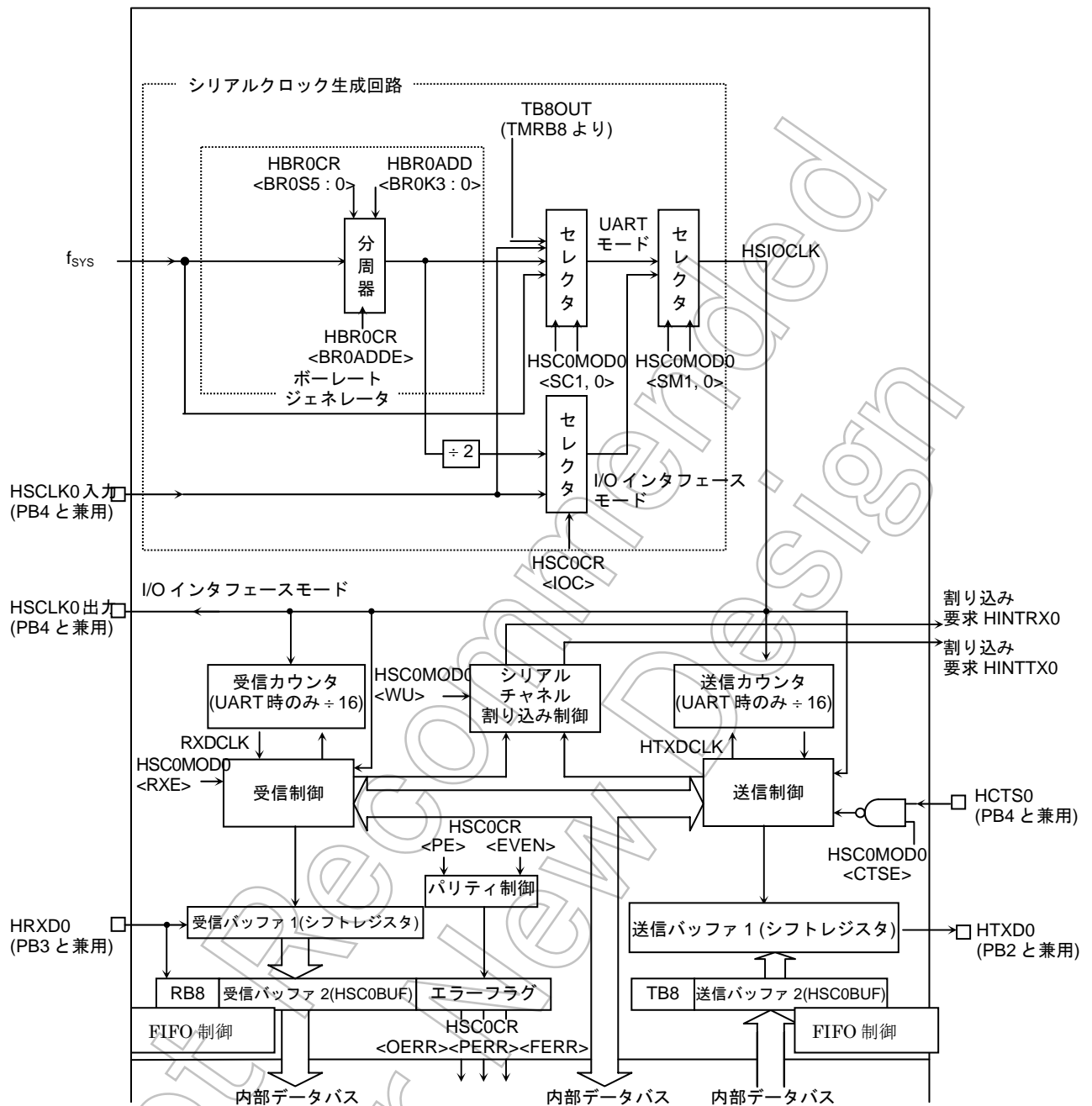


図 14-2 HSIO0 ブロック図

注：ボーレートジェネレータ 一分周は設定できません。

14.1 回路別の動作説明 (HSIO チャンネル 0)

14.1.1 ボーレート

ボーレートジェネレータは、シリアルチャンネルの転送速度を定める送受信クロックを生成するための回路です。

ボーレートジェネレータへの入力クロックは f_{sys} を用います。

ボーレートジェネレータは、 $1, N + \frac{m}{16}$ ($N=2\sim 63, m=0\sim 15$)、64 分周が可能な分周器を内蔵しており、ボーレートジェネレータコントロールレジスタ HBROCR<BROADDE><BR3S3:0>、HBROADD<BROK3:0>の設定に従い分周を行い、転送速度を決定します。

- UART モードの場合

- 1) HBROCR<BROADDE>=0 の場合

HBROADD<BROK3:0>の設定は無視され、HBROCR<BROS5:0>に設定された値 “N” に従い N 分周を行います。 ($N=1, 2, 3 \dots 64$)

- 2) HBROCR<BROADDE>=1 の場合

$N + (16 - K) / 16$ 分周機能がイネーブルになり HBROCR<BROS3:0>に設定された値 “N” ($N = 2, 3 \dots 63$)、HBROADD<BROK3:0>に設定された値 “K” に従い $N + (16 - K) / 16$ 分周を行います。 ($K=1, 2, 3 \dots 15$)

(注) $N=1$ および 64 のときは $N + (16 - K) / 16$ 分周機能は禁止となりますのでかならず HBROCR<BROADDE>= “0” に設定してください。

- I/O インタフェースモードの場合

I/O インタフェースモード時は $N + (16 - K) / 16$ 分周機能は使用できません。かならず HBROCR<BROADDE>= “0” に設定して N 分周を行ってください。

- ボーレートジェネレータを使用した場合のボーレートの算出方法

- 1) UART モード

$$\text{ボーレート} = \frac{f_{sys}}{\text{ボーレートジェネレータの分周値}} \div 16$$

ボーレートジェネレータで生成される最高のボーレートは、 f_{sys} が 40 MHz のときの 2.5 Mbps です。

2) I/O インタフェースモード

$$\text{ボーレート} = \frac{f_{\text{sys}}}{\text{ボーレートジェネレータの分周値}} \div 2$$

ボーレートジェネレータで生成される最高のボーレートは、 f_{sys} が 40 MHz のときで、ダブルバッファを使用する場合は、ボーレートジェネレータの分周値="2" の設定が可能なので、10Mbps になります（ダブルバッファを使用しない場合は、ボーレートジェネレータの分周値="4" のときの、5Mbps が最高になります）。

- ボーレートの設定例

1) 整数分周 (N 分周) の場合

ボーレートジェネレータへの入力クロックを f_{sys} 、分周値 "N" (HBROCR<BROS5:0>)=4、HBROCR<BROADDE>="0" の場合の UART モードのボーレートは、

※ クロック条件

{	システムクロック	: 高速 (f_c)
	高速クロックギア	: 1倍 (f_c)

$$\begin{aligned} \text{ボーレート} &= \frac{f_{\text{sys}}}{4} \div 16 \\ &= 40 \times 10^6 \div 4 \div 16 = 625\text{k (bps)} \text{ となります。} \end{aligned}$$

(注) +(16-K)/16 分周機能は禁止に設定されるため HBROADD <BROK3 : 0> の設定は無視されます。

2) $N + (16-K)/16$ 分周 (UART モードのみ) の場合

ボーレートジェネレータへ f_{sys} を、分周値 "N" (HBROCR<BR3S5:0>)=4、K" (HBROADD<BR3K3:0>)=14、HBROCR<BR3ADDE>=1 の場合のボーレートは、

※ クロック条件

{	システムクロック	: 高速 (f_c)
	高速クロックギア	: 1倍 (f_c)

$$\begin{aligned} \text{ボーレート} &= \frac{F_{\text{sys}}}{4 + \frac{(16-14)}{16}} \div 16 \\ &= 40 \times 10^6 \div \left(4 + \frac{2}{16} \right) \div 16 = 60.6\text{K (bps)} \quad \text{となります。} \end{aligned}$$

また、外部クロック入力をシリアルクロックに使用することもできます。この場合のボーレートの算出方法を示します。

- 外部クロック入力を使用した場合のボーレートの算出方法

- 1) UART モード

Baud Rate = 外部クロック入力 ÷ 16

ただし、(外部クロック入力周期) > 2/fsys を満足する必要があります。

fsys=40MHz のときの最高ボーレートは、 $40 \div 4 \div 16 = 625$ (kbps) になります。

- 2) I/O インタフェースモード

Baud Rate = 外部クロック入力

ダブルバッファを使用するときは、

(外部クロック入力周期) > 6/fsys を満足する必要があります。

従って、fsys=40MHz のときの最高ボーレートは、 $40 \div 6 = 6.67$ (Mbps) 未満にする必要があります。

ダブルバッファを使用しないときは、

(外部クロック入力周期) > 8/fsys を満足する必要があります。

従って、fsys=40MHz のときの最高ボーレートは、 $40 \div 8 = 5$ (Mbps) 未満にする必要があります。

Not Recommended for New Design

14.1.2 高速シリアルクロック生成回路

送受信基本クロックを生成する回路です。

- I/O インターフェースモードの場合

シリアルコントロールレジスタ HSCOCR<IOC>= “0” の HSCLK 出力モードのときは、前記ポーレートジェネレータの出力を2分周して、基本クロックをつくります。

HSCOCR<IOC>= “1” の HSCLK 入力モードのときは、HSCOCR<SCLKS>の設定に従って立ち上がり/立ち下がりエッジを検出し、基本クロックを生成します。

- 非同期通信 (UART) モードの場合

シリアルモードコントロールレジスタ HSCOMOD0<SG1:0> の設定により、前記ポーレートジェネレータからのクロックか、システムクロック (f_{sys}) か、タイマ (TMRB8) の内部出力信号か、または外部クロック (HSCLK0 端子) のいずれかを選択し、基本クロック HSIOCLK を生成します。

14.1.3 受信カウンタ

受信カウンタは、非同期通信 (UART) モードで用いられる4ビットのバイナリカウンタで、HSIOCLK でカウントアップされます。データ1ビットの受信にHSIOCLKが16クロック用いられ7、8、9発目でデータをサンプリングします。3度のデータサンプリングによる多数決論理により受信データを判断しています。

14.1.4 受信制御部

- I/O インターフェースモードの場合

HSCOCR<IOC>= “0” の HSCLK 出力モードのときは、HSCLK0 端子へ出力されるシフトクロックの立ち上がりで HRXD0 端子をサンプリングします。

HSCOCR<IOC>= “1” の HSCLK 入力モードのときは、HSCOCR<SCLKS>の設定に従って、HSCLK 入力の立ち上がり/立ち下がりエッジでシリアル受信データ HRXD0 端子をサンプリングします。

- 非同期通信 (UART) モードの場合

受信制御部は、スタートビット検出回路を持ち、正常なスタートビットと判断して受信動作を開始します。

14.1.5 受信バッファ

受信バッファは、オーバランエラーを防ぐため二重構造となっています。受信バッファ1 (シフトレジスタ型) に受信データが1ビットずつ格納され、データがそろそろもう一方の受信バッファ2 (HSC0BUF) へ移されます。また、同時に受信バッファの full Flag (HSCOMOD2<RBFLL>) が “1” にセットされ、受信バッファ2 に有効データが格納されていることを示します。但し受信 FIFO が有効にされている場合、受信データは受信 FIFO に移されこの Flag は直ぐにクリアされます。

受信 FIFO が有効にされていない場合 (HSC0FCNF<CNFG>=0 で且つ HSCOMOD1<FDPX1:0>=01) は同時に割り込み HINTRX0 が発生します。受信 FIFO が有効にされている場合 (HSC0FCNF<CNFG>=1 で且つ HSCOMOD1<FDPX1:0>=01/11) は HSCORFC<RIL1:0>の設定に従い割り込みが発生します。

CPUは受信バッファ2 (HSCOBUF) または受信 FIFO (ただし受信バッファに同じ) の方を読み出します。受信 FIFO が有効にされていない場合は、この読み出しにより受信バッファの full Flag (HSCOMOD2<RBFL>) は“0”にクリアされます。CPUが受信バッファ2 (HSCOBUF) または受信 FIFO を読み出す前でも、次の受信データは受信バッファ1へ格納することができます。

また、IO インターフェースモードで HSCLK 出力に設定されている場合は、ダブルバッファ制御ビット HSCOMOD2<WBUF>の設定により、受信バッファ2 (HSCOBUF) を許可または不許可にできます。

受信バッファ2 (ダブルバッファ) を不許可にして、更に受信 FIFO を有効にしない事 (HSCOF CNF<CNFG>=0 で且つ FDPX1:0=01) により、通信相手とハンドシェイクを取ることが可能となり、1 フレーム転送後に HSCLK 出力を停止します。この設定の場合には、CPUからの読み出し動作は受信バッファ1に対して行われます。読み出し動作が行なわれる事により、HSCLK 出力を再開します。

受信バッファ2 (ダブルバッファ) を許可にした場合で、受信 FIFO が有効にされていない場合は最初の受信データが受信バッファ1から2に移され、次に受信データの受信が終了して、受信バッファ2及び1に有効データが存在した状態になると、HSCLK 出力を停止します。受信バッファ2の読み出しが行なわれると、受信バッファ1のデータが受信バッファ2に移され、受信割り込み HINTRX が発生すると同時に HSCLK 出力を再開します。従って、IO インターフェースモードの HSCLK 出力ではダブルバッファ制御ビット HSCOMOD2<WBUF>の設定に関わらずオーバーランエラーは発生しません。

受信バッファ2 (ダブルバッファ) を許可にした場合で受信 FIFO が有効にされている場合 (HSCOF CNF<CNFG>=1 で且つ HSCOMOD1<FDPX1:0>=01/11) は受信 FIFO が FULL (HSCOF CNF<RFST>の設定に従う) になり、受信バッファ2及び1に有効データが存在した状態になると HSCLK 出力を停止します。またこの状態で HSCOF CNF<RXTX CNT>=1にして

いると HSCLK 出力停止と同時に受信制御 BIT: RXE が自動的にクリアされます。“0”の場合、自動クリアは行なわれません。

(注) このモードでは、HSCOCR の <OERR> Flag は意味を持ちません。動作定義は不定となります。従って HSCLK 出力モードから、他のモードへ切り替える時は事前に HSCOCR をリードしてこの Flag を初期化してください。

その他の動作モードでは常に受信バッファ2の動作は有効であり、連続転送時のパフォーマンス向上を可能にしています。受信 FIFO が有効にされていない場合は、受信バッファ1に次のデータが全ビット受信される前に受信バッファ2 (HSCOBUF) を読み出さなければオーバーランエラーとなります。オーバーランエラーが発生した場合、受信バッファ2および HSCOCR <RB8> の内容は保存されていますが、受信バッファ1の内容は失われます。受信 FIFO が有効にされている場合は受信 FIFO が FULL になり、受信バッファ2に次のデータが移される前に受信 FIFO を読み出さないと、受信 FIFO のオーバーランが発生して受信 FIFO のオーバーランエラーフラグがセットされます。この場合でも受信 FIFO のデータは保存されます。

8 ビット UART パリティ付加の場合のパリティビット、9 ビット UART モードの場合の最上位ビットは HSCOCR <RB8> に格納されます。

9 ビット UART の場合、ウェイクアップ機能 HSCOMOD0<WU> を “1” にすることによって、スレーブコントローラのウェイクアップ動作が可能で、HSCOCR<RB8>= “1” のときのみ、割り込み HINTRX0 が発生します。

14.1.6 受信 FIFO バッファ

前記 Double buffer に加えて、受信 FIFO buffer を用いて、データの格納を行う事ができます。HSCOFCNF レジスタの<CNFG>及び HSCOMOD1 の<FDPX1:0>の設定で 4byte の受信 Buffer を有効にする事ができます。また、UART モード及び I/O インターフェースモードの場合は指定された fill レベルまでのデータが格納できます。受信 FIFO BUFFER を使用する場合はダブルバッファをイネーブルに設定しておいてください。

14.1.7 受信 FIFO の動作

① I/O インターフェースモードで HSCLK 出力の場合

4Byte のデータを半二重受信する場合を例に説明します。

HSCORFC<7:6>=01 : 受信 FIFO のクリアと割り込み発生条件の設定

HSCORFC<1:0>=00 : 割り込み発生を fill level 4 に設定

HSCOFCNF<1:0>=10111 : fill level 到達後の継続受信自動禁止

受信 FIFO の使用 Byte 数は割り込み発生 fill レベルに同じ

この状態で転送モードを半二重受信に設定して RXE bit に 1 を書き込むと 4byte のデータ受信を開始します。4Byte 受信後に RXE を自動クリアして受信を終了 (HSCLK を STOP) します。

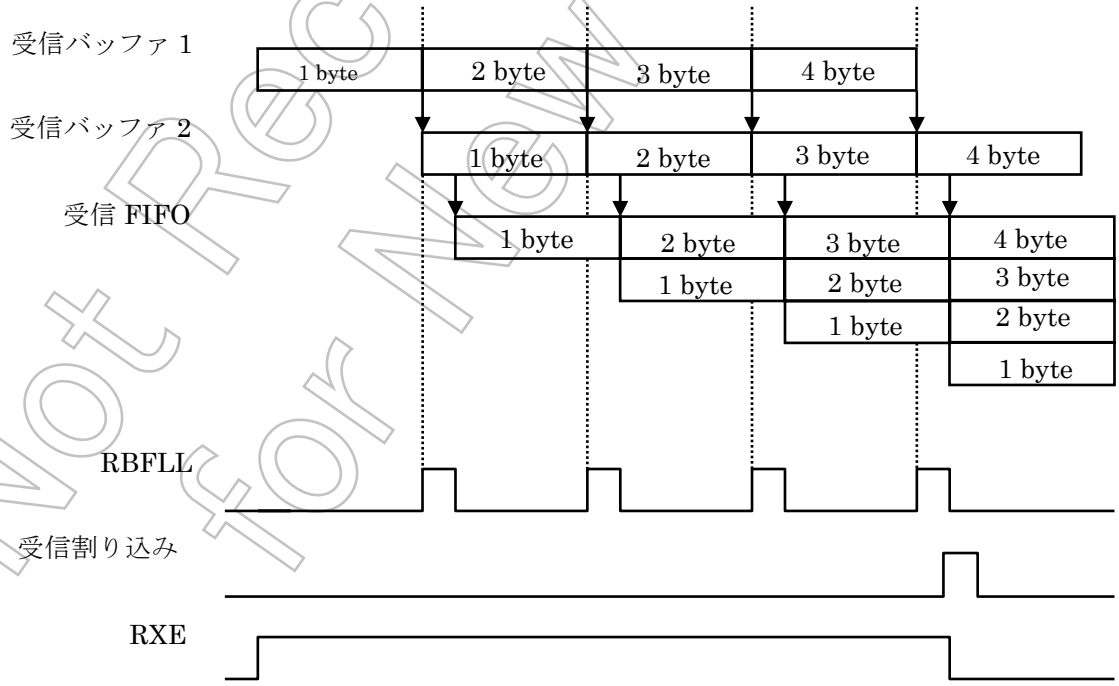


図 14-3 受信 FIFO の動作

② I/O インターフェースモードで HSCLK 入力の場合

4Byte のデータを受信する場合を例に説明します。

HSCORFC<7:6>=10 : 受信 FIFO のクリアと割り込み発生条件の設定

HSCORFC<1:0>= 00 : 割り込み発生を fill level 4 に設定

HSCOF CNF<1:0>=10101 : fill level 到達後の継続受信自動許可

受信 FIFO の使用 Byte 数は最大構成

この状態で転送モードを半二重受信に設定して RXE bit に 1 を書き込むと入力クロックに応じて 4byte のデータ受信を開始します。4 受信後に受信 FIFO 割り込みを発生します。

また、この設定では次の受信に備えることもでき、全部のデータが FIFO から読み出される前に次の 4 バイトのデータも受信可能です。

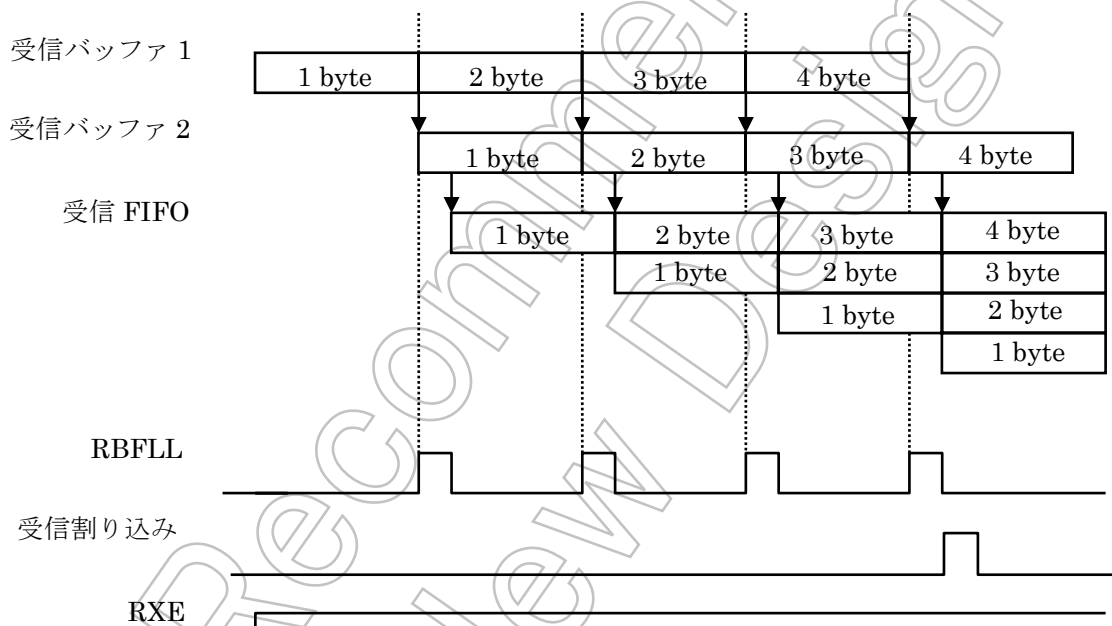


図 14-4 受信 FIFO の動作

14.1.8 送信カウンタ

送信カウンタは非同期通信 (UART) モードで用いられる 4 ビットのバイナリカウンタにより受信カウンタ同様 HSIOCLK でカウントされ、16 クロックごとに送信クロック (TXDCLK) を生成します。

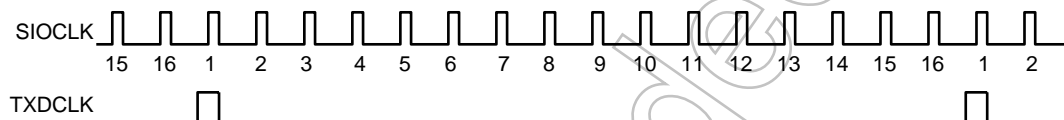


図 14-5 送信クロックの生成

14.1.9 送信制御部

- I/O インターフェースモードの場合
HSCOCR<IOC>= “0” の HSCLK 出力モードのときは、HSCLK0 端子より出力されるシフトクロックの立ち上がりで送信バッファのデータを 1 ビットずつ HTXD0 端子へ出力します。
HSCOCR<IOC>= “1” の HSCLK 入力モードのときは、HSCOCR<SCLKS>の設定に従って HSCLK 入力の立ち上がり/立ち下がりエッジで送信バッファのデータを 1 ビットずつシリアル送信データ HTXD0 端子へ出力します。
- 非同期通信 (UART) モードの場合
送信バッファに CPU から送信データが書き込まれると、次の HTXDCLK の立ち上がりエッジから送信を開始し、送信シフトクロック (HTXDSFT) をつくります。

ハンドシェイク機能

$\overline{\text{HCTS}}$ 端子をもっており、この端子を使用することにより、1 データフォーマット単位での送信が可能となり、オーバーランエラーの発生を防ぐことができます。この機能は HSCOMODO <CTSE> によってイネーブル/ディセーブルできます。

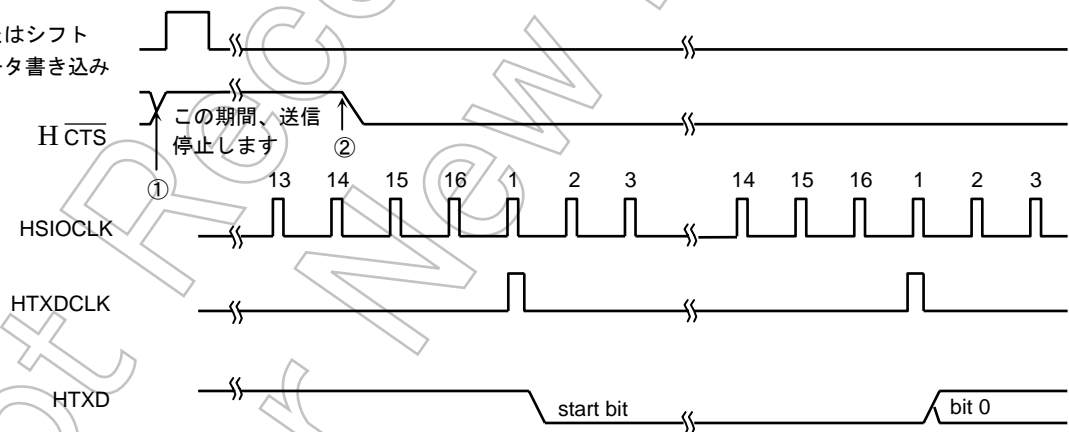
送信は $\overline{\text{HCTS0}}$ 端子が “H” レベルになると、現在送信中のデータを送信完了後、 $\overline{\text{HCTS0}}$ 端子が “L” レベルに戻るまで送信を停止します。ただし、HINTTX0 割り込みは発生し、次の送信データを CPU に要求し、送信バッファにデータを書き込み、送信待機します。

なお、 $\overline{\text{HRTS}}$ 端子はありませんが、受信側にて受信が終了したとき（受信割り込みルーチン内）に $\overline{\text{HRTS}}$ 機能に割り当てた任意の 1 ポートを “H” レベルにして、送信側に送信の一時停止を要求することにより容易にハンドシェイク機能を構築できます。



図 14-6 ハンドシェイク機能

送信バッファまたはシフトレジスタへのデータ書き込みタイミング



(注) ① 送信中に $\overline{\text{HCTS}}$ 信号を立ち上げた場合は、送信終了後、次のデータの送信を停止します。

② $\overline{\text{HCTS}}$ 信号立ち下がり後の最初の HTXDCLK クロックの立ち下がりから送信を開始します。

図 14-7 $\overline{\text{HCTS}}$ (Clear to send) 信号のタイミング

14.1.10 送信バッファ

送信バッファ (HSCOBUF) は 2 重構造になっています。シリアルモードコントロールレジスタ 2 (HSCOMOD2) のダブルバッファ制御ビット<WBUF>の設定により、ダブルバッファの有効/無効を制御できます。ダブルバッファが有効のときは、送信バッファ 2 (HSCOBUF) ヘーデータが書き込まれると、そのデータは送信バッファ 1 (シフトレジスタ) へ移されます。

送信 FIFO が有効にされていない場合 (HSC0FCNF<CNFG>=0 or 1 で且つ<FDPX1:0>=01) は同時に送信割り込み HINTTX0 が発生して、HSCOMOD2 の送信バッファエンティフラグ<TBEMP>フラグが “1” にセットされます。これは、送信バッファ 2 が空になったことを示し、次の送信データの書き込み可能になります。次の送信データが送信バッファ 2 に書き込まれると<TBEMP>フラグが “0” にクリアされます。

送信 FIFO が有効にされている場合 (HSCNFCNF<CNFG>=1 で且つ<FDPX1:0>=10/11) は送信 FIFO に送信データが存在する場合は直ぐに送信バッファ 2 へ移され、<TBEMP>フラグは直ぐに” 0” にクリアされます。CPU は送信 Buffer 2 または送信 FIFO ヘーデータを書き込みます。

また I/O インターフェースモードの HSCLK 入力時で送信 FIFO が有効にされていない場合は、送信バッファ 1 のデータの送信が終了して次のフレームのクロックが入力される前に、送信バッファ 2 ヘーデータがセットされないときは、アンダーランエラーになりシリアルコントロールレジスタ (HSCOCR) のパリティ/アンダーランフラグ<PERR>がセットされます。

I/O インターフェースモードの HSCLK 入力時で送信 FIFO が有効にされている場合は 11) は送信バッファ 1 のデータの送信が終了すると、送信バッファ 2 のデータが送信バッファ 1 へ移されると同時に送信 FIFO にデータが存在する場合は送信 FIFO から送信バッファ 2 ヘーデータが移されます。

I/O インターフェースモードの HSCLK 出力時で送信 FIFO が有効にされていない場合は、送信バッファ 2 のデータが送信バッファ 1 に移されて、そのデータの送信が終了すると HSCLK 出力が停止します。従ってアンダーランエラーは発生しません。

I/O インターフェースモードの HSCLK 出力時で送信 FIFO が有効にされている場合は送信 FIFO に有効データが無く、最後の送信バッファ 1 のデータ送信が終了すると HSCLK 出力を停止します。

注) I/O インタフェース HSCLK 出力モードでは、HSCOCR の<PERR> Flag は意味を持ちません。動作定義は不定となります。従って HSCLK 出力モードから、他のモードへ切り替える時は事前に HSCOCR をリードしてこの Flag を初期化してください。

ダブルバッファを無効に設定している場合は、送信データの CPU からの書き込みは送信バッファ 1 に対して行われ、送信が終了すると送信割り込み HINTTX0 が発生します。

相手方とハンドシェイクの通信が必要な場合はダブルバッファ制御ビット<WBUF>=” 0” (不許可) に設定して送信バッファ 2 の機能を無効にして、送信 FIFO を構成しないに設定してください。

14.1.11 送信 FIFO BUFFER

前記 Double buffer に加えて、送信 FIFO buffer を用いて、データの格納を行う事ができます。HSCOTFCNF レジスタの HCNFG の設定及び HSCOMOD1 の FDPX1:0 で 4byte の送信 Buffer を有効にする事ができます。UART モード及び I/O インターフェースモードにおいて 4byte までのデータが格納できます。

14.1.12 送信 FIFO の動作

① I/O インターフェースモードで HSCLK 出力の場合（通常モード）

4Byte のデータを送信する場合を例に説明します。

HSCOTFC<7:6>=01 : 送信 FIFO のクリアと割り込み発生条件の設定

HSCOTFC<1:0>=00 : 割り込み発生時の fill level を 0 に設定

HSCOTFCNF<1:0>=01011 : fill level 到達後の継続送信の禁止

この状態で転送モードを半二重送信に設定して、送信 FIFO に 4byte 分の送信データを書き込み、TXE BIT を 1 に設定する事によりデータ送信を開始します。最後の送信データが送信 BUFFER に移されると送信 FIFO 割り込みが発生して最後のデータの送信が終了するとクロック出力を停止して送信を終了します。

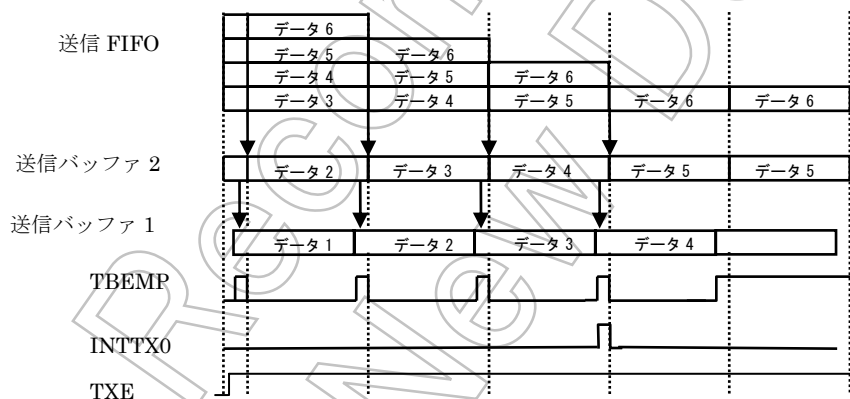


図 14-8 送信 FIFO の動作

② I/O インターフェースモードで HSCLK 入力の場合（通常モード）

4Byte のデータを送信する場合を例に説明します。

HSCOTFC<1:0>=01 : 送信 FIFO のクリアと割り込み発生条件の設定

HSCOTFC<7:2>=000000 : 割り込み発生の fill level を 0 に設定

HSCOFCNF<4:0>=01001 : fill level 到達後の継続送信の許可

この状態で転送モードを半二重送信に設定して、送信 FIFO に 4BYTE 分の送信データを書き込み、TXE BIT を 1 に設定する事によりクロック入力に応じてデータ送信を開始します。最後の送信データが送信 BUFFER に移されると送信 FIFO 割り込みが発生します。

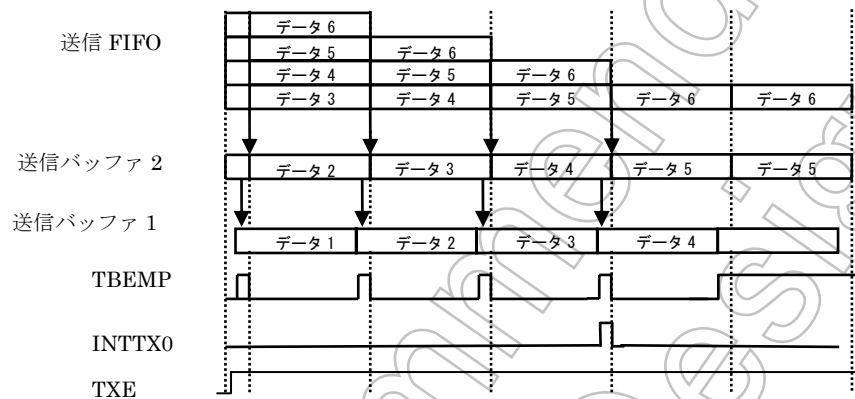


図 14-9 送信 FIFO の動作

14.1.13 パリティ制御回路

シリアルコントロールレジスタ (HSCOCR) のパリティ付加ビット<PE>を“1”にするとパリティ付きの送信を行います。ただし、7ビットUART または 8ビットUART モードのみパリティ付加が可能です。HSCOCR の <EVEN>ビットによって偶数 (奇数) パリティを選択することができます。

送信時、パリティ制御回路は送信バッファ (HSCOBUF) に書き込まれたデータにより自動的にパリティを発生し、7ビットUART モードのときはHSCOBUF ビット7<TB7>に、8ビットUART モードのときはシリアルモードコントロールレジスタ HSCOMOD のビット7<TB8>にパリティがデータ送信後に格納されます。なお、<PE>と<EVEN>の設定は、送信データを送信バッファに書き込む前に行ってください。

受信時、受信データが受信バッファ1にシフトインされ、受信バッファ2 (HSCOBUF) に移されることによりパリティを自動発生します。7ビットUART モードのときは、HSCOBUF <RB7>と、8ビットUART モードのときは、HSCOCR レジスタのビット7 <RB8> のパリティと比較され、異なっているとパリティエラーが発生し、HSCOCR レジスタの<PERR>フラグがセットされます。

I/O インターフェースモードの時はHSCOCR<PERR>はパリティフラグではなく、アンダーランエラーフラグの働きになります。

14.1.14 エラーフラグ

受信データの信頼性を上げるために3つのエラーフラグが用意されています。

1. オーバランエラー <OERR> : シリアルコントロールレジスタ HSCOCR のビット 4

UART、I/O インターフェースモード共に、受信バッファのデータを読み出す前に次のフレームの受信が終了するとエラーが発生して“1”にセットされます。受信FIFOを有効にしている場合は、受信FIFOへデータが自動的に移されるので、受信FIFOがFULL (使用BYTE数) になるまではオーバランエラーは発生しません。また、このフラグは読み出すと“0”にクリアされます。但し、I/O インターフェースモードのHSCLK出力の設定ではオーバランエラーは発生しないために、このフラグは機能せず動作定義は未定です。

2. パリティエラー/アンダーランエラー<PERR> : HSCOCR レジスタのビット 3

UART モード時はパリティエラーが発生すると“1”にセットされます。パリティエラーは受信したデータから生成されたパリティと受信したパリティが異なる場合に発生します。このフラグは読み出すと“0”にクリアされます。

I/O インターフェースモード時はアンダーランエラーを示します。このフラグはシリアルモードコントロールレジスタ (HSCOMOD2) のダブルバッファ制御ビット<WBUF>が“1”に設定されている状態で、HSCLK 入力モード時には、送信シフトレジスタのデータを送信終了し、次回の転送クロックが入力される前に、送信ダブルバッファヘデータがセットされない場合に“1”にセットされ、アンダーランエラーが発生したことを示します。送信FIFOが有効にされている場合は送信FIFOからデータが移されます。送信FIFOのデータが空になり、送信ダブルバッファのデータが空になると、アンダーランエラーが発生します。HSCLK出力モード時は、アンダーランエラーは発生しないために、このフラグは機能せず動作定義は未定となります。送信バッファ2が無効の場合はアンダーランエラーフラグ<PERR>はセットされません。また、このフラグは読み出すと“0”にクリアされます。

3. フレーミングエラー <FERR> : HSCOCR レジスタのビット 2

UART モード時にフレーミングエラーが発生すると“1”にセットされます。読み出すと“0”にクリアされます。フレーミングエラーは受信データのストップビットを中央付近でサンプリングし、結果が“0”の場合に発生します。シリアルモードコントロールレジスタ 2 (HSCOMOD2) の STOP ビット長設定ビット<SBLLEN>の設定に関わらず、受信時の STOP ビットの判定は 1 ビットのみです。

動作モード	エラーフラグ	機能
UART	OERR	オーバーランエラーフラグ
	PERR	パリティエラーフラグ
	FERR	フレーミングエラーフラグ
10 インタフェース (HSCLK 入力)	OERR	オーバーランエラーフラグ
	PERR	アンダーランエラーフラグ (WBUF=1) 0 固定 (WBUF=0)
	FERR	0 固定
10 インタフェース (HSCLK 出力)	OERR	動作未定義
	PERR	動作未定義
	FERR	0 固定

Not Recommended for New Design

14.1.15 データ転送方向

シリアルモードコントロールレジスタ 2 (HSCOMOD2) の転送方向設定ビット<DRCHG>の設定により、I/O インターフェースモード時に転送方向を MSB ファースト/LSB ファーストを切り替えることができます。転送動作中の切り替えは行わないでください。

14.1.16 STOP ビットの長さ

HSCOMOD2 レジスタのビット 4<SBLEN>の設定により UART 送信モード時の送信データ中の STOP ビットの長さを 1 ビットまたは 2 ビットに設定できます。

14.1.17 ステータスフラグ

HSCOMOD2 レジスタのビット 6<RBFL>はダブルバッファ有効 (HSCOMOD2<WBUF>="1") 時の受信バッファ full を示すフラグです。1 フレームの受信が終了して、受信データがバッファ 1 からバッファ 2 に移されるとバッファ 2 が full (データが格納されている状態) であることを示すために "1" にセットされます。CPU/DMAC により受信バッファを読み出すと "0" にクリアされます。<WBUF>="0" のときは意味を持ちませんのでステータスフラグとして使用しないでください。HSCOMOD2 レジスタのビット 7<TBEMP>はダブルバッファ有効 (HSCOMOD2<WBUF>="1") 時の送信バッファ 2 が空になったことを示すフラグです。送信バッファ 2 から送信バッファ 1 (シフトレジスタ) へデータが移されると、送信バッファ 2 が空になったことを示すために "1" がセットされます。CPU/DMAC により送信バッファにデータをセットすると "0" にクリアされます。<WBUF>="0" のときは意味を持ちませんのでステータスフラグとして使用しないでください。

14.1.18 送受信バッファの構成

		WBUF = 0	WBUF = 1
UART	送信	シングル	ダブル
	受信	ダブル	ダブル
10 インタフェース (HSCLK 入力)	送信	シングル	ダブル
	受信	ダブル	ダブル
10 インタフェース (HSCLK 出力)	送信	シングル	ダブル
	受信	シングル	ダブル

14.1.19 ソフトリセット

HSCOMOD2 レジスタのビット 1, 0<SWRST1:0>を "10" → "01" と続けてのライトすることによりソフトウェアリセットが発生します。これにより、モードレジスタの HSCOMOD0 <RXE>、HSCOMOD1<TXE>、HSCOMOD2<TBEMP>、<RBFL>、<TXRUN>、コントロールレジスタの HSCOCR<OERR>、<PERR>、<FERR> 及び内部回路が初期化されます。その他の状態は保持されます。

14.1.20 各信号発生タイミング

① UART モードの場合

受信

モード	9ビット	8ビット + パリティ	8ビット, 7ビット + パリティ, 7ビット
割り込み発生タイミング	第1ストップビットの中央付近	第1ストップビットの中央付近	第1ストップビットの中央付近
フレーミングエラー発生タイミング	ストップビットの中央付近	ストップビットの中央付近	ストップビットの中央付近
パリティエラー発生タイミング	—	最終ビット (パリティビット) の中央付近	最終ビット (パリティビット) の中央付近
オーバランエラー発生タイミング	ストップビットの中央付近	ストップビットの中央付近	ストップビットの中央付近

送信

モード	9ビット	8ビット + パリティ	8ビット, 7ビット + パリティ, 7ビット
割り込み発生タイミング (WBUF = 0)	ストップビット送出の直前	ストップビット送出の直前	ストップビット送出の直前
割り込み発生タイミング (WBUF = 1)	送信バッファ1ヘッダを移した直後 (スタートビット送出の直前)	送信バッファ1ヘッダを移した直後 (スタートビット送出の直前)	送信バッファ1ヘッダを移した直後 (スタートビット送出の直前)

② I/O インターフェースモードの場合

受信

割り込み発生タイミング (WBUF = 0)	HSCLK 出力モード	最終 HSCLK の立ち上がり直後
	HSCLK 入力モード	最終 HSCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後
割り込み発生タイミング (WBUF = 1)	HSCLK 出力モード	最終 HSCLK の立ち上がり直後 (受信バッファ2ヘッダを移した直後) または受信バッファ2からデータを読み出した直後
	HSCLK 入力モード	最終 HSCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後 (受信バッファ2ヘッダを移した直後)
オーバランエラー発生タイミング	HSCLK 入力モード	最終 HSCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後

送信

割り込み発生タイミング (WBUF = 0)	HSCLK 出力モード	最終 HSCLK の立ち上がり直後
	HSCLK 入力モード	最終 HSCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後
割り込み発生タイミング (WBUF = 1)	HSCLK 出力モード	最終 HSCLK の立ち上がり直後または送信バッファ1ヘッダを移した直後
	HSCLK 入力モード	最終 HSCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後 または送信バッファ1ヘッダを移した直後
アンダーランエラー発生タイミング	HSCLK 入力モード	次回 HSCLK の立ち下がり直後 (立ち上がりモード)、立ち下がりモードでは立ち上がり直後

注1) 送信、受信 (受信許可の状態) に制御レジスタの変更は行わないでください

注2) 受信動作中に受信動作を停止 (HSCOMOD0<RXE>="0") しないでください

注3) 送信動作中に送信動作を停止 (HSCOMOD1<TXE>="0") しないでください

14.2 レジスタ説明 (チャンネル0についてのみ説明します)

	7	6	5	4	3	2	1	0
bit Symbol	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0
HSC0MOD0 LITTLE (0xFFFF_E80E) BIG (0xFFFF_E80D)	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	送信データビット8	ハンドシェイク機能制御 0: CTS ディセーブル 1: CTS イネーブル	受信制御 0: 受信禁止 1: 受信許可	ウェイクアップ機能 0: ディセーブル 1: イネーブル	シリアル転送モード 00: I/O インタフェースモード 01: 7ビット長 UARTモード 10: 8ビット長 UARTモード 11: 9ビット長 UARTモード	シリアル転送クロック (UART用) 00: タイマ TB0OUT 01: ボーレートジェネレータ 10: 内部クロック fSYS 11: 外部クロック (HSCLK0 入力)		

注) I/O インタフェースモード時は、シリアルコントロールレジスタ (HSC0CR) でクロックを選択します。

→ ウェイクアップ機能

	9ビット UART	その他のモード
0	受信すれば割り込み	don't care
1	RB8 = 1 のときのみ割り込み	

→ ハンドシェイク機能(CTS 端子)イネーブル

0	ディセーブル (常時送信可能)
1	イネーブル

注) <RXE>=" 0" の状態で各モードレジスタ (HSCOMOD0、HSCOMOD1、HSCOMOD2) を設定してから最後に<RXE>=" 1" にしてください
 ・レジスタ設定は、バイトアクセスしてください。

図 14-10 シリアルモードコントロールレジスタ 0 (HSIO0 用、HSC0MOD0)

HSCOMOD1
LITTLE (0xFFFF_E805)
BIG (0xFFFF_E806)

	7	6	5	4	3	2	1	0
bit Symbol	I2S0	FDPX1	FDPX0	TXE	SINT2	SINT1	SINT0	—
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット後	0	0	0	0	0	0	0	0
機能	IDLE 0: 停止 1: 動作	転送モード設定 00: 転送禁止 01: 半二重 (受信) 10: 半二重 (送信) 11: 全二重		送信制御 0: 禁止 1: 許可	連続転送時のインターバル時間 000: 無し 100: 8SCLK 001: 1SCLK 101: 16SCLK 010: 2SCLK 110: 32SCLK 011: 4SCLK 111: 64SCLK		0 を書き込んでください	

図 14-11 シリアルモードコントロールレジスタ 1 (HS100 用、HSCOMOD1)

<SINT2:0> : I/O インターフェースモード時で、Double buffer または/及び FIFO が許可されている時に連続転送のインターバル時間を指定します。UART モードは意味を持ちません。

<TXE> : 送信許可 BIT です。全転送モードに有効です。送信中にこの BIT が禁止に設定された場合はそのフレームの転送が終了してから、禁止になります。

<FDPX1:0> : I/O インターフェース時の転送モードを設定します。また合わせて FIFO が許可されている場合は FIFO の構成を指定します。UART モードの場合は FIFO 構成の指定のみ行われます。

<I2S0> : IDLE モード時の動作を指定します。

・レジスタ設定は、バイトアクセスしてください。

LITTLE
BIG

HSCOMOD2
(0xFFFF_E806)
(0xFFFF_E805)

	7	6	5	4	3	2	1	0
bit Symbol	TBEMP	RBFL	TXRUN	SBLN	DRCHG	WBUF	SWRST1	SWRST0
Read/Write	R/W						W	W
リセット後	1	0	0	0	0	0	0	0
機能	送信 buffer empty flag 0: full 1: Empty	受信 Buffer full FLAG 0: Empty 1: full	送信動作中 FLAG 0: 停止 1: 動作	STOP ビット 0: 1 ビット 1: 2 ビット	転送方向設定 0: LSB first 1: MSB first	W-buffer の許可 0: 不許可 1: 許可	SOFT RESET “10” → “01” のライトで RESET	

<SWRST1:0>: “10” → “01” のライトによりソフトウェアリセットが発生します。これにより、モードレジスタの HSCOMOD0<RXE>、HSCOMOD1<TXE>、HSCOMOD2<TBEMP>、<RBFL>、<TXRUN>、コントロールレジスタの HSCOCR<OERR>、<PERR>、<FERR>及び内部回路が初期化されます。

<WBUF>: I/O インターフェースモードの送信 (HSCLK 出力、入力)、受信 (HSCLK 出力)、UART モードの送信時に、送信、受信の Double buffer の許可/不許可を指定します。その他のモードでは設定に関わらず、常に Double buffer は許可されます。

<DRCHG>: I/O インターフェースモード時に、転送方向を指定します。UART モード時は LSB first に設定です。

<TXRUN>: 送信シフト動作中を示すステータスフラグです。このビットが1の場合は送信動作中である事を示し、0の場合は、ビット 7<TBEMP>=” 1” の時は送信が完全に終了している状態を、<TBEMP>=” 0” の時は送信バッファに次の送信データがあり送信待ちの状態を示します。

<RBFL>: 受信ダブルバッファのデータ full を示すフラグです。受信動作が終了して、受信シフトレジスタから受信ダブルバッファへデータが格納されると “1” になり、読み出すと “0” になります。

ダブルバッファの使用が不許可の場合はこのフラグは意味を持ちません。

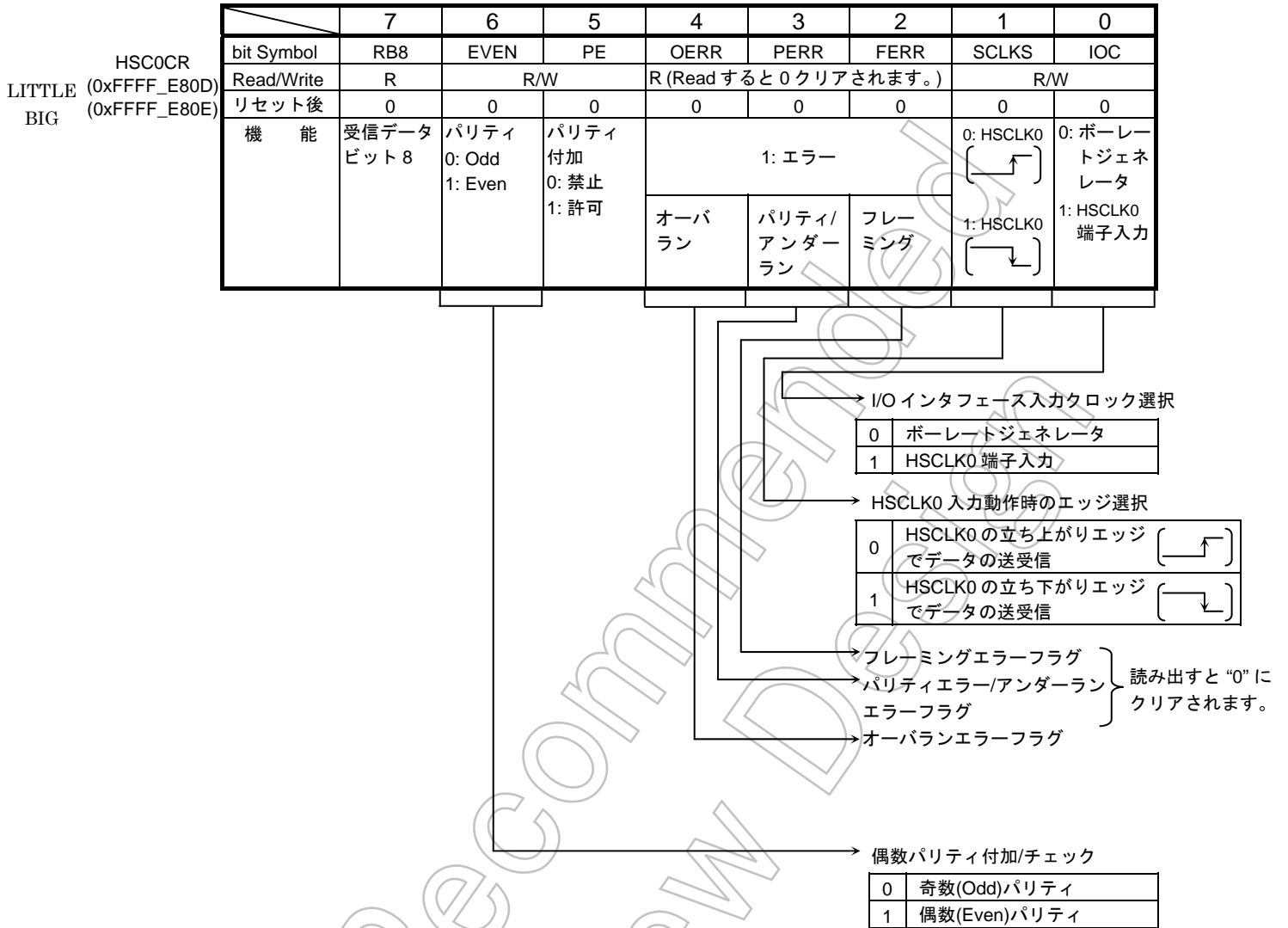
<TBEMP>: 送信ダブルバッファのデータ empty を示すフラグです。送信ダブルバッファのデータが送信シフトレジスタに移され、empty になると “1” になり、送信データが書き込まれると “0” になります。

ダブルバッファの使用が不許可の場合はこのフラグは意味を持ちません。

<SBLN>: UART モード時の送信 STOP ビットの長さを指定します。受信の場合は設定に関わらず 1 ビットの STOP ビットで認識します。

(注) 転送動作中にソフトリセットを掛ける場合は 2 回連続して実行してください。
・レジスタ設定は、バイトアクセスしてください。

図 14-12 シリアルモードコントロールレジスタ



(注) エラーフラグは読み出されるとすべてクリアされます。
 ・レジスタ設定は、バイトアクセスしてください。

図 14-13 シリアルコントロールレジスタ (HSIO0 用、HSC0CR)

HBR0CR
LITTLE(0xFFFF_E80F)
BIG (0xFFFF_E80C)

	7	6	5	4	3	2	1	0
bit Symbol	—	HBR0ADD E	HBR0S5	HBR0S4	HBR0S3	HBR0S2	HBR0S1	HBR0S0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	“0”をライトしてください	N + (16 - K)/16分周機能 0: ディセーブル 1: イネーブル						

・レジスタ設定は、バイトアクセスしてください。

HBR0ADD
LITTLE (0xFFFF_E804)
BIG (0xFFFF_E807)

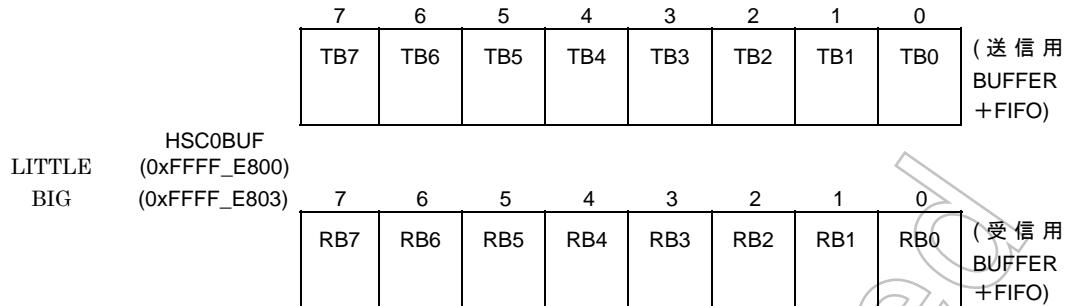
	7	6	5	4	3	2	1	0
bit Symbol					HBR0K3	HBR0K2	HBR0K1	HBR0K0
Read/Write	R				R/W			
リセット後	0				0	0	0	0
機能	リードすると“0”が読めます。				N + (16 - K)/16分周のK値の設定			

ボーレートジェネレータの分周値の設定

	HBR0CR<HR0DDE> = 1		HBR0CR<HR0DDE> = 0
HBR0CR <HBR0S5:0>	000000(N = 64)	000010(N = 2)	000001(N = 1) (ONLY UART)
HBR0DD <HR03:0>	000001(N = 1)	111111(N = 63)	111111 (N = 63) 000000 (N = 64)
0000	禁止	禁止	
0001(K = 1)	禁止	$N + \frac{(16 - K)}{16}$ 分周	N分周
1111(K = 15)			

図 14-14 ボーレートジェネレータコントロール (HSIO0用、HBR0CR、HBR0ADD)

- (注 1) UART モードでは、ボーレートジェネレータ分周値の“1”分周は、N + (16 - K)/16分周機能を使用しないときのみ設定可能です。I/O インタフェースでは、ボーレートジェネレータ分周値の“1”分周は使用しないで下さい。
- (注 2) N + (16 - K)/16 機能を使用する場合、かならず HBR0ADD <BR3K3 : 0> に K 値 (K = 1~15) を設定後に HBR0CR <BR0ADDE> = “1” を設定してください。ただし、HBR0CR <BR0S5 : 0> = “000000” または “000001” (N = 64 または 1) のとき N + (16 - K)/16 分周機能は使用しないでください。
- (注 3) N + (16 - K)/16 分周機能は UART モードのみ使用可能です。I/O インターフェースモードのときは HBR0CR <BR0ADDE> = “0” に設定し N + (16 - K)/16 分周機能を禁止してください。



注：HSC0BUFは、WR時は送信バッファ、RD時は受信バッファとして機能します。

図 14-15 FIFO コンフィグレジスター

	7	6	5	4	3	2	1	0
bit Symbol	Reserved	Reserved	Reserved	RFST	TFIE	RFIE	RXTXCNT	CNFG
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
HSC0FCNF LITTLE (0xFFFF_E80C) BIG (0xFFFF_E80F)	必ず “000” を書き込んでください			受信 FIFO 使用 Byte 数 0:最大 1:受信 FIFO の FILL レベルに同じ	送信 FIFO 使用時の送 信割り込み 許可 0:禁止 1:許可	受信 FIFO 使用時の受 信割り込み 許可 0:禁止 1:許可	RXE/TXE の自動禁 止 0:無し 1:自動禁 止	FIFO の許 可 0:禁止 1:許可
機能								

<CNFG> : 許可の場合は FIFO の構成は HSCOMOD1<FDPX1:0>の設定により
 <FDPX1:0>=01 (半二重受信) ---- 4Byte 受信 FIFO
 <FDPX1:0>=10 (半二重送信) ---- 4Byte 送信 FIFO
 <FDPX1:0>=11 (全二重) ----- 2Byte 受信 FIFO + 2Byte 送信 FIFO

に自動的にになります。

<RXTXCNT> : 0 受信許可 BIT : RXE、送信許可 BIT : TXE の自動禁止機能は無効

: 1 自動禁止の場合は HSCOMOD1<FDPX1:0>の設定により

<FDPX1:0>=01 (半二重受信) ----- 受信 FIFO に指定された有効 BYTE 数のデータが格納された時に以降の受信を禁止する為に自動的に RXE が “0” になります

<FDPX1:0>=10 (半二重送信) ----- 送信 FIFO が Empty になった時に、以降の送信を禁止する為に自動的に TXE が “0” になります

<FDPX1:0>=11 (全二重) ----- 前記 2 つの条件のどちらか片方が成立した時に、以降の送受信を禁止する為に自動的に RXE/TXE が “0” になります。

<RFIE> : 受信 FIFO が有効にされている時の受信割り込みの許可/不許可を切り替えます。

<TFIE> : 送信 FIFO が有効にされている時の送信割り込みの許可/不許可を切り替えます。

<RFST> : 受信 FIFO が有効にされている時の受信 FIFO の使用 BYTE 数を切り替えます。

0 : 構成されている FIFO の最大 BYTE 数。<FDPX1:0>=01 (半二重受信) の時は 4 BYTE、
 <FDPX1:0>=11 (全二重) の時は 2BYTE

1 : HSCORFC<RIL1:0>で指定される受信割り込み発生の際の FILL レベルに同じ

(注) 送信 FIFO は常に構成されている FIFO の最大 BYTE 数を使用できます。
 使用 BYTE 数は送信 FIFO に書き込んだ BYTE 数になります。
 ・レジスタ設定は、バイトアクセスしてください。

図 14-16 受信 FIFO コントロールレジスタ

	7	6	5	4	3	2	1	0
bit Symbol	RFCS	RFIS	—	—	—	—	RIL1	RIL0
Read/Write	w	R						
リセット後	0	0	0	0	0	0	0	0
機能	受信 FIFO クリア 1:クリア リードは常に“0”	割り込み発生条件 選択	リードすると“0”が読めます。				受信割り込みが発生する FIFOの fill レベル 00:4byte (全二重の場合 は2Byte) 01:1byte 10:2byte 11:3byte 注: FDPX1:0=11 (全二 重)の場合 RIL1は無視 されます	

0: 設定した fill レベルに到達した場合

1: 設定した fill レベルに到達した時及び、新規データが読み出された時に fill レベルを超えている場合

図 14-17 送信 FIFO コンフィグレジスタ

	7	6	5	4	3	2	1	0
bit Symbol	TFCS	TFIS	—	—	—	—	TIL1	TIL0
Read/Write	w	R						
リセット後	0	0	0	0	0	0	0	0
機能	送信 FIFO クリア 1:クリア リードは常に“0”	割り込み発生条件 選択	リードすると“0”が読めます。				送信割り込みが発生する FIFOの fill レベル 00:Empty 01:1byte 10:2byte 11:3byte 注: FDPX1:0=11 (全二 重)の場合 TIL1は無視 されます	

0: 設定した fill レベルに到達した場合

1: 設定した fill レベルに到達した時及び、新規データが書き込みされた時に fill レベルより低い場合

・レジスタ設定は、バイトアクセスしてください。

図 14-18 受信 FIFO ステータスレジスター

LITTLE (0xFFFF_E80A)
BIG (0xFFFF_E809)

	7	6	5	4	3	2	1	0
bit Symbol	ROR					RLVL2	RLVL1	RLVL0
Read/Write	R				R			
リセット後	0	0	0	0	0	0	0	0
機能	受信 FIFO Overrun 1:発生 リードでクリア					受信 FIFO の fill レベルのステータス 000:Empty 001:1Byte 010:2Byte 011:3Byte 100:4Byte		

図 14-19 送信 FIFO ステータスレジスター

LITTLE (0xFFFF_E80B)
BIG (0xFFFF_E808)

	7	6	5	4	3	2	1	0
bit Symbol	TUR					TLVL2	TLVL1	TLVL0
Read/Write	R				R			
リセット後	1	0	0	0	0	0	0	0
機能	送信 FIFO Under run 1:発生 FIFO ライトでクリア					送信 FIFO の fill レベルのステータス 000:Empty 001:1Byte 010:2Byte 011:3Byte 100:4Byte		

図 14-20HSIO イネーブルレジスター

LITTLE (0xFFFF_E807)
BIG (0xFFFF_E804)

	7	6	5	4	3	2	1	0
bit Symbol	-	-	-	-	-	-	-	SIOE
Read/Write				R				R/W
リセット後	0	0	0	0	0	0	0	0
機能	リードすると“0”が読めます							HSIO 動作 0:禁止 1:許可

<SIOE>: HSIO の動作を指定します。動作禁止の状態では HSIO モジュールのレジスタ部以外へのクロックが供給されませんので消費電力の低減が可能です（他のレジスタへのリード、ライトはできません）。HSIO を使用する場合は、HSIO モジュールの各レジスタを設定する前に HSIO 動作許可（“1”）にしてください。HSIO を一旦動作させた後に、動作禁止した場合は各レジスタの設定は保持されます。

・レジスタ設定は、バイトアクセスしてください。

14.3 モード別動作説明

14.3.1 モード 0 (I/O インターフェースモード)

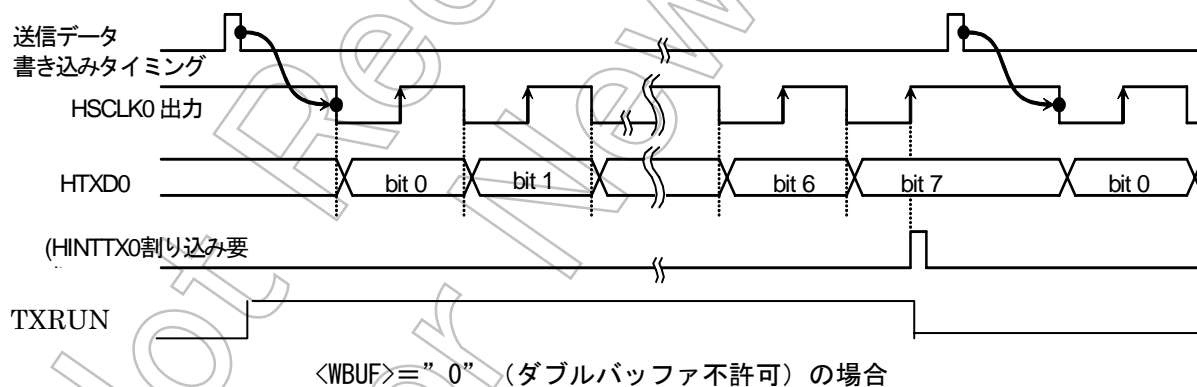
このモードには、同期クロック HSCLK を出力する HSCLK 出力モードと、外部より同期クロック HSCLK を入力する HSCLK 入力モードがあります。以下に FIFO の使用が禁止されている状態での各動作の説明を行います。FIFO の動作については、前述の受信 FIFO 動作及び送信 FIFO 動作の章を参照してください。

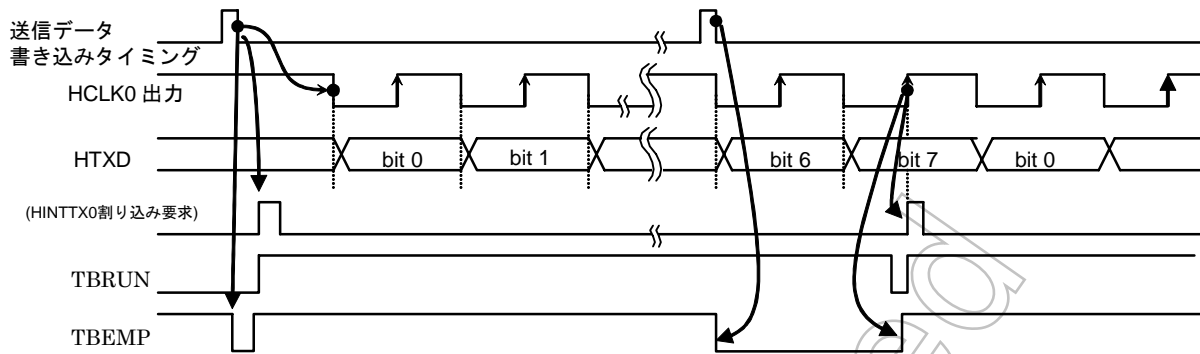
① 送信

HSCLK 出力モード

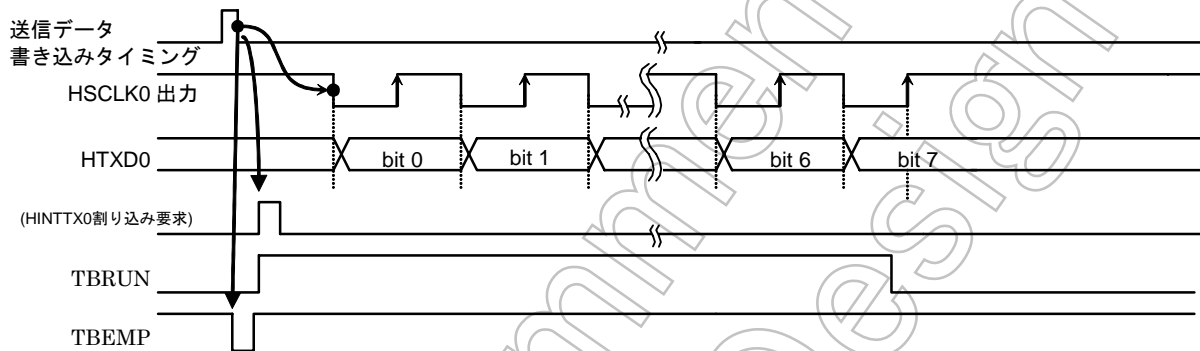
HSCLK 出力モードでは $HSCOMOD2\langle WBUF \rangle = "0"$ で送信ダブルバッファが不許可の場合、CPU が送信バッファにデータを書き込むたびに、8 ビットのデータが HXD0 端子、同期クロックが HSCLK0 端子より出力されます。データがすべて出力されると割り込み (HINTTX0) が発生します。

$HSCOMOD2\langle WBUF \rangle = "1"$ で送信ダブルバッファが許可されている場合は、送信が停止している状態で CPU が送信バッファ 2 にデータを書き込んだとき、または送信バッファ 1 (シフトレジスタ) のデータ送出が終了したときに送信バッファ 2 より、送信バッファ 1 にデータが移されます。これと同時に送信バッファ empty フラグ $HSCOMOD2\langle TBEMP \rangle$ が "1" にセットされます。同時に、割り込み (HINTTX0) が発生します。このときに送信バッファ 2 に送信バッファ 1 へ移すデータが存在しない場合は、割り込み (HINTTX0) を発生せず、HSCLK0 出力も停止します。





<WBUF>="1" (ダブルバッファ許可) の場合 (バッファ 2 にデータがある場合)



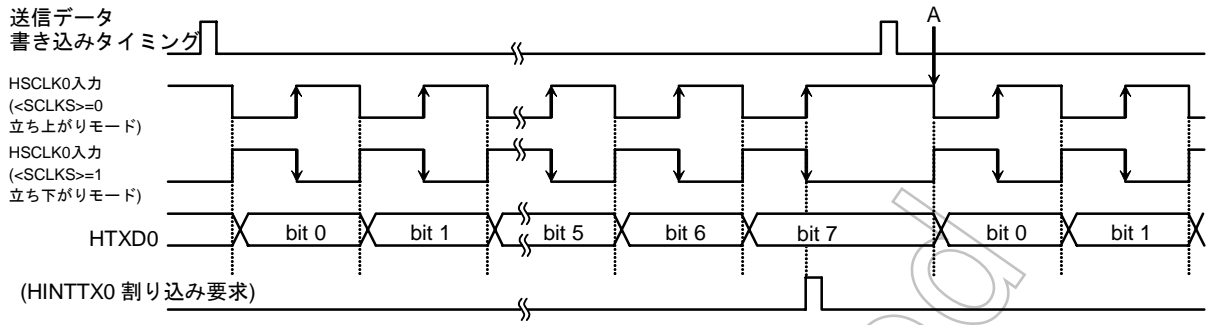
<WBUF>="1" (ダブルバッファ許可) の場合 (バッファ 2 にデータがない場合)

図 14-21 I/O インターフェースモード送信動作 (HSCLK0 出力モード)

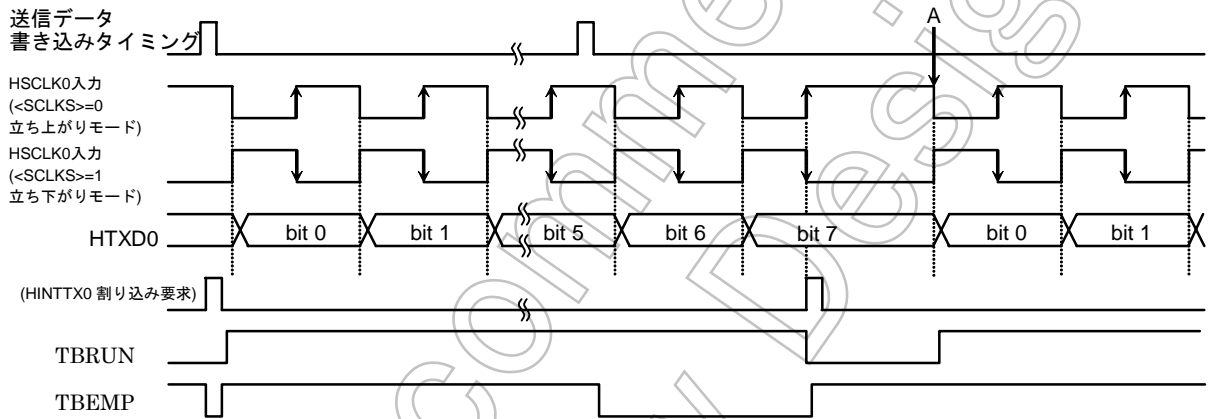
HSCLK 入力モード

HSCLK 入力モードでは、HSCOMOD2<WBUF>="0" で送信ダブルバッファが不許可の場合は、送信バッファにデータが書き込まれている状態で HSCLK0 入力が入力されると、8 ビットのデータが HTXD0 端子より出力されます。データがすべて出力されると割り込み HINTTX0 が発生します。次の送信データは A 点までに書き込んでください

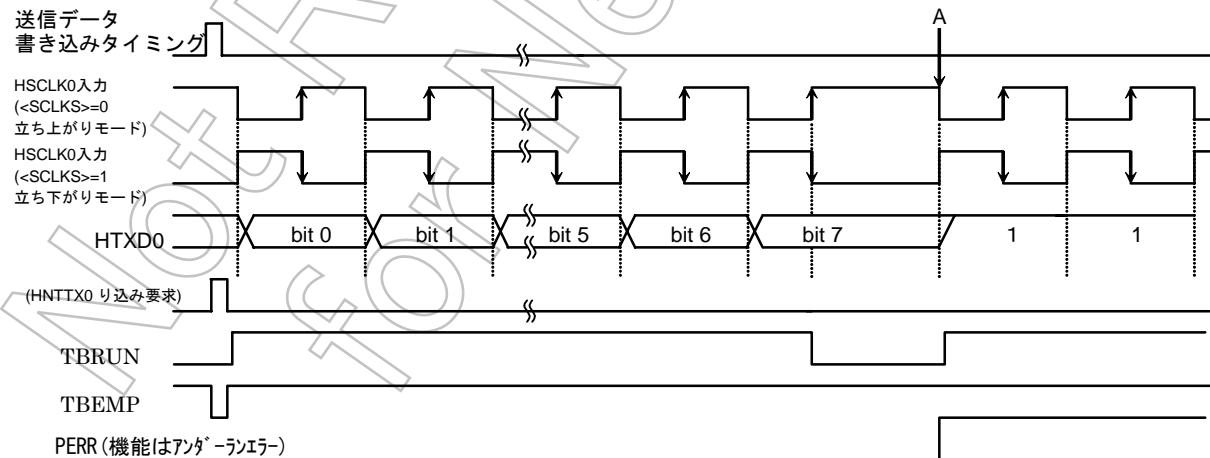
HSCOMOD2<WBUF>="1" で送信ダブルバッファが許可されている場合は、HSCLK0 入力が入力になる前に送信バッファにデータを書き込んだとき、または送信バッファ 1 (シフトレジスタ) のデータ送出が終了したときに送信バッファ 2 のデータが送信バッファ 1 へ移されます。これと同時に送信バッファ empty フラグ HSCOMOD2<TBEMP>が "1" にセットされ、割り込み (HINTTX0) が発生します。送信バッファ 2 にデータが書き込まれていない状態で、HSCLK0 入力が入力になった場合は、内部ビット数カウンタはカウントを開始しますが、アンダーランエラーがセットされ、8 ビット分のダミーデータ (FFh) を送出します。



<WBUF>=" 0" (ダブルバッファ不許可) の場合



<WBUF>=" 1" (ダブルバッファ許可) の場合 (バッファ 2 にデータがある場合)



<WBUF>=" 1" (ダブルバッファ許可) の場合 (バッファ 2 にデータがない場合)

図 14-22 I/O インターフェースモード送信動作 (HSCLK0 入力モード)

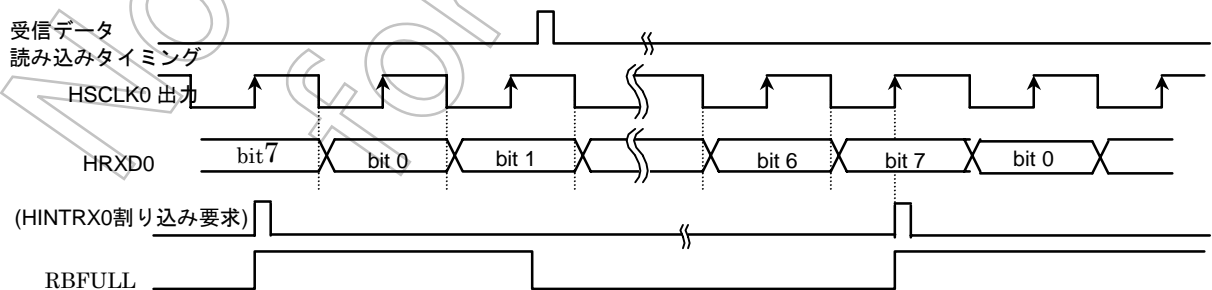
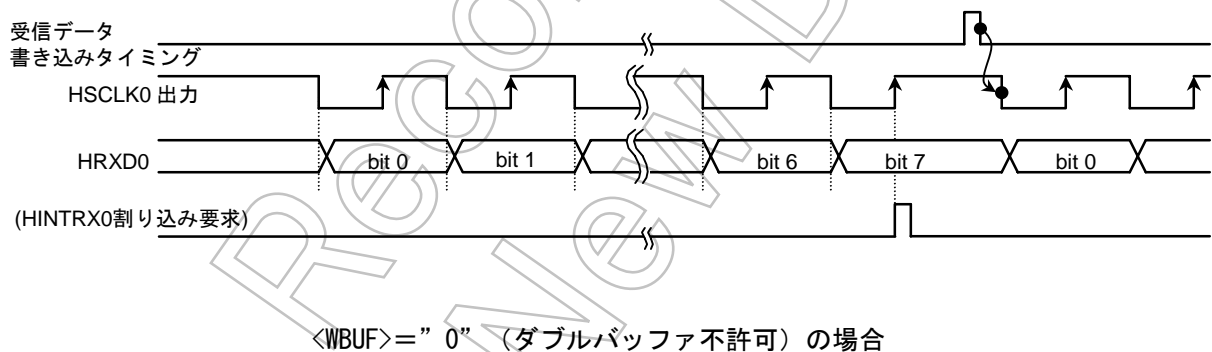
② 受信

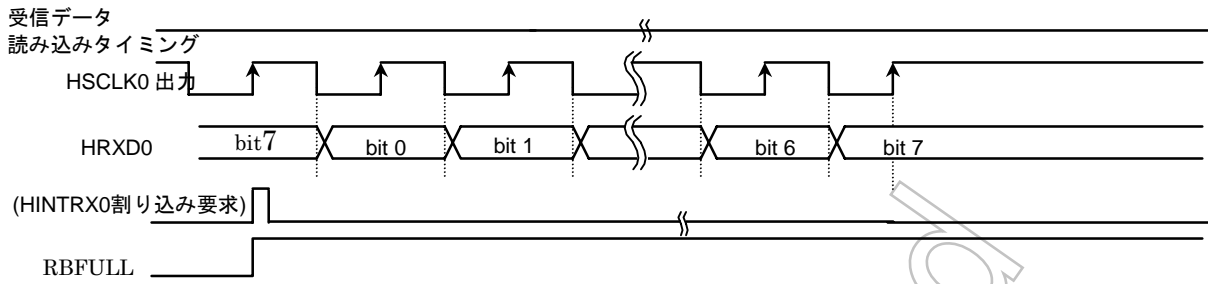
HSCLK 出力モード

HSCLK 出力モードでは $HSCOMOD2\langle WBUF \rangle = "0"$ で受信ダブルバッファが不許可の場合は、受信データが CPU に読み取られるたびに、HSCLK0 端子より同期クロックが出力され次のデータが受信バッファ 1 にシフトインされます。8 ビットデータが受信されると、割り込み HINTRX0 が発生します。

最初の HSCLK 出力の開始は、受信許可ビット $HSCOMOD0\langle RXE \rangle$ を "1" にセットすることで行います。また、 $HSCOMOD2\langle WBUF \rangle = "1"$ で受信ダブルバッファが許可の場合は、最初に受信したフレームは受信バッファ 2 に移され、続けて次のフレームを受信バッファ 1 で受信します。受信バッファ 1 から受信バッファ 2 にデータが移されると、受信バッファ full フラグ $HSCOMOD2\langle RBFULL \rangle$ が "1" にセットされ、割り込み HINTRX0 が発生します。

受信バッファ 2 にデータが移された状態で 8 ビット分のデータを受信完了する前に、CPU/DMAC で受信バッファ 2 のデータを読み出されない場合は、割り込み HINTRX0 が発生せず、HSCLK0 出力も停止します。この状態で受信バッファ 2 のデータを読み出すと、受信バッファ 1 のデータを受信バッファ 2 に移し、割り込み HINTRX0 を発生して受信を再開します。





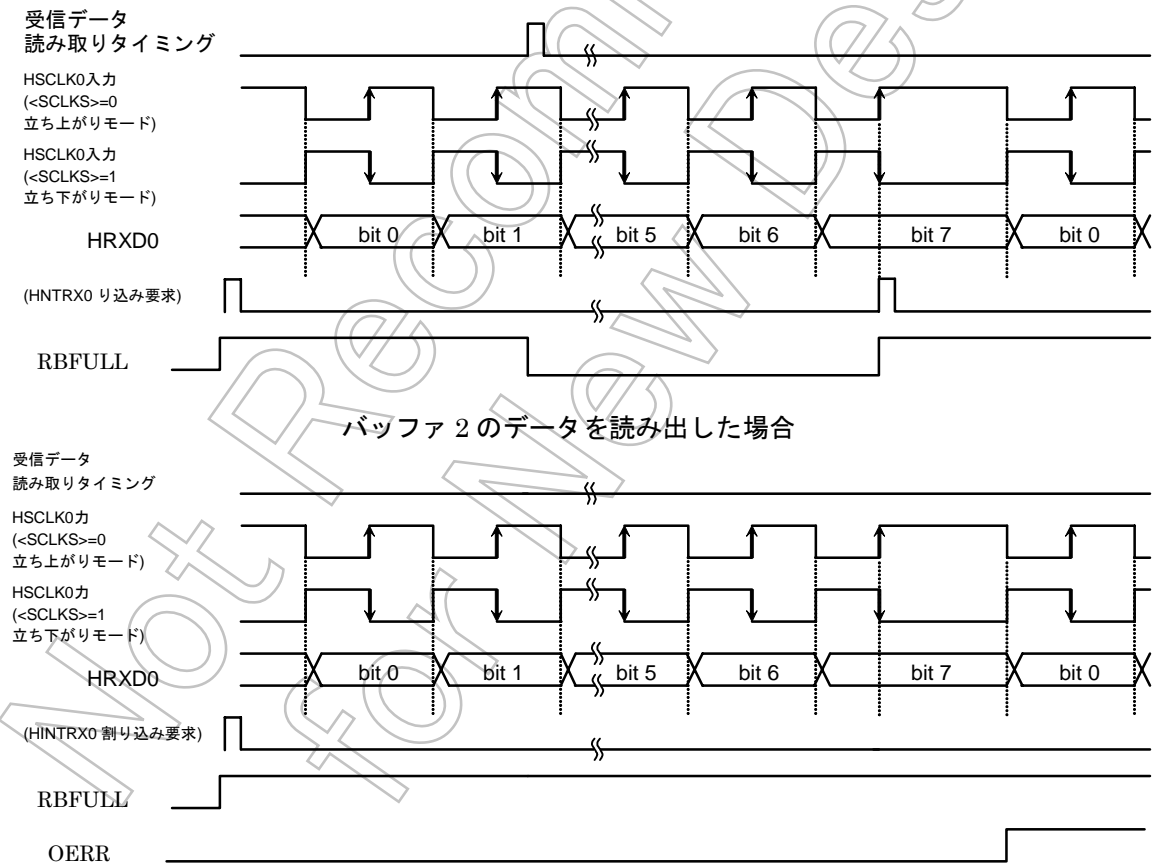
<WBUF>="1" (ダブルバッファ許可) の場合 (バッファ 2 のデータを読み出されない場合)

図 14-23 I/O インターフェースモード受信動作 (HSCLK0 出力モード)

HSCLK 入力モード

HSCLK 入力モードでは常に受信ダブルバッファが許可されており、受信したフレームは受信バッファ 2 に移され、受信バッファ 1 で連続して次のフレームを受信することができます。

受信データが受信バッファ 2 へ移されるごとに受信割り込み HINTRX0 が発生します。



バッファ 2 のデータを読み出した場合

バッファ 2 のデータが読み出されない場合

図 14-24 I/O インターフェースモード受信動作 (HSCLK0 入力モード)

(注) 受信動作を行う場合には HSCLK 入/出力のどちらのモードでも、受信イネーブル状態 (HSCOMODO <RXE> = 1) にしておく必要があります。

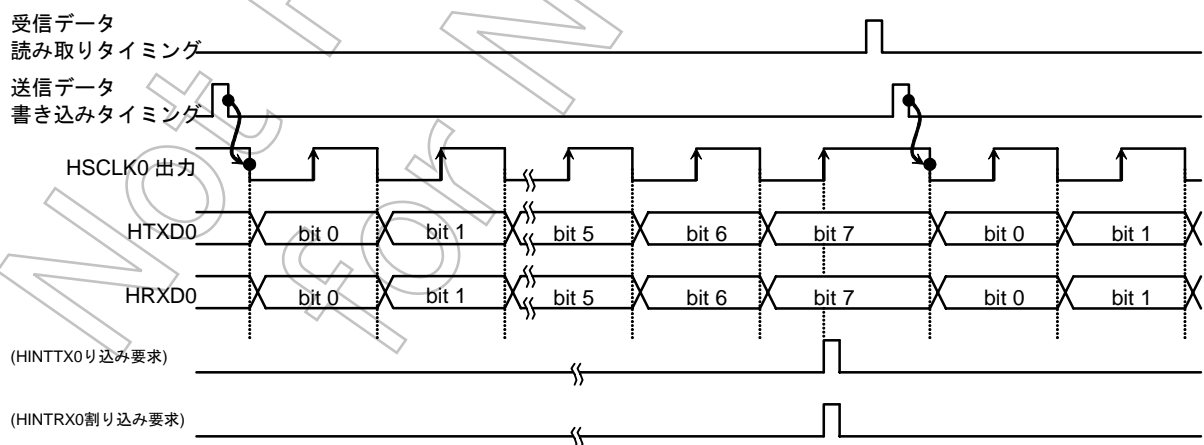
③ 送受信（全二重）

シリアルモードコントロールレジスタ 1 (HSCOMOD1) のビット 6 (FDPX0) に "1" をセットすることにより全二重モードでの通信が可能になります。

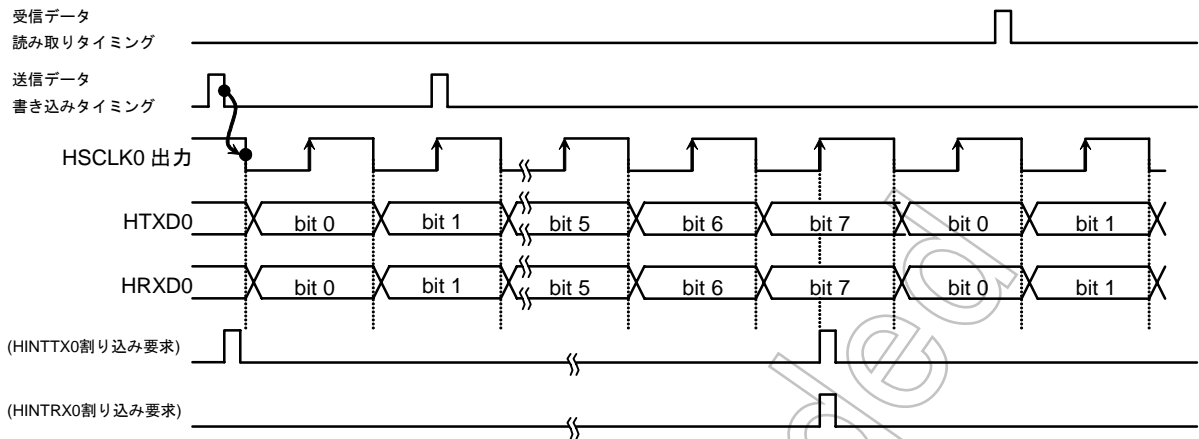
HSCLK 出力モード

HSCLK 出力モードでは HSCOMOD2<WBUF>="0" で送受信共にダブルバッファが不許可の場合は、CPU が送信バッファにデータを書き込むと HSCLK が出力され、8 ビットデータが受信バッファ 1 にシフトインされ、受信割り込み (HINTRX0) が発生します。それと平行して送信バッファに書き込まれた 8 ビットデータが、HTXD0 端子より出力され、全てのデータが送信されると送信割り込み (HINTTX0) が発生します。この状態で HSCLK の出力は停止します。この状態で CPU が受信バッファを読み出し、送信バッファへデータを書き込むと次の送受信が開始されます。受信バッファの読み出しと送信バッファの書き込み順番は任意です。両方の条件が成立した場合に再開されます。

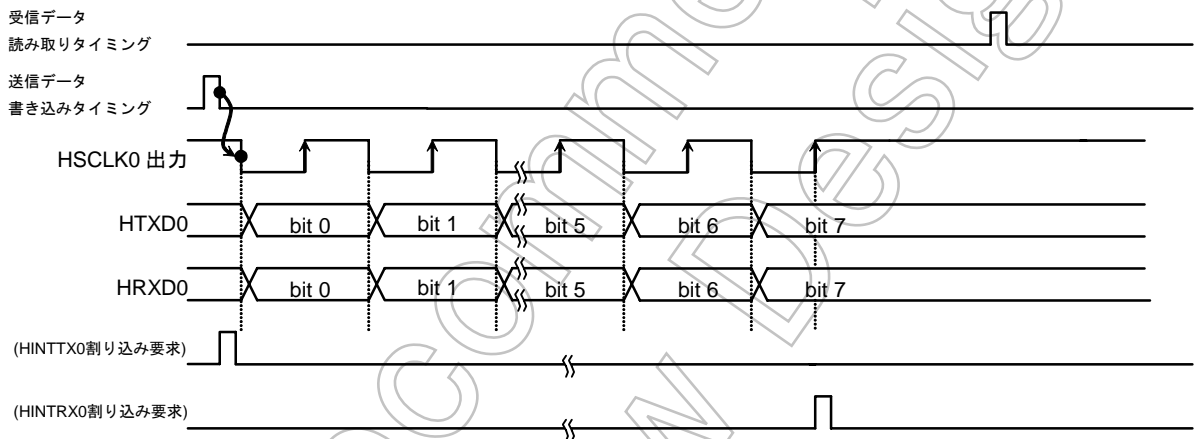
HSCOMOD2<WBUF>="1" で送受信共にダブルバッファが許可されている場合は、CPU が送信バッファにデータを書き込むと HSCLK が出力され、8 ビットデータが受信バッファ 1 にシフトインされると、データは受信バッファ 2 に移され割り込み (HINTRX0) が発生します。8 ビットデータの受信と平行して 8 ビットデータが HTXD0 端子より出力されます。データがすべて出力されると割り込み (HINTTX0) が発生して次のデータが送信バッファ 2 から送信バッファ 1 移されます。この時に、送信バッファ 2 に移すデータが存在しない (HSCOMOD2<TBEMP>="1") または受信バッファ 2 にデータが存在している (HSCOMOD2<RBFULL>="1") 場合は HSCLK 出力が停止します。その後は受信データの読み出しと、送信データ書き込みの両方の条件が成立すると再度 HSCLK の出力が開始されて次の送受信が始まります。



$\langle WBUF \rangle = "0"$ (ダブルバッファ不許可) の場合



<WBUF>=" 1" (ダブルバッファ許可) の場合



<WBUF>=" 1" (ダブルバッファ許可) の場合

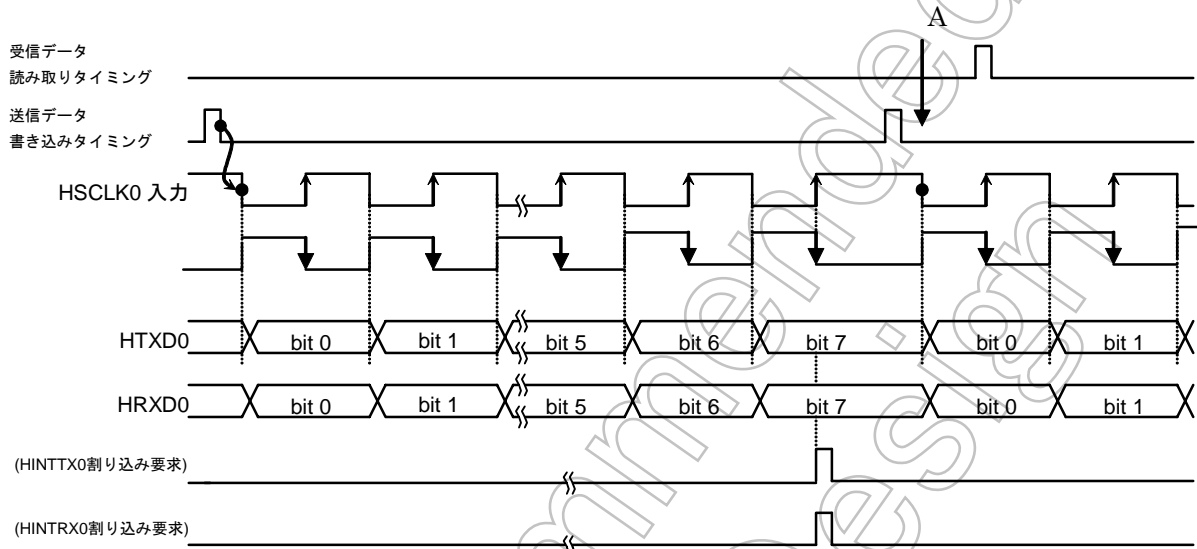
図 14-25 I/Oインターフェースモード送受信動作 (HSCLK0 出力モード)

HSCLK 入力モード

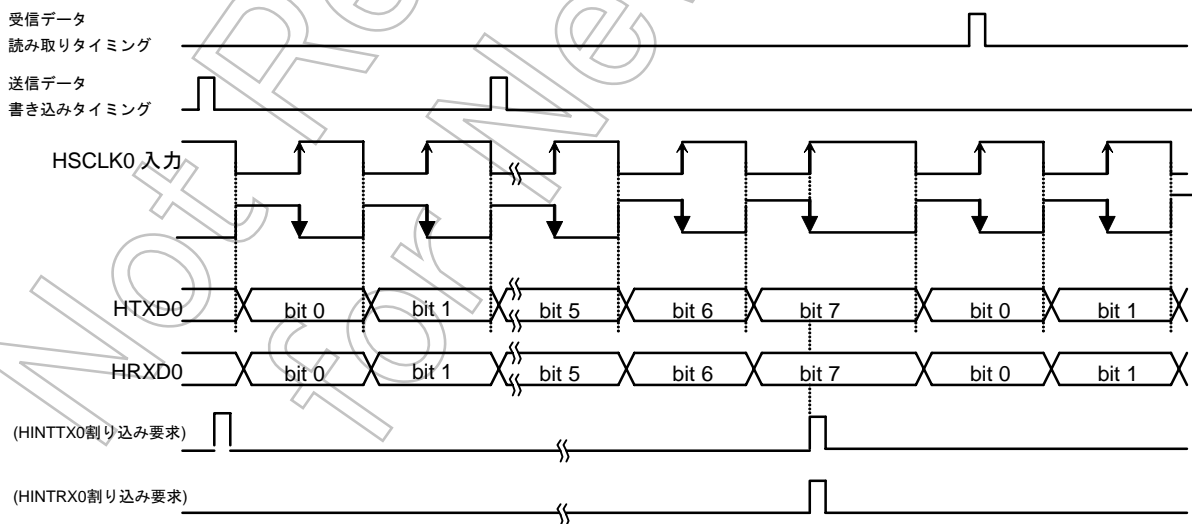
HSCLK 入力モードでは HSCOMOD2<WBUF>=" 0" で送信ダブルバッファが不許可 (受信は設定に関わらずダブルバッファ有効) の場合は、送信バッファにデータが書き込まれている状態で HSCLK 入力が入力されると、8 ビットのデータが HTXD0 より出力されると同時に 8 ビットのデータが受信バッファへシフトインされます。データの送信が終了すると割り込み (HINTTX0) が、受信が終了すると受信バッファ 1 から受信バッファ 2 へデータが移されると同時に割り込み (HINTRX0) が発生します。次のフレームの HSCLK が入力される前に送信データを送信バッファへ書き込む様にしてください (A 点までに書き込んでください)。受信データに関してはダブルバッファが有効になっている為に次のフレームの受信が終了する前に読み出してください。

HSCOMOD2<WBUF>=" 1" で送受信共にダブルバッファが許可されている場合は、送信バッファ 1 のデータの送信が終了すると、送信バッファ 2 のデータが送信バッファ 1 へ移されると同時に割り込み (HINTRX0) が発生します。また並行して受信した 8 ビットデータのバッファ 1 へのシフトインが終了すると、そのデータは受信バッファ 2 へ移され、割り込み (HINTRX0) が発生します。続けて次のフレームの HSCLK が入

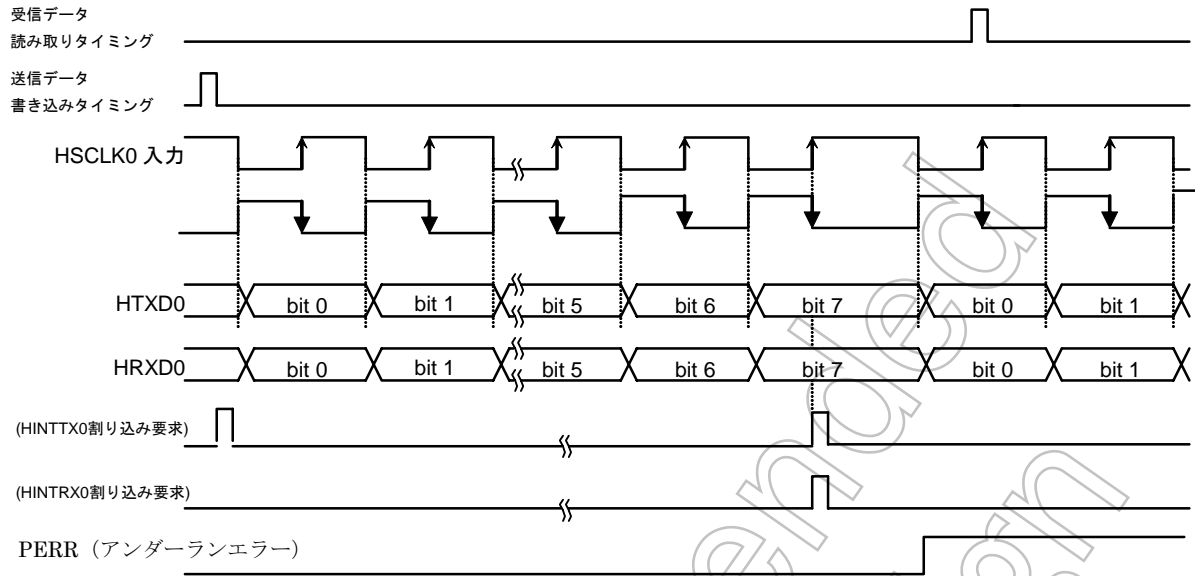
力されると、送信バッファ 2 から送信バッファ 1 へ移されたデータの送信が始まり、平行して受信バッファ 1 でのデータ受信が行なわれます。また、フレームの最終ビットの受信までに受信バッファ 2 のデータが読み出されていない場合はオーバーランエラーが発生します。また、次のフレームの HSCLK 入力までに送信バッファ 2 へ転送データが書き込まれていない場合はアンダーランエラーが発生します。



$\langle WBUF \rangle = '0'$ (ダブルバッファ不許可) の場合



$\langle WBUF \rangle = '1'$ (ダブルバッファ許可)、の場合 (エラー無し)



<WBUF>="1" (ダブルバッファ許可)、の場合 (エラー発生)

図 14-26 I/O インターフェースモード送受信動作 (HCLK0 入力モード)

Not Recommended for New Design

14.3.2 モード 1 (7 ビット UART モード)

シリアルモードコントロールレジスタ (HSCOMOD <SM1, 0>) を 01 にセットすると 7 ビット UART モードになります。

このモードではパリティビットの付加が可能で、シリアルモードコントロールレジスタ (HSCOCR <PE>) でパリティビット付加のイネーブル/ディセーブルを制御しています。<PE>= “1” (イネーブル) のときは、HSCOCR<EVEN>で偶数パリティ/奇数パリティを選択できます。STOP ビットの長さは HSCOMOD2<SBLEN>で指定することができます。

14.3.3 モード 2 (8 ビット UART モード)

HSCOMOD0 <SM1 : 0> を 10 にセットすると 8 ビット UART モードになります。このモードでは、パリティビットの付加が可能で HSCOCR <PE> でパリティビット付加のイネーブル/ディセーブルを制御できます。<PE> = “1” (イネーブル) のとき、HSCOCR <EVEN> で偶数パリティ/奇数パリティの選択も可能です。

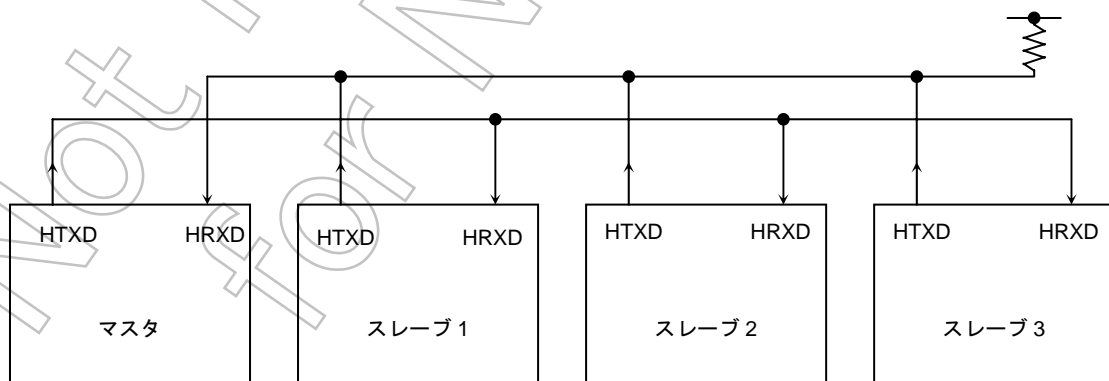
14.3.4 モード 3 (9 ビット UART)

HSCOMOD0 <SM1 : 0> を “11” にセットすると 9 ビット UART モードになります。このモードでは、パリティビットの付加を禁止 (HSCOCR<PE> = “0”) してください。

最上位ビット (9 ビット目) は、送信の場合シリアルモードコントロールレジスタ 0 (HSCOMOD0) の ビット 7<TB8> に書き込み、受信の場合シリアルモードコントロールレジスタ HSCOCR のビット 7 <RB8> に格納されます。また、バッファに対する書き込み、読み出しはかならず最上位ビットの方を先に行い、HSCOBUF の方を後にします。STOP ビットの長さは HSCOMOD2<SBLEN>で指定することができます。

ウェイクアップ機能

9 ビット UART モードでは、ウェイクアップ機能制御ビット HSCOMOD0<WU>を “1” にすることによって、スレーブ コントローラのウェイク アップ動作が可能で、HSCOCR<RB8>= “1” のときのみ割り込み (HINTRX0) が発生します。



(注) スレーブコントローラの HTXD 端子は、かならず ODE レジスタを設定してオープンドレイン出力モードにしてください。

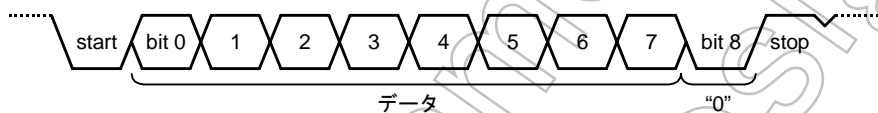
図 14-27 ウェイクアップ機能によるシリアルリンク

プロトコル

- ① マスタおよびスレーブコントローラは9ビットUARTモードにします。
- ② 各スレーブコントローラはHSCOMOD <WU> を“1”にセットし、受信可能状態とします。
- ③ マスタコントローラは、スレーブコントローラのセレクトコード(8ビット)を含む1フレームを送信します。このとき最上位ビット(ビット8) <TB8> は“1”にします。

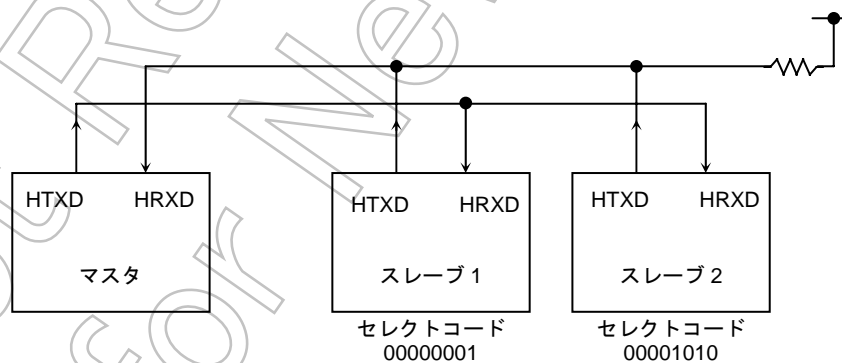


- ④ 各スレーブコントローラは、上記フレームを受信し、自分のセレクトコードと一致すれば、WUビットを“0”にクリアします。
- ⑤ マスタコントローラは指定したスレーブコントローラ(HSCOMOD <WU> = “0”にクリアされたコントローラ)に対しデータを送信します。このとき、最上位ビット(ビット8) <TB8> は“0”にします。



- ⑥ <WU> = “1”のままのスレーブコントローラは、受信データの最上位ビット(ビット8)の <RB8> が“0”であるため、割り込み(HINTRX0)が発生せず、受信データを無視します。また、<WU> = “0”になったスレーブコントローラがマスタコントローラにデータを送信し、この送信データで受信終了をマスタコントローラに知らせることもできます。

設定例: 内部クロック f_{SYS} を転送クロックとして2つのスレーブコントローラとシリアルリンクさせる場合



15. シリアルバスインタフェース (SBI)

シリアルバスインタフェース (SBI) を 1 チャンネル内蔵しています。シリアルバスインタフェースは、下記の 2 つの動作モードを持っています。

- I²C バスモード (マルチマスタ)
- クロック同期式 8 ビット SIO モード

I²C バスモードのときには、PC5 (SDA)、PC7 (SCL) を通して、外部デバイスと接続されます。クロック同期式 8 ビット SIO のときには、PC7 (SCK)、PC5 (SO)、PC6 (SI) を通して外部デバイスと接続されます。

各端子の設定は、下記のとおりとなります。

	PCODE <PCODE1:0>	PCCR <PC7C, PC6C, PC5C>	PCFC <PC7F, PC6F, PC5F>
I ² C バスモード	11	X11	011
クロック同期式 8 ビット SIO モード	XX	101 (クロック出力) 001 (クロック入力)	111

X: Don' t care

15.1 構成

構成を図 15. に示します。

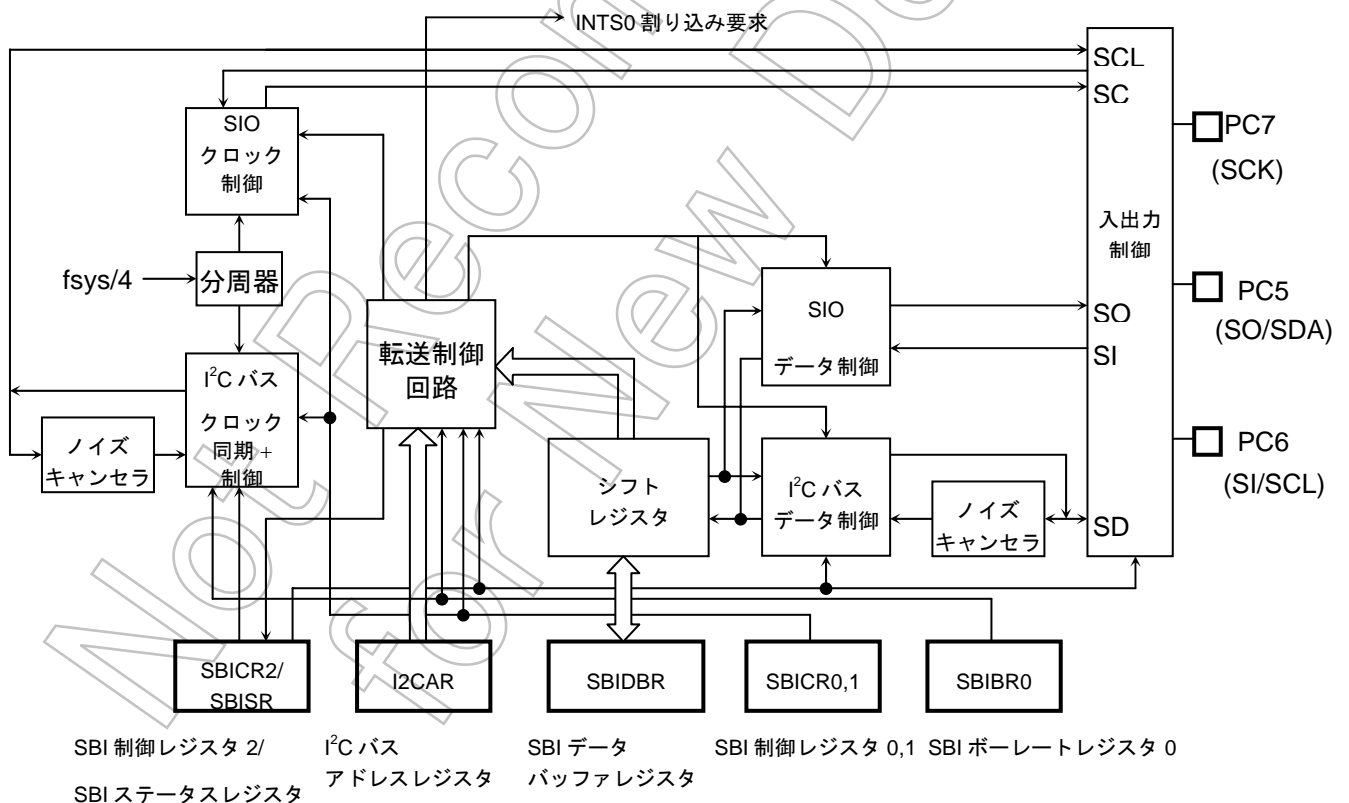


図 15.1 SBI のブロック図

15.2 制御

シリアルバスインタフェースの制御および動作状態のモニタは、以下のレジスタで行います。

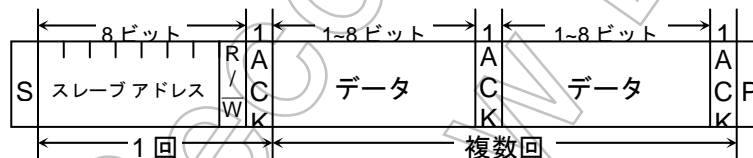
- シリアルバスインタフェース制御レジスタ 0 (SBICR0)
- シリアルバスインタフェース制御レジスタ 1 (SBICR1)
- シリアルバスインタフェース制御レジスタ 2 (SBICR2)
- シリアルバスインタフェースバッファレジスタ (SBIDBR)
- I²C バスアドレスレジスタ (I2CAR)
- シリアルバスインタフェースステータスレジスタ (SBISR)
- シリアルバスインタフェースポーレートレジスタ 0 (SBIBR0)

上記レジスタは使用するモードによって、機能が異なります。詳細は「3.12.4 I²C バスモード時の制御」および「3.12.7 クロック同期式 8 ビット SIO モード時の制御」を参照してください。

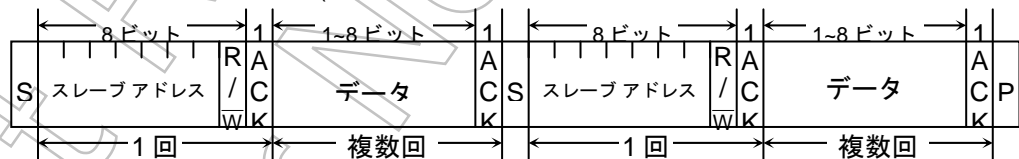
15.3 I²C バスモード時のデータフォーマット

I²C バスモード時のデータフォーマットを図 15.2 に示します。

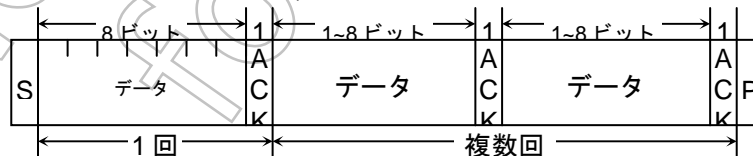
(a) アドレッシングフォーマット



(b) アドレッシングフォーマット (再スタート有)



(c) フリーデータフォーマット (マスタデバイスからスレーブデバイスへデータを転送す)



- 注) S: スタートコンディション
 R/W: 方向ビット
 ACK: アクノリッジビット
 P: ストップコンディション

図 15.2 I²C バスモード時のデータフォーマット

15.4 I²C バスモード時のコントロールレジスタ

シリアルバスインタフェース (SBI) を I²C バスモードで使用するときの制御、および、動作状態のモニタは以下のレジスタで行います。

シリアルバスインタフェース制御レジスタ 0

		7	6	5	4	3	2	1	0	
SBICR0 (0xFFFF_F257)	bit Symbol	SBIEN								
	Read/Write	R/W					R			
	リセット後	0					0			
	機能	SBI 動作 0: 禁止 1: 許可		リードすると"0"が読めます						

<SBIEN> : SBI を使用する場合は、SBI モジュールの各レジスタを設定する前に SBI 動作許可 ("1") にしてください。

図 15.3 I²C バスモード関係のレジスタ

シリアルバスインタフェース制御レジスタ 1

SBICR1
(0xFFFF_F250)

	7	6	5	4	3	2	1	0
bit Symbol	BC2	BC1	BC0	ACK		SCK2	SCK1	SCK0/ SWRMON
Read/Write	R/W			R/W	R	R/W		R/W
リセット後	0	0	0	0	1	0	0	1
機能	転送ビット数の選択 (注1)			アクリジ メント クロック 0: 発生 しない 1: 発生 する	リードす ると"1" が読めま す	内部 SCL 出力クロックの 周波数選択 (注2) とリセット モニタ		

内部 SCL 出力クロックの周波数選択 <SCK2 : 0> @ライト

000	n=5	196 kHz	システムクロック: fsys (=40 MHz) クロックギア : fc/1 周波数 = $\frac{fsys/2}{2^n + 70}$ [Hz]
001	n=6	149 kHz	
010	n=7	101 kHz	
011	n=8	61 kHz	
100	n=9	34 kHz	
101	n=10	18 kHz	
110	n=11	9 kHz	
111		reserved	

ソフトウェアリセット状態モニタ <SWRMON> @リード

0	ソフトウェアリセット中
1	ソフトウェアリセット解除中

転送ビット数の選択

<BC2:0>	<ACK> = 0 のとき		<ACK> = 1 のとき	
	クロック数	データ長	クロック数	データ長
000	8	8	9	8
001	1	1	2	1
010	2	2	3	2
011	3	3	4	3
100	4	4	5	4
101	5	5	6	5
110	6	6	7	6
111	7	7	8	7

- (注1) クロック同期式 8 ビット SIO モードに切り替える前に<BC2:0>を“000”にクリアしてください。
- (注2) SCL ラインクロックの周波数については、「3.12.5 (3) シリアルクロック」を参照してください。
- (注3) <SCK0/SWRMON>ビットは、リセット後“1”が読み出されますが、SBICR2 レジスタにて SIO モードに設定した場合、<SCK0>ビットの初期値は“0”になります。

図 15.4 I²C バスモード関係のレジスタ

シリアルバスインタフェース制御レジスタ 2

SBICR2
(0xFFFF_F253)

	7	6	5	4	3	2	1	0
bit Symbol	MST	TRX	BB	PIN	SBIM1	SBIM0	SWRST1	SWRST0
Read/Write	W				W (注 1)		W (注 1)	
リセット後	0	0	0	1	0	0	0	0
機能	マスタ/ スレーブの 選択 0: スレーブ 1: マスタ	送信/受信の 選択 0: 受信 1: 送信	スタート/ ストップ 状態の発生 0: ストップ 状態発生 1: スタート 状態発生	INTS0 割り込み 要求解除 0: - 1: 割り込み 要求の 解除	シリアルバスインタフェ ースの動作モード選択 (注 2) 00: ポートモード 01: SIO モード 10: I ² C バスモード 11: (予約)		ソフトウェアリセットの 発生 最初に "10"、次に "01" を ライとすると、リセットが 発生します。	

→ シリアルバスインタフェースの動作モード選択 (注 2)

00	ポートモード (シリアルバスインタフェースの出力禁止)
01	クロック同期式 8 ビット SIO モード
10	I ² C バスモード
11	(予約)

(注 1) このレジスタをリードすると、SBISR レジスタとして機能します。

(注 2) ポートモードへの切り替えは、バスフリーを確認してから行ってください。また、ポートモードから I²C バスモード、クロック同期式 8 ビット SIO への切り替えは、ポートの状態が "H" になっていることを確認してから行ってください。

(注 3) モードの切替えはシリアル転送が終了していることを確認してから行ってください。

図 15.5 I²C バスモード関係のレジスタ

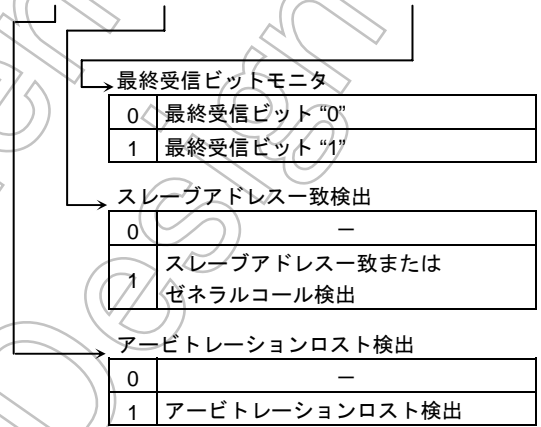
表 15.1 ベースクロック 分解能

@fsys = 40 MHz

クロックギア値 <GEAR1:0>	ベースクロック 分解能
00 (fc)	fsys/2 ² (0.1 μs)
01 (fc/2)	fsys/2 ³ (0.2 μs)
10 (fc/4)	fsys/2 ⁴ (0.4 μs)
11 (fc/8)	fsys/2 ⁵ (0.8 μs)

シリアルバスインタフェースステータスレジスタ

	7	6	5	4	3	2	1	0
bit Symbol	MST	TRX	BB	PIN	AL	AAS	AD0	LRB
SBISR (0xFFFF_F253)	R							
Read/Write	R							
リセット後	0	0	0	1	0	0	0	0
機能	マスタ/ スレーブ 選択 モニター 0:スレーブ 1:マスタ	送信/受信 選択 モニター 0:受信 1:送信	I ² Cバス 状態 モニター 0:バス フリー 1:バス ビジー	INTS0 割り込み 要求 モニター 0:割り込み 要求発生 状態 1:割り込み 要求解除 状態	アービット レーション ロスト検出 0: - 1:検出	スレーブ アドレス 一致検出 0: - 1:検出	ゼネラル コール検 出 0: - 1:検出	最終受信 ビット モニター 0: "0" 1: "1"



(注) このレジスタをライトすると、SBICR2として機能します。

図 15.6 I²C バスモード関係のレジスタ

Not Recommended for New Design

シリアルバスインタフェースポーレートレジスタ 0

SBIBR0
(0xFFFF_F254)

	7	6	5	4	3	2	1	0
bit Symbol		I2SBIO						
Read/Write	R	R/W	R					R/W
リセット後	1	0	1					0
機能	リードする と読めま す	IDLE 0: 停止 1: 動作	リードすると"1"が読めます					必ず"0"を ライトし てください。 (注)

→ IDLE 時の動作

0	停止
1	動作

(注) SIO モード時は"1"がリードされます。

シリアルバスインタフェースデータバッファレジスタ

SBIDBR
(0xFFFF_F251)

	7	6	5	4	3	2	1	0
bit Symbol	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
Read/Write	R (受信)/W (送信)							
リセット後	0							

(注) 送信データを書き込み時には、データを MSB (ビット 7) 側につめてライトしてください。

I²C バスアドレスレジスタ

I2CAR
(0xFFFF_F252)

	7	6	5	4	3	2	1	0	
bit Symbol	SA6	SA5	SA4	SA3	SA2	SA1	SA0	ALS	
Read/Write	R/W								
リセット後	0	0	0	0	0	0	0	0	
機能	スレーブデバイスとして動作するときのスレーブアドレスの設定							アドレス 認識 モードの 指定	

↓ アドレス認識モードの指定

0	スレーブアドレスを認識する。
1	スレーブアドレスを認識しない。

(注) I²C バスアドレスレジスタ I2CAR のビット 0<ALS>はフリーデータフォーマット使用時以外は必ず"0"に設定してください。

"1"に設定した場合にはフリーデータフォーマットとして動作し、マスタ時は送信に、スレーブ時は受信に転送方向が固定されます。

図 15.7 I²C バスモード関係のレジスタ

15.5 I²C バスモード時の制御

15.5.1 アクノリッジメントモードの指定

SBIOCR1 <ACK> を “1” にセットしておくくとアクノリッジメントモードとして動作します。マスタのときには、アクノリッジ信号のためのクロックを1クロック付加します。トランスミッタモードのときには、このクロックの期間中、SDA 端子を開放し、レシーバからのアクノリッジ信号を受信できる状態にします。レシーバモードのときにはこのクロック期間中、SDA 端子を “L” レベルに引き、アクノリッジ信号を発生します。

<ACK> を “0” に設定しておくくと、非アクノリッジメントモードとして動作し、マスタのときにアクノリッジ信号のためのクロックを発生しません。

15.5.2 転送ビット数の選択

SBIOCR1 <BC2:0> により、次に送受信するデータのビット数を選択します。

<BC2:0> はスタートコンディションにより “000” にされるため、スレーブアドレス、方向ビットの転送はかならず 8 ビットで行われます。それ以外のときは <BC2:0> は一度設定された値を保持します。

15.5.3 シリアルクロック

① クロックソース

SBIOCR1 <SCK2:0> で、マスタモード時に SCL 端子から出力されるシリアルクロックの最大転送周波数を選択します。

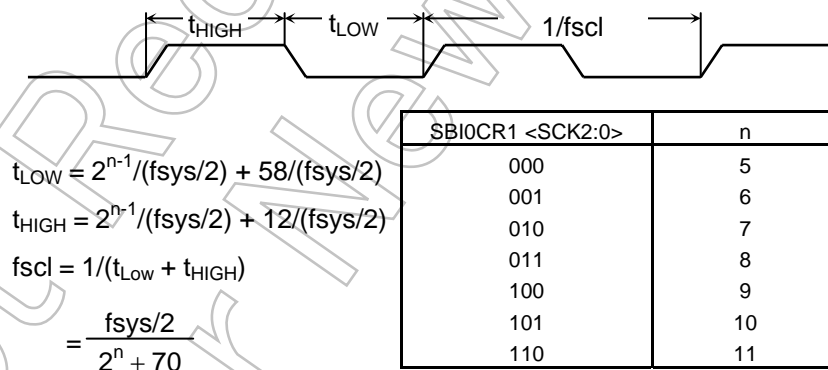


図 15.8 クロックソース

通信規格上、標準モード/高速モードの最高速は 100kHz/400kHz です。内部 SCL クロックの周波数の設定は、使用される f_{sys} と上記計算式にて設定されますのでご注意ください。

② クロック同期化

I²C バスでは、端子の構造上バスをワイヤードアンドで駆動させるため、クロックラインを最初に“L”レベルに引いたマスタが、“H”レベルを出力しているマスタのクロックを無効にします。このため、“H”レベルを出力しているマスタは、これを検出し対応する必要があります。

クロック同期化機能をもっており、バス上に複数のマスタが存在する場合でも、正常に転送が行われます。

クロック同期の手順を、バス上に2つのマスタが同時に存在した場合を例に挙げて以下に示します。

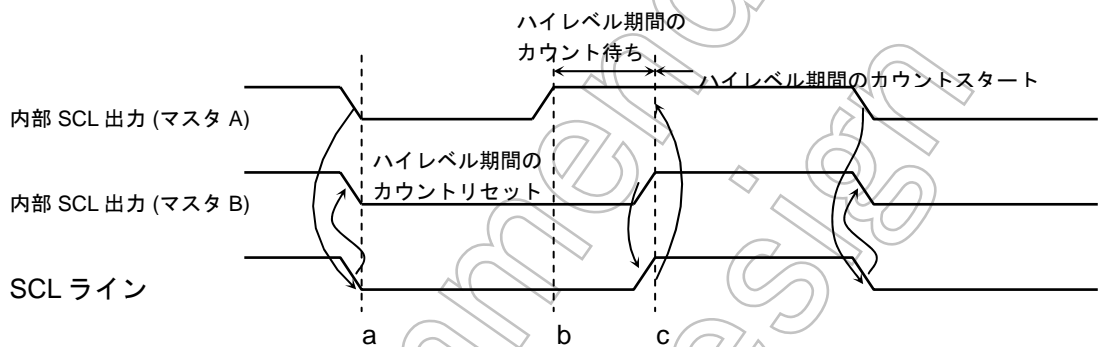


図 15.9 クロック同期化の例

a 点でマスタ A が内部 SCL 出力を“L”レベルに引くことで、バスの SCL ラインは“L”レベルになります。マスタ B はこれを検出し、マスタ B の“H”レベル期間のカウントをリセットし、内部 SCL 出力を“L”レベルに引きます。

b 点でマスタ A は“L”レベル期間のカウントを終わり、内部 SCL 出力を“H”レベルにします。しかし、マスタ B がバスの SCL ラインを“L”レベルに保持し続けているので、マスタ A は“H”レベル期間のカウントを止めます。マスタ A は、c 点でマスタ B が内部 SCL 出力を“H”レベルにし、バスの SCL ラインが“H”レベルになったことを検出後、“H”レベル期間のカウントを始めます。

以上のようにバス上のクロックは、バスに接続されているマスタの中で最も短い“H”レベル期間をもつマスタと最も長い“L”レベル期間をもつマスタによって決定されます。

15.5.4 スレーブアドレスとアドレス認識モードの設定

スレーブデバイスとして動作させるときは、I2CAR にスレーブアドレス〈SA6 : 0〉と〈ALS〉を設定します。〈ALS〉に“0”を設定すると、アドレス認識モードになります。

15.5.5 マスタ/スレーブの選択

SBICR2<MST〉を“1”に設定すると、マスタデバイスとして動作します。

<MST〉を“0”に設定すると、スレーブデバイスとして動作します。<MST〉はバス上のストップコンディションの検出、またはアービトレーションロストの検出で、ハードウェアにより“0”にされます。

15.5.6 トランスミッタ/レシーバの選択

SBICR2 <TRX> を “1” に設定すると、トランスミッタとして動作し、<TRX> を “0” に設定すると、レシーバとして動作します。

スレーブモード時は

- アドレッシングフォーマットのデータ転送を行うとき、
- 受信したスレーブアドレスが I2CCR にセットした値と同じとき、
- ゼネラルコールを受信したとき、(スタートコンディション後の 8 ビットのデータがすべて “0”)

ハードウェアによりマスタデバイスから送られてくる方向ビット (R/ \bar{W}) が “1” の場合、<TRX> は “1” にセットされ、“0” の場合、<TRX> は “0” にされます。

マスタモード時は、スレーブデバイスからアキュリッジが返ってくると、ハードウェアにより、送信した方向ビットが “1” の場合、<TRX> は “0” に、方向ビットが “0” の場合、<TRX> は “1” に変化します。アキュリッジが返ってこないときは、以前の状態を保ちます。

<TRX> はバス上のストップコンディションの検出、またはアービトレーションロストの検出で、ハードウェアにより “0” にされます。

15.5.7 スタート/ストップコンディションの発生

SBISR<BB> が “0” のときに、SBICR2 <MST, TRX, BB, PIN> に “1” を書き込むと、バス上にスタートコンディションと、8 ビットのデータが出力されます。あらかじめ、<ACK> に “1” を設定してください。



図 15.10 スタートコンディションの発生とスレーブアドレスの発生

<BB> = “1” のときに、<MST, TRX, PIN> に “1”、<BB> に “0” を書き込むと、バス上にストップコンディション出力のシーケンスを開始します。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN> の内容を書き替えないでください。

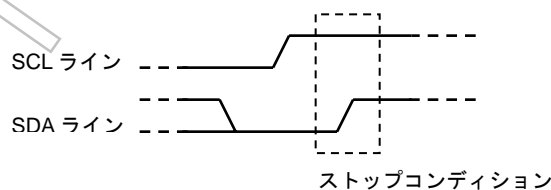


図 15.11 ストップコンディションの発生

また、SBISR<BB> を読み出すことで、バスの状態を知ることができます。<BB> は、バス上のスタートコンディションを検出すると “1” にセットされ (バスビジー状態)、ストップコンディションを検出すると “0” にされます (バスフリー状態)。

15.5.8 割り込みサービス要求と解除

シリアルバスインタフェース割り込み要求 (INTSO) が発生すると、SBICR2 <PIN> が “0” にされます。<PIN> が “0” の間、SCL ラインを “L” レベルに引きます。

<PIN> は 1 ワードの送信または受信が終了すると “0” にされ、SBIDBR にデータを書き込むか、SBIDBR からデータを読み出すと “1” にセットされます。<PIN> が “1” にセットされてから、SCL ラインが開放されるまで、 t_{LOW} の時間がかかります。

アドレス認識モード (<ALS> = “0”) では、受信したスレーブアドレスが I2CAR にセットした値と同じとき、またはゼネラルコール (スタートコンディション後の 8 ビットのデータがすべて “0”) を受信したときに、<PIN> が “0” にされます。プログラムで SBICR2 <PIN> に “1” を書き込むと “1” にセットされますが、“0” を書き込んでも “0” にクリアされません。

15.5.9 シリアルバスインタフェースの動作モード

SBICR2 <SBIM1:0> でシリアルバスインタフェースの動作モードを設定します。I²C バスモードで使用するとき、<SBIM1:0> を “10” に設定します。ポートモードへの切り替えは、バスがフリーであることを確認してから行ってください。

15.5.10 アービトレーションロスト検出モニタ

I²C バスではマルチマスタ (1 つのバス上で同時に 2 つ以上のマスタが存在する) が可能なため、転送されるデータの内容を保証するためにバスのアービトレーション手順が必要となります。

バスビジーの状態のときにスタートコンディションを出力しようとした場合は SCL、SDA ラインには出力されずにアービトレーションロストが発生します。I²C バスではバスのアービトレーションに SDA ラインのデータを使用します。

アービトレーションの手順を、バス上に 2 つのマスタが同時に存在した場合を例に挙げて以下に示します。a 点のビットまでマスタ A、マスタ B とも同じデータを出力し、a 点でマスタ A が “L” レベルを出力、マスタ B が “H” レベルを出力すると、バスの SDA ラインはワイヤードアンドで駆動されるためにマスタ A によって “L” レベルに引かれます。b 点でバスの SCL ラインが立ち上がると、スレーブデバイスは SDA ラインデータ、すなわち、マスタ A のデータを取り込みます。このとき、マスタ B の出力したデータは無効になります。マスタ B のこの状態を “アービトレーションロスト” と呼びます、マスタ B は SDA 端子を開放し、他のマスタの出力するデータに影響を及ぼさないようにします。また、複数のマスタが 1 ワード目でまったく等しいデータを送信した場合、アービトレーションの手順は 2 ワード目以降も継続されます。

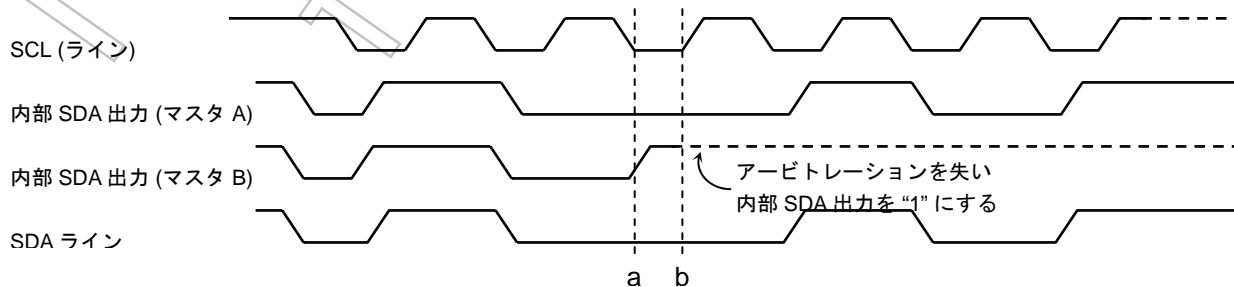


図 15.12 アービトレーションロスト

バスの SDA ラインのレベルと内部 SDA 出力のレベルの比較は、SCL ラインの立ち上がりで行います。この比較結果が不一致の場合アービトレーションロストになり、SB10SR <AL> が “1” にセットされます。

<AL> が “1” にセットされると SBISR <MST, TRX> は “0” にされ、スレーブレシーバモードになります。<AL> は、SBIDBR にデータを書き込むか、SBIDBR からデータを読み込む、または SBICR2 にデータを書き込むと “0” にされます。

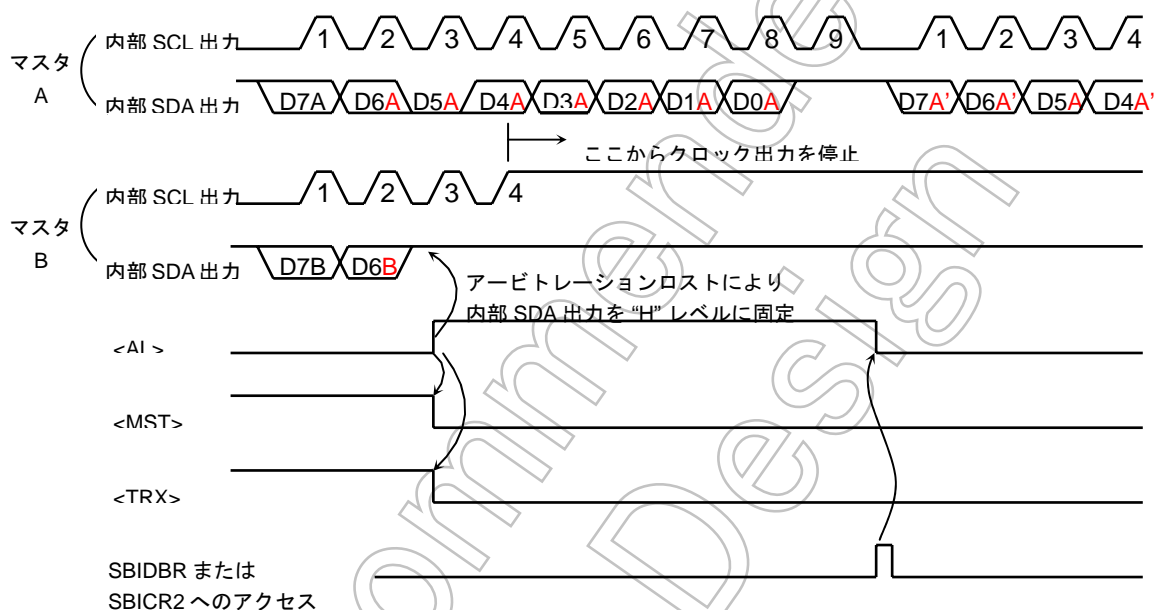


図 15.13 マスタ B の場合の例 (D7A = D7B, D6A = D6B)

15.5.11 スレーブアドレス一致検出モニタ

SBISR <AAS> は、スレーブモード時、アドレス認識モード (I2CCR <ALS> = “0”) のとき、ゼネラルコールまたは I2CCR にセットした値と同じスレーブアドレスを受信すると “1” にセットされます。<ALS> = “1” のときは、最初の 1 ワードが受信されると “1” にセットされます。<AAS> は SBIDBR にデータを書き込むか、SBIDBR からデータを読み出すと “0” にされます。

15.5.12 ゼネラルコール検出モニタ

SBISR <ADO> は、スレーブモード時、ゼネラルコール (スタートコンディション後の 8 ビットのデータがすべて “0”) を受信したとき “1” にセットされ、バス上のスタートコンディション、またはストップコンディションが検出されると “0” にされます。

15.5.13 最終受信ビットモニタ

SBISR <LRB> には、SCL ラインの立ち上がりで取り込まれた SDA ラインの値がセットされます。アクノリッジメントモードのとき、INTS0 割り込み要求発生直後に SBISR <LRB> を読み出すと、ACK 信号が読み出されます。

15.5.14 ソフトウェアリセット

シリアルバスインタフェース回路が、外部からのノイズによりロックした場合、ソフトウェアリセット機能を使い、シリアルバスインタフェース回路を初期化することができます。

SBICR2 <SWRST1:0> へ、最初に “10”、次に “01” をライトすると、シリアルバスインタフェース回路にリセット信号が入力され、回路が初期化されます。このとき、すべてのコントロールレジスタとステータスフラグはリセット直後の値となります。また、<SWRST> は、シリアルバスインタフェースを初期化すると、自動的に “0” にクリアされます。

(注) ソフトウェアリセットをかけると動作モード選択もリセットされ、I²C モードから PORT モードになります。

15.5.15 シリアルバスインタフェースデータバッファレジスタ (SBIDBR)

SBIDBR をリード/ライトすることで、受信データの読み出し/送信データの書き込みを行います。また、マスタモード時において、このレジスタにスレーブアドレスと方向ビットを設定後、スタートコディションを発生します。

15.5.16 I²C BUS アドレスレジスタ (I2CAR)

I2CAR<SA6:0> は、スレーブデバイスとして動作する場合の、スレーブアドレスを設定するビットです。また、I2COAR <ALS> = “0” に設定すると、マスタデバイスから出力されるスレーブアドレスを認識し、データフォーマットはアドレッシングフォーマットとなります。<ALS> = “1” に設定すると、スレーブアドレスを認識せず、データフォーマットはフリーデータフォーマットとなります。

15.5.17 IDLE 設定レジスタ (SBIBR0)

SBIBR0<I2SBI>は IDLE モードに遷移した際に動作の許可/禁止を設定するレジスタです。スタンバイモードに移る命令を実行する前に、あらかじめ設定してください。

15.6 I²C バスモード時のデータ転送手順

15.6.1 デバイスの初期化

最初に SBICR1<ACK, SCK2:0> を設定します。SBICR1 のビット 7 ~ 5, 3 には、“0” を書き込んでください。

次に I2CAR にスレーブアドレス <SA6:0> と <ALS> (アドレッシングフォーマット時、<ALS> = “0”) を設定します。

それから、SBICR2 <MST, TRX, BB> に “0”、<PIN> に “1”、<SBIM1:0> に “10”、ビット 1, 0 に “0” を書き込み、初期状態をスレーブレシーバモードにします。

	7	6	5	4	3	2	1	0	
SBICR1	←	0	0	0	X	0	X	X	ACK および SCL クロックの設定をします。
I2CAR	←	X	X	X	X	X	X	X	スレーブアドレスおよびアドレス認識モードの設定をします。
SBICR2	←	0	0	0	1	1	0	0	スレーブレシーバモードにします。

(注) X: Don't care

15.6.2 スタートコンディション、スレーブアドレスの発生

① マスタモードの場合

マスタモード時は、スタートコンディションとスレーブアドレスを、次の手順で発生します。

はじめに、バスフリー状態 (<BB> = “0”) を確認します。次に、SBICR1 <ACK> に “1” を書き込んで、アクノリッジメントモードに設定します。また、SBIDBR に、送信するスレーブアドレスと方向ビットのデータを書き込みます。

<BB> = “0” の状態で、SBICR2 <MST, TRX, BB, PIN> に “1111” を書き込むと、バス上にスタートコンディションが発生します。スタートコンディションの発生に次いで、SCL 端子から 9 クロックを出力します。最初の 8 クロックで、SBIDBR に設定したスレーブアドレスと方向ビットを出力します。9 クロック目で、SDA ラインを解放し、スレーブデバイスからのアクノリッジ信号を受信します。

9 クロック目の立ち下がりで、INTSO 割り込み要求が発生し、<PIN> = “0” にされます。マスタモード時は、<PIN> = “0” の間 SCL ラインを “L” レベルにひきます。また、スレーブデバイスからのアクノリッジ信号が返ってきたときのみ、INTSO 割り込み要求の発生により、送信した方向ビットに合わせて <TRX> は変化します。

メインルーチンでの設定

	7	6	5	4	3	2	1	0	
Reg.	←	S	B	I	S	R			バスがフリー状態になるまで確認します。
Reg.	←	Reg.	e	0x20					
if Reg.	≠	0x00							
Then									
SBICR1	←	X	X	X	1	0	X	X	アクノリッジメントモードに設定します。
SBIDR1	←	X	X	X	X	X	X	X	目的のスレーブのスレーブアドレスと方向をセットします。
SBICR2	←	1	1	1	1	1	0	0	スタートコンディションの発生を行います。

INTSO 割り込みルーチンでの処理例

INTCLR ← 0x78	割り込み要求をクリアします。
処理	
割り込み終了	

② スレーブモードの場合

スレーブモードの場合は、スタートコンディションとスレーブアドレスを受信します。

マスタデバイスからのスタートコンディションを受信した後、SCL ラインの最初の 8 クロックで、マスタデバイスからのスレーブアドレスと方向ビットを受信します。ゼネラルコール、または I2CAR に設定されたスレーブアドレスと同一のアドレスを受信したとき、9 クロック目で SDA ラインを “L” レベルにひき、アクノリッジ信号を出力します。

9 クロック目の立ち下がり、INTSO 割り込み要求が発生し、 $\langle \text{PIN} \rangle = “0”$ にされます。スレーブモード時は、 $\langle \text{PIN} \rangle = “0”$ の間 SCL ラインを “L” レベルにひきます。

(注) DMA 転送を使用する場合は
 ・マスタスレーブが 1 対 1
 ・送信または受信が連続して可能
 のときにのみ可能です。

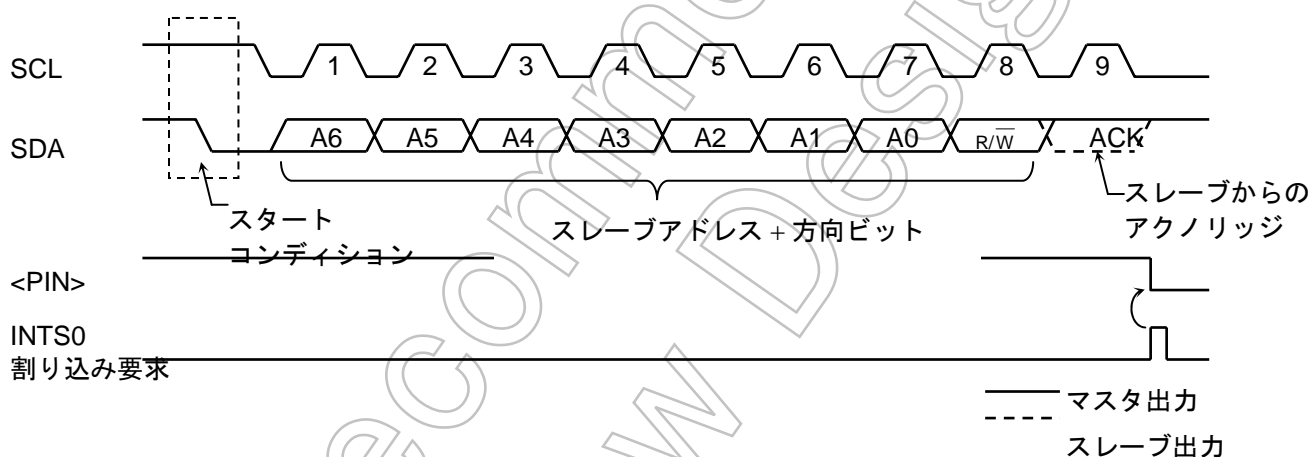


図 15.14 スタートコンディションとスレーブアドレスの発生

15.6.3 1ワードのデータ転送

1ワード転送終了の INTSO 割り込みの処理で $\langle \text{MST} \rangle$ をテストし、マスタモード/スレーブモードの判断をします。

① マスタモードの場合 ($\langle \text{MST} \rangle = “1”$)

$\langle \text{TRX} \rangle$ をテストし、トランスミッタ/レシーバの判断をします。

トランスミッタモードの場合 ($\langle \text{TRX} \rangle = “1”$)

$\langle \text{LRB} \rangle$ をテストします。 $\langle \text{LRB} \rangle$ が “1” のとき、レシーバはデータを要求していないのでストップコンディションを発生する処理 (後記参照) を行ってデータ転送を終了します。

$\langle \text{LRB} \rangle$ が “0” のときレシーバが次のデータを要求しています。次に転送するデータのビット数が 8 ビットのとき SBIDBR に転送データを書き込みます。8 ビット以外のときは $\langle \text{BC2:0} \rangle$ 、 $\langle \text{ACK} \rangle$ を設定し、転送データを SBIDBR に書き込みます。データを書き込むと $\langle \text{PIN} \rangle$ が “1” になり SCL 端子から次の 1ワードデータ転送用のシリアルクロックが発生され、SDA 端子から 1ワードのデータが転送されます。転送終了後 INTSO 割り込み要求が発生し、 $\langle \text{PIN} \rangle$ が “0” になり SCL 端子を “L” レベルに

引きます。複数ワードの転送が必要な場合は上記 <LRB> のテストから繰り返します。

INTSO 割り込み

```

if MST = 0
Then スレーブモード時の処理へ移行
if TRX = 0
Then レシーバモード時の処理へ移行
if LRB = 0
Then ストップコンディションを発生する処理へ移行
SBICR1 ← X X X X 0 X X X      転送ビット数および ACK を設定します。
SBIDBR ← X X X X X X X X      転送データを書き込みます。
割り込み処理終了
(注) X: Don't care
    
```

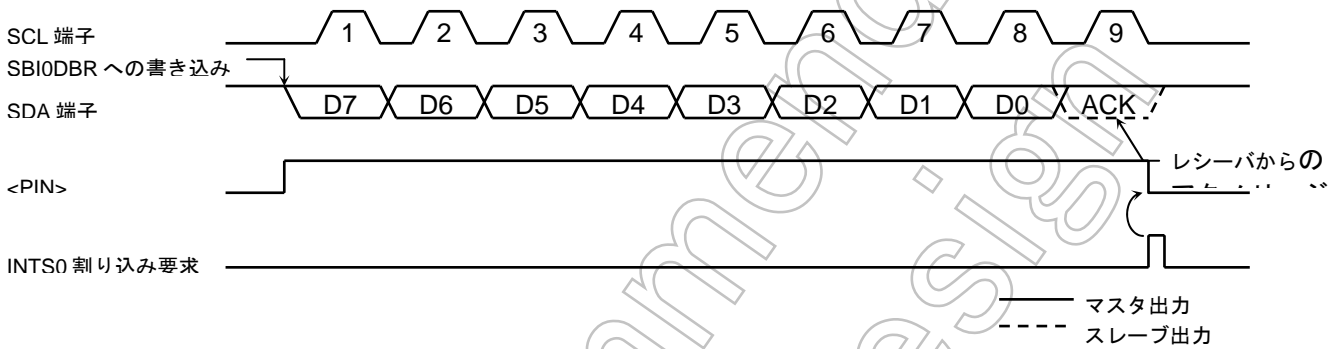


図 15.15 <BC2:0> = “000”, <ACK> = “1” の場合 (トランスミッタモード)

レシーバモードの場合 (<TRX> = “0”)

次に転送するデータのビット数が 8 ビットのときは SBIDBR に転送データを書き込みます。8 ビット以外のときは <BC2:0>、<ACK> を設定し、SCL ラインを解放するために SBIDBR から受信データを読み出します (スレーブアドレス送信直後のリードデータは不定です)。データを読み出すと <PIN> は “1” になり、次の 1 ワードデータ転送用のシリアルクロックを SCL 端子に出力します。最後のビットでアクノリッジ信号の “L” レベルのタイミングで “0” を SDA 端子に出力します。

その後、INTSO 割り込み要求が発生し、<PIN> が “0” になり SCL 端子を “L” レベルに引きます。SBIDBR から受信データを読み出すたびに 1 ワードの転送クロックとアクノリッジを出力します。

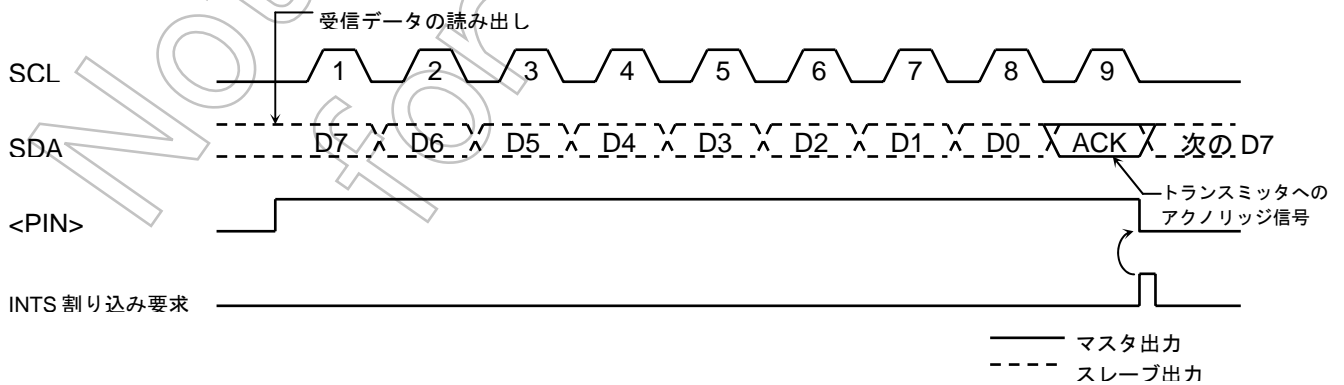


図 15.16 <BC2:0> = “000”, <ACK> = “1” のときの例 (レシーバモード)

トランスミッタに対してデータの送信を終了させるときは、最後に受信したいデータの1ワード手前のデータを読み出す前に <ACK> を “0” にします。これにより、最終データのアクノリッジのためのクロックは発生されなくなります。転送終了の割り込み要求発生後の処理で、<BC2:0> = “001” に設定し、データを読み出すと、1ビット転送のためのクロックを発生します。このときマスタはレシーバなのでバスの SDA ラインは “H” レベルを保ちます。トランスミッタは ACK 信号としてこの “H” レベルを受信するので、レシーバはトランスミッタへ送信終了を知らせることができます。

この1ビット転送の受信終了割り込み要求後の処理で、ストップコンディションを発生させ、データ転送を終了させます。

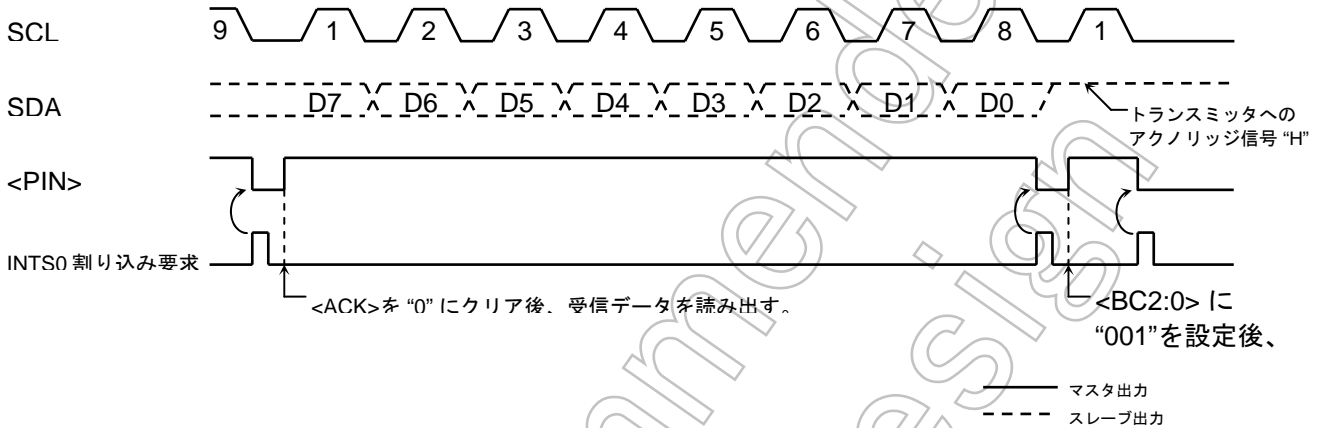


図 15.17 マスタレシーバモード時、データの送信を終了させるときの処理

例：データを N 回受信する場合

INTS0 割り込み（データ送信後）

```

      7 6 5 4 3 2 1 0
SBIOCR1 ← X X X X 0 X X X
Reg.     ← SBIOCBR
割り込み終了
    
```

受信データのビット数および ACK を設定します。
ダミーデータを取り込みます。

INTS0 割り込み（データ受信 1～(N-2) 回目）

```

      7 6 5 4 3 2 1 0
Reg.     ← SBIDBR
割り込み終了
    
```

1～(N-2) 回目のデータを取り込みます。

INTS0 割り込み（データ受信 (N-1) 回目）

```

      7 6 5 4 3 2 1 0
SBIOCR1 ← X X X 0 0 X X X
Reg.     ← SBIDBR
割り込み終了
    
```

アクノリッジ信号のクロックを発生しないようにします。
(N-1) 回目のデータを取り込みます。

INTS0 割り込み（データ受信 N 回目）

```

      7 6 5 4 3 2 1 0
SBIOCR1 ← 0 0 1 0 0 X X X
Reg.     ← SBIDBR
割り込み終了
    
```

1ビット転送のためのクロックを発生します。
N 回目のデータを取り込みます。

INTS0 割り込み（データ受信後）

ストップコンディションを発生する処理
割り込み終了

データ転送を終了させます。

(注) X: Don't care

② スレーブモードの場合 (〈MST〉 = “0”)

スレーブモードのとき、マスタが送ったスレーブアドレス、またはゼネラルコールを受信したとき、もしくは、受信したスレーブアドレスが一致した後、またはゼネラルコールを受信した後のデータ転送終了時に INTSO 割り込み要求が発生します。また、マスタモードのとき、アービトレーションロストを検出するとスレーブモードとして動作し、アービトレーションロストを検出したワード転送の終了時に INTSO 割り込み要求が発生します。INTSO 割り込み要求が発生すると〈PIN〉が“0”にされ、SCL 端子を“L”レベルに引き下げます。SBIDBR にデータを書き込む、SBIDBR からデータを読み出す、または〈PIN〉に“1”を設定すると SCL 端子が t_{LOW} 後に開放されます。

スレーブモード時は、通常のスレーブモードとしての処理、またはアービトレーションロストを検出し、スレーブモードになったときの処理を行います。

SBISR 〈AL〉、〈TRX〉、〈AAS〉、〈ADO〉 をテストし、場合分けを行います。表 15.1 にスレーブモード時の状態と必要な処理を示します。

例：スレーブマスターモード時スレーブアドレスが一致し、方向ビットが“1”の場合

INTSO 割り込み

```

if TRX = 0
Then その他処理へ移行
if AL = 1
Then その他処理へ移行
if AAS = 0
Then その他処理へ移行
SBICR1 ← X X X 1 0 X X X      送信ビット数を設定します。
SBIDBR ← X X X X 0 X X X      送信データをセットします。

```

(注) X: Don't care

表 15.1 スレーブモード時の処理

<TRX>	<AL>	<AAS>	<AD0>	状態	処理
1	1	1	0	スレーブアドレス送信中にアービトレーションロストを検出し、他のマスタが送った方向ビットが“1”のスレーブアドレスを受信	1 ワードのビット数を <BC2:0> にセットし、送信するデータを SBIDBR に書き込みます。
	0	1	0	スレーブレシーバモード時、マスタが送った方向ビットが“1”のスレーブアドレスを受信	
	0	0	0	スレーブトランスミッタモード時、1 ワードのデータの送信が終了	LRB をテストし、“1” にセットされていた場合、レシーバが次のデータを要求していないので <PIN> に“1” をセット、<TRX> を“0” にリセットしバスを開放します。<LRB> が“0” にリセットされていた場合、レシーバが次のデータを要求しているため 1 ワードのビット数を <BC2:0> にセットし、送信するデータを SBIDBR に書き込みます。
0	1	1	1/0	スレーブアドレス送信中にアービトレーションロストを検出し、他のマスタが送った方向ビットが“0”のスレーブアドレス、またはゼネラルコールを受信	<PIN> を“1” にセットするために SBIDBR を読み出します。(ダミー読み出し) または <PIN> に“1” を書き込みます。
		0	0	スレーブアドレスを送信中またはデータ送信中にアービトレーションロストを検出し、そのワードの転送が終了	
	0	1	1/0	スレーブレシーバモード時、マスタの送った方向ビットが“0”のスレーブアドレス、またはゼネラルコールを受信	1 ワードのビット数を <BC2:0> にセットし、受信データを SBIDBR から読み出します。
		0	1/0	スレーブレシーバモード時、1 ワードのデータの受信が終了	

15.6.4 ストップコンディションの発生

SBISR <BB> = “1” のときに、SBICR2 <MST, TRX, PIN> に “1”、<BB> に “0” を書き込むとバス上にストップコンディション出力のシーケンスを開始します。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN> の内容を書き替えないでください。

なお、バスの SCL ラインが他のデバイスにより引かれていた場合、SCL ラインが開放されるのを待ち、SDA 端子が立ち上がり、ストップコンディションが発生します。

```

          7 6 5 4 3 2 1 0
SBICR2 ← 1 1 0 1 1 0 0 0   ストップコンディションを発生させます。

```

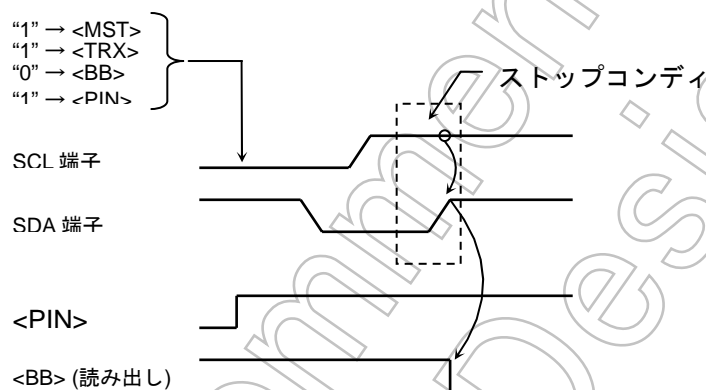


図 15.18 ストップコンディションの発生

15.6.5 再スタートの手順

再スタートはマスタデバイスがスレーブデバイスに対して、データ転送を終了させずに転送の方向を変化させるときに使用します。マスタモード時、再スタートを発生する場合の手順を以下に示します。

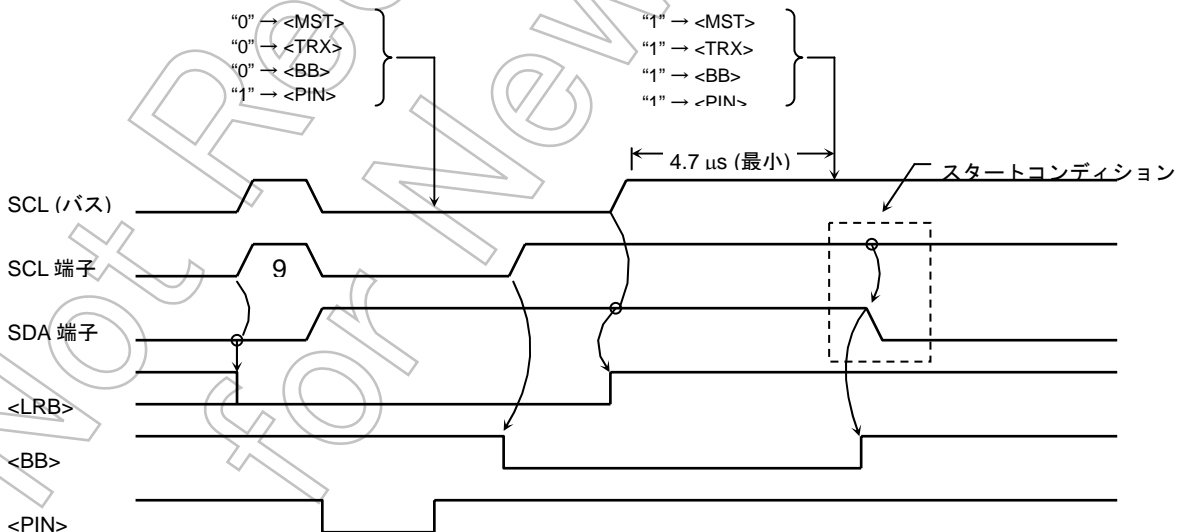
まず、SBICR2 <MST, TRX, BB> に “0”、<PIN> に “1” を書き込み、バスを開放します。このとき SDA 端子は “H” レベルを保ち、SCL 端子が開放され、バス上にストップコンディションが発生されないため、他のデバイスからみるとバスはビジー状態のままです。このあと、SBISR <BB> をテストして “0” になるまで待ち、SCL 端子が開放されたことを確認します。次に <LRB> をテストして “1” になるまで待ち、他のデバイスがバスの SCL ラインを “L” レベルに引いていないことを確認します。以上の手順によってバスがフリー状態になっていることを確認した後、前記 (2) の手順で、スタートコンディションの発生を行います。

なお、再スタート時のセットアップタイムを満たすために、バスフリーの確認からスタートの発生まで最低 4.7μs（標準モード時）のソフトウェアによる待ち時間が必要です。

```

┌─── 7 6 5 4 3 2 1 0
└── SBICR2 ← 0 0 0 1 1 0 0 0   バスを解放します。
┌── if SBISR<BB> ≠ 0           SCL 端子の解放を確認します。
└── Then
    ┌── if SBISR<LRB> ≠ 1       他のデバイスの SCL 端子 “L” レベルの確認を行います。
    └── Then
        4.7 μs Wait
        SBICR1 ← X X X 1 0 X X X   アクノリッジメントモードに設定します。
        SBIDBR ← X X X X X X X X   目的のスレーブのスレーブアドレスと方向をセットします。
        SBICR2 ← 1 1 1 1 1 0 0 0   スタートコンディションの発生を行います。
    
```

(注) X: Don't care



(注) <MST>=" 0" の状態の時に<MST>=" 0" をライトしないでください (再スタートできません)。

図 15.19 再スタートを発生する場合のタイミングチャート

15.7 クロック同期式 8 ビット SIO モード時の制御

シリアルバスインタフェースをクロック同期式 8 ビット SIO モードで使用するときの制御、および動作状態のモニタは、以下のレジスタで行います。

シリアルバスインタフェース制御レジスタ 0

SBICR0
(0xFFFF_F257)

	7	6	5	4	3	2	1	0
bit Symbol	SBIEN							
Read/Write	R/W				R			
リセット後	0				0			
機能	SBI 動作 0: 禁止 1: 許可		リードすると"0"が読めます					

<SBIEN> : SBIを使用する場合は、SBIモジュールの各レジスタを設定する前にSBI動作許可("1")にしてください。

シリアルバスインタフェース制御レジスタ 1

SBICR1
(0xFFFF_F250)

	7	6	5	4	3	2	1	0
bit Symbol	SIOS	SIOINH	SIOM1	SIOM0		SCK2	SCK1	SCK0
Read/Write	W				R	W		R/W
リセット後	0	0	0	0	1	0	0	1
機能	転送の開始/終了 0: 終了 1: 開始	転送の強制停止 0: 転送継続 1: 強制停止	転送モードの選択 00: 送信モード (予約) 01: 送受信モード 10: 送受信モード 11: 受信モード		リードすると"1"が読めます	シリアルクロック周波数の選択		

シリアルクロック周波数の選択 <SCK2:0> @ライト

000	n = 3	1.25 MHz	$\left. \begin{array}{l} \text{システムクロック} : f_{\text{sys}} \\ \text{クロックギア} : f_c/1 \\ \text{周波数} = \frac{f_{\text{sys}}/4}{2^n} \text{ [Hz]} \end{array} \right\}$
001	n = 4	625 kHz	
010	n = 5	313 kHz	
011	n = 6	156 kHz	
100	n = 7	78 kHz	
101	n = 8	39 kHz	
110	n = 9	20 kHz	
111	—	外部クロック	

(注) 転送モード、シリアルクロックの設定時は、<SIOS> = "0"、および、<SIOINH> = "1" に設定してください。

シリアルバスインタフェースデータバッファレジスタ

SBIDBR
(0xFFFF_F251)

	7	6	5	4	3	2	1	0
bit Symbol	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
Read/Write	R (受信)/W (送信)							
リセット後	不定							

図 15.20 SIO モード関係のレジスタ

シリアルバスインタフェース制御レジスタ 2

SBICR2
(0xFFFF_F253)

	7	6	5	4	3	2	1	0
bit Symbol					SBIM1	SBIM0		
Read/Write	R				W		R	
リセット後	1				0	0	1	
機能	リードすると"1"が読めます				シリアルバスインタフェースの動作モード選択 00: ポートモード 01: クロック同期式 8bit SIO モード 10: I ² Cバスモード 11: (予約)		リードすると"1"が読めます	

シリアルバスインタフェースレジスタ

SBISR
(0xFFFF_F253)

	7	6	5	4	3	2	1	0
bit Symbol					SIOF	SEF		
Read/Write	R				R		R	
リセット後	1				0	0	1	
機能	リードすると"1"が読めます				シリアル転送動作状態モニタ 0: 転送終了 1: 転送中	シフト動作状態モニタ 0: シフト動作終了 1: シフト転送中	リードすると"1"が読めます	

シリアルバスインタフェースポーレートレジスタ 0

SBIBR0
(0xFFFF_F254)

	7	6	5	4	3	2	1	0
bit Symbol		I2SBI						
Read/Write	R	R/W	R					W
リセット後	1	0	1					0
機能	リードすると"1"が読めます	IDLE 0: 停止 1: 動作	リードすると"1"が読めます					必ず"0"をライトしてください。

図 15.21 SIO モード関係のレジスタ

15.7.1 シリアルクロック

① クロックソース

SBCR1 <SCK2:0> により、次の選択ができます。

内部クロック

内部クロックモードでは7種類の周波数が選択できます。シリアルクロックはSCK端子より外部に出力されます。なお、転送開始時SCK端子出力は“H”レベルになります。

プログラムでデータの書き込み（送信時）またはデータの読み出し（受信時）がこのシリアルクロックレートに追従できないときには、自動的にシリアルクロックを停止し、それらの処理が終了するまで次のシフト動作を待機させる自動ウェイト機能を有しています。

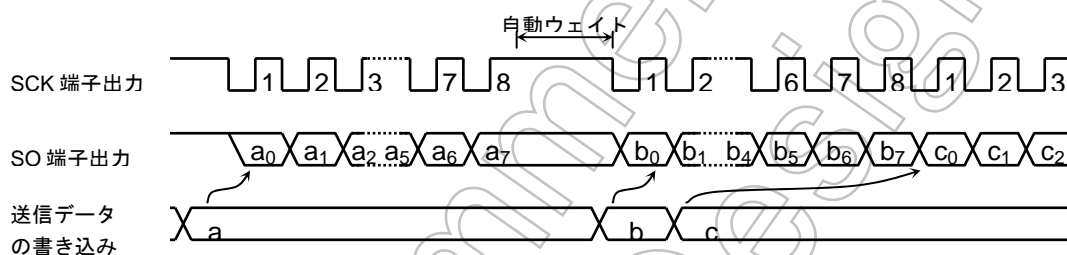


図 15.22 自動ウェイト機能

外部クロック (<SCK2:0> = “111”)

外部からSCK端子に供給されるクロックをシリアルクロックとして用います。なお、シフト動作を確実にを行うためには、シリアルクロックの“H”レベル、“L”レベル幅は下記に示すパルス幅が必要です。

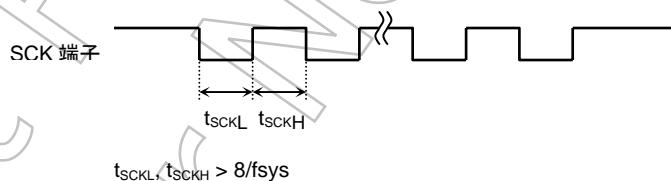


図 15.23 外部クロック入力時の最大転送周波数

② シフトエッジ

送信は前縁シフト，受信は後縁シフトになります。

前縁シフト

シリアルクロックの前縁（SCK 端子入出力の立ち下がりエッジ）でデータをシフトします。

後縁シフト

シリアルクロックの後縁（SCK 端子入出力の立ち上がりエッジ）でデータをシフトします。

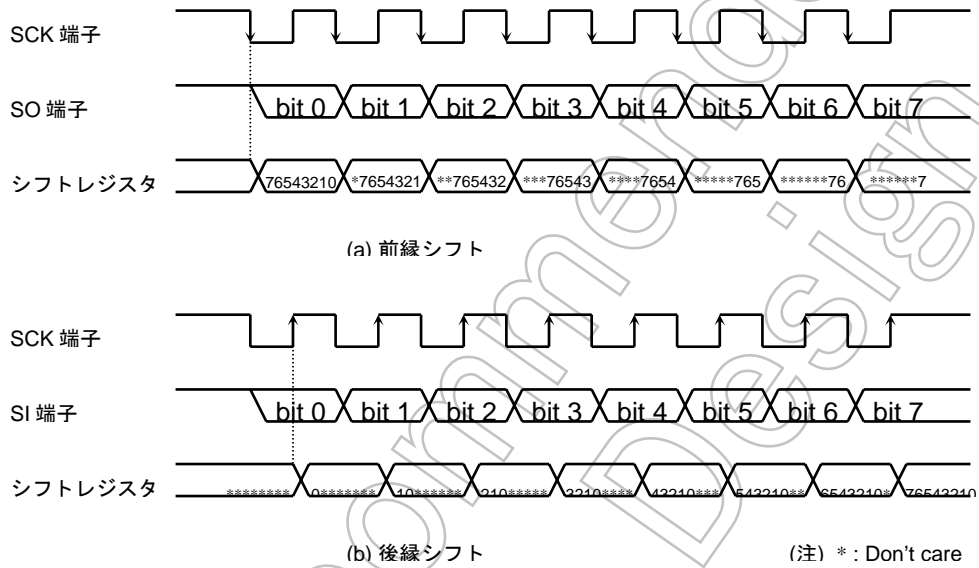


図 15.24 シフトエッジ

15.7.2 転送モード

SBICR1 <SIOM1:0> で、送信/受信/送受信モードを選択します。

① 8ビット送信モード

制御レジスタに送信モードをセットした後、送信データを SBIDBR に書き込みます。

送信データの書き込み後、SBICR1 <SIOS> = “1” を書き込むことにより送信が開始されます。送信データは、SBIDBR からシフトレジスタに移され、シリアルクロックに同期して最下位ビット (LSB) 側から S0 端子に出力されます。送信データがシフトレジスタに移されると、SBIDBR が空になりますので、次の送信データを要求する INTS0 (バッファエンプティ) 割り込み要求が発生します。

内部クロック動作の場合、8ビットのデータをすべて送信したあと、次のデータがセットされていないとシリアルクロックを停止して自動ウェイト動作を行います。次の送信データを書き込むと自動ウェイト動作は解除されます。

外部クロック動作の場合、次のデータのシフト動作に入る前に、SBIDBR にデータが書き込まれている必要があります。したがって、転送速度は割り込み要求の発生から割り込みサービスプログラムにて、SBIDBR にデータを書き込むまでの最大遅れ時間により決まります。

送信開始時、SBISR <SIOF> が “1” となってから SCK の立ち下がりがエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送信を終了させるには、INTS0 割り込みサービスプログラムで <SIOS> = “0” を書き込むか <SIOINH> = “1” を書き込みます。<SIOS> がクリアされると、データがすべて出力された時点で送信終了します。プログラムで送信の終了の確認は SBIOSR <SIOF> で行います。<SIOF> は送信の終了で “0” になります。<SIOINH> = “1” を書き込んだ場合はただちに送信を打ち切り、<SIOF> は “0” になります。

外部クロック動作では、次の送信データのシフト動作に入る前に <SIOS> を “0” にする必要があります。もしシフトアウトする前に <SIOS> が “0” にされなかった場合は、ダミーのデータの送信後、停止します。

	7 6 5 4 3 2 1 0	
SBICR1	← 0 1 0 0 0 X X X	送信モードをセットします。
SBIDBR	← X X X X X X X X	送信データを書き込みます。
SBICR1	← 1 0 0 0 0 X X X	送信を開始します。

INTS0 割り込み

SBIDBR	← X X X X X X X X	送信データを書き込みます。
--------	-------------------	---------------

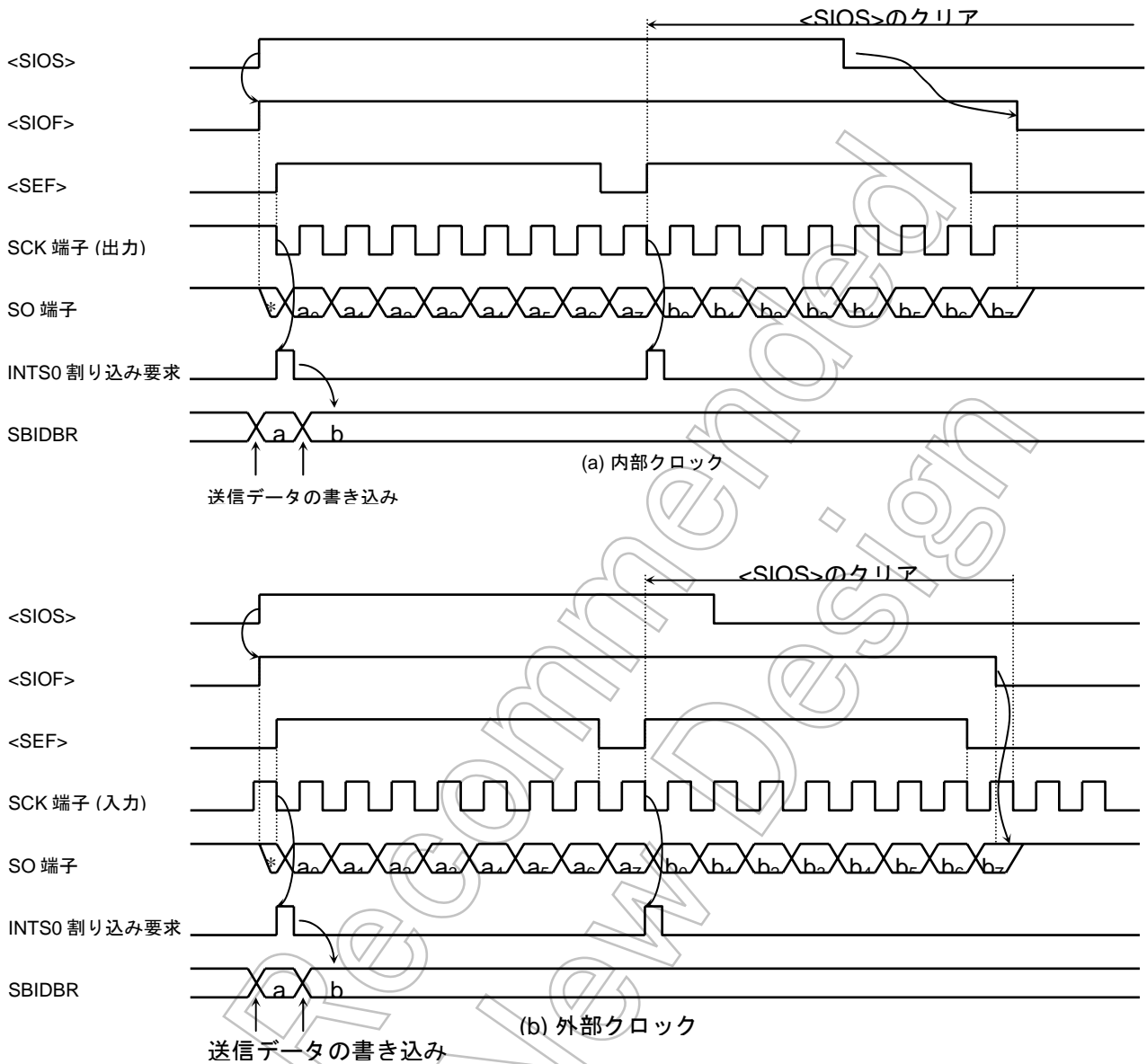


図 15.25 送信モード

例: <SIO> の送信終了指示 (外部クロックの場合) の場合のプログラム例 (MIPS16)

```

STEST1      : ADDIU   r3, r0, 0x04
              : LB     r2, (SBISR)           ; If SBISR<SEF> = 1 then loop
              : AND    r2, r3
              : BNEZ   r2, STEST1
STEST2      : ADDIU   r3, r0, 0x20
              : LB     r2, (PA)             ; If SCK = 0 then loop
              : AND    r2, r3
              : BEQZ   r2, STEST2
              : ADDIU  r3, r0, 0y00000111
              : STB    r3, (SBICR1)        ; <SIOS> ← 0
    
```

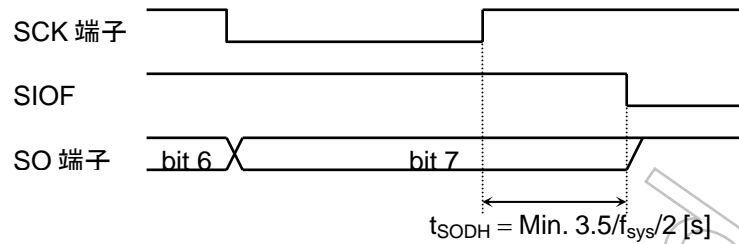


図 15.26 送信終了時の送信データ保持時間

② 8ビット受信モード

制御レジスタに受信モードをセットした後、SBICR1 <SIOS> = “1” を書き込むことにより受信可能となります。シリアルクロックに同期して、SI 端子より最下位ビット側からシフトレジスタへデータを取り込みます。8ビットのデータが取り込まれるとシフトレジスタから SBIDBR に受信データが書き込まれ、受信データの読み出しを要求する INTSO (バッファフル) 割り込み要求が発生します。受信データは、割り込みサービスプログラムにて SBIDBR から読み出します。

内部クロック動作の場合、受信データが SBIDBR から読み出されるまでシリアルクロックを停止する自動ウェイト動作を行います。

外部クロック動作の場合は、シフト動作が外部から供給されるクロックに同期します。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データの読み出しまでの最大遅れ時間により決まります。

受信を終了させるには INTSO 割り込みサービスプログラムで <SIOS> = “0” を書き込むか、<SIOINH> = “1” を書き込みます。<SIOS> がクリアされると、受信データが全ビット揃い、SBIDBR への書き込みが完了した時点で受信が終了します。プログラムで受信の終了の確認は、SBISR <SIOF> で行います。<SIOF> は受信の終了で “0” にされます。受信終了の確認のあと最終受信データを読み出します。<SIOINH> = “1” を書き込んだ場合は、ただちに受信を打ち切り、<SIOF> は “0” になります (受信データは無効になりますので読み出す必要はありません)。

(注) 転送モードを切り替えると SBIDBR の内容は保持されません。もし、転送モードの切り替えが必要な場合は、受信終了指示 (<SIOS> = “0” を書き込む) を行い、最終受信データを読み出したあとで切り替えてください。

	7 6 5 4 3 2 1 0			
SBICR1	← 0 1 1 1 0 X X X			受信モードをセットします。
SBICR1	← 1 0 1 1 0 0 0 0			受信を開始します。

INTSO 割り込み

Reg.	← SBIDBR		受信データを取り込みます。
------	----------	--	---------------

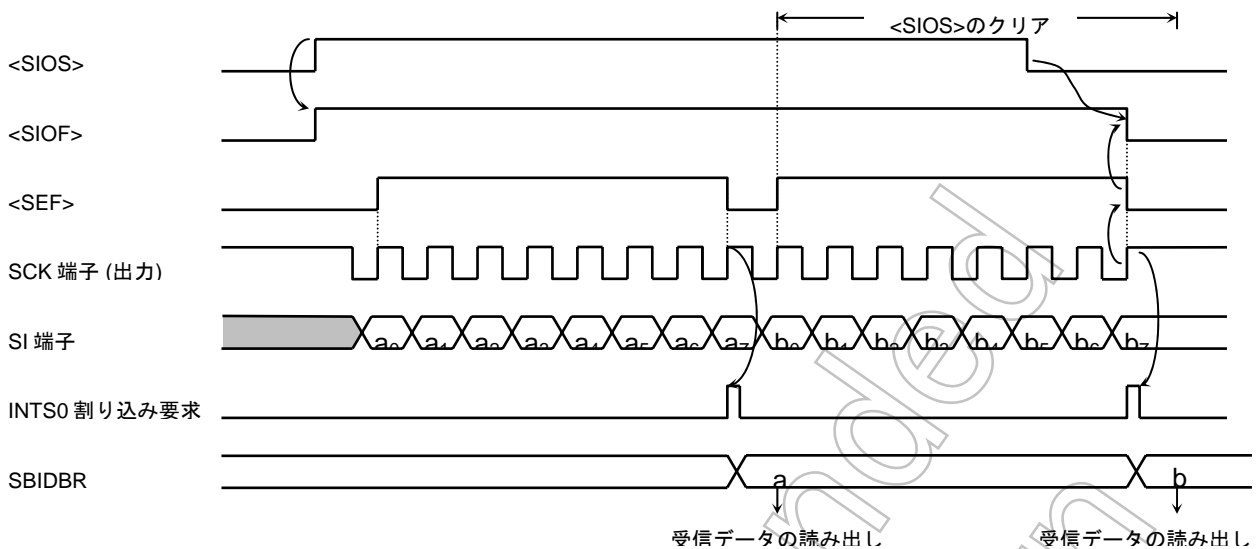


図 15.27 受信モード (例: 内部クロック)

③ 8ビット送受信モード

制御レジスタに送受信モードをセットした後、送信データを SBIDBR に書き込みます。その後、SBICR1 <SIOS> に “1” をセットすることにより送受信可能となります。最下位ビットから、シリアルクロックの立ち下がりでの送信データが S0 端子から出力され、立ち上がりで受信データが SI 端子から取り込まれます。8ビットのデータが取り込まれると、シフトレジスタから SBIDBR へ受信データが転送され、INTSO 割り込み要求が発生します。割り込みサービスプログラムにて受信データをデータバッファレジスタから読み出し、そのあと送信データを書き込みます。SBIDBR は、送信/受信モードで兼用していますので、送信データは、かならず受信データを読み出してから書き込むようにしてください。

内部クロック動作の場合、受信データを読み出し、次の送信データを書き込むまで自動ウェイト動作を行います。

外部クロック動作の場合、シフト動作が外部から供給されるシリアルクロックに同期するので、次のシフト動作に入る前に受信データを読み出し、次の送信データを書き込む必要があります。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データを読み出し、送信データを書き込むまでの最大遅れ時間により決まります。

送信開始時、<SIOF> が “1” となってから SCK の立ち下がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送受信を終了させるには、INTSO 割り込みサービスプログラムで <SIOS> = “0” を書き込むか SBICR1 <SIOINH> = “1” を書き込みます。<SIOS> がクリアされると、受信データが揃い、SBIDBR への転送が完了した時点で送受信が終了します。プログラムで送受信の終了の確認は、SBISR <SIOF> で行います。<SIOF> は送受信の終了で “0” にされます。<SIOINH> をセットした場合は、ただちに送受信を打ち切り、<SIOF> は “0” にされます。

(注) 転送モードを切り替えると SBIDBR の内容は保持されません。もし、転送モードの切り替えが必要な場合は、送受信終了指示 (<SIOS> = “0” を書き込む) を行い、最終受信データを読み出したあとで切り替えてください。

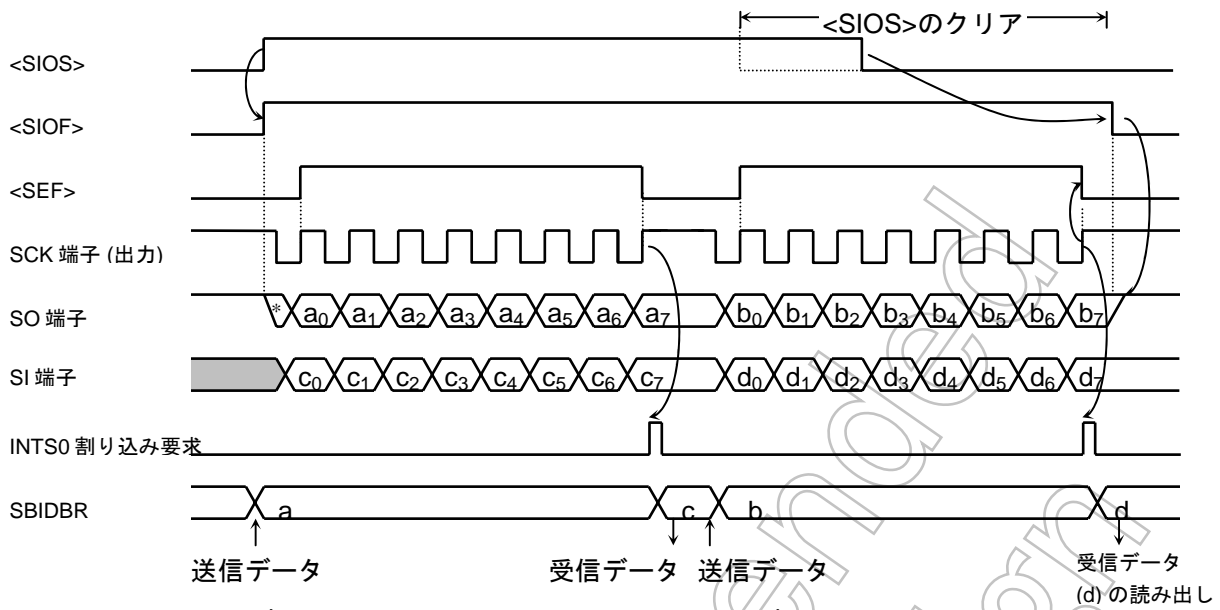


図 15.28 送受信モード (例: 内部クロック)

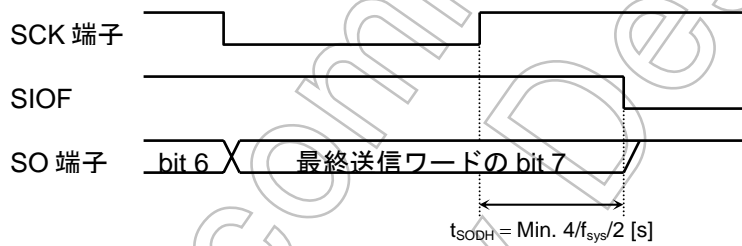


図 15.7 送受信終了時の送信データ保持時間 (送受信モード時)

	7	6	5	4	3	2	1	0	
SBICR1	←	0	1	1	0	0	X	X	X
									送信モードをセットします。
SBIDBR	←	X	X	X	X	X	X	X	送信データを書き込みます。
SBICR1	←	1	0	1	0	0	X	X	送受信を開始します。

INTS0 割り込み

Reg.	←	SBIODBR	受信データを取り込みます。						
SBIDBR	←	X	X	X	X	X	X	X	送信データを書き込みます。

16. アナログ/デジタルコンバータ

TMP19A43 は、16 チャンネルのアナログ入力を持つ、10 ビット逐次変換方式アナログ/デジタルコンバータ (A/D コンバータ) を内蔵しています。

図 16-1に、A/D コンバータのブロック図を示します。

16 チャンネルのアナログ入力端子 (AN0~AN15) は、入力専用ポートと兼用です。

(注) IDLE、SLEEP、SLOW、STOP モードにより電源電流を低減させる場合、以下の条件で使われる場合には、A/D コンバータの動作を停止して、スタンバイモードに移行する命令を実行してください。

- 1) ADMOD1<I2AD>=" 0" で IDLE モードへ移行する場合
- 2) SLEEP、SLOW、STOP モードへ移行する場合

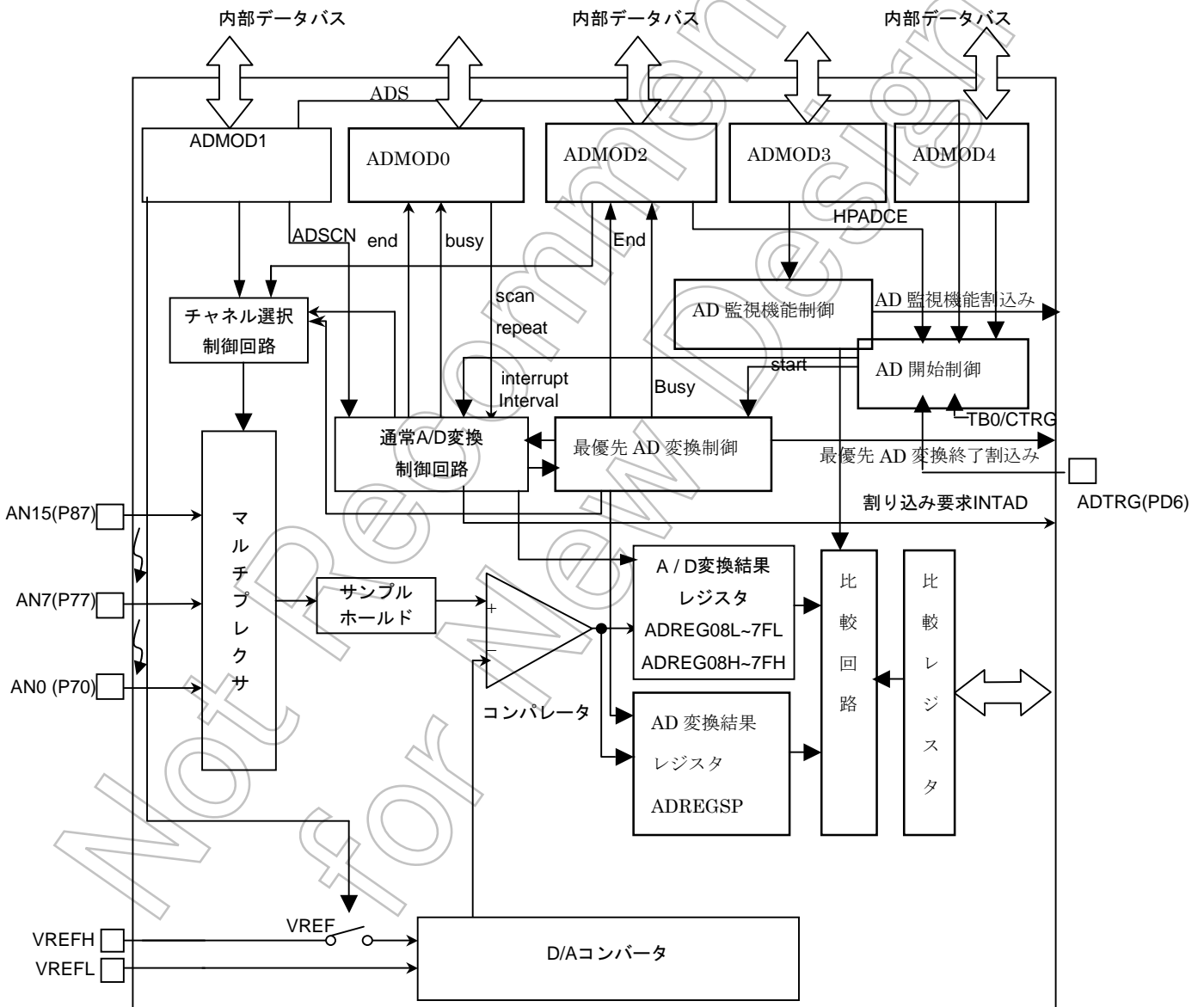


図 16-1 A/D コンバータのブロック図

注) 変換精度を保証するために A/D 変換開始前に必ず下記設定を行ってください。

0xFFFF_F319 = 0x58

ADCBAS (0xFFFF_F319)		7	6	5	4	3	2	1	0
	bit Symbol								
	Read/Write	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W
	リセット後	0	0	1	1	1	0	0	0
機能	“0” をラ イトして ください。	“1” をラ イトして ください。	“0” をラ イトして ください。	“1” をラ イトして ください。	“1” をラ イトして ください。	“0” をラ イトして ください。	“0” をラ イトして ください。	“0” をラ イトして ください。	“0” をラ イトして ください。

16.1 コントロールレジスタ

A/D コンバータは、A/D モードコントロールレジスタ (ADMOD0、ADMOD1、ADMOD2、ADMOD3、ADMOD4) により制御されています。また、A/D 変換結果は、A/D 変換結果上位/下位レジスタ ADREG08H/L、~ADREG7FH/L の 16 個のレジスタに格納されます。また、最優先変換結果は ADREGSPH/L に格納されます。

図 16-2に A/D コンバータ関係のレジスタを示します。

A/D モードコントロールレジスタ 0

ADMOD0 (0xFFFF_F314)		7	6	5	4	3	2	1	0
	bit Symbol	EOCFN	ADBFN		ITM1	ITM0	REPEAT	SCAN	ADS
	Read/Write		R		R		R/W		
	リセット後	0	0	0	0	0	0	0	0
機能	通常 A/D 変換 終了フラグ 0: 変換前または変換中 1: 終了	通常 A/D 変換 BUSY フラグ 0: 変換停止 1: 変換中	リードすると “0”が読めます	チャンネル固 定リピー ト変換モード 時の割り込 み指定	チャンネル固 定リピー ト変換モード 時の割り込 み指定	リピー トモード指定 0: シングル 変換モード 1: リピー ト変換モード	スキャン モード指定 0: チャン ネル固 定モード 1: チャン ネル スキャン モード	A/D 変換 スタート 0: Don't care 1: 変換開始 リードすると 常に “0” が読 み出されま す。	

→ チャンネル固定リピート変換モード時の A/D 変換割り込み指定

	チャンネル固定リピート変換モード <SCAN> = “0”, <REPEAT> = “1”
00	1 回変換するごとに割り込み発生
01	4 回変換するごとに割り込み発生
10	8 回変換するごとに割り込み発生
11	設定禁止

図 16-2 A/D コンバータ関係のレジスタ

A/D モードコントロールレジスタ 1

	7	6	5	4	3	2	1	0	
ADMOD1 (0xFFFF_F315)	bit Symbol	VREFON	I2AD	ADSCN	—	ADCH3	ADCH2	ADCH1	ADCH0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	VREF 印加 制御 0: OFF 1: ON	IDLE 0: 停止 1: 動作	チャンネルスキ ャン時の動作 モード設定 0: 4ch スキャン 1: 8ch スキャン	0 を記入して ください。	アナログ入力チャンネル選択			

アナログ入力チャンネル選択

<ADCH3,2, 1, 0>	<SCAN>		
	0 チャンネル固定	1 チャンネルスキャン (ADSCN=0)	1 チャンネルスキャン (ADSCN= 1)
0000	AN0	AN0	AN0
0001	AN1	AN0~AN1	AN0~AN1
0010	AN2	AN0~AN2	AN0~AN2
0011	AN3	AN0~AN3	AN0~AN3
0100	AN4	AN4	AN0~AN4
0101	AN5	AN4~AN5	AN0~AN5
0110	AN6	AN4~AN6	AN0~AN6
0111	AN7	AN4~AN7	AN0~AN7
1000	AN8	AN8	AN8
1001	AN9	AN8~AN9	AN8~AN9
1010	AN10	AN8~AN10	AN8~AN10
1011	AN11	AN8~AN11	AN8~AN11
1100	AN12	AN12	AN8~AN12
1101	AN13	AN12~AN13	AN8~AN13
1110	AN14	AN12~AN14	AN8~AN14
1111	AN15	AN12~AN15	AN8~AN15

(注 1) AD 変換をスタートさせる場合は、かならず<VREFON>ビットに” 1” を書き込んだ後、内部基準電圧が安定するまでの 3 μ s 待ってから、ADMOD0<ADS>ビットに” 1” を書き込んでください。

(注 2) AD 変換終了後にスタンバイモードへ移行する場合は、<VREFON>を” 0” に設定してください。

図 16-3 A/D コンバータ関係のレジスタ

A/D モードコントロールレジスタ 2

ADMOD2
(0xFFFF_F316)

	7	6	5	4	3	2	1	0
bit Symbol	EOCFHP	ADBFHP	HPADCE	—	HPADCH3	HPADCH2	HPADCH1	HPADCH0
Read/Write	R	R	R/W					
リセット後	0	0	0	0	0	0	0	0
機能	最優先 AD 変換終了フラグ 0 : 変換前または変換中 1 : 終了	最優先 AD 変換 BUSY フラグ 0 : 変換停止 1 : 変換中	最優先変換の起動 0: Don't care 1: 変換開始 読み出しは常に0	"0"をかいてください。	最優先変換起動時のアナログ入力チャンネル選択			

<HPADCH4,3,2,1,0>	最優先変換時のアナログ入力チャンネル
0000	AN0
0001	AN1
0010	AN2
0011	AN3
0100	AN4
0101	AN5
0110	AN6
0111	AN7
1000	AN8
1001	AN9
1010	AN10
1011	AN11
1100	AN12
1101	AN13
1110	AN14
1111	AN15

A/D モードコントロールレジスタ 3

ADMOD3 (0xFFFF_F317)	bit Symbol			ADOBIC	REGS3	REGS2	REGS1	REGS0	ADOBISV
	Read/Write	R/W	R	R/W					
	リセット後	0	0	0	0	0	0	0	0
	機能	0 をライトしてください	リードすると"0"が読めます	AD 監視機能 割込みの設定 0 : 比較 Regi より小 1 : 比較 Regi より大	AD 監視機能が Enable 時に比較 Regi の内容と比較される A/D 変換結果格納 Regi の選択 BIT				

<REGS.2, 1, 0>	比較される AD 変換格納レジスタ
0000	ADREG08
0001	ADREG19
0010	ADREG2A
0011	ADREG3B
0100	ADREG4C
0101	ADREG5D
0110	ADREG6E
0111	ADREG7F
1XXX	ADREGSP

A/D モードコントロールレジスタ 4

ADMOD4 (0xFFFF_F318)	bit Symbol	HADHS	HADHTG	ADHS	ADHTG			ADRST1	ADRST0
	Read/Write	R/W				R		W	W
	リセット後	0	0	0	0	0		—	—
	機能	最優先 AD 変換の HW 起動ソース 0 : 外部 TRG 1 : TB9RG0 一致	最優先 AD 変換の HW 起動 0 : Disable 1 : Enable	通常 AD 変換の HW 起動ソース 0 : 外部 TRG 1 : TB1RG0 一致	通常 AD 変換の HW 起動 0 : Disable 1 : Enable	リードすると"0"が読めます		10-01 のライトで ADC を software reset する	

(注 1) 16 ビットタイマの一致トリガ<ADHTG>、<HADHTG>に"1"を設定して H/W 起動リソースによる AD 変換を行う場合、

- ① タイマ停止中に
- ② H/W のソースを選択 <ADHS>、<HADHS>
- ③ AD 変換の H/W 起動をイネーブル <ADHTG>、<HADHTG>
- ④ タイマ動作

の順に設定することにより、一定間隔での AD 起動が可能となります。

(注 2) 最優先 AD 変換、通常 AD 変換設定は同時に行わないで下さい。

(注 3) 最優先 AD 変換の HW 起動ソースに外部トリガを使用しているときは、通常 AD 変換 HW 起動としては外部トリガを設定できません。

A/D 変換結果下位レジスタ 08

	7	6	5	4	3	2	1	0
ADREG08L (0xFFFF_F300)	ADR01	ADR00					OVR0	ADR0RF
Read/Write	R		R				R	R
リセット後	0		1				0	0
機能	A/D 変換結果下位 2ビット格納		リードすると"1"が読めます				Over RUN flag 0:発生無し 1:発生	A/D 変換結果 格納フラグ 1:変換結果有

A/D 変換結果上位レジスタ 08

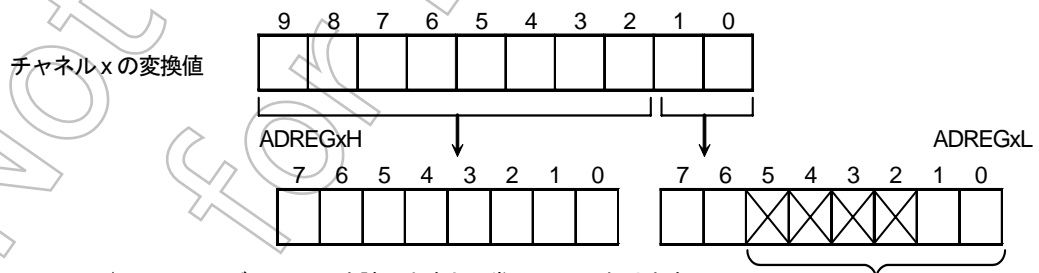
	7	6	5	4	3	2	1	0
ADREG08H (0xFFFF_F301)	ADR09	ADR08	ADR07	ADR06	ADR05	ADR04	ADR03	ADR02
Read/Write	R							
リセット後	0							
機能	A/D 変換結果上位 8ビット格納							

A/D 変換結果下位レジスタ 19

	7	6	5	4	3	2	1	0
ADREG19L (0xFFFF_F302)	ADR11	ADR10					OVR1	ADR1RF
Read/Write	R		R				R	R
リセット後	0		1				0	0
機能	A/D 変換結果下位 2ビット格納		リードすると"1"が読めます				Over RUNflag 0:発生無し 1:発生	A/D 変換結果 格納フラグ 1:変換結果有

A/D 変換結果上位レジスタ 19

	7	6	5	4	3	2	1	0
ADREG19H (0xFFFF_F303)	ADR19	ADR18	ADR17	ADR16	ADR15	ADR14	ADR13	ADR12
Read/Write	R							
リセット後	0							
機能	A/D 変換結果上位 8ビット格納							



- ADREG08L/ADREG19L のビット 5~2 を読み出すと、常に "1" になります。
- ADREG08L/ADREG19L のビット 0 は、A/D 変換結果格納フラグ <ADRxRF> です。A/D 変換値が格納されると、"1" にセットされます。下位のレジスタ (ADREGxL) をリードすると、"0" にされます。
- ADREG08L/ADREG19L のビット 1 は over RUN flag <OVRx> です。両方の変換結果格納レジスタ (ADREGxH,ADREGxL) を Read する前に変換結果が上書きされると 1 に Set されます。Flag の Read により 0 にクリアされます。

図 16-4 A/D コンバータ関係のレジスタ

A/D 変換結果下位レジスタ 2A

	7	6	5	4	3	2	1	0	
ADREG2AL (0xFFFF_F304)	bit Symbol		ADR21	ADR20				OVR2	ADR2RF
	Read/Write		R		R			R	R
	リセット後		0		1			0	0
	機能		A/D 変換結果下位 2ビット格納		リードすると"1"が読めます			Over flag 0: 発生無し 1: 発生	RUN A/D 変換結果 格納フラグ 1: 変換結果有

A/D 変換結果上位レジスタ 2A

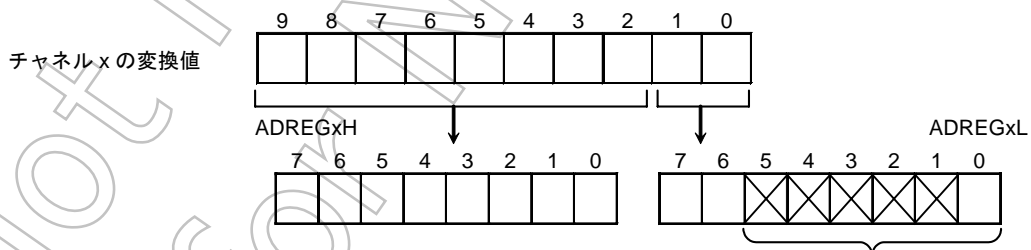
	7	6	5	4	3	2	1	0		
ADREG2AH (0xFFFF_F305)	bit Symbol		ADR29	ADR28	ADR27	ADR26	ADR25	ADR24	ADR23	ADR22
	Read/Write		R							
	リセット後		0							
	機能		A/D 変換結果上位 8ビット格納							

A/D 変換結果下位レジスタ 3B

	7	6	5	4	3	2	1	0	
ADREG3BL (0xFFFF_F306)	bit Symbol		ADR31	ADR30				OVR3	ADR3RF
	Read/Write		R		R			R	R
	リセット後		0		1			0	0
	機能		A/D 変換結果下位 2ビット格納		リードすると"1"が読めます			Over flag 0: 発生無し 1: 発生	RUN A/D 変換結果 格納フラグ 1: 変換結果有

A/D 変換結果上位レジスタ 3B

	7	6	5	4	3	2	1	0		
ADREG3BH (0xFFFF_F307)	bit Symbol		ADR39	ADR38	ADR37	ADR36	ADR35	ADR34	ADR33	ADR32
	Read/Write		R							
	リセット後		0							
	機能		A/D 変換結果上位 8ビット格納							



- ADREG2AL/ADREG3BL のビット 5~2 を読み出すと、常に “1” になります。
- ADREG2AL/ADREG3BL のビット 0 は、A/D 変換結果格納フラグ <ADR_xRF> です。A/D 変換値が格納されると、“1” にセットされます。下位のレジスタ (ADREG_xL) をリードすると、“0” にされます。
- ADREG2AL/ADREG3BL のビット 1 は over RUN flag<OVR_x>です。両方の変換結果格納レジスタ (ADREG_xH,ADREG_xL) を Read する前に変換結果が上書きされると 1 に Set されます。Flag の Read により 0 にクリアされます。
- 変換結果格納レジスタは、上位を先に読み出し、次に下位を読み出してください。

図 16-5 A/D コンバータ関係のレジスタ (1/2)

A/D 変換結果下位レジスタ 4C

	7	6	5	4	3	2	1	0
bit Symbol	ADR41	ADR40					OVR4	ADR4RF
Read/Write	R		R				R	R
リセット後	0		1				0	0
機能	A/D 変換結果下位 2ビット格納		リードすると“1”が読めます				Over RUN flag 0: 発生無し 1: 発生	A/D 変換結果 格納フラグ 1: 変換結果有

A/D 変換結果上位レジスタ 4C

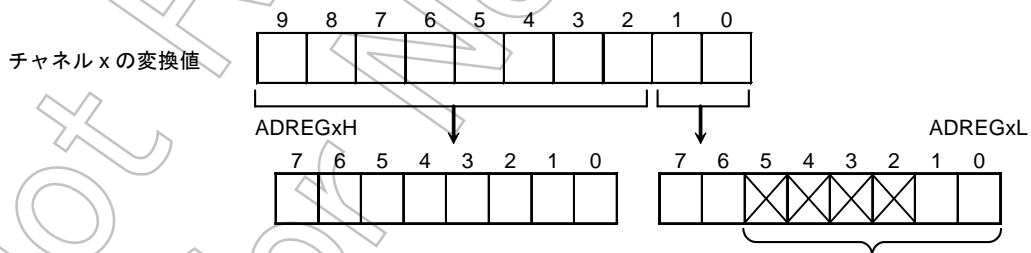
	7	6	5	4	3	2	1	0
bit Symbol	ADR49	ADR48	ADR47	ADR46	ADR45	ADR44	ADR43	ADR42
Read/Write	R							
リセット後	0							
機能	A/D 変換結果上位 8ビット格納							

A/D 変換結果下位レジスタ 5D

	7	6	5	4	3	2	1	0
bit Symbol	ADR51	ADR50					OVR5	ADR5RF
Read/Write	R		R				R	R
リセット後	0		1				0	0
機能	A/D 変換結果下位 2ビット格納		リードすると“1”が読めます				Over RUN flag 0: 発生無し 1: 発生	A/D 変換結果 格納フラグ 1: 変換結果有

A/D 変換結果上位レジスタ 5D

	7	6	5	4	3	2	1	0
bit Symbol	ADR59	ADR58	ADR57	ADR56	ADR55	ADR54	ADR53	ADR52
Read/Write	R							
リセット後	0							
機能	A/D 変換結果上位 8ビット格納							



- ADREG4CL/ADREG5DL のビット 5~2 を読み出すと、常に “1” になります。
- ADREG4CL/ADREG5DL のビット 0 は、A/D 変換結果格納フラグ <ADR_xRF> です。A/D 変換値が格納されると、“1” にセットされます。下位のレジスタ (ADREG_xL) をリードすると、“0” にされます。
- ADREG4CL/ADREG5DL のビット 1 は over Run flag <OVR_x> です。両方の変換結果格納レジスタ (ADREG_xH, ADREG_xL) を Read する前に変換結果が上書きされると 1 に Set されます。Flag の Read により 0 にクリアされます。
- 変換結果格納レジスタは、上位を先に読み出し、次に下位を読み出してください。

A/D 変換結果下位レジスタ 6E

	7	6	5	4	3	2	1	0
bit Symbol	ADR61	ADR60					OVR6	ADR6RF
Read/Write	R		R				R	R
リセット後	0		1				0	0
機能	A/D 変換結果下位 2ビット格納		リードすると“1”が読めます				Over RUN flag 0: 発生無し 1: 発生	A/D 変換結果 格納フラグ 1: 変換結果有

A/D 変換結果上位レジスタ 6E

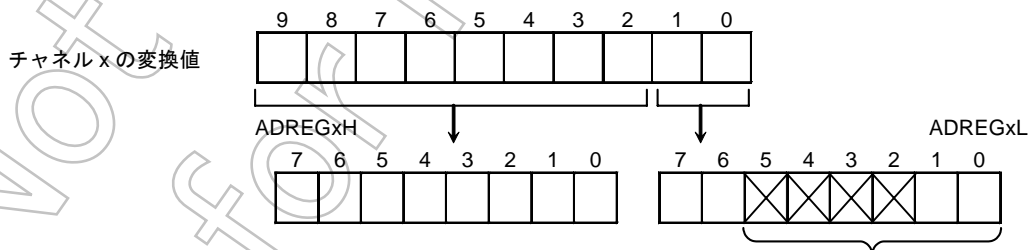
	7	6	5	4	3	2	1	0
bit Symbol	ADR69	ADR68	ADR67	ADR66	ADR65	ADR64	ADR63	ADR62
Read/Write	R							
リセット後	0							
機能	A/D 変換結果上位 8ビット格納							

A/D 変換結果下位レジスタ 7F

	7	6	5	4	3	2	1	0
bit Symbol	ADR71	ADR70					OVR7	ADR7RF
Read/Write	R		R				R	R
リセット後	0		1				0	0
機能	A/D 変換結果下位 2ビット格納		リードすると“1”が読めます				Over RUN flag 0: 発生無し 1: 発生	A/D 変換結果 格納フラグ 1: 変換結果有

A/D 変換結果上位レジスタ 7F

	7	6	5	4	3	2	1	0
bit Symbol	ADR79	ADR78	ADR77	ADR76	ADR75	ADR74	ADR73	ADR72
Read/Write	R							
リセット後	0							
機能	A/D 変換結果上位 8ビット格納							



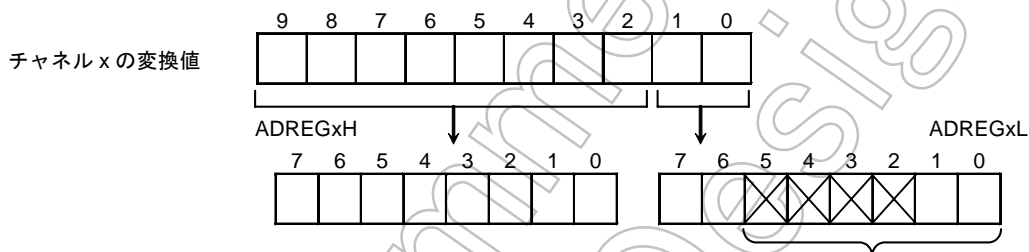
- ADREG6EL/ADREG7FL のビット 5~2 を読み出すと、常に “1” になります。
- ADREG6EL/ADREG7FL のビット 0 は、A/D 変換結果格納フラグ <ADR_xRF> です。A/D 変換値が格納されると、“1” にセットされます。下位のレジスタ (ADREG_xL) をリードすると、“0” にされます。
- ADREG6EL/ADREG7FL のビット 1 は over Run flag <OVR_x> です。両方の変換結果格納レジスタ (ADREG_xH, ADREG_xL) を Read する前に変換結果が上書きされると 1 に Set されます。Flag の Read により 0 にクリアされます。
- 変換結果格納レジスタは、上位を先に読み出し、次に下位を読み出してください。

A/D 変換結果下位レジスタ SP

	7	6	5	4	3	2	1	0
ADREGSPL (0xFFFF_F310)	ADRSP1	ADRSP0					OVRSP	ADRSPRF
Read/Write	R		R				R	R
リセット後	0		1				0	0
機能	A/D 変換結果下位 2ビット格納		リードすると“1”が読めます				Over RUN flag 0: 発生無し 1: 発生	A/D 変換結果 格納フラグ 1: 変換結果有

A/D 変換結果上位レジスタ SP

	7	6	5	4	3	2	1	0
ADREGSPH (0xFFFF_F311)	ADRSP9	ADRSP8	ADRSP7	ADRSP6	ADRSP5	ADRSP4	ADRSP3	ADRSP2
Read/Write	R							
リセット後	0							
機能	A/D 変換結果上位 8ビット格納							



- ADREGSP のビット 5~2 を読み出すと、常に “1” になります。
- ADREGSP のビット 0 は、A/D 変換結果格納フラグ <ADR_xRF> です。A/D 変換値が格納されると、“1” にセットされます。下位のレジスタ (ADREG_xL) をリードすると、“0” にされます。
- ADREGSP のビット 1 は over RUN flag <OVR_x> です。両方の変換結果格納レジスタ (ADREG_xH, ADREG_xL) を Read する前に変換結果が上書きされると 1 に Set されます。Flag の Read により 0 にクリアされます。
- 変換結果格納レジスタは、上位を先に読み出し、次に下位を読み出してください。

A/D 変換結果比較下位レジスタ

	7	6	5	4	3	2	1	0
ADCOMREG L (0xFFFF_F312)	ADR21	ADR20						
Read/Write	R/W					R		
リセット後	0					0		
機能	A/D 変換結果比較下位 2ビット格納		リードすると"0"が読めます					

A/D 変換結果比較上位レジスタ

	7	6	5	4	3	2	1	0
ADCOMREG H (0xFFFF_F313)	ADR29	ADR28	ADR27	ADR26	ADR25	ADR24	ADR23	ADR22
Read/Write	R/W							
リセット後	0							
機能	A/D 変換結果比較上位 8ビット格納							

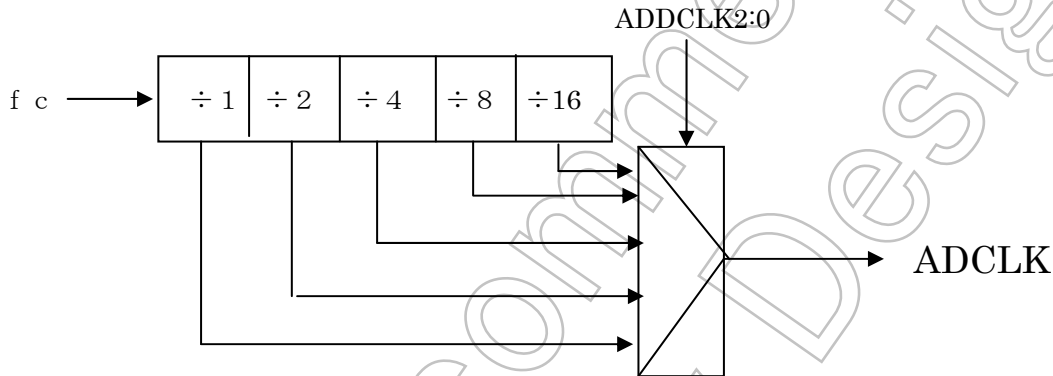
(注) このレジスタへ値を設定する時、または値を変更する時は、AD 監視機能を禁止 (ADMOD3<ADOBSV>="0") した状態で行ってください

16.2 変換クロック

- 最短 46 変換クロックで変換されます。

A/D 変換クロック設定レジスタ

		7	6	5	4	3	2	1	0
ADCLK (0xFFFF_F31C)	bit Symbol	TSH3	tSH2	tSH1	tSH0		ADCLK2	ADCLK1	ADCLK0
	Read/Write	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W
	リセット後	1	0	0	0	0	0	0	0
機能	A/D サンプルホールド時間選択 1000: 8 変換クロック 1010: 24 変換クロック 0011: 64 変換クロック 1100: 128 変換クロック 上記以外の設定: reserved					リードすると"0"が読めます	A/D プリスケアラ出力選択 000: fc 001: fc/2 010: fc/4 011: fc/8 100: fc/16 111: reserved		



(例) $f_{sys} = f_c = 40\text{MHz}$ の場合

f_c	prescalar	tconv. (変換時間)
40MHz	1	1.15 μs
	1/2	2.3 μs
	1/4	4.6 μs

S/H 時間可変

変換 clock	S/H 時間	tconv. (変換時間)
40MHz	変換 clk*8 (0.2us)	1.15 μs
	変換 clk*16 (0.4us)	1.35 μs
	変換 clk*24 (0.6us)	1.55 μs
	変換 clk*32 (0.8us)	1.75 μs
	変換 clk*64 (1.6us)	2.55 μs
	変換 clk*128 (3.2us)	4.15 μs
	変換 clk*512 (12.8us)	13.75 μs

注) 「AD 変換中には、A/D 変換クロック設定を変更しないで下さい」

16.3 動作説明

16.3.1 アナログ基準電圧

アナログ基準電圧の“H”レベル側を VREFH 端子に、“L”レベル側を VREFL 端子に印加します。ADMOD1<VREFON>ビットに“0”を書き込むことにより、VREFH-VREFL 間のスイッチを OFF できます。AD 変換をスタートさせる場合は、かならず<VREFON>ビットに“1”を書き込んだ後、内部基準電圧が安定するまでの $3\mu s$ 待ってから、ADMOD0<ADS>ビットに“1”を書き込んでください。

16.3.2 アナログ入力チャネルの選択

アナログ入力チャネルの選択は、A/D コンバータの動作モードによって異なります。

(1) 通常 AD 変換時

- アナログ入力チャネルを固定で使用する場合 (ADMOD0<SCAN>=“0”)
 - ADMOD1<ADCH3~0>の設定により、アナログ入力 AIN0 ~ AIN15 端子の中から 1 チャネルを選択します。
- アナログ入力チャネルをスキャンで使用する場合 (ADMOD0<SCAN>=“1”)
 - ADMOD1 <ADCH3~0> の設定および ADSCN により、16 種類のスキャンモードの中から 1 つのスキャンモードを選択します。

(2) 最優先 AD 変換時

ADMOD2<HPADCH3~0>の設定により、アナログ入力 AIN0~AIN15 端子の中から 1 チャネルを選択します。

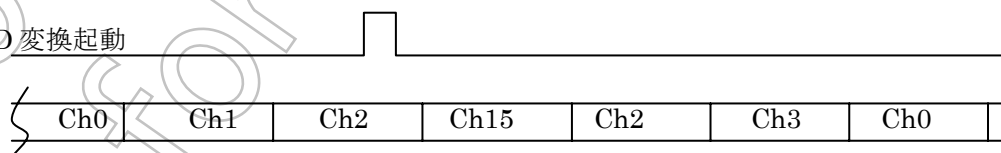
リセット後は ADMOD0<SCAN> は“0”に ADMOD1<ADCH3:0> は“0000”に初期化され、これにより選択が行なわれますので、AIN0 端子のチャネル固定入力を選択されます。なお、アナログ入力チャネルとして使用しない端子は、通常の入力ポートとして使用できます。

通常 AD 変換中に最優先 AD 変換の起動が掛かると、通常 AD 変換は中断し、最優先 AD 変換が実行されて終了後に通常 AD 変換を再開します。

例) ADMOD0<REPEAT : SCAN>=“11”、ADMOD1<ADCH3:0>=0011 でチャネル AIN0 ~ AIN3 までのリピートスキャン変換中に ADMOD2<HPADCH3:0>=1111 で AIN15 の最優先 AD 変換が起動された場合。

最優先 AD 変換起動

変換 Ch



16.3.3 A/D 変換開始

A/D 変換には、通常 AD 変換と最優先 AD 変換の 2 種類があります。通常 AD 変換は ADMODO<ADS> に “1” を設定することによりソフトで起動が掛かります。また、最優先 AD 変換は ADMOD2<HPADGE> に “1” を設定することによりソフトで起動が掛かりません。通常 AD 変換は ADMOD0<2:1> で指定される 4 種類の動作モードから 1 つの動作モードが選択されます。最優先 AD 変換の動作モードはチャンネル固定のシングル変換のみです。また、通常 AD 変換は ADMOD4<ADHS>、最優先 AD 変換は ADMOD4<HADHS> で選択される HW 起動ソースにより起動を掛けることができます。このビットが ‘0’ の場合は、ADTRG 端子より立ち下がリエッジの入力により起動が掛かり、このビットが ‘1’ の場合、通常 AD 変換は 16 ビットタイマ 1 からの TB1RG0 の一致で起動が掛かり、最優先 AD 変換の場合は 16 ビットタイマ 9 からの TB9RG0 の一致で起動が掛かります。H/W 起動が許可された場合でもソフトウェア起動は有効です。

(注) 最優先 AD 変換の HW 起動ソースに外部トリガを使用しているときは、通常 AD 変換 HW 起動としては外部トリガを設定できません。

通常 A/D 変換が開始されると、A/D 変換中を示す A/D 変換 Busy フラグ (ADMODO<ADBF>) が “1” にセットされます。また、最優先 AD 変換が開始されると、AD 変換中を示す AD 変換 Busy フラグ (ADMOD2<ADBFHP>) が 1 にセットされます。このときに通常 AD 変換用の Busy フラグは、最優先 AD 変換の開始前の値を保持します。また、通常 AD 変換用の変換終了フラグ EOCFN も開始前の値を保持します。

(注) 最優先 A/D 変換中に通常 AD 変換を再起動させないでください (最優先 A/D 変換終了フラグがセットされません。また、以前の通常 A/D 変換のフラグがクリアされません)。

通常 A/D 変換を再起動する場合はソフトウェアリセット (ADMOD4<ADRST1:0>) を行ってから起動してください。HW による通常 A/D 変換の再起動は行わないでください。

通常 AD 変換中に ADMOD2<HPADGE> に “1” を設定すると、現在変換中の AD 変換は中断され、最優先 AD 変換が始まり ADMOD2<3:0> で指定されるチャンネルの AD 変換 (チャンネル固定のシングル変換) が開始されます。この結果を格納レジスタ ADREGSP へ格納すると、続きから通常 AD 変換を再開します。

通常 AD 変換中に HW による最優先 AD 変換の起動が許可されている場合は、リソースからの起動条件が成立すると現在変換中の AD 変換は中断され、最優先 AD 変換が始まり ADMOD2<3:0> で指定されるチャンネルの AD 変換 (チャンネル固定のシングル変換) が開始されます。この結果を格納レジスタ ADREGSP へ格納すると、続きから通常 AD 変換を再開します。

16.3.4 A/D 変換モードと A/D 変換終了割り込み

A/D 変換には、次の 4 つの動作モードが用意されています。通常 AD 変換の場合は ADMODO<2:1>の設定により選択ができます。最優先 AD 変換の場合は ADMODO<2:1>の設定によらず、チャンネル固定のシングル変換のみの動作です。

- チャンネル固定シングル変換モード
- チャンネルスキャンシングル変換モード
- チャンネル固定リピート変換モード
- チャンネルスキャンリピート変換モード

(1) 通常 A/D 変換

動作モードの選択は、ADMODO<REPEAT, SCAN>で行います。A/D 変換が開始されると ADMODO<ADBFN>が“1”にセットされます。指定された AD 変換が終了すると、A/D 変換終了割り込み (INTAD) が発生し、A/D 変換終了を示す ADMODO<EOCF>が“1”にセットされます。<ADBFN>は<REPEAT>=“0”の時は EOCF のセットと同時に“0”に戻りますが、<REPEAT>=“1”の時は“1”の状態を保持して変換を続けます。

① チャンネル固定シングル変換モード

ADMODO <REPEAT, SCAN> に“00”を設定すると、チャンネル固定シングル変換モードになります。

このモードでは、選択した 1 チャンネルの変換を 1 回だけ行います。変換が終了した後、ADMODO<EOCF>が“1”にセット、ADMODO<ADBF>が“0”にされ、INTAD の割り込み要求が発生します。<EOCF>は読み出す事により 0 にクリアされます。

② チャンネルスキャンシングル変換モード

ADMODO <REPET, SCAN> に“01”を設定すると、チャンネルスキャンシングル変換モードになります。

このモードでは、選択したスキャンチャンネルの変換をそれぞれ 1 回だけ行います。スキャン変換が終了した後、ADMODO<EOCF>が“1”にセット、ADMODO<ADBF>が“0”にされ、INTAD の割り込み要求が発生します。<EOCF>は読み出す事で 0 にクリアされます。

③ チャンネル固定リピート変換モード

ADMODO<REPEAT, SCAN>に“10”を設定するとチャンネル固定リピート変換モードになります。

このモードでは、選択した 1 チャンネルの変換を繰り返し行います。変換が終了した後、ADMODO<EOCF>が“1”にセットされます。ADMODO<ADBF>は“0”にされず“1”を保持します。INTAD の割り込み要求発生タイミングは ADMODO <ITM1:0> の設定により選択できます。<EOCF>が Set されるタイミングも割り込みのタイミングに連動します。

<EOCF>は読み出す事により 0 にクリアされます。

<ITM1:0> を“00”に設定すると A/D 変換が 1 回終了するごとに割り込み要求が発生します。この場合、変換結果は常に格納レジスタの ADREG08 に格納されます。格納時点で EOCF は 1 になります。

<ITM1:0> を“01”に設定すると A/D 変換が 4 回終了するごとに割り込み要求が発生します。この場合、変換結果は格納レジスタの ADREG08~ADREG3B に順次格納されます。ADREG3B に格納後<EOCF>は 1 に SET され、再び ADREG08 から格納を始めます。<EOCF>は読み出す事により 0 にクリアされます。

<ITM1:0> を“10”に設定すると A/D 変換が 8 回終了するごとに割り込み要求が発生します。この場合、変換結果は格納レジスタの ADREG08~ADREG7F に順次格納されま

す。ADREG7F 格納後<EOCF>は1に set され、再び ADREG08 から格納を始めます。
<EOCF>は読み出す事によりクリアされます。

④ チャネルスキャンリピート変換モード

ADMODO <REPEAT, SCAN> に “11” を設定するとチャネルスキャンリピート変換モードになります。

このモードでは、選択したスキャンチャンネルの変換を繰り返し行います。1 回のスキャン変換が終了するごとに ADMODO <EOCF> が “1” にセットされ、INTAD 割り込み要求が発生します。ADMODO <ADBF> は “0” にされず “1” を保持します。<EOCF>は読み出す事により”0”にクリアされます。

リピート変換モード (③、④のモード) の動作を停止させたい場合は、ADMODO <REPEAT> に “0” を書き込んでください。実行中の変換を終了した時点で、リピート変換モードは終了し、ADMODO <ADBF> は “0” にされます。

IDLE、STOP モード等のスタンバイ状態へ移行する場合は、スタンバイ状態へ移行する前に A/D 変換を停止していることを確認してから (または、停止させてから) 移行してください。

(2) 最優先 A/D 変換

動作モードはチャンネル固定のシングル変換のみです。ADMODO<REPEAT, SCAN> の設定は関係ありません。起動条件が成立すると、ADMODO2<HPADCH3:0>で指定されるチャンネルの変換を一度だけ行います。変換が終了すると、最優先 AD 変換終了割り込みが発生して、ADMODO2 <EOCFHP>は1にセットされ、<ADBFHP>は0に戻ります。EOCFHP フラグは読み出すとクリアされます。

A/D変換モードと割り込み発生タイミング、フラグ動作の関係

変換モード	割り込み発生 タイミング	EOCF セットタイミング (注)	ADBF (割り込 み発生後)	ADMOD0		
				ITM1:0	REPEAT	SCAN
チャンネル固定 シングル変換	変換終了後	変換終了後	0	—	0	0
チャンネル固定 リピート変換	1回変換毎	変換が1回終 了後	1	00	1	0
	4回変換毎	変換が4回終 了後	1	01		
	8回変換毎	変換が8回終 了後	1	10		
チャンネルスキャン シングル変換	スキャン変換 終了後	スキャン変換 終了後	0	—	0	1
チャンネルスキャン リピート変換	1回のスキャン 変換終了毎	1回のスキャン 変換終了後	1	—	1	1

(注) EOCF はリードするとクリアされます。

16.3.5 最優先変換モード

通常 AD 変換に割り込んで、最優先 AD 変換を行う事ができます。最優先 AD 変換は ADMOD2<HPADCE>に '1' を設定するソフトによる起動と、ADMOD4<7:6>の設定により HW リソースを用いた起動ができます。通常 AD 変換中に最優先 AD 変換が起動されると、現在変換中の AD 変換は中断され、ADMOD2<3:0>で指定されるチャンネルのシングル変換を行います。変換結果は ADREGSP へ格納され、最優先 AD 変換割り込みが発生します。その後通常 AD 変換が続きから再開されます。また、最優先 AD 変換中の最優先 AD 変換の起動は無視されます。

例えば チャンネル AN0~AN8 までのチャンネルリピート変換が起動されており、AN3 の変換中に<HPADCE>に "1" がセットされた場合は AN3 の変換が中断され、<HPADCE3:0>で指定されたチャンネルの変換を行い、結果を ADREGSP へ格納後に AN3 からのチャンネルリピート変換を再開します。

16.3.6 AD 監視機能

ADMOD3<ADOBSV>に 1 を設定すると AD 監視機能が有効になり、REGS<3:0>で指定された変換結果格納レジスタの内容が比較レジスタの値より大または小 (ADOBIC で大か小は指定) になると AD 監視機能割り込みが発生します。また、この比較動作は該当変換結果格納レジスタへ結果が格納されるごとに行われ、条件が成立すると割り込みが発生します。また、AD 監視機能に割り当てている格納レジスタは通常ではソフトで読み出しは行われませんので、overrun フラグ<OVRn>は常にセットされていることになり、変換結果格納フラグ<ADRnRF>もセットされている事になります。したがって、AD 監視機能を使用する場合は当該変換結果格納レジスタのフラグを使用しないでください。

16.3.7 A/D 変換結果の格納と読み出し

A/D 変換結果は、通常 AD 変換の A/D 変換結果上位/下位レジスタ (ADREG08H/L~ADRG7FH/L) に格納されます。

チャンネル固定リピート変換モードでは、A/D 変換結果は、ADREG08H/L から ADREG7FH/L へと順次格納されます。ただし、割り込み発生を<ITM1:0>で 1 回ごとに指定した場合は ADREG08H/L のみに格納され、<ITM1:0>で 4 回ごとに指定した場合は ADREG08H/L~ADREG3BH/L へと順次格納されます。

表 16-1 にアナログ入力チャンネルと A/D 変換結果レジスタの対応を示します。

表 16-1 アナログ入力チャンネルと A/D 変換結果レジスタの対応

アナログ入力 チャンネル (ポート A)	A/D 変換結果レジスタ			
	右記以外の変 換モード	チャンネル固定リピート 変換モード (1 回)	チャンネル固定リピート 変換モード (4 回ごと)	チャンネル固定リピート 変換モード (8 回ごと)
AN0	ADREG08H/L	ADREG08H/L 固定	ADREG08H/L ↓ ADREG3BH/L	ADREG08H/L ↓ ADREG7FH/L
AN1	ADREG19H/L			
AN2	ADREG2AH/L			
AN3	ADREG3BH/L			
AN4	ADREG4CH/L			
AN5	ADREG5DH/L			
AN6	ADREG6EH/L			
AN7	ADREG7FH/L			
AN8	ADREG08H/L			
AN9	ADREG19H/L			
AN10	ADREG2AH/L			
AN11	ADREG3BH/L			
AN12	ADREG4CH/L			
AN13	ADREG5DH/L			
AN14	ADREG6EH/L			
AN15	ADREG7FH/L			

16.3.8 データポーリング

割り込みを使用せずにデータポーリングで AD 変換結果を処理する場合は ADMOD0<EOCF>のポーリングをしてください。このフラグがセットされた場合は、所定の AD 変換結果格納レジスタに変換結果が格納されていますので、セットを確認後に AD 変換格納レジスタを読み出してください。この際に Over RUN を検出する為に、変換結果格納レジスタの上位を先に読み出し、次に下位を読み出してください。この結果、下位に存在する $OVR_n = 0$ 、 $ADR_nRF = 1$ であれば、正しい変換結果を得た事になります。

17. デジタル/アナログコンバータ

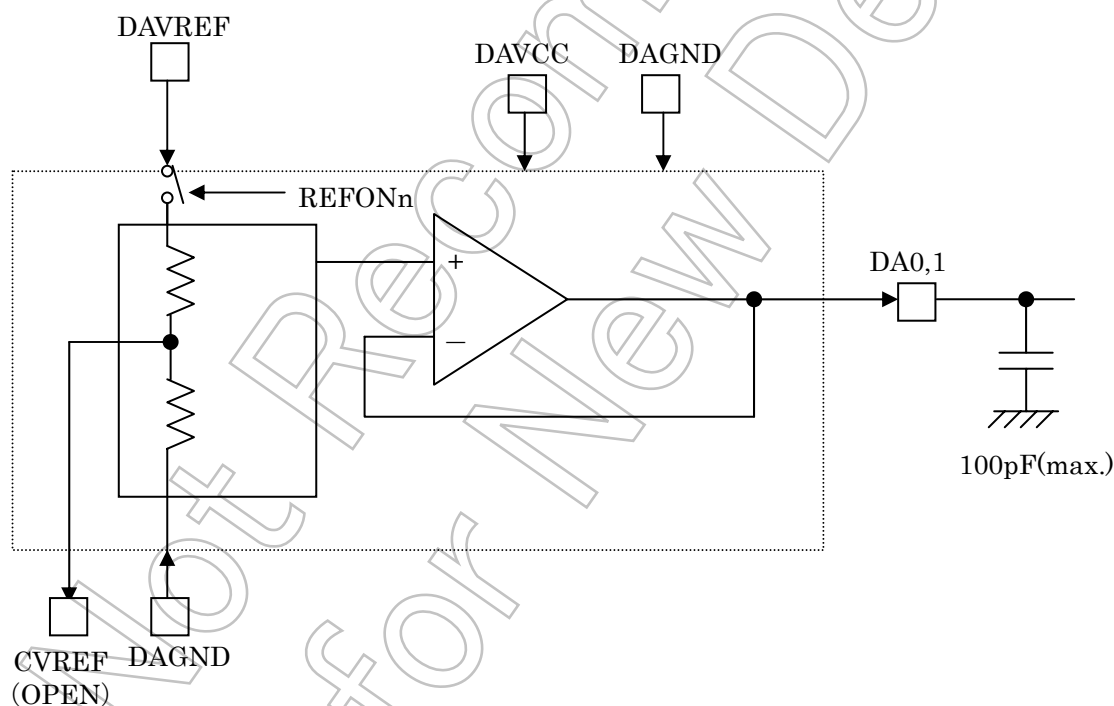
本節では TMP19A43 に内蔵されている DA コンバータについて説明します。

17.1 特長

- 分解能 8 ビットの DA コンバータを 2 チャンネル内蔵
- 各チャンネルには Buffer AMP を内蔵
- チャンネル毎にコントロールレジスタにてスタンバイ設定可能

17.2 動作 (DA コンバータの使用について)

- コントロールレジスタ DACCNTn<OPn><REFON>を<1:1>に設定して下さい。
- 出力レジスタ DAREGn 出力 CODE を設定することにより、CODE に対応した出力電圧が出力端子 DAn に現われます。
- DACCNTn<OPn>を “0” に設定することにより出力 DAn は Power Down になります。
(端子状態は DAVREF 電源と同じ電位になります)
- DACCNTn<REFON>を “0” に設定することにより Iref をカットし、消費電流を削減することができます。



(注) CVREF 端子は必ずオープンにしてください。

図 17.2.1 D/A コンバータブロック図

DACNT0 レジスタ

	7	6	5	4	3	2	1	0	
DACNT0 (0xFFFF_F330)	Bit Symbol							REFON0	OP0
	Read/Write							R/W	R/W
	リセット後	0						0	0
	機能	リードすると"0"が読めます						0: Ref off 1: Ref on	0: Power Down 1: 出力

出力レジスタ DAREGO

	7	6	5	4	3	2	1	0		
DAREGO (0xFFFF_F331)	Bit Symbol	DAC7	DAC6	DAC5	DAC4	DAC3	DAC2	DAC1	DAC0	
	Read/Write								R/W	
	リセット後								0	
	機能									

DACNT1 レジスタ

	7	6	5	4	3	2	1	0	
DACNT1 (0xFFFF_F338)	Bit Symbol							REFON1	OP1
	Read/Write							R/W	R/W
	リセット後	0						0	0
	機能	リードすると"0"が読めます						0: Ref off 1: Ref on	0: Power Down 1: 出力

出力レジスタ DAREG1

	7	6	5	4	3	2	1	0		
DAREG1 (0xFFFF_F339)	Bit Symbol	DAC7	DAC6	DAC5	DAC4	DAC3	DAC2	DAC1	DAC0	
	Read/Write								R/W	
	リセット後								0	
	機能									

(注 1) REFONn = "0" の際、同時に OPn = "0" にして下さい。

(注 2) REFONn = "0" → "1" 変更時には回路安定までに 10 μ sec (CVREF 端子は OPEN) の時間が必要です。

(注 3) 出力 CODE を設定してから DAN に出力される電圧が安定するまでに 100 μ s (typ.) が必要です。

(注 4) 出力電圧範囲は、DAGND+0.3V ~ DAVCC-0.3V となります (26.電気的特性の章を参照願います)。

18. ウォッチドッグタイマ (暴走検出用タイマ)

暴走検出用のウォッチドッグタイマを内蔵しています。

ウォッチドッグタイマ (WDT) は、ノイズなどの原因により CPU が誤動作 (暴走) を始めた場合これを検出し、正常な状態に戻すことを目的としています。暴走を検出するとノンマスカブル割り込みを発生し CPU に知らせます。

また、このウォッチドッグタイマアウトをリセット (チップ内部) へ接続することにより、強制的にリセット動作を行うことができます。

18.1 構成

図 18.1 にウォッチドッグタイマのブロック図を示します。

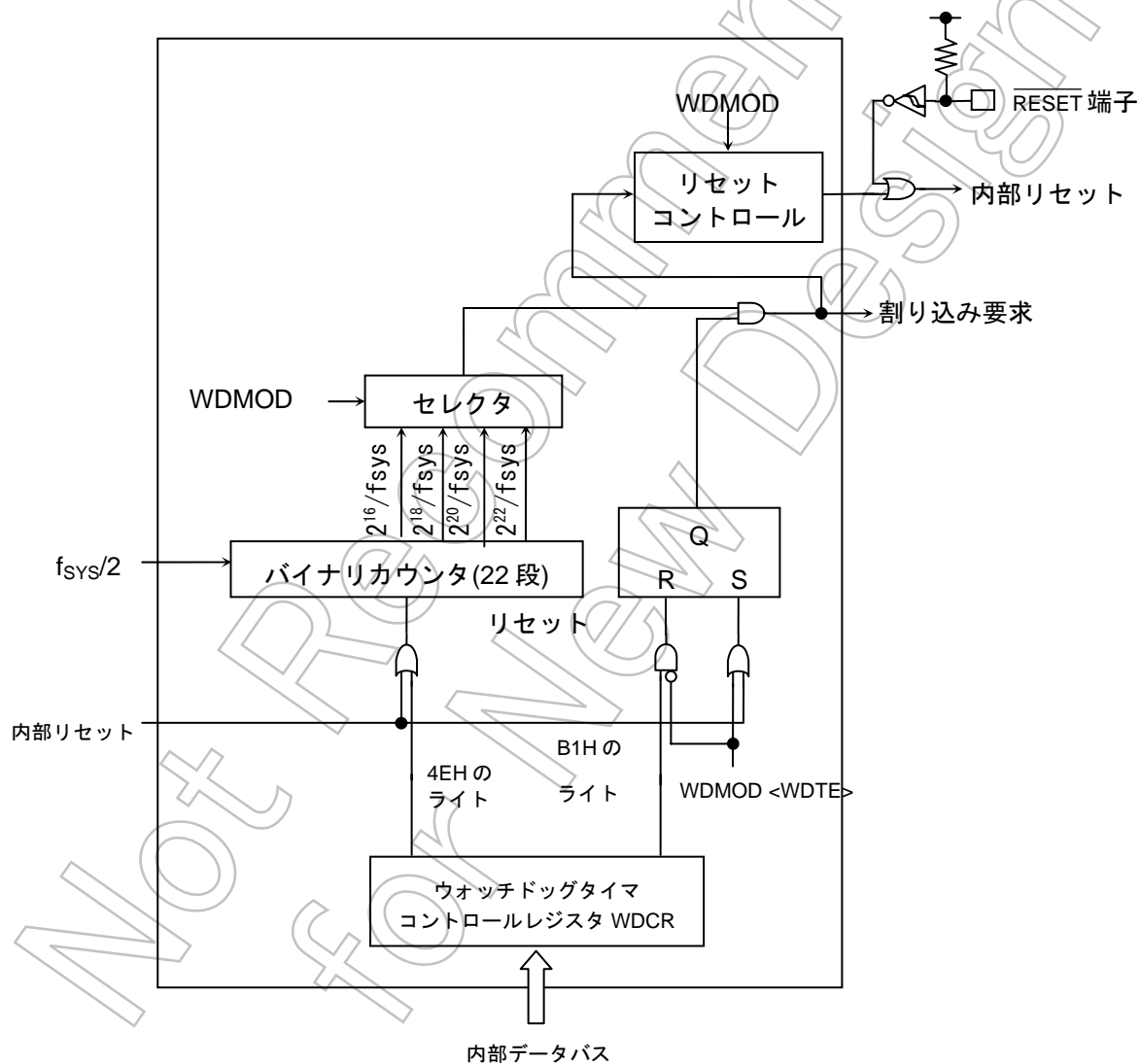


図 18.1 ウォッチドッグタイマのブロック図

18.2 ウォッチドッグタイマ割り込み

ウォッチドッグタイマは、システムクロック $f_{SYS}/2$ を入力クロックとする、22 段のバイナリカウンタで構成されています。バイナリカウンタの出力には 2^{16} 、 2^{18} 、 2^{20} および 2^{22} があります。このうちの 1 出力を WDMOD <WDTP1 : 0> で選択することにより、そのオーバーフロー時に、図 18. で示すように、ウォッチドッグタイマ割り込みを発生します。

また、ウォッチドッグタイマ割り込みはノンマスクابل割り込み要因のため、INTC 部の NMIFLG <WDT> にてウォッチドッグタイマ割り込みが識別する必要があります。

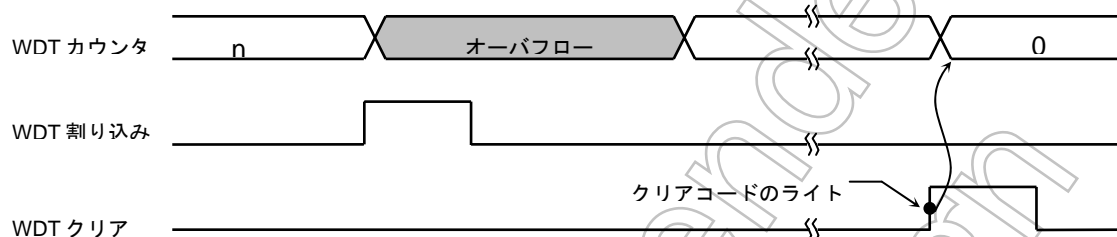


図 18.2 通常モード

また、オーバーフロー時にチップ自身をリセットすることも選択可能です。この場合、図 18. で示すように 32 ステートの期間、リセットを行います。なお、この場合（リセットされた場合）、入力クロック $f_{SYS}/2$ は、高速発振器のクロック f_C をクロックギアで 8 分周したクロック f_{SYS} が使われます。

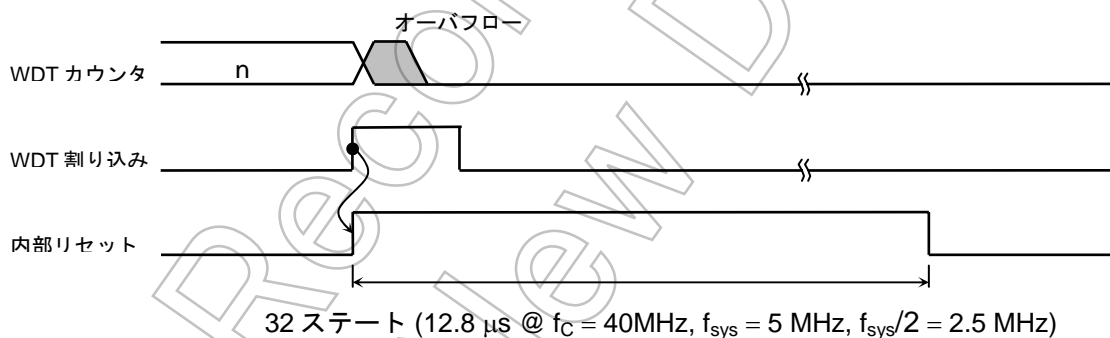


図 18.3 リセットモード

18.3 コントロールレジスタ

ウォッチドッグ タイマ (WDT) は、2つのコントロールレジスタ (WDMOD、WDCR) によって制御されています。

18.3.1 ウォッチドッグ タイマ モードレジスタ (WDMOD)

① ウォッチドッグ タイマ検出時間の設定 <WDTP1: 0>

暴走検出のためのウォッチドッグ タイマ割り込み時間を設定する2ビットのレジスタです。リセット時 WDMOD <WDTP1, 0> = “00” にイニシャライズされます。図 18.1 にウォッチドッグ タイマの検出時間を示します。

② ウォッチドッグ タイマのイネーブル/ディセーブル制御 <WDTE>

リセット時 WDMOD <WDTE> = “1” にイニシャライズされますので、ウォッチドッグ タイマはイネーブルになっています。

ディセーブルにするには、このビットを “0” にするとともに WDCR レジスタにディセーブルコード (B1H) を書き込む必要があります。この二重設定のため、暴走によるウォッチドッグ タイマのディセーブルが発生し難くなっています。

逆にディセーブル状態からイネーブル状態に戻す場合は、<WDTE> ビットを “1” にセットするだけでイネーブルとなります。

③ ウォッチドッグタイマアウトのリセット接続 <RESCR>

暴走検出により自分自身をリセットするかどうかを設定するレジスタです。リセット時 WDMOD <RESCR> = “0” に初期化されますので、ウォッチドッグタイマアウト出力によるリセットは行われません。

18.3.2 ウォッチドッグ タイマ コントロールレジスタ (WDCR)

ウォッチドッグ タイマ機能のディセーブルおよびバイナリカウンタのクリアを制御するレジスタです。

• ディセーブル制御

WDMOD <WDTE> を “0” にしたあと、この WDCR レジスタにディセーブルコード (B1H) を書き込むとウォッチドッグ タイマをディセーブルにすることができます。

WDMOD	← 0 - - - - -	WDTE を “0” クリアします。
WDCR	← 1 0 1 1 0 0 0 1	ディセーブルコード (B1H) を書き込みます。

• イネーブル制御

WDMOD <WDTE> を “1” にする。

• ウォッチドッグタイマのクリア制御

WDCR レジスタにクリアコード (4EH) を書き込むと、バイナリカウンタはクリアされ、再カウントします。

WDCR	← 0 1 0 0 1 1 1 0	クリアコード (4EH) を書き込みます。
------	-------------------	-----------------------

(注) ディセーブルコード (B1H) を書き込むとバイナリカウンタはクリアされます。

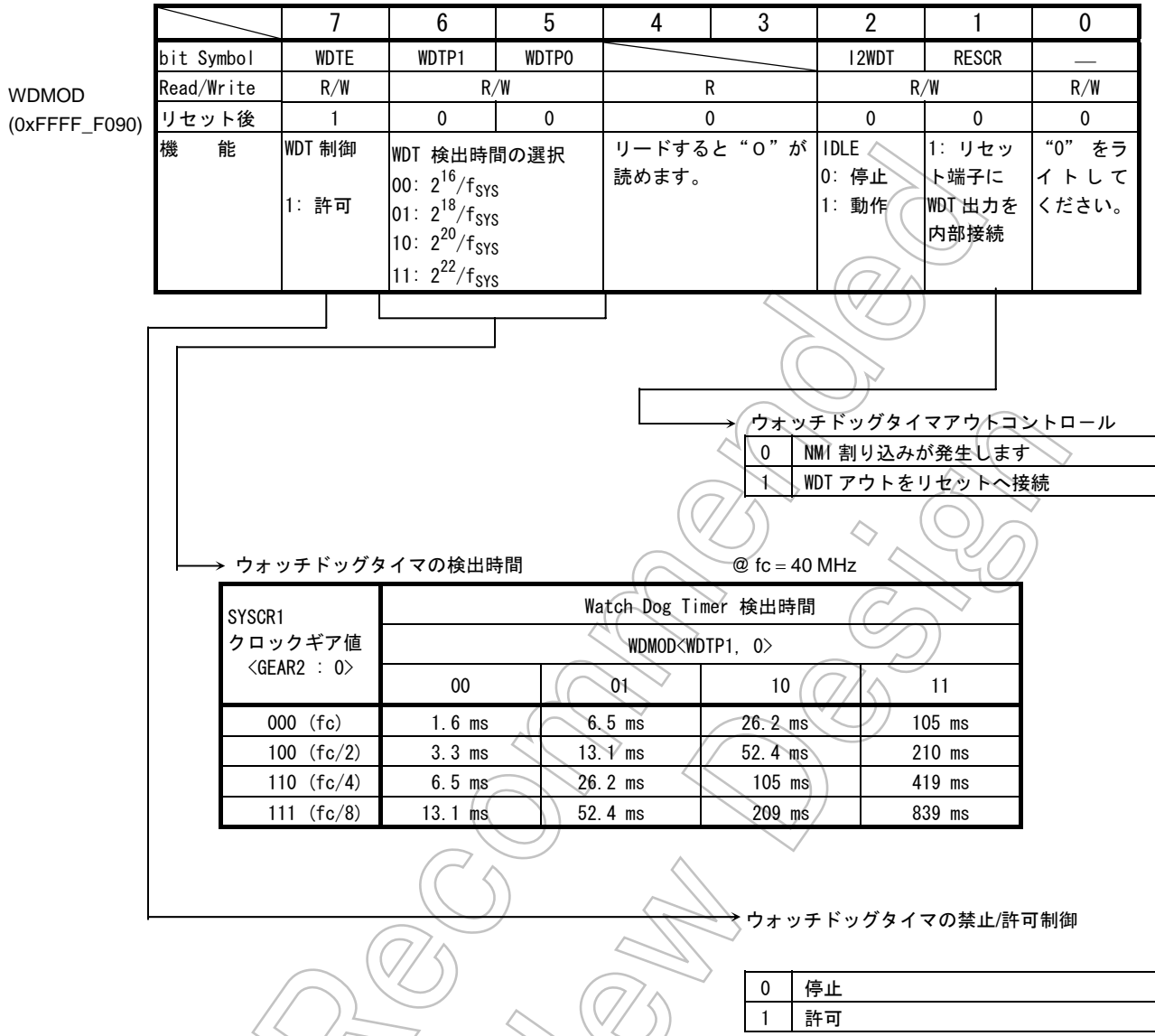


図 18.4 ウォッチドッグタイマモードレジスタ



図 18.5 ウォッチドッグタイマコントロールレジスタ

18.4 動作説明

ウォッチドッグタイマは、WDMOD <WDTP1, 0> レジスタで設定された検出時間後に割り込み (INTWDT) を発生させるタイマです。ソフトウェア (命令) でウォッチドッグタイマ用のバイナリカウンタを INTWDT 割り込みが発生する前にゼロクリアすることが必要です。もし、CPU がノイズなどの原因で誤動作 (暴走) しバイナリカウンタをクリアする命令を実行しなければ、バイナリカウンタはオーバフローし、INTWDT 割り込みが発生します。CPU は INTWDT 割り込みにより誤動作 (暴走) が発生したことを知り、誤動作 (暴走) 対策プログラムにより正常な状態に戻すことができます。また、ウォッチドッグタイマアウト端子を周辺装置のリセットなどへ接続することにより、CPU の誤動作 (暴走) に対処することができます。

ウォッチドッグタイマは、リセット解除後ただちに動作を開始します。

また、STOP モード中のウォッチドッグタイマはリセットされ停止しています。バス解放中 ($\overline{\text{BUSAK}} = \text{“L”}$) は、カウントを続けます。IDLE モードでは、WDMOD <I2WDT> の設定に依存します。必要に応じて、IDLE モードに入る前に WDMOD <I2WDT> を設定してください。

例: ① バイナリカウンタをクリアします。

```

      7 6 5 4 3 2 1 0
WDCR  ← 0 1 0 0 1 1 1 0   クリアコード (4EH) の書き込み

```

② ウォッチドッグタイマ検出時間を $2^{18}/f_{\text{SYS}}$ に設定します。

```

      7 6 5 4 3 2 1 0
WDMOD  ← 1 0 1 - - - - -

```

③ ウォッチドッグタイマをディセーブルします。

```

      7 6 5 4 3 2 1 0
WDMOD  ← 0 - - - - -      WDTE を “0” クリア
WDCR   ← 1 0 1 1 0 0 0 1   ディセーブルコード (B1H) の書き込み

```

注: 高周波発振子が止まっている状態では使用しないで下さい。

ウォッチドッグタイマにより、システムリセットが動作しても、高周波発振子の発振が安定していない為に、正常に動作いたしません。

19. 時計用タイマ

19.1 特長

システムの動作モードの一つとして低消費電力動作を行う時計用タイマを内蔵しています。

低周波クロックに 32.768 kHz を使用することにより、0.125s ごと、0.250s ごと、0.500s ごと、1.000s ごとに割り込みを発生することができ、時計機能を実現できます。

時計用タイマは、低周波発振を行っているすべてのモードで動作可能です。また、時計用タイマ割り込みにより、各スタンバイモードからの復帰が可能です (STOP を除く)。スタンバイ解除に使用するときには、時計用タイマ割り込み (INTRTC) と CG 部の IMCGD レジスタを設定してください。

図 19-1 に時計用タイマのブロック図を示します。

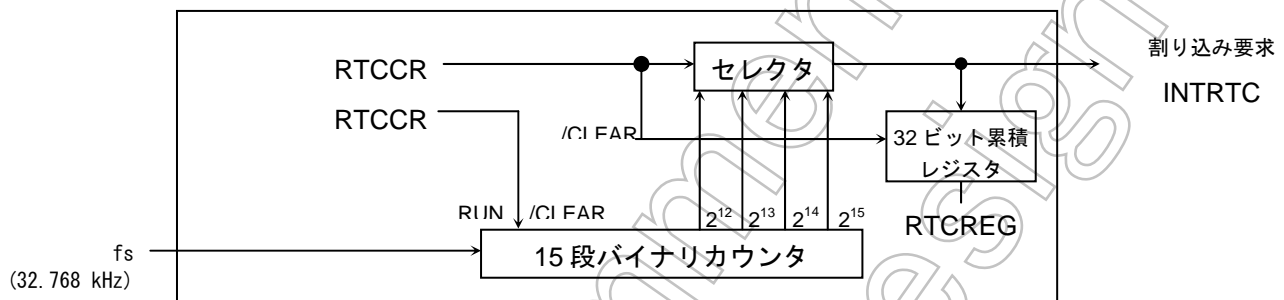


図 19-1 時計用タイマのブロック図

注：RESET 端子によるリセットにより内蔵レジスタは初期化されます。
WDT や DSU によるリセット時には初期化されません。

19.2 レジスタ

時計用タイマは、時計用タイマコントロールレジスタ (RTCCR) によって制御されます。

図 19-2 に時計用タイマコントロールレジスタを示します。

(fs = 32.768 kHz)

	7	6	5	4	3	2	1	0
RTCCR								
Bit Symbol					RTCCLR	RTCSEL1	RTCSELO	RTCRUN
LITTLE (0xFFFF_E704) BIG (0xFFFF_E707) Read/Write	R/W	R/W	R		W	R/W		R/W
リセット後	0	0	0	0	0	0	0	0
機能	“0” を ライトして ください	“0” を ライトして ください	リードすると“0”が 読めます。		累積レジス タクリア 0: クリア 1: Don't Care	割り込み発生周期 00: 2 ¹⁵ /fs (1.000 s) 01: 2 ¹⁴ /fs (0.500 s) 10: 2 ¹³ /fs (0.250 s) 11: 2 ¹² /fs (0.125 s)		バイナリ カウンタ 0: 停止& クリア 1: カウント
	15	14	13	12	11	10	9	8
Bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能								
	23	22	21	20	19	18	17	16
Bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能								
	31	30	29	28	27	26	25	24
Bit Symbol								
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能								

図19-2 時計用タイマコントロールレジスタ

- (注 1) 本レジスタは 32 ビットアクセスを行なって下さい。
 (注 2) RTCCR<RTCCLR>は常に“1”が読み出されます。
 (注 3) RTCCR<RTCSEL1:0>設定変更する場合は、RTCCR<RTCRUN>="0" かつ
 RTC 割り込み禁止の状態で行ってください
 (注 4) RESET 端子のリセットにより内蔵レジスタは初期化されます。
 WDT や DSU によるリセット時には初期化されません。

時計用タイマには時計用カウント累積レジスタがあり、設定して時計タイマの割り込み回数が累積されます。

時計用カウント累積レジスタ

RTCREG (0xFFFF_E708)		7	6	5	4	3	2	1	0
	Bit Symbol	RUI7	RUI6	RUI5	RUI4	RUI3	RUI2	RUI1	RUI0
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	Accumulate count value							
		15	14	13	12	11	10	9	8
	Bit Symbol	RUI15	RUI14	RUI13	RUI12	RUI11	RUI10	RUI9	RUI8
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	Accumulate count value							
		23	22	21	20	19	18	17	16
	Bit Symbol	RUI23	RUI22	RUI21	RUI20	RUI19	RUI18	RUI17	RUI16
	Read/Write	R/W							
	リセット後	0	0	0	0	0	0	0	0
	機能	Accumulate count value							
		31	30	29	28	27	26	25	24
Bit Symbol	RUI31	RUI30	RUI29	RUI28	RUI27	RUI26	RUI25	RUI24	
Read/Write	R/W								
リセット後	0	0	0	0	0	0	0	0	
機能	Accumulate count value								

図19-3 時計用カウント累積レジスタ

- (注 1) 累積レジスタへの書き込みでプリスケアラは初期化されます。
 (注 2) 書き込み時は割り込みを禁止してください。
 (注 3) 本レジスタは、32ビットアクセスを行なって下さい
 (注 4) RESET 端子のリセットにより内蔵レジスタは初期化されます。
 WDT や DSU によるリセット時には初期化されません。

例：時計用タイマ割り込みの設定例

初期設定

```

          7 6 5 4 3 2 1 0
IMCF      ← 0 0 0 1 0 0 0 0
RTCCR     ← 0 0 0 0 X X X 0
IMCGD     ← 0 0 1 0 0 0 0 1
EICRCG    ← 0 0 0 0 1 1 0 1
INTCLR    ← 1 1 1 1 0 0 0 0
RTCCR     ← 0 0 0 0 1 X X 1
IMCF      ← 0 0 0 1 0 X X X

```

INTRTC 割り込みを禁止します。
 32 ビットレジスタのビット<7:0>を設定します。
 RTC タイマカウンタを停止します。
 32 ビットレジスタのビット<7:0>を設定します。
 32 ビットレジスタのビット<15:8>を設定します。
 CG ブロックの割り込み要求をクリアします。
 32 ビットレジスタのビット<7:0>を設定します。
 INTC ブロックの割り込み要求をクリアします。
 32 ビットレジスタのビット<7:0>を設定します。
 タイマカウンタ開始します。
 32 ビットレジスタのビット<7:0>を設定します。
 割り込みレベルを設定します。
 32 ビットレジスタのビット<7:0>を設定します。

INTRTC 割り込み

```

          7 6 5 4 3 2 1 0
EICRCG    ← 0 0 0 0 1 1 0 1
INTCLR    ← 1 1 1 1 0 0 0 0

```

CG ブロックの割り込み要求をクリアします。
 32 ビットレジスタのビット<7:0>を設定します。
 INTC ブロックの割り込み要求をクリアします。
 32 ビットレジスタのビット<7:0>を設定します。

処理
 割り込み終了

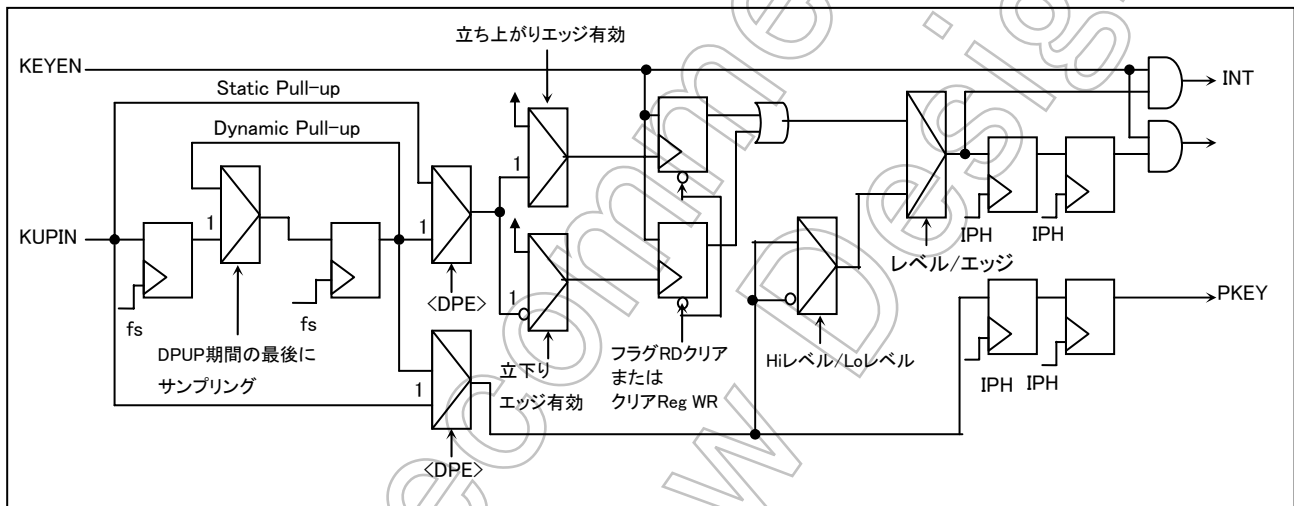
(注1) X: don' t care

(注2) 割り込みを禁止するには IMCF, IMCGD の順に設定してください。

20. KEY ON Wake up 回路

20.1 概要

- 32 本の入力 KEY00~31 があり、STOP 解除または外部割り込みとして使用可能です。ただし、32 本の入力に対して割り込み要因は 1 要因として割り込み処理を行います (GG ブロック内で設定)。また、個別に KEY 入力の使用/未使用は設定可能です (KWUPSTn) <KEYnEN>。
- 立ち上がりエッジ/立ち下がりエッジ/両エッジ/High レベル/Low レベルは各入力個別に設定可能です (KWUPSTn) <KEYn>。
- 割り込み処理で KEY 割り込み要求クリアレジスタ KWUPCLR を設定することにより割り込み要求をクリアします。
- KEY 入力端子はプルアップ付きで (KWUPSTn) <DPEn> のビットによりスタティックプルアップ、ダイナミックプルアップを切り替えることが可能です。これらの設定は 32 入力個別の設定になります。



20.2 KEY ON WAKE UP 動作

TMP19A43 は 32 本の KEY 入力端子 (KEY00~31) をもっています。KEY 入力を STOP 解除に使用するか、通常割り込みに使用するかは CG のレジスタ IMCGD3<KWUPEN>で設定します。<KWUPEN>="1"に設定することにより、KEY00~31 はすべて STOP 解除割り込みになります。KEY 入力ごとに割り込み入力許可/禁止を KWUPSTn<KEYnEN>で設定すると同時に、使用する KEY 入力ごとにアクティブ状態を KWUPSTn<KEYn2: KEYn0>で設定してください。KEY 入力の検出はこの KWUP ブロックで行われ、検出結果はアクティブ状態 H レベルとして CG 部の IMCGD3 レジスタへ通知されます。したがって、IMCGD3<EMCGD0:1>で検出レベルを H レベル ("01") に設定してください。また、CG 部での検出結果もアクティブ H レベルとして割り込みコントローラ INTC へ通知されるために、INTC でも該当割り込みを H レベル ("01") に設定してください。IMCGD3<KWUPEN>を 0 に設定する (デフォルト) ことにより KEY00~31 はすべて通常割り込みになります。この場合は CG での設定は不要で INTC での検出レベルを H レベルに設定してください。各 KEY 入力の許可/禁止、アクティブ状態は KWUPSTn で同様に設定します。割り込み処理の中で、KWUPCLR に "1010" をライトすることによりすべての KEY 割り込み要求がクリアされます。

(注)複数の KEY 入力が発生した場合、割り込み要求のクリアにて全ての KEY 入力要求もクリアされます。

Not Recommended for New Design

20.3 プルアップ機能

各 KEY 入力にはプルアップ機能があります。ポート内のレジスタ設定により端子ごとに設定することが出来ます。

スタティックプルアップ設定時は、KWUPSTn<KEYnEN>によらずプルアップは使用可能です
(各 PORT の PxPE<PExx>ビットで制御致します)

20.3.1 プルアップイネーブルで KEY 入力を使用する場合の注意点

A) 電源投入後最初に設定する場合 (例: ポート E0, 両エッジ割り込みの場合)

1) ポート側の設定を行う

PEFC<PE0F> = "1" ファンクションを KEY に設定

PEPE<PEE0> = "1" プルアップ ON 制御

2) 使用する KEY 入力に該当する KWUPST08<KEY08EN> = "0"

3) 使用する KEY 入力に該当する KWUPST08<KEY082:KEY080>で アクティブ状態の設定 = "100"

4) 使用する KEY 入力に該当する KWUPST08<KEY08EN> = "1"

5) プルアップが完了する時間を待つ

6) KWUPCLR = "1010" で割り込み要求のクリア

7) CG の設定、INTC の設定 IMCGD3<EMCGC1:0> = "01"

IMCGD3<KWUPEN> = "1"

(設定の仕方は 6 章の割り込み設定参照)

B) 動作途中で KEY 入力のアクティブ状態を変更する場合

1) INTC で KEY 割り込みの禁止 IMC4<IL112:110> = "000"

2) 使用する KEY 入力に該当する KWUPST08<KEY08EN> = "0"

3) 変更する KEY 入力に該当する KWUPST08<KEY082:KEY080> = "000" で アクティブ状態変更 (例は Lo レベル割り込み)

4) 使用する KEY 入力に該当する KWUPST08<KEY08EN> = "1"

5) KWUPCLR = "1010" で割り込み要求のクリア

4) INTC で KEY 割り込みの許可 IMC4<IL112:110> = "xxx" を 所定のレベルに設定

C) 動作途中で KEY 入力を許可する場合

1) INTC で KEY 割り込みの禁止 (IMC4<IL112:110> = 00)

2) 使用する KEY 入力に該当する KWUPST08<KEY08EN> = "0"

3) 使用する KEY 入力の該当する KWUPST08 でアクティブ状態の設定

4) 使用する KEY 入力に該当する KWUPST08<KEY08EN> = 1

5) KWUPCLR で割り込み要求のクリア

6) INTC で KEY 割り込みの許可 (IMC4<IL112:110> を所定のレベルに設定)

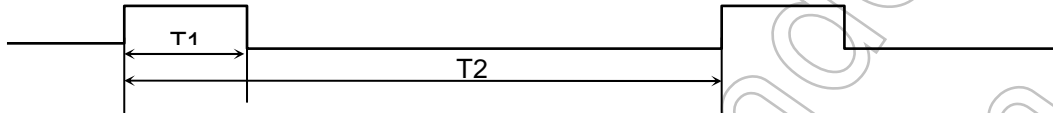
20.3.2 プルアップディセーブルで KEY 入力を使用する場合の注意点

- A) 電源投入後最初に設定する場合
- 1) PEPE<PEE0> = “0” プルアップ OFF 制御
 - 2) 使用する KEY 入りに該当する KWUPST08<KEY08EN> = “0”
 - 3) 使用する KEY 入りに該当する KWUPST08<KEY082:KEY080> = “000” でアクティブ状態の設定
 - 4) 使用する KEY 入りに該当する KWUPST08<KEY08EN> = “1”
 - 5) KWUPCLR = “1010” で割り込み要求のクリア
 - 6) 使用する KEY 入りに該当する KWUPST08<KEY08EN> = “1”
 - 7) CG の設定、INTC の設定（設定の仕方は 6 章の割り込み設定参照）
- B) 動作途中で KEY 入力のアクティブ状態を変更する場合
- 1) INTC で KEY 割り込みの禁止（IMC4<IL112:110> = 000）
 - 2) 使用する KEY 入りに該当する KWUPST08<KEY08EN> = “0”
 - 3) 変更する KEY 入りに該当する KWUPSTn でアクティブ状態変更
 - 4) 使用する KEY 入りに該当する KWUPST08<KEY08EN> = “1”
 - 5) KWUPCLR で割り込み要求のクリア
 - 6) INTC で KEY 割り込みの許可（IMC4<IL112:110> を所定のレベルに設定）
- C) 動作途中で KEY 入力を許可する場合
- 1) INTC で KEY 割り込みの禁止（IMC4<IL112:110> = 000）
 - 2) 使用する KEY 入りに該当する KWUPST08<KEY08EN> = “0”
 - 3) 使用する KEY 入りに該当する KWUPSTn でアクティブ状態の設定
 - 4) 使用する KEY 入りに該当する KWUPST08<KEY08EN> = “1”
 - 5) KWUPCLR で割り込み要求のクリア
 - 6) 使用する KEY 入りに該当する KWUPSTn<KEYnEN> = 1
 - 7) INTC で KEY 割り込みの許可（IMC4<IL112:110> を所定のレベルに設定）

KEY ON WAKE UP コントロール

	7	6	5	4	3	2	1	0
Bit Symbol			T2S1	T2S0	T1S1	T1S0		
Read/Write	R/W	R	R/W				R	
リセット後	0	0	0	0	0	0	0	
機能	“0” を必ず書いてください	リードすると“0”が読めます	ダイナミックプルアップ周期 00: 256/fs 10: 1024/fs 01: 512/fs 11: 2048/fs		ダイナミックプルアップ期間 00: 2/fs 10: 8/fs 01: 4/fs 11: 16/fs		リードすると“0”が読めます	

ダイナミックプルアップの動作は下図の通りです。



<T1S1:0>で決まる T1 の期間のみ プルアップが行われ、残りの期間は、プルアップは行われません。

- 00: 2/fs (62.5 μ s @fs = 32 kHz)
- 01: 4/fs (125 μ s @fs = 32 kHz)
- 10: 8/fs (250 μ s @fs = 32 kHz)
- 11: 16/fs (500 μ s @fs = 32 kHz)

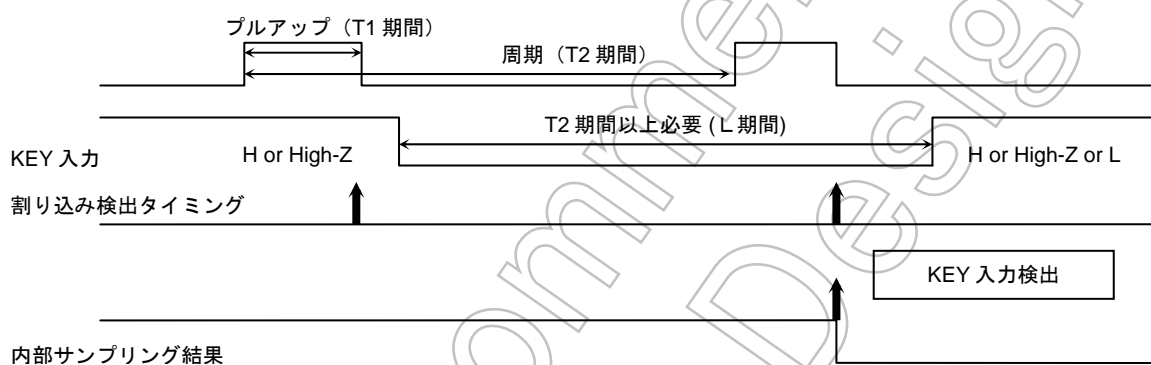
<T2S1:0>で決まる T2 の周期でダイナミックプルアップ動作を繰り返します。

- 00: 256/fs (8 ms @fs = 32 kHz)
- 01: 512/fs (16 ms @fs = 32 kHz)
- 10: 1024/fs (32 ms @fs = 32 kHz)
- 11: 2048/fs (64 ms @fs = 32 kHz)

- ・ダイナミックプルアップ使用時は fs を動作させてください。
- ・ダイナミックプルアップ切り替え後、T1 期間を 1 回待ってからキー入力してください。

20.4 KEY 入力の検出と検出タイミング

- 1) $PnPE\langle PEn \rangle = 1$ 、 $KWUPSTn\langle DPEn \rangle = 0$ で常時プルアップの場合
各 KEY 入力のアクティブ状態は $KWUPSTn\langle KEYn2:0 \rangle$ で H/L レベル/エッジの指定ができます。KEY 入力のアクティブ状態の検出は常に行われています。
- 2) $PnPE\langle PEn \rangle = 1$ 、 $KWUPSTn\langle DPEn \rangle = 1$ でダイナミックプルアップの場合
各 KEY 入力のアクティブ状態の検出（割り込みの検出）は $T1$ 期間終了の f_s で 1 クロック手前のエッジ検出のみ行われます。したがって、KEY 入力は、 $T2$ 期間以上必要となります。また、検出までに最大 $T2$ 時間分の遅れを持ちます。下図はアクティブ状態が立ち下がりエッジの場合。



ポート値については、PKEYn<PKEYn>レジスタを参照することにより、ダイナミックプルアップ動作中においても、外部の状態をモニタ可能になります。
ダイナミックプルアップ周期にてサンプリングを行います。

	7	6	5	4	3	2	1	0
PKEY0 (0xFFFF_F380)	PKEY07	PKEY06	PKEY05	PKEY04	PKEY03	PKEY02	PKEY01	PKEY00
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	PORT 状態 0:" Lo" 1:" Hi"	PORT 状態 0:" Lo" 1:" Hi"	PORT 状態 0:" Lo" 1:" Hi"	PORT 状態 0:" Lo" 1:" Hi"	PORT 状態 0:" Lo" 1:" Hi"	PORT 状態 0:" Lo" 1:" Hi"	PORT 状態 0:" Lo" 1:" Hi"	PORT 状態 0:" Lo" 1:" Hi"

	7	6	5	4	3	2	1	0
PKEY1 (0xFFFF_F381)	PKEY15	PKEY14	PKEY13	PKEY12	PKEY11	PKEY10	PKEY09	PKEY08
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	PORT 状態 0:" Lo" 1:" Hi"	PORT 状態 0:" Lo" 1:" Hi"	PORT 状態 0:" Lo" 1:" Hi"	PORT 状態 0:" Lo" 1:" Hi"	PORT 状態 0:" Lo" 1:" Hi"	PORT 状態 0:" Lo" 1:" Hi"	PORT 状態 0:" Lo" 1:" Hi"	PORT 状態 0:" Lo" 1:" Hi"

	7	6	5	4	3	2	1	0
PKEY2 (0xFFFF_F382)	PKEY23	PKEY22	PKEY21	PKEY20	PKEY19	PKEY18	PKEY17	PKEY16
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	PORT 状態 0:" Lo" 1:" Hi"	PORT 状態 0:" Lo" 1:" Hi"	PORT 状態 0:" Lo" 1:" Hi"	PORT 状態 0:" Lo" 1:" Hi"	PORT 状態 0:" Lo" 1:" Hi"	PORT 状態 0:" Lo" 1:" Hi"	PORT 状態 0:" Lo" 1:" Hi"	PORT 状態 0:" Lo" 1:" Hi"

	7	6	5	4	3	2	1	0
PKEY3 (0xFFFF_F383)	PKEY31	PKEY30	PKEY29	PKEY28	PKEY27	PKEY26	PKEY25	PKEY24
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	PORT 状態 0:" Lo" 1:" Hi"	PORT 状態 0:" Lo" 1:" Hi"	PORT 状態 0:" Lo" 1:" Hi"	PORT 状態 0:" Lo" 1:" Hi"	PORT 状態 0:" Lo" 1:" Hi"	PORT 状態 0:" Lo" 1:" Hi"	PORT 状態 0:" Lo" 1:" Hi"	PORT 状態 0:" Lo" 1:" Hi"

	7	6	5	4	3	2	1	0
KWUPST00 (0xFFFF_F360)	bit Symbol	DPE00	KEY002	KEY001	KEY000			KEY00EN
	Read/Write	R/W			R			R/W
	リセット後	0	0	1	0	0		
	機能	プルアップ 0: スタティック 1: ダイナミック	KEY00 アクティブ状態を設定 000: “L” レベル 001: “H” レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ		リードすると”0”が読めます			KEY00 割り込み 入力 0: 禁止 1: 許可
	7	6	5	4	3	2	1	0
KWUPST01 (0xFFFF_F361)	bit Symbol	DPE01	KEY012	KEY011	KEY010			KEY01EN
	Read/Write	R/W			R			R/W
	リセット後	0	0	1	0	0		
	機能	プルアップ 0: スタティック 1: ダイナミック	KEY01 アクティブ状態を設定 000: “L” レベル 001: “H” レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ		リードすると”0”が読めます			KEY01 割り込み 入力 0: 禁止 1: 許可
	7	6	5	4	3	2	1	0
KWUPST02 (0xFFFF_F362)	bit Symbol	DPE02	KEY022	KEY021	KEY020			KEY02EN
	Read/Write	R/W			R			R/W
	リセット後	0	0	1	0	0		
	機能	プルアップ 0: スタティック 1: ダイナミック	KEY02 アクティブ状態を設定 000: “L” レベル 001: “H” レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ		リードすると”0”が読めます			KEY02 割り込み 入力 0: 禁止 1: 許可
	7	6	5	4	3	2	1	0
KWUPST03 (0xFFFF_F363)	bit Symbol	DPE03	KEY032	KEY031	KEY030			KEY03EN
	Read/Write	R/W			R			R/W
	リセット後	0	0	1	0	0		
	機能	プルアップ 0: スタティック 1: ダイナミック	KEY03 アクティブ状態を設定 000: “L” レベル 001: “H” レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ		リードすると”0”が読めます			KEY03 割り込み 入力 0: 禁止 1: 許可

		7	6	5	4	3	2	1	0
KWUPST04 (0xFFFF_F364)	bit Symbol	DPE04	KEY042	KEY041	KEY040				KEY04EN
	Read/Write	R/W				R			R/W
	リセット後	0		1	0	0			0
	機能	プルアップ 0: スタティック 1: ダイナミック	KEY04 アクティブ状態を設定 000: “L” レベル 001: “H” レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ			リードすると”0”が読めます			KEY04 割り込み 入力 0: 禁止 1: 許可
		7	6	5	4	3	2	1	0
KWUPST05 (0xFFFF_F365)	bit Symbol	DPE05	KEY052	KEY051	KEY050				KEY05EN
	Read/Write	R/W				R			R/W
	リセット後	0	0	1	0	0			0
	機能	プルアップ 0: スタティック 1: ダイナミック	KEY05 アクティブ状態を設定 000: “L” レベル 001: “H” レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ			リードすると”0”が読めます			KEY05 割り込み 入力 0: 禁止 1: 許可
		7	6	5	4	3	2	1	0
KWUPST06 (0xFFFF_F366)	bit Symbol	DPE06	KEY062	KEY061	KEY060				KEY06EN
	Read/Write	R/W				R			R/W
	リセット後	0	0	1	0	0			0
	機能	プルアップ 0: スタティック 1: ダイナミック	KEY06 アクティブ状態を設定 000: “L” レベル 001: “H” レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ			リードすると”0”が読めます			KEY06 割り込み 入力 0: 禁止 1: 許可
		7	6	5	4	3	2	1	0
KWUPST07 (0xFFFF_F367)	bit Symbol	DPE07	KEY072	KEY071	KEY070				KEY07EN
	Read/Write	R/W				R			R/W
	リセット後	0	0	1	0	0			0
	機能	プルアップ 0: スタティック 1: ダイナミック	KEY07 アクティブ状態を設定 000: “L” レベル 001: “H” レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ			リードすると”0”が読めます			KEY07 割り込み 入力 0: 禁止 1: 許可

	7	6	5	4	3	2	1	0
KWUPST08 (0xFFFF_F368)	bit Symbol	DPE08	KEY082	KEY081	KEY080			KEY08EN
	Read/Write	R/W			R			R/W
	リセット後	0	0	1	0	0		0
	機能	プルアップ 0: スタティック 1: ダイナミック	KEY08 タイプ状態を設定 000: “L” レベル 001: “H” レベル 010: 立ち下がリエッジ 011: 立ち上がりエッジ 100: 両エッジ		リードすると”0”が読めます			KEY08 割り込み 入力 0: 禁止 1: 許可
		7	6	5	4	3	2	1
	bit Symbol	DPE09	KEY092	KEY091	KEY090			KEY09EN
KWUPST09 (0xFFFF_F369)	Read/Write	R/W			R			R/W
	リセット後	0		1	0	0		0
	機能	プルアップ 0: スタティック 1: ダイナミック	KEY09 タイプ状態を設定 000: “L” レベル 001: “H” レベル 010: 立ち下がリエッジ 011: 立ち上がりエッジ 100: 両エッジ		リードすると”0”が読めます			KEY09 割り込み 入力 0: 禁止 1: 許可
		7	6	5	4	3	2	1
	bit Symbol	DPE10	KEY102	KEY101	KEY100			KEY10EN
KWUPST10 (0xFFFF_F36A)	Read/Write	R/W			R			R/W
	リセット後	0	0	1	0	0		0
	機能	プルアップ 0: スタティック 1: ダイナミック	KEY10 タイプ状態を設定 000: “L” レベル 001: “H” レベル 010: 立ち下がリエッジ 011: 立ち上がりエッジ 100: 両エッジ		リードすると”0”が読めます			KEY10 割り込み 入力 0: 禁止 1: 許可
		7	6	5	4	3	2	1
	bit Symbol	DPE11	KEY112	KEY111	KEY110			KEY11EN
KWUPST11 (0xFFFF_F36B)	Read/Write	R/W			R			R/W
	リセット後	0	0	1	0	0		0
	機能	プルアップ 0: スタティック 1: ダイナミック	KEY11 アクティブ状態を設定 000: “L” レベル 001: “H” レベル 010: 立ち下がリエッジ 011: 立ち上がりエッジ 100: 両エッジ		リードすると”0”が読めます			KEY11 割り込み 入力 0: 禁止 1: 許可

	7	6	5	4	3	2	1	0
KWUPST12 (0xFFFF_F36C)	bit Symbol	DPE12	KEY122	KEY121	KEY120			KEY12EN
	Read/Write	R/W			R			R/W
	リセット後	0	0	1	0	0		0
	機能	ブルアップ 0: スタティック 1: ダイナミック	KEY12 アクティブ状態を設定 000: “L” レベル 001: “H” レベル 010: 立ち下がリエッジ 011: 立ち上がりエッジ 100: 両エッジ		リードすると”0”が読めます			KEY12 割り込み 入力 0: 禁止 1: 許可
		7	6	5	4	3	2	1
	bit Symbol	DPE13	KEY132	KEY131	KEY130			KEY13EN
KWUPST13 (0xFFFF_F36D)	Read/Write	R/W			R			R/W
	リセット後	0	0	1	0	0		0
	機能	ブルアップ 0: スタティック 1: ダイナミック	KEY13 アクティブ状態を設定 000: “L” レベル 001: “H” レベル 010: 立ち下がリエッジ 011: 立ち上がりエッジ 100: 両エッジ		リードすると”0”が読めます			KEY13 割り込み 入力 0: 禁止 1: 許可
		7	6	5	4	3	2	1
	bit Symbol	DPE14	KEY142	KEY141	KEY140			KEY14EN
KWUPST14 (0xFFFF_F36E)	Read/Write	R/W			R			R/W
	リセット後	0		1	0	0		0
	機能	ブルアップ 0: スタティック 1: ダイナミック	KEY14 アクティブ状態を設定 000: “L” レベル 001: “H” レベル 010: 立ち下がリエッジ 011: 立ち上がりエッジ 100: 両エッジ		リードすると”0”が読めます			KEY14 割り込み 入力 0: 禁止 1: 許可
		7	6	5	4	3	2	1
	bit Symbol	DPE15	KEY152	KEY151	KEY150			KEY15EN
KWUPST15 (0xFFFF_F36F)	Read/Write	R/W			R			R/W
	リセット後	0	0	1	0	0		0
	機能	ブルアップ 0: スタティック 1: ダイナミック	KEY15 アクティブ状態を設定 000: “L” レベル 001: “H” レベル 010: 立ち下がリエッジ 011: 立ち上がりエッジ 100: 両エッジ		リードすると”0”が読めます			KEY15 割り込み 入力 0: 禁止 1: 許可

	7	6	5	4	3	2	1	0
KWUPST16 (0xFFFF_F370)	bit Symbol	DPE16	KEY162	KEY161	KEY160			KEY16EN
	Read/Write	R/W			R			R/W
	リセット後	0	0	1	0	0		0
	機能	プルアップ 0: スタティック 1: ダイナミック	KEY16 アクティブ状態を設定 000: “L” レベル 001: “H” レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ		リードすると”0”が読めます			KEY16 割り込み 入力 0: 禁止 1: 許可
		7	6	5	4	3	2	1
	bit Symbol	DPE17	KEY172	KEY171	KEY170			KEY17EN
KWUPST17 (0xFFFF_F371)	Read/Write	R/W			R			R/W
	リセット後	0	0	1	0	0		0
	機能	プルアップ 0: スタティック 1: ダイナミック	KEY17 アクティブ状態を設定 000: “L” レベル 001: “H” レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ		リードすると”0”が読めます			KEY17 割り込み 入力 0: 禁止 1: 許可
		7	6	5	4	3	2	1
	bit Symbol	DPE18	KEY182	KEY181	KEY180			KEY18EN
KWUPST18 (0xFFFF_F372)	Read/Write	R/W			R			R/W
	リセット後	0	0	1	0	0		0
	機能	プルアップ 0: スタティック 1: ダイナミック	KEY18 アクティブ状態を設定 000: “L” レベル 001: “H” レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ		リードすると”0”が読めます			KEY18 割り込み 入力 0: 禁止 1: 許可
		7	6	5	4	3	2	1
	bit Symbol	DPE19	KEY192	KEY191	KEY190			KEY19EN
KWUPST19 (0xFFFF_F373)	Read/Write	R/W			R			R/W
	リセット後	0		1	0	0		0
	機能	プルアップ 0: スタティック 1: ダイナミック	KEY19 アクティブ状態を設定 000: “L” レベル 001: “H” レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ		リードすると”0”が読めます			KEY19 割り込み 入力 0: 禁止 1: 許可

	7	6	5	4	3	2	1	0	
KWUPST20 (0xFFFF_F374)	bit Symbol	DPE20	KEY202	KEY201	KEY200			KEY20EN	
	Read/Write	R/W				R			R/W
	リセット後	0	0	1	0	0			0
	機能	ブルアップ 0: スタティック 1: ダイナミック	KEY20 アクティブ状態を設定 000: “L” レベル 001: “H” レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ			リードすると”0”が読めます			KEY20 割り込み 入力 0: 禁止 1: 許可
	7	6	5	4	3	2	1	0	
KWUPST21 (0xFFFF_F375)	bit Symbol	DPE21	KEY212	KEY211	KEY210			KEY21EN	
	Read/Write	R/W				R			R/W
	リセット後	0	0	1	0	0			0
	機能	ブルアップ 0: スタティック 1: ダイナミック	KEY21 アクティブ状態を設定 000: “L” レベル 001: “H” レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ			リードすると”0”が読めます			KEY21 割り込み 入力 0: 禁止 1: 許可
	7	6	5	4	3	2	1	0	
KWUPST22 (0xFFFF_F376)	bit Symbol	DPE22	KEY221	KEY221	KEY220			KEY22EN	
	Read/Write	R/W				R			R/W
	リセット後	0	0	1	0	0			0
	機能	ブルアップ 0: スタティック 1: ダイナミック	KEY22 アクティブ状態を設定 000: “L” レベル 001: “H” レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ			リードすると”0”が読めます			KEY22 割り込み 入力 0: 禁止 1: 許可
	7	6	5	4	3	2	1	0	
KWUPST23 (0xFFFF_F377)	bit Symbol	DPE23	KEY232	KEY231	KEY230			KEY23EN	
	Read/Write	R/W				R			R/W
	リセット後	0	0	1	0	0			0
	機能	ブルアップ 0: スタティック 1: ダイナミック	KEY23 アクティブ状態を設定 000: “L” レベル 001: “H” レベル 010: 立ち下がりエッジ 011: 立ち上がりエッジ 100: 両エッジ			リードすると”0”が読めます			KEY23 割り込み 入力 0: 禁止 1: 許可

	7	6	5	4	3	2	1	0
KWUPST24 (0xFFFF_F378)	bit Symbol	DPE24	KEY242	KEY241	KEY240			KEY24EN
	Read/Write	R/W			R			R/W
	リセット後	0		1	0	0		0
	機能	プルアップ 0: スタティック 1: ダイナミック	KEY24 アクティブ状態を設定 000: “L” レベル 001: “H” レベル 010: 立ち下がリエッジ 011: 立ち上がりエッジ 100: 両エッジ		リードすると”0”が読めます			KEY24 割り込み 入力 0: 禁止 1: 許可
		7	6	5	4	3	2	1
	bit Symbol	DPE25	KEY252	KEY251	KEY250			KEY25EN
KWUPST25 (0xFFFF_F379)	Read/Write	R/W			R			R/W
	リセット後	0	0	1	0	0		0
	機能	プルアップ 0: スタティック 1: ダイナミック	KEY25 アクティブ状態を設定 000: “L” レベル 001: “H” レベル 010: 立ち下がリエッジ 011: 立ち上がりエッジ 100: 両エッジ		リードすると”0”が読めます			KEY25 割り込み 入力 0: 禁止 1: 許可
		7	6	5	4	3	2	1
	bit Symbol	DPE26	KEY262	KEY261	KEY260			KEY26EN
KWUPST26 (0xFFFF_F37A)	Read/Write	R/W			R			R/W
	リセット後	0	0	1	0	0		0
	機能	プルアップ 0: スタティック 1: ダイナミック	KEY26 アクティブ状態を設定 000: “L” レベル 001: “H” レベル 010: 立ち下がリエッジ 011: 立ち上がりエッジ 100: 両エッジ		リードすると”0”が読めます			KEY26 割り込み 入力 0: 禁止 1: 許可
		7	6	5	4	3	2	1
	bit Symbol	DPE27	KEY272	KEY271	KEY270			KEY27EN
KWUPST27 (0xFFFF_F37B)	Read/Write	R/W			R			R/W
	リセット後	0	0	1	0	0		0
	機能	プルアップ 0: スタティック 1: ダイナミック	KEY27 アクティブ状態を設定 000: “L” レベル 001: “H” レベル 010: 立ち下がリエッジ 011: 立ち上がりエッジ 100: 両エッジ		リードすると”0”が読めます			KEY27 割り込み 入力 0: 禁止 1: 許可

	7	6	5	4	3	2	1	0	
KWUPST28 (0xFFFF_F37C)	bit Symbol	DPE28	KEY282	KEY281	KEY280			KEY28EN	
	Read/Write	R/W				R			R/W
	リセット後	0	0	1	0	0			0
	機能	プルアップ 0: スタティック 1: ダイナミック	KEY28 アクティブ状態を設定 000: “L” レベル 001: “H” レベル 010: 立ち下がリエッジ 011: 立ち上がりエッジ 100: 両エッジ			リードすると”0”が読めます			KEY28 割り込み 入力 0: 禁止 1: 許可
		7	6	5	4	3	2	1	0
KWUPST29 (0xFFFF_F37D)	bit Symbol	DPE29	KEY292	KEY291	KEY290			KEY29EN	
	Read/Write	R/W				R			R/W
	リセット後	0		1	0	0			0
	機能	プルアップ 0: スタティック 1: ダイナミック	KEY29 アクティブ状態を設定 000: “L” レベル 001: “H” レベル 010: 立ち下がリエッジ 011: 立ち上がりエッジ 100: 両エッジ			リードすると”0”が読めます			KEY29 割り込み 入力 0: 禁止 1: 許可
		7	6	5	4	3	2	1	0
KWUPST30 (0xFFFF_F37E)	bit Symbol	DPE30	KEY302	KEY301	KEY300			KEY30EN	
	Read/Write	R/W				R			R/W
	リセット後	0	0	1	0	0			0
	機能	プルアップ 0: スタティック 1: ダイナミック	KEY30 アクティブ状態を設定 000: “L” レベル 001: “H” レベル 010: 立ち下がリエッジ 011: 立ち上がりエッジ 100: 両エッジ			リードすると”0”が読めます			KEY30 割り込み 入力 0: 禁止 1: 許可
		7	6	5	4	3	2	1	0
KWUPST31 (0xFFFF_F37F)	bit Symbol	DPE31	KEY312	KEY311	KEY310			KEY31EN	
	Read/Write	R/W				R			R/W
	リセット後	0	0	1	0	0			0
	機能	プルアップ 0: スタティック 1: ダイナミック	KEY31 アクティブ状態を設定 000: “L” レベル 001: “H” レベル 010: 立ち下がリエッジ 011: 立ち上がりエッジ 100: 両エッジ			リードすると”0”が読めます			KEY31 割り込み 入力 0: 禁止 1: 許可

20.5 KEY 入力割り込みの検出と要求のクリア

KEYnEN = 1 のときに KEYn にアクティブな信号が入力されると、KWUPINTn の該当チャネル KEYINTn に割り込みが入ったことを示す“1”が設定されます。KWUPINTn は読み出し専用レジスタで、本レジスタをリードすることにより、“1”にセットされた該当 bit 及び割り込み要求はクリアされます。KWUPCLR による一括クリアも可能です。

アクティブ状態をレベルに設定した場合は、外部入力を取り下げない限り、KWUPINTn レジスタの該当 bit はリードした場合でもクリアされず“1”のままです。

	7	6	5	4	3	2	1	0
bit Symbol	KEYINT7	KEYINT6	KEYINT5	KEYINT4	KEYINT3	KEYINT2	KEYINT1	KEYINT0
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	:割り込み 0::無し 1:有り	:割り込み 0::無し 1:有り	:割り込み 0::無し 1:有り	:割り込み 0::無し 1:有り	:割り込み 0::無し 1:有り	:割り込み 0::無し 1:有り	:割り込み 0::無し 1:有り	:割り込み 0::無し 1:有り

KWUPINT0
(0xFFFF_F388)

	7	6	5	4	3	2	1	0
bit Symbol	KEYINT15	KEYINT14	KEYINT13	KEYINT12	KEYINT11	KEYINT10	KEYINT9	KEYINT8
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	:割り込み 0::無し 1:有り	:割り込み 0::無し 1:有り	:割り込み 0::無し 1:有り	:割り込み 0::無し 1:有り	:割り込み 0::無し 1:有り	:割り込み 0::無し 1:有り	:割り込み 0::無し 1:有り	:割り込み 0::無し 1:有り

KWUPINT1
(0xFFFF_F389)

	7	6	5	4	3	2	1	0
bit Symbol	KEYINT23	KEYINT22	KEYINT21	KEYINT20	KEYINT19	KEYINT18	KEYINT17	KEYINT16
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	:割り込み 0::無し 1:有り	:割り込み 0::無し 1:有り	:割り込み 0::無し 1:有り	:割り込み 0::無し 1:有り	:割り込み 0::無し 1:有り	:割り込み 0::無し 1:有り	:割り込み 0::無し 1:有り	:割り込み 0::無し 1:有り

KWUPINT2
(0xFFFF_F38A)

	7	6	5	4	3	2	1	0
bit Symbol	KEYINT31	KEYINT30	KEYINT29	KEYINT28	KEYINT27	KEYINT26	KEYINT25	KEYINT24
Read/Write	R							
リセット後	0	0	0	0	0	0	0	0
機能	:割り込み 0::無し 1:有り	:割り込み 0::無し 1:有り	:割り込み 0::無し 1:有り	:割り込み 0::無し 1:有り	:割り込み 0::無し 1:有り	:割り込み 0::無し 1:有り	:割り込み 0::無し 1:有り	:割り込み 0::無し 1:有り

KWUPINT3
(0xFFFF_F38B)

	7	6	5	4	3	2	1	0
bit Symbol					KEYCLR3	KEYCLR2	KEYCLR1	KEYCLR0
Read/Write	R				W			
リセット後	0							
機能	リードすると“0”が読めます				1010 をライトすることにより Key の全要因クリア リードすると“0”が読めます。			

KWUPCLR
(0xFFFF_F385)

21. ROM correction 機能

本章では TMP19A43 に内蔵されている ROM correction 機能について説明します。

21.1 特長

- 1箇所当たり1ワードのデータを8箇所、および8ワードのデータを4箇所置き替えることができます。
- アドレスレジスタに書き込まれたアドレス（下位5ビットまたは、2ビットは Don't care）と PC、または DMAC が生成するアドレスが一致すると、前記アドレスレジスタに対応した RAM 上に置かれた ROM correction データレジスタからのデータが ROM データに置き換わります。
- ROM correction の許可は各アドレスレジスタにアドレスをセットすることにより自動的に行われます。
- プログラムの変更など8ワードで訂正ができない場合は、RAM 上のデータレジスタへ RAM へのジャンプ命令を置き、RAM 上で訂正することができます。

21.2 動作

アドレスレジスタ ADDREGn に訂正したい ROM エリアの物理アドレス（含む投影エリア）をセットすることにより、ADDREGn に対応した RAM 上のデータレジスタからのデータを ROM データと置き換えることができます。この ADDREGn にアドレスをセットすることにより、自動的にこの ROM correction 機能は有効になり、無効にすることは出来ません。リセット後は全ての ROM correction 機能が禁止されています。したがって、リセット解除後の初期設定にて ROM correction を行う場合は、必要な ADDREG にアドレスをセットしてください。アドレスがセットされた ADDREG は ROM correction 機能が有効になり、CPU がバス権利を所有しているときは PC の値、DMAC がバス権利を所有しているときは DMAC が発行するソースまたはデスティネーションアドレスと一致すると ROM データと置き換えがされます。例えば、ADDREG0、ADDREG3 にアドレスをセットすると、このエリアの ROM correction 機能が有効になり、このアドレスレジスタに対して常に一致検出が行われ、一致すれば置き換えを行います。ADDREG1、ADDREG2、ADDREG4~7 に対しては行われません。また、アドレスレジスタのビットは <31:5> が存在しますが、アドレスの一致検出は回路簡略の為に <20:5> に対して行われます。内部的には ROM エリアを示す ROMCS 信号と ROM コレクション回路の一致検出の論理積が取られて置き換えが行なわれます。

8ワードデータを置き換える場合の ROM correction のアドレスは8ワード単位の境界にのみ設定できます。従って、32 バイト単位での置き換えになりますので、その中の一部のみを置き換えるときは、置き換えの必要のないアドレスには置き換え前と同じデータを書いてください。

ADDREGn と RAM エリアの対応は以下のようになっています。

レジスタ	アドレス	RAM エリアの対応	ワード数
ADDREG0	0xFFFF_E540	0xFFFF_DF60 - 0xFFFF_DF7F	8
ADDREG1	0xFFFF_E544	0xFFFF_DF80 - 0xFFFF_DF9F	8
ADDREG2	0xFFFF_E548	0xFFFF_DFA0 - 0xFFFF_DFBF	8
ADDREG3	0xFFFF_E54C	0xFFFF_DFC0 - 0xFFFF_DFDF	8
ADDREG4	0xFFFF_E550	0xFFFF_DFE0 - 0xFFFF_DFE3	1
ADDREG5	0xFFFF_E554	0xFFFF_DFE4 - 0xFFFF_DFE7	1
ADDREG6	0xFFFF_E558	0xFFFF_DFE8 - 0xFFFF_DFEB	1
ADDREG7	0xFFFF_E55C	0xFFFF_DFEC - 0xFFFF_DFEF	1
ADDREG8	0xFFFF_E560	0xFFFF_DFF0 - 0xFFFF_DFF3	1
ADDREG9	0xFFFF_E564	0xFFFF_DFF4 - 0xFFFF_DFF7	1
ADDREGA	0xFFFF_E568	0xFFFF_DFF8 - 0xFFFF_DFFB	1
ADDREGB	0xFFFF_E56C	0xFFFF_DFFC - 0xFFFF_DFFF	1

注：ROM correction 機能を使用する際は、ROM プロテクトを解除してください。

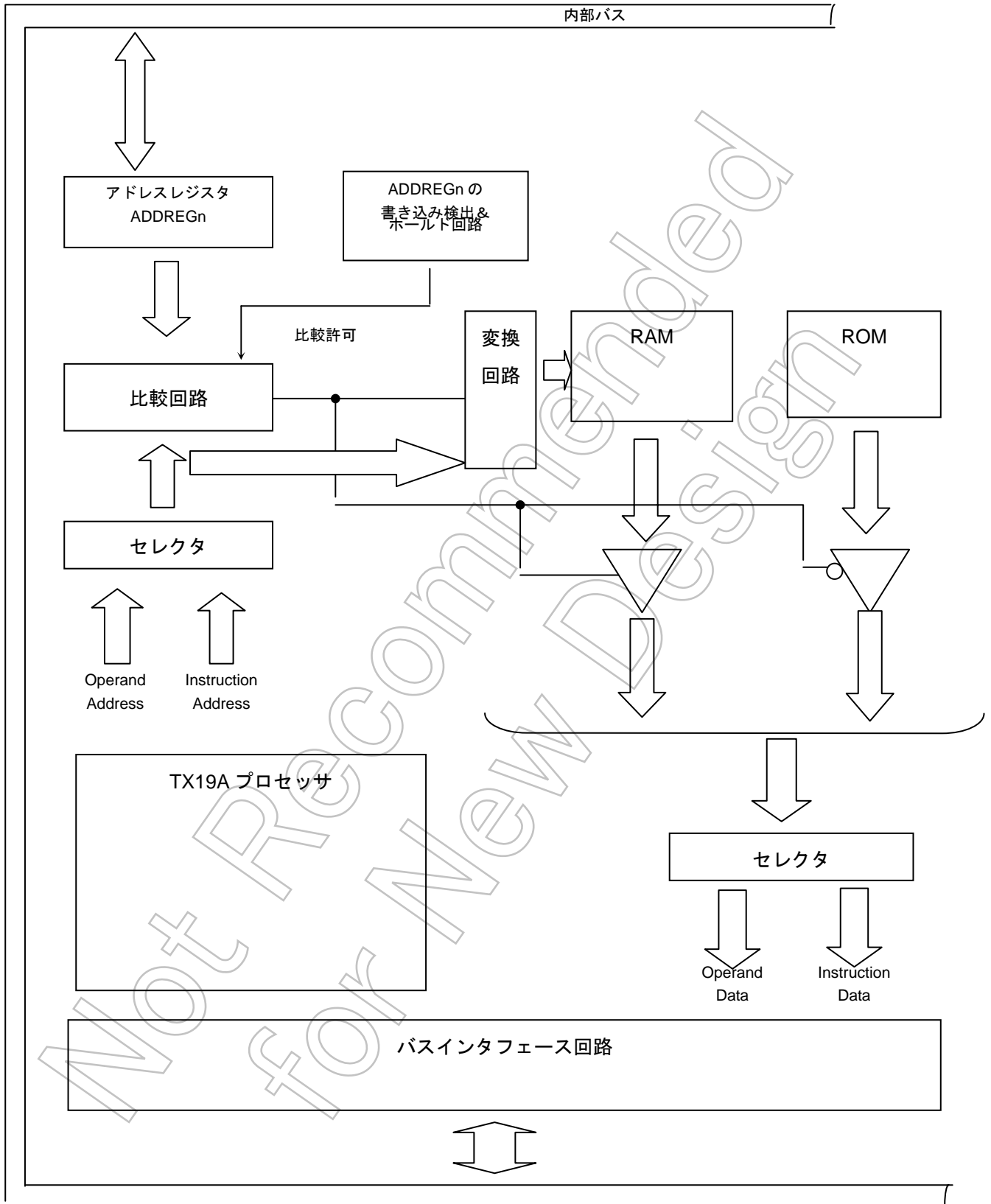


図 21-1 ROM correction システム図

21.3 レジスタ

(1) アドレスレジスタ

ADDREG0
(0xFFFF_E540)

	7	6	5	4	3	2	1	0
bit Symbol	ADD07	ADD06	ADD05					
Read/Write	R/W			R				
リセット後	0	0	0	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit Symbol	ADD015	ADD014	ADD013	ADD012	ADD011	ADD010	ADD09	ADD08
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	ADD023	ADD022	ADD021	ADD020	ADD019	ADD018	ADD017	ADD016
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol	ADD031	ADD030	ADD029	ADD028	ADD027	ADD026	ADD025	ADD024
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

ADDREG1
(0xFFFF_E540)

	7	6	5	4	3	2	1	0
bit Symbol	ADD17	ADD16	ADD15					
Read/Write	R/W			R				
リセット後	0	0	0	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit Symbol	ADD115	ADD114	ADD113	ADD112	ADD111	ADD110	ADD19	ADD18
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	ADD123	ADD122	ADD121	ADD120	ADD119	ADD118	ADD117	ADD116
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol	ADD131	ADD130	ADD129	ADD128	ADD127	ADD126	ADD125	ADD124
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

ADDREG2
(0xFFFF_E548)

	7	6	5	4	3	2	1	0
bit Symbol	ADD27	ADD26	ADD25					
Read/Write	R/W			R				
リセット後	0	0	0	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit Symbol	ADD215	ADD214	ADD213	ADD212	ADD211	ADD210	ADD29	ADD28
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	ADD223	ADD222	ADD221	ADD220	ADD219	ADD218	ADD217	ADD216
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol	ADD231	ADD230	ADD229	ADD228	ADD227	ADD226	ADD225	ADD224
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

ADDRG3
(0xFFFF_E54C)

	7	6	5	4	3	2	1	0
bit Symbol	ADD37	ADD36	ADD35					
Read/Write	R/W			R				
リセット後	0	0	0	1	1	1	1	1
	15	14	13	12	11	10	9	8
bit Symbol	ADD315	ADD314	ADD313	ADD312	ADD311	ADD310	ADD309	ADD308
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	ADD323	ADD322	ADD321	ADD320	ADD319	ADD318	ADD317	ADD316
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol	ADD331	ADD330	ADD329	ADD328	ADD327	ADD326	ADD325	ADD324
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

ADDRG4
(0xFFFF_E550)

	7	6	5	4	3	2	1	0
bit Symbol	ADD47	ADD46	ADD45	ADD44	ADD43	ADD42		
Read/Write	R/W					R		
リセット後	0	0	0	0	0	0	1	1
	15	14	13	12	11	10	9	8
bit Symbol	ADD415	ADD414	ADD413	ADD412	ADD411	ADD410	ADD409	ADD408
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	ADD423	ADD422	ADD421	ADD420	ADD419	ADD418	ADD417	ADD416
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol	ADD431	ADD430	ADD429	ADD428	ADD427	ADD426	ADD425	ADD424
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

ADDRG5
(0xFFFF_E554)

	7	6	5	4	3	2	1	0
bit Symbol	ADD57	ADD56	ADD55	ADD54	ADD53	ADD52		
Read/Write	R/W					R		
リセット後	0	0	0	0	0	0	1	1
	15	14	13	12	11	10	9	8
bit Symbol	ADD515	ADD514	ADD513	ADD512	ADD511	ADD510	ADD509	ADD508
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	ADD523	ADD522	ADD521	ADD520	ADD519	ADD518	ADD517	ADD516
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol	ADD531	ADD530	ADD529	ADD528	ADD527	ADD526	ADD525	ADD524
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

ADDR66
(0xFFFF_E558)

	7	6	5	4	3	2	1	0
bit Symbol	ADD67	ADD66	ADD65	ADD64	ADD63	ADD62		
Read/Write	R/W						R	
リセット後	0	0	0	0	0	0	1	1
	15	14	13	12	11	10	9	8
bit Symbol	ADD615	ADD614	ADD613	ADD612	ADD611	ADD610	ADD69	ADD68
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	ADD623	ADD622	ADD621	ADD620	ADD619	ADD618	ADD617	ADD616
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol	ADD631	ADD630	ADD629	ADD628	ADD627	ADD626	ADD625	ADD624
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

ADDR67
(0xFFFF_E55C)

	7	6	5	4	3	2	1	0
bit Symbol	ADD77	ADD76	ADD75	ADD74	ADD73	ADD72		
Read/Write	R/W						R	
リセット後	0	0	0	0	0	0	1	1
	15	14	13	12	11	10	9	8
bit Symbol	ADD715	ADD714	ADD713	ADD712	ADD711	ADD710	ADD79	ADD78
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	ADD723	ADD722	ADD721	ADD720	ADD719	ADD718	ADD717	ADD716
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol	ADD731	ADD730	ADD729	ADD728	ADD727	ADD726	ADD725	ADD724
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

ADDR68
(0xFFFF_E560)

	7	6	5	4	3	2	1	0
bit Symbol	ADD87	ADD86	ADD85	ADD84	ADD83	ADD82		
Read/Write	R/W						R	
リセット後	0	0	0	0	0	0	1	1
	15	14	13	12	11	10	9	8
bit Symbol	ADD815	ADD814	ADD813	ADD812	ADD811	ADD810	ADD89	ADD88
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	ADD823	ADD822	ADD821	ADD820	ADD819	ADD818	ADD817	ADD816
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol	ADD831	ADD830	ADD829	ADD828	ADD827	ADD826	ADD825	ADD824
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

ADDREG9
(0xFFFF_E564)

	7	6	5	4	3	2	1	0
bit Symbol	ADD97	ADD96	ADD95	ADD94	ADD93	ADD92		
Read/Write	R/W						R	
リセット後	0	0	0	0	0	0	1	1
	15	14	13	12	11	10	9	8
bit Symbol	ADD915	ADD914	ADD913	ADD912	ADD911	ADD910	ADD99	ADD98
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	ADD923	ADD922	ADD921	ADD920	ADD919	ADD918	ADD917	ADD916
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol	ADD931	ADD930	ADD929	ADD928	ADD927	ADD926	ADD925	ADD924
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

ADDREGA
(0xFFFF_E568)

	7	6	5	4	3	2	1	0
bit Symbol	ADDA7	ADDA6	ADDA5	ADDA4	ADDA3	ADDA2		
Read/Write	R/W						R	
リセット後	0	0	0	0	0	0	1	1
	15	14	13	12	11	10	9	8
bit Symbol	ADDA15	ADDA14	ADDA13	ADDA12	ADDA11	ADDA10	ADDA9	ADDA8
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	ADDA23	ADDA22	ADDA21	ADDA20	ADDA19	ADDA18	ADDA17	ADDA16
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol	ADDA31	ADDA30	ADDA29	ADDA28	ADDA27	ADDA26	ADDA25	ADDA24
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

ADDREGB
(0xFFFF_E56C)

	7	6	5	4	3	2	1	0
bit Symbol	ADDB7	ADDB6	ADDB5	ADDB4	ADDB3	ADDB2		
Read/Write	R/W						R	
リセット後	0	0	0	0	0	0	1	1
	15	14	13	12	11	10	9	8
bit Symbol	ADDB15	ADDB14	ADDB13	ADDB12	ADDB11	ADDB10	ADDB9	ADDB8
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	23	22	21	20	19	18	17	16
bit Symbol	ADDB23	ADDB22	ADDB21	ADDB20	ADDB19	ADDB18	ADDB17	ADDB16
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
	31	30	29	28	27	26	25	24
bit Symbol	ADDB31	ADDB30	ADDB29	ADDB28	ADDB27	ADDB26	ADDB25	ADDB24
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0

(注1) アドレスレジスタへの DMA 転送はできません。RAM 上に配置される置き換えのためのデータ領域への DMA 転送は可能です。また ROM コレクションの置き換え機能は CPU アクセス時、DMA アクセス時いずれの場合も有効です。

(注2) 初期値“0x00”を書き戻すとリセットアドレスに対して置き換えを行います。

22. 特殊機能レジスタ一覧表

FFFFE000H~FFFFFFFFH の 8K バイトのアドレス空間に割り付けられています。

- [1] ポート関連
- [2] ウォッチドッグタイマ
- [3] 16 ビットタイマ
- [4] I²CBUS/シリアル チャネル
- [5] UART/シリアル チャネル
- [6] 10 ビット A/D コンバータ
- [7] 8 ビット D/A コンバータ
- [8] キーオンウェイクアップ
- [9] 32 ビットインプットキャプチャ
- [10] 32 ビットコンペア
- [11] 割り込みコントローラ
- [12] DMA コントローラ
- [13] チップセレクト/ウェイトコントローラ
- [14] FLASH制御
- [15] ROMコレクション
- [16] 時計用タイマ
- [17] UART/高速シリアル チャネル
- [18] クロックジェネレータ

(注 1) 0xFFFF_F000~0xFFFF_FFFF に該当するアドレスにマッピングされたレジスタはエンディアン設定による影響はありません。

0xFFFF_E000~0xFFFF_EFFF に該当するアドレスにマッピングされたレジスタはエンディアン設定によりアドレスが変化します。

(注 2) レジスタ長が 8 ビットの連続するレジスタは 16/32 ビットでアクセスすることが可能です。但し、16/32 ビットでアクセスする場合は、偶数アドレスへアクセスし且つ未定義領域(アドレス)を含まないようにして下さい。

1. ビッグエンディアン

[1] PORT 関連

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFF000H	P0	FFFFF010H		FFFFF020H	P4CR	FFFFF030H	P6ODE
1H	P1	1H		1H	P4FC	1H	P9ODE
2H	P0CR	2H	P2	2H		2H	
3H		3H		3H		3H	
4H	P1CR	4H	P2CR	4H		4H	PBODE
5H	P1FC	5H	P2FC	5H	P4PE	5H	PCODE
6H		6H	P2FC2	6H	P5PE	6H	PDODE
7H		7H		7H	P6PE	7H	
8H		8H	P3	8H	P5	8H	
9H		9H		9H	P6	9H	
AH		AH	P3CR	AH		AH	
BH		BH	P3FC	BH		BH	
CH	P0PE	CH	P2PE	CH	P5CR	CH	P5FC2
DH	P1PE	DH	P3PE	DH	P5FC	DH	P6FC2
EH		EH	P4	EH	P6CR	EH	reserved
FH		FH		FH	P6FC	FH	reserved

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFF040H	P7	FFFFF050H	PB	FFFFF060H	PF	FFFFF070H	
1H	P8	1H	PC	1H	PG	1H	
2H	P9	2H	PD	2H	PH	2H	
3H	PA	3H	PE	3H		3H	
4H	—	4H	PBCR	4H	PFCR	4H	
5H	—	5H	PCCR	5H	PGCR	5H	
6H	P9CR	6H	PDCR	6H	PHCR	6H	
7H	PACR	7H	PECR	7H		7H	
8H	P7FC	8H	PBFC	8H	PFFC	8H	
9H	P8FC	9H	PCFC	9H	PGFC	9H	
AH	P9FC	AH	PDFC	AH	—	AH	
BH	PAFC	BH	PEFC	BH	—	BH	
CH	P7PE	CH	PBPE	CH	PFPE	CH	
DH	P8PE	DH	PCPE	DH	PGPE	DH	
EH	P9PE	EH	PDPE	EH	PHPE	EH	
FH	PAPE	FH	PEPE	FH		FH	

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFF0C0H		FFFFF0D0H		FFFFF0E0H		FFFFF0F0H	
1H		1H		1H		1H	
2H		2H		2H		2H	
3H		3H		3H		3H	
4H		4H		4H		4H	
5H		5H		5H		5H	
6H		6H		6H		6H	
7H		7H		7H		7H	
8H		8H		8H		8H	
9H		9H		9H		9H	
AH		AH		AH		AH	
BH		BH		BH		BH	
CH		CH		CH		CH	
DH		DH		DH		DH	
EH		EH		EH		EH	
FH		FH		FH		FH	

[2] WDT

ADR	レジスタ名
FFFFF080H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF090H	WDMOD
1H	WDCR
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF0A0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF0B0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[3] 16 bit タイマ

ADR	レジスタ名
FFFFF140H	TB0RUN
1H	TB0CR
2H	TB0MOD
3H	TB0FFCR
4H	TB0ST
5H	
6H	TB0UCL
7H	TB0UCH
8H	TB0RG0L
9H	TB0RG0H
AH	TB0RG1L
BH	TB0RG1H
CH	TB0CP0L
DH	TB0CP0H
EH	TB0CP1L
FH	TB0CP1H

ADR	レジスタ名
FFFFF150H	TB1RUN
1H	TB1CR
2H	TB1MOD
3H	TB1FFCR
4H	TB1ST
5H	
6H	TB1UCL
7H	TB1UCH
8H	TB1RG0L
9H	TB1RG0H
AH	TB1RG1L
BH	TB1RG1H
CH	TB1CP0L
DH	TB1CP0H
EH	TB1CP1L
FH	TB1CP1H

ADR	レジスタ名
FFFFF160H	TB2RUN
1H	TB2CR
2H	TB2MOD
3H	TB2FFCR
4H	TB2ST
5H	
6H	TB2UCL
7H	TB2UCH
8H	TB2RG0L
9H	TB2RG0H
AH	TB2RG1L
BH	TB2RG1H
CH	TB2CP0L
DH	TB2CP0H
EH	TB2CP1L
FH	TB2CP1H

ADR	レジスタ名
FFFFF170H	TB3RUN
1H	TB3CR
2H	TB3MOD
3H	TB3FFCR
4H	TB3ST
5H	
6H	TB3UCL
7H	TB3UCH
8H	TB3RG0L
9H	TB3RG0H
AH	TB3RG1L
BH	TB3RG1H
CH	TB3CP0L
DH	TB3CP0H
EH	TB3CP1L
FH	TB3CP1H

ADR	レジスタ名
FFFFF180H	TB4RUN
1H	TB4CR
2H	TB4MOD
3H	TB4FFCR
4H	TB4ST
5H	
6H	TB4UCL
7H	TB4UCH
8H	TB4RG0L
9H	TB4RG0H
AH	TB4RG1L
BH	TB4RG1H
CH	TB4CP0L
DH	TB4CP0H
EH	TB4CP1L
FH	TB4CP1H

ADR	レジスタ名
FFFFF190H	TB5RUN
1H	TB5CR
2H	TB5MOD
3H	TB5FFCR
4H	TB5ST
5H	
6H	TB5UCL
7H	TB5UCH
8H	TB5RG0L
9H	TB5RG0H
AH	TB5RG1L
BH	TB5RG1H
CH	TB5CP0L
DH	TB5CP0H
EH	TB5CP1L
FH	TB5CP1H

ADR	レジスタ名
FFFFF1A0H	TB6RUN
1H	TB6CR
2H	TB6MOD
3H	TB6FFCR
4H	TB6ST
5H	
6H	TB6UCL
7H	TB6UCH
8H	TB6RG0L
9H	TB6RG0H
AH	TB6RG1L
BH	TB6RG1H
CH	TB6CP0L
DH	TB6CP0H
EH	TB6CP1L
FH	TB6CP1H

ADR	レジスタ名
FFFFF1B0H	TB7RUN
1H	TB7CR
2H	TB7MOD
3H	TB7FFCR
4H	TB7ST
5H	
6H	TB7UCL
7H	TB7UCH
8H	TB7RG0L
9H	TB7RG0H
AH	TB7RG1L
BH	TB7RG1H
CH	TB7CP0L
DH	TB7CP0H
EH	TB7CP1L
FH	TB7CP1H

ADR	レジスタ名
FFFFF1C0H	TB8RUN
1H	TB8CR
2H	TB8MOD
3H	TB8FFCR
4H	TB8ST
5H	
6H	TB8UCL
7H	TB8UCH
8H	TB8RG0L
9H	TB8RG0H
AH	TB8RG1L
BH	TB8RG1H
CH	TB8CP0L
DH	TB8CP0H
EH	TB8CP1L
FH	TB8CP1H

ADR	レジスタ名
FFFFF1D0H	TB9RUN
1H	TB9CR
2H	TB9MOD
3H	TB9FFCR
4H	TB9ST
5H	
6H	TB9UCL
7H	TB9UCH
8H	TB9RG0L
9H	TB9RG0H
AH	TB9RG1L
BH	TB9RG1H
CH	TB9CP0L
DH	TB9CP0H
EH	TB9CP1L
FH	TB9CP1H

ADR	レジスタ名
FFFFF1E0H	TBARUN
1H	TBACR
2H	TBAMOD
3H	TBAFFCR
4H	TBAST
5H	
6H	TBAUCL
7H	TBAUCH
8H	TBARG0L
9H	TBARG0H
AH	TBARG1L
BH	TBARG1H
CH	TBACP0L
DH	TBACP0H
EH	TBACP1L
FH	TBACP1H

ADR	レジスタ名
FFFFF1F0H	TBBRUN
1H	TBBCR
2H	TBBMOD
3H	TBBFFCR
4H	TBBST
5H	
6H	TBBUCL
7H	TBBUCH
8H	TBBRG0L
9H	TBBRG0H
AH	TBBRG1L
BH	TBBRG1H
CH	TBBCP0L
DH	TBBCP0H
EH	TBBCP1L
FH	TBBCP1H

ADR	レジスタ名
FFFFF200H	TBCRUN
1H	TBCCR
2H	TBCMOD
3H	TBCFFCR
4H	TBCST
5H	
6H	TBCUCL
7H	TBCUCH
8H	TBCRG0L
9H	TBCRG0H
AH	TBCRG1L
BH	TBCRG1H
CH	TBCCP0L
DH	TBCCP0H
EH	TBCCP1L
FH	TBCCP1H

ADR	レジスタ名
FFFFF210H	TBDRUN
1H	TBDCR
2H	TBDMOD
3H	TBDFFCR
4H	TBDST
5H	
6H	TBDUCL
7H	TBDUCH
8H	TBDRG0L
9H	TBDRG0H
AH	TBDRG1L
BH	TBDRG1H
CH	TBDCP0L
DH	TBDCP0H
EH	TBDCP1L
FH	TBDCP1H

ADR	レジスタ名
FFFFF220H	TBERUN
1H	TBECR
2H	TBEMOD
3H	TBEFFCR
4H	TBEST
5H	
6H	TBEUCL
7H	TBEUCH
8H	TBERG0L
9H	TBERG0H
AH	TBERG1L
BH	TBERG1H
CH	TBECP0L
DH	TBECP0H
EH	TBECP1L
FH	TBECP1H

ADR	レジスタ名
FFFFF230H	TBFRUN
1H	TBFCR
2H	TBFMOD
3H	TBFFFCR
4H	TBFST
5H	
6H	TBFUCL
7H	TBFUCH
8H	TBFRG0L
9H	TBFRG0H
AH	TBFRG1L
BH	TBFRG1H
CH	TBFCP0L
DH	TBFCP0H
EH	TBFCP1L
FH	TBFCP1H

[4] I2C/SIO

ADR	レジスタ名
FFFFF250H	SBICR1
1H	SBIDBR
2H	I2CAR
3H	SBICR2/SR
4H	SBIBR0
5H	
6H	
7H	SBICR0
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[5] UART/SIO

ADR	レジスタ名
FFFFF260H	SC0BUF
1H	SC0CR
2H	SC0MOD0
3H	BR0CR
4H	BR0ADD
5H	SC0MOD1
6H	SC0MOD2
7H	SC0EN
8H	SC0RFC
9H	SC0TFC
AH	SC0RST
BH	SC0TST
CH	SC0FCNF
DH	
EH	
FH	

ADR	レジスタ名
FFFFF270H	SC1BUF
1H	SC1CR
2H	SC1MOD0
3H	BR1CR
4H	BR1ADD
5H	SC1MOD1
6H	SC1MOD2
7H	SC1EN
8H	SC1RFC
9H	SC1TFC
AH	SC1RST
BH	SC1TST
CH	SC1FCNF
DH	
EH	
FH	

ADR	レジスタ名
FFFFF280H	SC2BUF
1H	SC2CR
2H	SC2MOD0
3H	BR2CR
4H	BR2ADD
5H	SC2MOD1
6H	SC2MOD2
7H	SC2EN
8H	SC2RFC
9H	SC2TFC
AH	SC2RST
BH	SC2TST
CH	SC2FCNF
DH	
EH	
FH	

ADR	レジスタ名
FFFFF290H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF2A0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF2B0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF2C0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[6] 10 bitADC

ADR	レジスタ名
FFFFF300H	ADREG08L
1H	ADREG08H
2H	ADREG19L
3H	ADREG19H
4H	ADREG2AL
5H	ADREG2AH
6H	ADREG3BL
7H	ADREG3BH
8H	ADREG4CL
9H	ADREG4CH
AH	ADREG5DL
BH	ADREG5DH
CH	ADREG6EL
DH	ADREG6EH
EH	ADREG7FL
FH	ADREG7FH

ADR	レジスタ名
FFFFF310H	ADREGSPL
1H	ADREGSPH
2H	ADCOMREGL
3H	ADCOMREGH
4H	ADMOD0
5H	ADMOD1
6H	ADMOD2
7H	ADMOD3
8H	ADMOD4
9H	ADCBAS
AH	reserved
BH	reserved
CH	ADCLK
DH	
EH	
FH	

[7] 8 bitDAC

ADR	レジスタ名
FFFFF330H	DACCNT0
1H	DAREG0
2H	
3H	
4H	
5H	
6H	
7H	reserved
8H	DACCNT1
9H	DAREG1
AH	
BH	
CH	
DH	
EH	
FH	reserved

ADR	レジスタ名
FFFFF340H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[8] KWUP

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFF360H	KWUPST00	FFFFF370H	KWUPST16	FFFFF380H	PKEY0	FFFFF390H	
1H	KWUPST01	1H	KWUPST17	1H	PKEY1	1H	
2H	KWUPST02	2H	KWUPST18	2H	PKEY2	2H	
3H	KWUPST03	3H	KWUPST19	3H	PKEY3	3H	
4H	KWUPST04	4H	KWUPST20	4H	KWUPCNT	4H	
5H	KWUPST05	5H	KWUPST21	5H	KWUPCLR	5H	
6H	KWUPST06	6H	KWUPST22	6H		6H	
7H	KWUPST07	7H	KWUPST23	7H		7H	
8H	KWUPST08	8H	KWUPST24	8H	KWUPINT0	8H	
9H	KWUPST09	9H	KWUPST25	9H	KWUPINT1	9H	
AH	KWUPST10	AH	KWUPST26	AH	KWUPINT2	AH	
BH	KWUPST11	BH	KWUPST27	BH	KWUPINT3	BH	
CH	KWUPST12	CH	KWUPST28	CH		CH	
DH	KWUPST13	DH	KWUPST29	DH		DH	
EH	KWUPST14	EH	KWUPST30	EH		EH	
FH	KWUPST15	FH	KWUPST31	FH		FH	

[9] 32 bit インプットキャプチャ

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFF400H	TCCR	FFFFF410H	CAP0CR	FFFFF420H	CAP2CR	FFFFF430H	
1H	TBTRUN	1H		1H		1H	
2H	TBTCR	2H		2H		2H	
3H		3H		3H		3H	
4H	TBTCAP0	4H	TCCAP0LL	4H	TCCAP2LL	4H	
5H	TBTCAP1	5H	TCCAP0LH	5H	TCCAP2LH	5H	
6H	TBTCAP2	6H	TCCAP0HL	6H	TCCAP2HL	6H	
7H	TBTCAP3	7H	TCCAP0HH	7H	TCCAP2HH	7H	
8H	TBTRDCAPLL	8H	CAP1CR	8H	CAP3CR	8H	
9H	TBTRDCAPLH	9H		9H		9H	
AH	TBTRDCAPHL	AH		AH		AH	
BH	TBTRDCAPHH	BH		BH		BH	
CH	TCG0IM	CH	TCCAP1LL	CH	TCCAP3LL	CH	
DH	TCG0ST	DH	TCCAP1LH	DH	TCCAP3LH	DH	
EH	Reserved	EH	TCCAP1HL	EH	TCCAP3HL	EH	
FH	Reserved	FH	TCCAP1HH	FH	TCCAP3HH	FH	

[10] 32 bit アウトプットコンペア

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFF440H	TCCMP0LL	FFFFF450H	TCCMP4LL	FFFFF460H		FFFFF470H	CMPCTL0
1H	TCCMP0LH	1H	TCCMP4LH	1H		1H	CMPCTL1
2H	TCCMP0HL	2H	TCCMP4HL	2H		2H	CMPCTL2
3H	TCCMP0HH	3H	TCCMP4HH	3H		3H	CMPCTL3
4H	TCCMP1LL	4H	TCCMP5LL	4H		4H	CMPCTL4
5H	TCCMP1LH	5H	TCCMP5LH	5H		5H	CMPCTL5
6H	TCCMP1HL	6H	TCCMP5HL	6H		6H	CMPCTL6
7H	TCCMP1HH	7H	TCCMP5HH	7H		7H	CMPCTL7
8H	TCCMP2LL	8H	TCCMP6LL	8H		8H	
9H	TCCMP2LH	9H	TCCMP6LH	9H		9H	
AH	TCCMP2HL	AH	TCCMP6HL	AH		AH	
BH	TCCMP2HH	BH	TCCMP6HH	BH		BH	
CH	TCCMP3LL	CH	TCCMP7LL	CH		CH	
DH	TCCMP3LH	DH	TCCMP7LH	DH		DH	
EH	TCCMP3HL	EH	TCCMP7HL	EH		EH	
FH	TCCMP3HH	FH	TCCMP7HH	FH		FH	

[11] INTC

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFE000H	IMC0	FFFFE010H	IMC4	FFFFE020H	IMC8	FFFFE030H	IMCC
1H	"	1H	"	1H	"	1H	"
2H	"	2H	"	2H	"	2H	"
3H	"	3H	"	3H	"	3H	"
4H	IMC1	4H	IMC5	4H	IMC9	4H	IMCD
5H	"	5H	"	5H	"	5H	"
6H	"	6H	"	6H	"	6H	"
7H	"	7H	"	7H	"	7H	"
8H	IMC2	8H	IMC6	8H	IMCA	8H	IMCE
9H	"	9H	"	9H	"	9H	"
AH	"	AH	"	AH	"	AH	"
BH	"	BH	"	BH	"	BH	"
CH	IMC3	CH	IMC7	CH	IMCB	CH	IMCF
DH	"	DH	"	DH	"	DH	"
EH	"	EH	"	EH	"	EH	"
FH	"	FH	"	FH	"	FH	"

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFE040H	IVR	FFFFE050H		FFFFE060H	INTCLR	FFFFE070H	
1H	"	1H		1H	"	1H	
2H	"	2H		2H	"	2H	
3H	"	3H		3H	"	3H	
4H		4H		4H		4H	
5H		5H		5H		5H	
6H		6H		6H		6H	
7H		7H		7H		7H	
8H		8H		8H		8H	
9H		9H		9H		9H	
AH		AH		AH		AH	
BH		BH		BH		BH	
CH		CH		CH		CH	
DH		DH		DH		DH	
EH		EH		EH		EH	
FH		FH		FH		FH	

ADR	レジスタ名
FFFFE100H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	ILEV
DH	"
EH	"
FH	"

[12] DMAC

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFE200H	CCR0	FFFFE210H	BCR0	FFFFE220H	CCR1	FFFFE230H	BCR1
1H	"	1H	"	1H	"	1H	"
2H	"	2H	"	2H	"	2H	"
3H	"	3H	"	3H	"	3H	"
4H	CSR0	4H		4H	CSR1	4H	
5H	"	5H		5H	"	5H	
6H	"	6H		6H	"	6H	
7H	"	7H		7H	"	7H	
8H	SAR0	8H	DTCR0	8H	SAR1	8H	DTCR1
9H	"	9H	"	9H	"	9H	"
AH	"	AH	"	AH	"	AH	"
BH	"	BH	"	BH	"	BH	"
CH	DAR0	CH		CH	DAR1	CH	
DH	"	DH		DH	"	DH	
EH	"	EH		EH	"	EH	
FH	"	FH		FH	"	FH	

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFE240H	CCR2	FFFFE250H	BCR2	FFFFE260H	CCR3	FFFFE270H	BCR3
1H	"	1H	"	1H	"	1H	"
2H	"	2H	"	2H	"	2H	"
3H	"	3H	"	3H	"	3H	"
4H	CSR2	4H		4H	CSR3	4H	
5H	"	5H		5H	"	5H	
6H	"	6H		6H	"	6H	
7H	"	7H		7H	"	7H	
8H	SAR2	8H	DTCR2	8H	SAR3	8H	DTCR3
9H	"	9H	"	9H	"	9H	"
AH	"	AH	"	AH	"	AH	"
BH	"	BH	"	BH	"	BH	"
CH	DAR2	CH		CH	DAR3	CH	
DH	"	DH		DH	"	DH	
EH	"	EH		EH	"	EH	
FH	"	FH		FH	"	FH	

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFE280H	CCR4	FFFFE290H	BCR4	FFFFE2A0H	CCR5	FFFFE2B0H	BCR5
1H	"	1H	"	1H	"	1H	"
2H	"	2H	"	2H	"	2H	"
3H	"	3H	"	3H	"	3H	"
4H	CSR4	4H		4H	CSR5	4H	
5H	"	5H		5H	"	5H	
6H	"	6H		6H	"	6H	
7H	"	7H		7H	"	7H	
8H	SAR4	8H	DTCR4	8H	SAR5	8H	DTCR5
9H	"	9H	"	9H	"	9H	"
AH	"	AH	"	AH	"	AH	"
BH	"	BH	"	BH	"	BH	"
CH	DAR4	CH		CH	DAR5	CH	
DH	"	DH		DH	"	DH	
EH	"	EH		EH	"	EH	
FH	"	FH		FH	"	FH	

ADR	レジスタ名
FFFFE2C0H	CCR6
1H	"
2H	"
3H	"
4H	CSR6
5H	"
6H	"
7H	"
8H	SAR6
9H	"
AH	"
BH	"
CH	DAR6
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE2D0H	BCR6
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR6
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE2E0H	CCR7
1H	"
2H	"
3H	"
4H	CSR7
5H	"
6H	"
7H	"
8H	SAR7
9H	"
AH	"
BH	"
CH	DAR7
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE2F0H	BCR7
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR7
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE300H	DCR
1H	"
2H	"
3H	"
4H	RSR
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	DHR
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE310H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE320H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE330H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE340H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE350H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE360H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE370H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[13] CS/WAIT コントローラ

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFE400H	BMA0	FFFFE410H		FFFFE480H	B01CS	FFFFE490H	
1H	"	1H		1H	"	1H	
2H	"	2H		2H	"	2H	
3H	"	3H		3H	"	3H	
4H	BMA1	4H		4H	B23CS	4H	
5H	"	5H		5H	"	5H	
6H	"	6H		6H	"	6H	
7H	"	7H		7H	"	7H	
8H	BMA2	8H		8H		8H	
9H	"	9H		9H		9H	
AH	"	AH		AH		AH	
BH	"	BH		BH		BH	
CH	BMA3	CH		CH		CH	
DH	"	DH		DH		DH	
EH	"	EH		EH	BEXCS	EH	
FH	"	FH		FH	"	FH	

[14] FLASH 制御

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFE510H	SEQMOD	FFFFE520H	FLCS	FFFFE620H	
1H	"	1H	"	1H	
2H	"	2H	"	2H	
3H	"	3H	"	3H	
4H	SEQCNT	4H	reserved	4H	reserved
5H	"	5H	reserved	5H	reserved
6H	"	6H	reserved	6H	reserved
7H	"	7H	reserved	7H	reserved
8H	ROMSEC1	8H	reserved	8H	
9H	"	9H	reserved	9H	
AH	"	AH	reserved	AH	
BH	"	BH	reserved	BH	
CH	ROMSEC2	CH		CH	
DH	"	DH		DH	
EH	"	EH		EH	
FH	"	FH		FH	

注) アドレスに注意してください。

[15] ROM コレクション

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFE540H	ADDREG0	FFFFE550H	ADDREG4	FFFFE560H	ADDREG8	FFFFE570H	
1H	"	1H	"	1H	"	1H	
2H	"	2H	"	2H	"	2H	
3H	"	3H	"	3H	"	3H	
4H	ADDREG1	4H	ADDREG5	4H	ADDREG9	4H	
5H	"	5H	"	5H	"	5H	
6H	"	6H	"	6H	"	6H	
7H	"	7H	"	7H	"	7H	
8H	ADDREG2	8H	ADDREG6	8H	ADDREGA	8H	
9H	"	9H	"	9H	"	9H	
AH	"	AH	"	AH	"	AH	
BH	"	BH	"	BH	"	BH	
CH	ADDREG3	CH	ADDREG7	CH	ADDREGB	CH	
DH	"	DH	"	DH	"	DH	
EH	"	EH	"	EH	"	EH	
FH	"	FH	"	FH	"	FH	

[16] 時計用タイマ

ADR	レジスタ名
FFFFE700H	
1H	
2H	
3H	
4H	RTCCR
5H	"
6H	"
7H	"
8H	RTCREG
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE710H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[17] UART/HPIO

ADR	レジスタ名
FFFFE800H	
1H	
2H	
3H	HSC0BUF
4H	HSC0EN
5H	HSC0MOD2
6H	HSC0MOD1
7H	HBR0ADD
8H	HSC0TST
9H	HSC0RST
AH	HSC0TFC
BH	HSC0RFC
CH	HBR0CR
DH	HSC0MOD0
EH	HSC0CR
FH	HSC0FCNF

ADR	レジスタ名
FFFFE810H	
1H	
2H	
3H	HSC1BUF
4H	HSC1EN
5H	HSC1MOD2
6H	HSC1MOD1
7H	HBR1ADD
8H	HSC1TST
9H	HSC1RST
AH	HSC1TFC
BH	HSC1RFC
CH	HBR1CR
DH	HSC1MOD0
EH	HSC1CR
FH	HSC1FCNF

ADR	レジスタ名
FFFFE820H	
1H	
2H	
3H	HSC2BUF
4H	HSC2EN
5H	HSC2MOD2
6H	HSC2MOD1
7H	HBR2ADD
8H	HSC2TST
9H	HSC2RST
AH	HSC2TFC
BH	HSC2RFC
CH	HBR2CR
DH	HSC2MOD0
EH	HSC2CR
FH	HSC2FCNF

ADR	レジスタ名
FFFFE840H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[18] CG

ADR	レジスタ名
FFFFEE00H	SYSCR3
1H	SYSCR2
2H	SYSCR1
3H	SYSCR0
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFEE10H	IMCGA
1H	"
2H	"
3H	"
4H	IMCGB
5H	"
6H	"
7H	"
8H	IMCGC
9H	"
AH	"
BH	"
CH	IMCGD
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFEE20H	EICRCG
1H	"
2H	"
3H	"
4H	NMIFLG
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFEE40H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

2. リトルエンディアン

[1] PORT 関連

ADR	レジスタ名
FFFFF000H	P0
1H	P1
2H	P0CR
3H	
4H	P1CR
5H	P1FC
6H	
7H	
8H	
9H	
AH	
BH	
CH	P0PE
DH	P1PE
EH	
FH	

ADR	レジスタ名
FFFFF010H	
1H	
2H	P2
3H	
4H	P2CR
5H	P2FC
6H	P2FC2
7H	
8H	P3
9H	
AH	P3CR
BH	P3FC
CH	P2PE
DH	P3PE
EH	P4
FH	

ADR	レジスタ名
FFFFF020H	P4CR
1H	P4FC
2H	
3H	
4H	
5H	P4PE
6H	P5PE
7H	P6PE
8H	P5
9H	P6
AH	
BH	
CH	P5CR
DH	P5FC
EH	P6CR
FH	P6FC

ADR	レジスタ名
FFFFF030H	P6ODE
1H	P9ODE
2H	
3H	
4H	PBODE
5H	PCODE
6H	PDODE
7H	
8H	
9H	
AH	
BH	
CH	P5FC2
DH	P6FC2
EH	reserved
FH	reserved

ADR	レジスタ名
FFFFF040H	P7
1H	P8
2H	P9
3H	PA
4H	—
5H	—
6H	P9CR
7H	PACR
8H	P7FC
9H	P8FC
AH	P9FC
BH	PAFC
CH	P7PE
DH	P8PE
EH	P9PE
FH	PAPE

ADR	レジスタ名
FFFFF050H	PB
1H	PC
2H	PD
3H	PE
4H	PBCR
5H	PCCR
6H	PDCR
7H	PECR
8H	PBFC
9H	PCFC
AH	PDFC
BH	PEFC
CH	PBPE
DH	PCPE
EH	PDPE
FH	PEPE

ADR	レジスタ名
FFFFF060H	PF
1H	PG
2H	PH
3H	
4H	PFCR
5H	PGCR
6H	PHCR
7H	
8H	PFFC
9H	PGFC
AH	—
BH	—
CH	PFPE
DH	PGPE
EH	PHPE
FH	

ADR	レジスタ名
FFFFF070H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF0C0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF0D0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF0E0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF0F0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[2] WDT

ADR	レジスタ名
FFFFF080H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF090H	WDMOD
1H	WDCR
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF0A0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF0B0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[3] 16 bit タイマ

ADR	レジスタ名
FFFFF140H	TB0RUN
1H	TB0CR
2H	TB0MOD
3H	TB0FFCR
4H	TB0ST
5H	
6H	TB0UCL
7H	TB0UCH
8H	TB0RG0L
9H	TB0RG0H
AH	TB0RG1L
BH	TB0RG1H
CH	TB0CP0L
DH	TB0CP0H
EH	TB0CP1L
FH	TB0CP1H

ADR	レジスタ名
FFFFF150H	TB1RUN
1H	TB1CR
2H	TB1MOD
3H	TB1FFCR
4H	TB1ST
5H	
6H	TB1UCL
7H	TB1UCH
8H	TB1RG0L
9H	TB1RG0H
AH	TB1RG1L
BH	TB1RG1H
CH	TB1CP0L
DH	TB1CP0H
EH	TB1CP1L
FH	TB1CP1H

ADR	レジスタ名
FFFFF160H	TB2RUN
1H	TB2CR
2H	TB2MOD
3H	TB2FFCR
4H	TB2ST
5H	
6H	TB2UCL
7H	TB2UCH
8H	TB2RG0L
9H	TB2RG0H
AH	TB2RG1L
BH	TB2RG1H
CH	TB2CP0L
DH	TB2CP0H
EH	TB2CP1L
FH	TB2CP1H

ADR	レジスタ名
FFFFF170H	TB3RUN
1H	TB3CR
2H	TB3MOD
3H	TB3FFCR
4H	TB3ST
5H	
6H	TB3UCL
7H	TB3UCH
8H	TB3RG0L
9H	TB3RG0H
AH	TB3RG1L
BH	TB3RG1H
CH	TB3CP0L
DH	TB3CP0H
EH	TB3CP1L
FH	TB3CP1H

ADR	レジスタ名
FFFFF180H	TB4RUN
1H	TB4CR
2H	TB4MOD
3H	TB4FFCR
4H	TB4ST
5H	
6H	TB4UCL
7H	TB4UCH
8H	TB4RG0L
9H	TB4RG0H
AH	TB4RG1L
BH	TB4RG1H
CH	TB4CP0L
DH	TB4CP0H
EH	TB4CP1L
FH	TB4CP1H

ADR	レジスタ名
FFFFF190H	TB5RUN
1H	TB5CR
2H	TB5MOD
3H	TB5FFCR
4H	TB5ST
5H	
6H	TB5UCL
7H	TB5UCH
8H	TB5RG0L
9H	TB5RG0H
AH	TB5RG1L
BH	TB5RG1H
CH	TB5CP0L
DH	TB5CP0H
EH	TB5CP1L
FH	TB5CP1H

ADR	レジスタ名
FFFFF1A0H	TB6RUN
1H	TB6CR
2H	TB6MOD
3H	TB6FFCR
4H	TB6ST
5H	
6H	TB6UCL
7H	TB6UCH
8H	TB6RG0L
9H	TB6RG0H
AH	TB6RG1L
BH	TB6RG1H
CH	TB6CP0L
DH	TB6CP0H
EH	TB6CP1L
FH	TB6CP1H

ADR	レジスタ名
FFFFF1B0H	TB7RUN
1H	TB7CR
2H	TB7MOD
3H	TB7FFCR
4H	TB7ST
5H	
6H	TB7UCL
7H	TB7UCH
8H	TB7RG0L
9H	TB7RG0H
AH	TB7RG1L
BH	TB7RG1H
CH	TB7CP0L
DH	TB7CP0H
EH	TB7CP1L
FH	TB7CP1H

ADR	レジスタ名
FFFFF1C0H	TB8RUN
1H	TB8CR
2H	TB8MOD
3H	TB8FFCR
4H	TB8ST
5H	
6H	TB8UCL
7H	TB8UCH
8H	TB8RG0L
9H	TB8RG0H
AH	TB8RG1L
BH	TB8RG1H
CH	TB8CP0L
DH	TB8CP0H
EH	TB8CP1L
FH	TB8CP1H

ADR	レジスタ名
FFFFF1D0H	TB9RUN
1H	TB9CR
2H	TB9MOD
3H	TB9FFCR
4H	TB9ST
5H	
6H	TB9UCL
7H	TB9UCH
8H	TB9RG0L
9H	TB9RG0H
AH	TB9RG1L
BH	TB9RG1H
CH	TB9CP0L
DH	TB9CP0H
EH	TB9CP1L
FH	TB9CP1H

ADR	レジスタ名
FFFFF1E0H	TBARUN
1H	TBACR
2H	TBAMOD
3H	TBAFFCR
4H	TBAST
5H	
6H	TBAUCL
7H	TBAUCH
8H	TBARG0L
9H	TBARG0H
AH	TBARG1L
BH	TBARG1H
CH	TBACP0L
DH	TBACP0H
EH	TBACP1L
FH	TBACP1H

ADR	レジスタ名
FFFFF1F0H	TBBRUN
1H	TBBCR
2H	TBBMOD
3H	TBBFFCR
4H	TBBST
5H	
6H	TBBUCL
7H	TBBUCH
8H	TBBRG0L
9H	TBBRG0H
AH	TBBRG1L
BH	TBBRG1H
CH	TBBCP0L
DH	TBBCP0H
EH	TBBCP1L
FH	TBBCP1H

ADR	レジスタ名
FFFFF200H	TBCRUN
1H	TBCCR
2H	TBCMOD
3H	TBCFFCR
4H	TBCST
5H	
6H	TBCUCL
7H	TBCUCH
8H	TBCRG0L
9H	TBCRG0H
AH	TBCRG1L
BH	TBCRG1H
CH	TBCCP0L
DH	TBCCP0H
EH	TBCCP1L
FH	TBCCP1H

ADR	レジスタ名
FFFFF210H	TBDRUN
1H	TBDCR
2H	TBDMOD
3H	TBDFFCR
4H	TBDST
5H	
6H	TBDUCL
7H	TBDUCH
8H	TBDRG0L
9H	TBDRG0H
AH	TBDRG1L
BH	TBDRG1H
CH	TBDPC0L
DH	TBDPC0H
EH	TBDPC1L
FH	TBDPC1H

ADR	レジスタ名
FFFFF220H	TBERUN
1H	TBECR
2H	TBEMOD
3H	TBEFFCR
4H	TBEST
5H	
6H	TBEUCL
7H	TBEUCH
8H	TBERG0L
9H	TBERG0H
AH	TBERG1L
BH	TBERG1H
CH	TBECP0L
DH	TBECP0H
EH	TBECP1L
FH	TBECP1H

ADR	レジスタ名
FFFFF230H	TBFRUN
1H	TBF CR
2H	TBFMOD
3H	TBFFFCR
4H	TBFST
5H	
6H	TBFUCL
7H	TBFUCH
8H	TBFRG0L
9H	TBFRG0H
AH	TBFRG1L
BH	TBFRG1H
CH	TBFPC0L
DH	TBFPC0H
EH	TBFPC1L
FH	TBFPC1H

[4] I2C/SIO

ADR	レジスタ名
FFFFF250H	SBICR1
1H	SBIDBR
2H	I2CAR
3H	SBICR2/SR
4H	SBIBR0
5H	
6H	
7H	SBICR0
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[5] UART/SIO

ADR	レジスタ名
FFFFF260H	SC0BUF
1H	SC0CR
2H	SC0MOD0
3H	BR0CR
4H	BR0ADD
5H	SC0MOD1
6H	SC0MOD2
7H	SC0EN
8H	SC0RFC
9H	SC0TFC
AH	SC0RST
BH	SC0TST
CH	SC0FCNF
DH	
EH	
FH	

ADR	レジスタ名
FFFFF270H	SC1BUF
1H	SC1CR
2H	SC1MOD0
3H	BR1CR
4H	BR1ADD
5H	SC1MOD1
6H	SC1MOD2
7H	SC1EN
8H	SC1RFC
9H	SC1TFC
AH	SC1RST
BH	SC1TST
CH	SC1FCNF
DH	
EH	
FH	

ADR	レジスタ名
FFFFF280H	SC2BUF
1H	SC2CR
2H	SC2MOD0
3H	BR2CR
4H	BR2ADD
5H	SC2MOD1
6H	SC2MOD2
7H	SC2EN
8H	SC2RFC
9H	SC2TFC
AH	SC2RST
BH	SC2TST
CH	SC2FCNF
DH	
EH	
FH	

ADR	レジスタ名
FFFFF290H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF2A0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF2B0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFF2C0H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[6] 10 bitADC

ADR	レジスタ名
FFFFF300H	ADREG08L
1H	ADREG08H
2H	ADREG19L
3H	ADREG19H
4H	ADREG2AL
5H	ADREG2AH
6H	ADREG3BL
7H	ADREG3BH
8H	ADREG4CL
9H	ADREG4CH
AH	ADREG5DL
BH	ADREG5DH
CH	ADREG6EL
DH	ADREG6EH
EH	ADREG7FL
FH	ADREG7FH

[7] 8 bitDAC

ADR	レジスタ名
FFFFF310H	ADREGSPL
1H	ADREGSPH
2H	ADCOMREGL
3H	ADCOMREGH
4H	ADMOD0
5H	ADMOD1
6H	ADMOD2
7H	ADMOD3
8H	ADMOD4
9H	ADCBAS
AH	reserved
BH	reserved
CH	ADCLK
DH	
EH	
FH	

ADR	レジスタ名
FFFFF330H	DACCNT0
1H	DAREG0
2H	
3H	
4H	
5H	
6H	
7H	reserved
8H	DACCNT1
9H	DAREG1
AH	
BH	
CH	
DH	
EH	
FH	reserved

ADR	レジスタ名
FFFFF340H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[8] KWUP

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFF360H	KWUPST00	FFFFF370H	KWUPST16	FFFFF380H	PKEY0	FFFFF390H	
1H	KWUPST01	1H	KWUPST17	1H	PKEY1	1H	
2H	KWUPST02	2H	KWUPST18	2H	PKEY2	2H	
3H	KWUPST03	3H	KWUPST19	3H	PKEY3	3H	
4H	KWUPST04	4H	KWUPST20	4H	KWUPCNT	4H	
5H	KWUPST05	5H	KWUPST21	5H	KWUPCLR	5H	
6H	KWUPST06	6H	KWUPST22	6H		6H	
7H	KWUPST07	7H	KWUPST23	7H		7H	
8H	KWUPST08	8H	KWUPST24	8H	KWUPINT0	8H	
9H	KWUPST09	9H	KWUPST25	9H	KWUPINT1	9H	
AH	KWUPST10	AH	KWUPST26	AH	KWUPINT2	AH	
BH	KWUPST11	BH	KWUPST27	BH	KWUPINT3	BH	
CH	KWUPST12	CH	KWUPST28	CH		CH	
DH	KWUPST13	DH	KWUPST29	DH		DH	
EH	KWUPST14	EH	KWUPST30	EH		EH	
FH	KWUPST15	FH	KWUPST31	FH		FH	

[9] 32 bit インプットキャプチャ

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFF400H	TCCR	FFFFF410H	CAP0CR	FFFFF420H	CAP2CR	FFFFF430H	
1H	TBTRUN	1H		1H		1H	
2H	TBTCR	2H		2H		2H	
3H		3H		3H		3H	
4H	TBTCAP0	4H	TCCAP0LL	4H	TCCAP2LL	4H	
5H	TBTCAP1	5H	TCCAP0LH	5H	TCCAP2LH	5H	
6H	TBTCAP2	6H	TCCAP0HL	6H	TCCAP2HL	6H	
7H	TBTCAP3	7H	TCCAP0HH	7H	TCCAP2HH	7H	
8H	TBTRDCAPLL	8H	CAP1CR	8H	CAP3CR	8H	
9H	TBTRDCAPLH	9H		9H		9H	
AH	TBTRDCAPHL	AH		AH		AH	
BH	TBTRDCAPHH	BH		BH		BH	
CH	TCG0IM	CH	TCCAP1LL	CH	TCCAP3LL	CH	
DH	TCG0ST	DH	TCCAP1LH	DH	TCCAP3LH	DH	
EH	Reserved	EH	TCCAP1HL	EH	TCCAP3HL	EH	
FH	Reserved	FH	TCCAP1HH	FH	TCCAP3HH	FH	

[10] 32 bit アウトプットコンペア

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFF440H	TCCMP0LL	FFFFF450H	TCCMP4LL	FFFFF460H		FFFFF470H	CMPCTL0
1H	TCCMP0LH	1H	TCCMP4LH	1H		1H	CMPCTL1
2H	TCCMP0HL	2H	TCCMP4HL	2H		2H	CMPCTL2
3H	TCCMP0HH	3H	TCCMP4HH	3H		3H	CMPCTL3
4H	TCCMP1LL	4H	TCCMP5LL	4H		4H	CMPCTL4
5H	TCCMP1LH	5H	TCCMP5LH	5H		5H	CMPCTL5
6H	TCCMP1HL	6H	TCCMP5HL	6H		6H	CMPCTL6
7H	TCCMP1HH	7H	TCCMP5HH	7H		7H	CMPCTL7
8H	TCCMP2LL	8H	TCCMP6LL	8H		8H	
9H	TCCMP2LH	9H	TCCMP6LH	9H		9H	
AH	TCCMP2HL	AH	TCCMP6HL	AH		AH	
BH	TCCMP2HH	BH	TCCMP6HH	BH		BH	
CH	TCCMP3LL	CH	TCCMP7LL	CH		CH	
DH	TCCMP3LH	DH	TCCMP7LH	DH		DH	
EH	TCCMP3HL	EH	TCCMP7HL	EH		EH	
FH	TCCMP3HH	FH	TCCMP7HH	FH		FH	

[11] INTC

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFE000H	IMC0	FFFFE010H	IMC4	FFFFE020H	IMC8	FFFFE030H	IMCC
1H	"	1H	"	1H	"	1H	"
2H	"	2H	"	2H	"	2H	"
3H	"	3H	"	3H	"	3H	"
4H	IMC1	4H	IMC5	4H	IMC9	4H	IMCD
5H	"	5H	"	5H	"	5H	"
6H	"	6H	"	6H	"	6H	"
7H	"	7H	"	7H	"	7H	"
8H	IMC2	8H	IMC6	8H	IMCA	8H	IMCE
9H	"	9H	"	9H	"	9H	"
AH	"	AH	"	AH	"	AH	"
BH	"	BH	"	BH	"	BH	"
CH	IMC3	CH	IMC7	CH	IMCB	CH	IMCF
DH	"	DH	"	DH	"	DH	"
EH	"	EH	"	EH	"	EH	"
FH	"	FH	"	FH	"	FH	"

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFE040H	IVR	FFFFE050H		FFFFE060H	INTCLR	FFFFE070H	
1H	"	1H		1H	"	1H	
2H	"	2H		2H	"	2H	
3H	"	3H		3H	"	3H	
4H		4H		4H		4H	
5H		5H		5H		5H	
6H		6H		6H		6H	
7H		7H		7H		7H	
8H		8H		8H		8H	
9H		9H		9H		9H	
AH		AH		AH		AH	
BH		BH		BH		BH	
CH		CH		CH		CH	
DH		DH		DH		DH	
EH		EH		EH		EH	
FH		FH		FH		FH	

ADR	レジスタ名
FFFFE100H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	ILEV
DH	"
EH	"
FH	"

[12] DMAC

ADR	レジスタ名
FFFFE200H	CCR0
1H	"
2H	"
3H	"
4H	CSR0
5H	"
6H	"
7H	"
8H	SAR0
9H	"
AH	"
BH	"
CH	DAR0
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE210H	BCR0
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR0
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE220H	CCR1
1H	"
2H	"
3H	"
4H	CSR1
5H	"
6H	"
7H	"
8H	SAR1
9H	"
AH	"
BH	"
CH	DAR1
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE230H	BCR1
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR1
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE240H	CCR2
1H	"
2H	"
3H	"
4H	CSR2
5H	"
6H	"
7H	"
8H	SAR2
9H	"
AH	"
BH	"
CH	DAR2
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE250H	BCR2
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR2
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE260H	CCR3
1H	"
2H	"
3H	"
4H	CSR3
5H	"
6H	"
7H	"
8H	SAR3
9H	"
AH	"
BH	"
CH	DAR3
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE270H	BCR3
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR3
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE280H	CCR4
1H	"
2H	"
3H	"
4H	CSR4
5H	"
6H	"
7H	"
8H	SAR4
9H	"
AH	"
BH	"
CH	DAR4
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE290H	BCR4
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR4
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE2A0H	CCR5
1H	"
2H	"
3H	"
4H	CSR5
5H	"
6H	"
7H	"
8H	SAR5
9H	"
AH	"
BH	"
CH	DAR5
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE2B0H	BCR5
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR5
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE2C0H	CCR6
1H	"
2H	"
3H	"
4H	CSR6
5H	"
6H	"
7H	"
8H	SAR6
9H	"
AH	"
BH	"
CH	DAR6
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE2D0H	BCR6
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR6
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE2E0H	CCR7
1H	"
2H	"
3H	"
4H	CSR7
5H	"
6H	"
7H	"
8H	SAR7
9H	"
AH	"
BH	"
CH	DAR7
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE2F0H	BCR7
1H	"
2H	"
3H	"
4H	
5H	
6H	
7H	
8H	DTCR7
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE300H	DCR
1H	"
2H	"
3H	"
4H	RSR
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	DHR
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFFE310H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE320H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE330H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE340H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE350H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE360H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE370H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[13] CS/WAIT コントローラ

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFE400H	BMA0	FFFFE410H		FFFFE480H	B01CS	FFFFE490H	
1H	"	1H		1H	"	1H	
2H	"	2H		2H	"	2H	
3H	"	3H		3H	"	3H	
4H	BMA1	4H		4H	B23CS	4H	
5H	"	5H		5H	"	5H	
6H	"	6H		6H	"	6H	
7H	"	7H		7H	"	7H	
8H	BMA2	8H		8H		8H	
9H	"	9H		9H		9H	
AH	"	AH		AH		AH	
BH	"	BH		BH		BH	
CH	BMA3	CH		CH	BEXCS	CH	
DH	"	DH		DH	"	DH	
EH	"	EH		EH	"	EH	
FH	"	FH		FH	"	FH	

[14] FLASH 制御

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFE510H	SEQMOD	FFFFE520H	FLCS	FFFFE620H	
1H	"	1H	"	1H	
2H	"	2H	"	2H	
3H	"	3H	"	3H	
4H	SEQCNT	4H	reserved	4H	reserved
5H	"	5H	reserved	5H	reserved
6H	"	6H	reserved	6H	reserved
7H	"	7H	reserved	7H	reserved
8H	ROMSEC1	8H	reserved	8H	
9H	"	9H	reserved	9H	
AH	"	AH	reserved	AH	
BH	"	BH	reserved	BH	
CH	ROMSEC2	CH		CH	
DH	"	DH		DH	
EH	"	EH		EH	
FH	"	FH		FH	

注) アドレスに注意してください

[15] ROM コレクション

ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名	ADR	レジスタ名
FFFFE540H	ADDREG0	FFFFE550H	ADDREG4	FFFFE560H	ADDREG8	FFFFE570H	
1H	"	1H	"	1H	"	1H	
2H	"	2H	"	2H	"	2H	
3H	"	3H	"	3H	"	3H	
4H	ADDREG1	4H	ADDREG5	4H	ADDREG9	4H	
5H	"	5H	"	5H	"	5H	
6H	"	6H	"	6H	"	6H	
7H	"	7H	"	7H	"	7H	
8H	ADDREG2	8H	ADDREG6	8H	ADDREGA	8H	
9H	"	9H	"	9H	"	9H	
AH	"	AH	"	AH	"	AH	
BH	"	BH	"	BH	"	BH	
CH	ADDREG3	CH	ADDREG7	CH	ADDREGB	CH	
DH	"	DH	"	DH	"	DH	
EH	"	EH	"	EH	"	EH	
FH	"	FH	"	FH	"	FH	

[16] 時計用タイマ

ADR	レジスタ名
FFFFE700H	
1H	
2H	
3H	
4H	RTCCR
5H	"
6H	"
7H	"
8H	RTCREG
9H	"
AH	"
BH	"
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFFE710H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[17] UART/HSCIO

ADR	レジスタ名
FFFFE800H	HSC0BUF
1H	
2H	
3H	
4H	HBR0ADD
5H	HSC0MOD1
6H	HSC0MOD2
7H	HSC0EN
8H	HSC0RFC
9H	HSC0TFC
AH	HSC0RST
BH	HSC0TST
CH	HSC0FCNF
DH	HSC0CR
EH	HSC0MOD0
FH	HBR0CR

ADR	レジスタ名
FFFFE810H	HSC1BUF
1H	
2H	
3H	
4H	HBR1ADD
5H	HSC1MOD1
6H	HSC1MOD2
7H	HSC1EN
8H	HSC1RFC
9H	HSC1TFC
AH	HSC1RST
BH	HSC1TST
CH	HSC1FCNF
DH	HSC1CR
EH	HSC1MOD0
FH	HBR1CR

ADR	レジスタ名
FFFFE820H	HSC2BUF
1H	
2H	
3H	
4H	HBR2ADD
5H	HSC2MOD1
6H	HSC2MOD2
7H	HSC2EN
8H	HSC2RFC
9H	HSC2TFC
AH	HSC2RST
BH	HSC2TST
CH	HSC2FCNF
DH	HSC2CR
EH	HSC2MOD0
FH	HBR2CR

ADR	レジスタ名
FFFFE840H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[18] CG

ADR	レジスタ名
FFFE00H	SYSCR0
1H	SYSCR1
2H	SYSCR2
3H	SYSCR3
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFE10H	IMCGA
1H	"
2H	"
3H	"
4H	IMCGB
5H	"
6H	"
7H	"
8H	IMCGC
9H	"
AH	"
BH	"
CH	IMCGD
DH	"
EH	"
FH	"

ADR	レジスタ名
FFFE20H	EICRCG
1H	"
2H	"
3H	"
4H	NMIFLG
5H	"
6H	"
7H	"
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

ADR	レジスタ名
FFFE40H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

23. JTAG インタフェース

TMP19A43 には、Joint Test Action Group (JTAG) 規格に適合するバウンダリスキャンインタフェースが用意されています。このインタフェースには業界標準の JTAG プロトコル (IEEE 規格 1149.1/D6 が使われています。本章では、バウンダリスキャン、インタフェースで使われるピンと信号、およびテストアクセスポート (TAP) に触れながら、このインタフェースについて説明しています。

23.1 バウンダリスキャンの概要

絶えず高密度化していく集積回路 (IC)、表面実装デバイス、プリント回路基板 (PCB) に両面実装されるコンポーネント、および埋め込み穴の発達によって、内部基板とチップの接続という物理的接触に依存する内部回路テストはしだいに使いにくくなってきました。IC が高度に複雑化してきたため、こうしたチップをすみずみまで実行するテストは大規模化し、作成が難しくなってきました。

この難しさに対する解決策の 1 つとして開発されたのが、「バウンダリスキャン」回路です。バウンダリスキャン回路とは、各ピンとピンに接続されている IC の内部回路との間に設けられる一連のシフトレジスタのことで (図 23-1 を参照)。通常、それらのバウンダリスキャンセルはバイパスされますが、IC がテストモードになると、テストプログラムの指示に従ってスキャンセルからシフトレジスタパスに沿ってデータが送られ、各種の診断テストが実行されます。テストのときには TDI、TDO、TMS、TCK および TRST という 5 種類の信号が使われます。これらの信号については次の節で説明します。

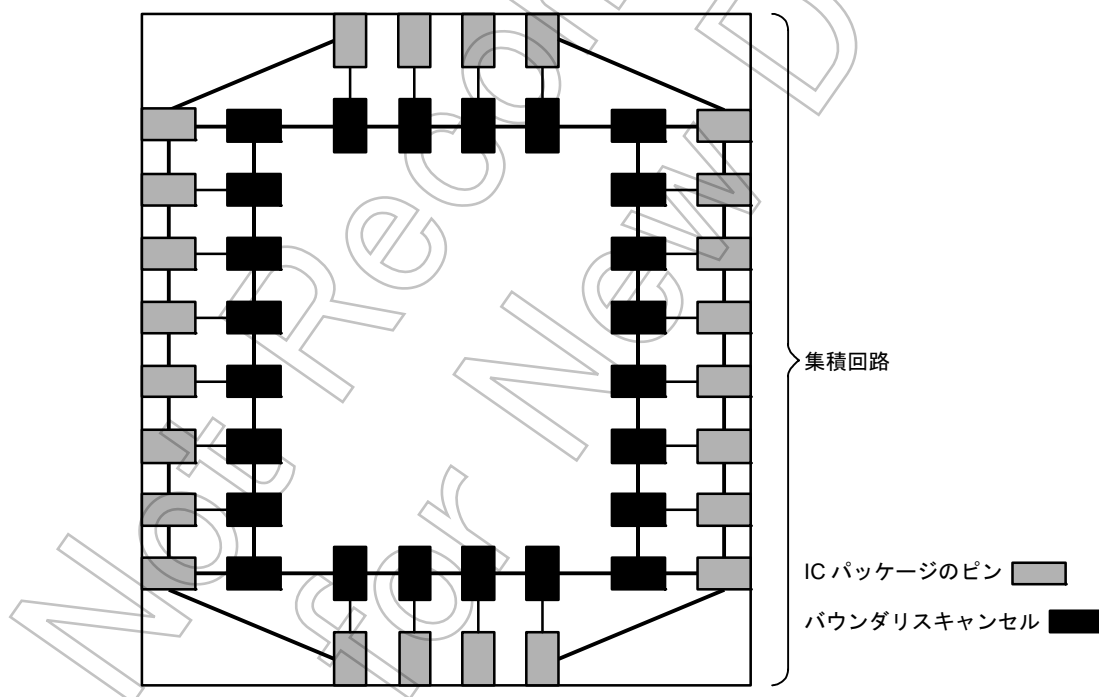


図 23-1 JTAG バウンダリスキャンセル

注) 下記標準オプション命令は実装しておりません。
(IDCODE, USERCODE, INTEST, RUNBIST)

23.2 信号の要約

JTAG インタフェース信号は次のとおりです（図 23-2参照）。

- TDI JTAG シリアルデータ入力
- TDO JTAG シリアルデータ出力
- TMS JTAG テストモード選択
- TCK JTAG シリアルクロック入力
- $\overline{\text{TRST}}$ JTAG テストリセット入力

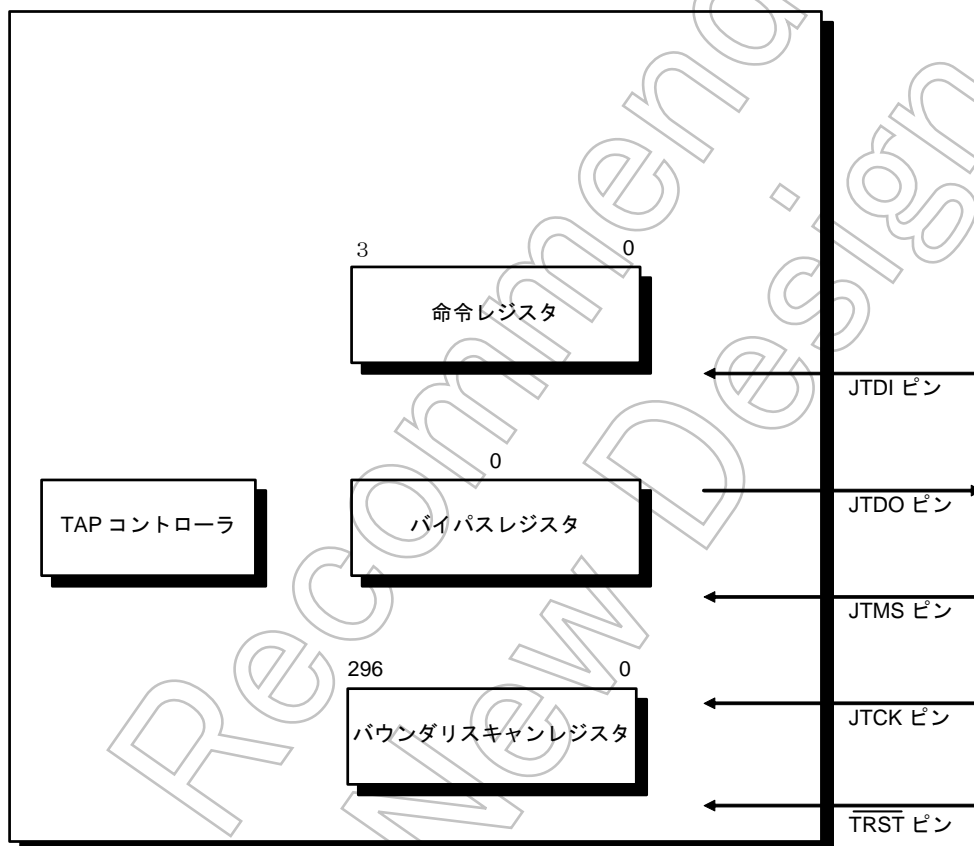


図 23-2 JTAG インタフェース信号とレジスタ

JTAG バウンダリスキャンメカニズム（本章では「JTAG メカニズム」と呼びます）により、プロセッサ、プロセッサが接続されているプリント回路基板、および回路基板上の他のコンポーネントの間の接続をテストできます。

JTAG メカニズムには、プロセッサ自体をテストする機能はありません。

23.3 JTAG コントローラとレジスタ

プロセッサには、次の JTAG コントローラとレジスタが内蔵されています。

- 命令レジスタ
- バウンダリスキャンレジスタ
- バイパスレジスタ
- デバイス識別レジスタ
- テストアクセスポート (TAP) コントローラ

JTAG の基本動作は、TAP コントローラステートマシンが JTMS 入力信号をモニタすることです。実行が開始されると、TAP コントローラは実行されるテスト機能を決定します。これは、表 23-1 に示すように、JTAG 命令レジスタ (IR) のローディングとデータレジスタ (DR) を介してのシリアルデータスキャンの開始からなります。データがスキャンされる時、JTMS ピンの状態はそれぞれの新しいデータワードを示し、データの流れの最後を示します。選択されたデータレジスタは命令レジスタの内容で決められます。

23.3.1 命令レジスタ

JTAG の命令レジスタには、シフトレジスタを基本とする 4 個のセルが含まれています。このレジスタは、実施対象のテストとアクセスされるテストデータレジスタの両方またはその一方を選択するために使います。表 23-1 の組み合わせに従って、バウンダリスキャンレジスタかバイパスレジスタが選択されます。

表 23-1 JTAG の命令レジスタのビット構成

命令コード 最上位→最下位	命令	選択されるデータレジスタ
0000	EXTEST	バウンダリスキャンレジスタ
0001	SAMPLE/PRELOAD	バウンダリスキャンレジスタ
0010 ~ 1110	予約	予約
1111	BYPASS	バイパスレジスタ

命令レジスタのフォーマットは図 23-3 のとおりです。



図 23-3 命令レジスタ

命令コードは、最下位ビットから命令レジスタにシフトされます。



図 23-4 命令レジスタのシフト方向

23.3.2 バイパスレジスタ

バイパスレジスタは1ビット幅です。TAP コントローラが Shift-DR (バイパス) 状態のとき、TDI ピンのデータはバイパスレジスタにシフトインされ、バイパスレジスタの出力は TDO 出力ピンにシフトアウトされます。

バイパスレジスタとは、簡単に言えば、特定のテストに必要でない基板レベルの直列バウンダリスキャンチェーン内のデバイスをバイパスできるようにする、迂回のための回路です。バウンダリスキャンチェーン内のバイパスレジスタの論理的な位置は、図 23-5のとおりです。

バイパスレジスタを使用すれば、基板レベルテストのデータパス内でアクティブのままである IC 内のバウンダリスキャンレジスタへのアクセスが速くなります。

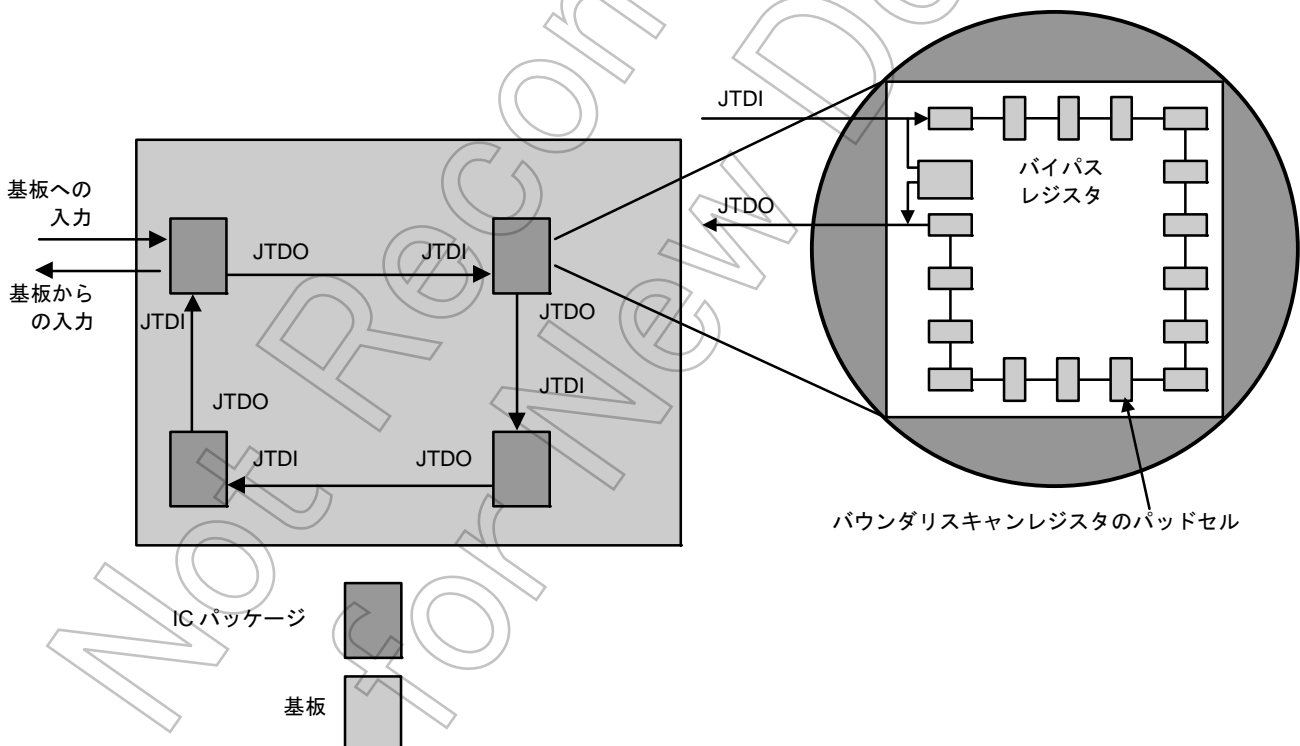


図 23-5 バイパスレジスタの機能

23.3.3 バウンダリスキャンレジスタ

バウンダリスキャンレジスタには、何本かのアナログ出力信号、制御信号を除くすべての TMP19A43 の入出力があります。TMP19A43 のピンは Shift-DR 状態からバウンダリスキャンレジスタの中へスキャンすることによって任意のパターンをドライブすることができます。プロセッサに入るデータは、バウンダリスキャンレジスタを許可して Capture-DR 状態のときにシフトすることにより検査されます。

バウンダリスキャンレジスタは、297 ビット幅のシフトレジスタを基本とするパスです。このパス内のセルは、TMP19A43 のすべての入力パッドと出力パッドに接続されています。

TDI 入力はバウンダリスキャンレジスタの最下位ビット (LSB) に取り込まれ、バウンダリスキャンレジスタの最上位ビット (MSB) は TDO 出力から取り出されます。

23.3.4 テストアクセスポート (TAP)

テストアクセスポート (TAP) は、5 個の信号ピン \overline{TRST} 、TDI、TDO、TMS、および TCK で構成されます。直列のテストデータ、命令、および実施するテストの制御は、この 5 個の信号ピンを通じて送受信されます。

図 23-6 のように、データは 3 本のレジスタ (命令レジスタ、バイパスレジスタ、バウンダリスキャンレジスタ) のうちの 1 本に TDI ピンから直列にスキャンインされるか、またはその 3 本のレジスタの 1 本から TDO ピンにスキャンアウトされます。

TMS 入力は、主 TAP コントローラステートマシンの状態遷移を制御するものです。TCK 入力は直列 JTAG データが同期してシフトされるようにする専用のテストクロックであり、チップ固有クロックやシステムクロックには依存していません。

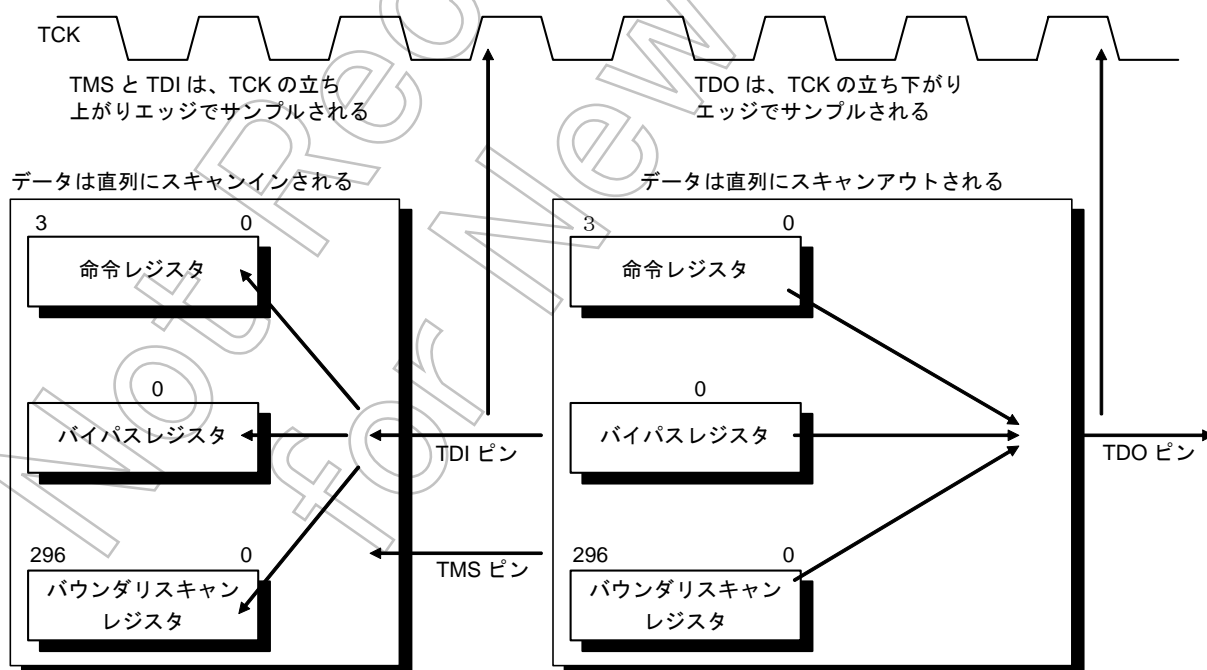


図 23-6 JTAG テストアクセスポート

TDI ピンと TMS ピンのデータは、入力クロック信号 TCK の立ち上がりエッジでサンプルされます。TDO ピンのデータは、クロック信号 TCK の立ち下がりエッジで変化します。

23.3.5 TAP コントローラ

プロセッサには、IEEE JTAG 規格に規定されている 16 ステートの TAP コントローラが実現されています。

23.3.6 コントローラのリセット

TAP コントローラのステートマシンは、次の方法によりリセット状態になります。

- $\overline{\text{TRST}}$ 信号入力のアサート (Low) により、TAP コントローラはリセットされる。
- プロセッサのリセット解除後 TCK 入力の立ち上がりエッジを連続5個使用して入力信号 TMS をアサートし続ける。

TMS をアサート状態に保てば、リセット状態が保たれます。

Not Recommended
for New Design

23.3.7 コントローラの状態

図 23-7に TAP コントローラの状態遷移図を示します。TCK の立ち上がりエッジで、TMS が 0 か 1 のどちらの値を取るかによって TAP コントローラの状態が変化します。状態の遷移を示す矢印のわきに TMS の取る値を示します。

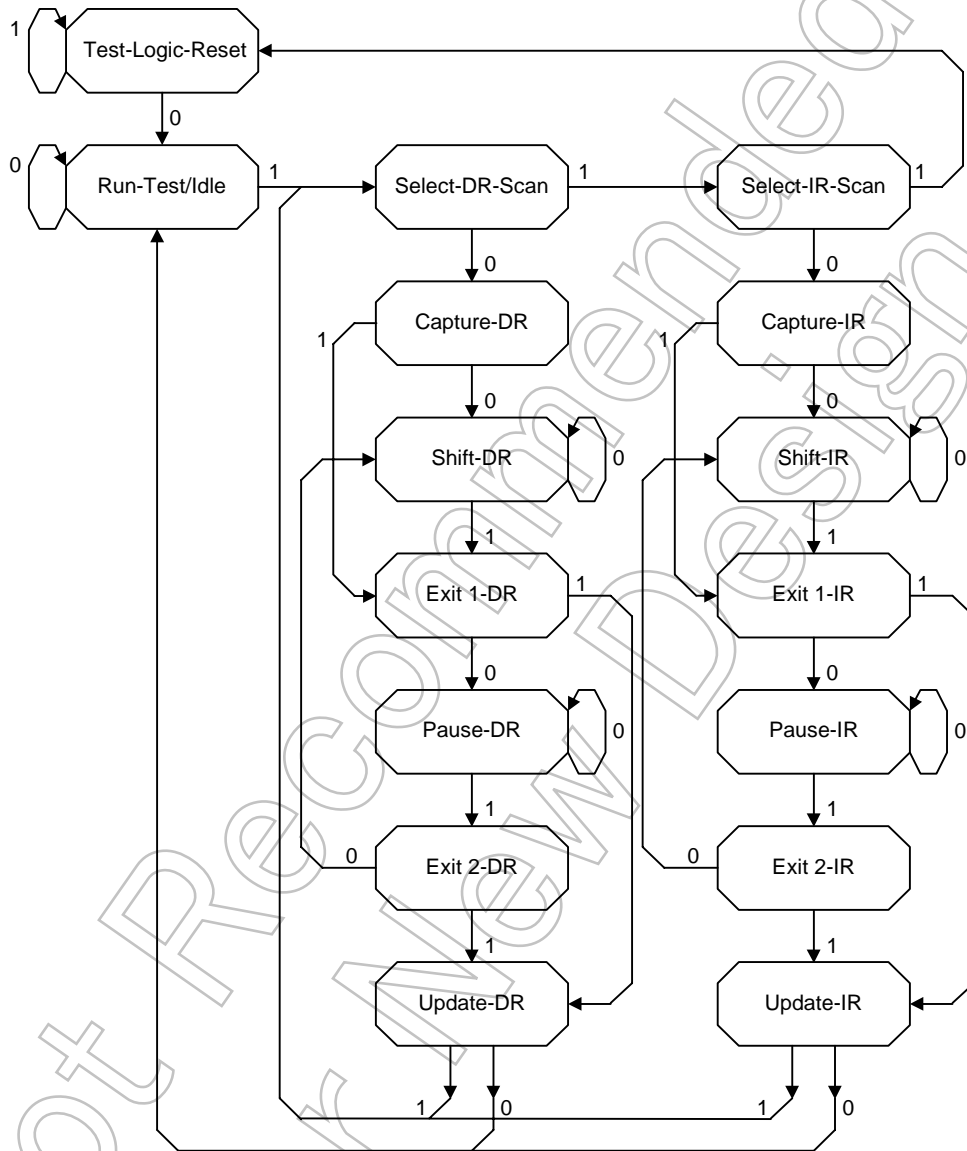


図 23-7 TAP コントローラの状態遷移図

以下コントローラの各状態について説明します。図 23-7の左側のカラムはデータカラムで右側のカラムは命令カラムです。データカラムと命令カラムはそれぞれデータレジスタ (DR)、命令レジスタ (IR) を表します。

- **Test-Logic-Reset**
TAP コントローラが Reset 状態の場合は、デフォルトとしてデバイス識別レジスタが選択されます。バウンダリスキャンレジスタの最上位 1 ビットは 0 にクリアされ、出力はディセーブルされます。
TMS が「1」の期間は、TAP コントローラは Test-Logic-Reset 状態を保持します。Test-Logic-Reset 状態のとき TMS に「0」を入力すると、TAP コントローラは Run-Test/Idle 状態に遷移します。
- **Run-Test/Idle**
Run-Test/Idle 状態では、組み込み自己テスト (BIST) 命令など特定の命令が設定されているときのみ、IC はテストモードになります。Run-Test/Idle 状態で実行されない命令に対しては、現在の命令により選択されているテストデータレジスタは前の状態を保持します。
TMS が「0」の期間は、TAP コントローラは Run-Test/Idle 状態を保持します。TMS に「1」を入力すると、TAP コントローラは Select-DR-Scan 状態に遷移します。
- **Select-DR-Scan**
Select-DR-Scan 状態は TAP コントローラの一時的な状態です。ここでは、IC が特別な動作をすることはありません。
TAP コントローラが Select-DR-Scan 状態のとき TMS に「0」を入力すると Capture-DR 状態に遷移します。TMS に「1」を入力すると命令カラムの Select-IR-Scan 状態に遷移します。
- **Select-IR-Scan**
Select-IR-Scan 状態は TAP コントローラの一時的な状態です。ここでは IC が特別な動作をすることはありません。
TAP コントローラが Select-IR-Scan 状態のとき、TMS に「0」を入力すると Capture-IR 状態に遷移します。TMS に「1」を入力すると TAP コントローラは Test-Logic-Reset 状態に戻ります。
- **Capture-DR**
TAP コントローラが Capture-DR 状態のとき、命令レジスタによって選択されたデータレジスタがパラレル入力をもっている場合、データがデータレジスタにパラレルにロードされます。データレジスタにパラレル入力がない場合、あるいは選択されたテストデータレジスタにデータをロードする必要がない場合は、データレジスタは前の状態を保持します。
TAP コントローラが Capture-DR 状態のとき TMS に「0」を入力すると、Shift-DR 状態に遷移します。TMS に「1」を入力すると TAP コントローラは Exit 1-DR 状態に遷移します。

- Shift-DR
TAP コントローラが Shift-DR 状態のとき、TDI-TDO 間に接続されたデータレジスタはシリアルにデータをシフトアウトします。
TAP コントローラが Shift-DR 状態のとき、TMS が「0」のあいだ Shift-DR 状態を保持します。TMS に「1」を入力すると TAP コントローラは Exit 1-DR 状態に遷移します。
- Exit 1-DR
Exit 1-DR 状態は TAP コントローラの一時的な状態です。
TAP コントローラが Exit 1-DR 状態のとき、TMS に「0」を入力すると Pause-DR 状態に遷移します。TMS に「1」を入力すると Update-DR 状態に遷移します。
- Pause-DR
Pause-DR 状態は命令レジスタによって選択されたデータレジスタのシフト動作を一時的に停止します。命令レジスタ、データレジスタは現在の状態を保持します。
TAP コントローラが Pause-DR 状態のとき、TMS が「0」のあいだ、この状態を保持します。TMS に「1」を入力すると Exit 2-DR 状態に遷移します。
- Exit 2-DR
Exit 2-DR 状態は TAP コントローラの一時的な状態です。
TAP コントローラが Exit 2-DR 状態のとき、TMS に「0」を入力すると、Shift-DR 状態に戻ります。TMS に「1」を入力すると Update-DR 状態に遷移します。
- Update-DR
Update-DR 状態では、TCK の立ち上がりエッジに同期してパラレル出力をもっているレジスタからデータをパラレルに出力します。パラレル出力ラッチをもっているデータレジスタはシフト中にデータを出力することなく、この状態でのみデータを出力します。
TAP コントローラが Update-DR 状態のとき TMS に「0」を入力すると Run-Test/Idle 状態に遷移します。TMS に「1」を入力すると Select-DR-Scan 状態に遷移します。
- Capture-IR
Capture-IR 状態ではデータは命令レジスタにパラレルにロードされます。ロードされるデータは 0001 です。Capture-IR 状態は命令レジスタのテストに使用します。命令レジスタの故障はロードされたデータをシフトアウトすることにより検出できます。
TAP コントローラが Capture-IR 状態のとき TMS に「0」を入力すると Shift-IR 状態に遷移します。TMS に「1」を入力すると Exit 1-IR 状態に遷移します。
- Shift-IR
Shift-IR 状態では、命令レジスタが TDI-TDO 間に接続され、TCK の立ち上がりエッジに同期してロードされたデータをシリアルにシフトアウトします。
TAP コントローラが Shift-IR 状態のとき TMS が「0」のあいだ、この状態を保持します。TMS に「1」を入力すると、Exit 1-IR 状態に遷移します。
- Exit 1-IR
Exit 1-IR 状態は TAP コントローラの一時的な状態です。

TAP コントローラが Exit 1-IR 状態のとき TMS に「0」を入力すると、Pause-IR 状態に遷移します。TMS に「1」を入力すると Update-IR 状態に遷移します。

- Pause-IR
Pause-IR 状態は命令レジスタのシフト動作を一時的に停止する状態です。命令レジスタとデータレジスタはそのままの状態を保持します。

TAP コントローラが Pause-IR 状態のとき、TMS が「0」のあいだ、この状態を保持します。TMS に「1」を入力すると Exit 2-IR 状態に遷移します。

- Exit 2-IR
Exit 2-IR 状態は TAP コントローラの一時的な状態です。

TAP コントローラが Exit 2-IR 状態のとき、TMS に「0」を入力すると、Shift-IR 状態に遷移します。TMS に「1」を入力すると Update-IR 状態に遷移します。

- Update-IR
Update-IR 状態は命令レジスタにシフトされた命令を TCK の立ち上がりエッジに同期してパラレルに出力し、命令を更新します。

TAP コントローラが Update-IR 状態のとき、TMS に「0」を入力すると、Run-Test/Idle 状態に遷移します。TMS に「1」を入力すると、Select-DR-Scan 状態に遷移します。

プロセッサ信号に対するバウンダリスキャン順序は、表 23-2のとおりです。

表 23-2 TMP19A43 プロセッサのピンに対する JTAG スキャン可能端子一覧

1:P90	2: PE5	3:P91	4: P93	5:PE6	6:P92	7: P94
8: PE7	9: P95	10: P97	11: P96	12: PA0	13: PA1	14: PA2
15: PA3	16: PA4	17: PA7	18:PA6	19: PA5	20: PB2	21: PB1
22: PB5	23:PB4	24: PB0	25: PB7	26: PB6	27: PB3	28: B00T
29: P32	30: P36	31: P00	32: P37	33: P33	34: P04	35: P01
36: P34	37: P35	38: P30	39: P05	40:P10	41: P31	42: P02
43: P11	44: P03	45: P06	46: P14	47: P07	48: P15	49: P12
50: P13	51:P16	52:P17	53:P20	54:P21	55:P22	56: P25
57: P24	58: P23	59: P27	60: P26	61: P53	62: P52	63: P57
64: P51	65: P56	66: P50	67: P63	68: P62	69: P55	70: P67
71: P66	72:P54	73: P61	74: P41	75: P40	76:P43	77:P42
78:P65	79: P60	80:P44	81:P45	82: P46	83: P47	84: P64
85: PG3	86: PG6	87: PG7	88:PG4	89:PG5	90:PG0	91:PG1
92:PG2	93:TOV	94:PH3	95:DINT	96:PH2	97:PH1	98:PH7
99:DCLK	100:PCST4	101:PCST3	102: PCST2	103: PCST1	104:PCST0	105:PH6
106:PH0	107:PC3	108: PC4	109: PH5	110: PH4	111: PC1	112:PC7
113:PC6	114:PC5	115:PC2	116:PC0	117:PF6	118:PF3	119:PF7
120:PF4	121:PF5	122:PF1	123:PF2	124:PF0	125:PD0	126:PD1
127:PD2	128:PD3	129:PD4	130:PD5	131:PD6	132:P77	133:P76
134:P75	135:P87	136:P74	137:P85	138:P86	139:P84	140:P83
141:P73	142:P82	143:P81	144:P80	145:P71	146:P72	147:P70
148:PE0	149:PE1	150:PE2	151:PE3	152:PE4		

注：JTAG スキャン可能な端子を表記しております。

23.4 JTAG コントローラセルでサポートしている命令

この項では、TMP19A43 の JTAG コントローラセルでサポートしている命令について説明します。

23.4.1 EXTEST 命令

EXTEST 命令は外部接続テストに使用します。EXTEST 命令では、出力端子の BSR セルは Update-DR 時にテストパターンを出力し、入力端子の BSR セルは Capture-DR 時にテスト結果を取り込みます。

通常、EXTEST 命令を選択するまえに SAMPLE/PRELOAD 命令を使ってバウンダリスキャンレジスタを初期化します。バウンダリスキャンレジスタを初期化しておかないと、Update-DR 状態において不確定なデータが伝送され、IC 間でバスのコンフリクトが起こる可能性があります。EXTEST 命令が選択されているあいだのデータの流れを図 23-8 に示します。

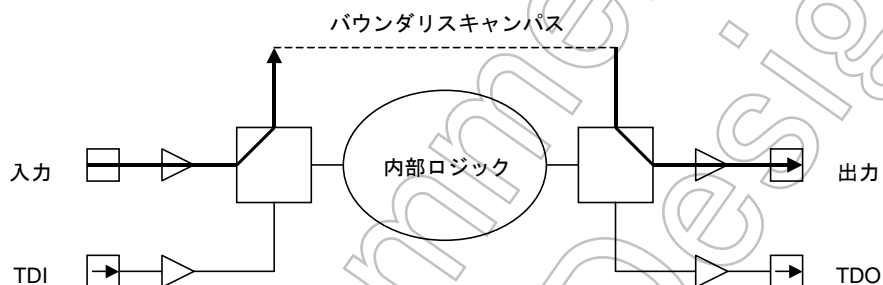


図 23-8 EXTEST 命令が選択されているときのテストデータの流れ

次に外部接続テストの基本的なテスト手順を示します。

1. TAP コントローラを初期化して、Test-Logic-Reset 状態にします。
2. 命令レジスタに SAMPLE/PRELOAD 命令をロードします。これによりバウンダリスキャンレジスタが TDI-TDO 間に接続されます。
3. 確定したデータをシフトインすることにより、バウンダリスキャンレジスタを初期化します。
4. 最初のテストデータをバウンダリスキャンレジスタにロードします。
5. 命令レジスタに EXTEST 命令をロードします。
6. 入力端子に印加されているデータを入力用バウンダリスキャンレジスタに取り込みます。
7. 取り込んだデータをシフトアウトすると同時に、次のテストパターンをシフトインします。
8. 出力用バウンダリスキャンレジスタにシフトインされたテストパターンを出力端子に出力します。

6 から 8 をテストパターンごとに繰り返します。

「EXTEST 命令を使用する場合は、CPU が動作状態となっていますので端子入力に注意して下さい」
 「EXTEST 命令を使用する場合は、システムリセット解除後にテストを行って下さい」

23. 4. 2 SAMPLE/PRELOAD 命令

この命令は TDI-TDO 間をバウンダリスキャンレジスタで接続します。名前が示すとおり、SAMPLE/PRELOAD 命令には次の 2 つの機能があります。

- SAMPLE は IC の I/O パッドを観測するのに使います。SAMPLE が I/O パッドを観測しているあいだ、内部ロジックは IC の I/O 端子から切り離されません。SAMPLE は Capture-DR 状態で実行します。通常動作中、TCK の立ち上がりエッジにおいて IC の I/O 端子の値を読み取ることが SAMPLE の主な用途です。図 23-9 に SAMPLE/PRELOAD 命令の SAMPLE を実行しているあいだのデータの流れを示します。

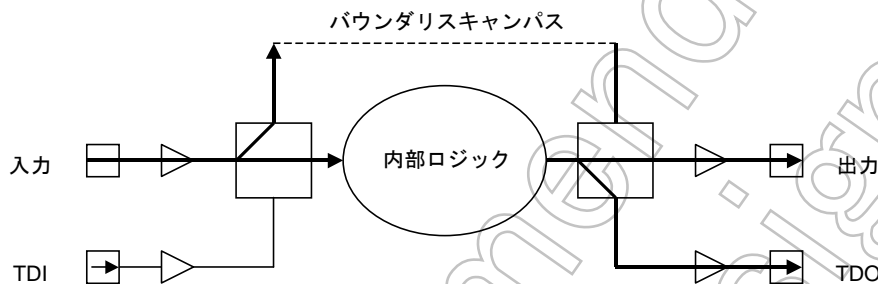


図 23-9 SAMPLE が選択されているときのテストデータの流れ

- PRELOAD は他の命令を選択するまえに、バウンダリスキャンレジスタを初期化するのに使います。例えば、前に述べたように EXTEST 命令を選択するまえに PRELOAD を用いてバウンダリスキャンレジスタを初期化します。PRELOAD はシステムロジックの通常動作に影響を与えずに、バウンダリスキャンレジスタにデータをシフトします。図 23-10 に SAMPLE/PRELOAD 命令の PRELOAD を実行しているあいだのデータの流れを示します。

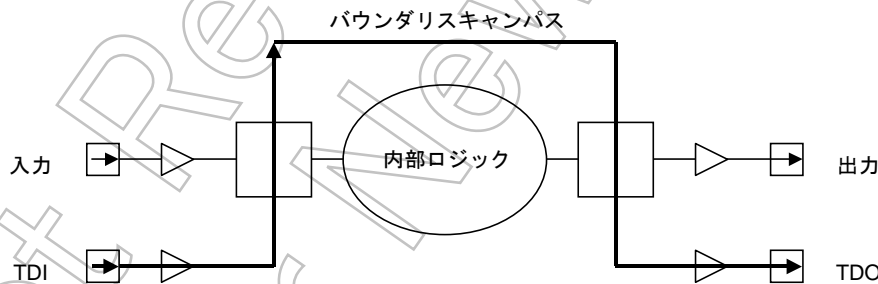


図 23-10 PRELOAD が選択されているときのテストデータの流れ

「SAMPLE 命令を使用する場合は、システムリセット中に命令の Update を完了して下さい。
またリセット解除後に、TAP の命令切り替えを行わないで下さい。」

23. 4. 3 BYPASS 命令

BYPASS 命令は IC を制御、観測する必要がないテストの場合に、バイパスレジスタを JTDI-JTDO 間に接続することにより IC をバイパスする最短のシリアルパスを構成します。BYPASS 命令はチップ上のシステムロジックの通常動作には影響を与えません。図 23-11に示すように BYPASS 命令が選択されているあいだ、データはバイパスレジスタを通ります。

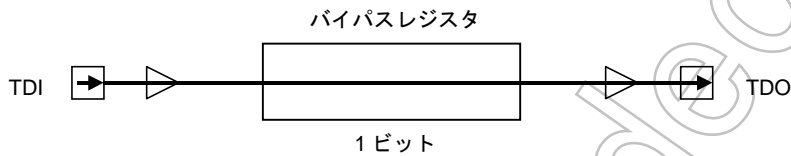


図 23-11 バイパスレジスタが選択されているときのテストデータの流れ

23. 5 注意事項

本節では、当プロセッサで採用している JTAG バウンダリスキャン処理の注意点について説明します。

- X2, X1 信号パッドは、JTAG をサポートしていません。
- JTAG 回路のリセット解除手順（どちらか一方を選択）
 - ① $\overline{\text{TRST}}$ をアサートして JTAG 回路を初期化後デアサート。
 - ② TMS 端子 = 1 の状態で、TCK に 5 クロック以上供給

24. 各種プロテクト機能

24.1 概要

本製品は内蔵ROM(Flash)領域を読み出し禁止に設定できるROMプロテクト及びDSU(DSU-Probe)の使用を禁止するDSUプロテクト機能などを内蔵しています。読み出し禁止機能として、次3つの機能をもっています。

- フラッシュプロテクト
- ROMデータプロテクト
- DSUプロテクト

24.2 特長

24.2.1 フラッシュプロテクト機能

<フラッシュ版>

内蔵フラッシュは、128K バイト単位のブロックごとに書き込みと消去の動作を禁止することができます。この機能をブロックプロテクトと呼びます。

ブロックプロテクト機能を有効にするためには、プロテクトをかけたいブロックに対応するプロテクトビットを”1”にします。プロテクトビットを”0”にすることによりブロックプロテクトを解除することができます。(プログラム方法については、Flash動作説明の章をご覧ください。)

プロテクトビットは、FLCSレジスタ<BLPRO3:0>ビットでモニタすることができます。

すべてのブロックにプロテクトをかけた状態をFLASHプロテクトと呼びます。一度FLASHプロテクト状態にしたあとプロテクト解除動作(プロテクトビットを”0”にする動作)を行うと、自動的にフラッシュの全データを消去した後、すべてのプロテクトビットが”0”になりますので注意が必要です。

<マスク版>

マスク版では常時FLASHプロテクト状態となっており、FLASHプロテクトを解除することはできません。マスク版ではこの機能は通常の動作には影響しません。

<フラッシュ版、マスク版共通>

これから説明する「ROMデータプロテクト」、「DSUプロテクト」を有効にするためには、FLASHプロテクト状態であることが必要です。

24.2.2 ROM データプロテクト

ROM データプロテクトは、内蔵 FLASH/ROM に対してデータの読み出しを制限する機能です。また、フラッシュ版ではフラッシュに対するコマンドの実行も禁止されます。

ROM データプロテクトは、FLASH プロテクト状態で ROM プロテクトレジスタ ROMSEC1<RSECON>ビットが” 1” のときに有効になります。

RSECON ビットはフラッシュ版、マスク版とも初期状態は” 1” となっています。マスク版では FLASH プロテクトが常時有効ですので、ユーザプログラムで RSECON ビットを” 0” に設定しない限り ROM データプロテクト状態となります。

フラッシュ版では FLASH の全ブロックにプロテクトをかけていなければ ROM データプロテクト状態にはなりません。FLASH の全ブロックにプロテクトをかけて FLASH プロテクト状態となっているときはマスク版と同様に初期状態が ROM データプロテクト状態となります。

(注)

ROM データプロテクト状態では RSECON ビットのアクセスは内蔵 ROM に置かれた命令からしかできません。プロテクト解除のプログラムは内蔵 ROM におく必要がありますので注意が必要です。

ROM correction 機能で ROM 領域の命令と置き換えられた RAM 上の命令の PC はフラッシュ ROM の領域を示しますが、実際には RAM 領域にあるため、ROM プロテクト状態でのデータの読み出しを行うことは出来ません。置き換えた RAM 上の命令でデータを読み出す場合は ROM 領域のプログラムでそのデータ値を RAM にライトする等の対策を行う必要があります。

ROM 領域に ROM プロテクトが掛かると以下の動作が出来なくなります。

- ROM 領域以外に置かれた命令からの ROM 領域のデータのロード及びストア
- DMAC レジスタへのストア (バスエラーによる NMI が発生します)
- EJTAG による ROM 領域のデータのロード及びストア
- BOOT-ROM による ROM 領域のデータのロード及びストア (FLASH 品のみ該当)
- フラッシュライターによる ROM 領域のデータのロード及びストア (FLASH 品のみ該当)
- ROM 領域以外に置かれた命令からの ROM 領域のプロテクト関連レジスタ (ROMSEC1、ROMSEC2) へのアクセス
- ライタモードでの自動ブロックプロテクト解除コマンド、自動ブロックプロテクト解除コマンド以外のフラッシュコマンドシーケンス実行及びシングルモード、ブートモードでの ROM 領域のアドレスを指定したフラッシュコマンドシーケンス (FLASH 品のみ該当)

また、ROM 領域に ROM プロテクトが掛かった状態でも、以下の動作は実行出来ます。

- ROM 領域に置かれた命令から ROM 領域のデータのロード
- すべての領域に置かれている命令から ROM 領域以外のデータのロード
- すべての領域に置かれている命令から ROM 領域への命令分岐
- EJTAG による ROM 領域の PC トレース (制限あり)、ブレーク
- DMAC による ROM 領域のデータ転送

注) Mask 品は、ROM プロテクトが掛かった状態が初期値となります。

FLASH 品ではプロテクトビット設定 FLCS< BLPRO 3:0> =1111 とする事で

Mask 品同様に ROM プロテクトを掛けることが出来ます。Mask 品、FLASH 品で動作が

異なるため注意が必要です。

24.2.3 DSU プロテクト

DSU プロテクト機能は、DSU-probe の接続を無効にすることによりユーザー以外の第三者に容易に内蔵フラッシュのデータを読み出せないようにする機能です。

DSU プロテクトは、FLASH プロテクト状態で SEQMOD レジスタ<DSUOFF>ビットが” 1 ” のときに有効になります。

DSUOFF ビットはフラッシュ版、マスク版とも初期状態は” 1 ” となっています。マスク版では FLASH プロテクトが常時有効ですので、ユーザプログラムで DSUOFF ビットを” 0 ” に設定しない限り DSU プロテクト状態となります。

フラッシュ版では FLASH の全ブロックにプロテクトをかけていなければ DSU プロテクト状態にはなりません。FLASH の全ブロックにプロテクトをかけて FLASH プロテクト状態となっているときはマスク版と同様に初期状態が DSU プロテクト状態となります。

(注) ROM データプロテクト状態では DSUOFF ビットのアクセスは内蔵 ROM に置かれた命令からしかできません。DSU プロテクト解除のプログラムは内蔵 ROM におく必要がありますので注意が必要です。

24.3 プロテクト概略図および対応表

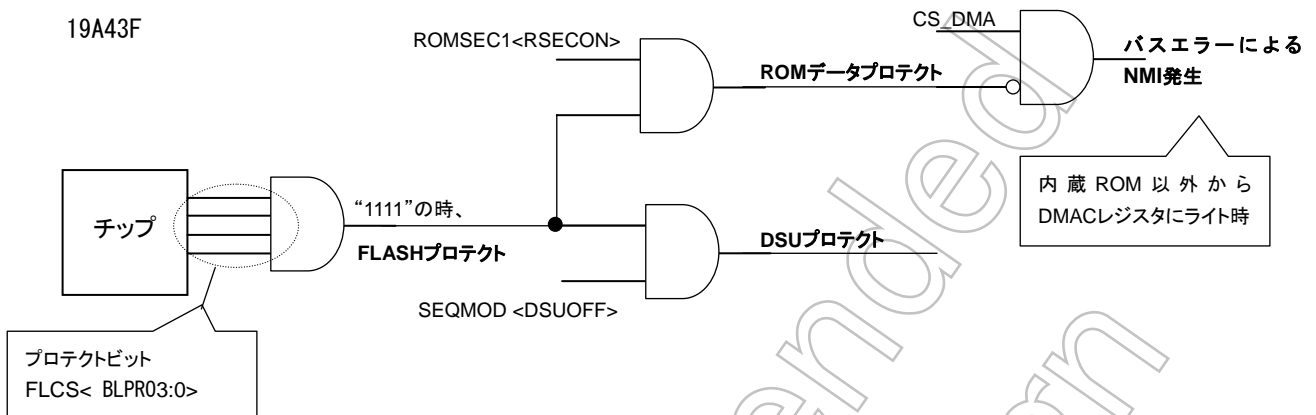


図 24-1各種プロテクト状態概略

表 24-1各モードの各種プロテクト状態

FLASH プロテクト状態		ON				OFF
ROM データプロテクト状態		ON		OFF		OFF
DSU プロテクト状態		ON	OFF	ON	OFF	OFF
シングル /シングルブート モード	内蔵 ROM からの内蔵 ROM リード	○	○	○	○	○
	内蔵 ROM 以外からの内蔵 ROM リード	× *1	× *1	○	○	○
	DSU-probe による内蔵 ROM リード	×	○	×	○	○
	RSECON 書き換え (内蔵 ROM から)	○	○	○	○	○
	RSECON 書き換え (内蔵 ROM 以外から)	× *2	× *2	○	○	○
	DSUOFF 書き換え (内蔵 ROM から)	○	○	○	○	○
	DSUOFF 書き換え (内蔵 ROM 以外から)	× *3	× *3	○	○	○
	プロテクトビット消去コマンド発行 (FLASH 版のみ)	× *4	× *4	○ *7	○ *7	○
	プロテクトビット消去以外のコマンド発行 (FLASH 版のみ)	× *4	× *4	× *6	× *6	△ *8
	DMAC 設定レジスタへのライト (内蔵 ROM から)	○	○	○	○	○
DMAC 設定レジスタへのライト (内蔵 ROM 以外から)	× *5	× *5	○	○	○	

- *1 : アドレス「0xBFC0_0000」または「0xBFC0_0002」のデータが読めます。
- *2 : RSECON ビットにライト(クリア)出来ません。
- *3 : DSUOFF ビットにライト(クリア)出来ません
- *4 : フラッシュがコマンドを認識しません。
- *5 : ノンマスカブル割り込みが発生します。
- *6 : フラッシュがコマンドを認識しません。
- *7 : フラッシュ全領域消去とプロテクトビット全消去に変換されます。
- *8 : プロテクトビットの状態により、プロテクトがかかったブロックに対するコマンドは受け付けません。
- *9 : リードデータは常に 0x00000098 が読めます。

24.4 レジスタ

フラッシュコントロール/ステータスレジスタ

フラッシュメモリのステータスマニタと、ブロックプロテクト状態を示すレジスタです。

表 24-2 フラッシュコントロールレジスタ

FLCS (0xFFFF_E520)	Bit Symbol	7	6	5	4	3	2	1	0
	Read/Write	R				R	R	R	R
	パワーオンリセット後	0 (1)	0 (1)	0 (1)	0 (1)	0	0 (1)	0	1
	機能	プロテクトエリア設定 (128KB 単位) 0000 : 全ブロックプロテクトなし xxx1 : ブロック 0 がプロテクト状態 xx1x : ブロック 1 がプロテクト状態 x1xx : ブロック 2 がプロテクト状態 1xxx : ブロック 3 がプロテクト状態 (マスク品は "1111" 固定です)				リードすると "0" が読めず	ROM 識別ビット 0:Flash 1:MROM	リードすると "0" が読めず	Ready/Busy 0:自動動作中 1:自動動作終了 (マスク品は "1" 固定です)
Bit Symbol	15	14	13	12	11	10	9	8	
Read/Write	R								
パワーオンリセット後	0	0	0	0	0	0	0	0	
機能									
Bit Symbol	23	22	21	20	19	18	17	16	
Read/Write	R								
パワーオンリセット後	0	0	0	0	0	0	0	0	
機能									
Bit Symbol	31	30	29	28	27	26	25	24	
Read/Write	R								
パワーオンリセット後	0	0	0	0	0	0	0	0	
機能									

ビット0: Ready/Busy フラグビット

自動動作の状態を認識する方法として、RDY/BSY 出力を備えています。本ビットはこの機能を CPU からモニタするための機能ビットです。フラッシュメモリが自動動作中は "0" を出力し、ビジー状態であることを示します。自動動作が終了するとレディ状態となり "1" を出力し、次のコマンドを受け付けます。自動動作の結果が不良であった場合、本ビットは "0" 出力を継続します。ハードウェアリセット時に "1" に復帰します。

(注) コマンド発行は、必ずレディ状態であることを確認してから発行して下さい。

ビジー中にコマンド発行を行なった場合、正常なコマンドが送られないだけでなく、それ以降のコマンドを入力出来なくなる可能性があります。その際は、システムリセットまたはリセットコマンドで復帰して下さい。

ビット2: ROM タイプ識別ビット

リセット後の値でフラッシュ ROM またはマスク ROM タイプの識別を行うビットです。

フラッシュ ROM : "0"

マスク ROM : "1"

ビット[7:4]: プロテクトビット (x: ブロックごとの組み合わせ設定可能)

プロテクトビット (4 ビット) 値は各ブロックごとのプロテクト状態に対応します。該当ビットが "1" の時は対応するブロックがプロテクト状態であることを示します。プロテクト状態のブロックは書き換えはできません。

表 24-3 ROM プロテクトレジスタ

ROMSEC1 (0xFFFF_E518)	Bit Symbol								
	Read/Write	R							RSECON
	パワーオン リセット後	0							1
	機能	リードすると常に"0"が読めます							ROM プロテクト 1: ON 0: OFF (注)
		7	6	5	4	3	2	1	0
	15	14	13	12	11	10	9	8	
Bit Symbol									
Read/Write	R								
パワーオン リセット後	0								
機能	リードすると常に"0"が読めます								
	23	22	21	20	19	18	17	16	
Bit Symbol									
Read/Write	R								
パワーオン リセット後	0								
機能	リードすると常に"0"が読めます								
	31	30	29	28	27	26	25	24	
Bit Symbol									
Read/Write	R								
パワーオン リセット後	0								
機能	リードすると常に"0"が読めます								

- (注) 本レジスタは、FLASH 版ではパワーオンリセットでのみ初期化されます。
マスク版は通常リセットのたびに初期化されます。
- (注) 本レジスタは 32 ビットアクセスを行なって下さい。

表 24-4 ROM プロテクトロックレジスタ

ROMSEC2 (0xFFFF_E51C)		7	6	5	4	3	2	1	0
	Bit Symbol								
	Read/Write	W							
	リセット後	不定							
	機能	(注) 参照願います							
		15	14	13	12	11	10	9	8
Bit Symbol									
Read/Write	W								
リセット後	不定								
機能	(注) 参照願います								
		23	22	21	20	19	18	17	16
Bit Symbol									
Read/Write	W								
リセット後	不定								
機能	(注) 参照願います								
		31	30	29	28	27	26	25	24
Bit Symbol									
Read/Write	W								
リセット後	不定								
機能	(注) 参照願います								

- (注) ROMSEC1<RSECON>を設定後、本レジスタに”0x0000_003D”を設定することにより、ROMSEC1<RSECON>に値がセットされます。
- (注) ROMSEC1、ROMSEC2 レジスタは ROM 領域に ROM プロテクトがかかっている場合、ROM 領域に置かれている命令でのみアクセスすることが出来ます。
- (注) 本レジスタは 32 ビットアクセスを行なって下さい。
- (注) 本レジスタは書き込み専用レジスタです。読み出した場合の値は不定になります。

表 24-5 DSU プロテクトモードレジスタ

SEQMOD (0xFFFF_E510)	Bit Symbol								DSUOFF
	Read/Write	R							R/W
	リセット後	0							1
	機能	リードすると常に"0"が読めます							1: DSU 使用不可 0: DSU 使用許可
		7	6	5	4	3	2	1	0
	Bit Symbol								
	Read/Write	R							
	リセット後	0							
	機能	リードすると常に"0"が読めます							
		15	14	13	12	11	10	9	8
	Bit Symbol								
	Read/Write	R							
	リセット後	0							
	機能	リードすると常に"0"が読めます							
		23	22	21	20	19	18	17	16
	Bit Symbol								
	Read/Write	R							
	リセット後	0							
	機能	リードすると常に"0"が読めます							
		31	30	29	28	27	26	25	24
	Bit Symbol								
	Read/Write	R							
	リセット後	0							
	機能	リードすると常に"0"が読めます							
		31	30	29	28	27	26	25	24

(注) 本レジスタは、FLASH 版ではパワーオンリセットでのみ初期化されます。
 マスク版は通常リセットのたびに初期化されます。
 (注) 本レジスタは 32 ビットアクセスを行なって下さい。

表 24-6 DSU プロテクト制御レジスタ

SEQCNT (0xFFFF_E514)	Bit Symbol	DSECODE07	DSECODE06	DSECODE05	DSECODE04	DSECODE03	DSECODE02	DSECODE01	DSECODE00
	Read/Write	W							
	リセット後	0							
	機能	"0x0000_00C5" をライトしてください。							
		15	14	13	12	11	10	9	8
	Bit Symbol	DSECODE15	DSECODE14	DSECODE13	DSECODE12	DSECODE11	DSECODE10	DSECODE09	DSECODE08
	Read/Write	W							
	リセット後	0							
	機能	"0x0000_00C5" をライトしてください							
		23	22	21	20	19	18	17	16
	Bit Symbol	DSECODE23	DSECODE22	DSECODE21	DSECODE20	DSECODE19	DSECODE18	DSECODE17	DSECODE16
	Read/Write	W							
	リセット後	0							
	機能	"0x0000_00C5" をライトしてください							
		31	30	29	28	27	26	25	24
	Bit Symbol	DSECODE31	DSECODE30	DSECODE29	DSECODE28	DSECODE27	DSECODE26	DSECODE25	DSECODE24
	Read/Write	W							
	リセット後	0							
	機能	"0x0000_00C5" をライトしてください							
		31	30	29	28	27	26	25	24

(注) 本レジスタは 32 ビットアクセスを行なって下さい。
 (注) 本レジスタは書き込み専用レジスタです。読み出した場合の値は不定になります。

24.5 プロテクト設定/解除方法

プロテクト状態でフラッシュメモリの書き換え及びプロテクトビットの書換えの必要があるときは、自動プロテクトビット消去を行うか、ROM プロテクト機能を解除してください。DSU プロテクト状態では DSU を使用することができません。

(マスク版は ROM セキュリティの解除のみ可能で、プロテクトビットは書き換え出来ません。)

自動プロテクトビットプログラム実行後にフラッシュ読み出し禁止状態になる場合は、予め DSU-PROBE 使用許可にしておく必要があります。

フラッシュ読み出し禁止状態で“自動プロテクトビット消去”を実施すると、本デバイス内部で自動的にフラッシュメモリの初期化を行います。このためプロテクト状態に移行する際は十分ご注意ください。(FLASH 品のみ)

24.5.1 フラッシュプロテクト

フラッシュプロテクト機能はマスク版では常時有効な状態になっており、解除することはできません。フラッシュ版では4つのすべてのブロックにブロックプロテクトをかけることで有効になります。フラッシュ版でフラッシュプロテクト機能の設定/解除を行う場合、フラッシュメモリに対する、プロテクトビットプログラムコマンドによって設定します。詳細は Flash 動作説明章のコマンドシーケンスを参照して下さい。

(フラッシュ版に関する注意事項)

フラッシュプロテクト状態でプロテクトビット解除コマンドを実行すると、フラッシュのデータをすべて消去した後にプロテクトビットをクリアし、フラッシュプロテクト状態が解除されます。

以下に説明する ROM データプロテクト状態では、フラッシュに対するコマンド実行は無視されます。ROM プロテクト状態でフラッシュプロテクトを解除する場合には、まず ROM プロテクトレジスタの RSECON ビットをクリアして ROM データプロテクトを解除する必要があります。

24.5.2 ROM データプロテクト

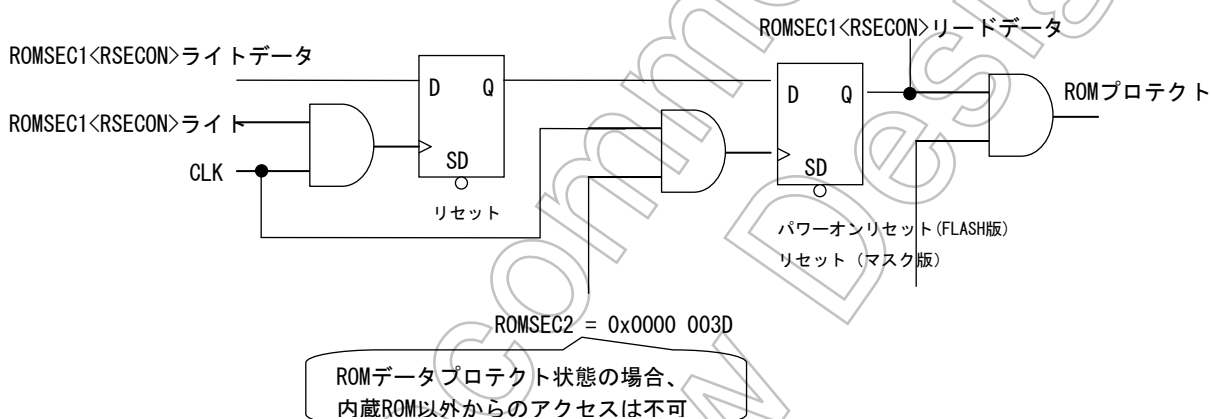
ROM データプロテクトは、フラッシュプロテクトが有効な状態で ROM プロテクトレジスタ ROMSEC1<RSECON> = “1” のときに有効になります。

リセット解除後 RSECON ビットは”1”に初期化されます。マスク版ではフラッシュプロテクトは常時有効なため、リセット解除後は必ず ROM データプロテクト状態になります。フラッシュ版ではフラッシュプロテクトの状態により ROM データプロテクト状態になるかどうかが決まります。

ROM データプロテクト状態で ROM プロテクトレジスタを書き換える場合、書き換えは内蔵 ROM に置かれたプログラムからしか実行できません。このため、ROM データプロテクトの解除プログラムは内蔵 ROM 上に準備しておく必要があります。

RSECON ビットは、暴走などによる偶発解除を防ぐために 2 重構造となっています。

以下に概略図を示します。



プロテクトを解除する場合、ROM プロテクトレジスタ ROMSEC1<RSECON> = “0” をセットし、プロテクトコード “0x0000_003D” を ROM プロテクトロックレジスタ ROMSEC2 に書き込むことで ROM データプロテクトが解除されます。また、ROM プロテクトを設定する場合も同様に、ROM プロテクトレジスタ ROMSEC1<RSECON> = “1” をセットし、プロテクトコード “0x0000_003D” を ROM プロテクトロックレジスタ ROMSEC2 に書き込むことで再び ROM データプロテクト機能を設定することが出来ます。

ROMSEC2 レジスタは書き込み専用レジスタで、読み出しデータは本来のライトデータとは異なるため注意が必要です。

ROM プロテクトレジスタの初期化はフラッシュ版とマスク版で異なります。

フラッシュ版ではパワーオンリセット回路を備えており、ROM プロテクトレジスタはパワーオンリセットで初期化され、通常リセットでは値は変化しません。

マスク版ではパワーオンリセットを備えていないため、通常リセットで初期化されます。マスク版では通常リセットのたびに初期化されるため注意が必要です。

24.5.3 DSU プロテクト

24.5.4

DSU 使用許可/禁止 (DSU-PROBE を利用してのデバッグを有効/無効)

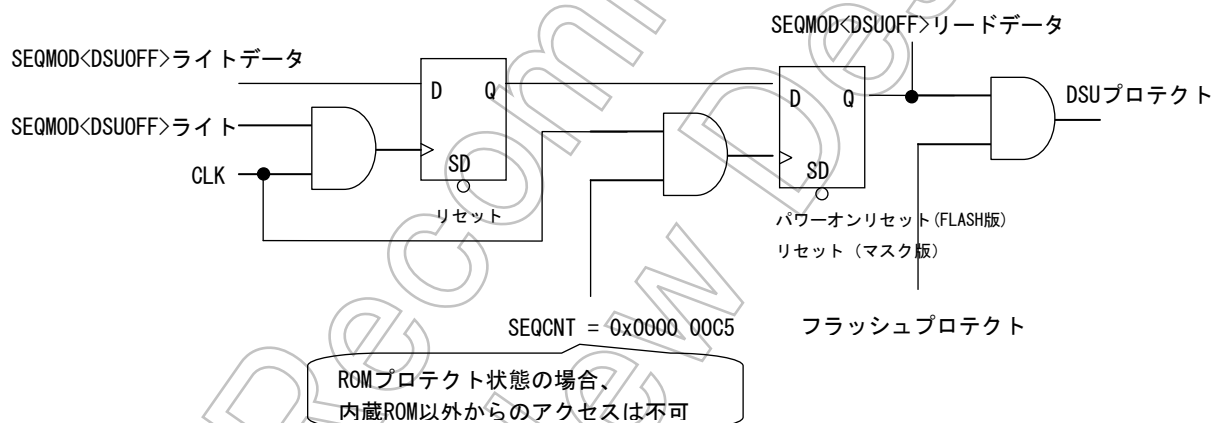
DSU プロテクトは、フラッシュプロテクトが有効な状態で DSU プロテクトモードレジスタ SEQMOD<DSUOFF> = “1” のときに有効になります。

リセット解除後 DSUOFF ビットは”1”に初期化されます。マスク版ではフラッシュプロテクトは常時有効なため、リセット解除後は必ず DSU プロテクト状態になります。フラッシュ版ではフラッシュプロテクトの状態により DSU プロテクト状態になるかどうかが決まります。

ROM データプロテクト状態で DSU プロテクトモードレジスタを書き換える場合、書き換えは内蔵 ROM に置かれたプログラムからしか実行できません。このため、DSU プロテクトの解除のプログラムは内蔵 ROM 上に準備しておく必要があります。

DSUOFF ビットは、暴走などによる偶発解除を防ぐために 2 重構造となっています。

以下に概略図を示します。



プロテクトを解除する場合、DSU プロテクトモードレジスタ SEQMOD<DSUOFF> = “0” をセットし、プロテクトコード “0x0000_00C5” を DSU プロテクト制御レジスタ SEQCNT に書き込むことで DSU プロテクトが解除されます。また、DSU プロテクトを設定する場合も同様に、DSU プロテクトモードレジスタ SEQMOD<DSUOFF> = “1” をセットし、プロテクトコード “0x0000_00C5” を DSU プロテクト制御レジスタ SEQCNT に書き込むことで再び DSU プロテクト機能を設定することが出来ます。

SEQCNT レジスタは書き込み専用レジスタで、読み出しデータは本来のライトデータとは異なるため注意が必要です。

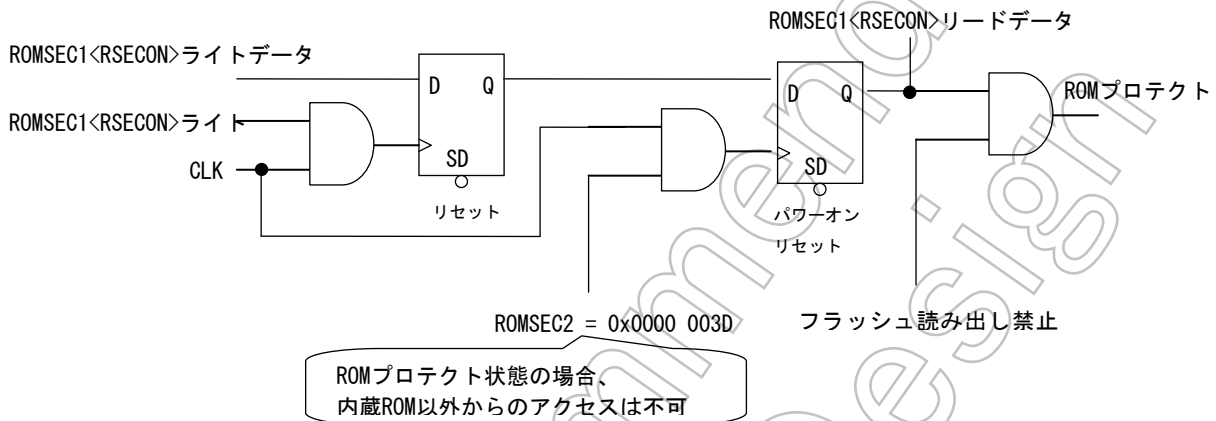
DSU プロテクトモードレジスタの初期化はフラッシュ版とマスク版で異なります。

フラッシュ版ではパワーオンリセット回路を備えており、DSU プロテクトモードレジスタはパワーオンリセットで初期化され、通常リセットでは値は変化しません。

マスク版ではパワーオンリセットを備えていないため、通常リセットで初期化されます。マスク版では通常リセットのたびに初期化されるため注意が必要です。

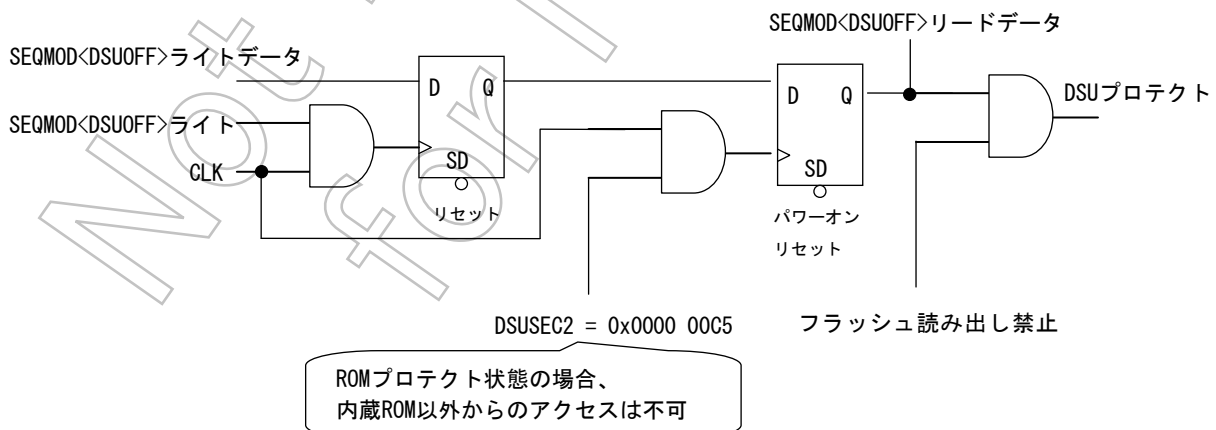
24.5.5 ROM プロテクトレジスタ : ROMSEC1<RSECON>

ROM プロテクトレジスタはパワーオンリセット回路を備えています。ROMSEC1<RSECON>ビットの読み出しデータは本来のライトデータとは異なるデータを読み出すため注意が必要です。概略図を下記に示します。FLASH 品はパワーオンリセットで初期化されますが、マスク版は通常リセットで初期化されます



24.5.6 DSU プロテクトモードレジスタ : SEQMOD <DSUOFF>

DSU プロテクトモードレジスタはパワーオンリセット回路を備えています。SEQMOD <DSUOFF>ビットの読み出しデータは本来のライトデータとは異なるデータを読み出すため注意が必要です。概略図を下記に示します。FLASH 品はパワーオンリセットで初期化されますが、マスク版は通常リセットで初期化されます



26. 電気的特性

26.1 絶対最大定格

計算式に使用している“X”は、SYSCR1<SYSCK>で選択されたクロック fsys の周期を示しますのでクロックギアや低速発振器を選択すると“X”の値が異なります。なお、例としての計算値はシステムクロックは高速 (fc) (SYSCR1 <SYSCK> = “0”)、ギア選択が 1/1 (SYSCR1 <GEAR (2 : 0)> = “000”) のときの値です。

項目		記号	定格	単位
電源電圧		V _{CC15} (内部)	-0.3~3.0	V
		V _{CC3} (I/O)	-0.3~3.9	
		AV _{CC3} (A/D)	-0.3~3.9	
		DA _{VCC} (D/A)	-0.3~3.5	
		DV _{CC3}	-0.3~3.9	
入力電圧		V _{IN}	-0.3~V _{CC} + 0.3	V
低レベル 出力電流	1 端子	I _{OL}	5	mA
	合計	ΣI _{OL}	50	
高レベル 出力電流	1 端子	I _{OH}	-5	
	合計	ΣI _{OH}	50	
消費電力(Ta = 85°C)		PD	600	mW
はんだ付け温度(10s)		T _{SOLDER}	260	°C
保存温度		T _{STG}	-40~125	°C
動作温度	Flash W/E 時を除く	T _{OPR}	-20 ~ 85	°C
	Flash W/E 時		0 ~ 70	
書き替え回数		NEW	100	cycle

$$V_{CC15} = DV_{CC15} = CV_{CCH}, V_{CC3} = DV_{CC3} = CV_{CCL}$$

$$V_{SS} = DV_{SS} = AV_{SS} = CV_{SS} = DAGND \text{ と定義します。}$$

注) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。絶対最大定格(電流、電圧、消費電力、温度)を超えると破壊や劣化の原因となり、破裂・燃焼による障害を負うことがあります。したがってかならず絶対最大定格を超えないように、応用機器の設計を行ってください。

26.2 DC 電気的特性 (1/3)

 $T_a = -20 \sim 85^\circ\text{C}$

項目		記号	条件	Min.	Typ. (注)	Max.	単位
電源電圧	AVCC3 = 3.3V CVCCH=DVCC15 DVCC3=CVCCL	DVCC15 CVCCH	fosc = 8~10MHz fs = 30kHz~34kHz fsys = 15kHz~34kHz 4MHz~40MHz	1.35		1.65	V
		DAVCC		2.3		2.7	
	DVCC3 CVCCL	2.7			3.6		
低レベル入力電圧	P7~P8	V_{IL1}	$2.7V \leq AVCC3 \leq 3.6V$			$0.3 AVCC3$	V
	ノーマルポート	V_{IL2}	$2.7V \leq DVCC3 \leq 3.6V$			$0.3 DVCC3$	
	シュミット入力	V_{IL3}	$2.7V \leq DVCC3 \leq 3.6V$	-0.3		$0.2 DVCC3$	
	X1	V_{IL4}	$1.35V \leq CVCCH \leq 1.65V$			$0.1 CVCCH$	
	XT1	V_{IL5}	$2.7V \leq CVCC L \leq 3.6V$			$0.1 CVCC L$	

(注) Typ 値は特に指定のない限り $T_a = 25^\circ\text{C}$ 、 $DVCC15=1.5V$ 、 $DVCC3=AVCC3=3.3V$ 、 $DAVCC=2.5V$ の値です。

Ta = -20 ~ 85°C

項目		記号	条件	Min.	Typ. (注)	Max.	単位
高レベル入力電圧	P7~P8	V _{IH1}	2.7V ≤ AVCC3 ≤ 3.6V	0.7 AVCC3		DVCC3 + 0.3 DVCC15 + 0.2 CVCCH + 0.2 CVCCL + 0.3	V
	ノーマルポート	V _{IH2}	2.7V ≤ DVCC3 ≤ 3.6V	0.7 DVCC3			
	シュミット入力	V _{IH3}	2.7V ≤ DVCC3 ≤ 3.6V	0.8 DVCC3			
	X1	V _{IH4}	1.35V ≤ CVCCH ≤ 1.65V	0.9 CVCCH			
	XT2	V _{IH4}	2.7V ≤ CVCCL ≤ 3.6V	0.9 CVCCL			
低レベル出力電圧		V _{OL}	I _{OL} = 2mA DVCC3 ≥ 2.7V			0.4	V
高レベル出力電圧		V _{OH}	I _{OH} = -2mA DVCC3 ≥ 2.7V	2.4			

(注) Typ 値は特に指定のない限り Ta = 25°C、DVCC15=1.5V、DVCC3 = AVCC3=3.3V、DAVCC=2.5V の値です。

Not Recommended for New Design

26.3 DC 電気的特性 (2/3)

Ta = -20~85°C

項目	記号	条件	Min.	Typ. (注)	Max.	単位
入力リーク電流	I _{LI}	0.0 ≤ V _{IN} ≤ DVCC15 0.0 ≤ V _{IN} ≤ DVCC3 0.0 ≤ V _{IN} ≤ AVCC3 0.0 ≤ V _{IN} ≤ DAVCC		0.02	± 5	μA
カリーク電流	I _{LO}	0.2 ≤ V _{IN} ≤ DVCC15 - 0.2 0.2 ≤ V _{IN} ≤ DVCC3 - 0.2 0.2 ≤ V _{IN} ≤ AVCC3 - 0.2 0.2 ≤ V _{IN} ≤ DAVCC - 0.2		0.05	± 10	
リセットブルアップ抵抗	RRST	DVCC3 = 2.7V~3.6V	20	50	150	kΩ
シュミット入力	VTH	2.7V ≤ DVCC3 ≤ 3.6V	0.3	0.6		V
プログラマブル プルアップ/ダウン抵抗	PKH	DVCC3 = 2.7V~3.6V	20	50	150	kΩ
Pin 容量 (電源端子を除く)	C _{IO}	fc = 1MHz			10	pF

(注) Typ 値は特に指定のない限り Ta = 25°C、DVCC15=1.5V、DVCC3 = AVCC3=3.3V、DAVCC=2.5V、の値です。

Not Recommended for New Design

26.4 DC 電気的特性 (3/3)

DVCC15=CVCCH=1.35V~1.65V, CVCCL= DVCC3=AVCC3=2.7V~3.6V,
DAVCC=2.3V~2.7V

Ta = -20~85°C

項目	記号	条件	Min.	Typ. (注 1)	Max.	単位
NORMAL(注 2)ギア比 1/1	I _{CC}	f _{sys} =40 MHz (f _{osc} = 10 MHz)		50	74	mA
IDLE(Doze) (注 3)				20	29	
IDLE(Halt) (注 3)				18	28	
SLOW (注 4)		f _s = 32.768kHz		140	995	μA
SLEEP (注 4)		f _s = 32.768kHz		30	985	μA
STOP				27	980	μA

(注1) Typ 値は、特に指定のない限り Ta = 25 °C, DVCC15=1.5 V , DVCC3=AVCC3= 3.3 V, DAVCC = 2.5 V の値です。

(注2) I_{CC} NORMAL の測定条件 :

CPU ドライストン実行(DSU を除く), RAM, FLASH
D/A および A/D を除く内蔵周辺機能は全て動作

(注3) I_{CC} IDLE の測定条件 :

周辺機能は全て停止

(注4) I_{CC} SLOW, SLEEP の測定条件 :

時計用タイマ動作

I_{CC} には DVCC15、DVCC3、CVCCH、CVCCL、AVCC3、DAVCC に流れる電流が含まれます。

26.5 10ビット A/D 変換特性

DVCC15=CVCCH=1.35V~1.65V, CVCCL= DVCC3=AVCC3=VREFH=2.7V~3.6V,
DAVCC=2.3V~2.7V,AVSS = DVSS ,Ta= -20~85°C
AVCC3 負荷容量 $\geq 3.3\mu\text{F}$, VREFH 負荷容量 $\geq 3.3\mu\text{F}$

項目	記号	条件	Min	Typ	Max	単位
アナログ基準電圧(+)	VREFH		2.7	3.3	3.6	V
アナログ基準電圧(-)	VREFL		AVSS	AVSS	AVSS	V
アナログ入力電圧	VAIN		VREFL		VREFH	V
アナログ基準電圧電源電流	IREF	A/D 変換時	DVSS = AVSS = VREFL	4.5	5.5	mA
		A/D 非変換時	DVSS = AVSS = VREFL	± 0.02	± 5	μA
消費電流	—	IREF を除く			3	mA
積分非直線性誤差	—	AIN 負荷抵抗 $\leq 600\Omega$ AIN 負荷容量 $\leq 30\text{pF}$ 変換時間 $\geq 1.15\mu\text{s}$		± 2	± 3	LSB
微分直線性誤差				± 1	± 2	
オフセット誤差				± 2	± 4	
フルスケール誤差				± 2	± 4	
積分非直線性誤差	—	AIN 負荷抵抗 $\leq 600\Omega$ AIN 負荷容量 $\geq 0.1\mu\text{F}$ 変換時間 $\geq 1.15\mu\text{s}$		± 2	± 3	
微分直線性誤差				± 1	± 2	
オフセット誤差				± 2	± 4	
フルスケール誤差				± 2	± 4	
積分非直線性誤差	—	AIN 負荷抵抗 $\leq 1.3\text{k}\Omega$ AIN 負荷容量 $\geq 0.1\mu\text{F}$ 変換時間 $\geq 1.15\mu\text{s}$		± 2	± 3	
微分直線性誤差				± 1	± 2	
オフセット誤差				± 2	± 4	
フルスケール誤差				± 2	± 4	
積分非直線性誤差	—	AIN 負荷抵抗 $\leq 10\text{k}\Omega$ AIN 負荷容量 $\geq 0.1\mu\text{F}$ 変換時間 $\geq 2.30\mu\text{s}$		± 2	± 3	
微分直線性誤差				± 1	± 2	
オフセット誤差				± 2	± 4	
フルスケール誤差				± 2	± 4	

(注) $1\text{LSB} = (\text{VREFH} - \text{VREFL}) / 1024[\text{V}]$

26.6 8ビット D/A 変換特性

DVCC15=CVCCH=1.35V~1.65V, CVCCL= DVCC3=AVCC3=2.7V~3.6V,
DAVCC=2.3V~2.7V

項目	記号	条件	Min	Typ	Max	単位
アナログ基準電圧(+)	DAVREF		2.3	2.5	2.7	V
アナログ 基準電圧 電源電流	IDREF	<REFONn> = 1 n=0,1		1	2	mA
		<REFONn> = 0 n=0,1		±0.02	±5	μA
消費電流	Icc				5	mA
出力電流	IDA0, IDA1		±1			mA
出力電圧範囲	DA0, DA1		DAGND+0.3		DAVCC-0.3	V
総合誤差	—			±2	±3	LSB

(注 1) $1\text{LSB} = (\text{DAVREF} - \text{DAGND}) / 256[\text{V}]$

(注 2) IDREF 電流値は D/A コンバータ 2ch 同時に動作させている場合の電流値です。

(注 3) 2ch を同時に動作させた時の相対精度は保証していません。

(注 4) DAx 端子の外付け容量は 1ch あたり 100pF(max)としてください。

26.7 AC 電気的特性

26.7.1 マルチプレクスバスモード

- (1) DVCC15=CVCC15=1.35V~1.65V, AVCC3= 2.7V~3.6V
 DVCC3= 2.7V~3.6V, DAVCC = 2.3V~2.7V, Ta = -20~85°C

① ALE = 1 クロック, 自動 2 ウェイト挿入

No.	項目	記号	計算式		40 MHz (fsys)(注)		単位
			Min	Max	Min	Max	
1	システムクロック周期(x)	t _{sys}	25				ns
2	A0-15 有効→ ALE 立ち下がり	t _{AL}	x-11		14.0		ns
3	ALE 立ち下がり→ A0-15 保持	t _{LA}	x-8		17.0		ns
4	ALE High パルス幅	t _{LL}	x-6		19.0		ns
5	ALE 立ち下がり→ $\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち下がり	t _{LC}	x-8		17.0		ns
6	$\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち上がり → ALE 立ち上がり	t _{CL}	x-8		17.0		ns
7	A0-15 有効→ $\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち下がり	t _{ACL}	2x-11		39.0		ns
8	A16-23 有効→ $\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち下がり	t _{ACH}	2x-11		39.0		ns
9	$\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち上がり → A16-23 保持	t _{CAR}	x-11		14.0		ns
10	A0-15 有効→ D0-15 入力	t _{ADL}		x(2+TW+ALE)-43		82.0	ns
11	A16-23 有効→ D0-15 入力	t _{ADH}		x(2+TW+ALE)-43		82.0	ns
12	\overline{RD} 立ち下がり→ D0-15 入力	t _{RD}		x(1+TW)-40		35.0	ns
13	\overline{RD} Low パルス幅	t _{RR}	x(1+TW)-6		69		ns
14	\overline{RD} 立ち上がり→ D0-15 保持	t _{HR}	0		0		ns
15	\overline{RD} 立ち上がり→ A0-15 出力	t _{RAE}	x-6		19.0		ns
16	$\overline{WR}/\overline{HWR}$ Low パルス幅	t _{WW}	x(1+TW)-6		69.0		ns
17	D0-15 有効→ $\overline{WR}/\overline{HWR}$ 立ち上がり	t _{DW}	x(1+TW)-11		64.0		ns
18	$\overline{WR}/\overline{HWR}$ 立ち上がり→ D0-15 保持	t _{WD}	x-11		14.0		ns
19	A16-23 有効→ WAIT 入力	t _{AWH}		x+x(ALE)+x(TW-1)-32		43.0	ns
20	A0-15 有効→ WAIT 入力	t _{AWL}		x+x(ALE)+x(TW-1)-32		43.0	ns
21	$\overline{RD}/\overline{WR}/\overline{HWR}$ → WAIT 保持	t _{CW}	x(TW-3)-16	x(TW-1)-29	9.0	46.0	ns

(注) 内部ウェイト“2”、ALE 出力“1”クロック、40MHz 時の値です。

$$TW = (W + 2N)$$

W = 自動ウェイト設定数

2N = 外部ウェイト入力設定数

$$\text{上記の場合: } TW = 2 + 2 \times 1 = 4$$

AC 測定条件

- ・出力レベル: High 0.8DVCC3 V/Low 0.2DVCC3 V, CL = 30 pF
- ・入力レベル: High 0.7DVCC3 V/Low 0.3DVCC3 V

② ALE = 2クロック, 自動2ウェイト挿入

No.	項目	記号	計算式		40 MHz (fsys)(注)		単位
			Min	Max	Min	Max	
1	システムクロック周期(x)	t _{SYS}	25				ns
2	A0-15有効→ALE立ち下がり	t _{AL}	x-11		14.0		ns
3	ALE立ち下がり→A0-15保持	t _{LA}	x-8		17.0		ns
4	ALE Highパルス幅	t _{LL}	x-6		19.0		ns
5	ALE立ち下がり→ $\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち下がり	t _{LC}	x-8		17.0		ns
6	$\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち上がり→ALE立ち上がり	t _{CL}	x-8		17.0		ns
7	A0-15有効→ $\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち下がり	t _{ACL}	2x-11		39.0		ns
8	A16-23有効→ $\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち下がり	t _{ACH}	2x-11		39.0		ns
9	$\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち上がり→A16-23保持	t _{CAR}	x-11		14.0		ns
10	A0-15有効→D0-15入力	t _{ADL}		$x(2+TW+ALE)-43$		82.0	ns
11	A16-23有効→D0-15入力	t _{ADH}		$x(2+TW+ALE)-43$		82.0	ns
12	\overline{RD} 立ち下がり→D0-15入力	t _{RD}		$x(1+TW)-40$		35.0	ns
13	\overline{RD} Lowパルス幅	t _{RR}	$x(1+TW)-6$		69		ns
14	\overline{RD} 立ち上がり→D0-15保持	t _{HR}	0		0		ns
15	\overline{RD} 立ち上がり→A0-15出力	t _{RAE}	x-6		19.0		ns
16	$\overline{WR}/\overline{HWR}$ Lowパルス幅	t _{WW}	$x(1+TW)-6$		69.0		ns
17	D0-15有効→ $\overline{WR}/\overline{HWR}$ 立ち上がり	t _{DW}	$x(1+TW)-11$		64.0		ns
18	$\overline{WR}/\overline{HWR}$ 立ち上がり→D0-15保持	t _{WD}	x-11		14.0		ns
19	A16-23有効→ \overline{WAIT} 入力	t _{AWH}		$x+x(ALE)+x(TW-1)-32$		43.0	ns
20	A0-15有効→ \overline{WAIT} 入力	t _{AWL}		$x+x(ALE)+x(TW-1)-32$		43.0	ns
21	$\overline{RD}/\overline{WR}/\overline{HWR}$ → \overline{WAIT} 保持	t _{CW}	$x(TW-3)-16$	$x(TW-1)-29$	9.0	46.0	ns

(注) 内部ウェイト“2”、ALE出力“1”クロック、40MHz時の値です。

$$TW = (W + 2N)$$

W = 自動ウェイト設定数

2N = 外部ウェイト入力設定数

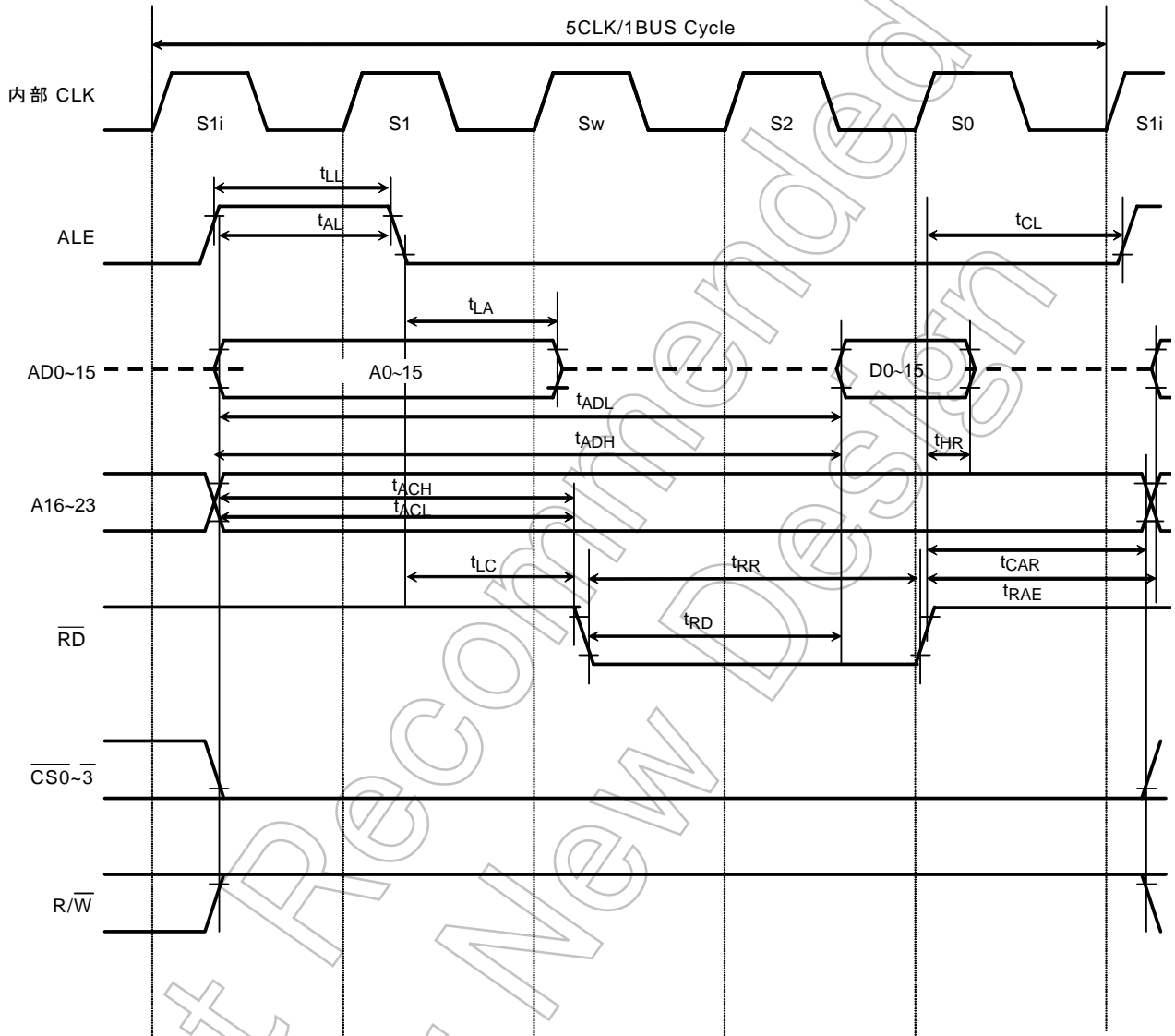
$$\text{上記の場合: } TW = 2 + 2 \times 1 = 4$$

AC測定条件

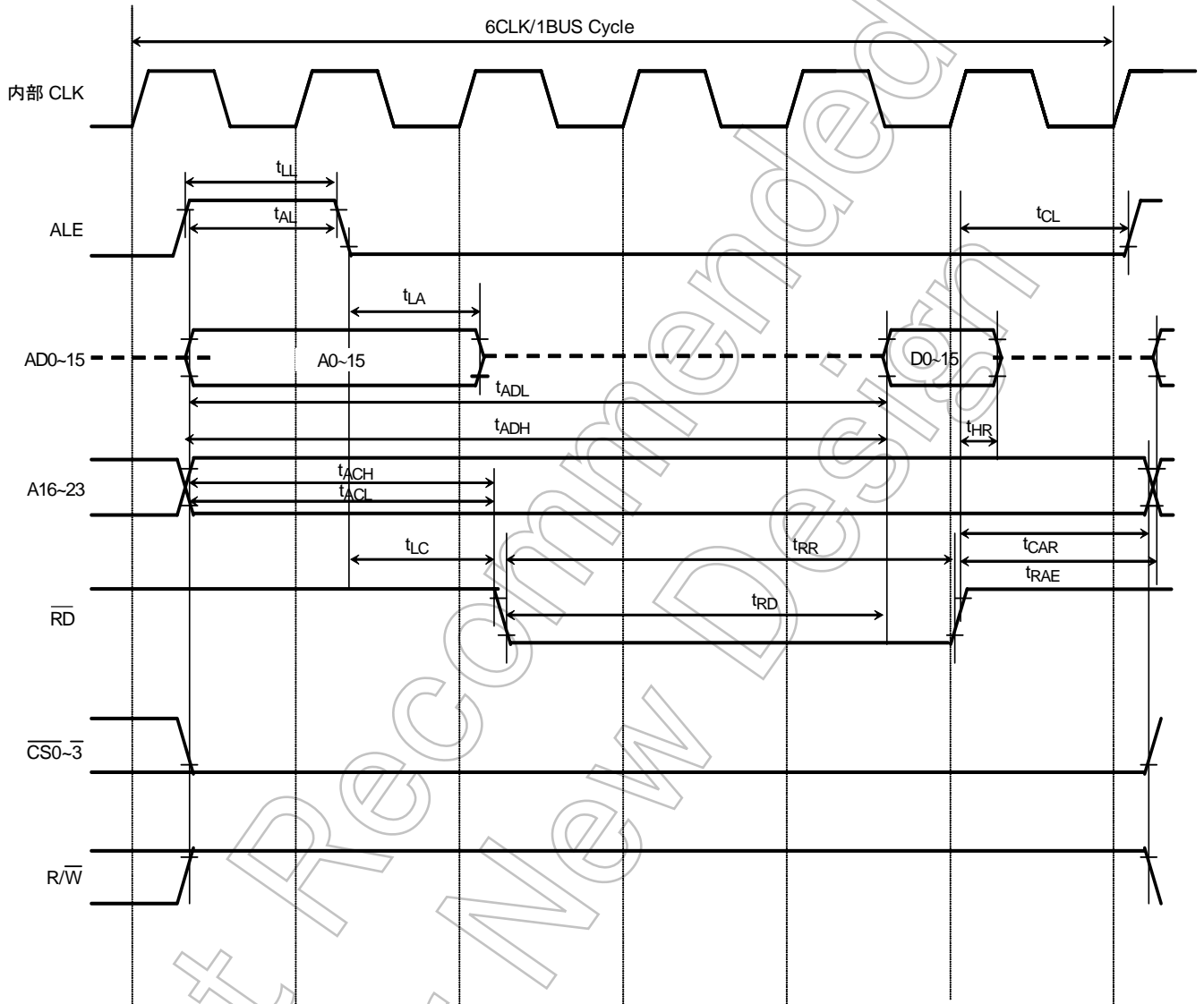
・出力レベル: High 0.8DVCC3 V/Low 0.2DVCC3 V, CL = 30 pF

・入力レベル: High 0.7DVCC3 V/Low 0.3DVCC3 V

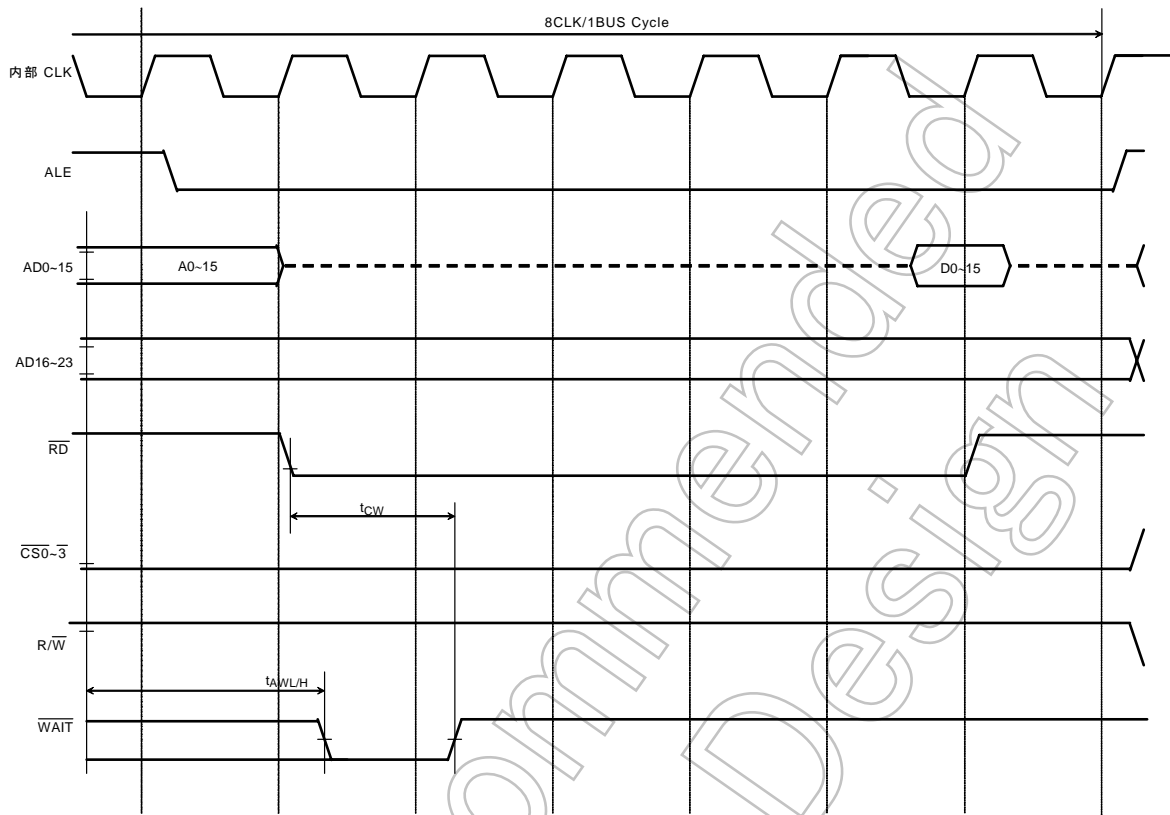
(1) リードタイミング (ALE = 1 クロック、1 ウェイト (内部ウェイト))



(2) リードタイミング (ALE = 1 クロック、自動 2 ウェイト (内部ウェイト))

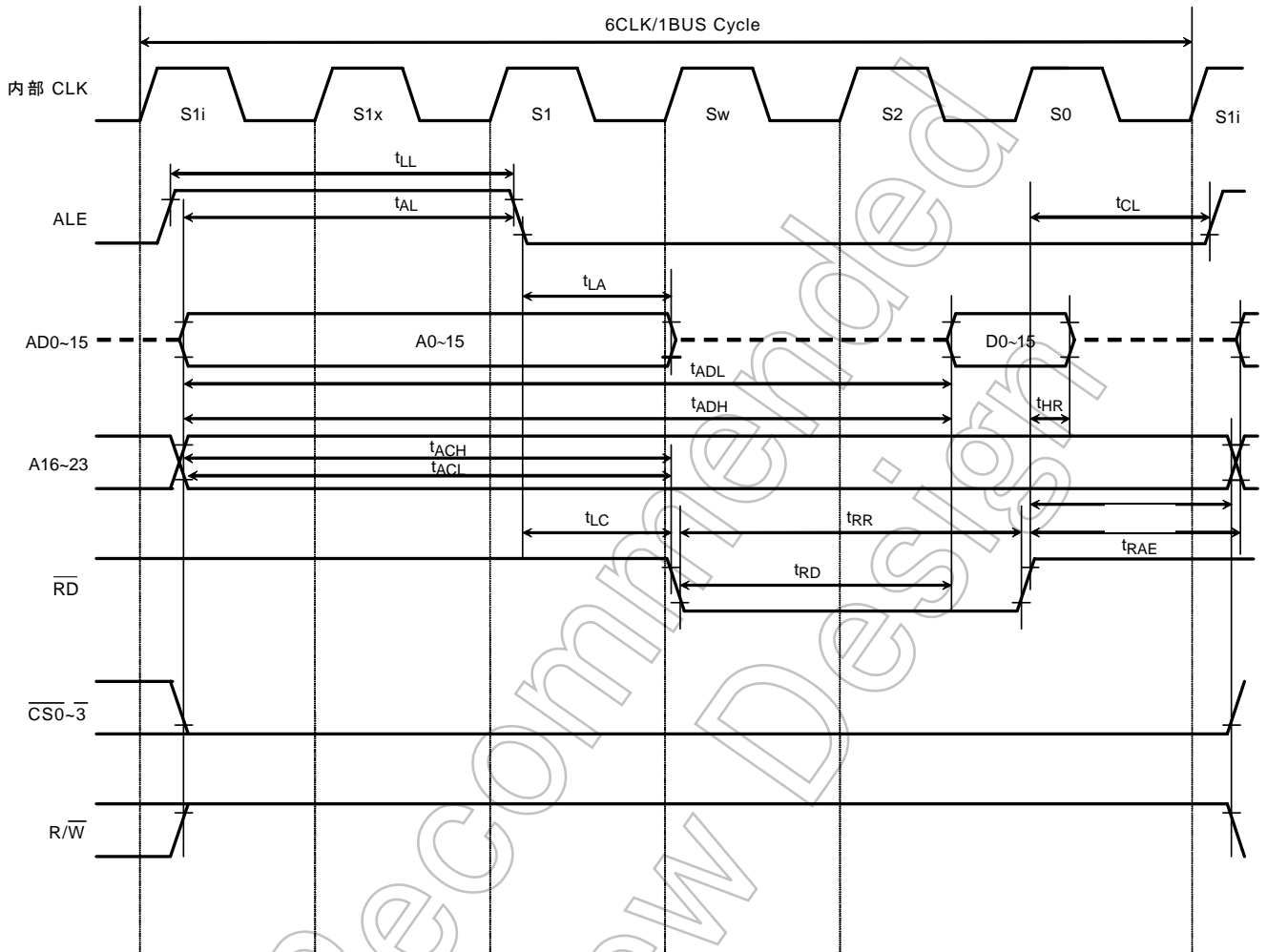


(3) リードタイミング (ALE = 1 クロック、4 ウェイト (外部 2+2N ウェイト、N = 1))

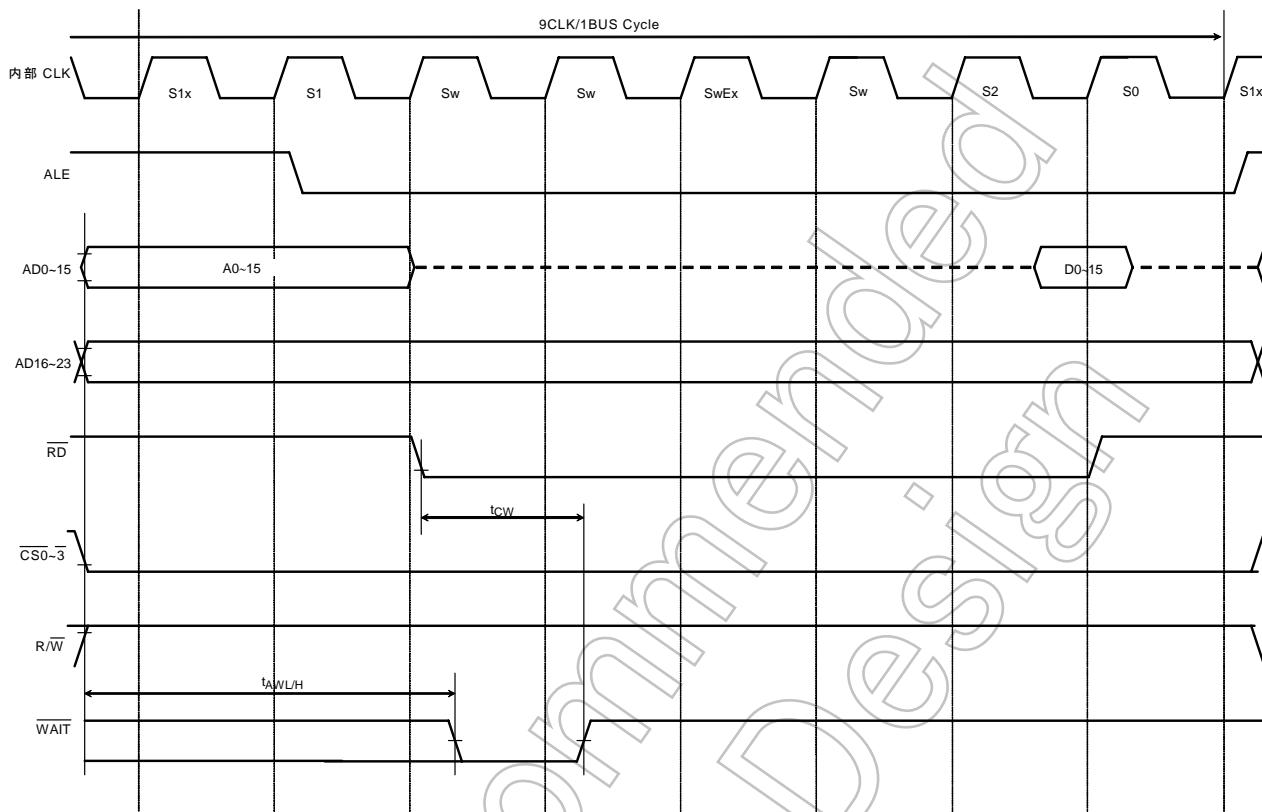


Not Recommended for New Design

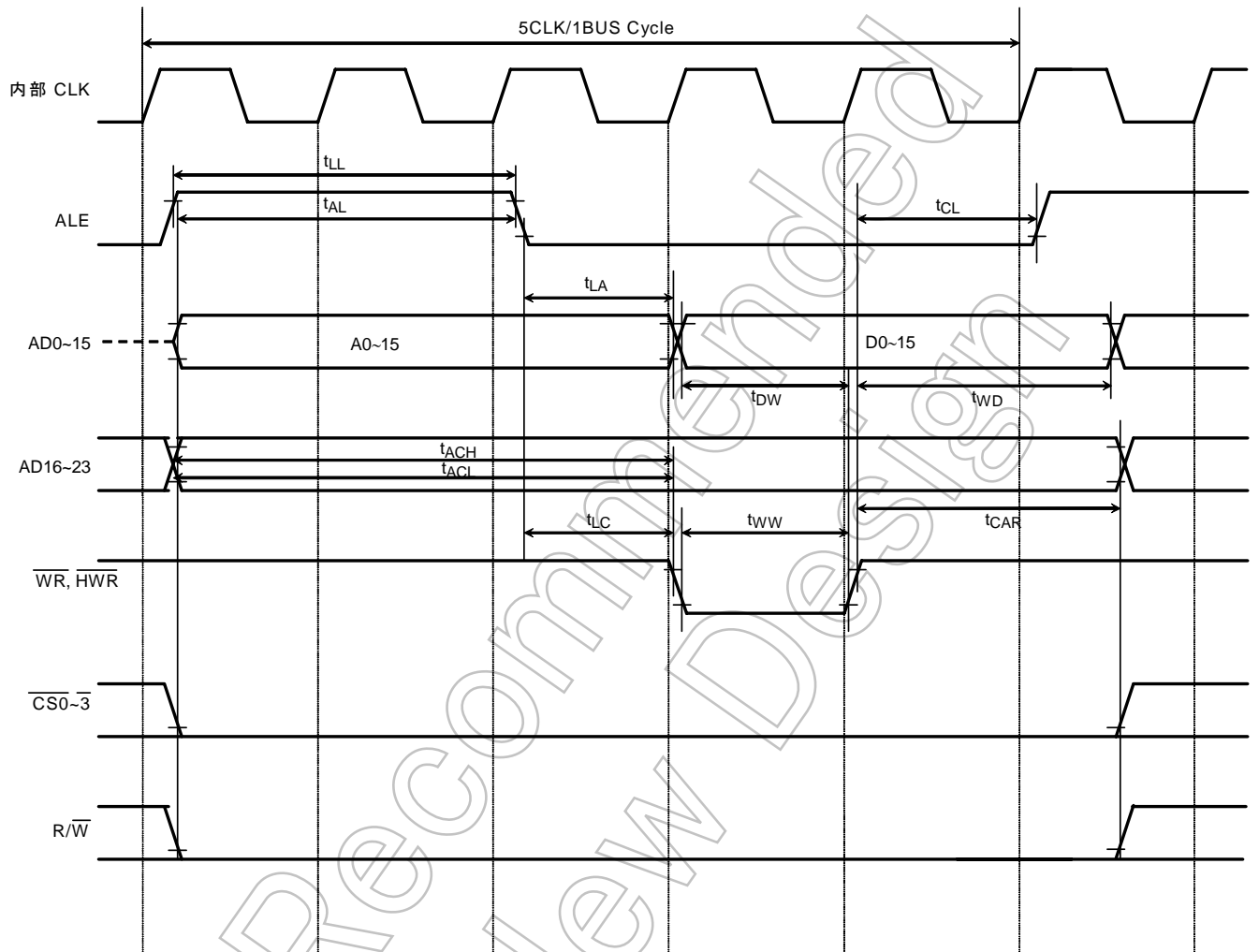
(4) リードタイミング (ALE = 2 クロック、1 ウェイト (内部ウェイト))



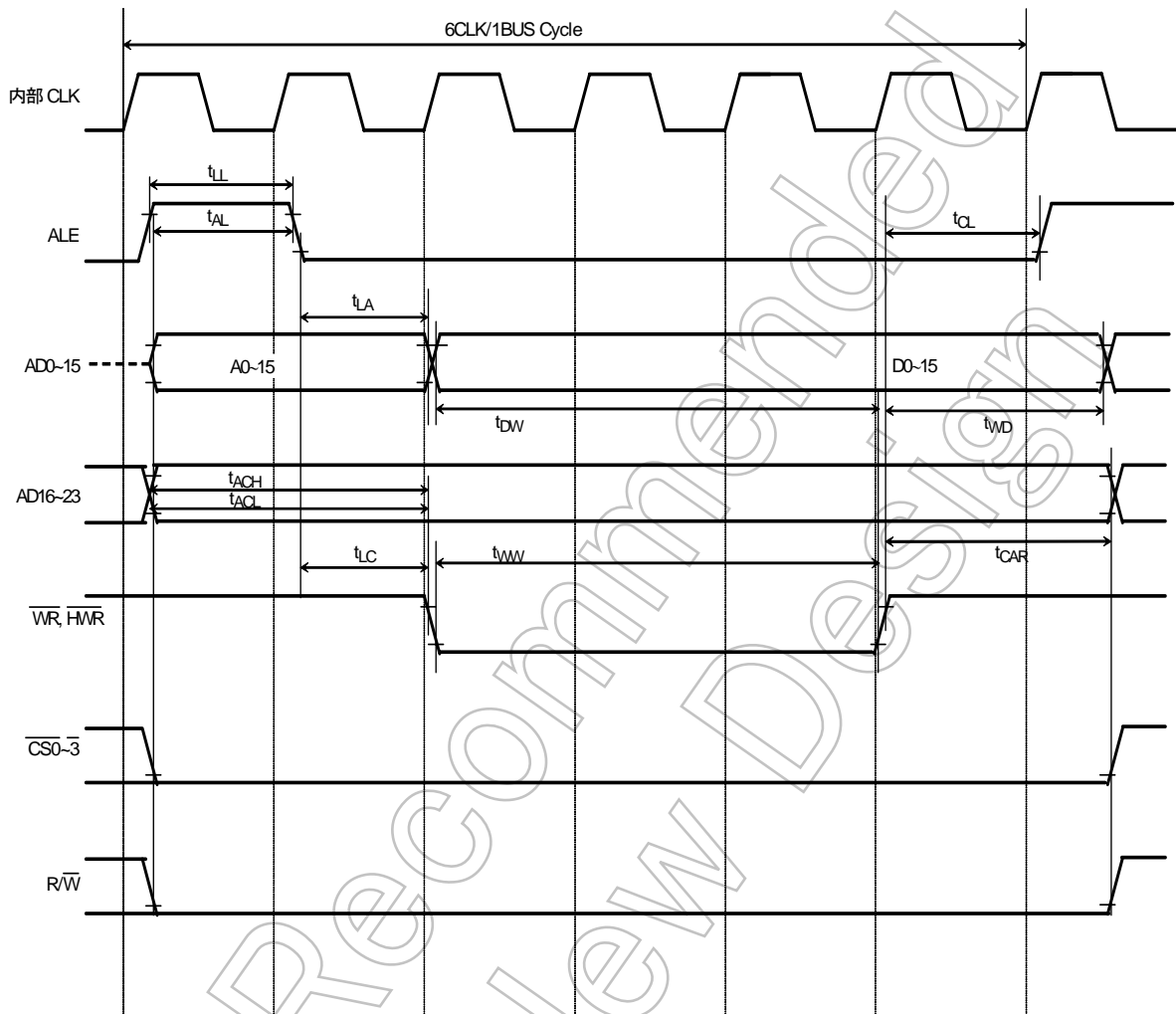
(5) リードタイミング (ALE = 2 クロック、4 ウェイト (外部 2+2N ウェイト、N = 1))



(6) ライトタイミング (ALE = 2 クロック、0 ウェイト)

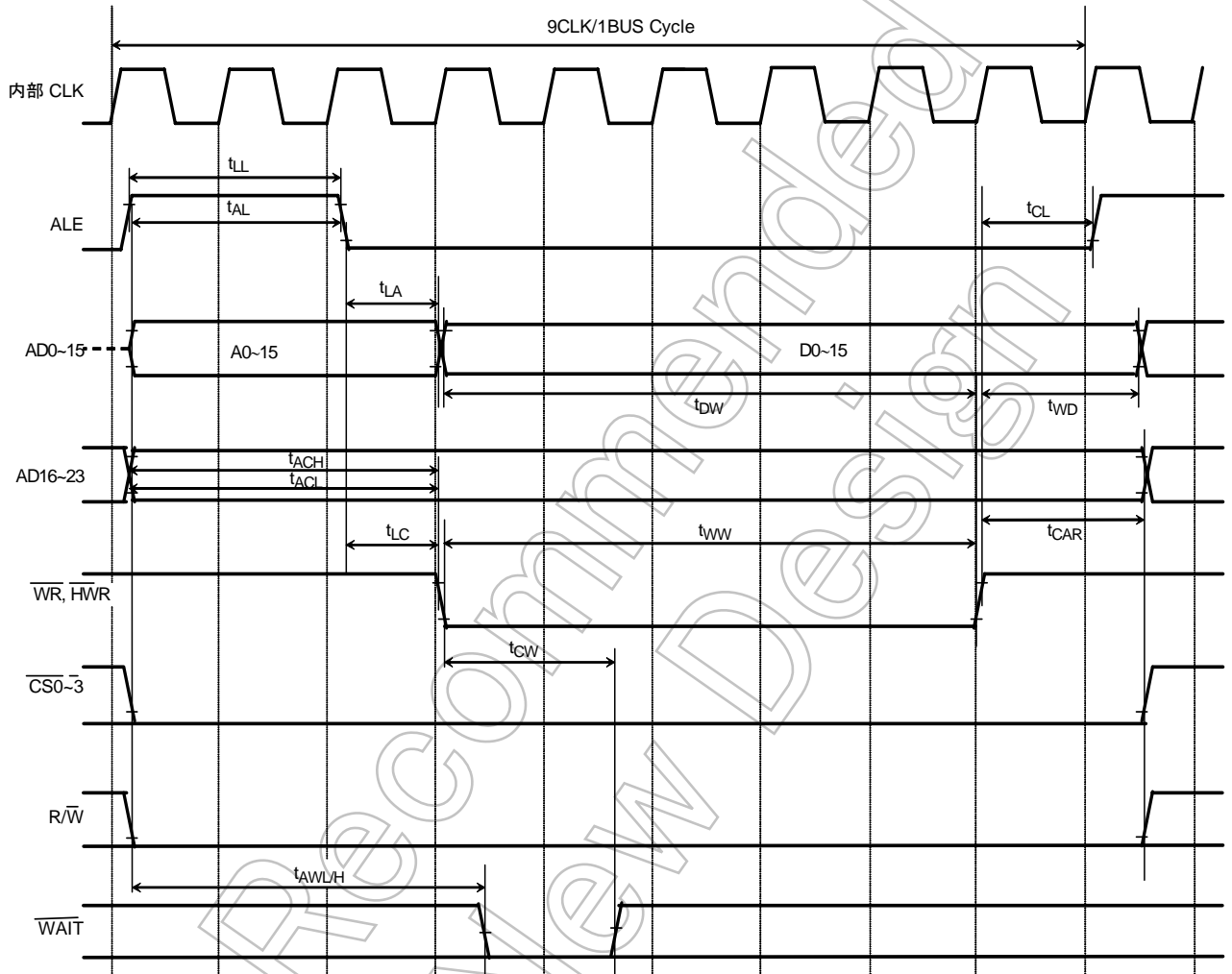


(7) ライトタイミング (ALE = 1 クロック、自動 2 ウェイト (内部ウェイト))



Not Recommended for New

(8) ライトタイミング (ALE = 2 クロック、4 ウェイト(外部 2+2N ウェイト、N = 1))



26.7.2 セパレートバスモード

- (1) DVCC15=CVCCH=1.35V~1.65V, DVCC3=AVCC3=2.7V~3.6V,
DAVCC=2.3V~2.7V, Ta = -20~85°C

① SYSCR3<ALESEL> = "0", 自動2ウェイト挿入

No.	項目	記号	計算式		40 MHz (fsys)(注)		単位
			Min	Max	Min	Max	
1	システムクロック周期(x)	t _{SYS}	25				ns
2	A0-23有効→ \overline{RD} / \overline{WR} / \overline{HWR} 立ち下がり	t _{AC}	$X(1+ALE)-11$		39.0		ns
3	\overline{RD} / \overline{WR} / \overline{HWR} 立ち上がり →A0-23保持	t _{CAR}	$x-11$		14.0		ns
4	A0-23有効→D0-15入力	t _{AD}		$x(2+TW+ALE)-43$		82.0	ns
5	\overline{RD} 立ち下がり→D0-15入力	t _{RD}		$x(1+TW)-40$		35.0	ns
6	\overline{RD} Lowパルス幅	t _{RR}	$x(1+TW)-6$		69.0		ns
7	\overline{RD} 立ち上がり→D0-15保持	t _{HR}	0		0		ns
8	\overline{RD} 立ち上がり→A0-23出力	t _{RAE}	$x-6$		19.0		ns
9	\overline{WR} / \overline{HWR} Lowパルス幅	t _{WW}	$x(1+TW)-6$		69.0		ns
10	\overline{WR} / \overline{HWR} 立ち下がり→D0-15有効	t _{DO}		9.7		9.7	ns
11	D0-15有効→ \overline{WR} / \overline{HWR} 立ち上がり	t _{DW}	$x(1+TW)-11$		64.0		ns
12	\overline{WR} / \overline{HWR} 立ち上がり→D0-15保持	t _{WD}	$x-11$		14.0		ns
13	A0-23有効→ \overline{WAIT} 入力	t _{AW}		$x+x(ALE)+x(TW-1)-32$		43.0	ns
14	\overline{RD} / \overline{WR} / \overline{HWR} → \overline{WAIT} 保持	t _{CW}	$x(TW-3)-16$	$x(TW-1)-29$	9.0	46.0	ns

(注) 内部ウェイト“2”、ALE出力“1”クロック、40MHz時の値です。

$$TW = (W + 2N)$$

W = 自動ウェイト設定数

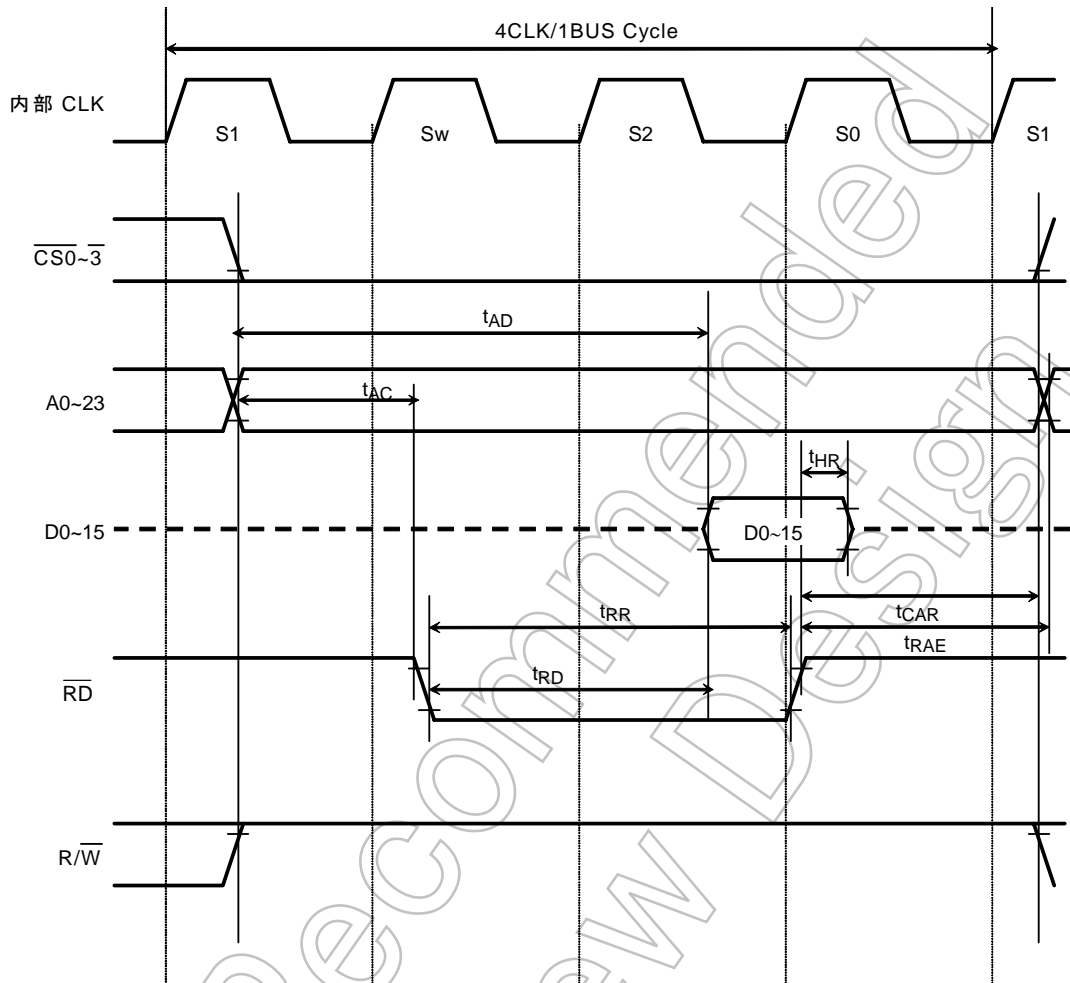
2N = 外部ウェイト入力設定数

$$\text{上記の場合: } TW = 2 + 2 \times 1 = 4$$

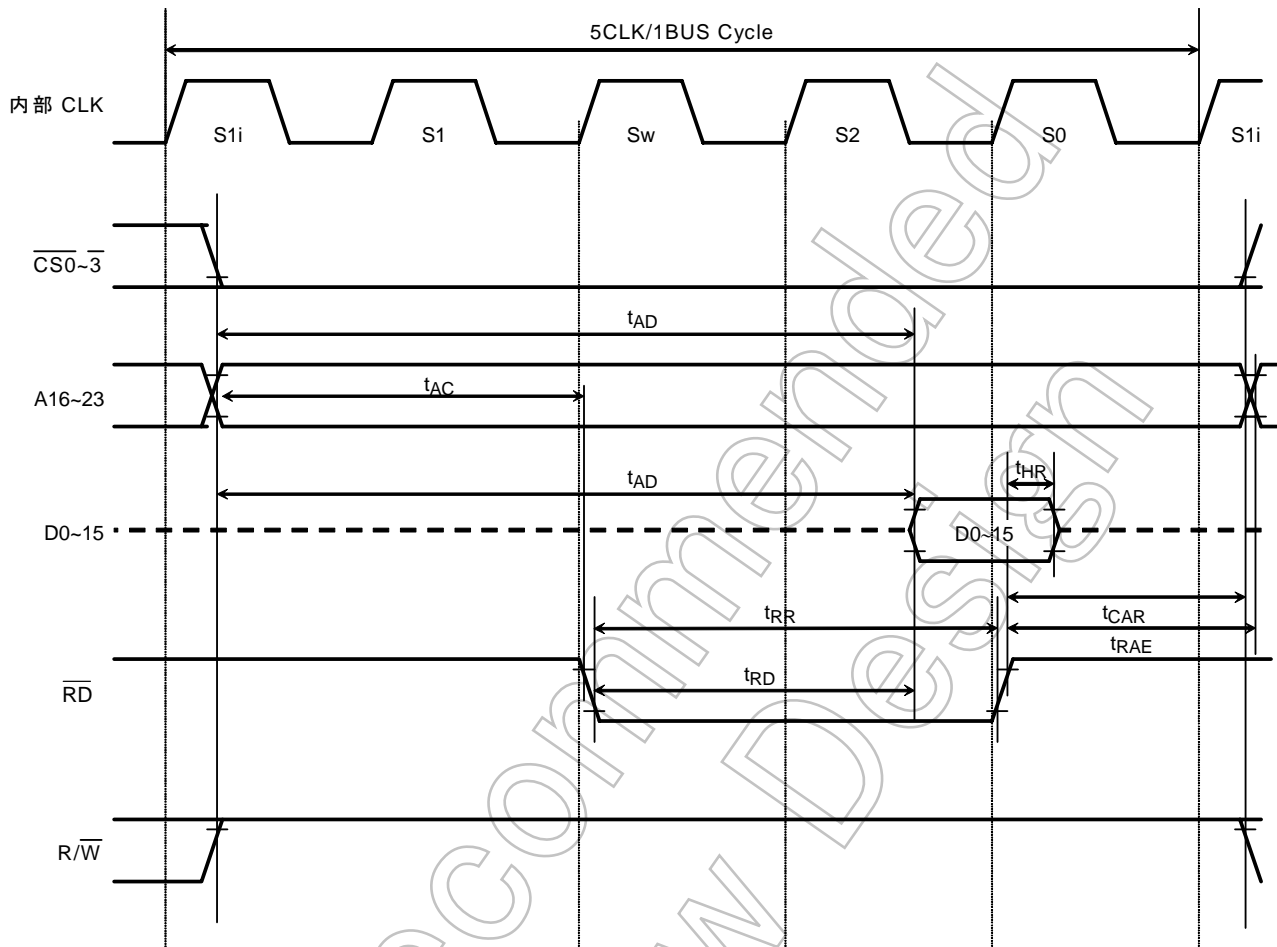
AC測定条件

- 出力レベル: High 0.8DVCC3 V/Low 0.2DVCC3 V, CL = 30 pF
入力レベル: High 0.7DVCC3 V/Low 0.3DVCC3 V

(1) リードタイミング (SYSCR3<ALESEL> = "0"、1 ウェイト (内部ウェイト))

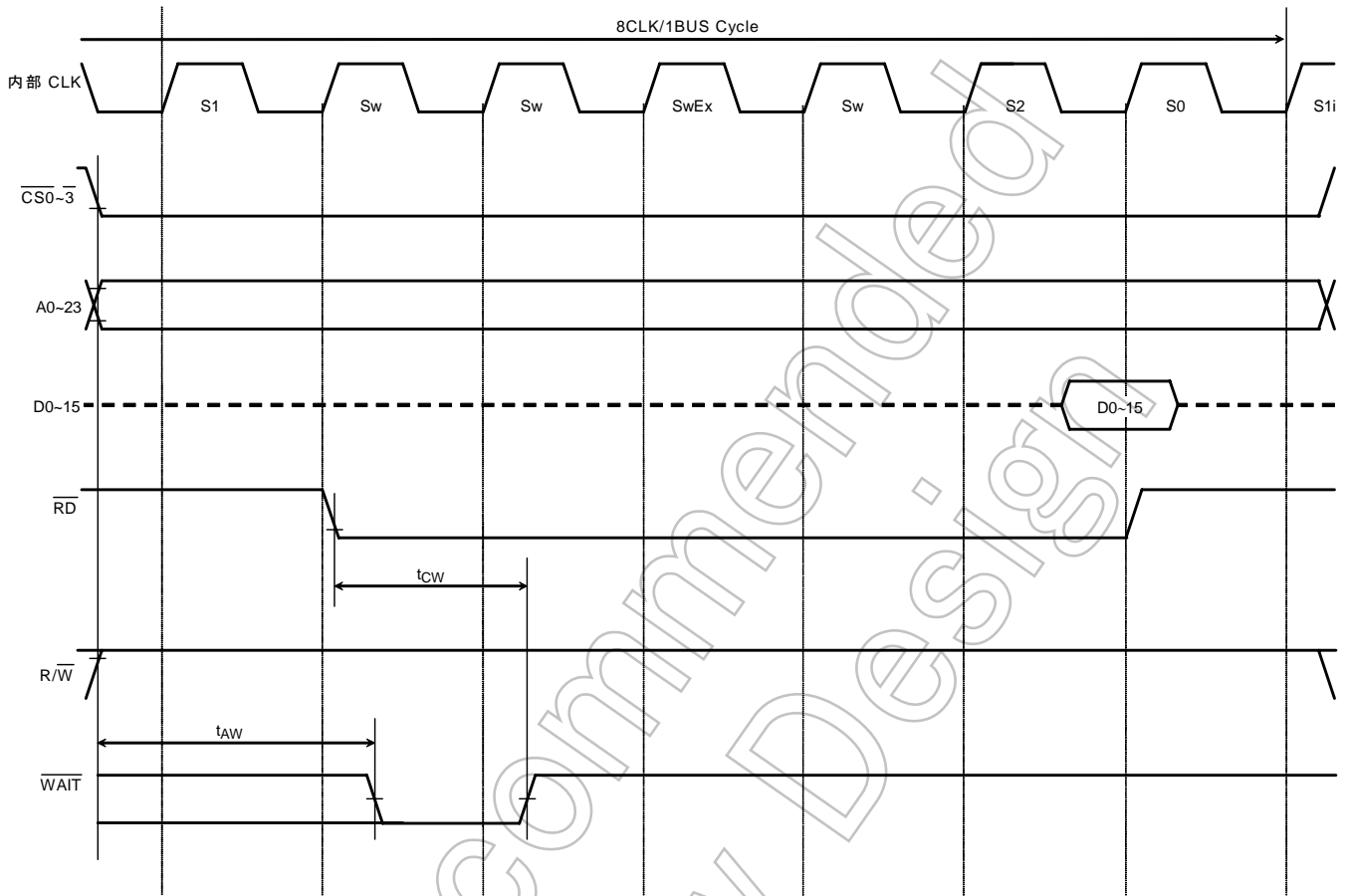


(2) リードタイミング (SYSCR3<ALESEL> = “1”、1ウェイト (内部ウェイト))



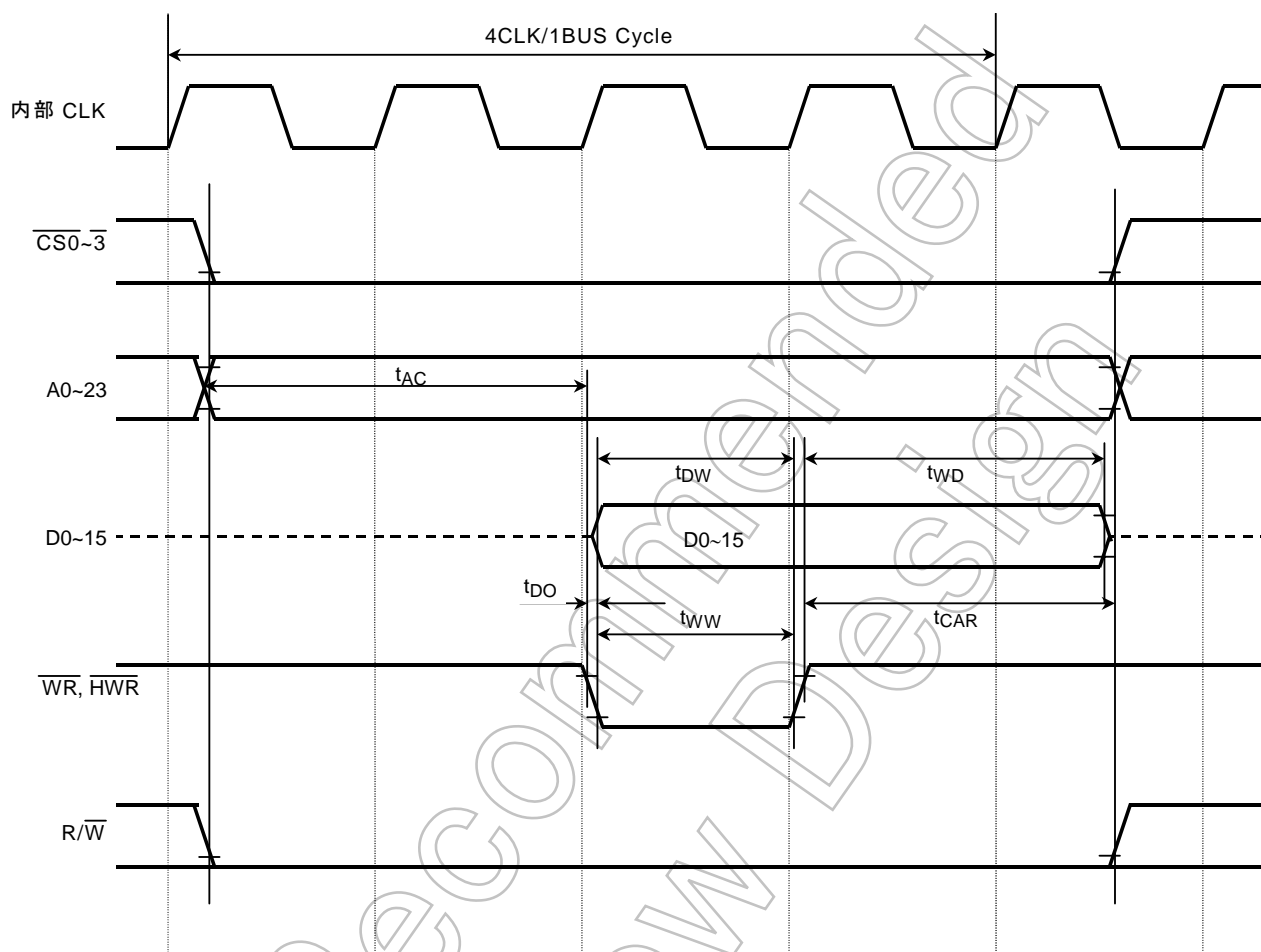
Not Recommended for New

(3) リードタイミング (SYSCR3<ALESEL> = “1”、4 ウェイト (外部 2+2N ウェイト、N = 1))



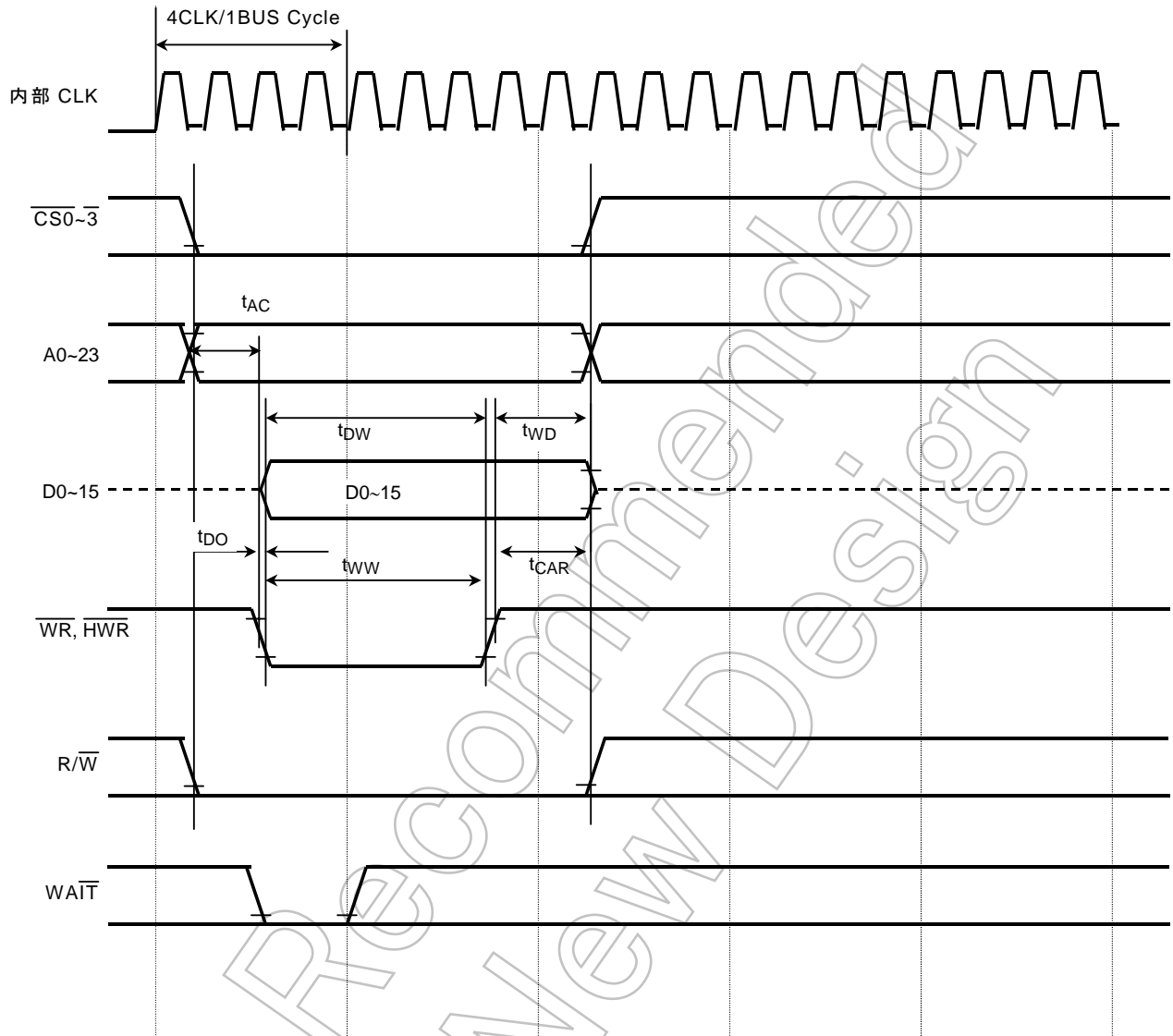
Not Recommended for New Design

(4) ライトタイミング (SYSCR3<ALESEL> = “1”、0 ウェイト)



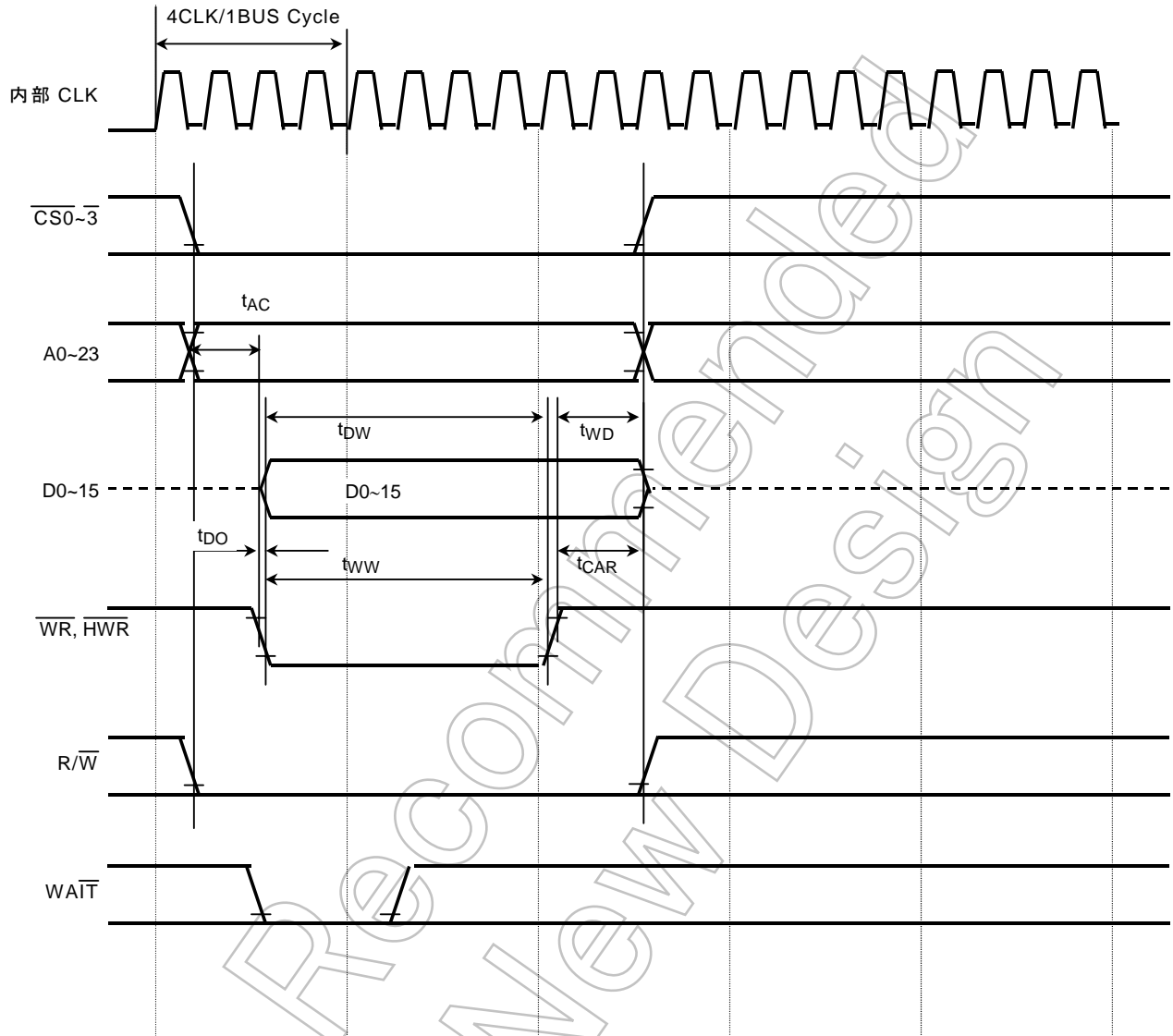
Not Recommended for New

(5) ライトタイミング (SYSCR3<ALESEL> = “1”、自動2ウェイト+2N (N=1))



Not Recommended for New Design

(6) ライトタイミング (SYSCR3<ALESEL> = “1”、自動3ウェイト+2N (N=1))



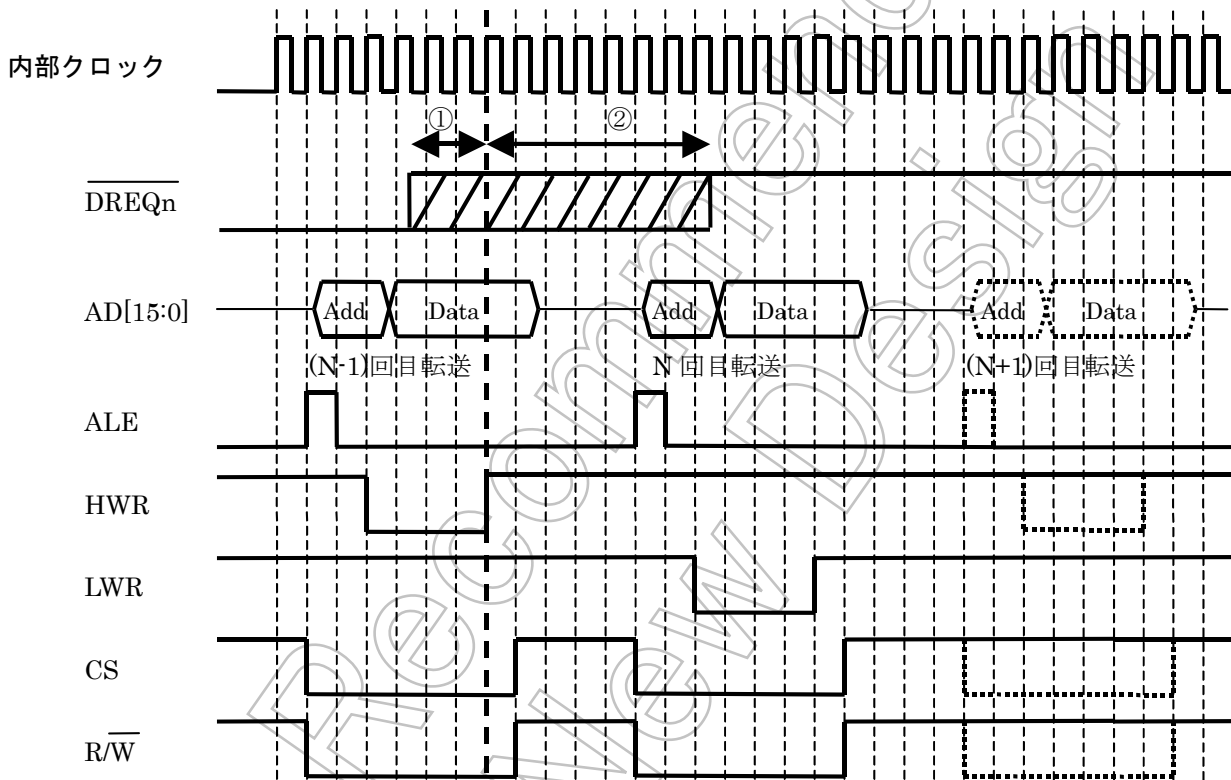
Not Recommended for New Design

26.8 DMA リクエストを使用した転送

マルチプレクスバスモードで、内蔵 RAM と外部デバイスとの転送例を示します。

- ・ 16 ビットバス幅、リカバリタイムなし
- ・ DMA 転送モードはレベルモード
- ・ 転送単位 (TrSiz) 16bit 、デバイスポートサイズ (DPS) 16bit
- ・ ソース/ディスティネーション : 内蔵 RAM / 外部デバイス

内蔵 RAM to 外部デバイス (ライト時) (Mem to Mem 転送) のタイミングを図に示します。



- ① N 回目の転送が確実に実行されるための条件
- ② N+1 回目の転送が行われないための条件

DVCC15=CVCCH=1.35V~1.65V, DVCC3=AVCC3=2.7V~3.6V,
DAVCC=2.3V~2.7V, Ta=-20~85°C

項目	記号	計算式		40 MHz (f _{sys})		単位
		①Min	②Max	Min	Max	
RD 立ち上がり→DREQn のデアサート (外部デバイス to 内蔵 RAM)	tDREQ_r	(W+1)x	(2W+ALE+8)x -51	50	224	ns
WR /HWR 立ち上がり→DREQn のデアサート (内蔵 RAM to 外部デバイス)	tDREQ_w	-(W+2)x	(5+WAIT)x-51.8	-75	98.2	ns

26.9 シリアルチャネルタイミング

(1) I/O インタフェースモード (DVCC3=2.7V~3.6V)

表中の x はシステムクロック f_{sys} の周期を表します。この周期は、クロックギアの設定に依存します。

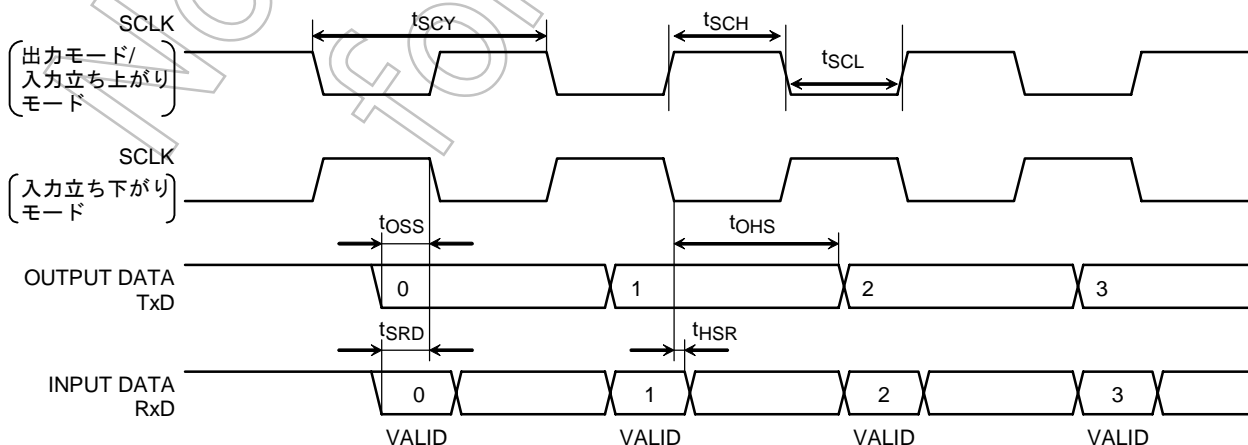
① SCLK 入力モード (S100~S102)

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
SCLK 周期	t_{SCY}	12x		300		ns
SCLK クロック High 幅 (入力)	T_{SCH}	6x		150		ns
SCLK クロック Low 幅 (入力)	T_{SCL}	6x		150		ns
Output Data ← SCLK 立ち上がり / 立ち下がり*	t_{OSS}	2x-30		20		ns
SCLK 立ち上がり → Output Data 保持 / 立ち下がり*	t_{OHS}	8x-15		185		ns
有効 Data 入力 ← SCLK 立ち上がり / 立ち下がり*	t_{SRD}	30		30		ns
SCLK 立ち上がり → Input Data 保持 / 立ち下がり*	t_{HSR}	2x+30		80		ns

*) SCLK 立ち上がり/立ち下がり…SCLK 立ち上がりモードの場合は SCLK 立ち上がり、SCLK 立ち下がりモードの場合は SCLK 立ち下がりのタイミングです。

② SCLK 出力モード (S100~S102)

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
SCLK 周期 (プログラマブル)	t_{SCY}	8x		200		ns
Output Data ← SCLK 立ち上がり	t_{OSS}	4x-10		90		ns
SCLK 立ち上がり → Output Data 保持	t_{OHS}	4x-10		90		ns
有効 Data 入力 ← SCLK 立ち上がり	t_{SRD}	45		45		ns
SCLK 立ち上がり → Input put Data 保持	t_{HSR}	0		0		ns



26.10 高速シリアルチャネルタイミング

(1) I/O インタフェースモード (DVCC3=2.7V~3.6V)

表中の x はシステムクロック f_{sys} の周期を表します。この周期は、クロックギアの設定に依存します。

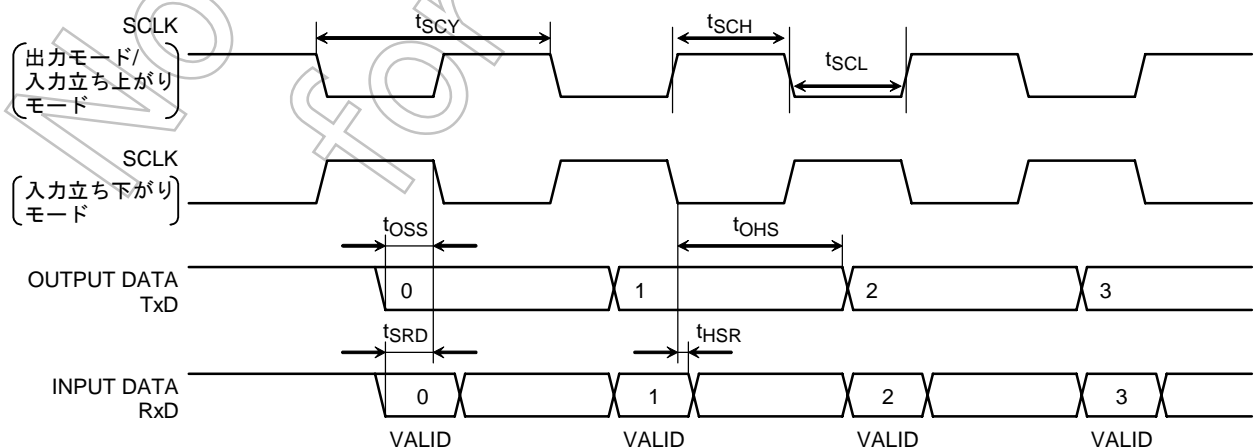
① HSCLK 入力モード (HSI00~HSI02)

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
SCLK 周期	t _{SCY}	6x		150		ns
SCLK クロック High 幅(入力)	T _{sch}	3x		75		ns
SCLK クロック Low 幅 (入力)	T _{scl}	3x		75		ns
Output Data ← SCLK 立ち上がり / 立ち下がり*	t _{OSS}	t _{SCY} /2-30		45		ns
SCLK 立ち上がり → Output Data 保持 / 立ち下がり*	t _{OHS}	8(x/2)-15		85		ns
有効 Data 入力 ← SCLK 立ち上がり / 立ち下がり*	t _{SRD}	30		30		ns
SCLK 立ち上がり → Input Data 保持 / 立ち下がり*	t _{HSR}	2(x/2)+30		55		ns

*) HSCLK 立ち上がり/立ち下がり…HSCLK 立ち上がりモードの場合は HSCLK 立ち上がり、HSCLK 立ち下がりモードの場合は HSCLK 立ち下がりのタイミングです。

② HSCLK 出力モード (HSIO0~HSIO2)

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
SCLK 周期 (プログラマブル)	t _{SCY}	8(x/2)		100		ns
Output Data ← SCLK 立ち上がり	t _{OSS}	4(x/2)-10		40		ns
SCLK 立ち上がり → Output Data 保持	t _{OHS}	4(x/2)-10		40		ns
有効 Data 入力 ← SCLK 立ち上がり	t _{SRD}	45		45		ns
SCLK 立ち上がり → Input put Data 保持	t _{HSR}	0		0		ns



26.11 シリアルバスインタフェースタイミング

(1) I2C モード

表中の x はシステムクロック fsys の周期を、T はφT1 を表します。

n は SBIOCR レジスタの SCK フィールドで指定した SCL 出カクロックの周波数選択値です。

項目	記号	計算式		標準モード		ファーストモード		単位
		Min	Max	Min	Max	Min	Max	
SCL クロック周波数	tSCL	0		0	100	0	400	kHz
スタートコンディション保持	tHD:STA			4.0		0.6		μs
SCL クロック Low 幅 (入力) (注 1)	tLOW			4.7		1.3		μs
SCL クロック High 幅 (入力) (注 2)	tHIGH			4.0		0.6		μs
再スタートコンディション セットアップ時間	tSU:STA	ソフト (注 5)		4.7		0.6		μs
データ保持時間 (入力) (注 3, 4)	tHD:DAT			0.0		0.0		μs
データセットアップ時間	tSU:DAT			250		100		ns
ストップコンディション セットアップ時間	tSU:STO			4.0		0.6		μs
ストップコンディションとスタート コンディション間のバスフリー時間	tBUF	ソフト (注 5)		4.7		1.3		μs

注 1) SCL クロック LOW 幅 (出力) : $(2^{n-1} + 58) / (f_{sys}/2)$

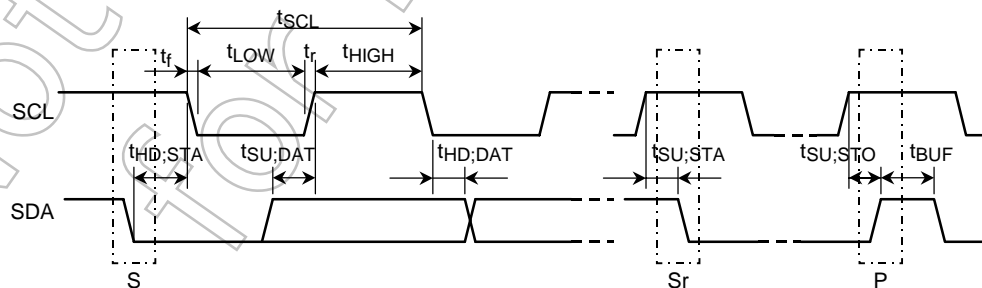
注 2) SCL クロック HIGH 幅 (出力) : $(2^{n-1} + 12) / (f_{sys}/2)$

通信規格上、標準モード/高速モードの最高速は 100kHz/400kHz です。内部 SCL クロックの周波数の設定は、使用される fsys と上記計算式にて設定されますのでご注意願います。

注 3) データ保持時間 (出力) は内部 SCL から 1 2X の時間です。

注 4) フィリップススペックでは内部で、SDA 入力時にデータホールド 300nsec を確保して SCL 立下り時の不安定状態を回避する事になっていますが、本 DEVICE では対応していません。また SCL のエッジスロープコントロール機能をもっていません。従って、SCL/SDA の tr/tf を含めて BUS 上で上表のデータ保持時間 (入力) を守る様に設計してください。

注 5) ソフトウェアに依存します。



S: スタートコンディション
 Sr: 再スタートコンディション
 P: ストップコンディション

(2) クロック同期式 8 ビット SIO モード

表中の x はシステムクロック fsys の周期を、T はφT0 を表します。

n は SBIOCR レジスタの SCK フィールドで指定した SCL 出力クロックの周波数選択値です。

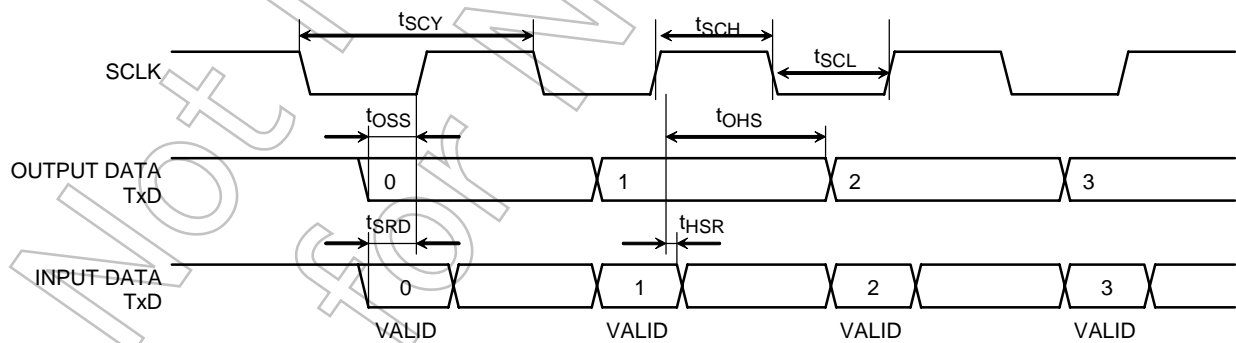
SCK デューティ 50%の場合

③ SCK 入力モード

項 目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
SCK 周期	tSCY	16x		400		ns
SCK クロック High 幅(入力)	Tsch	8x		200		ns
SCK クロック Low 幅(入力)	Tsch	8x		200		ns
Output Data ← SCK 立ち上がり	tOSS	$(t_{SCY}/2) - (6x + 20)$		30		ns
SCK 立ち上がり → Output Data 保持	tOHS	$(t_{SCY}/2) + 4x$		300		ns
有効 Data 入力 ← SCK 立ち上がり	tSRD	0		0		ns
SCK 立ち上がり → Input Data 保持	tHSR	4x + 10		110		ns

④ SCK 出力モード

項 目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
SCK 周期(プログラマブル)	tSCY	$2^n \cdot T$		800		ns
Output Data ← SCK 立ち上がり	tOSS	$(t_{SCY}/2) - 20$		380		ns
SCK 立ち上がり → Output Data 保持	tOHS	$(t_{SCY}/2) - 20$		T380		ns
有効 Data 入力 ← SCK 立ち上がり	tSRD	2x + 30		55		ns
SCK 立ち上がり → Input put Data 保持	tHSR	0		0		ns



26.12 イベントカウンタ

表中の x はシステムクロック f_{sys} の周期を表します。

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
クロック低レベルパルス幅	t_{VCKL}	$2X + 100$		150		ns
クロック高レベルパルス幅	t_{VCKH}	$2X + 100$		150		ns

26.13 キャプチャ

表中の x はシステムクロック f_{sys} の周期を表します。

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
低レベルパルス幅	t_{CPL}	$2X + 100$		150		ns
高レベルパルス幅	t_{CPH}	$2X + 100$		150		ns

26.14 割り込み (INTC)

表中の x はシステムクロック f_{sys} の周期を表します。

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
INT0-F 低レベルパルス幅	t_{INTAL}	$X + 100$		125		ns
INT0-F 高レベルパルス幅	t_{INTAH}	$X + 100$		125		ns

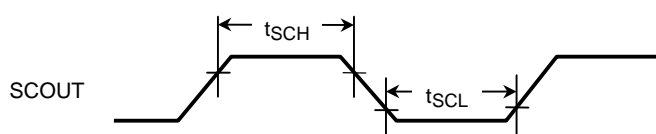
26.15 割り込み (STOP/SLEEP/SLOW 解除割り込み)

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
NMI, INT0~4 低レベルパルス幅	t_{INTBL}	100		100		ns
INT0~4 高レベルパルス幅	t_{INTBH}	100		100		ns

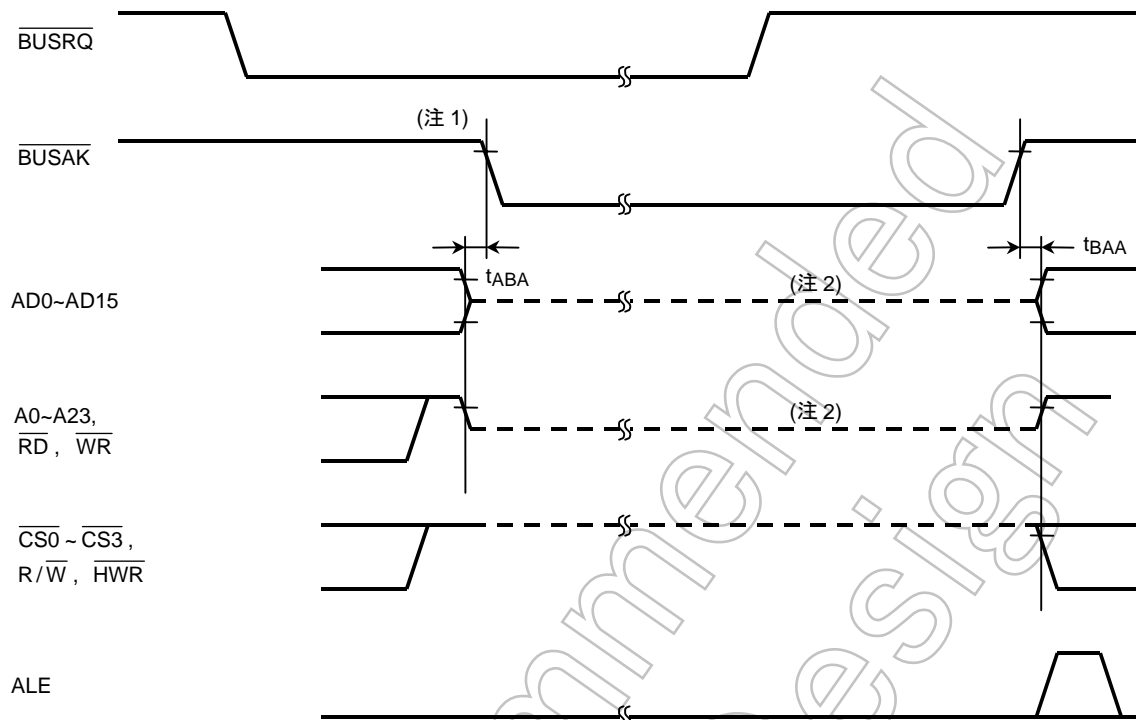
26.16 SCOUT 端子 AC 特性

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
高レベルパルス幅	t_{SCH}	$0.5T - 5$		7.5		ns
低レベルパルス幅	t_{SCL}	$0.5T - 5$		7.5		ns

(注) 表中の「T」は、SCOUT 出力波形の周期を示します。



26.17 バスリクエスト/バスアクノリッジ



項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
BUSAK 立ち下がりまでのフローティング時間	t _{ABA}	0	80	0	80	ns
BUSAK 立ち上がりからのフローティング時間	t _{BAA}	0	80	0	80	ns

(注1) $\overline{\text{BUSRQ}}$ を "Low" にしてバスの解放を要求したとき、それ以前のバスサイクルがウェイト動作により終了していないときは、そのウェイトが解除されるまでバスは解放されません。

(注2) この破線は出力バッファが OFF になっていることを示しています。信号レベルが中間電位になることを示すものではありません。バス解放直後は、外部の負荷容量により、バス解放直前の信号レベルをダイナミックに保持しています。そのため、外付け抵抗などでバス解放中の信号レベルを確定させるときは、バス解放直後、外部の負荷容量により、信号レベルの確定が遅れ (CR の時定数) ますので、そのことを考慮した設計が必要です。内蔵のプログラマブルプルアップ/プルダウン抵抗は、内部信号の状態に応じて、働き続けています。

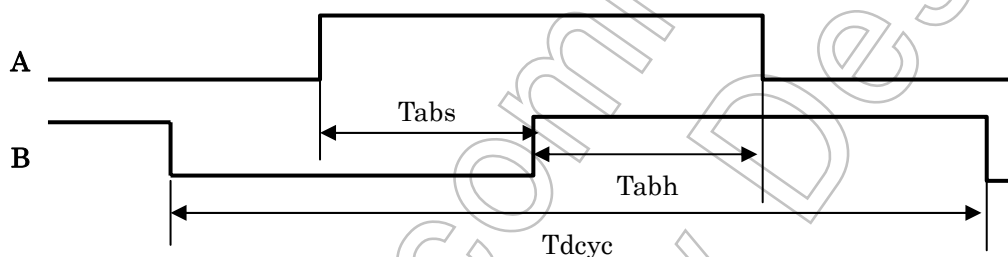
26.18 KWUP 入力

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
KEY00~31 低レベルパルス幅	tkyTBL	100		100		ns

26.19 2相パルス入力

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
2相入力パルス周期	Tdcyc	8Y		400		ns
2相入力セットアップ	TabS	Y+20		70		ns
2相入力ホールド	Tabh	Y+20		70		ns

Y : $f_{sys}/2$

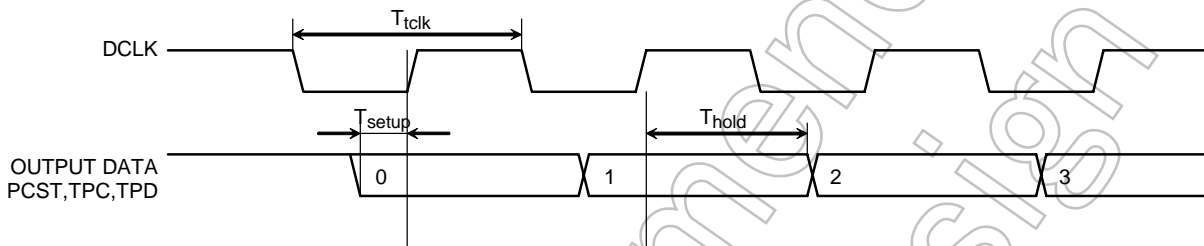


26.20 ADTRG 入力

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
ADTRG 低レベルパルス幅	tadL	$f_{sys}/2 + 20$		32.5		ns
ADTRG 高レベルパルス間隔	Tadh	$f_{sys}/2 + 20$		32.5		ns

26.21 DSU

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
PCST有効←DCLK立ち上がり	Tsetup	11		11		ns
DCLK立ち上がり→PCST保持	Thold	0.5		0.5		ns
TPC有効←DCLK立ち上がり	Tsetup	11		11		ns
DCLK立ち上がり→TPC保持	Thold	0.5		0.5		ns
TPD有効←DCLK立ち上がり	Tsetup	11		11		ns
DCLK立ち上がり→TPD保持	Thold	0.5		0.5		ns



26.22 EJTAG

項目	記号	計算式		10 MHz(※)		単位
		Min	Max	Min	Max	
TMS/TDI 入力←TCK立ち上がり	Ttsetup	40		40		ns
TCK立ち上がり→TMS/TDI保持	Tthold	50		50		ns
TCK立下り→TDO保持	Ttout		10		10	ns

※TCKは必ず10MHzでご使用ください。

