

TOSHIBA

**32 ビット TX System RISC
TX19 ファミリー
TMP19A43FD/FZXBG**

Rev2.1 2007 年 4 月 09 日

32 ビット RISC マイクロプロセッサ TX19 ファミリー TMP19A43FZXBG, FDXBG

1. 概要と特長

TMP19A43 に搭載されている TX19A プロセッサコアは、米国 MIPS グループの高性能な 32 ビットの命令セットである MIPS32ISA と高コード効率の命令セットである MIPS16eISA に当社で命令を追加した拡張命令セットの MIPS16e-TX™ASE (Application Specific Extension) を追加して、当社で独自開発した高性能な 32 ビット RISC プロセッサファミリーです。

TMP19A43 は、TX19A プロセッサコアをベースに各種周辺機能を内蔵した低電圧/低消費電力動作が可能な 32 ビット RISC マイクロプロセッサです。

TMP19A43 の特長は次の通りです。

(1) TX19A プロセッサコア (詳細は別冊の TX19A コアアーキテクチャを参照してください)

①16 ビットと 32 ビットの 2 つの ISA (Instruction Set Architecture) モードで、コード効率と演算性能の向上を実現

- 16 ビット ISA モードの命令は、コード効率の優れた MIPS16™ASE とオブジェクトレベルで互換
- 32 ビット ISA モードの命令は、演算性能の優れた TX39 とオブジェクトレベルで互換

②高性能化と低消費電力化を同時に実現

●高性能化

- SAVE/RESTORE/ジャンプ・分岐命令を除き 1 クロックで実行
- 3 オペランドの演算命令により高性能を実現
- 5 段パイプライン
- 高速メモリを内蔵
- DSP 機能: 32 ビット積和演算 (32×32+64=64 ビット) を 1 クロックで実行

●低消費電力化

- 低消費電力ライブラリを使用した最適化設計
- プロセッサコアの動作を停止させるスタンバイ機能

③リアルタイム制御に向けた高速割り込み応答

- エントリーアドレスを独立化
- 要因別のベクタアドレスを自動生成
- 割り込みマスクレベルを自動更新

060629TBA

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
- なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などをご確認ください。 021023_A
- 本資料に掲載されている製品は、一般的電子機器 (コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など) に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり、人体に危害を及ぼす恐れのある機器 (原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など) にこれらの製品を使用すること (以下“特定用途”という) は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。 021023_B
 - 本資料に掲載されている製品を、国内外の法令、規則及び命令により製造、使用、販売を禁止されている応用製品に使用することはできません。 060106_Q
 - 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。 021023_C
 - 本資料に掲載されている製品は、外国為替及び外国貿易法により、輸出または海外への提供が規制されているものです。 021023_E
 - 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。 021023_D

(2) 内蔵プログラムメモリ／データメモリ

※※企画中

製品名	内蔵 ROM	内蔵 RAM
TMP19A43CZXBG TMP19A43CZFG※※	384Kbyte	20Kbyte
TMP19A43CDXBG	512Kbyte	24Kbyte
TMP19A43FZXBG TMP19A43FZFG※※	384Kbyte (Flash)	20Kbyte
TMP19A43FDXBG	512Kbyte (Flash)	24Kbyte

- ROM コレクション機能 : 1word×8block、8word×4block

(3) 外部メモリ拡張

- 16M バイト (プログラム/データ 共通) まで拡張可能
- 外部データバス :
 - セパレートバス/マルチプレクスバス : 8/16 ビット幅共存可能
 - チップセレクト/ウェイトコントローラ : 4 チャンネル

(4) DMA コントローラ

: 8 チャンネル (割り込みは 2 要因)

- 割り込みもしくはソフトウェアにて起動
- 転送対象は内蔵メモリ、内蔵 I/O、外部メモリ及び外部 I/O

(5) 16 ビットタイマ

: 16 チャンネル

- 16 ビットインターバルタイマモード
- 16 ビットイベントカウンタモード
- 16 ビット PPG 出力 (4ch 毎, 同期出力可能)
- インプットキャプチャ機能
- 二相パルス入力カウンタ機能 (専用 4 チャンネル) : 4 通倍モード

(6) 32 ビットタイマ

- 32 ビットインプットキャプチャレジスタ : 4 チャンネル
- 32 ビットコンペアレジスタ : 8 チャンネル
- 32 ビットタイムベースタイマ : 1 チャンネル

(7) 時計用タイマ

: 1 チャンネル

(8) 汎用シリアル・インタフェース

: 3 チャンネル

- UART/同期式モード選択可能

(9) 高速シリアル・インタフェース

: 3 チャンネル

- UART/高速同期式モード (Max:10Mbps fsys=40MHz 時) 選択可能

(10) シリアルバスインタフェース

: 1 チャンネル

- I²C バスモード/クロック同期式モード選択可能

(11) 10 ビット A/D コンバータ (S/H 有)

: 16 チャンネル

- 外部トリガスタート可能、内部タイマトリガ起動
- チャンネル固定/スキャンモード
- シングル/リピートモード
- 最優先変換モード
- タイマ監視機能
- 変換時間 1.15 μsec (fsys=40MHz 時)

- (12) 8ビットD/Aコンバータ : 2チャンネル
- (13) ウォッチドッグタイマ : 1チャンネル
- (14) 割り込み機能
- CPU 2本 ……ソフトウェア割り込み命令
 - 内部 46本 ……7レベルの優先順位設定可能
(ウォッチドッグタイマ割り込みを除く)
 - 外部 48本 ……7レベルの優先順位設定可能
32本はKWUPであり、割り込み要因としては1本
- (15) 入出力ポート …… 143端子
- (16) スタンバイ機能
- 3種類のスタンバイモード (IDLE, SLEEP、STOP)
- (17) クロックジェネレータ
- PLL 内蔵 (4 逡倍)
 - クロックギア機能: 高速クロックを 3/4, 1/2, 1/4, 1/8 に分周
 - サブクロック : SLOW/SLEEP モード (32.768kHz)
- (18) エンディアン …… バイエンディアン (ビッグエンディアン/リトルエンディアン)
- (19) 最大動作周波数
- 40MHz (PLL4 逡倍)
- (20) 動作電圧範囲
- コア 1.35V~1.65V
 - I/O、ADC 2.7V~3.6V
 - DAC 2.3V~2.7V
- (21) パッケージ
- TFBGA193-P-1212-0.65A4 (12mm×12mm, 0.65mm ピッチ)
- LQFP176-P-2424-0.5 (24mm×24mm, 0.5mm ピッチ)

Not Recommended for New Design

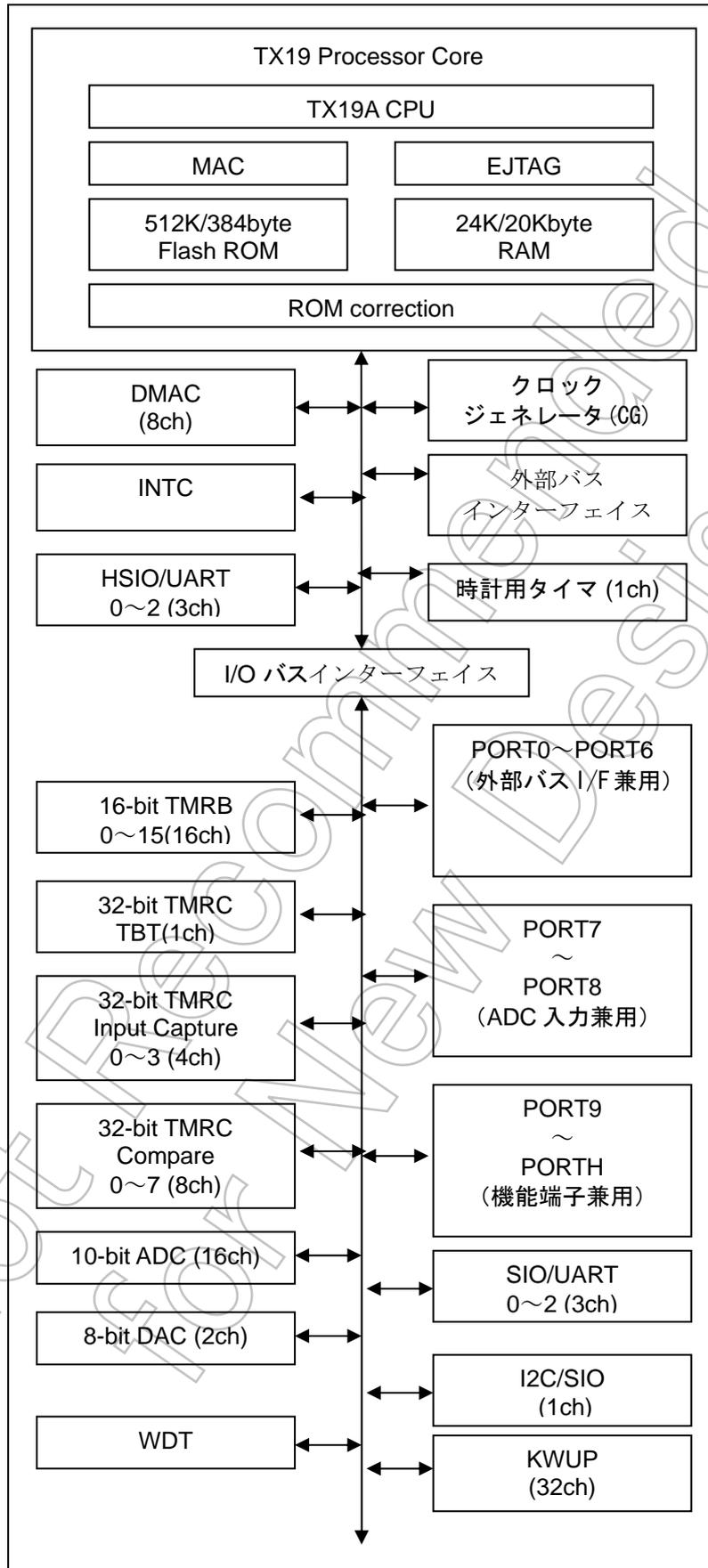


図 1-1TMP19A43 ブロック図

2. Flash 動作説明

Flash 機能について、ハードウェアの構成およびその動作を説明します。本デバイスは TMP19A43CDXBG の内蔵 ROM を内蔵フラッシュメモリに置き換えたものです。その他の構成および機能は TMP19A43CDXBG と同一です。ここに記載されていない機能については TMP19A43CDXBG のデータシートを参照してください。

2.1 フラッシュメモリ

2.1.1 特長

1) メモリ容量

TMP19A43FDXBG はフラッシュメモリ 4M ビット (512K バイト) を搭載しています。構成は 4 ブロック (128K バイト × 4) になっており、各ブロック個別に書き込みをおこなうことができます。CPU から内蔵フラッシュメモリをアクセスする場合、データバス幅は 32 ビットとなります。

2) フラッシュメモリアクセス

本デバイスではインタリーブアクセスです。

3) 書き込み/消去時間

書き込み時間: 2sec/Chip (Typ) 0.5sec/128Kbyte (Typ.)

消去: 0.4sec/Chip (Typ) 100msec/128Kbyte (Typ.)

(注) 上記値は理論時間を表しており、データ転送時間などは含まれていません。

チップ当たりの時間はユーザーの書き替え方法により異なります。

4) プログラミング方法

ユーザーのボード上で書き替えが可能なオンボードプログラミングモードがあります。

・オンボードプログラミングモード

4-1) ユーザーブートモード

ユーザー独自の書き替え方法をサポート

4-2) シングルブートモード

シリアル転送 (当社オリジナル) での書き替え方法をサポート

書き替え方式

本デバイス内蔵のフラッシュメモリは、一部の機能を除き JEDEC 標準機能に準拠しています。このため、外部メモリとしてフラッシュメモリをご使用になられている場合でも、本 LSI への移行が容易です。また、フラッシュメモリ内に書き込み、チップ消去など自動で行う回路を内蔵していますので、書き込み、消去動作自身に係わる複雑なフローをユーザーがプログラムで組む必要がありません。

本デバイスでは、ライターでのフラッシュデータの読み出しを禁止する、プロテクト機能を追加しています。一方、書き替え禁止を設定するプロテクトは、コマンド (ソフトウェア) による対応のみで 12 V 電圧を印加して設定する方式 (ハードウェア) には対応できません。前記プロテクト機能は 4 エリア全てにプロテクトを掛けると自動的に有効になり、プロテクトの解除を行うと内部データが自動的に消去され、その後全てのプロテクトが解除されます。

JEDEC 準拠の機能	変更、追加、削除した機能
<ul style="list-style-type: none"> 自動プログラム 自動チップ消去 自動ブロック消去 データポーリング/トグルビット 	<p><変更> ブロックプロテクト (ソフトウェアプロテクトのみサポート)</p> <p><削除> 消去レジューム/サスペンド機能</p> <p>自動マルチブロック消去 (チップ単位までサポート)</p>

2.1.2 フラッシュ部ブロック図

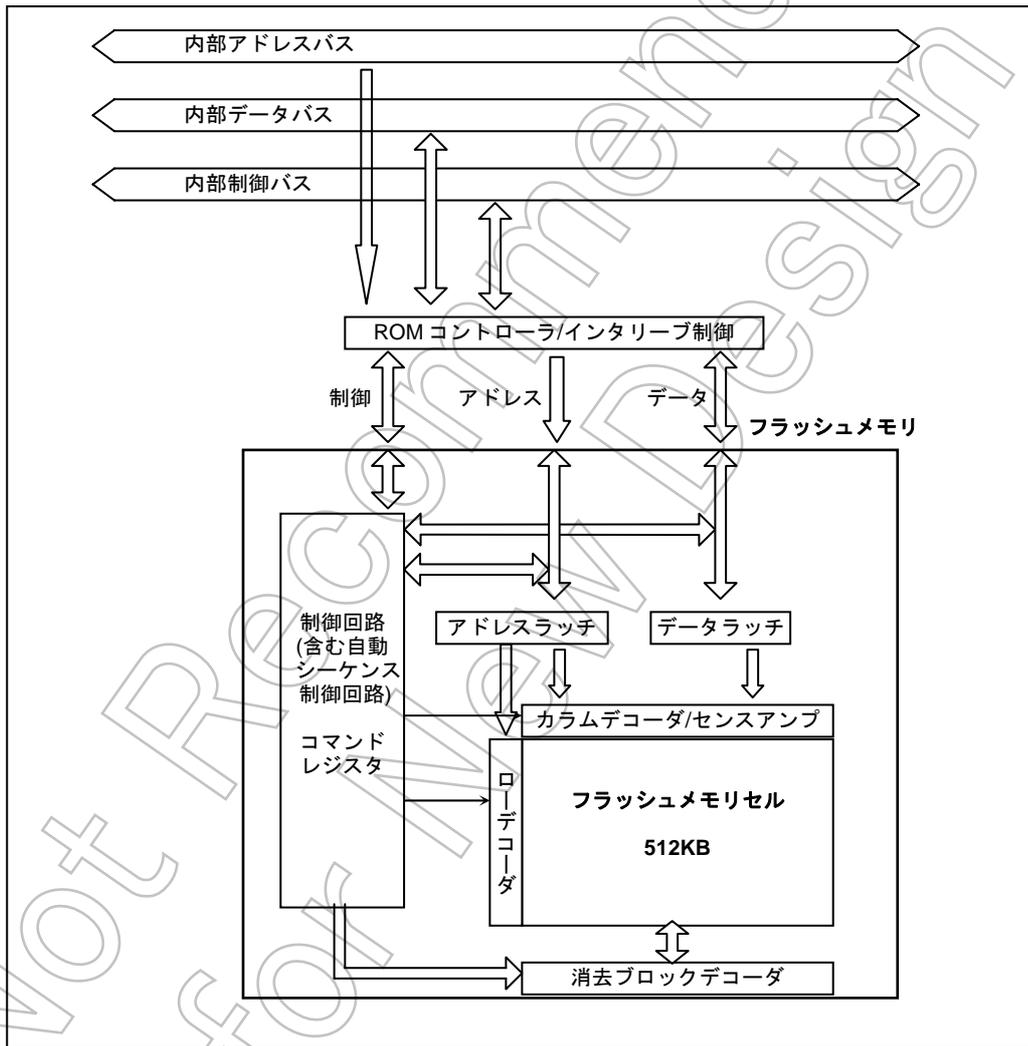


図 2-1 フラッシュ部ブロック図

2.2 動作モード

本デバイスは内蔵フラッシュメモリを使用しない場合を含めて、3通りの動作状態（モード）が存在します。

表 2-1 動作モード説明

動作モード名	動作の内容
シングルチップモード	リセット解除後、内蔵のフラッシュメモリから起動します。
ノーマルモード	本動作モードの中で、ユーザーのアプリケーションプログラムを実行するモードと、ユーザーのセット上でフラッシュメモリの書き替えを実行するモードとに分けて定義します。前者を「ノーマルモード」、後者を「ユーザーブートモード」と呼びます。
ユーザーブートモード	この両者の切り替えはユーザーが独自に設定できます。 例えばポート 00 が '1' のときノーマルモード、'0' のときにユーザーブートモードというように自由に設計することが可能です。 ユーザーはアプリケーションプログラムの一部に切り替えを判定するためのルーチンを準備してください。
シングルブートモード	リセット解除後、内蔵する Boot ROM (Mask ROM) から起動します。Boot ROM には、本デバイスのシリアルポートを経由してユーザーのセット上で書き替えを行うことができるアルゴリズムがプログラムされています。シリアルポートにより外部ホストと接続し、規定されたプロトコルでデータの転送を行うことで内蔵フラッシュの書き替えが実行できます。

上記表でプログラムが可能なフラッシュメモリの動作モードは ユーザーブートモード、シングルブートモードの2つです。ユーザーのセット上で内蔵フラッシュメモリの書き替えが可能なモードは、ユーザーブートモードとシングルブートモードで、この2つをオンボードプログラミングモードと定義します。

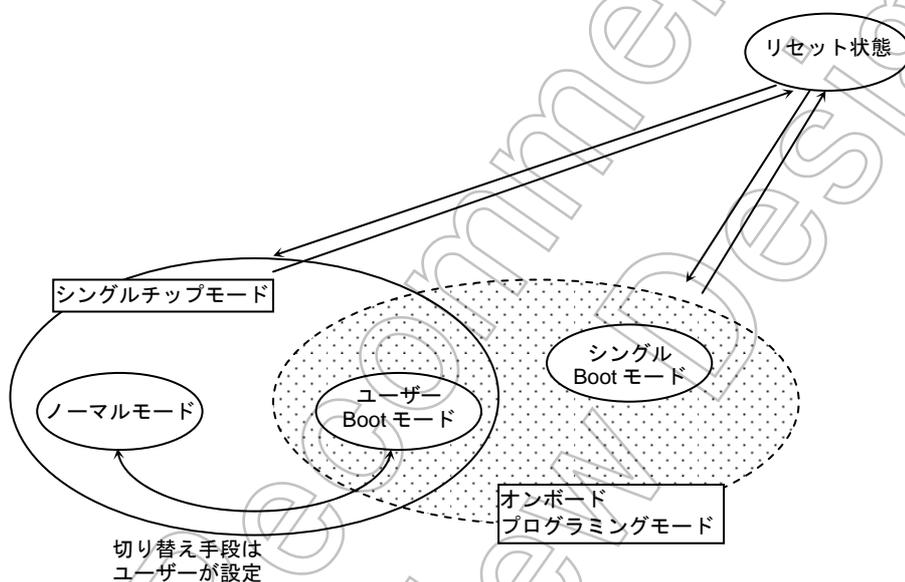
シングルチップ、シングルブートの各動作モードは、リセット状態で入力端子 $\overline{\text{BOOT}}$ のレベルを外部で設定することにより決定されます。

CPU は状態設定後リセットを解除することにより各動作モードで動作を開始します。 $\overline{\text{BOOT}}$ 端子については、それぞれモード設定後は動作中にレベルの変更がないようにしてください。以下に動作モードの設定方法とモード遷移図を示します。

表 2-2 動作モード設定表

動作モード	入力端子	
	$\overline{\text{RESET}}$	$\overline{\text{BOOT}}$
シングルチップモード	0 → 1	1
シングルブートモード	0 → 1	0

図 2-2 モード遷移図



2.2.1 リセット動作

本デバイスにリセットをかけるには、電源電圧が動作電圧範囲内で、かつ内部発振器の発振が安定した状態で、少なくとも 12 システムクロック間 (40MHz 動作で 2.4 μs (リセット後は、クロックギア 1/8 モード)) $\overline{\text{RESET}}$ 入力を “0” にしてください。

- (注 1) 電源投入後は、電源電圧および発振が安定した状態から 500 μs 以上経過してからリセット解除させてください。
- (注 2) 内蔵フラッシュの消去、プログラム中は、システムクロックによらず 0.5 μs 以上のリセット期間が必要となります。

2.2.2 DSU(EJTAG)-PROBE インタフェース

DSU-PROBE を利用してデバッグするときに使用します。DSU-PROBE と接続される専用 I/F です。DSU-PROBE を利用したデバッグの詳細に関しては、ご使用の DSU-PROBE の取扱説明書を参照してください。ここでは、DSU (EJTAG) モードでの DSU-PROBE 使用許可/禁止について説明します。

1) プロテクト機能

本デバイスは、オンボード上で DSU-PROBE を使用してデバッグが可能です。このため、ユーザー以外の第三者が容易に内蔵フラッシュのデータを読み出させないようにするプロテクト機能をもっています。プロテクト機能を有効にすることにより、DSU-probe を使用して内蔵フラッシュの内容を読み出すことは不可能になります。後述のフラッシュプロテクト機能とあわせてご使用願います。

2) DSU-PROBE 使用許可/禁止機能

本デバイスは、オンボード上で DSU-PROBE を使用してデバッグが可能です。このため、ユーザー以外の第三者が容易に内蔵フラッシュのデータを読み出させないようにする DSU-PROBE 使用禁止機能（以下、DSU プロテクト）をもっています。DSU 禁止機能を有効にすることにより、DSU-PROBE を使用することが不可能になります。

3) DSU 使用許可（DSU-PROBE を利用してのデバッグを有効）

DSU プロテクトを解除する方法は、暴走などによる偶発解除を防ぐために二重構造になっており、DSU プロテクトモードレジスタ SEQMOD<DSUOFF> = “0” にし、プロテクトコード “0x0000_00C5” を DSU プロテクト制御レジスタ SEQCNT に書き込みます。この後、DSU-PROBE を使用したデバッグが有効になります。電源をオフしない状態で、SEQMOD<SEQON> = “1” にし、SEQCNT レジスタに “0x0000_00C5” を書き込むことにより再びプロテクト機能が有効になります。

表 2-3 DSU プロテクトモードレジスタ

	7	6	5	4	3	2	1	0	
SEQMOD (0xFFFF_E510)	Bit Symbol								DSUOFF
	Read/Write								R/W
	リセット後								1
	機能								1: DSU 使用不可 0: DSU 使用許可
	15	14	13	12	11	10	9	8	
	Bit Symbol								
	Read/Write								R
	リセット後								0
	機能								リードすると常に”0”が読めます
	23	22	21	20	19	18	17	16	
	Bit Symbol								
	Read/Write								R
	リセット後								0
	機能								
	31	30	29	28	27	26	25	24	
	Bit Symbol								
	Read/Write								R
	リセット後								0
	機能								リードすると常に”0”が読めます

(注) 本レジスタは 32 ビットのアクセスで行ってください。

(注) 本レジスタはパワーオンリセットのみで初期化されます。通常リセットでは初期化されません。(FLASH 版)

表 2-4 DSU プロテクト制御レジスタ

	7	6	5	4	3	2	1	0
SEQCNT (0xFFFF_E514)								
Bit Symbol								
Read/Write	W							
リセット後								
機能	"0x0000_00C5" をライトしてください。							
	15	14	13	12	11	10	9	8
Bit Symbol								
Read/Write	W							
リセット後								
機能	"0x0000_00C5" をライトしてください							
	23	22	21	20	19	18	17	16
Bit Symbol								
Read/Write	W							
リセット後								
機能	"0x0000_00C5" をライトしてください							
	31	30	29	28	27	26	25	24
Bit Symbol								
Read/Write	W							
リセット後								
機能	"0x0000_00C5" をライトしてください							

(注) 本レジスタは 32 ビットのアクセスで行ってください。

4) ユーザー使用例

本機能を使用した DSU-PROBE の使用例を以下に示します。

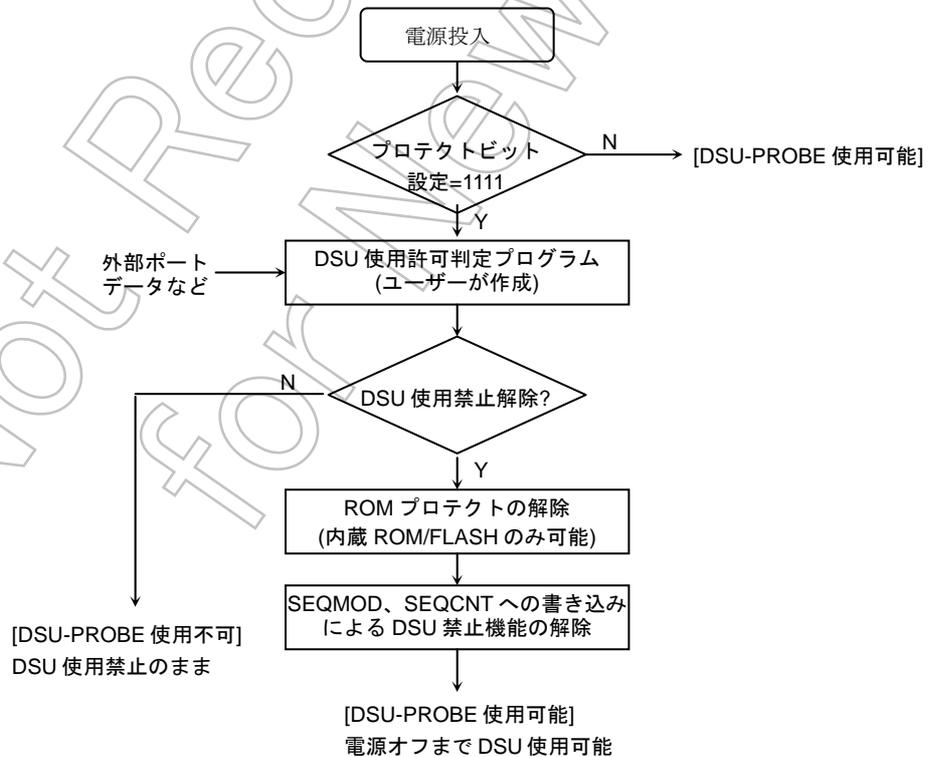


図 2-3 DSU 禁止機能の使用例

2.2.3 ユーザーブートモード（シングルチップモード）

ユーザーブートモードは、ユーザー独自のフラッシュメモリ書き替えルーチンを使う方法です。ユーザーアプリケーション上で用意されているフラッシュメモリ書き替え用のプログラムで用いる、データ転送バスがシリアル I/O と異なる場合に使用します。動作はシングルチップモード上で行います。このため、シングルチップモードにおいて通常のユーザーアプリケーションプログラムが動作しているノーマルモードから、フラッシュを書き替えるためのユーザーブートモードに移行する必要があります。したがって、条件判定を行うプログラムをユーザーアプリケーションの中で、リセット処理プログラムの中に組み込んでください。

このモード切り替えの条件設定は、本デバイスの I/O を使用してユーザーのシステムセット条件に合わせて独自に構築してください。また、ユーザーブートモード移行後に使用するユーザー独自のフラッシュメモリ書き替えルーチンも同様にユーザーアプリケーションの中にあらかじめ組み込んでおき、ユーザーブートモード移行後にこれらのルーチンを使用して書き替えを行ってください。なお、内蔵フラッシュメモリは消去/書き込み動作モード中はフラッシュのデータを読み出せません。このため、書き替えルーチンはフラッシュメモリアリア外に格納して実行させる必要があります。また、シングルチップモード（通常動作モード）中に誤ってフラッシュの内容を書き替えないよう、書き替え処理が完了した後、必要なブロックにプロテクトをかけておくことを推奨します。あわせて、ユーザーブートモード中は、ノンマスクブルを含めたすべての割り込み発生を禁止してください。

書き替えルーチンを内蔵フラッシュメモリに置く場合と、外部から転送する場合の2ケースを例に、以下 (1-A)、(1-B) にその手順を説明します。フラッシュメモリへの書き込み/消去方法の詳細は、「3.4 オンボードプログラミングでのフラッシュメモリ書き込み/消去」を参照してください。

Not Recommended for New

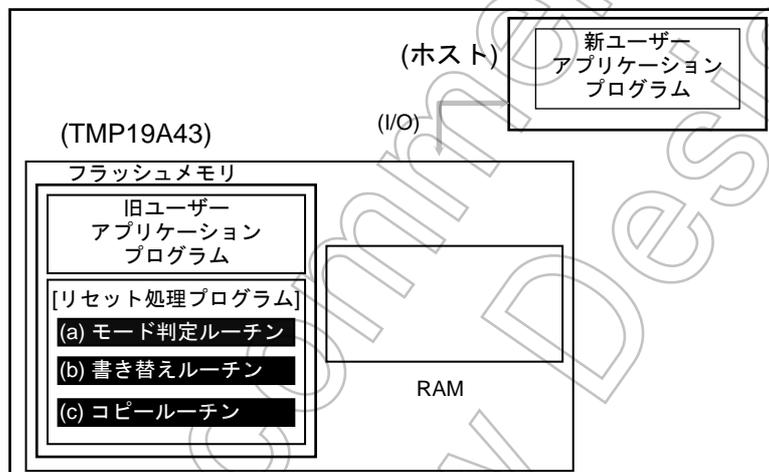
ユーザーブートモード

(1-A) 書き替えルーチンをフラッシュメモリに内蔵する場合の手順例

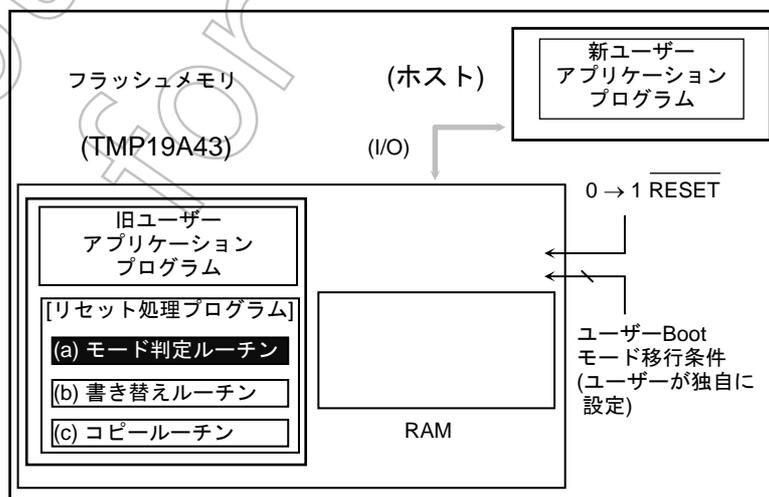
(Step-1)

ユーザーは、あらかじめどのような条件（例えば端子状態）に設定されたらユーザーブートモードに移行するか、どの I/O バスを使用してデータ転送を行うかを決め、それに合った回路の設計、プログラムの作成を行います。ユーザーは本デバイスをボードに組み込む前に、あらかじめフラッシュメモリ上の任意のブロックにライタなどを使用して以下に示す 3 つのプログラムを書き込んでおきます。

- | | |
|--------------------|---|
| (a) モード判定ルーチン: | 書き替え動作に移るためのプログラム |
| (b) フラッシュ書き換えルーチン: | 書き替えデータを外部から取り込み、フラッシュメモリを書き替えるためのプログラム |
| (c) コピールーチン: | 上記 (b) を内蔵 RAM または外部メモリにコピーするためのプログラム |

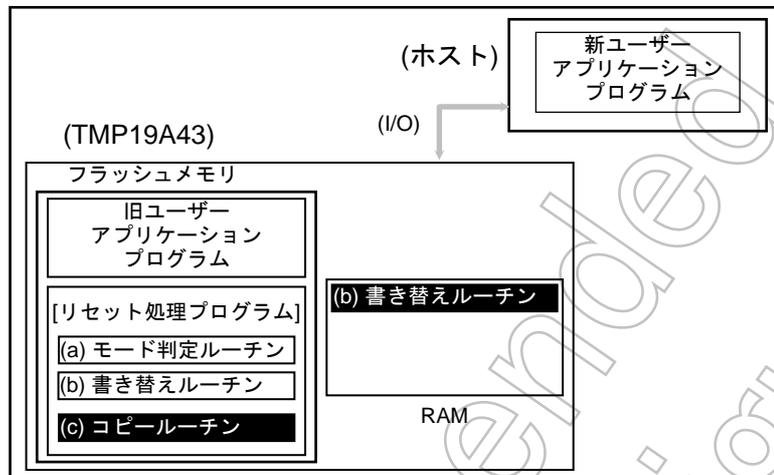
**(Step-2)**

以下リセット処理プログラム内にこれらのルーチンを組み込んだ場合について説明します。まず、リセット解除後のリセット処理プログラムにおいてユーザーブートモードへの移行を判定します。このとき、移行条件が整っていれば、プログラムは書き替えのためのユーザーブートモードに移ります。(ユーザーブートモードに移行した場合は、これ以降割り込みを使わないでください。)

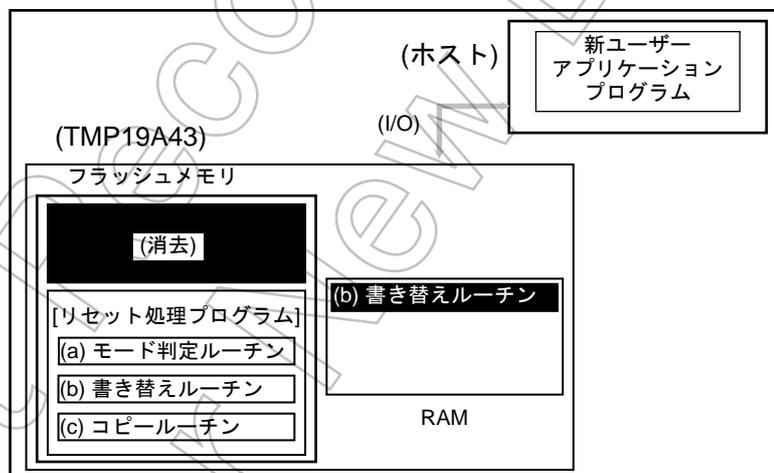


(Step-3)

ユーザーブートモードに移ると、(c) コピールーチンを使用して、(b) 書き替えルーチンを内部 RAM もしくは外部メモリにコピーします。(下図は内部 RAM へコピーした場合を示します。)

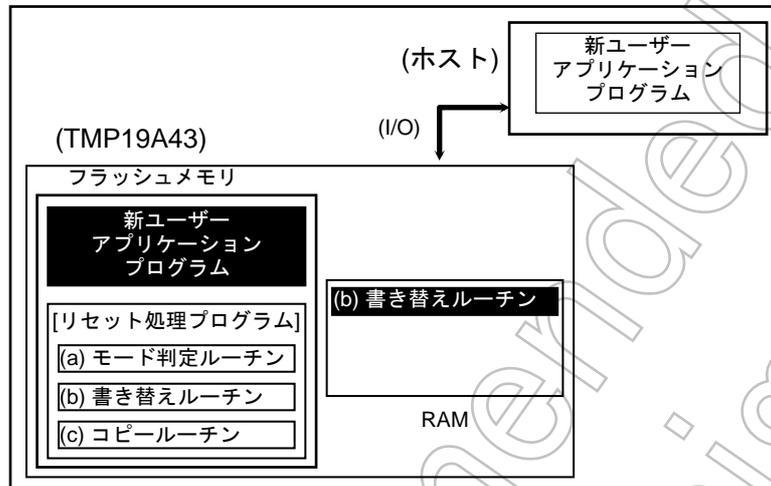
**(Step-4)**

RAM 上の書き替えルーチンへジャンプし、旧ユーザープログラムエリアのライトプロテクトを解除して、消去 (ブロック単位) を行います。

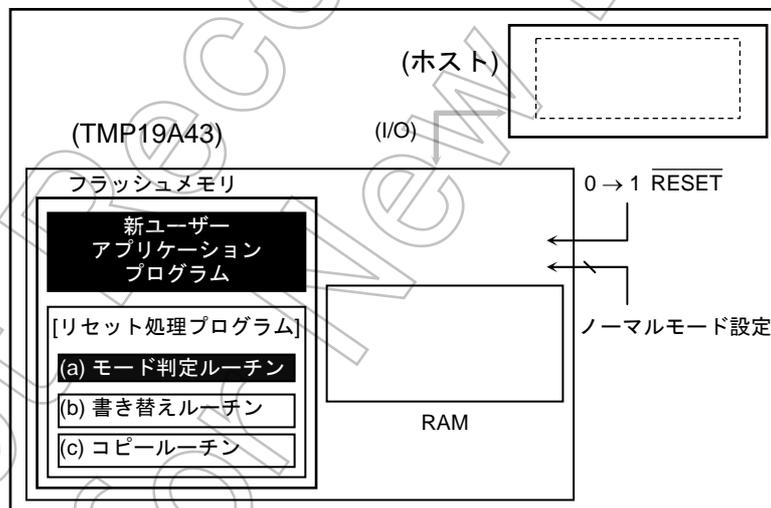


(Step-5)

さらに、RAM 上の書き替えルーチンを実行して、転送元（ホスト）より新ユーザーアプリケーションプログラムのデータをロードし、フラッシュメモリの消去したエリアに書き込みを行います。書き込みが完了したら、ユーザープログラムエリアのライトプロテクトをオンにします。

**(Step-6)**

RESET入力端子を“0”にしてリセットを行い、設定条件をノーマルモードの設定にします。リセット解除後、新ユーザーアプリケーションプログラムで動作を開始します。



(1-B) 書き替えルーチンを外部から転送する手順例

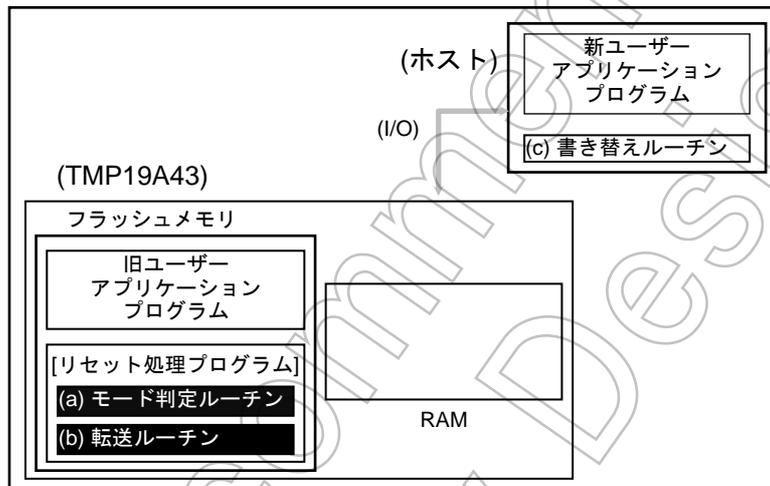
(Step-1)

ユーザーは、あらかじめどのような条件（例えば端子状態）に設定されたらユーザーブートモードに移行するか、どの I/O バスを使用してデータ転送を行うかを決め、それに合った回路の設計、プログラムの作成を行います。ユーザーは本デバイスをボードに組み込む前に、あらかじめフラッシュメモリ上の任意のブロックにライタなどを使用して以下に示す 2 つのプログラムを書き込んでおきます。

- (a) モード判定ルーチン： 書き替え動作に移るためのプログラム
- (b) 転送ルーチン： 書き替えプログラムを外部から取り込むためのプログラム

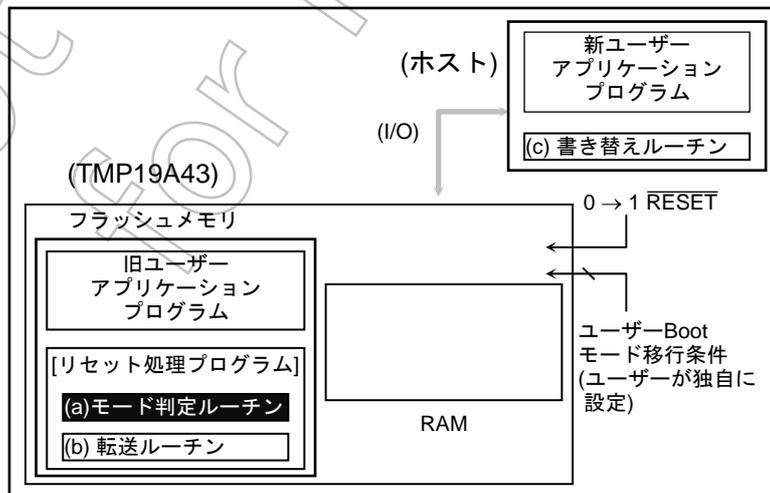
また、下記に示すプログラムはホスト上に用意します。

- (c) 書き替えルーチン： 書き替えを行うためのプログラム



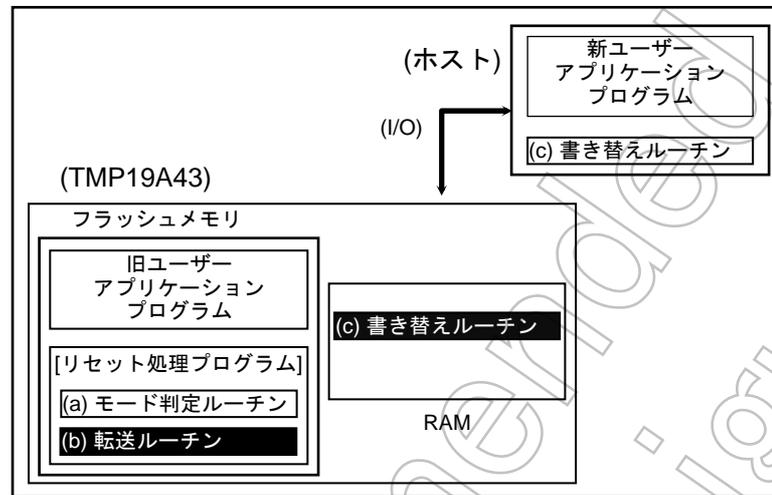
(Step-2)

以下リセット処理プログラム内にこれらのルーチンを組み込んだ場合について説明します。まず、リセット解除後のリセット処理プログラムにおいてユーザーブートモードへの移行を判定します。このとき、移行条件が整っていれば、プログラムは書き替えのためのユーザーブートモードに移ります。（ユーザーブートモードに移行した場合は、これ以降割り込みを使わないでください。）

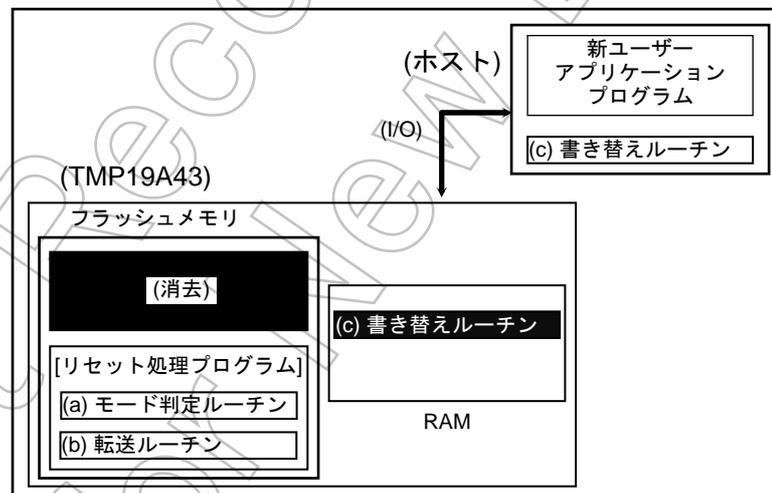


(Step-3)

ユーザーブートモードに移ると、(b) 転送ルーチンを使用して、転送元（ホスト）より (c) 書き替えルーチンを内部 RAM もしくは外部メモリにロードします。（下図は内部 RAM へコピーした場合を示します。）

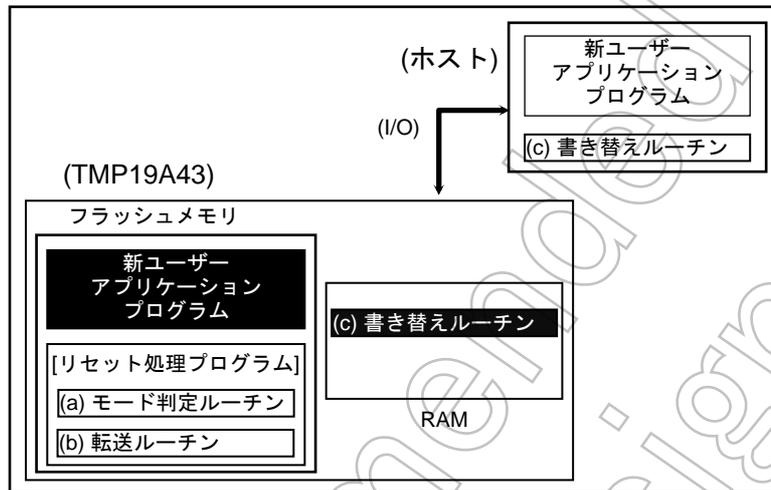
**(Step-4)**

RAM 上の書き替えルーチンへジャンプし、旧ユーザープログラムエリアのライトプロテクトを解除して、消去（ブロック単位）を行います。



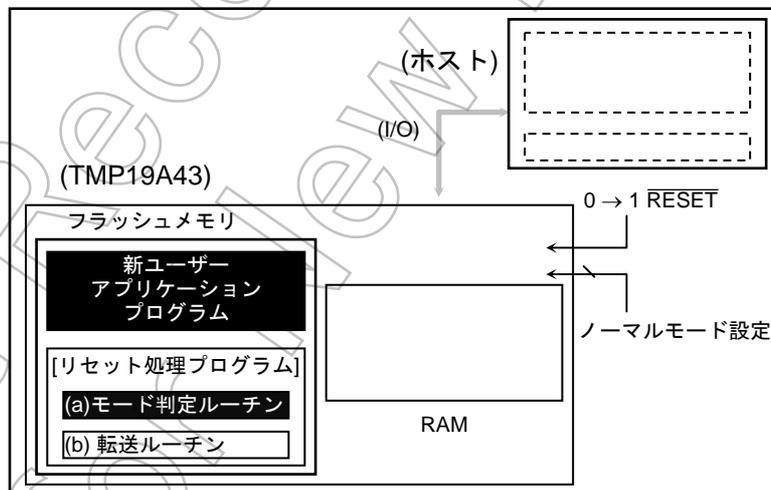
(Step-5)

さらに、RAM上の(c)書き替えルーチンを実行して、転送元(ホスト)より新ユーザーアプリケーションプログラムのデータをロードし、消去したエリアに書き込みを行います。書き込みが完了したら、ユーザープログラムエリアのライトプロテクトをオンにします。



(Step-6)

RESET入力端子を“0”にしてリセットを行い、設定条件をノーマルモードに設定します。リセット解除後、新ユーザーアプリケーションプログラムで動作を開始します。



2.2.4 シングルブートモード

内蔵ブート ROM (マスク ROM) を起動して、ブート ROM のプログラムを利用してフラッシュメモリを書き替える方法です。このモードでは、内蔵ブート ROM が割り込みベクタテーブルを含む領域にマッピングされ、ブート ROM プログラムが実行されます。また、フラッシュメモリはブート ROM 領域とは別のアドレス空間にマッピングされます。

ブートモードでは、コマンドおよびデータをシリアル転送してフラッシュメモリの書き替えを行います。本デバイスの SIO (S100) と外部ホストを接続し、外部ホスト側から本デバイスの内蔵 RAM に書き替えプログラムをコピーし、RAM 上の書き替えルーチンを実行してフラッシュメモリの書き替えを行います。書き替えルーチンは、ホスト側からコマンドおよび書き替えデータを送出することにより実行します。ホスト側との通信の詳細は後述のプロトコルに従ってください。RAM へのプログラム転送は、ユーザーの ROM データ、セキュリティ確保のため、実行に先立ちユーザーパスワードの照合を行います。パスワードが一致しない場合は、RAM 転送そのものが実行されません。なお、シングルブートモードでもユーザーブートモードと同様、割り込み禁止状態で行います。シングルブートモード時、ブート ROM プログラムは NORMAL モードで動作します。

シングルチップモード (通常動作モード) 中に誤ってフラッシュメモリの内容を書き替えないように、書き替え処理が完了したら必要なブロックにプロテクトをかけておくことを推奨します。

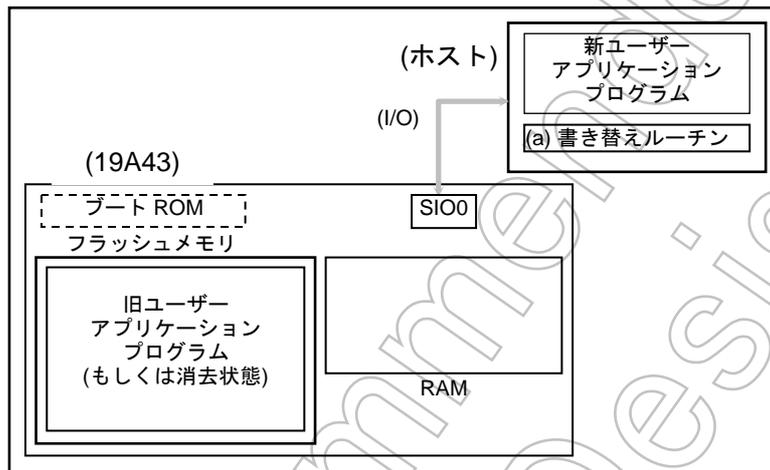
Not Recommended for New Design

シングルブートモード

(2-A) 内蔵ブート ROM の書き替えアルゴリズムを利用する場合

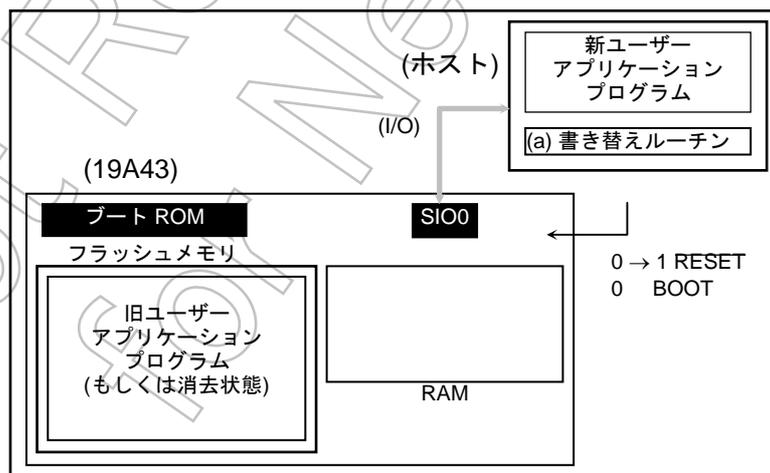
(Step-1)

フラッシュメモリの状態は旧バージョンのユーザープログラムが書かれた状態でも、消去されている状態でも構いません。書き替えルーチン、書き替えデータなどの転送は SIO (ch0) を経由して行いますので、ボード上で本デバイスの SIO0 (ch0) と外部ホストとをつなげます。書き替えを行うための (a) 書き替えルーチンはホスト上に用意します。



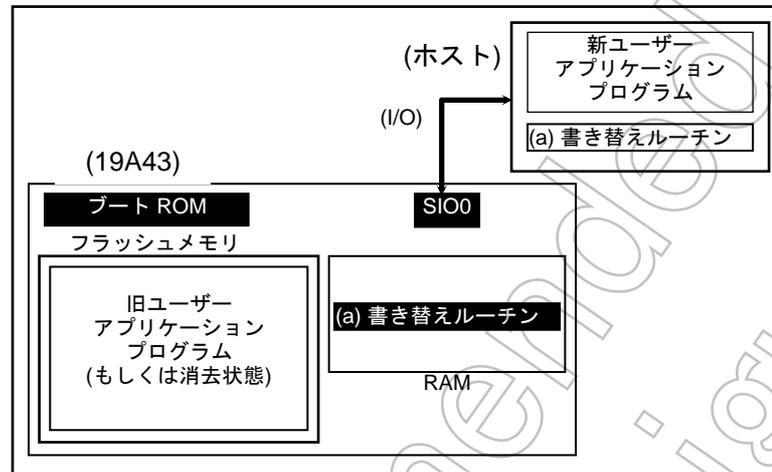
(Step-2)

ブートモードの端子条件設定でリセットを解除し、ブート ROM で起動します。ブートモードの手順に従い、SIO を経由して転送元 (ホスト) より (a) 書き替えルーチンの転送を行います。最初にユーザーアプリケーションプログラム上に記録されているパスワードとの照合を行います。(フラッシュメモリが消去されている状態でも、消去データ (FFH) をパスワードとして照合を行います。)

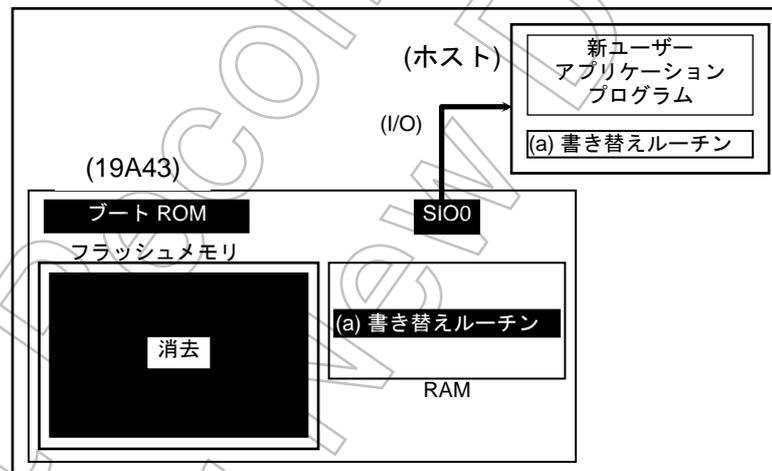


(Step-3)

パスワードの照合が終了すると、転送元（ホスト）から (a) 書き替えルーチンを転送します。ブート ROM はそのルーチンを内部 RAM にロードします。ただし、RAM 上のアドレス 0xFFFF_8000~0xFFFF_CFFF の範囲に格納してください。

**(Step-4)**

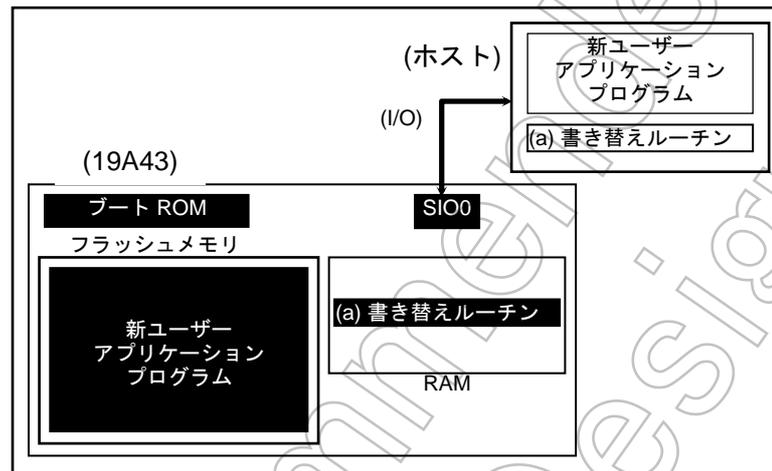
RAM 上の (a) 書き替えルーチンへジャンプし、旧ユーザーアプリケーションプログラムエリアの消去を行います。(ブロック単位もしくは一括)



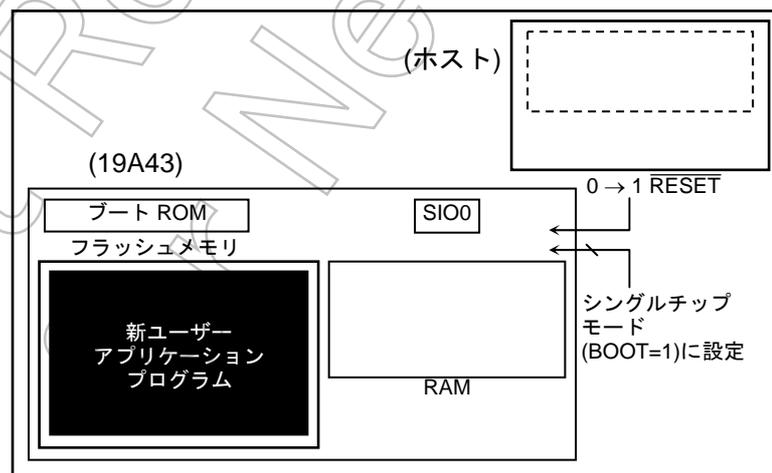
(Step-5)

さらに、RAM 上の (a) 書き替えルーチンを実行して、転送元（ホスト）より新ユーザーアプリケーションプログラムのデータをロードし、フラッシュメモリの消去したエリアに書き込みを行います。書き込みが完了したら、ユーザープログラムエリアのライトプロテクトをオンにします。

下の例の場合、書き替えルーチンを転送したときと同じホストおよび SIO 経由で書き替えデータも転送されていますが、RAM 上で動作を開始した以降では、ユーザー独自にデータバスおよび転送元を設定することもできます。方法に応じて、ボードのハードおよび書き替えルーチンを組み立ててください。

**(Step-6)**

書き込みが完了したら、一度ボードの電源を落とし、ホストと接続していたケーブルをはずします。この後、再度電源を入れ直し、シングルチップモード（ノーマルモード）起動し、新しいユーザーアプリケーションプログラムを実行します。



(1)モード設定

オンボードプログラミングを実行するためには、本デバイスをシングルブートモードで立ち上げます。シングルブートモードで立ち上がるための設定を以下に示します。

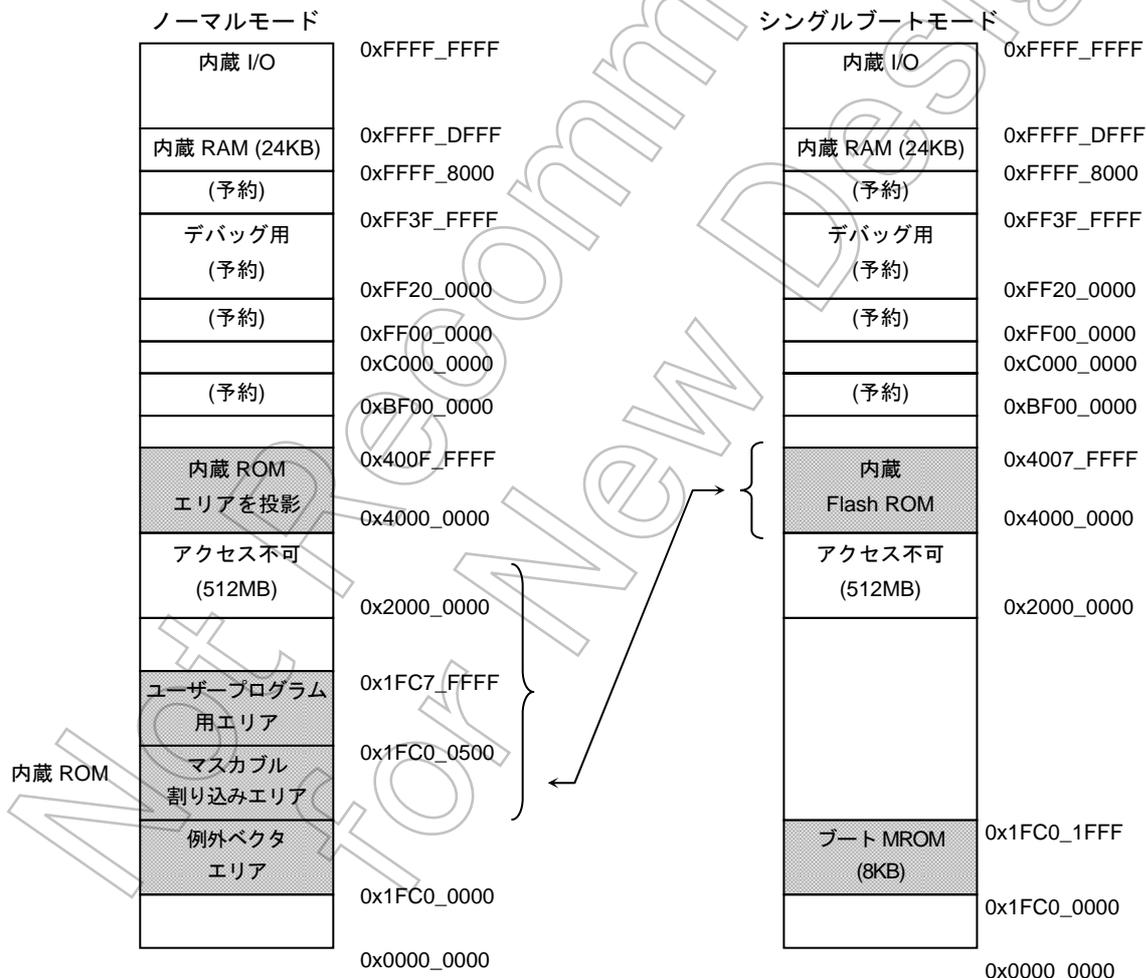
$$\overline{\text{BOOT}} = 0$$

$$\overline{\text{RESET}} = 0 \rightarrow 1$$

$\overline{\text{RESET}}$ 入力端子を“0”の状態にして、 $\overline{\text{BOOT}}$ の各端子をあらかじめ上記条件に設定します。その後 RESET 解除を行うとシングルブートモードで起動します。

(2) メモリマップ

図 2-3 にシングルチップモードとシングルブートモードのメモリマップの比較を示します。図のように、シングルブートモードでは、内蔵フラッシュメモリは物理アドレス (0x4000_0000~0x4007_FFFF 番地)、仮想アドレス (0x0000_0000~0x0007_FFFF 番地) にマッピングされます。また、0x1FC0_0000 番地から 0x1FC0_1FFF 番地にはブート ROM (マスク ROM) がマッピングされます。



物理アドレスです。

図 2-3 メモリマップの比較

(3) インタフェース仕様

シングルブートモードでの SIO 通信フォーマットを以下に示します。シリアル動作のモードは、UART（非同期通信）と I/O インタフェースモード両方に対応しています。オンボードプログラミングを実行するためには、書き込みコントローラ側の通信フォーマットも同様に設定する必要があります。

- UART で通信する場合

通信チャンネル	: SIO チャンネル 0
シリアル転送モード	: UART（非同期通信）モード、全二重通信、LSB ファースト
データ長	: 8 ビット
パリティビット	: なし
STOP ビット	: 1 ビット
ボーレート	: 任意のボーレート

- I/O インタフェースモードで通信する場合

通信チャンネル	: SIO チャンネル 0
シリアル転送モード	: I/O インタフェースモード、半二重通信、LSB ファースト
同期信号 (SCLK0)	: 入力
ハンドシェイク端子	: 出力ポート P67
ボーレート	: 任意のボーレート

表.5 端子の接続

端子		インタフェース	
		UART	I/O インタフェースモード
電源系端子	DVCC15	○	○
	DVSS	○	○
モード設定端子	$\overline{\text{BOOT}}$	○	○
リセット端子	RESET	○	○
通信端子	TXD0	○	○
	RXD0	○	○
	SCLK0	×	○ (入力モード)
	P67	×	○ (出力ポート)

(4) データ転送フォーマット

動作コマンド、および各動作モード時のデータ転送フォーマットをそれぞれ表.6 ~ 表.10に示します。後述の「ブートプログラム動作説明」とあわせてお読みください。

表.6 動作コマンドデータ

動作コマンドデータ	動作モード
10H	RAM 転送
20H	フラッシュメモリ SUM
30H	製品情報読み出し

表.7 シングルブートプログラムの転送フォーマット [RAM 転送の場合]

	転送バイト数	コントローラ→本デバイスへの 転送データ	ボーレート	本デバイス→コントローラへの 転送データ	
ブート ROM	1 バイト目	シリアル動作モード & ボーレート設定 UART の場合 86H I/O インタフェースの場合 30H	指定された ボーレート *1	—	
	2 バイト目	—		シリアル動作モードに対する ACK 応答 UART の場合 正常 (設定可能) の場合 86H (ボーレートの設定が不可能と判断した 場合は動作停止) I/O インタフェースの場合 正常の場合 30H	
	3 バイト目	動作コマンドデータ (10H)		—	
	4 バイト目	—		動作コマンドに対する ACK 応答 *2 正常の場合 30H 異常の場合 × 1H 通信異常の場合 × 8H	
	5 バイト目 ~ 16 バイト目	PASS WORD データ (12 バイト) (0x0000_0474~0x0000_047F)		—	
	17 バイト目	5 ~ 16 バイト目の CHECK SUM 値		—	
	18 バイト目	—		CHECK SUM 値に対する ACK 応答 *2 正常の場合 10H 異常の場合 ×1H 通信異常の場合 ×8H	
	19 バイト目	RAM 格納開始アドレス 31 ~ 24		—	
	20 バイト目	RAM 格納開始アドレス 23 ~ 16		—	
	21 バイト目	RAM 格納開始アドレス 15 ~ 8		—	
	22 バイト目	RAM 格納開始アドレス 7 ~ 0		—	
	23 バイト目	RAM 格納バイト数 15 ~ 8		—	
	24 バイト目	RAM 格納バイト数 7 ~ 0		—	
	25 バイト目	19 ~ 24 バイト目の CHECK SUM 値		—	
	26 バイト目	—		CHECK SUM 値に対する ACK 応答 *2 正常の場合 10H 異常の場合 ×1H 通信異常の場合 ×8H	
	27 バイト目 ~ m バイト目	RAM 格納データ		—	
	m + 1 バイト目	27 ~ m バイト目の CHECK SUM 値		—	
	m + 2 バイト目	—		CHECK SUM 値に対する ACK 応答 *2 正常の場合 10H 異常の場合 ×1H 通信異常の場合 ×8H	
	RAM	m + 3 バイト目		—	JUMP RAM 格納開始アドレス

- *1: I/O インタフェースモードの場合、1 バイト目と 2 バイト目のボーレートは、指定されたボーレート ÷ 16 で行ってください。
- *2: 異常応答後は、動作コマンド (3 バイト目) 待ちになります。I/O インタフェースモードの場合は、通信異常の場合は発生しません。
- *3: 19 バイト目 ~ 25 バイト目のデータは、RAM 上のアドレス 0xFFFF_8000~0xFFFF_CFFF の領域内に納まるようにプログラムしてください。

表.8 ブートプログラムの転送フォーマット [フラッシュメモリ SUM の場合]

	転送バイト数	コントローラ→本デバイスへの 転送データ	ボーレート	本デバイス→コントローラへの 転送データ
ブート ROM	1 バイト目	シリアル動作モード & ボーレート設定 UART の場合 86H I/O インタフェースの場合 30H	指定された ボーレート *1	—
	2 バイト目	—		シリアル動作モードに対する ACK 応答 UART の場合 正常 (設定可能) の場合 86H (ボーレートの設定が不可能と判断した 場合は動作停止) I/O インタフェースの場合 正常の場合 30H
	3 バイト目	動作コマンドデータ (20H)		—
	4 バイト目	—		動作コマンドに対する ACK 応答 *2 正常の場合 30H 異常の場合 x1H 通信異常の場合 x8H
	5 バイト目	—		SUM (上位)
	6 バイト目	—		SUM (下位)
	7 バイト目	—		5 ~ 6 バイト目の CHECK SUM 値
	8 バイト目	(次の動作コマンドデータ待ち)		—

*1: I/O インタフェースモードの場合、1 バイト目と 2 バイト目のボーレートは、指定されたボーレート ÷ 16 で行ってください。

*2: 異常応答後は、動作コマンド (3 バイト目) 待ちになります。I/O インタフェースモードの場合は、通信異常の場合は発生しません。

Not Recommended for New Design

表.9 ブートプログラムの転送フォーマット [デバイス情報読み出しの場合] (1/2)

	転送バイト数	コントローラ→本デバイスへの 転送データ	ボーレート	本デバイス→コントローラへの 転送データ
ブート ROM	1 バイト目	シリアル動作モード & ボーレート設定 UART の場合 86H I/O インタフェースの場合 30H	指定された ボーレート *1	—
	2 バイト目	—		シリアル動作モードに対する ACK 応答 UART の場合 正常 (設定可能) の場合 86H (ボーレートの設定が不可能と判断した 場合は、動作停止) I/O インタフェースの場合 正常の場合 30H
	3 バイト目	動作コマンドデータ (30H)		—
	4 バイト目	—		動作コマンドに対する ACK 応答 *2 正常の場合 10H 異常の場合 × 1H 通信異常の場合 × 8H
	5 バイト目	—		フラッシュメモリデータ (0x4000_0470 番地)
	6 バイト目	—		フラッシュメモリデータ (0x4000_0471 番地)
	7 バイト目	—		フラッシュメモリデータ (0x4000_0472 番地)
	8 バイト目	—		フラッシュメモリデータ (0x4000_0473 番地)
	9 バイト目 ~ 20 バイト目	—		製品名 (アスキーコード、12 バイト) 9 バイト目から 'TX1943FD'
	21 バイト目 ~ 24 バイト目	—		Password 比較開始アドレス (4 バイト) 21 バイト目から 74H, 04H, 00H, 00H
	25 バイト目 ~ 28 バイト目	—		RAM 開始アドレス (4 バイト) 25 バイト目から 00H, 80H, FFH, FFH
	29 バイト目 ~ 32 バイト目	—		ダミーデータ (4 バイト) 29 バイト目から FFH, 8FH, FFH, FFH
	33 バイト目 ~ 36 バイト目	—		RAM 終了アドレス (4 バイト) 33 バイト目から FFH, DFH, FFH, FFH
	37 バイト目 ~ 40 バイト目	—		ダミーデータ (4 バイト) 37 バイト目から 00H, 90H, FFH, FFH
	41 バイト目 ~ 44 バイト目	—		ダミーデータ (4 バイト) 41 バイト目から FFH, CFH, FFH, FFH
	45 バイト目 ~ 46 バイト目	—		FUSE 情報 (2 バイト) 45 バイト目から 00H, 00H
	47 バイト目 ~ 50 バイト目	—		フラッシュメモリ開始アドレス (4 バイト) 47 バイト目から 00H, 00H, 00H, 00H
	51 バイト目 ~ 54 バイト目	—		フラッシュメモリ終了アドレス (4 バイト) 51 バイト目から FFH, FFH, 07H, 00H
	55 バイト目 ~ 56 バイト目	—		フラッシュメモリブロック分割数情報 (2 バイト) 55 バイト目から 04H, 00H
	57 バイト目 ~ 60 バイト目	—		フラッシュメモリ同一ブロックサイズの 開始アドレス (4 バイト) 57 バイト目から 00H, 00H, 00H, 00H

表.10 ブートプログラムの転送フォーマット [デバイス情報読み出しの場合] (2/2)

	転送バイト数	コントローラ→本デバイスへの 転送データ	ボーレート	本デバイス→コントローラへの 転送データ
ブート ROM	61 バイト目 ~ 64 バイト目	—		フラッシュメモリ同一ブロックサイズの サイズ (ハーフワード表現) (4 バイト) 61 バイト目から 00H, 00H, 01H, 00H
	65 バイト目	—		フラッシュメモリ同一ブロックサイズの 個数 (1 バイト) 04H
	66 バイト目	—		5 ~ 65 バイト目の CHECK SUM 値
	67 バイト目	(次の動作コマンドデータ待ち)		—

*1: I/O インタフェースモードの場合、1 バイト目と 2 バイト目のボーレートは、指定されたボーレート ÷ 16 で行ってください。

*2: 異常応答後は、動作コマンド (3 バイト目) 待ちになります。I/O インタフェースモードの場合は、通信異常の場合は発生しません。

(5) ブートプログラム

シングルブートモードで立ち上げるとブートプログラムが起動し、以下の機能を提供します。詳細は、1) RAM 転送コマンド ~ 3) 製品情報読み出しコマンドに記載してありますので、参照してください。

以下、特にことわりのない限りアドレスは仮想アドレスで表記します。

1. RAM 転送コマンド

RAM 転送は、コントローラから送られてくるデータを内蔵 RAM へ格納します。転送が正常に終了するとユーザープログラムの実行を開始します。ユーザープログラムのサイズは、最大 36K バイト、実行開始アドレスは、RAM 格納開始アドレスになります。

この RAM 転送機能により、ユーザー独自のオンボードプログラミング制御を行うことができます。ユーザープログラムでオンボードプログラミングを実行するためには、後章 3.5 で説明するフラッシュメモリコマンドシーケンスを使う必要があります。RAM 転送コマンドは、実行に先立ちパスワードの照合結果をチェックします。パスワードが一致していない場合、実行されません。

2. フラッシュメモリ SUM コマンド

フラッシュメモリ 512k バイトの SUM を計算しその結果を返します。ブートプログラムではフラッシュメモリの全エリアのデータを読み出す動作コマンドはサポートしていません。その代わりに、このフラッシュメモリ SUM コマンドがあります。SUM を読み出すことで、アプリケーションプログラムのレビジョンを管理することができます。

3. 製品情報読み出しコマンド

本デバイスの製品名やメモリ情報などを返します。デバイス情報読み出しコマンドでは、フラッシュメモリの一部エリア (0x0000_0470~0x0000_0473 番地) のデータを返します。フラッシュメモリ SUM コマンド以外に、このデータを用いることで、アプリケーションプログラムのレビジョンを管理することができます。

1) RAM 転送コマンド (表. 7参照)

- 1 バイト目のデータは、シリアル動作モードを判定するデータになります。シリアルの動作モードを認める方法は、後述の「シリアル動作モード判定」を参照してください。シリアルの動作モードで UART と判定した場合は、ボーレートの設定が可能かどうかを判定します。1 バイト目のデータは、受信を禁止した状態 (SCOMOD<RXE> = 0) にしています。

- UART で通信を行いたい場合
コントローラからターゲットボードへは、UART の設定で、所望のボーレートでデータを 86H にして送信してください。シリアルの動作モードの判定で UART と判定した場合、ボーレートの設定が可能かどうかを判定します。設定が不可能と判断した場合は動作を停止するため、通信が行えなくなります。ボーレートの設定が可能かどうかを判定する方法については、後述の「ボーレートの設定方法」を参照してください。
- I/O インタフェースで通信を行いたい場合
コントローラからターゲットボードへは、同期式の設定で、所望のボーレート ÷ 16 でデータを 30H にして送信してください。2 バイト目も同様に、所望のボーレート ÷ 16 にしてください。所望のボーレートで転送するのは、3 バイト目 (動作コマンドデータ) からにしてください。

I/O インタフェースの場合、CPU が受信端子を入力ポートとして見ており、その入力ポートのレベルの変化をモニタしています。したがって、ボーレートが早い場合や動作周波数が多い場合は、CPU はレベルの変化を判別できないことがあります。これを防ぐために I/O インタフェースの場合、ボーレートは所望のボーレート ÷ 16 で指定します。I/O インタフェースと判定した場合、SCLK 入力モードになります。コントローラは、AC タイミングを満足するボーレートで送信を行ってください。I/O インタフェースの場合、受信エラーフラグのチェックは行いません。したがって、ACK 応答データの通信異常 ACK (bit 3) (x8H) はありません。

- 2 バイト目の送信データは、1 バイト目のシリアル動作モード設定データに対する ACK 応答データになります。1 バイト目のデータが、UART と判定されボーレートの設定が可能な場合 86H を、I/O インタフェースと判定された場合 30H を送信します。

- UART と判定された場合
ボーレートの設定が可能かどうかを判定します。設定が可能と判定した場合、BROCR の値を書き替え、86H を送信し、設定が不可能と判定した場合、動作を停止するため何も送信しません。コントローラは、1 バイト目のデータの送信が終了した後、タイムアウト時間 (5 秒) を設けます。タイムアウト時間内に、データ (86H) を正常受信できなければ、通信不能と判断してください。受信を許可 (SCOMOD<RXE> = 1) するタイミングは、送信バッファにデータ (86H) を書き込む前に行っています。
- I/O インタフェースと判定された場合
I/O インタフェースの設定になるように SCOMOD、SCOCR の値を書き替え、SCOBUF に 30H を書き込み、SCLK0 クロックを待ちます。コントローラは、1 バイト目のデータ送信が終了した後、アイドル時間 (数m秒) 後、SCLK クロックを出力してください。このときのボーレートは、所望のボーレート ÷ 16 で行い、受信デ

ータが 30H なら、通信可能と判断してください。3 バイト目からは所望のポーレートで行ってください。受信を許可 (SCOMOD<RXE>= 1) するタイミングは、送信バッファにデータ (30H) を書き込む前に行っています。

3. 3 バイト目の受信データは、動作コマンドデータになります。この場合は、RAM 転送コマンドデータ (10H) になります。
4. 4 バイト目の送信データは、3 バイト目の動作コマンドデータに対する ACK 応答データになります。最初に、3 バイト目の受信データに受信エラーがあるかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ (bit 3) x8H を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは、不定値になります。(直前の動作コマンドデータの上位 4 ビットになります。) なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

次に、3 バイト目の受信データが、表. 6 の動作コマンドデータのいずれかに該当する場合は、受信データをエコーバック送信 (正常 ACK 応答データ) します。この場合、10H をエコーバック送信して RAM 転送処理ルーチンに分岐します。このルーチンに分岐後、パスワードエリアのデータをチェックします。パスワードエリアのデータのチェック方法は、後述の「パスワードについて」を参照してください。該当しない場合は、動作コマンドエラーの ACK 応答データ (bit 0) x1H を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは、不定値になります。(直前の動作コマンドデータの上位 4 ビットになります。)

5. 5 バイト目 ~ 16 バイト目の受信データは、パスワードデータ (12 バイト) になります。5 バイト目の受信データはフラッシュメモリの 0x0000_0474 番地のデータと照合し、6 バイト目の受信データはフラッシュメモリの 0x0000_0475 番地のデータと照合します。同様に 16 バイト目の受信データはフラッシュメモリの 0x0000_047F 番地のデータと照合します。一致していない場合、パスワードエラーフラグをセットします。
6. 17 バイト目の受信データは、CHECK SUM データになります。5 バイト目から 16 バイト目の送信データを符号なしの 8 ビット加算 (オーバフローを無視) して得られた下位 8 ビット値の 2 の補数をコントローラから送信してください。CHECK SUM データの計算方法は、後述の「CHECK SUM の計算方法」を参照してください。
7. 18 バイト目の送信データは、5 バイト目 ~ 17 バイト目のデータに対する ACK 応答データ (CHECK SUM 値に対する ACK 応答) になります。最初に、5 バイト目 ~ 17 バイト目の受信データに受信エラーがあるかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ (bit 3) 18H を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになるので、“1” になります。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

次に、17 バイト目の CHECK SUM データをチェックします。CHECK SUM データのチェック方法は、5 バイト目 ~ 17 バイト目までの受信データを符号なし 8 ビット加算 (オーバフローを無視) して得られた値の下位 8 ビットが、00H かどうかをチェックしています。00H 以外の場合、CHECK SUM エラーの ACK 応答データ (bit0) 11H を送信して、次の動作コマンド (3 バイト目) データ待ちになります。

最後に、パスワードの照合結果をチェックします。この場合、パスワードエラーの ACK 応答データ (bit 0) 11H を送信して、次の動作コマンド (3 バイト目) データ待

ちになります。

- 5バイト目～16バイト目のパスワードデータの照合結果に関わらず、パスワードエリアの12バイトのデータが、FFH以外の同一データの場合。
- 5バイト目～16バイト目のパスワードデータの照合がすべてが一致しない場合。

上記のチェックを終えて、すべて正常なら、正常 ACK 応答データ 10H を送信します。

8. 19バイト目～22バイト目までの受信データは、ブロック転送における格納先のRAMの開始アドレスを表します。19バイト目がアドレスの31ビット～24ビットに対応し、22バイト目が7ビット～0ビットに対応します。
9. 23バイト目、24バイト目の受信データは、ブロック転送するバイト数を表します。23バイト目が転送バイト数の15ビット～8ビット目に対応し、24バイト目が7ビット～0ビット目に対応します。
10. 25バイト目の受信データは、CHECK SUM データになります。19バイト目から24バイト目の送信データを符号なし8ビット加算（オーバフローを無視）して得られた下位8ビット値の2の補数値をコントローラから送信してください。CHECK SUM データ計算方法は、後述の「CHECK SUM の計算方法」を参照してください。
11. 26バイト目の送信データは、19バイト目～25バイト目のデータに対するACK 応答データ（CHECK SUM 値に対するACK 応答）になります。最初に、19バイト目～25バイト目の受信データに受信エラーがあるかどうかをチェックします。受信エラーがある場合、通信異常のACK 応答データ（bit 3）18Hを送信して、次の動作コマンド（3バイト目）データ待ちになります。送信データの上位4ビットは、直前の動作コマンドデータの上位4ビットになるので“1”になります。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

次に、25バイト目のCHECK SUM データをチェックします。CHECK SUM データのチェック方法は、19バイト目～25バイト目までの受信データを符号なし8ビット加算（オーバフローを無視）して得られた値の下位8ビットが、00Hかどうかをチェックしています。00H以外の場合、CHECK SUM エラーのACK 応答データ（bit 0）11Hを送信して、次の動作コマンド（3バイト目）データ待ちになります。

- 19バイト目～25バイト目のデータはRAM上のアドレス0xFFFFD_8000～0xFFFFD_EFFFの領域に納まるようにプログラムしてください。

上記のチェックを終えてすべて正常なら、正常 ACK 応答データ 10H を送信します。

12. 27 バイト目 ~ m バイト目の受信データは、RAM へ格納するデータになります。RAM に格納するデータを、19 バイト目から 22 バイト目で指定されたアドレスから書き込み、23 バイト目から 24 バイト目に指定されたバイト数分だけ書き込みます。
13. m + 1 バイト目の受信データは、CHECK SUM データになります。27 バイト目 ~ m バイト目の送信データを符号なし 8 ビット加算（オーバフローを無視）して得られた下位 8 ビット値の 2 の補数をコントローラから送信してください。CHECK SUM データの計算方法は、後述の「CHECK SUM の計算方法」を参照してください。
14. m + 2 バイト目の送信データは、27 バイト目 ~ 1 バイト目のデータに対する ACK 応答データ（CHECK SUM に対する ACK 応答）になります。最初に 27 バイト目 ~ m + 1 バイト目の受信データに受信エラーがあるかどうかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ (bit 3) 18H を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになるので “1” になります。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

次に、m + 1 バイト目の CHECK SUM データをチェックします。CHECK SUM データのチェック方法は、27 バイト目 ~ m + 1 バイト目までの受信データを符号なし 8 ビット加算（オーバフローを無視）して得られた値の下位 8 ビットが、00H かどうかをチェックしています。00H 以外の場合、CHECK SUM エラーの ACK 応答データ (bit 0) 11H を送信して、次の動作コマンド (3 バイト目) データ待ちになります。上記のチェックを終えてすべて正常なら、正常 ACK 応答データ 10H を送信します。

15. m + 2 バイト目の ACK 応答データが正常 ACK 応答データの場合、正常 ACK 応答データ 10H を送信後、19 バイト目 ~ 22 バイト目で指定されたアドレスに分岐 (32ISA) します。

2) フラッシュメモリ SUM コマンド (表. 8参照)

1. 1バイト目~2バイト目までの送受信データはRAM転送コマンドの場合と同一になります。
2. 3バイト目の受信データは動作コマンドデータになります。この場合は、フラッシュメモリ SUM コマンドデータ (20 H) になります。
3. 4バイト目の送信データは、3バイト目の動作コマンドデータに対する ACK 応答データになります。最初に、3バイト目の受信データに受信エラーがあるかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ (bit 3) x8H を送信して、次の動作コマンド (3バイト目) データ待ちになります。送信データの上位4ビットは不定値になります。(直前の動作コマンドデータの上位4ビットになります。) なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

次に、3バイト目の受信データが、表. 6の動作コマンドデータのいずれかに該当する場合は、受信データをエコーバック送信 (正常 ACK 応答データ) します。この場合、20H をエコーバック送信して、フラッシュメモリ SUM 処理ルーチンに分岐します。該当しない場合は、動作コマンドエラーの ACK 応答データ (bit 0) x1H を送信して、次の動作コマンド (3バイト目) データ待ちになります。送信データ上位4ビットは不定値になります。(直前の動作コマンドデータの上位4ビットになります。)

4. 5バイト目の送信データは SUM 値の上位データ、6バイト目の送信データは SUM 値の下位データになります。SUM の計算方法は、後述の「SUM の計算方法」を参照してください。
5. 7バイト目の送信データは、CHECK SUM データになります。5バイト目から6バイト目の送信データを符号なし8ビット加算 (オーバフローを無視) を行い、得られた下位8ビット値の2の補数を送信します。
6. 8バイト目の受信データは、次の動作コマンドデータになります。

3) 製品情報読み出しコマンド (参照)

- 1 バイト目 ~ 2 バイト目までの送受信データは RAM 転送コマンドの場合と同一になります。
- 3 バイト目の受信データは、動作コマンドデータになります。この場合は、製品情報読み出しコマンドデータ (30H) になります。
- 4 バイト目の送信データは、3 バイト目の動作コマンドデータに対する ACK 応答データになります。最初に、3 バイト目の受信データに受信エラーがあるかどうかをチェックします。受信エラーがある場合、通信異常の ACK 応答データ (bit 3) x8H を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは不定値になります。(直前の動作コマンドデータの上位 4 ビットになります。) なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

次に、3 バイト目の受信データが、表. 6 の動作コマンドデータのいずれかに該当する場合は、受信データをエコーバック送信 (正常 ACK 応答データ) します。この場合、30H をエコーバック送信して、製品情報読み出し処理ルーチンに分岐します。該当しない場合は、動作コマンドエラーの ACK 応答データ (bit 0) x1H を送信して、次の動作コマンド (3 バイト目) データ待ちになります。送信データの上位 4 ビットは不定値になります。(直前の動作コマンドデータの上位 4 ビットになります。)

- 5 バイト目 ~ 8 バイト目の送信データは、フラッシュメモリのデータ (0x0000_0470 番地~0x0000_03F3 番地のデータ) になります。この番地にソフトなどの ID 情報を書き込んでおくことにより、書き込んだソフトのバージョン管理をすることができます。
- 9 バイト目 ~ 20 バイト目の送信データは製品名になります。9 バイト目から、アスキーコードで、'TX1943FD_ _ _' を送信します。
- 21 バイト目 ~ 24 バイト目の送信データはパスワード比較開始アドレスになります。21 バイト目から、F4H、03H、00H、00H を送信します。
- 25 バイト目 ~ 28 バイト目の送信データは RAM 開始アドレスになります。25 バイト目から、00H、80H、FDH、FFH を送信します。
- 29 バイト目 ~ 32 バイト目の送信データはダミーデータになります。29 バイト目から、FFH、8FH、FDH、FFH を送信します。
- 33 バイト目 ~ 36 バイト目の送信データは RAM 終了アドレスになります。33 バイト目から、FFH、FFH、FDH、FFH を送信します。
- 37 バイト目 ~ 40 バイト目の送信データは、00H、90H、FDH、FFH になります。
41 バイト目 ~ 44 バイト目の送信データは、FFH、EFH、FDH、FFH になります。
- 45 バイト目 ~ 46 バイト目の送信データは、セキュリティビットやプロテクトビットの有無やフラッシュメモリがブロック分割されているかどうかを各ビットに割り付けたデータになります。0 ビット目は、セキュリティビットの有無を示します。“0” はセキュリティビットがあることを、“1” はセキュリティビットがないことを示します。1 ビット目は、プロテクトビットの有無を示します。“0” はプロテクトビット

があることを、“1”はプロテクトビットがないことを示します。2ビット目は、フラッシュメモリがブロック分割されているかどうかを示します。“0”は分割されていることを、“1”は分割されていないことを示します。3ビット目～15ビット目は未定義です。45バイト目から、01H、00Hを送信します。

12. 47バイト目～50バイト目の送信データは、フラッシュメモリ開始アドレスになります。47バイト目から、00H、00H、00H、00Hを送信します。
13. 51バイト目～54バイト目の送信データは、フラッシュメモリ終了アドレスになります。51バイト目から、FFH、FFH、07H、00Hを送信します。
14. 55バイト目～56バイト目の送信データは、フラッシュメモリのブロック分割数になります。55バイト目から、04H、00Hを送信します。
15. 57バイト目～92バイト目の送信データは、フラッシュメモリのブロック情報になります。ブロック情報は、フラッシュメモリ開始アドレスから見たとき、同一ブロックサイズが何ブロック続いているかを一単位とし、同一ブロックサイズの先頭の開始アドレスとブロックサイズ（ハーフワード単位）およびブロックの個数で表します。

57バイト目～65バイト目の送信データは、128kバイトのブロック (Block0~Block3) を表します。送信データについては、を参照してください。
16. 66バイト目の送信データは、CHECK SUM データになります。5バイト目から65バイト目の送信データを符号なし8ビット加算（オーバフローを無視）して、得られた下位8ビット値の2の補数を送信します。
17. 67バイト目の受信データは、次の動作コマンドデータになります。

4) ACK 応答データ

ブートプログラムは処理状況を各種コードによってコントローラに送信します。表 11から表 13に各受信データに対する ACK 応答データを示します。ACK 応答データの上位 4 ビットは、動作コマンドデータの上位 4 ビットになります。また 3 ビット目は受信エラーを表し、0 ビット目は動作コマンドエラー、CHECK SUM エラー、パスワードエラーの状態を表します。1 ビット目と 2 ビット目は常に 0 になります。なお、I/O インタフェースの場合、受信エラーのチェックは行いません。

表 11 シリアル動作判定データに対する ACK 応答データ

送信データ	送信データの意味
0x86	UART での通信が可能と判定した。*1
0x30	I/O インタフェースでの通信が可能と判定した。

*1: UART の場合、ボーレートの設定が不可能と判定したら、何も送信しないで動作を停止します。

表 12 動作コマンドデータに対する ACK 応答データ

送信データ	送信データの意味
0x?8 *1	動作コマンドデータに受信エラーが発生した。
0x?1 *1	未定義の動作コマンドデータを正常受信した。
0x10	RAM 転送コマンドと判定した。
0x20	フラッシュメモリ SUM コマンドと判定した。
0x30	製品情報読み出しコマンドと判定した。

*1: 上位 4 ビットは、直前の動作コマンドデータの上位 4 ビットになります。

表 13 CHECK SUM データに対する ACK 応答データ

送信データ	送信データの意味
0xN8 *2	受信エラーが発生していた。
0xN1 *2	CHECK SUM エラーが発生した。あるいは、パスワードエラーが発生した。
0xN0 *2	CHECK-SUM 値は正常な値と判定した。

*2: 上位 4 ビットは動作コマンドデータの上位 4 ビットになります。例えば、パスワードエラー発生時は 1(N=RAM 転送コマンドデータ[7:4])となります。

5) シリアル動作モード判定

コントローラは、UART で通信したい場合、所望のボーレートで1バイト目を86Hにし、I/O インタフェースで通信したい場合、所望のボーレート ÷ 16 で1バイト目を30Hにして送信してください。図 2-4にそれぞれの場合の波形を示します。

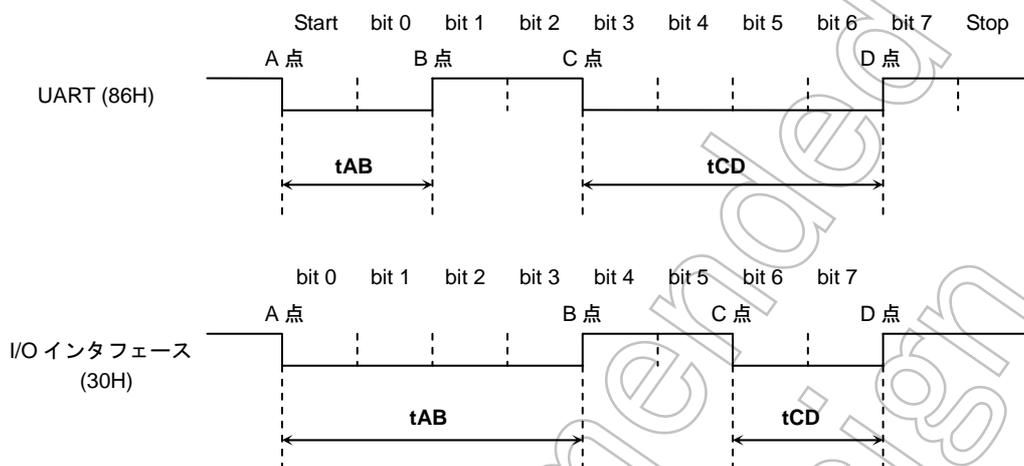
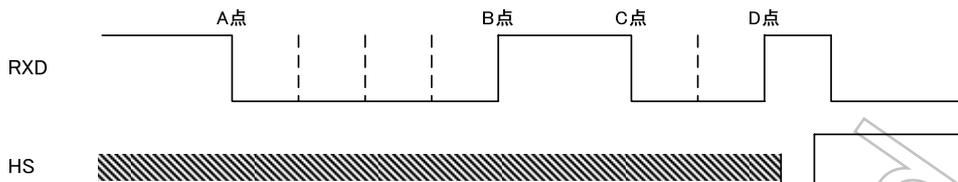


図 2-4 シリアル動作モード判定データ

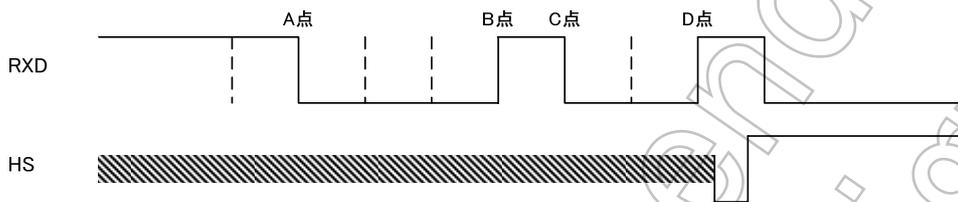
ブードプログラムは、リセット解除後の1バイト目のシリアル動作モード判定データ (86H、30H) を受信禁止状態にして、図 2-5 に示すフローチャートで、図 2-4 の t_{AB} 、 t_{AC} と、 t_{AD} の時間を求めています。図 2-5 のフローチャートに示すように、CPU が受信端子のレベルをモニタしてレベルの変化があると、そのときのタイマ値を取り込みます。このため、 t_{AB} 、 t_{AC} と、 t_{AD} のタイマ値には誤差が生じます。また、ボーレートが速いときには、CPU は受信端子のレベルの変化を判断できない場合がありますので注意してください。特に、I/O インタフェースは UART に比べボーレートが速いため、このような場合が発生しやすくなります。このようなことが起こらないようにするために、I/O インタフェースの場合、コントローラのボーレートは所望ボーレート ÷ 16 にして送信してください。

同期式通信を行う場合、1バイト目の通信波形は $t_{AB} > t_{CD}$ を満足していれば、30H である必要はありません。ただし、1バイト目は SIO(ch0) 機能を使用していないため、シリアルクロック (SCLK0) を認識しません。A 点立下りを確実に認識させるために RESET 後すぐに "1" を RXD0 端子に入力してください。同期式通信が選択された場合、2バイト目の通信データは、1バイト目のデータによらず 30H となります。下図例で同期式が選択された場合、1バイトデータの通信中でも D 点立ち上がり以降にハンドシェイク端子が "H" 出力され、2バイト目のシリアルクロックを待ちます。このため1バイト目にシリアルクロックを入力する場合は、2バイト目のシリアルクロックと判定しないようなデータ (波形) として入力する必要があります。

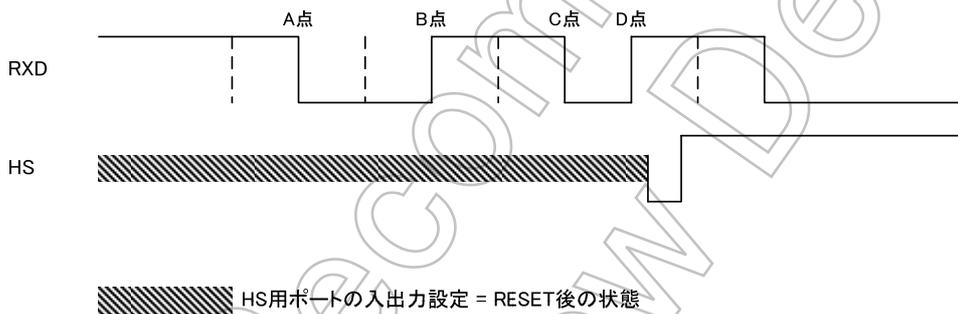
1バイト目の送信データ = 0x30



1バイト目の送信データ = 0x91



1バイト目の送信データ = 0xD9



図の RXD=RXD0 ポート, HS=P67 ポート

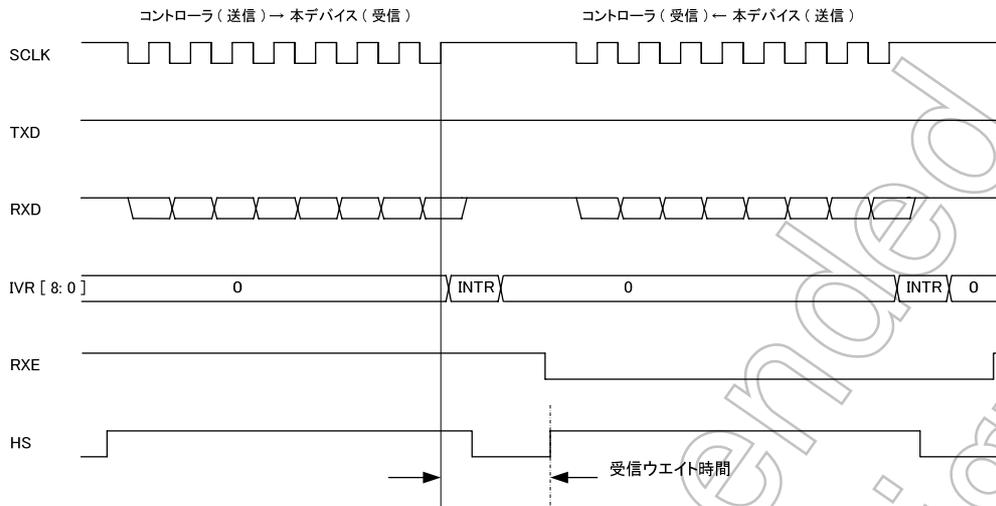
図 2-5 のフローチャートに示すように、シリアル動作モードの判定は、受信端子が “L” レベルのときの時間幅の大小関係で判定しています。tAB ≤ tCD の場合 UART と判定し、ボーレートの自動設定が可能かどうかを tAD の時間から判定します。tAB > tCD の場合、I/O インタフェースと判定します。なお、先に述べたように、tAB、tAC、tAD のタイマ値には誤差が生じているため、ボーレートが速く、動作周波数が遅い場合、各タイマ値が小さくなり、意図しない判断を行うことがありますので注意してください。

例えば、コントローラは UART で通信したいのに、I/O インタフェースと判定してしまうことがあります。このようなことを考慮して、コントローラは UART で通信したい場合、1 バイト目のデータを送信後、タイムアウト時間内にデータ 86H を正常受信できなければ通信不可能と判断してください。また、I/O インタフェースで通信したい場合 1 バイト目のデータを送信後、アイドル時間後に SCLK クロックを出力してデータを受信し、受信データが 30H でなければ通信不可能と判断してください。

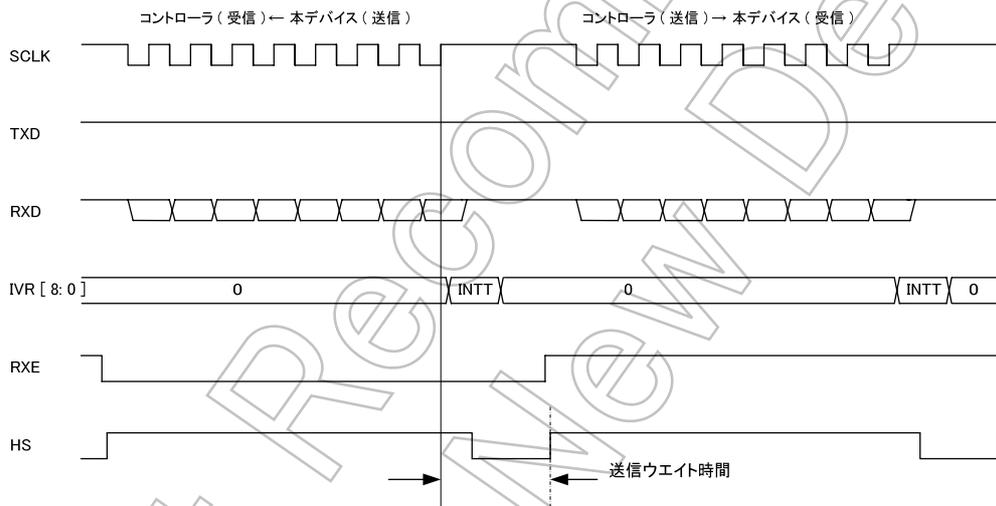
同期式通信時のハンドシェイク端子の出力値が “L” のときは通信後のデータ処理中です（送信ウェイト時間 / 受信ウェイト時間）。この期間にシリアルクロックを入力しても正常応答動作しません。通信可能になった場合ハンドシェイク端子を “H” 出力に変えます。下図の送受信ウェイト時間は、動作周波数やボーレートによって異なります。通信後のデータ処理内容によって送受信ウェイト時間が変わります。コントローラはデータ送受信後にハンドシェイク端子が “L” 出力、つい

で”H”出力になるのをモニタしてください。

ハンドシェイク波形と受信ウエイト時間



ハンドシェイク波形と送信ウエイト時間



図の SCLK=SCLK0 ポート, TXD=TXD0 ポート, RXD=RXD0 ポート, HS=P67 ポート, INTT = IMINTTXD0, INTR=IMINTRXD0, RXE=SCOMODO<RXE>

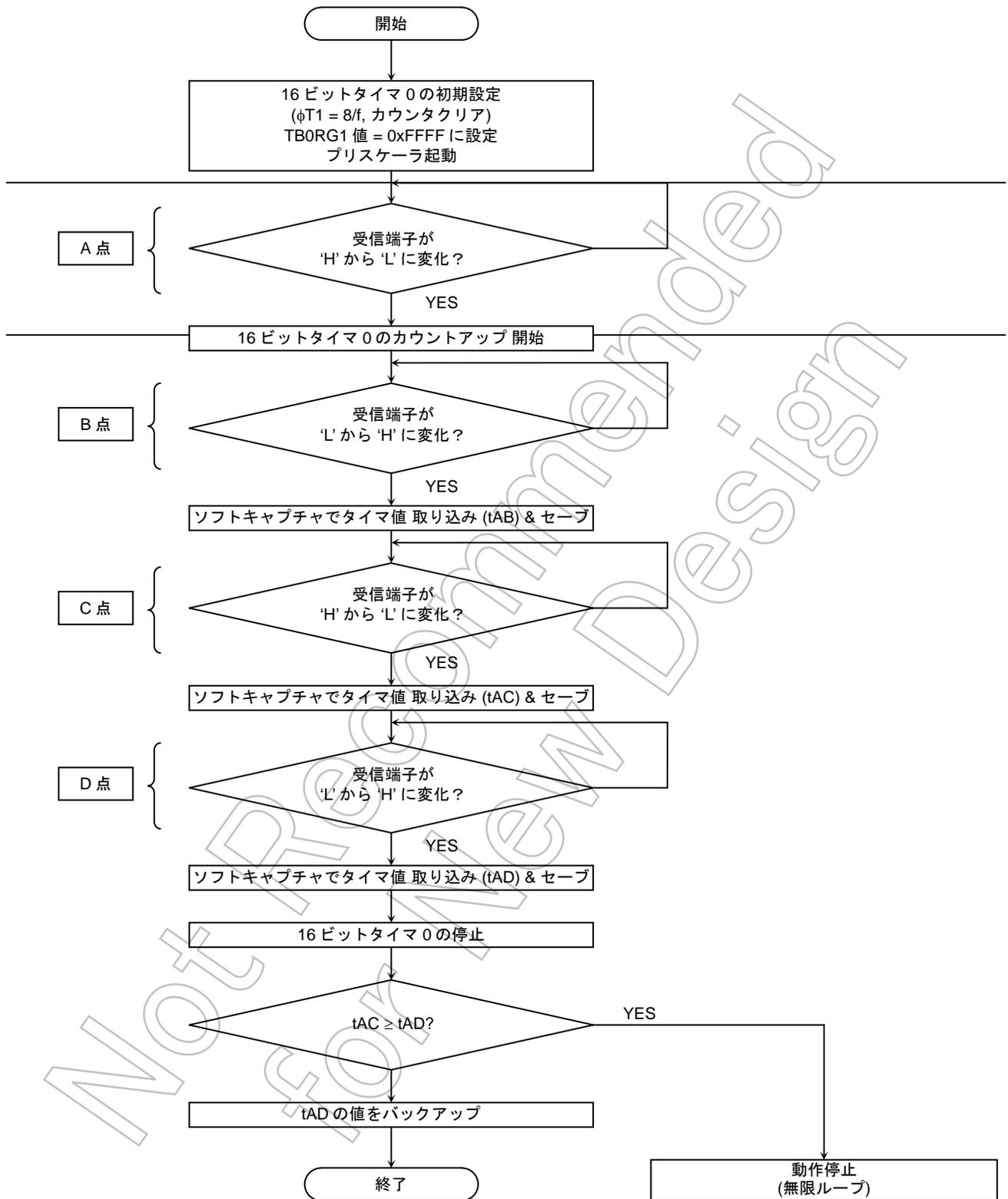


図 2-5 シリアル動作モード受信フローチャート

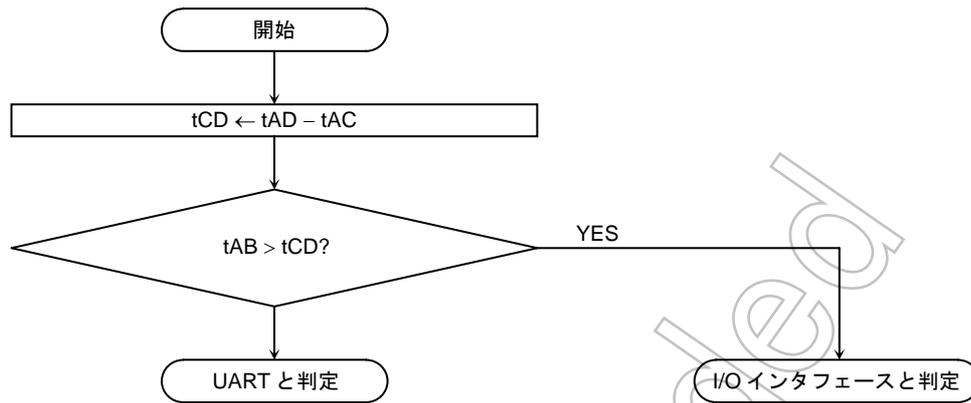


図 2-6 シリアル動作モード判定フローチャート

Not Recommended for New Design

6) パスワードについて

動作コマンドデータが RAM 転送コマンド (10H) の場合、パスワードのチェックを行います。まず、動作コマンドデータをエコーバック送信 (10H) 後、パスワードエリア (0x0000_0474 番地~0x0000_047F 番地) のデータ (12 バイト) をチェックします。

図 2-に示すようにパスワードエリアのデータが、FFH 以外の同一データになっていた場合、パスワードエリアエラーと判定します。パスワードエリアエラーと判定された場合、パスワードデータの照合結果に関わらず、17 バイト目の CHECK SUM 値に対する ACK 対応は 11H を送信します。

次に、5 バイト目 ~ 16 バイト目の受信データ (パスワードデータ) の照合を行います。表 14 に対応表を示します。12 バイト分すべてが一致しないと、パスワードエラーになります。パスワードエラーと判定された場合、17 バイト目の CHECK SUM 値に対する ACK 応答は、パスワードエラーとなります。

図 2-7 に示すようにパスワードエリアのデータが、0xFF 以外の同一データになっていた場合、パスワードエリアエラーと判定します。パスワードエリアエラーと判定された場合、パスワードデータの照合結果に関わらず、17 バイト目の CHECK SUM 値に対する ACK 対応は 0x11 を送信します

ROM セキュリティ状態では、実際のパスワードデータではなくマスクされたアドレスのデータをパスワードとして扱います。パスワードエリアのデータを使用する場合はあらかじめ ROM セキュリティ機能を解除しておきます。

Not Recommended for New Design

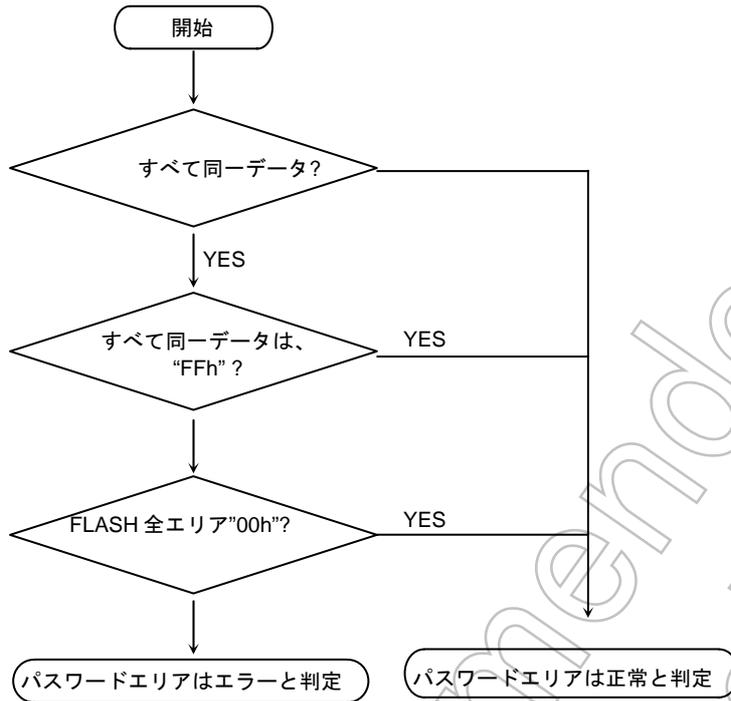


図 2-7 パスワードエリアチェックフローチャート

表14 受信データと照合するデータの対応

受信データ	照合するデータ	
	ROM プロテクト OFF	ROM プロテクト ON
5 バイト目	0x0000_0474 番地のデータ	0x0000_0004 番地のデータ
6 バイト目	0x0000_0475 番地のデータ	0x0000_0005 番地のデータ
7 バイト目	0x0000_0476 番地のデータ	0x0000_0006 番地のデータ
8 バイト目	0x0000_0477 番地のデータ	0x0000_0007 番地のデータ
9 バイト目	0x0000_0478 番地のデータ	0x0000_0000 番地のデータ
10 バイト目	0x0000_0479 番地のデータ	0x0000_0001 番地のデータ
11 バイト目	0x0000_047A 番地のデータ	0x0000_0002 番地のデータ
12 バイト目	0x0000_047B 番地のデータ	0x0000_0003 番地のデータ
13 バイト目	0x0000_047C 番地のデータ	0x0000_0004 番地のデータ
14 バイト目	0x0000_047D 番地のデータ	0x0000_0005 番地のデータ
15 バイト目	0x0000_047E 番地のデータ	0x0000_0006 番地のデータ
16 バイト目	0x0000_047F 番地のデータ	0x0000_0007 番地のデータ

7) SUM の計算方法

SUM の計算方法は、バイト + バイト + バイト + …… + バイトの結果をワードで返します。つまり、バイトでデータを読み出して符号なし 8 ビット加算を行い、計算結果をワードで求めています。コントローラへは、SUM の上位 8 ビットデータ、下位 8 ビットデータの順番で送信します。SUM の計算対象のデータは、フラッシュメモリ全エリア (512k バイト) のデータになります。フラッシュメモリ SUM コマンドを実行したときに返される SUM は、本計算方法を使用しています。

例)

A1H
B2H
C3H
D4H

左記 4 バイトが計算対象データの場合、SUM の値は、

$$A1H + B2H + C3H + D4H = 02EAH$$

となるので、

SUM の上位のデータは、02H、

SUM の下位のデータは、EAH になります。

したがって、コントローラには 02H、EAH の順番で送信します。

8) CHECK SUM の計算方法

CHECK SUM の計算方法は、送信データを符号なし 8 ビット加算 (オーバーフローを無視) して得られた下位 8 ビット値の 2 の補数値を求めています。フラッシュメモリ SUM コマンド、製品情報読み出しコマンドを実行したときに返される CHECK SUM は、本計算方法を使用しています。また、コントローラは CHECK SUM 値を送信するときは、本計算方法を使用してください。

例) フラッシュメモリ SUM コマンドのときを例に説明します。

SUM の上位 8 ビットデータが E5H、下位 8 ビットデータが F6H の場合の CHECK SUM 値を求めます。

まず、符号なし 8 ビット加算して得られた値を求めます。

$$E5H + F6H = 1DBH$$

この値の下位 8 ビットに対しての 2 の補数をとると以下ようになり、この値が CHECK SUM 値になります。したがって、コントローラには 25H を送信します。

$$0 - DBH = 25H$$

(6) ブートプログラム全体フローチャート

ブートプログラム全体フローチャートを示します。

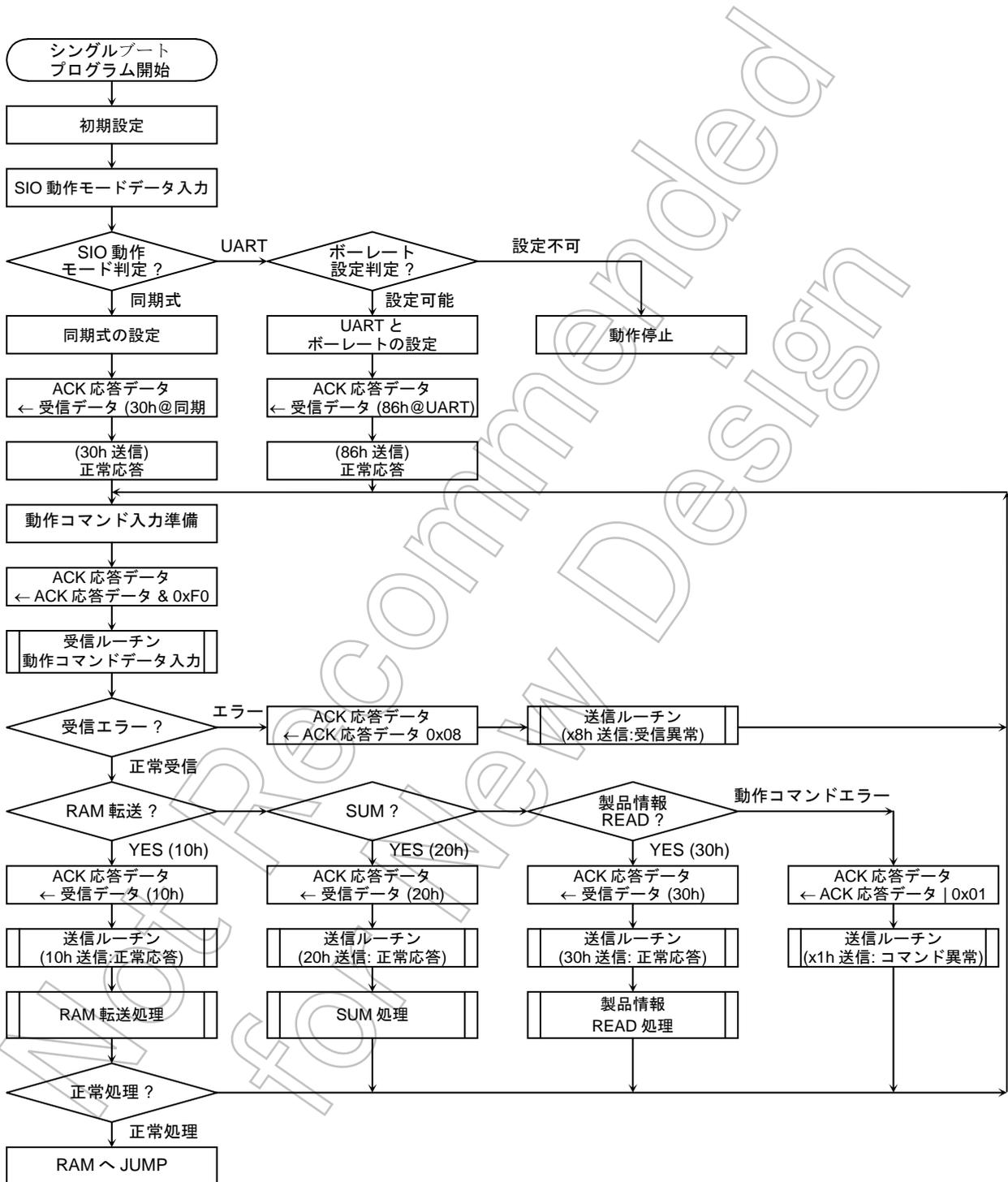


図 2-8 ブートプログラム全体フローチャート

2.3 オンボードプログラミングでのフラッシュメモリ書き込み/消去

オンボードプログラミングでは、CPU によりソフトウェア的にコマンドを実行することで、フラッシュの書き込み/消去を行います。この書き込み/消去の制御プログラムはユーザーがあらかじめ用意しておきます。フラッシュメモリの書き込み/消去を行っている間は、フラッシュメモリ自身の読み出しはできませんので、ユーザーブートモードに移行後、書き込み/消去制御プログラムは内蔵 RAM もしくは外部メモリ上で実行してください。この章では特に断りの無い限り、フラッシュメモリを仮想アドレスで表記します。

2.3.1 フラッシュメモリ

一部の機能を除き、フラッシュメモリの書き込みおよび消去などは JEDEC 標準コマンドに準拠しています。書き込み、消去を行う場合、CPU の SW 命令を用いてフラッシュメモリへコマンドを入力します。コマンド入力後、書き込みおよび消去は内部で自動的に行われます。

表 2-15 フラッシュメモリの機能

主な機能	説明
自動ページプログラム	データ書き込みを自動で行います。
自動チップ消去	フラッシュメモリ全エリアの一括消去を自動で行います。
自動ブロック消去	ブロック単位での消去を自動で行います。(128K バイト単位)
ライトプロテクト	ブロック単位(128K バイト)ごとに書き込みおよび消去を禁止することができます。全ブロックにプロテクトを掛けると自動的にプロテクト機能が有効になります。
プロテクト機能	4 ビットのプロテクトビット書き込みによってブロックごとに書き込みおよび消去を禁止することができます。

ユーザーブートモードもしくは RAM 転送の詳細な動作説明は後述しますが、CPU とのインターフェースの関係上、動作コマンドのアドレス指定が標準コマンドとは異なります。また、特に断りのない限りフラッシュメモリの書き込みは 32 ビット単位で行います。フラッシュメモリへの書き込みは、32 ビット (ワード) のデータ転送命令を用いてください。

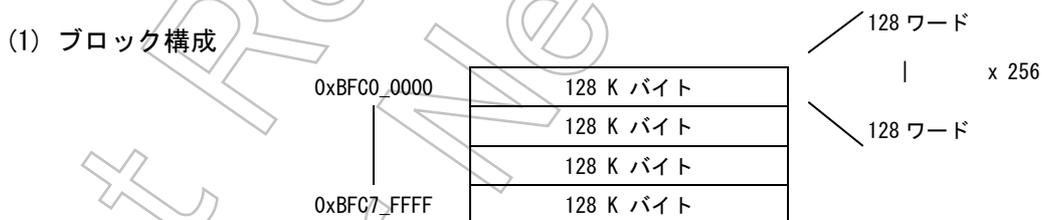


図 2-9 フラッシュメモリのブロック構成

(2) 基本動作

このフラッシュメモリには、大きく分けて以下の2種類の動作モードがあります。

- メモリデータを読み出すモード（リードモード）
- メモリデータを自動的に消去/書き替えるモード（自動動作）

リードモード中にコマンドシーケンスを実行することで、自動動作に移ることができます。自動動作中は、フラッシュメモリデータの読み出しとフラッシュメモリ上の命令の実行ができません。自動動作中はハードウェアリセットを除いて割り込みや例外が発生した場合、リードモードに移りません。自動動作中はDSU-PROBE接続時のデバッグ例外とリセットを除いて、全ての例外を発生させないでください。ハードウェアリセットを除いて割り込みや例外が発生した場合、リードモードに移行しません。

1) リード

データを読み出す場合、フラッシュメモリをリードモードにします。電源投入直後、CPUリセット解除後および自動動作の正常終了時に、フラッシュメモリはリードモードになります。自動動作の異常終了時や、他のモードからリードモードに復帰させるには、後述するRead/リセットコマンド（ソフトウェアリセット）もしくはハードウェアリセットを用います。フラッシュメモリに書かれた命令を実行する場合もリードモードでなければなりません。

- **Read/リセットコマンド 及び Read コマンド(ソフトウェアリセット)**

自動動作が異常終了した場合、フラッシュメモリは自動ではリードモードに復帰しません（ $FLCS\langle RDY/BSY \rangle = "0"$ となっている状態では、フラッシュメモリの読み出し値は不定）。この場合、Read/リセットコマンドでフラッシュメモリをリードモードに復帰させます。また、途中までコマンドライトしたコマンドをキャンセルする場合も、Read/リセットコマンドでリードモードに復帰させる必要があります。Read コマンドは、フラッシュメモリの任意のアドレスに 0x0000_00F0 データを SW 命令実行してリードモードに復帰するコマンドです。

- **Read/リセットコマンドは第3バスライトサイクル終了後にリードモードになります。**

2) コマンドライト

このフラッシュメモリは、コマンドコントロール方式を用いています。コマンド実行は、フラッシュメモリに対してコマンドシーケンスを実行することで行います。フラッシュメモリは、入力されたアドレスとデータの組み合わせによって各自動動作コマンドを実行します（コマンドシーケンス参照）。

コマンドシーケンスの途中でコマンドライトをキャンセルしたい場合や、間違ったコマンドシーケンスを入力した場合は、Read/リセットコマンドを実行します。フラッシュメモリはコマンド実行を中止してリードモードになります。

各コマンドはいくつかのバスサイクルで構成されており、フラッシュメモリに対して SW 命令を実行するものを“バスライトサイクル”と呼びます。各バスライトサイクルには順番があり、フラッシュメモリはバスライトサイクルのアドレスとデータが規定の順番でコマンドライトされた時は自動動作を実施します。規定の順番でコマンドライトされなかったバスライトサイクルがあった場合にフラッシュメモリはコマンドの実行を中止してリードモードになります。各バスライトサイクルのアドレス[31:21]は、コマンドを実施する仮想アドレス[31:21]をコマンドライトします。アドレスの[20:8]に関しては後で説明します。

- (注意1) 各コマンドシーケンスは、フラッシュメモリ外のエリアから実施します。
- (注意2) 本デバイスへのバスライトサイクル間隔は 15 システムクロック以上にしてください。フラッシュメモリのコマンドシーケンサがバスライトサイクルを認識するのに必要な時間があり、この時間内に複数のバスライトサイクルが実施されたときは、正常に動作しません。使用される動作周波数でのソフトウェアタイマ等によるバスライトサイクル間隔の調整は 10) ID-Read を使用して確認してください。
- (注意3) 各バスライトサイクルの間に、フラッシュメモリに対するロード命令 (LW, LH, LB 命令等) およびフラッシュエリアをソースアドレスに指定して DMA 転送を実施しないでください。また、フラッシュメモリへの JUMP 命令を実行しないでください。各コマンドシーケンスの実行中にマスカブル割り込みなど、全ての割り込み (DSU-PROBE 接続時は、デバッグ例外を除く) を発生させないでください。
- これらの動作により、フラッシュメモリに対して予期せぬリードアクセスが生じることになり、コマンドシーケンサがコマンドを正常に認識できない恐れがあります。各コマンドシーケンスは正常終了しない恐れがあると同時に、誤ったコマンドライトとして認識してしまう可能性が有ります。
- (注意4) 各バスライトサイクルの SW 命令直後に SYNC 命令を実行してください。
- (注意5) コマンドシーケンサがコマンドを認識するために、コマンド開始前の状態がリードモードである必要があります。各コマンドシーケンスの第1バスライトサイクル前に FLCS[0]RDY/BSY = 1 であることを確認してください。続いて Read コマンドを実行することを推奨します。
- (注意6) コマンド発行時、誤ったアドレスやデータをライトした場合は、必ずシステムリセットもしくは、リセットコマンドを発行して、一度リードモードに戻して下さい。

3) リセット

ハードウェアリセット

本フラッシュメモリはメモリブロックとしてリセット入力を持ち、この入力は CPU のリセット信号とつながっています。このため、本デバイスの RESET 入力端子が V_{IL} となるか、ウォッチドッグタイマのオーバフローなどにより CPU のリセットがかかると、フラッシュメモリは自動動作の実行中であってもその動作を中止し、リードモードに戻ります。また、自動動作が異常終了したときや、コマンドを用いてセットしたモードを解除するときも CPU のリセットによりリードモードへ復帰します。なお、自動動作の実行中にハードウェアリセットが入った場合は、データの書き替えが正常に行えませんので注意が必要です。再度、書き替えを行う処置をしてください。

CPU のリセット動作については、「2.2.1リセット動作」を参照してください。所定のリセット入力後、CPU はフラッシュメモリよりリセットベクタデータをリードし、リセット解除後の動作を開始します。

4) 自動ページプログラム

フラッシュメモリへの書き込みは、“1” データセルを “0” データにすることです。“0” データセルを “1” データにすることはできません。“0” データセルを “1” データにするには消去動作を行う必要があります。

本デバイスの自動ページプログラムは、128 ワードごとの書き込みとなります。この 128 ワードはアドレス [31:9] が同じで、先頭アドレス [8:0] = 0、最後のアドレス [8:0] = 0x1FF のグループです。以降はページプログラムの単位をページと呼びます。

データセルへの書き込みは、内部シーケンサで自動的に行われ、CPU による外部からの制御を必要としません。自動ページプログラムの状態（書き込み動作中であるか）はレジスタ FLCS[0]〈RDY/BSY〉にて確認できます。

また、自動ページプログラム中は、新たにコマンドシーケンスを受け付けません。自動ページプログラム動作を中止したい場合は、ハードウェアリセットを用います。これにより動作を中止させた場合、該当のページに対するデータの書き込みは正常に行われていないため、消去動作後に改めて自動ページプログラムを実行する必要があります。

自動ページプログラムは消去後のページに対して1回のみ可能で、“1”データセルであっても“0”データセルであってもページに対して2回以上の実行はできません。一度書き込み動作を行ったページに対して再度書き込みを行う場合は、自動ブロック消去または自動チップ消去コマンドを行った後に自動ページプログラムを実行しなおす必要がありますのでご注意ください。消去動作を伴わない同一ページへの2回以上ページプログラム実施はデバイス破損の可能性が有ります。

本デバイス内部で自動的なベリファイ動作は行いません。正常に書き込みができたか、実行後に読み出しをして確認してください。

自動ページプログラムは、コマンドサイクルの第4バスライトサイクル終了から開始します。第5バスライトサイクル以降は、第4バスライトサイクルで指定した次のアドレス（第4バスライトサイクルではページの先頭アドレスをコマンドライトします）から順番に書き込みを行います（データ入力は32ビット単位で行います）。第4バスライトサイクル以降のコマンドライトは必ずSW命令を使用してください。このときSW命令はワード境界をまたいだ位置へ実施しないでください。第5バスライトサイクル以降は同一ページエリアに対してデータをコマンドライトします。また、ページの一部に書き込みをしたい場合でもページ単位で自動ページプログラムする必要があります。この場合も第4バスライトサイクルのアドレス入力はページ先頭アドレスにしてください。この時“0”データセルにしたくない箇所は入力データを“1”にしてコマンドライトします。例えば、あるページ先頭アドレスの書き込みをしない場合、第4バスライトサイクルのデータ入力を0xFFFFFFFFとしてコマンドライトします。

第4バスライトサイクルを実行すると自動プログラム動作中となります。このことはレジスタ FLCS[0]〈RDY/BSY〉(表 2-16)をモニタすることで確認できます。自動プログラム動作中は、新たなコマンドシーケンスを受け付けません。動作を中止する場合は、ハードウェアリセットを用います。動作を中止させた場合は、データの書き込みは正常に行えませんので注意してください。1ページのデータをコマンドライト後、ページ自動書き込みが正常終了した時にFLCS[0]〈RDY/BSY〉 = “1” となり、リードモードに復帰します。

複数のページに対してデータの書き込みを行うときは、ページ毎にページプログラムコマンドを実行する必要があります（1回の自動ページプログラムコマンドで書き込めるサイズは1ページです）。ページを跨ったデータ入力の自動ページプログラムは出来ません。

プロテクトされたブロックへの書き込みはできません。自動プログラムが正常終了すると、自動的にリードモードに復帰します。このことはFLCS[0]〈RDY/BSY〉(表 2-16)をモニタすることで確認できます。自動プログラム動作が不良となった場合は、フラッシュメモリはこのモードのままロックされ、リードモードには復帰しません。リード状態に復帰させるにはリセットコマンドかハードウェアリセットでフラッシュメモリまたはデバイスをリセットする必要があります。この場合、このアドレスへの書き込みが不良になっていますので、デバイスの使用を停止するか、以後このアドレスを含むブロックを使用しないことを推奨します。

注：自動ページプログラム第4バスライトサイクル以降のバスライトサイクルでは、ソフトウェアリセットが無効になります。

5) 自動チップ消去

自動チップ消去動作は、コマンドサイクルの第6バスライトサイクル終了から開始します。

FLCS[0]<RDY/BSY>(表 2-16)をモニタすることで確認できます。本デバイス内部で自動的なベリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。自動チップ消去動作中は、新たなコマンドシーケンスを受け付けません。動作を中止する場合は、ハードウェアリセットを用います。動作を中止した場合、データの消去は正常に行えないので、再度自動チップ消去を行う必要があります。

また、プロテクトされているブロックがある場合、そのブロックの消去は行いません。すべてのブロックがプロテクトされている場合は、自動チップ消去を実行せず、コマンドシーケンスの第6バスライトサイクルの完了後にリードモードになります。自動チップ消去が正常終了すると、自動的にリードモードに復帰します。自動チップ消去動作が不良となった場合は、フラッシュメモリはこのモードのままロックされ、リードモードには復帰しません。

リードモードに復帰させるにはリセットコマンドかハードウェアリセットでフラッシュメモリもしくはデバイスをリセットする必要があります。この場合は、不良が発生したブロックの検知はできません。デバイスの使用を停止するか、ブロック消去機能を利用して不良ブロックを特定し、以降不良ブロックを使用しないことを推奨します。

6) 自動ブロック消去(128KB単位)

自動ブロック消去は、コマンドサイクルの第6バスライトサイクル終了から開始します。

自動ブロック消去動作の状態は、FLCS[0]<RDY/BSY>(表 2-16)をモニタすることで確認できます。本デバイス内部で自動的なベリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。自動ブロック消去中は新たなコマンドシーケンスを受け付けません。動作を中止する場合は、ハードウェアリセットを用います。この場合、データの消去は正常に行えませんので、再度自動ブロック消去を行う必要があります。

また、プロテクトされているブロックがある場合、そのブロックの消去を行いません。自動ブロック消去動作が不良になった場合、フラッシュメモリはこのモードのままロックされ、リードモードには復帰しません。リセットコマンドかハードウェアリセットを用いてフラッシュメモリまたは、デバイスをリセットしてください。

7) 自動プロテクトビットプログラム

本デバイスは4ビットのプロテクトビットを内蔵しています。自動プロテクトビットプログラムは1ビット単位で実行できます。ビットの指定は第7バスライトサイクルで行います。自動プロテクトビットプログラムにより、ブロックごとに書き込みと消去の動作を禁止(プロテクト)することができます。各ブロックのプロテクトの状態は後で説明するFLCS<BLPRO 3:0>で確認できます。自動プロテクトビットプログラム動作の状態は、FLCS<RDY/BSY>(表 2-16)をモニタすることで確認できます。自動プロテクトビットプログラム動作中は新たなコマンドシーケンスを受け付けません。動作を中止する場合は、ハードウェアリセットを用います。この場合、プロテクトの設定は正常に行えない可能性がありますので、再度ブロックプロテクトの動作をやり直す必要があります。全てのプロテクトビットをプログラムした後は、内蔵RAM等のフラッシュメモリ以外のエリアからフラッ

シユメモリの読み出しを行うことはできません。この時 FLCS<BLPRO 3:0> = 0xF (表 2-16) になっています (プロテクト状態)。これ以降はコマンドライトも正常に実施できません。

注：自動プロテクトビットプログラム第7バスライトサイクルでは、ソフトウェアリセットが無効になります。FLCS<RDY/BSY> は、第7バスライトサイクル入力後から、FLCS<RDY/BSY> = “0” となります。

8) 自動プロテクトビット消去

プロテクトビットの状態によって、自動プロテクトビット消去コマンドの実行結果が異なります。コマンド実行前に FLCS<BLPRO 3:0> = 0xF か、それ以外の値かで決まります。自動プロテクトビット消去コマンド実施前に必ず FLCS<BLPRO 3:0> 値を確認してください。

・ FLCS<BLPRO 3:0> = 0xF (全てのプロテクトビットがプログラムされている) の場合

自動プロテクトビット消去コマンドをコマンドライトすると、自動的に本デバイス内部でフラッシュメモリの初期化を行います。第7バスライトサイクル終了後、フラッシュメモリ全エリアのデータセルの消去を行い、引き続いてプロテクトビットの消去を行います。この動作に関しては FLCS<RDY/BSY> をモニタすることで確認できます。自動プロテクトビット消去動作が正常に終了した場合 FLCS=0x01 となります。本デバイス内部で自動的にペリファイ動作は行いませんので、正常に消去ができたか、実行後に読み出しをして確認してください。第7バスサイクル以降の自動動作中にリードモードに復帰させるにはハードウェアリセットでフラッシュメモリもしくはデバイスをリセットする必要があります。この場合リードモードに復帰後、FLCS<BLPRO 3:0> にてプロテクトビットの状態を確認して、必要に応じて再度自動プロテクトビット消去または、自動チップ消去或いは自動ブロック消去を実行する必要があります。

・ FLCS<BLPRO 3:0> ≠ 0xF (全てのプロテクトビットがプログラムされていない) の場合
自動プロテクトビット消去により、プロテクトの状態を解除することができます。本デバイスでは、プロテクトビットは2ビット単位で消去します。ビットの指定は第7バスライトサイクルで行い、コマンド終了後は2ビット消去状態となります。各ブロックのプロテクトの状態は後で説明する FLCS<BLPRO 3:0> で確認できます。自動プロテクトビットプログラム動作の状態は、FLCS<RDY/BSY> をモニタすることで確認できます。自動プロテクトビット消去動作が正常に終了した場合、FLCS<BLPRO 3:0> の消去選択した2つのプロテクトビットの値が“0” となります。

いずれの場合も、自動プロテクトビット消去動作中は新たなコマンドシーケンスを受け付けません。動作を中止する場合はハードウェアリセットを用います。自動プロテクトビット消去動作が正常に終了した場合はリードモードに復帰します。

FLCS<RDY/BSY> ビットは自動動作中“0”、自動動作終了後“1”になります。

9) フラッシュコントロール/ステータスレジスタ
 フラッシュメモリのステータスマニタと、ブロックプロテクト状態を示すレジスタです。

表 2-16フラッシュコントロールレジスタ

FLCS (0xFFFF_E520)	Bit Symbol	7	6	5	4	3	2	1	0
	Read/Write	BLPRO3	BLPRO2	BLPRO1	BLPRO0		ROMTYPE		RDY/BSY
	リセット後	R				R	R	R	R
	機能	0	0	0	0	0	0	0	1
	機能	プロテクトエリア設定(128KB 単位) 0000 : 全ブロックプロテクトなし xxx1 : ブロック 0 がプロテクト状態 xx1x : ブロック 1 がプロテクト状態 x1xx : ブロック 2 がプロテクト状態 1xxx : ブロック 3 がプロテクト状態				リードする と”0” が読めま す	ROM 識別 ビット 0:Flash 1:MROM	リードする と”0”が 読めます	Ready/Busy 0:自動動作 中 1:自動動作 終了
	Bit Symbol	15	14	13	12	11	10	9	8
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能								
	Bit Symbol	23	22	21	20	19	18	17	16
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能								
	Bit Symbol	31	30	29	28	27	26	25	24
	Read/Write	R							
	リセット後	0	0	0	0	0	0	0	0
	機能								

図 2-10

ビット 0: Ready/Busy フラグビット

自動動作の状態を認識する方法として、RDY/BSY 出力を備えています。本ビットはこの機能を CPU からモニタするための機能ビットです。フラッシュメモリが自動動作中は “0” を出力し、ビジー状態であることを示します。自動動作が終了するとレディ状態となり “1” を出力し、次のコマンドを受け付けます。自動動作の結果が不良であった場合、本ビットは “0” 出力を継続します。ハードウェアリセットにより “1” に復帰します。

(注) コマンド発行は、必ずレディ状態であることを確認してから発行して下さい。
 ビジー中にコマンド発行を行なった場合、正常なコマンドが送られないだけでなく、それ以降のコマンドを入力出来なくなる可能性があります。その際は、システムリセットまたはリセットコマンドで復帰して下さい。

ビット 2: ROM タイプ識別ビット

リセット後の値でフラッシュ ROM またはマスク ROM タイプの識別を行なうビットです。
 フラッシュ ROM : “0”
 マスク ROM : “1”

ビット [7:4]: プロテクトビット状態ビット(ブロック毎の組み合わせ設定可能)

プロテクトビット(4ビット)値は各ブロックのプロテクト状態に対応します。該当ビットが”1”の時は対応するブロックがプロテクト状態であることを示します。プロテクト状態のブロックは書き換えはできません。

10) ID-Read

ID-Read コマンドを使用すると、本デバイスに内蔵しているフラッシュメモリのタイプ等の情報を知ることが出来ます。第 4 バスライトサイクル以降でのアドレス[15:14] の値によりロードされるデータが異なります(データ入力値は 0xF 以外の任意のデータ)。第 4 バスライトサイクル以降でのフラッシュへの SW 命令後の LW 命令(任意のフラッシュメモリエリアを読み出します)で、ID の値がロードされます(LW 命令直後に SYNC 命令を実施してください)。ID-Read コマンド第 4 バスライトサイクル以降は自動的にリードモードに復帰しません。第 4 バスライトサイクルと LW +SYNC 命令を繰り返し実行できます。リードモードへの復帰はシステムリセットもしくは、Read コマンドまたは Read/リセットコマンドで行います。

ID-Read コマンドは、フラッシュメモリ内蔵タイプ製品とマスク ROM 内蔵タイプ製品を同一アプリケーション上で識別する必要があるときに使用できます。マスク ROM には、コマンドシーケンサが無い為、ID-Read コマンドがコマンドライトされても、マスク ROM に対して SW 命令と LW 命令が実施されたと認識する為です。マスク ROM 内蔵タイプで ID-Read コマンドを実行する場合はプロテクト状態を考慮して、通常の LW 命令を実行して得られる rt 値がフラッシュメモリ内蔵タイプの ID-Read コマンド実行結果(ID)とは異なるアドレスを予め抽出しておく必要があります。(FLCS の ROMTYPE ビットでも判断可能です)

(重要)各コマンドシーケンスの“バスライトサイクル間隔”は、使用している動作周波数によらず 15 システムクロック以上にする必要があります。本デバイスは、フラッシュメモリへの複数の SW 命令実行に関して、バスライトサイクル間隔を自動調整する機能を有しません。従ってバスライトサイクル間隔が適正でない場合は所望のフラッシュメモリ書き換えが実行できません。オンボードプログラミングモード実行に先立ち、アプリケーションの動作周波数で、ソフトウェアタイマ等を使用してバスライト間隔を調整し、ID-Read コマンドの正常動作を確認してください。オンボードプログラミングモードでは、ID-Read コマンドが正常に実施できるバスライトサイクル間隔にてコマンドシーケンスを実行し、フラッシュメモリの書き換えをしてください。

(3) コマンドシーケンス一覧

表 2-17 内部 CPU によるフラッシュメモリアクセス

コマンド シーケンス	第1バス サイクル	第2バス サイクル	第3バス サイクル	第4バス サイクル	第5バス サイクル	第6バス サイクル	第7バス サイクル
	Addr.						
	Data						
Read	0xXX	RA					
	0xF0	RD					
Read/リセット	0x55XX	0xAAXX	0x55XX	RA			
	0xAA	0x55	0xF0	RD			
ID-Read	0x55XX	0xAAXX	0x55XX	IA	0xXX	—	
	0xAA	0x55	0x90	0x00	ID	—	
Auto ページ プログラム (注)	0x55XX	0xAAXX	0x55XX	PA	PA	PA	PA
	0xAA	0x55	0xA0	PD0	PD1	PD2	PD3
Auto チップ消去	0x55XX	0xAAXX	0x55XX	0x55XX	0xAAXX	0x55XX	—
	0xAA	0x55	0x80	0xAA	0x55	0x10	—
Auto ブロック消去 (注)	0x55XX	0xAAXX	0x55XX	0x55XX	0xAAXX	BA	—
	0xAA	0x55	0x80	0xAA	0x55	0x30	—
プロテクトビット プログラム	0x55XX	0xAAXX	0x55XX	0x55XX	0xAAXX	0x55XX	PBA
	0xAA	0x55	0x9A	0xAA	0x55	0x9A	0x9A
プロテクトビット 消去	0x55XX	0xAAXX	0x55XX	0x55XX	0xAAXX	0x55XX	PBA
	0xAA	0x55	0x6A	0xAA	0x55	0x6A	0x6A

図 2-11

(4) 補足説明

- RA: リードアドレス
- RD: リードデータ
- IA: ID アドレス
- ID: ID データ
- PA: プログラム ページアドレス
- PD: プログラムデータ (32 ビットデータ)

第4バスサイクル以降 1 ページ分をアドレス順にデータ入力

- BA: ブロックアドレス
- PBA: プロテクトビットアドレス

(注1) 全バスサイクル、アドレスビット[1:0]へは常に"0"を設定して下さい。(ビット[7:2]への設定値は未定義)

(注2) Read コマンドの第2バスサイクル、Read/リセットコマンドの第4バスサイクル、ID-Read コマンドの第5バスサイクル以外は全て"バスライトサイクル"です。バスライトサイクルは SW 命令で実施します。SW 命令のストアデータには表の"Data"を用います。各バスライトサイクルのアドレス[31:16]はコマンドシーケンス実施対象のフラッシュメモリのアドレス[31:16]を用います。アドレス[15:0]は表の"Addr."を用います。

(注3) 各バスライトサイクルの間隔を15システムクロック以上あけて実行してください。

(注4) 各バスライトサイクル終了直後に"SYNC 命令"を実行してください。

(注5) ID-Read コマンド第4バスライトサイクル後の"LW 命令"直後に"SYNC 命令"を実施してください。

(5) バスライトサイクル時のアドレスビット構成

表 2.17.2 バスライトサイクル時のアドレスビット構成

アドレス	Addr [31:21]	Addr [20]	Addr [19]	Addr [18:17]	Addr [16]	Addr [15]	Addr [14]	Addr [13]	Addr [12:9]	Addr [8]	Addr [7:0]	
通常のバスライトサイクルアドレス設定												
通常 コマンド	フラッシュ 領域	"0" 推奨				コマンド				Addr[1:0]= "0" 固定、 他ビットは "0" 推奨		
BA: ブロックアドレス (ブロック消去の第 6 バスライトサイクルアドレス設定)												
ブロック 消去	フラッシュ 領域	"0" 推奨	ブロック 選択	Addr[1:0]= "0" 固定、他ビットは "0" 推奨								
PA: プログラムページアドレス (ページプログラムの第 4 バスライトサイクルアドレス設定)												
Auto ページ プログラム	フラッシュ 領域	"0" 推奨	ブロック 選択	ページ選択				Addr[1:0]= "0" 固定、他ビッ トは "0" 推奨				
IA: ID アドレス (ID-READ の第 4 バスライトサイクルアドレス設定)												
ID-READ	フラッシュ 領域	"0" 推奨			ID アドレス			Addr[1:0]= "0" 固定、他ビットは "0" 推奨				
PBA: プロテクトビットアドレス (プロテクトビットプログラムの第 7 バスライトサイクルアドレス設定)												
プロテク トビット プログラ ム	フラッシュ 領域	"0" 推奨			プロテクトビットライト "00": ブロック 0 "01": ブロック 1 "10": ブロック 2 "11": ブロック 3			Addr[1:0]= "0" 固定、他ビットは "0" 推奨				
PBA: プロテクトビットアドレス (プロテクトビット消去の第 7 バスライトサイクルアドレス設定)												
プロテク トビット 消去	フラッシュ 領域	"0" 推奨			プロテクト消去 0: ブロック 0, 1 1: ブロック 2, 3			Addr[1:0]= "0" 固定、他ビットは "0" 推奨				

- (注) 表 20.5.1.2 「内部 CPU によるフラッシュメモリアクセス」と併せてご使用願います。
 (注) 第 1 バスサイクルから「通常のバスライトサイクルアドレス設定」に従い、アドレス設定を行な
 ってください。
 (注) 「0" 推奨」は適宜変更可能です。

表 2-18 ブロック消去アドレス表

BA	アドレス範囲		サイズ
	フラッシュメモリ アドレス	投影エリアに対して 実施する場合	
ブロック 0	0xBFC0_0000~0xBFC1_FFFF	0x0000_0000~0x0001_FFFF	128 K バイト
ブロック 1	0xBFC2_0000~0xBFC3_FFFF	0x0002_0000~0x0003_FFFF	128 K バイト
ブロック 2	0xBFC4_0000~0xBFC5_FFFF	0x0004_0000~0x0005_FFFF	128 K バイト
ブロック 3	0xBFC6_0000~0xBFC7_FFFF	0x0006_0000~0x0007_FFFF	128 K バイト

例：BA0 を選択する場合、0xBFC0_0000~0xBFC1_FFFF で任意の 1 アドレスを入力します。

第 1 バスサイクルから第 6 バスサイクルまで上位側のアドレスは消去するブロックのアドレスを指定してください。

表 2-19 プロテクトビットプログラムアドレス表

OPBA	第 7 バスライトサイクルのアドレス [15:14]	
	アドレス [15]	アドレス [14]
ブロック 0	0	0
ブロック 1	0	1
ブロック 2	1	0
ブロック 3	1	1

表 2-20 プロテクトビット消去アドレス表

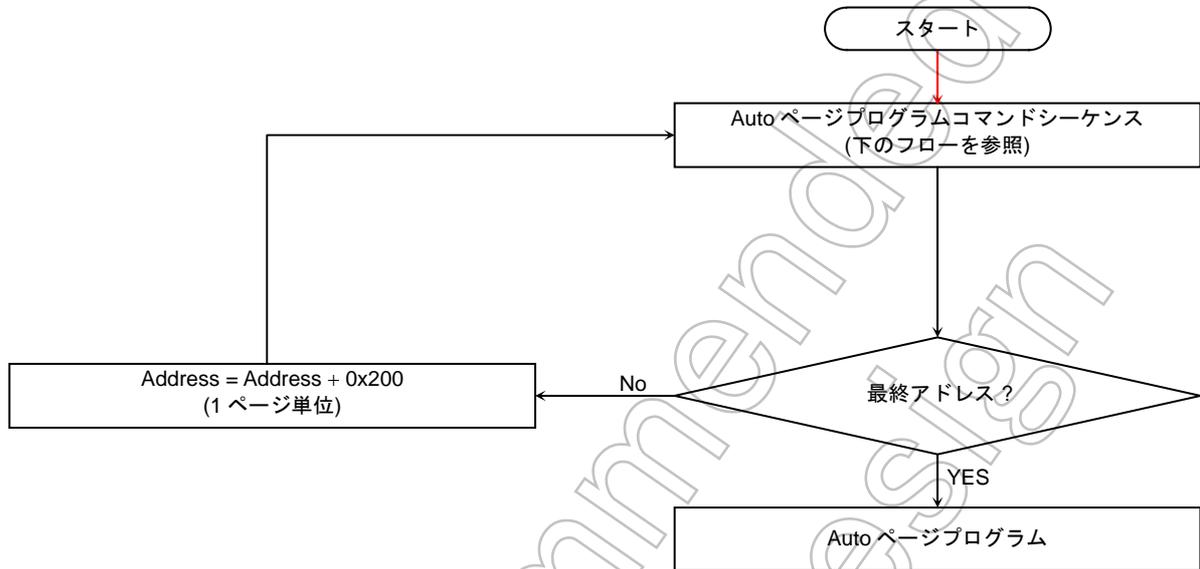
OPBA	第 7 バスライトサイクルのアドレス [15:14]	
	アドレス [15]	アドレス [14]
ブロック 0	0	X
ブロック 1	0	X
ブロック 2	1	X
ブロック 3	1	X

プロテクトビット消去コマンドは ビット 0 と ビット 1 を まとめて消去します。
同様に ビット 2 と ビット 3 は まとめて消去します。

表 2-21 ID-Read コマンド第 4 バスライトサイクルの ID アドレス (IA) と
その後の LW 命令で読み出せるデータ (ID)

IA [15:14]	ID [7: 0]	Code
00b	0x98	メーカーコード
01b	0x5A	デバイスコード
10b	Reserved	---
11b	0x05	マクロコード

(6) フロチャート



Auto ページプログラムコマンドシーケンス (アドレス/コマンド)

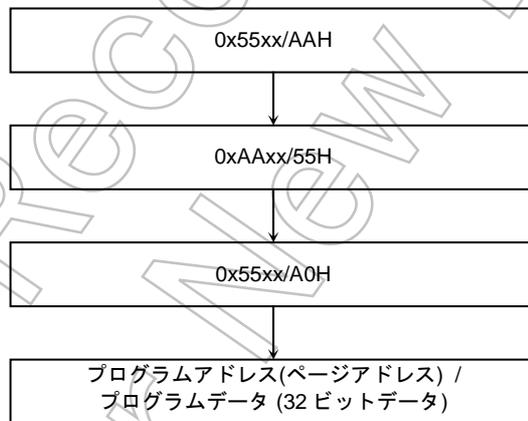


図 2.3 自動プログラム

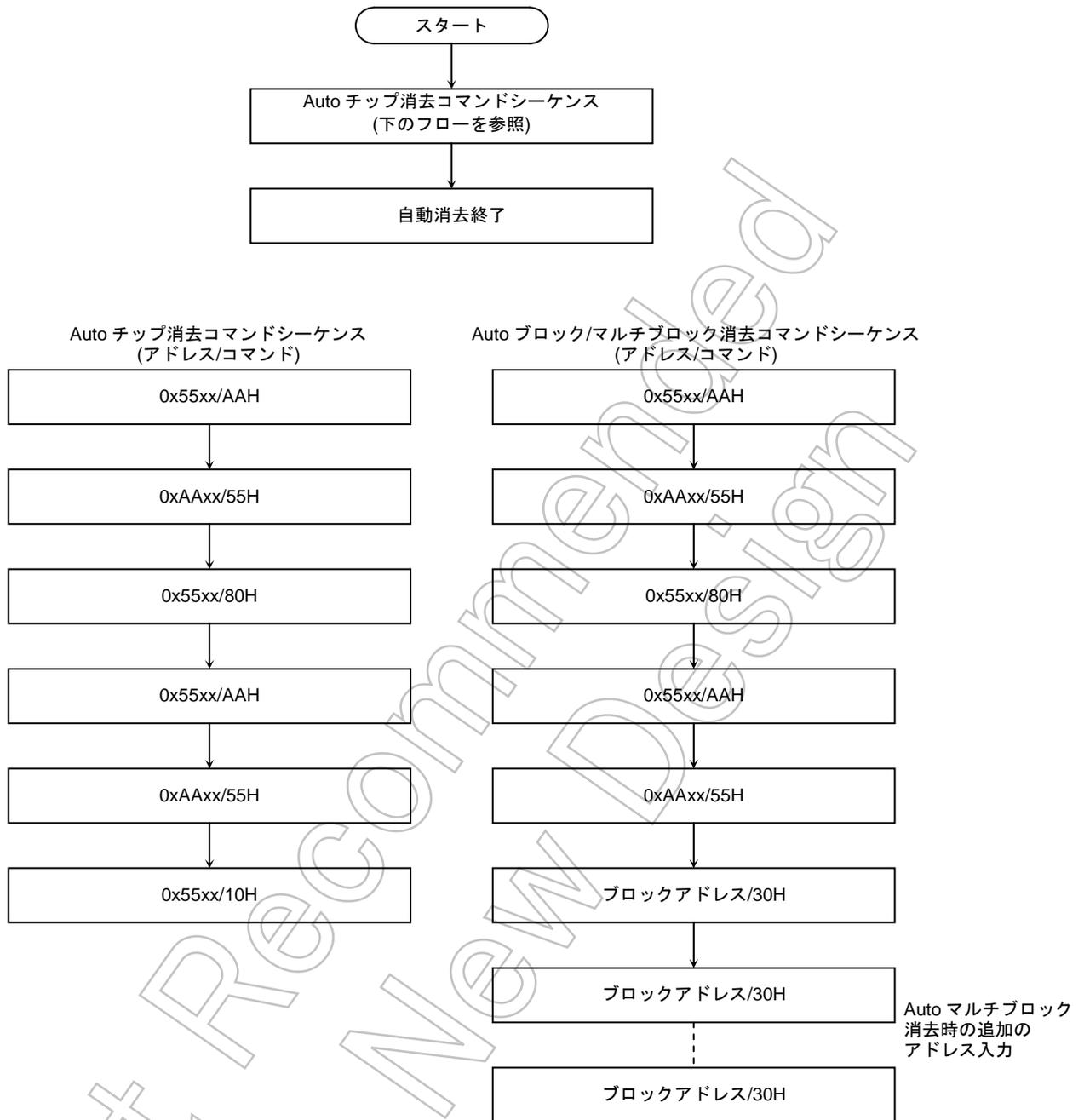


図 2.3

3. 各種プロテクト機能

3.1 概要

本製品は内蔵ROM(Flash)領域を読み出し禁止に設定できるROMプロテクト及びDSU(DSU-Probe)の使用を禁止するDSUプロテクト機能などを内蔵しています。読み出し禁止機能として、次3つの機能をもっています。

- フラッシュプロテクト
- ROMデータプロテクト
- DSUプロテクト

3.2 特長

3.2.1 フラッシュプロテクト機能

<フラッシュ版>

内蔵フラッシュは、128K バイト単位のブロックごとに書き込みと消去の動作を禁止することができます。この機能をブロックプロテクトと呼びます。

ブロックプロテクト機能を有効にするためには、プロテクトをかけたいブロックに対応するプロテクトビットを”1”にします。プロテクトビットを”0”にすることによりブロックプロテクトを解除することができます。(プログラム方法については、Flash動作説明の章をご覧ください。)

プロテクトビットは、FLCSレジスタ<BLPRO3:0>ビットでモニタすることができます。

すべてのブロックにプロテクトをかけた状態をFLASHプロテクトと呼びます。一度FLASHプロテクト状態にしたあとプロテクト解除動作(プロテクトビットを”0”にする動作)を行うと、自動的にフラッシュの全データを消去した後、すべてのプロテクトビットが”0”になりますので注意が必要です。

<マスク版>

マスク版では常時FLASHプロテクト状態となっており、FLASHプロテクトを解除することはできません。マスク版ではこの機能は通常の動作には影響しません。

<フラッシュ版、マスク版共通>

これから説明する「ROMデータプロテクト」、「DSUプロテクト」を有効にするためには、FLASHプロテクト状態であることが必要です。

3.2.2 ROM データプロテクト

ROM データプロテクトは、内蔵 FLASH/ROM に対してデータの読み出しを制限する機能です。また、フラッシュ版ではフラッシュに対するコマンドの実行も禁止されます。

ROM データプロテクトは、FLASH プロテクト状態で ROM プロテクトレジスタ ROMSEC1<RSECON>ビットが” 1” のときに有効になります。

RSECON ビットはフラッシュ版、マスク版とも初期状態は” 1” となっています。マスク版では FLASH プロテクトが常時有効ですので、ユーザプログラムで RSECON ビットを” 0” に設定しない限り ROM データプロテクト状態となります。

フラッシュ版では FLASH の全ブロックにプロテクトをかけていなければ ROM データプロテクト状態にはなりません。FLASH の全ブロックにプロテクトをかけて FLASH プロテクト状態となっているときはマスク版と同様に初期状態が ROM データプロテクト状態となります。

(注)

ROM データプロテクト状態では RSECON ビットのアクセスは内蔵 ROM に置かれた命令からしかできません。プロテクト解除のプログラムは内蔵 ROM におく必要がありますので注意が必要です。

ROM correction 機能で ROM 領域の命令と置き換えられた RAM 上の命令の PC はフラッシュ ROM の領域を示しますが、実際には RAM 領域にあるため、ROM プロテクト状態でのデータの読み出しを行うことは出来ません。置き換えた RAM 上の命令でデータを読み出す場合は ROM 領域のプログラムでそのデータ値を RAM にライトする等の対策を行う必要があります。

ROM 領域に ROM プロテクトが掛かると以下の動作が出来なくなります。

- ROM 領域以外に置かれた命令からの ROM 領域のデータのロード及びストア
- DMAC レジスタへのストア (バスエラーによる NMI が発生します)
- EJTAG による ROM 領域のデータのロード及びストア
- BOOT-ROM による ROM 領域のデータのロード及びストア (FLASH 品のみ該当)
- フラッシュライターによる ROM 領域のデータのロード及びストア (FLASH 品のみ該当)
- ROM 領域以外に置かれた命令からの ROM 領域のプロテクト関連レジスタ (ROMSEC1、ROMSEC2) へのアクセス
- ライタモードでの自動ブロックプロテクト解除コマンド、自動ブロックプロテクト解除コマンド以外のフラッシュコマンドシーケンス実行及びシングルモード、ブートモードでの ROM 領域のアドレスを指定したフラッシュコマンドシーケンス (FLASH 品のみ該当)

また、ROM 領域に ROM プロテクトが掛かった状態でも、以下の動作は実行出来ます。

- ROM 領域に置かれた命令から ROM 領域のデータのロード
- すべての領域に置かれている命令から ROM 領域以外のデータのロード
- すべての領域に置かれている命令から ROM 領域への命令分岐
- EJTAG による ROM 領域の PC トレース (制限あり)、ブレーク
- DMAC による ROM 領域のデータ転送

注) Mask 品は、ROM プロテクトが掛かった状態が初期値となります。

FLASH 品ではプロテクトビット設定 FLCS< BLPRO 3:0> =1111 とする事で

Mask 品同様に ROM プロテクトを掛けることが出来ます。Mask 品、FLASH 品で動作が

異なるため注意が必要です。

3.2.3 DSU プロテクト

DSU プロテクト機能は、DSU-probe の接続を無効にすることによりユーザー以外の第三者に容易に内蔵フラッシュのデータを読み出せないようにする機能です。

DSU プロテクトは、FLASH プロテクト状態で SEQMOD レジスタ<DSUOFF>ビットが” 1 ”のときに有効になります。

DSUOFF ビットはフラッシュ版、マスク版とも初期状態は” 1 ”となっています。マスク版では FLASH プロテクトが常時有効ですので、ユーザプログラムで DSUOFF ビットを” 0 ”に設定しない限り DSU プロテクト状態となります。

フラッシュ版では FLASH の全ブロックにプロテクトをかけていなければ DSU プロテクト状態にはなりません。FLASH の全ブロックにプロテクトをかけて FLASH プロテクト状態となっているときはマスク版と同様に初期状態が DSU プロテクト状態となります。

(注) ROM データプロテクト状態では DSUOFF ビットのアクセスは内蔵 ROM に置かれた命令からしかできません。DSU プロテクト解除のプログラムは内蔵 ROM におく必要がありますので注意が必要です。

3.3 プロテクト概略図および対応表

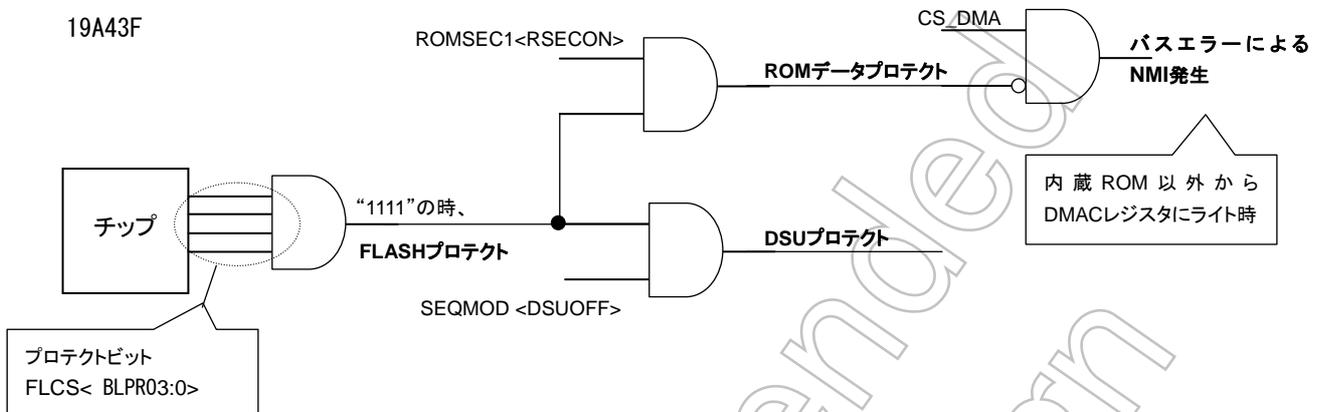


図 3-1各種プロテクト状態概略

表 3-1各モードの各種プロテクト状態

FLASH プロテクト状態		ON				OFF
ROM データプロテクト状態		ON		OFF		OFF
DSU プロテクト状態		ON	OFF	ON	OFF	OFF
シングル /シングルブート モード	内蔵 ROM からの内蔵 ROM リード	○	○	○	○	○
	内蔵 ROM 以外からの内蔵 ROM リード	× *1	× *1	○	○	○
	DSU-probe による内蔵 ROM リード	×	○	×	○	○
	RSECON 書き換え (内蔵 ROM から)	○	○	○	○	○
	RSECON 書き換え (内蔵 ROM 以外から)	× *2	× *2	○	○	○
	DSUOFF 書き換え (内蔵 ROM から)	○	○	○	○	○
	DSUOFF 書き換え (内蔵 ROM 以外から)	× *3	× *3	○	○	○
	プロテクトビット消去コマンド発行 (FLASH 版のみ)	× *4	× *4	○ *7	○ *7	○
	プロテクトビット消去以外のコマンド発行 (FLASH 版のみ)	× *4	× *4	× *6	× *6	△ *8
	DMAC 設定レジスタへのライト (内蔵 ROM から)	○	○	○	○	○
DMAC 設定レジスタへのライト (内蔵 ROM 以外から)	× *5	× *5	○	○	○	

- *1 : アドレス「0xBFC0_0000」または「0xBFC0_0002」のデータが読めます。
- *2 : RSECON ビットにライト(クリア)出来ません。
- *3 : DSUOFF ビットにライト(クリア)出来ません
- *4 : フラッシュがコマンドを認識しません。
- *5 : ノンマスカブル割り込みが発生します。
- *6 : フラッシュがコマンドを認識しません。
- *7 : フラッシュ全領域消去とプロテクトビット全消去に変換されます。
- *8 : プロテクトビットの状態により、プロテクトがかかったブロックに対するコマンドは受け付けません。
- *9 : リードデータは常に 0x00000098 が読めます。

3.4 レジスタ

フラッシュコントロール/ステータスレジスタ

フラッシュメモリのステータスマニタと、ブロックプロテクト状態を示すレジスタです。

表 3-2 フラッシュコントロールレジスタ

FLCS (0xFFFF_E520)	Bit Symbol	7	6	5	4	3	2	1	0
	Read/Write	R				R	R	R	R
	パワーオンリセット後	0 (1)	0 (1)	0 (1)	0 (1)	0	0 (1)	0	1
	機能	プロテクトエリア設定 (128KB 単位) 0000 : 全ブロックプロテクトなし xxx1 : ブロック 0 がプロテクト状態 xx1x : ブロック 1 がプロテクト状態 x1xx : ブロック 2 がプロテクト状態 1xxx : ブロック 3 がプロテクト状態 (マスク品は "1111" 固定です)				リードすると "0" が読めず	ROM 識別ビット 0:Flash 1:MROM	リードすると "0" が読めず	Ready/Busy 0:自動動作中 1:自動動作終了 (マスク品は "1" 固定です)
Bit Symbol	15	14	13	12	11	10	9	8	
Read/Write	R								
パワーオンリセット後	0	0	0	0	0	0	0	0	
機能									
Bit Symbol	23	22	21	20	19	18	17	16	
Read/Write	R								
パワーオンリセット後	0	0	0	0	0	0	0	0	
機能									
Bit Symbol	31	30	29	28	27	26	25	24	
Read/Write	R								
パワーオンリセット後	0	0	0	0	0	0	0	0	
機能									

ビット0: Ready/Busy フラグビット

自動動作の状態を認識する方法として、RDY/BSY 出力を備えています。本ビットはこの機能を CPU からモニタするための機能ビットです。フラッシュメモリが自動動作中は "0" を出力し、ビジー状態であることを示します。自動動作が終了するとレディ状態となり "1" を出力し、次のコマンドを受け付けます。自動動作の結果が不良であった場合、本ビットは "0" 出力を継続します。ハードウェアリセット時に "1" に復帰します。

(注) コマンド発行は、必ずレディ状態であることを確認してから発行して下さい。

ビジー中にコマンド発行を行なった場合、正常なコマンドが送られないだけでなく、それ以降のコマンドを入力出来なくなる可能性があります。その際は、システムリセットまたはリセットコマンドで復帰して下さい。

ビット2: ROM タイプ識別ビット

リセット後の値でフラッシュ ROM またはマスク ROM タイプの識別を行うビットです。

フラッシュ ROM : "0"

マスク ROM : "1"

ビット[7:4]: プロテクトビット (x: ブロックごとの組み合わせ設定可能)

プロテクトビット (4 ビット) 値は各ブロックごとのプロテクト状態に対応します。該当ビットが "1" の時は対応するブロックがプロテクト状態であることを示します。プロテクト状態のブロックは書き換えはできません。

表 3-3 ROM プロテクトレジスタ

ROMSEC1 (0xFFFF_E518)	Bit Symbol								
	Read/Write	R							RSECON
	パワーオン リセット後	0							1
	機能	リードすると常に"0"が読めます							ROM プロテクト 1: ON 0: OFF (注)
		7	6	5	4	3	2	1	0
	15	14	13	12	11	10	9	8	
Bit Symbol									
Read/Write	R								
パワーオン リセット後	0								
機能	リードすると常に"0"が読めます								
	23	22	21	20	19	18	17	16	
Bit Symbol									
Read/Write	R								
パワーオン リセット後	0								
機能	リードすると常に"0"が読めます								
	31	30	29	28	27	26	25	24	
Bit Symbol									
Read/Write	R								
パワーオン リセット後	0								
機能	リードすると常に"0"が読めます								

- (注) 本レジスタは、FLASH 版ではパワーオンリセットでのみ初期化されます。
マスク版は通常リセットのたびに初期化されます。
- (注) 本レジスタは 32 ビットアクセスを行なって下さい。

表 3-4 ROM プロテクトロックレジスタ

ROMSEC2 (0xFFFF_E51C)		7	6	5	4	3	2	1	0
	Bit Symbol								
	Read/Write	W							
	リセット後	不定							
	機能	(注) 参照願います							
		15	14	13	12	11	10	9	8
Bit Symbol									
Read/Write	W								
リセット後	不定								
機能	(注) 参照願います								
		23	22	21	20	19	18	17	16
Bit Symbol									
Read/Write	W								
リセット後	不定								
機能	(注) 参照願います								
		31	30	29	28	27	26	25	24
Bit Symbol									
Read/Write	W								
リセット後	不定								
機能	(注) 参照願います								

- (注) ROMSEC1<RSECON>を設定後、本レジスタに”0x0000_003D”を設定することにより、ROMSEC1<RSECON>に値がセットされます。
- (注) ROMSEC1、ROMSEC2 レジスタは ROM 領域に ROM プロテクトがかかっている場合、ROM 領域に置かれている命令でのみアクセスすることが出来ます。
- (注) 本レジスタは 32 ビットアクセスを行なって下さい。
- (注) 本レジスタは書き込み専用レジスタです。読み出した場合の値は不定になります。

表 3-5 DSU プロテクトモードレジスタ

SEQMOD (0xFFFF_E510)	Bit Symbol								DSUOFF
	Read/Write	R							R/W
	リセット後	0							1
	機能	リードすると常に"0"が読めます							1: DSU 使用不可 0: DSU 使用許可
		7	6	5	4	3	2	1	0
	Bit Symbol								
	Read/Write	R							
	リセット後	0							
	機能	リードすると常に"0"が読めます							
		15	14	13	12	11	10	9	8
	Bit Symbol								
	Read/Write	R							
	リセット後	0							
	機能	リードすると常に"0"が読めます							
		23	22	21	20	19	18	17	16
	Bit Symbol								
	Read/Write	R							
	リセット後	0							
	機能	リードすると常に"0"が読めます							
		31	30	29	28	27	26	25	24

(注) 本レジスタは、FLASH 版ではパワーオンリセットでのみ初期化されます。
 マスク版は通常リセットのたびに初期化されます。
 (注) 本レジスタは 32 ビットアクセスを行なって下さい。

表 3-6 DSU プロテクト制御レジスタ

SEQCNT (0xFFFF_E514)	Bit Symbol	DSECODE07	DSECODE06	DSECODE05	DSECODE04	DSECODE03	DSECODE02	DSECODE01	DSECODE00
	Read/Write	W							
	リセット後	0							
	機能	"0x0000_00C5" をライトしてください。							
		15	14	13	12	11	10	9	8
	Bit Symbol	DSECODE15	DSECODE14	DSECODE13	DSECODE12	DSECODE11	DSECODE10	DSECODE09	DSECODE08
	Read/Write	W							
	リセット後	0							
	機能	"0x0000_00C5" をライトしてください							
		23	22	21	20	19	18	17	16
	Bit Symbol	DSECODE23	DSECODE22	DSECODE21	DSECODE20	DSECODE19	DSECODE18	DSECODE17	DSECODE16
	Read/Write	W							
	リセット後	0							
	機能	"0x0000_00C5" をライトしてください							
		31	30	29	28	27	26	25	24
	Bit Symbol	DSECODE31	DSECODE30	DSECODE29	DSECODE28	DSECODE27	DSECODE26	DSECODE25	DSECODE24
	Read/Write	W							
	リセット後	0							
	機能	"0x0000_00C5" をライトしてください							
		31	30	29	28	27	26	25	24

(注) 本レジスタは 32 ビットアクセスを行なって下さい。
 (注) 本レジスタは書き込み専用レジスタです。読み出した場合の値は不定になります。

3.5 プロテクト設定/解除方法

プロテクト状態でフラッシュメモリの書き換え及びプロテクトビットの書換えの必要があるときは、自動プロテクトビット消去を行うか、ROM プロテクト機能を解除してください。DSU プロテクト状態では DSU を使用することができません。

(マスク版は ROM セキュリティの解除のみ可能で、プロテクトビットは書き換え出来ません。)

自動プロテクトビットプログラム実行後にフラッシュ読み出し禁止状態になる場合は、予め DSU-PROBE 使用許可にしておく必要があります。

フラッシュ読み出し禁止状態で“自動プロテクトビット消去”を実施すると、本デバイス内部で自動的にフラッシュメモリの初期化を行います。このためプロテクト状態に移行する際は十分ご注意ください。(FLASH 品のみ)

3.5.1 フラッシュプロテクト

フラッシュプロテクト機能はマスク版では常時有効な状態になっており、解除することはできません。フラッシュ版では4つのすべてのブロックにブロックプロテクトをかけることで有効になります。フラッシュ版でフラッシュプロテクト機能の設定/解除を行う場合、フラッシュメモリに対する、プロテクトビットプログラムコマンドによって設定します。詳細は Flash 動作説明章のコマンドシーケンスを参照して下さい。

(フラッシュ版に関する注意事項)

フラッシュプロテクト状態でプロテクトビット解除コマンドを実行すると、フラッシュのデータをすべて消去した後にプロテクトビットをクリアし、フラッシュプロテクト状態が解除されます。

以下に説明する ROM データプロテクト状態では、フラッシュに対するコマンド実行は無視されます。ROM プロテクト状態でフラッシュプロテクトを解除する場合には、まず ROM プロテクトレジスタの RSECON ビットをクリアして ROM データプロテクトを解除する必要があります。

3.5.2 ROM データプロテクト

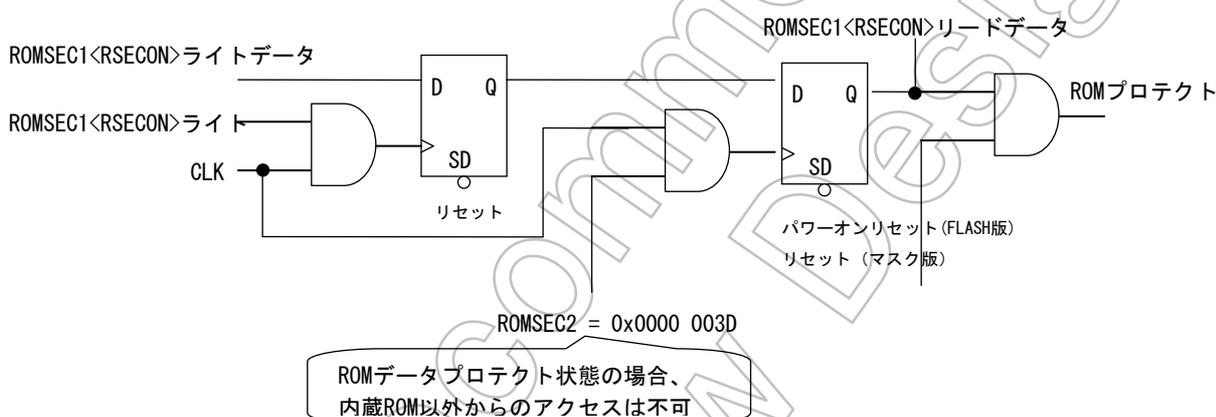
ROM データプロテクトは、フラッシュプロテクトが有効な状態で ROM プロテクトレジスタ ROMSEC1<RSECON> = “1” のときに有効になります。

リセット解除後 RSECON ビットは”1”に初期化されます。マスク版ではフラッシュプロテクトは常時有効なため、リセット解除後は必ず ROM データプロテクト状態になります。フラッシュ版ではフラッシュプロテクトの状態により ROM データプロテクト状態になるかどうかが決まります。

ROM データプロテクト状態で ROM プロテクトレジスタを書き換える場合、書き換えは内蔵 ROM に置かれたプログラムからしか実行できません。このため、ROM データプロテクトの解除プログラムは内蔵 ROM 上に準備しておく必要があります。

RSECON ビットは、暴走などによる偶発解除を防ぐために 2 重構造となっています。

以下に概略図を示します。



プロテクトを解除する場合、ROM プロテクトレジスタ ROMSEC1<RSECON> = “0” をセットし、プロテクトコード “0x0000_003D” を ROM プロテクトロックレジスタ ROMSEC2 に書き込むことで ROM データプロテクトが解除されます。また、ROM プロテクトを設定する場合も同様に、ROM プロテクトレジスタ ROMSEC1<RSECON> = “1” をセットし、プロテクトコード “0x0000_003D” を ROM プロテクトロックレジスタ ROMSEC2 に書き込むことで再び ROM データプロテクト機能を設定することが出来ます。

ROMSEC2 レジスタは書き込み専用レジスタで、読み出しデータは本来のライトデータとは異なるため注意が必要です。

ROM プロテクトレジスタの初期化はフラッシュ版とマスク版で異なります。

フラッシュ版ではパワーオンリセット回路を備えており、ROM プロテクトレジスタはパワーオンリセットで初期化され、通常リセットでは値は変化しません。

マスク版ではパワーオンリセットを備えていないため、通常リセットで初期化されます。マスク版では通常リセットのたびに初期化されるため注意が必要です。

3.5.3 DSU プロテクト

3.5.4

DSU 使用許可/禁止 (DSU-PROBE を利用してのデバッグを有効/無効)

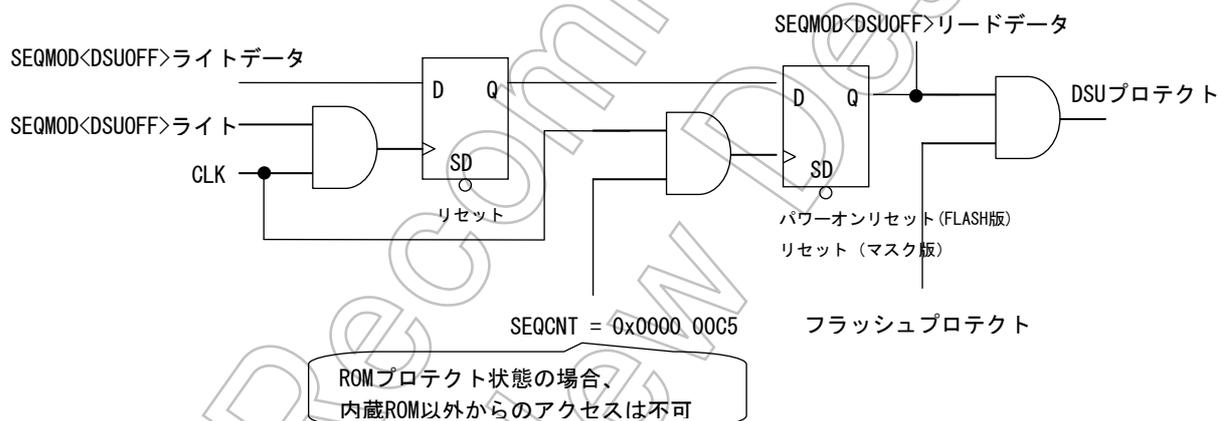
DSU プロテクトは、フラッシュプロテクトが有効な状態で DSU プロテクトモードレジスタ SEQMOD<DSUOFF> = “1” のときに有効になります。

リセット解除後 DSUOFF ビットは”1”に初期化されます。マスク版ではフラッシュプロテクトは常時有効なため、リセット解除後は必ず DSU プロテクト状態になります。フラッシュ版ではフラッシュプロテクトの状態により DSU プロテクト状態になるかどうかが決まります。

ROM データプロテクト状態で DSU プロテクトモードレジスタを書き換える場合、書き換えは内蔵 ROM に置かれたプログラムからしか実行できません。このため、DSU プロテクトの解除のプログラムは内蔵 ROM 上に準備しておく必要があります。

DSUOFF ビットは、暴走などによる偶発解除を防ぐために 2 重構造となっています。

以下に概略図を示します。



プロテクトを解除する場合、DSU プロテクトモードレジスタ SEQMOD<DSUOFF> = “0” をセットし、プロテクトコード “0x0000_00C5” を DSU プロテクト制御レジスタ SEQCNT に書き込むことで DSU プロテクトが解除されます。また、DSU プロテクトを設定する場合も同様に、DSU プロテクトモードレジスタ SEQMOD<DSUOFF> = “1” をセットし、プロテクトコード “0x0000_00C5” を DSU プロテクト制御レジスタ SEQCNT に書き込むことで再び DSU プロテクト機能を設定することが出来ます。

SEQCNT レジスタは書き込み専用レジスタで、読み出しデータは本来のライトデータとは異なるため注意が必要です。

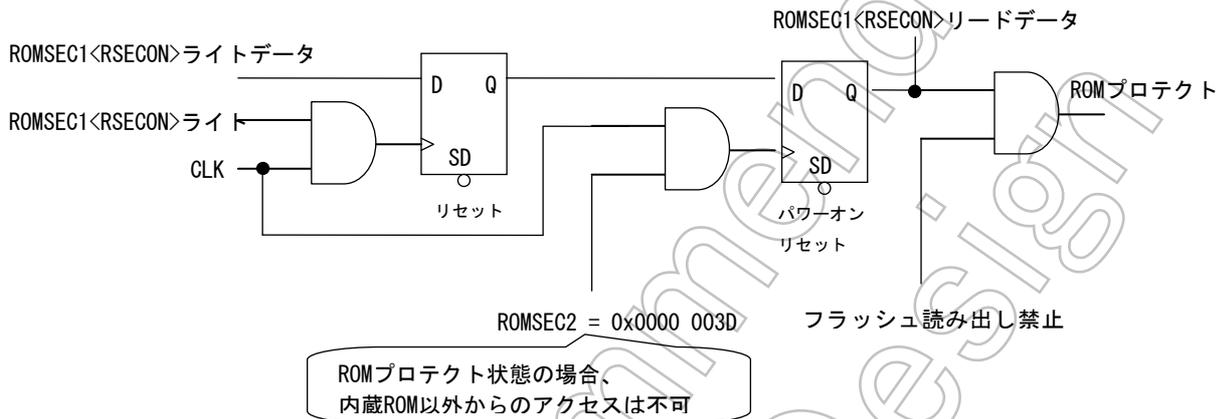
DSU プロテクトモードレジスタの初期化はフラッシュ版とマスク版で異なります。

フラッシュ版ではパワーオンリセット回路を備えており、DSU プロテクトモードレジスタはパワーオンリセットで初期化され、通常リセットでは値は変化しません。

マスク版ではパワーオンリセットを備えていないため、通常リセットで初期化されます。マスク版では通常リセットのたびに初期化されるため注意が必要です。

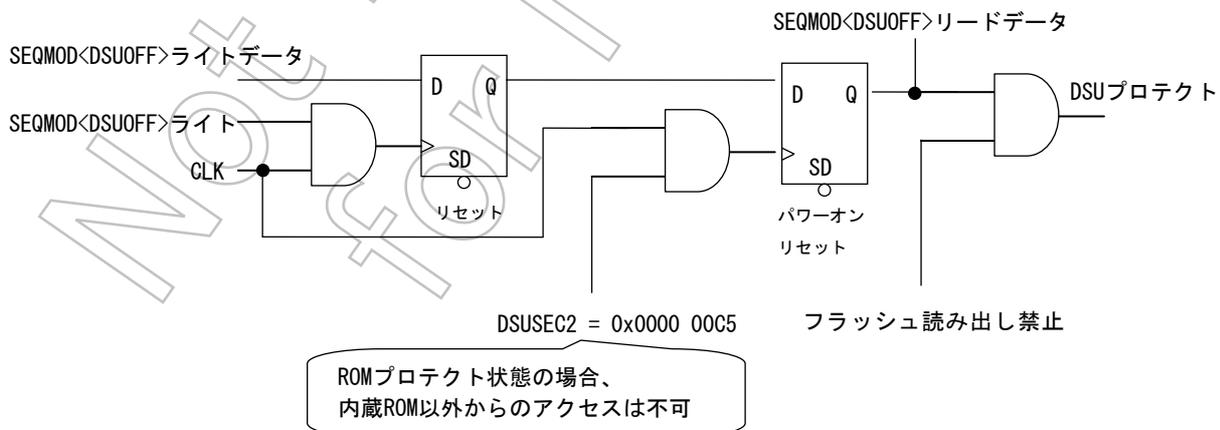
3.5.5 ROM プロテクトレジスタ : ROMSEC1<RSECON>

ROM プロテクトレジスタはパワーオンリセット回路を備えています。ROMSEC1<RSECON>ビットの読み出しデータは本来のライトデータとは異なるデータを読み出すため注意が必要です。概略図を下記に示します。FLASH 品はパワーオンリセットで初期化されますが、マスク版は通常リセットで初期化されます



3.5.6 DSU プロテクトモードレジスタ : SEQMOD <DSUOFF>

DSU プロテクトモードレジスタはパワーオンリセット回路を備えています。SEQMOD <DSUOFF>ビットの読み出しデータは本来のライトデータとは異なるデータを読み出すため注意が必要です。概略図を下記に示します。FLASH 品はパワーオンリセットで初期化されますが、マスク版は通常リセットで初期化されます



4. 電気的特性

4.1 絶対最大定格

計算式に使用している“X”は、SYSCR1<SYSCK>で選択されたクロック fsys の周期を示しますのでクロックギアや低速発振器を選択すると“X”の値が異なります。なお、例としての計算値はシステムクロックは高速 (fc) (SYSCR1 <SYSCK> = “0”)、ギア選択が 1/1 (SYSCR1 <GEAR (2 : 0)> = “000”) のときの値です。

項目		記号	定格	単位
電源電圧		V _{CC15} (内部)	-0.3~3.0	V
		V _{CC3} (I/O)	-0.3~3.9	
		AV _{CC3} (A/D)	-0.3~3.9	
		DA _{VCC} (D/A)	-0.3~3.5	
		DV _{CC3}	-0.3~3.9	
入力電圧		V _{IN}	-0.3~V _{CC} + 0.3	V
低レベル 出力電流	1 端子	I _{OL}	5	mA
	合計	ΣI _{OL}	50	
高レベル 出力電流	1 端子	I _{OH}	-5	
	合計	ΣI _{OH}	50	
消費電力(Ta = 85°C)		PD	600	mW
はんだ付け温度(10s)		T _{SOLDER}	260	°C
保存温度		T _{STG}	-40~125	°C
動作温度	Flash W/E 時を除く	T _{OPR}	-20 ~ 85	°C
	Flash W/E 時		0 ~ 70	
書き替え回数		NEW	100	cycle

$$V_{CC15} = DV_{CC15} = CV_{CCH}, V_{CC3} = DV_{CC3} = CV_{CCL}$$

$$V_{SS} = DV_{SS} = AV_{SS} = CV_{SS} = DAGND \text{ と定義します。}$$

注) 絶対最大定格とは、瞬時たりとも超えてはならない規格であり、どの1つの項目も超えることができない規格です。絶対最大定格(電流、電圧、消費電力、温度)を超えると破壊や劣化の原因となり、破裂・燃焼による障害を負うことがあります。したがってかならず絶対最大定格を超えないように、応用機器の設計を行ってください。

4.2 DC 電気的特性 (1/3)

Ta = -20 ~ 85°C

項目		記号	条件	Min.	Typ. (注)	Max.	単位
電源電圧	AVCC3 = 3.3V CVCCH=DVCC15 DVCC3=CVCCL	DVCC15 CVCCH	fosc = 8~10MHz fs = 30kHz~34kHz fsys = 15kHz~34kHz 4MHz~40MHz	1.35		1.65	V
		DAVCC		2.3		2.7	
	DVCC3 CVCCL	2.7			3.6		
低レベル入力電圧	P7~P8	V _{IL1}	$2.7V \leq AVCC3 \leq 3.6V$			0.3 AVCC3	V
	ノーマルポート	V _{IL2}	$2.7V \leq DVCC3 \leq 3.6V$			0.3 DVCC3	
	シュミット入力	V _{IL3}	$2.7V \leq DVCC3 \leq 3.6V$	-0.3		0.2 DVCC3	
	X1	V _{IL4}	$1.35V \leq CVCCH \leq 1.65V$			0.1 CVCCH	
	XT1	V _{IL5}	$2.7V \leq CVCC L \leq 3.6V$			0.1 CVCC L	

(注) Typ 値は特に指定のない限り Ta = 25°C, DVCC15=1.5V、DVCC3=AVCC3=3.3V、DAVCC=2.5V の値です。

Ta = -20 ~ 85°C

項目		記号	条件	Min.	Typ. (注)	Max.	単位
高レベル入力電圧	P7~P8	V _{IH1}	2.7V ≤ AVCC3 ≤ 3.6V	0.7 AVCC3		DVCC3 + 0.3 DVCC15 + 0.2 CVCCH + 0.2 CVCLL + 0.3	V
	ノーマルポート	V _{IH2}	2.7V ≤ DVCC3 ≤ 3.6V	0.7 DVCC3			
	シュミット入力	V _{IH3}	2.7V ≤ DVCC3 ≤ 3.6V	0.8 DVCC3			
	X1	V _{IH4}	1.35V ≤ CVCCH ≤ 1.65V	0.9 CVCCH			
	XT2	V _{IH4}	2.7V ≤ CVCLL ≤ 3.6V	0.9 CVCLL			
低レベル出力電圧		V _{OL}	I _{OL} = 2mA DVCC3 ≥ 2.7V			0.4	V
高レベル出力電圧		V _{OH}	I _{OH} = -2mA DVCC3 ≥ 2.7V	2.4			

(注) Typ 値は特に指定のない限り Ta = 25°C、DVCC15=1.5V、DVCC3 = AVCC3=3.3V、DAVCC=2.5V の値です。

Not Recommended for New Design

4.3 DC 電気的特性 (2/3)

Ta = -20~85°C

項目	記号	条件	Min.	Typ. (注)	Max.	単位
入力リーク電流	I _{LI}	0.0 ≤ V _{IN} ≤ DVCC15 0.0 ≤ V _{IN} ≤ DVCC3 0.0 ≤ V _{IN} ≤ AVCC3 0.0 ≤ V _{IN} ≤ DAVCC		0.02	± 5	μA
カリーク電流	I _{LO}	0.2 ≤ V _{IN} ≤ DVCC15 - 0.2 0.2 ≤ V _{IN} ≤ DVCC3 - 0.2 0.2 ≤ V _{IN} ≤ AVCC3 - 0.2 0.2 ≤ V _{IN} ≤ DAVCC - 0.2		0.05	± 10	
リセットプルアップ抵抗	RRST	DVCC3 = 2.7V~3.6V	20	50	150	kΩ
シュミット入力	VTH	2.7V ≤ DVCC3 ≤ 3.6V	0.3	0.6		V
プログラマブル プルアップ/ダウン抵抗	PKH	DVCC3 = 2.7V~3.6V	20	50	150	kΩ
Pin 容量 (電源端子を除く)	C _{IO}	fc = 1MHz			10	pF

(注) Typ 値は特に指定のない限り Ta = 25°C、DVCC15=1.5V、DVCC3 = AVCC3=3.3V、DAVCC=2.5V、の値です。

4.4 DC 電気的特性 (3/3)

DVCC15=CVCCH=1.35V~1.65V, CVCCL= DVCC3=AVCC3=2.7V~3.6V,
DAVCC=2.3V~2.7V

Ta = -20~85°C

項目	記号	条件	Min.	Typ. (注 1)	Max.	単位
NORMAL(注 2)ギア比 1/1	I _{CC}	f _{sys} =40 MHz (f _{osc} = 10 MHz)		50	74	mA
IDLE(Doze) (注 3)				20	29	
IDLE(Halt) (注 3)				18	28	
SLOW (注 4)		f _s = 32.768kHz		140	995	μA
SLEEP (注 4)		f _s = 32.768kHz		30	985	μA
STOP				27	980	μA

(注1) Typ 値は、特に指定のない限り Ta = 25 °C, DVCC15=1.5 V , DVCC3=AVCC3= 3.3 V, DAVCC = 2.5 V の値です。

(注2) I_{CC} NORMAL の測定条件 :

CPU ドライストン実行(DSU を除く), RAM, FLASH
D/A および A/D を除く内蔵周辺機能は全て動作

(注3) I_{CC} IDLE の測定条件 :

周辺機能は全て停止

(注4) I_{CC} SLOW, SLEEP の測定条件 :

時計用タイマ動作

I_{CC} には DVCC15、DVCC3、CVCCH、CVCCL、AVCC3、DAVCC に流れる電流が含まれます。

4.5 10ビット A/D 変換特性

DVCC15=CVCCH=1.35V~1.65V, CVCCL= DVCC3=AVCC3=VREFH=2.7V~3.6V,
DAVCC=2.3V~2.7V,AVSS = DVSS ,Ta= -20~85°C
AVCC3 負荷容量 $\geq 3.3\mu\text{F}$, VREFH 負荷容量 $\geq 3.3\mu\text{F}$

項目	記号	条件	Min	Typ	Max	単位
アナログ基準電圧(+)	VREFH		2.7	3.3	3.6	V
アナログ基準電圧(-)	VREFL		AVSS	AVSS	AVSS	V
アナログ入力電圧	VAIN		VREFL		VREFH	V
アナログ基準電圧電源電流	IREF	A/D 変換時	DVSS = AVSS = VREFL	4.5	5.5	mA
		A/D 非変換時	DVSS = AVSS = VREFL	± 0.02	± 5	μA
消費電流	—	IREF を除く			3	mA
積分非直線性誤差	—	AIN 負荷抵抗 $\leq 600\Omega$ AIN 負荷容量 $\leq 30\text{pF}$ 変換時間 $\geq 1.15\mu\text{s}$		± 2	± 3	LSB
微分直線性誤差				± 1	± 2	
オフセット誤差				± 2	± 4	
フルスケール誤差				± 2	± 4	
積分非直線性誤差	—	AIN 負荷抵抗 $\leq 600\Omega$ AIN 負荷容量 $\geq 0.1\mu\text{F}$ 変換時間 $\geq 1.15\mu\text{s}$		± 2	± 3	
微分直線性誤差				± 1	± 2	
オフセット誤差				± 2	± 4	
フルスケール誤差				± 2	± 4	
積分非直線性誤差	—	AIN 負荷抵抗 $\leq 1.3\text{k}\Omega$ AIN 負荷容量 $\geq 0.1\mu\text{F}$ 変換時間 $\geq 1.15\mu\text{s}$		± 2	± 3	
微分直線性誤差				± 1	± 2	
オフセット誤差				± 2	± 4	
フルスケール誤差				± 2	± 4	
積分非直線性誤差	—	AIN 負荷抵抗 $\leq 10\text{k}\Omega$ AIN 負荷容量 $\geq 0.1\mu\text{F}$ 変換時間 $\geq 2.30\mu\text{s}$		± 2	± 3	
微分直線性誤差				± 1	± 2	
オフセット誤差				± 2	± 4	
フルスケール誤差				± 2	± 4	

(注) $1\text{LSB} = (\text{VREFH} - \text{VREFL}) / 1024[\text{V}]$

4.6 8ビット D/A 変換特性

DVCC15=CVCCH=1.35V~1.65V, CVCCL= DVCC3=AVCC3=2.7V~3.6V,
DAVCC=2.3V~2.7V

項目	記号	条件	Min	Typ	Max	単位
アナログ基準電圧(+)	DAVREF		2.3	2.5	2.7	V
アナログ 基準電圧 電源電流	IDREF	<REFONn> = 1 n=0,1		1	2	mA
		<REFONn> = 0 n=0,1		±0.02	±5	μA
消費電流	Icc				5	mA
出力電流	IDA0, IDA1		±1			mA
出力電圧範囲	DA0, DA1		DAGND+0.3		DAVCC-0.3	V
総合誤差	—			±2	±3	LSB

(注 1) $1\text{LSB} = (\text{DAVREF} - \text{DAGND}) / 256[\text{V}]$

(注 2) IDREF 電流値は D/A コンバータ 2ch 同時に動作させている場合の電流値です。

(注 3) 2ch を同時に動作させた時の相対精度は保証していません。

(注 4) DAx 端子の外付け容量は 1ch あたり 100pF(max)としてください。

4.7 AC 電気的特性

4.7.1 マルチプレクスバスモード

- (1) DVCC15=CVCC15=1.35V~1.65V, AVCC3= 2.7V~3.6V
 DVCC3= 2.7V~3.6V, DAVCC = 2.3V~2.7V, Ta = -20~85°C

① ALE = 1 クロック, 自動 2 ウェイト挿入

No.	項目	記号	計算式		40 MHz (fsys)(注)		単位
			Min	Max	Min	Max	
1	システムクロック周期(x)	t _{sys}	25				ns
2	A0-15 有効→ ALE 立ち下がり	t _{AL}	x-11		14.0		ns
3	ALE 立ち下がり→ A0-15 保持	t _{LA}	x-8		17.0		ns
4	ALE High パルス幅	t _{LL}	x-6		19.0		ns
5	ALE 立ち下がり→ $\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち下がり	t _{LC}	x-8		17.0		ns
6	$\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち上がり → ALE 立ち上がり	t _{CL}	x-8		17.0		ns
7	A0-15 有効→ $\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち下がり	t _{ACL}	2x-11		39.0		ns
8	A16-23 有効→ $\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち下がり	t _{ACH}	2x-11		39.0		ns
9	$\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち上がり → A16-23 保持	t _{CAR}	x-11		14.0		ns
10	A0-15 有効→ D0-15 入力	t _{ADL}		x(2+TW+ALE)-43		82.0	ns
11	A16-23 有効→ D0-15 入力	t _{ADH}		x(2+TW+ALE)-43		82.0	ns
12	\overline{RD} 立ち下がり→ D0-15 入力	t _{RD}		x(1+TW)-40		35.0	ns
13	\overline{RD} Low パルス幅	t _{RR}	x(1+TW)-6		69		ns
14	\overline{RD} 立ち上がり→ D0-15 保持	t _{HR}	0		0		ns
15	\overline{RD} 立ち上がり→ A0-15 出力	t _{RAE}	x-6		19.0		ns
16	$\overline{WR}/\overline{HWR}$ Low パルス幅	t _{WW}	x(1+TW)-6		69.0		ns
17	D0-15 有効→ $\overline{WR}/\overline{HWR}$ 立ち上がり	t _{DW}	x(1+TW)-11		64.0		ns
18	$\overline{WR}/\overline{HWR}$ 立ち上がり→ D0-15 保持	t _{WD}	x-11		14.0		ns
19	A16-23 有効→ WAIT 入力	t _{AWH}		x+x(ALE)+x(TW-1)-32		43.0	ns
20	A0-15 有効→ WAIT 入力	t _{AWL}		x+x(ALE)+x(TW-1)-32		43.0	ns
21	$\overline{RD}/\overline{WR}/\overline{HWR}$ → WAIT 保持	t _{CW}	x(TW-3)-16	x(TW-1)-29	9.0	46.0	ns

(注) 内部ウェイト“2”、ALE 出力“1”クロック、40MHz 時の値です。

$$TW = (W + 2N)$$

W = 自動ウェイト設定数

2N = 外部ウェイト入力設定数

$$\text{上記の場合: } TW = 2 + 2 \times 1 = 4$$

AC 測定条件

- ・出力レベル: High 0.8DVCC3 V/Low 0.2DVCC3 V, CL = 30 pF
- ・入力レベル: High 0.7DVCC3 V/Low 0.3DVCC3 V

② ALE = 2クロック, 自動2ウェイト挿入

No.	項目	記号	計算式		40 MHz (fsys)(注)		単位
			Min	Max	Min	Max	
1	システムクロック周期(x)	t _{SYS}	25				ns
2	A0-15有効→ALE立ち下がり	t _{AL}	x-11		14.0		ns
3	ALE立ち下がり→A0-15保持	t _{LA}	x-8		17.0		ns
4	ALE Highパルス幅	t _{LL}	x-6		19.0		ns
5	ALE立ち下がり→ $\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち下がり	t _{LC}	x-8		17.0		ns
6	$\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち上がり →ALE立ち上がり	t _{CL}	x-8		17.0		ns
7	A0-15有効→ $\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち下がり	t _{ACL}	2x-11		39.0		ns
8	A16-23有効→ $\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち下がり	t _{ACH}	2x-11		39.0		ns
9	$\overline{RD}/\overline{WR}/\overline{HWR}$ 立ち上がり →A16-23保持	t _{CAR}	x-11		14.0		ns
10	A0-15有効→D0-15入力	t _{ADL}		$x(2+TW+ALE)-43$		82.0	ns
11	A16-23有効→D0-15入力	t _{ADH}		$x(2+TW+ALE)-43$		82.0	ns
12	\overline{RD} 立ち下がり→D0-15入力	t _{RD}		$x(1+TW)-40$		35.0	ns
13	\overline{RD} Lowパルス幅	t _{RR}	$x(1+TW)-6$		69		ns
14	\overline{RD} 立ち上がり→D0-15保持	t _{HR}	0		0		ns
15	\overline{RD} 立ち上がり→A0-15出力	t _{RAE}	x-6		19.0		ns
16	$\overline{WR}/\overline{HWR}$ Lowパルス幅	t _{WW}	$x(1+TW)-6$		69.0		ns
17	D0-15有効→ $\overline{WR}/\overline{HWR}$ 立ち上がり	t _{DW}	$x(1+TW)-11$		64.0		ns
18	$\overline{WR}/\overline{HWR}$ 立ち上がり→D0-15保持	t _{WD}	x-11		14.0		ns
19	A16-23有効→ \overline{WAIT} 入力	t _{AWH}		$x+x(ALE)+x(TW-1)-32$		43.0	ns
20	A0-15有効→ \overline{WAIT} 入力	t _{AWL}		$x+x(ALE)+x(TW-1)-32$		43.0	ns
21	$\overline{RD}/\overline{WR}/\overline{HWR}$ → \overline{WAIT} 保持	t _{CW}	$x(TW-3)-16$	$x(TW-1)-29$	9.0	46.0	ns

(注) 内部ウェイト“2”、ALE出力“1”クロック、40MHz時の値です。

$$TW = (W + 2N)$$

W = 自動ウェイト設定数

2N = 外部ウェイト入力設定数

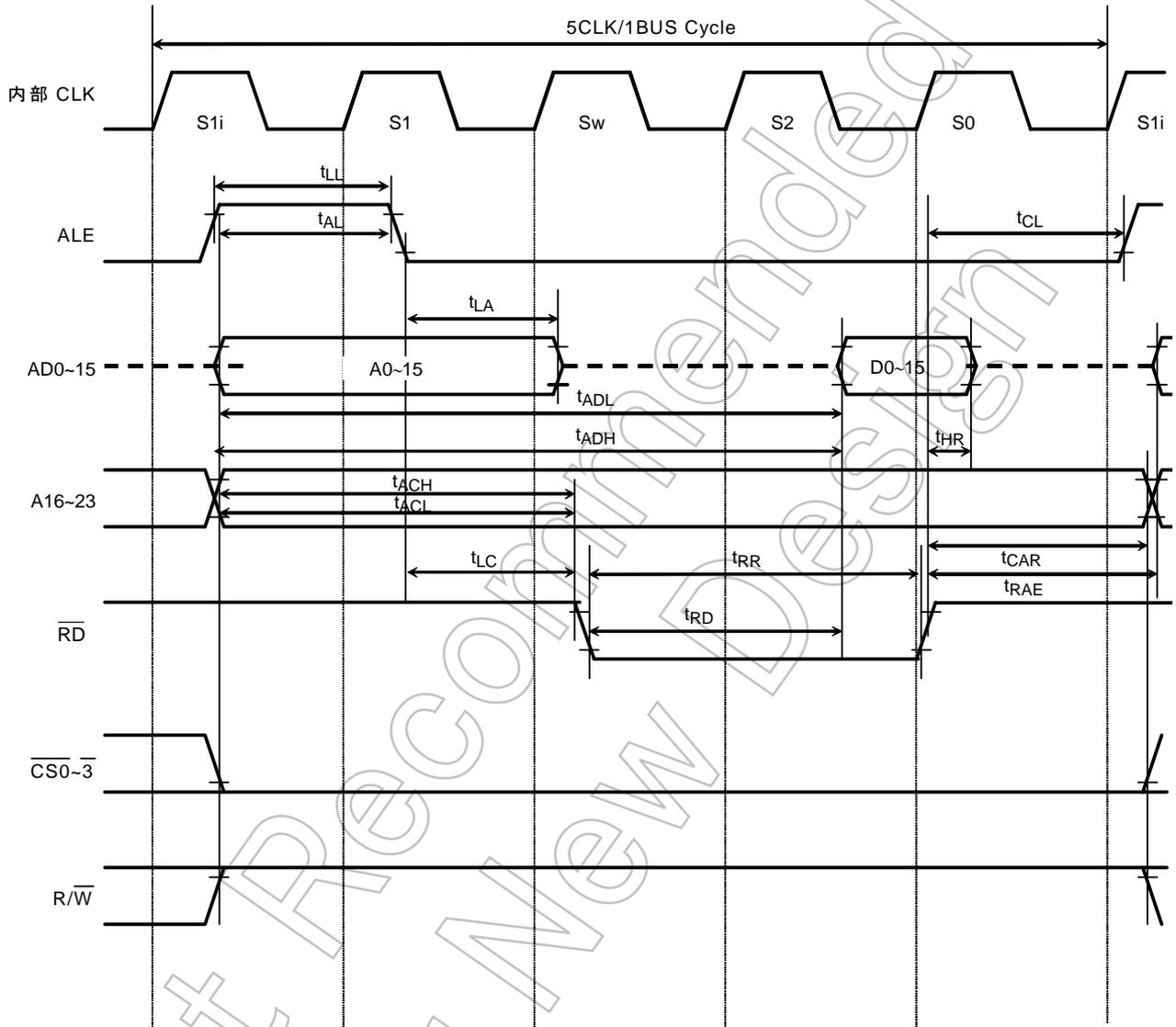
$$\text{上記の場合: } TW = 2 + 2 \times 1 = 4$$

AC測定条件

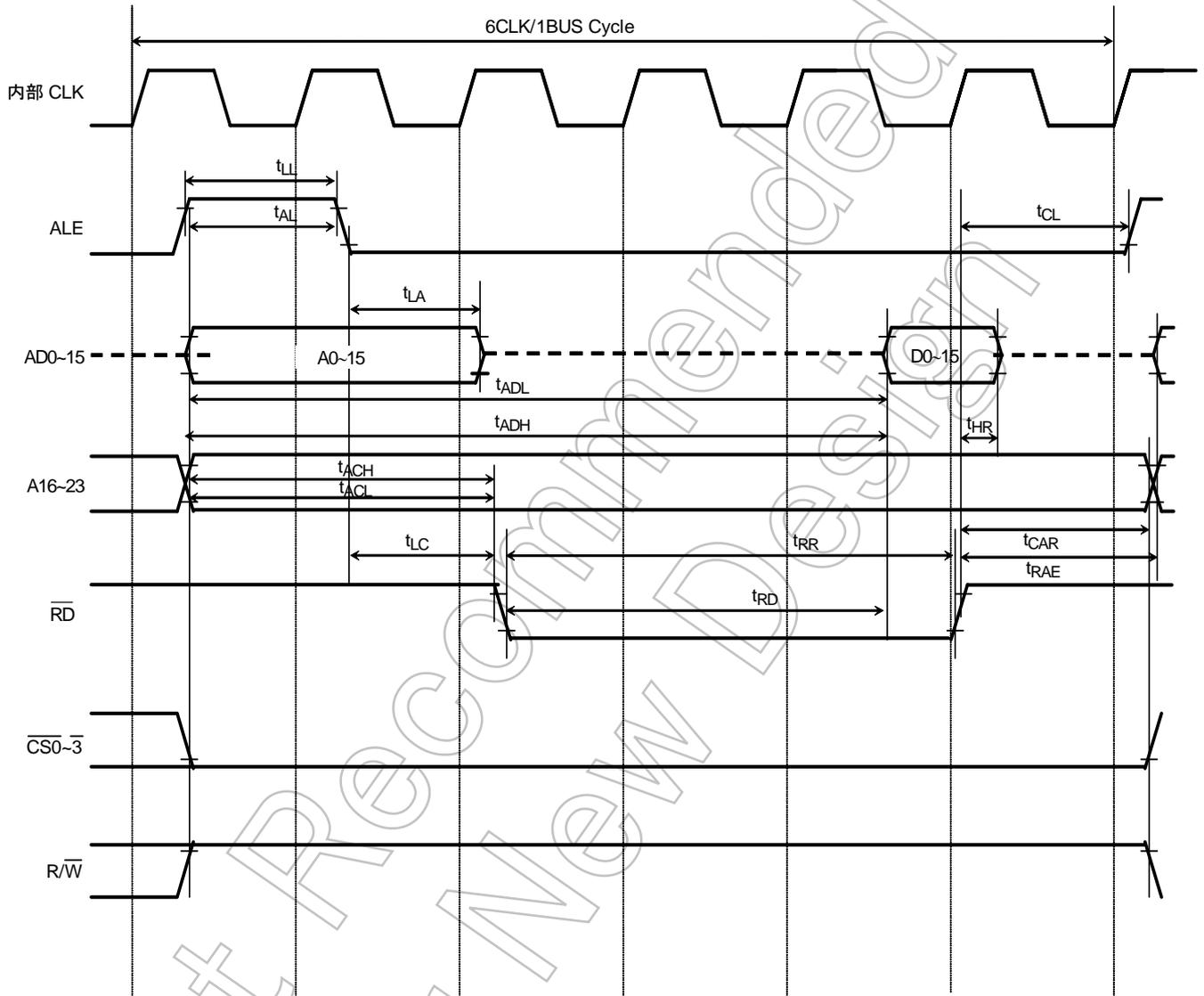
・出力レベル: High 0.8DVCC3 V/Low 0.2DVCC3 V, CL = 30 pF

・入力レベル: High 0.7DVCC3 V/Low 0.3DVCC3 V

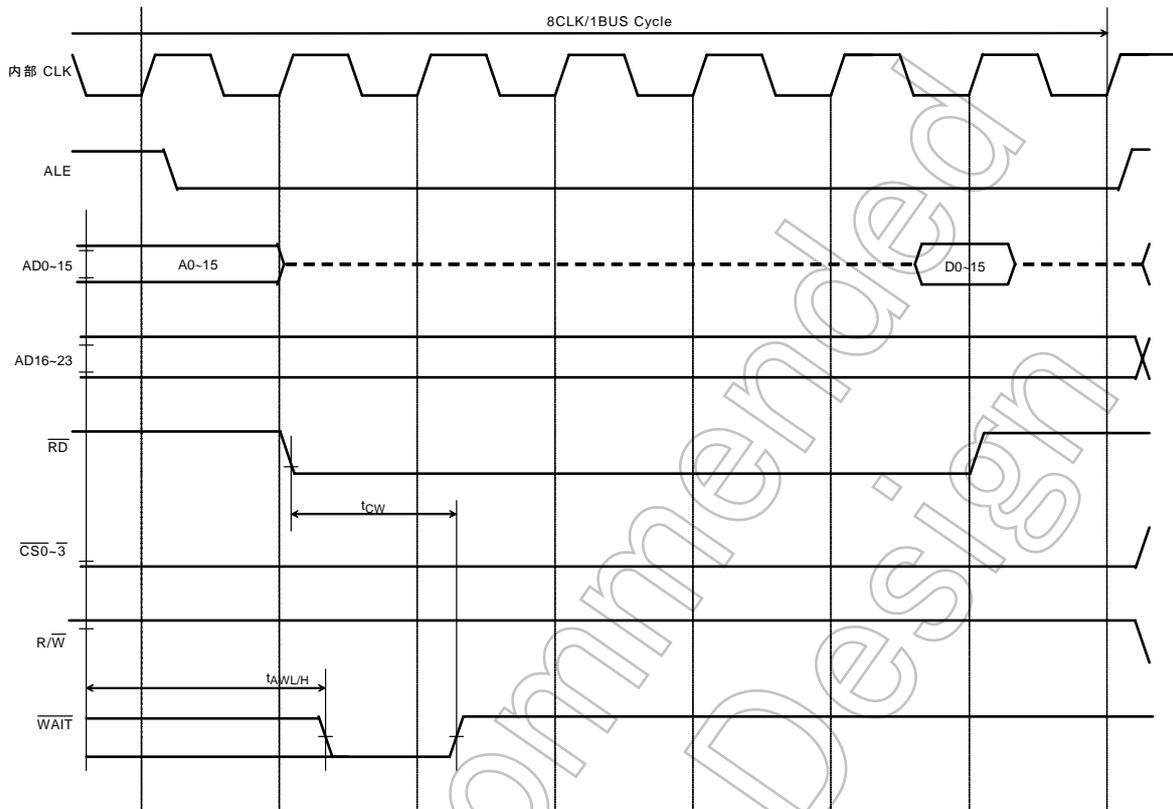
(1) リードタイミング (ALE = 1 クロック、1 ウェイト (内部ウェイト))



(2) リードタイミング (ALE = 1 クロック、自動 2 ウェイト (内部ウェイト))

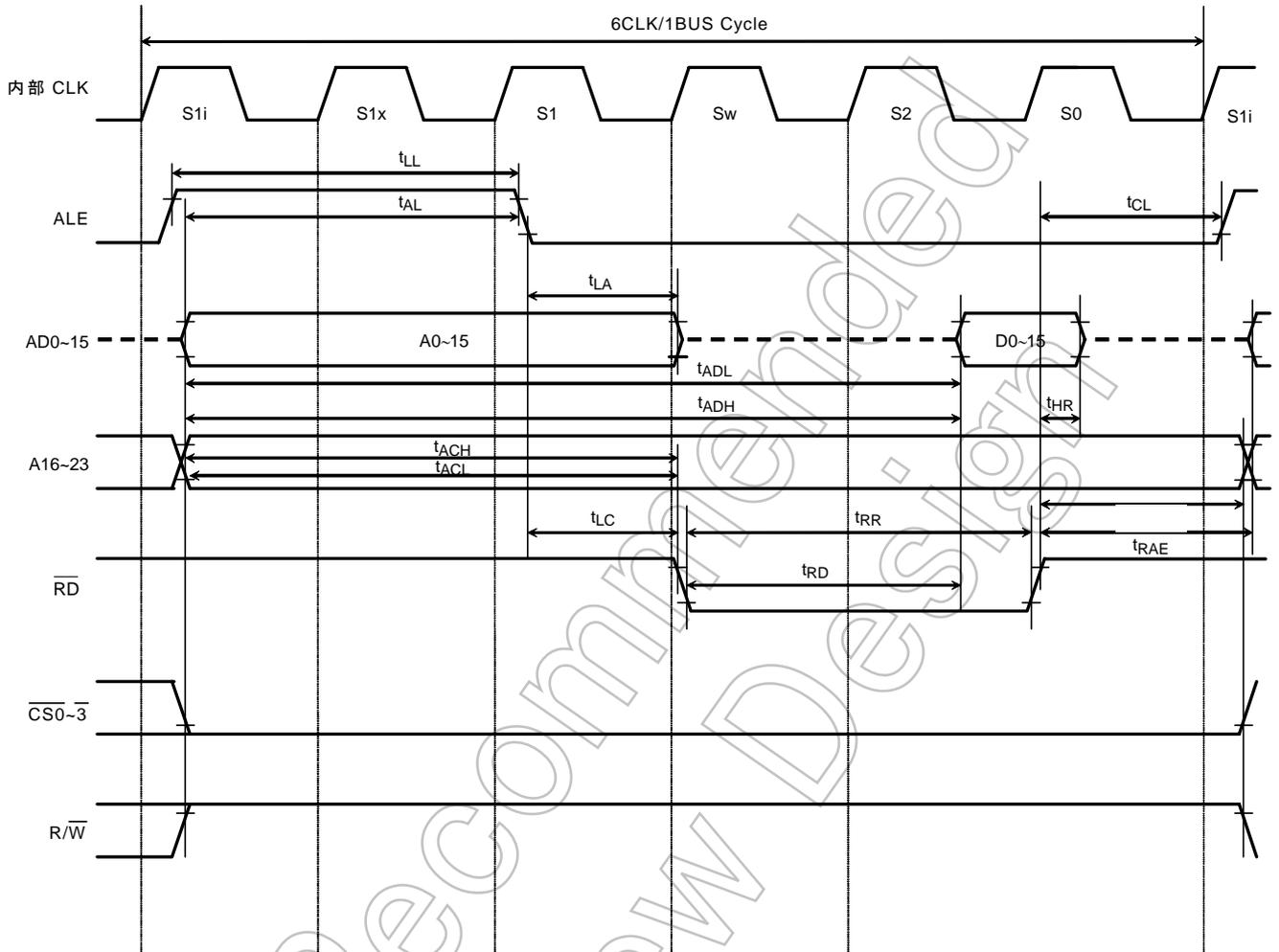


(3) リードタイミング (ALE = 1 クロック、4 ウェイト (外部 2+2N ウェイト、N = 1))



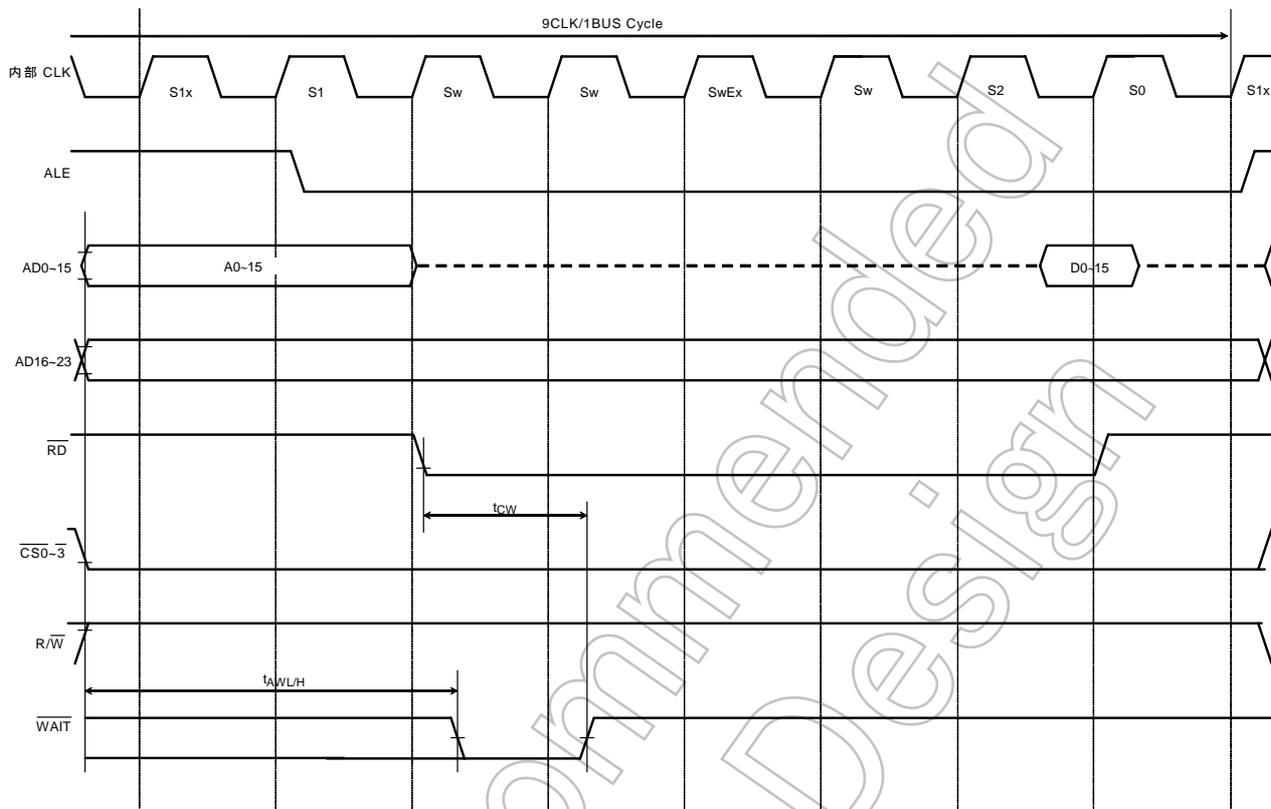
Not Recommended for New Design

(4) リードタイミング (ALE = 2 クロック、1 ウェイト (内部ウェイト))



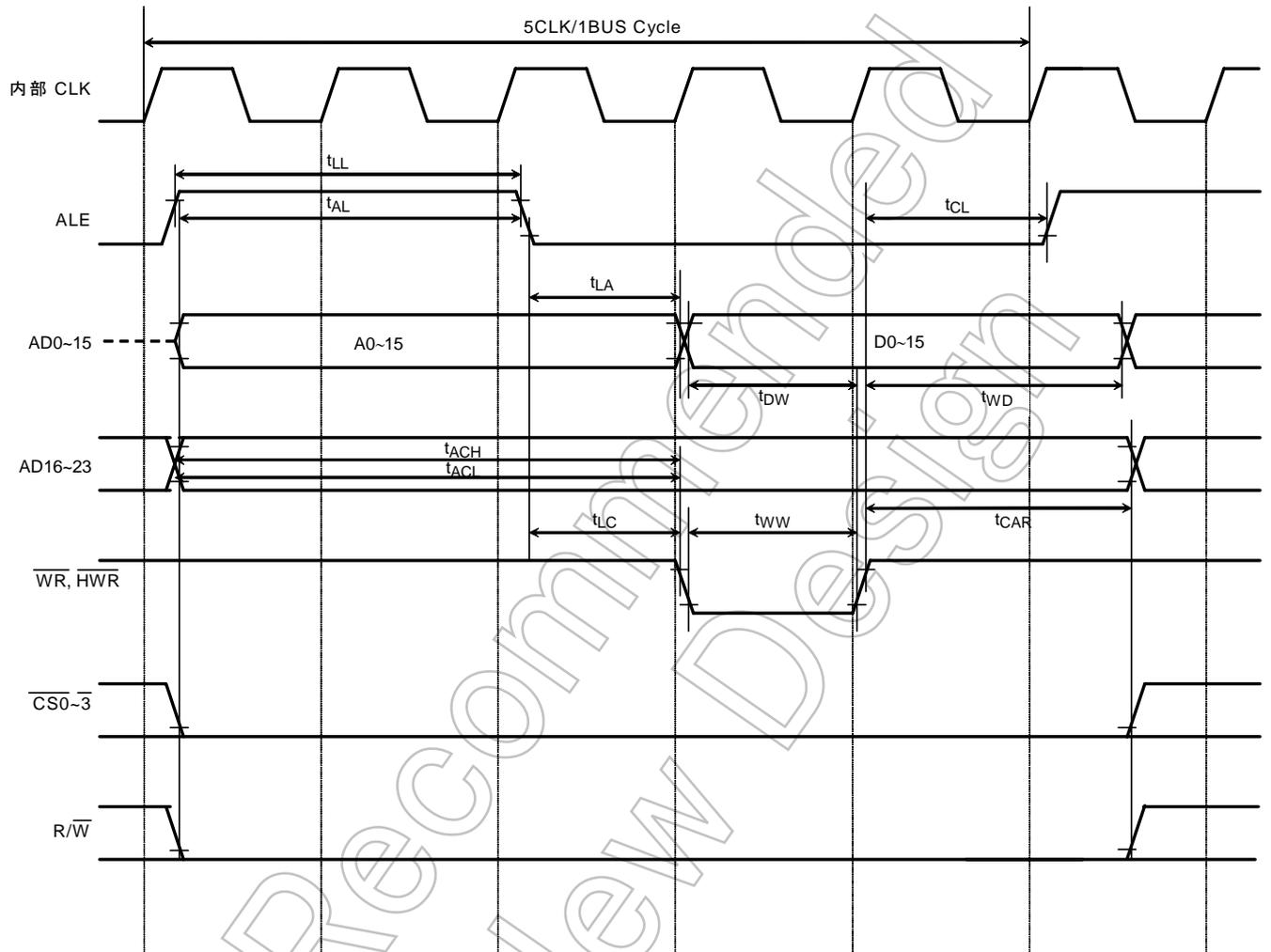
Not Recommended for New Design

(5) リードタイミング (ALE = 2 クロック、4 ウェイト (外部 2+2N ウェイト、N = 1))

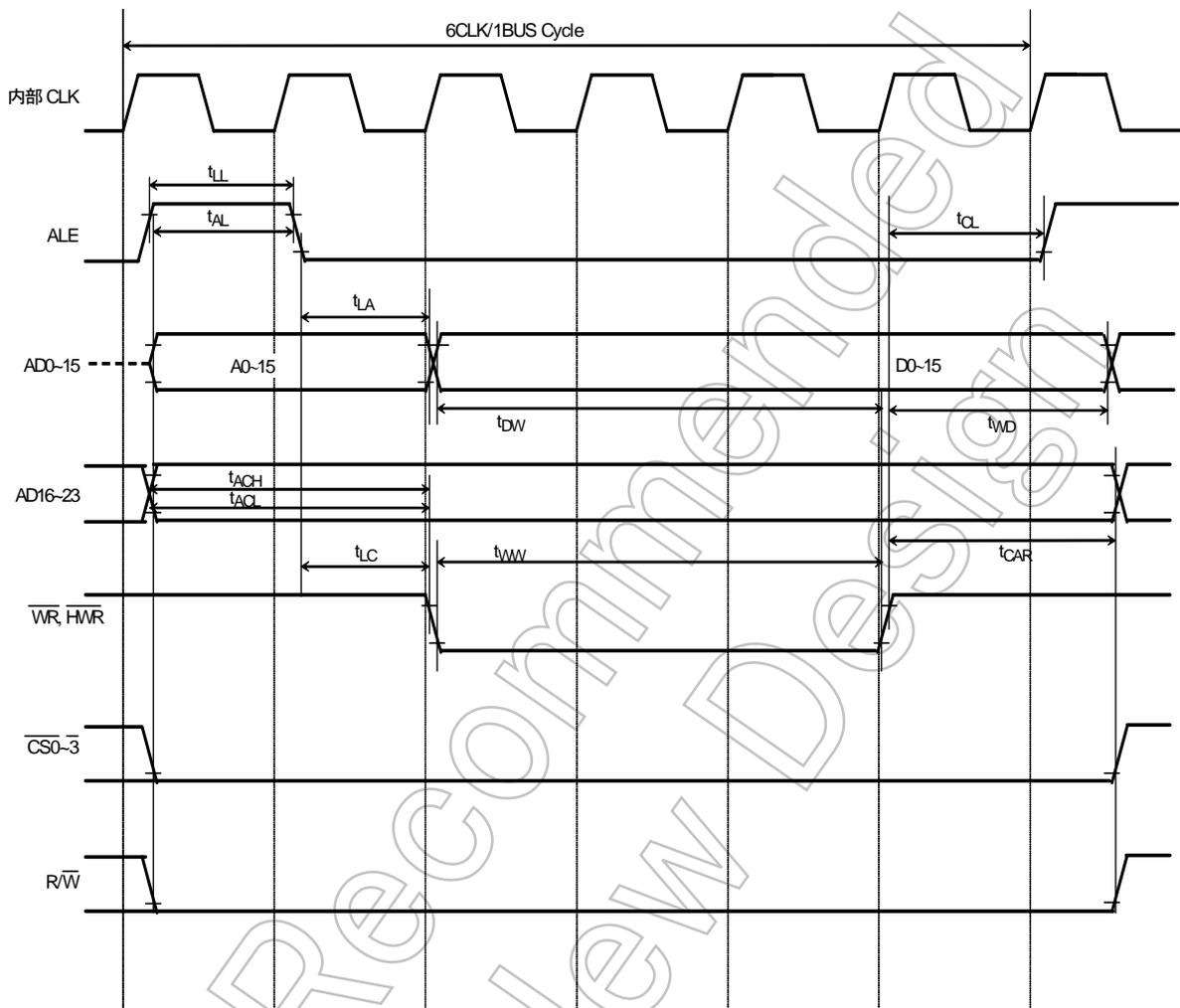


Not Recommended for New Design

(6) ライトタイミング (ALE = 2 クロック、0 ウェイト)

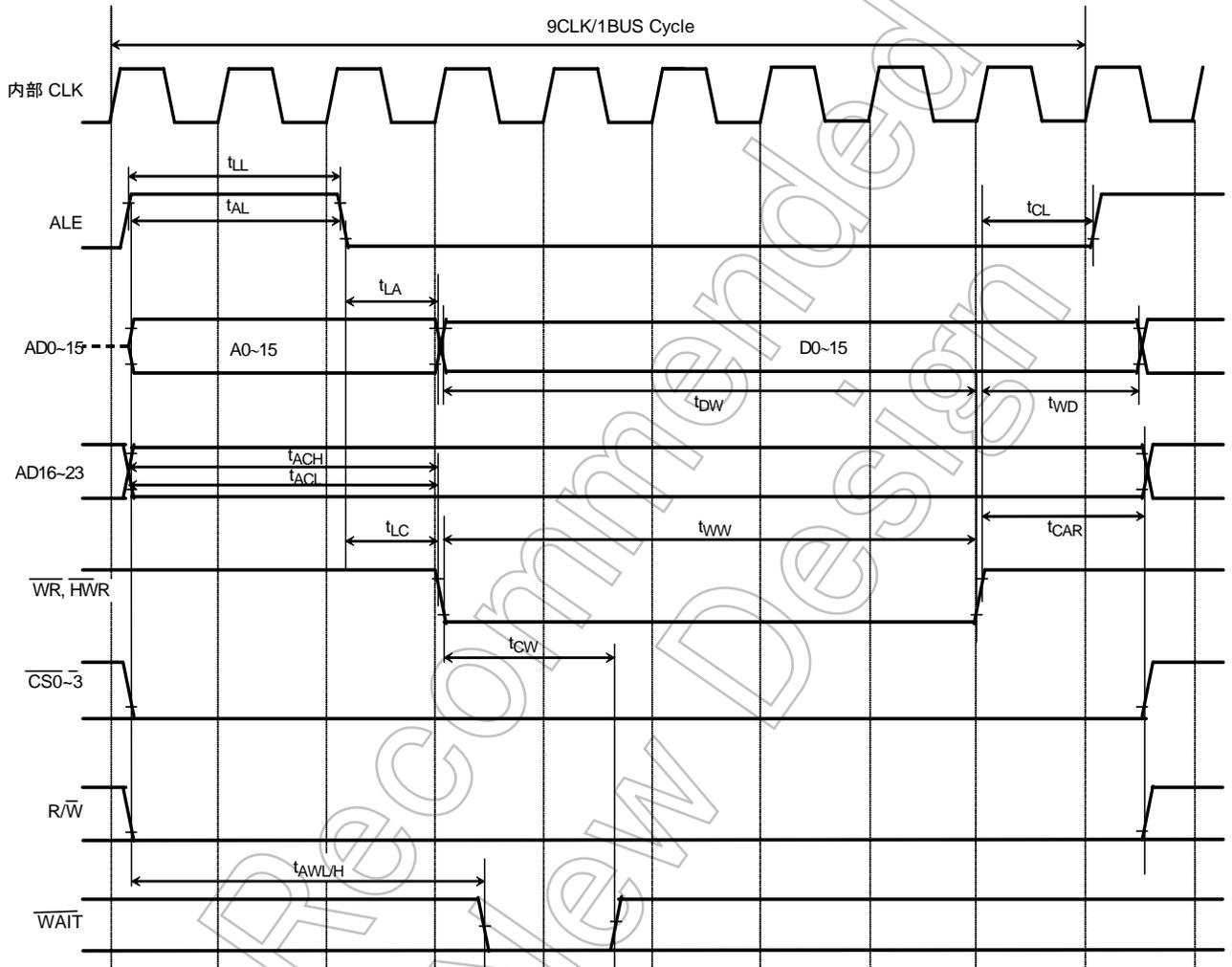


(7) ライトタイミング (ALE = 1 クロック、自動 2 ウェイト (内部ウェイト))



Not Recommended for New

(8) ライトタイミング (ALE = 2 クロック、4 ウェイト(外部 2+2N ウェイト、N = 1))



4.7.2 セパレートバスモード

- (1) DVCC15=CVCCH=1.35V~1.65V, DVCC3=AVCC3=2.7V~3.6V,
DAVCC=2.3V~2.7V, Ta = -20~85°C

① SYSCR3<ALESEL> = "0", 自動2ウェイト挿入

No.	項目	記号	計算式		40 MHz (fsys)(注)		単位
			Min	Max	Min	Max	
1	システムクロック周期(x)	t _{SYS}	25				ns
2	A0-23有効→ \overline{RD} / \overline{WR} / \overline{HWR} 立ち下がり	t _{AC}	$X(1+ALE)-11$		39.0		ns
3	\overline{RD} / \overline{WR} / \overline{HWR} 立ち上がり →A0-23保持	t _{CAR}	$x-11$		14.0		ns
4	A0-23有効→D0-15入力	t _{AD}		$x(2+TW+ALE)-43$		82.0	ns
5	\overline{RD} 立ち下がり→D0-15入力	t _{RD}		$x(1+TW)-40$		35.0	ns
6	\overline{RD} Lowパルス幅	t _{RR}	$x(1+TW)-6$		69.0		ns
7	\overline{RD} 立ち上がり→D0-15保持	t _{HR}	0		0		ns
8	\overline{RD} 立ち上がり→A0-23出力	t _{RAE}	$x-6$		19.0		ns
9	\overline{WR} / \overline{HWR} Lowパルス幅	t _{WW}	$x(1+TW)-6$		69.0		ns
10	\overline{WR} / \overline{HWR} 立ち下がり→D0-15有効	t _{DO}		9.7		9.7	ns
11	D0-15有効→ \overline{WR} / \overline{HWR} 立ち上がり	t _{DW}	$x(1+TW)-11$		64.0		ns
12	\overline{WR} / \overline{HWR} 立ち上がり→D0-15保持	t _{WD}	$x-11$		14.0		ns
13	A0-23有効→ \overline{WAIT} 入力	t _{AW}		$x+x(ALE)+x(TW-1)-32$		43.0	ns
14	\overline{RD} / \overline{WR} / \overline{HWR} → \overline{WAIT} 保持	t _{CW}	$x(TW-3)-16$	$x(TW-1)-29$	9.0	46.0	ns

(注) 内部ウェイト“2”、ALE出力“1”クロック、40MHz時の値です。

$$TW = (W + 2N)$$

W = 自動ウェイト設定数

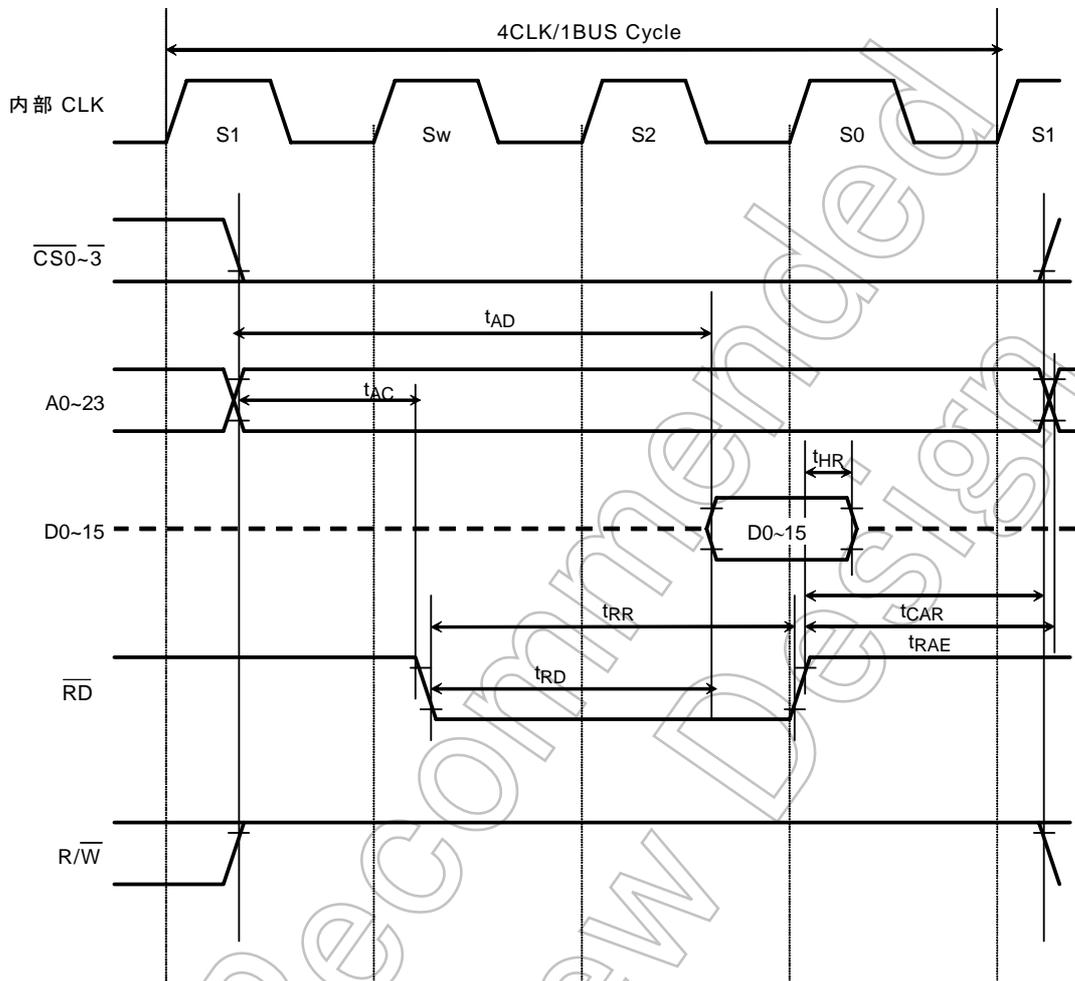
2N = 外部ウェイト入力設定数

$$\text{上記の場合: } TW = 2 + 2 \times 1 = 4$$

AC測定条件

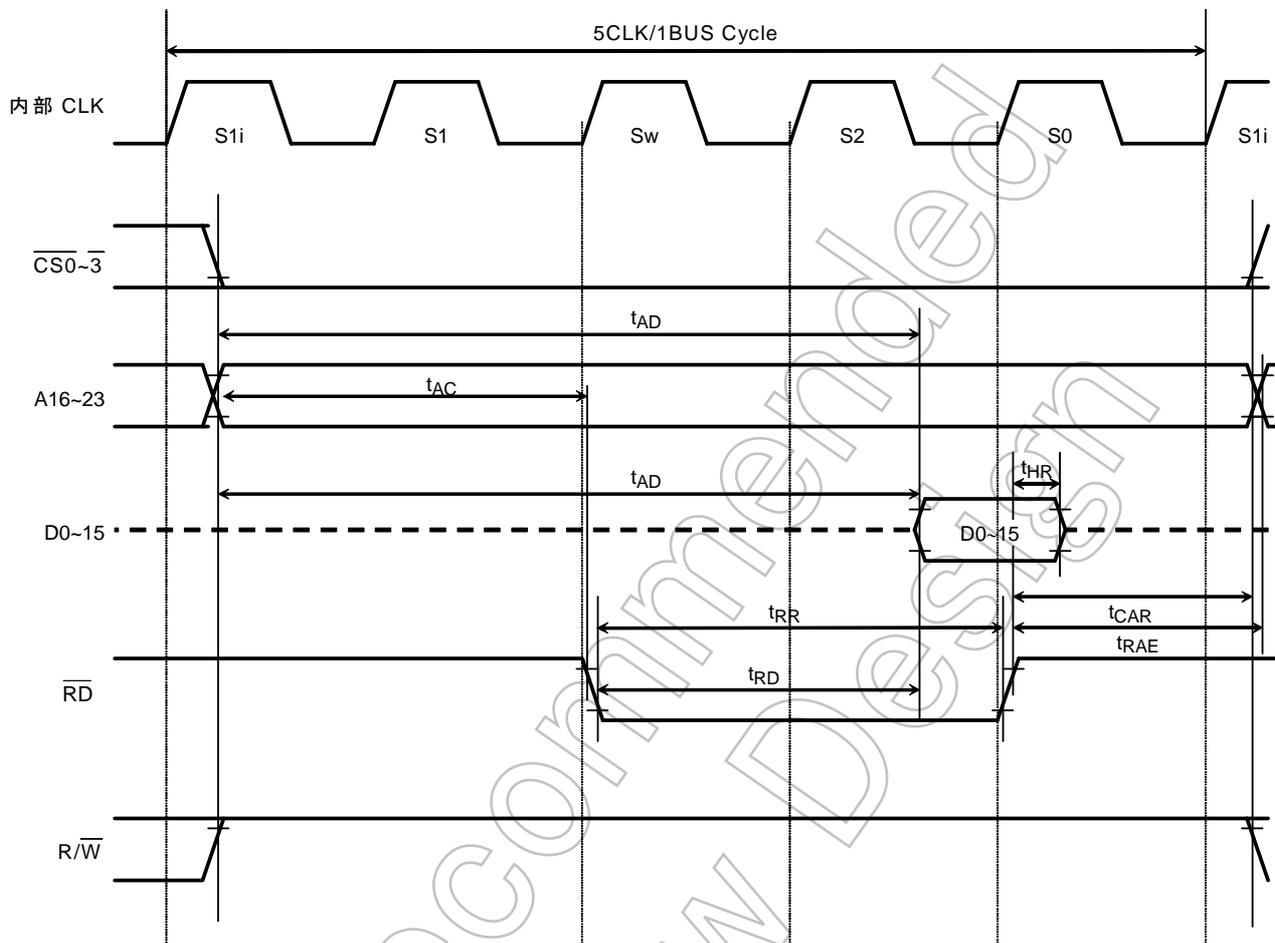
- 出力レベル: High 0.8DVCC3 V/Low 0.2DVCC3 V, CL = 30 pF
入力レベル: High 0.7DVCC3 V/Low 0.3DVCC3 V

(1) リードタイミング (SYSCR3<ALESEL> = "0"、1 ウェイト (内部ウェイト))



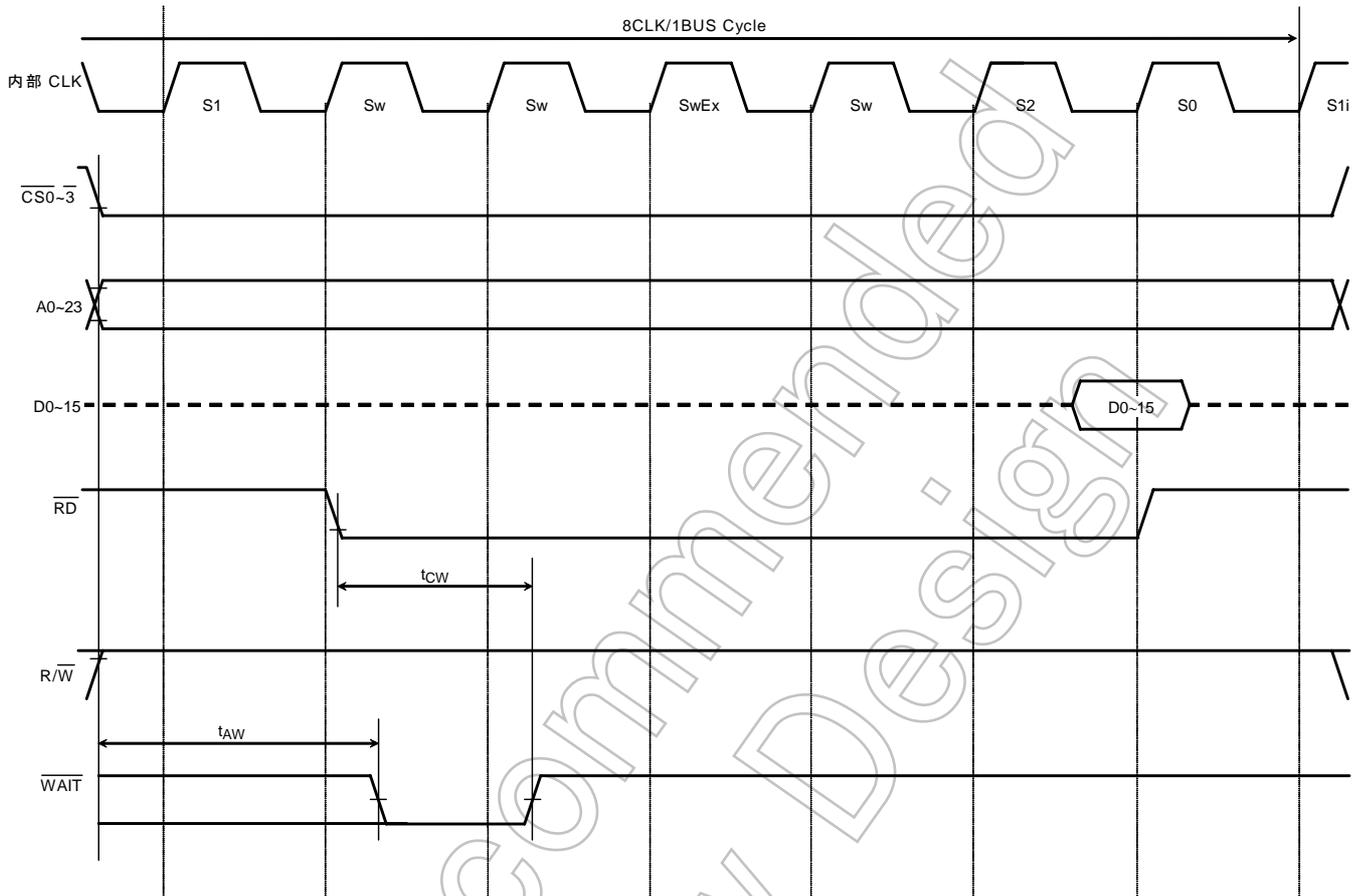
Not Recommended for New

(2) リードタイミング (SYSCR3<ALESEL> = “1”、1ウェイト (内部ウェイト))



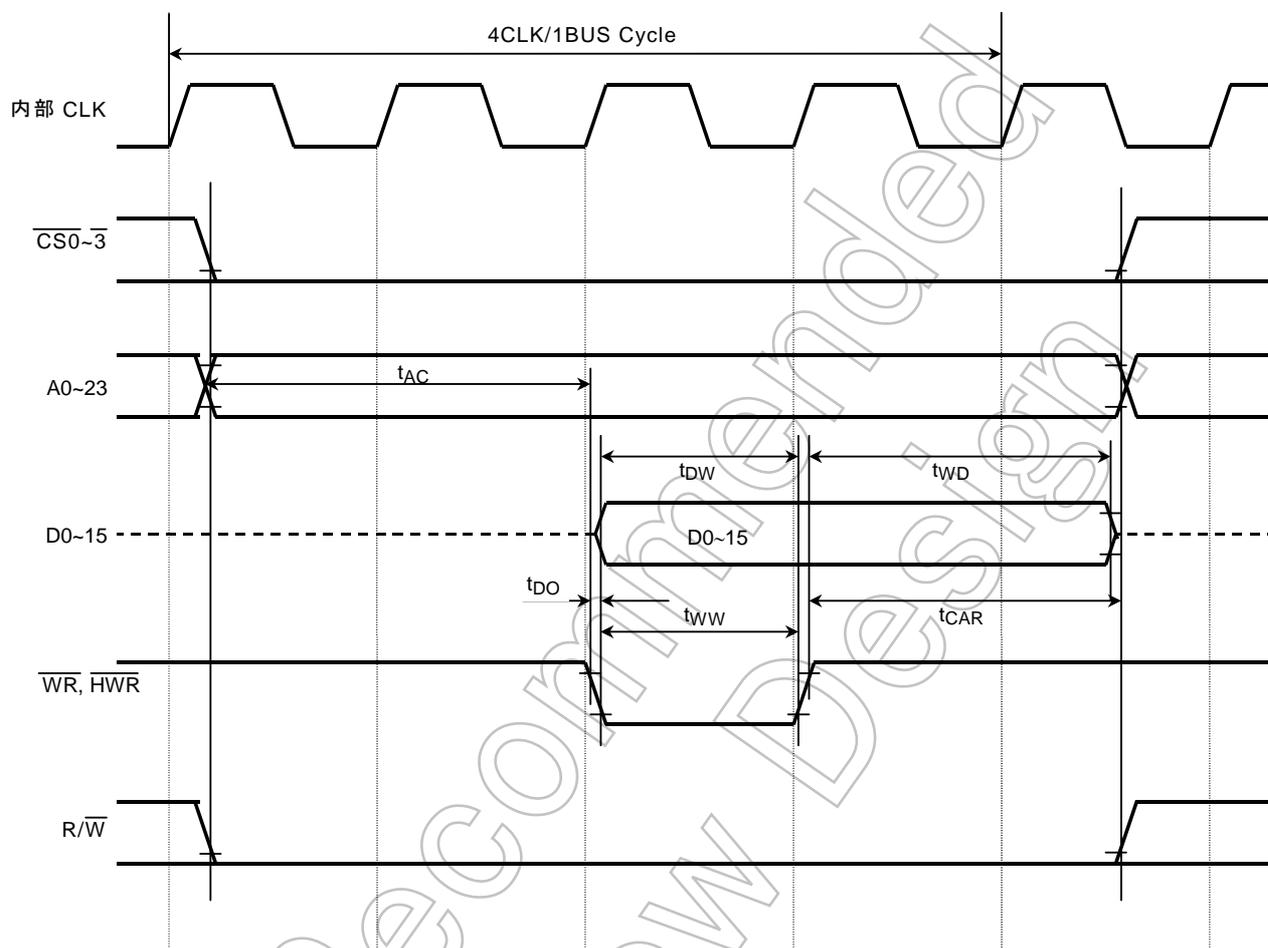
Not Recommended for New

(3) リードタイミング (SYSCR3<ALESEL> = “1”、4 ウェイト (外部 2+2N ウェイト、N = 1))



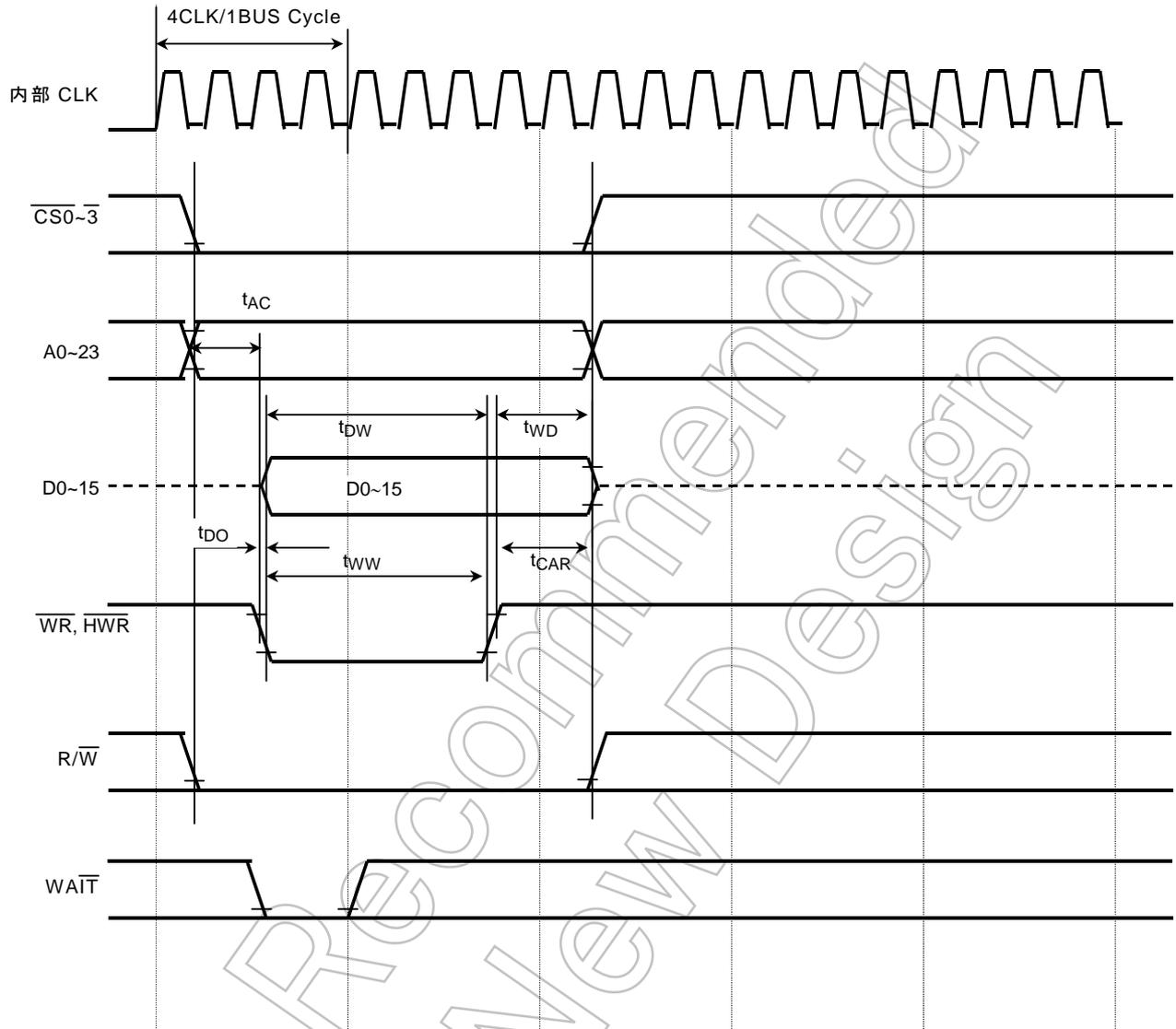
Not Recommended for New Design

(4) ライトタイミング (SYSCR3<ALESEL> = “1”、0 ウェイト)



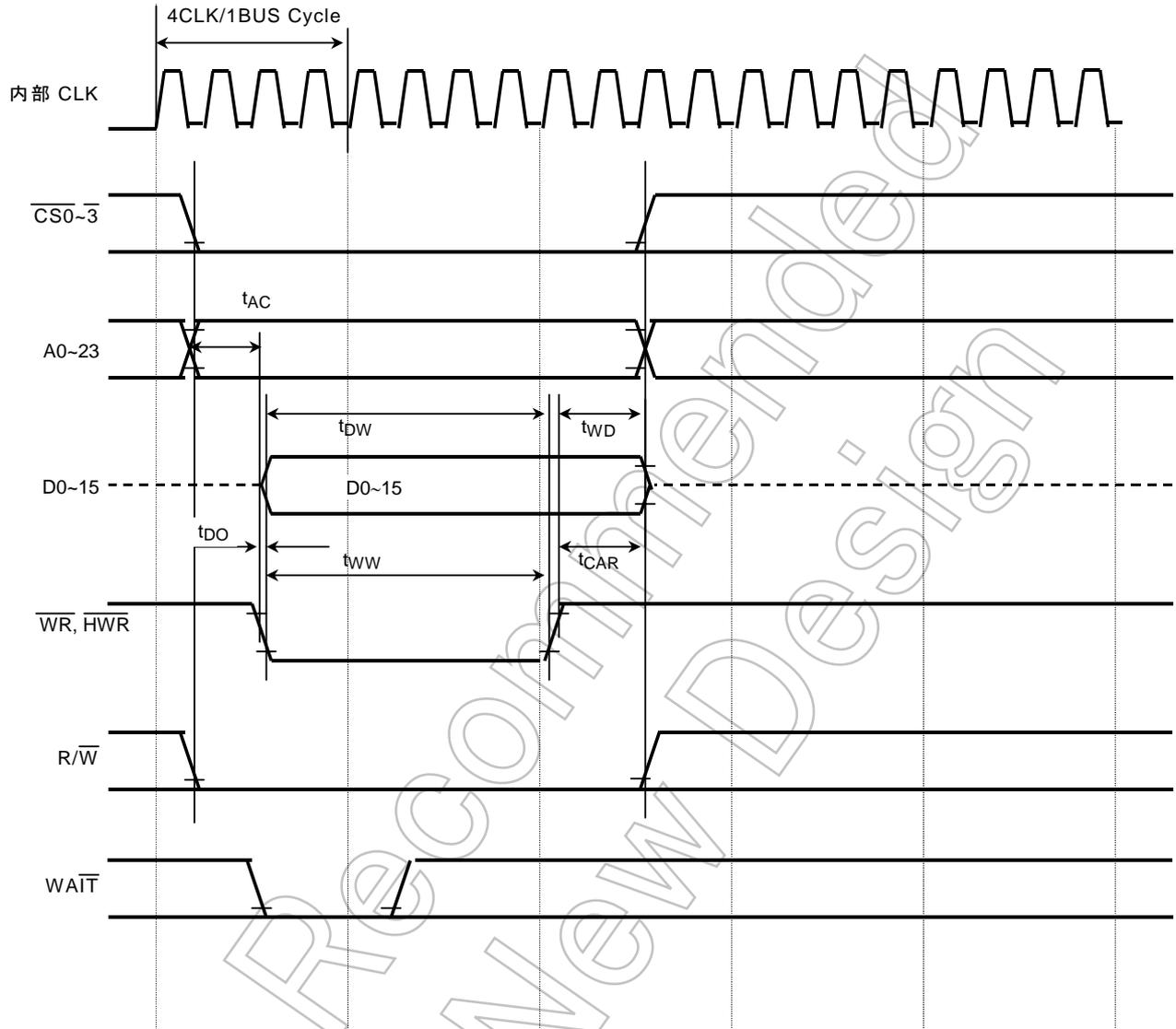
Not Recommended for New

(5) ライトタイミング (SYSCR3<ALESEL> = “1”、自動2ウェイト+2N (N=1))



Not Recommended for New Design

(6) ライトタイミング (SYSCR3<ALESEL> = “1”、自動3ウェイト+2N (N=1))

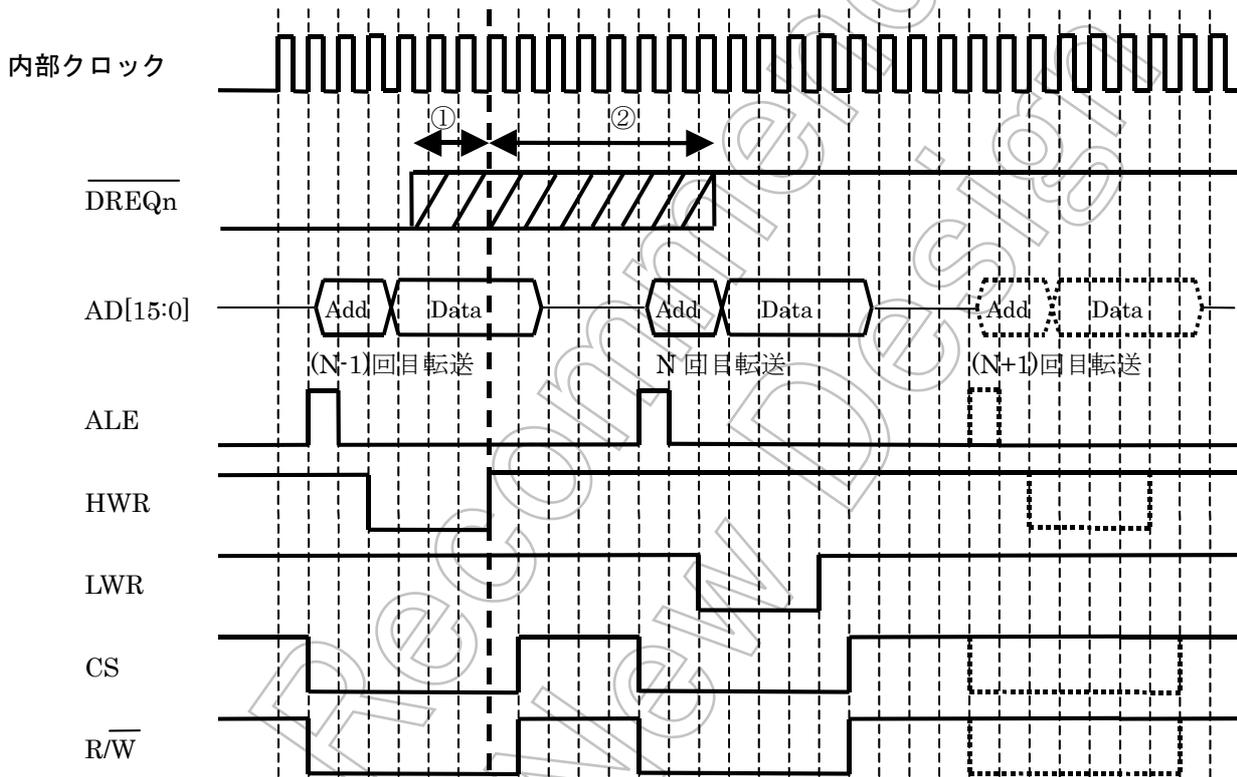


4.8 DMA リクエストを使用した転送

マルチプレクスバスモードで、内蔵 RAM と外部デバイスとの転送例を示します。

- ・ 16 ビットバス幅、リカバリタイムなし
- ・ DMA 転送モードはレベルモード
- ・ 転送単位 (TrSiz) 16bit 、デバイスポートサイズ (DPS) 16bit
- ・ ソース/ディスティネーション : 内蔵 RAM / 外部デバイス

内蔵 RAM to 外部デバイス (ライト時) (Mem to Mem 転送) のタイミングを図に示します。



- ① N 回目の転送が確実に実行されるための条件
- ② N+1 回目の転送が行われないための条件

DVCC15=CVCCH=1.35V~1.65V, DVCC3=AVCC3=2.7V~3.6V,
DAVCC=2.3V~2.7V, Ta=-20~85°C

項目	記号	計算式		40 MHz (f _{sys})		単位
		①Min	②Max	Min	Max	
RD 立ち上がり→DREQn のデアサート (外部デバイス to 内蔵 RAM)	tDREQ_r	(W+1)x	(2W+ALE+8)x -51	50	224	ns
WR /HWR 立ち上がり→DREQn のデアサート (内蔵 RAM to 外部デバイス)	tDREQ_w	-(W+2)x	(5+WAIT)x-51.8	-75	98.2	ns

4.9 シリアルチャネルタイミング

(1) I/O インタフェースモード (DVCC3=2.7V~3.6V)

表中の x はシステムクロック f_{sys} の周期を表します。この周期は、クロックギアの設定に依存します。

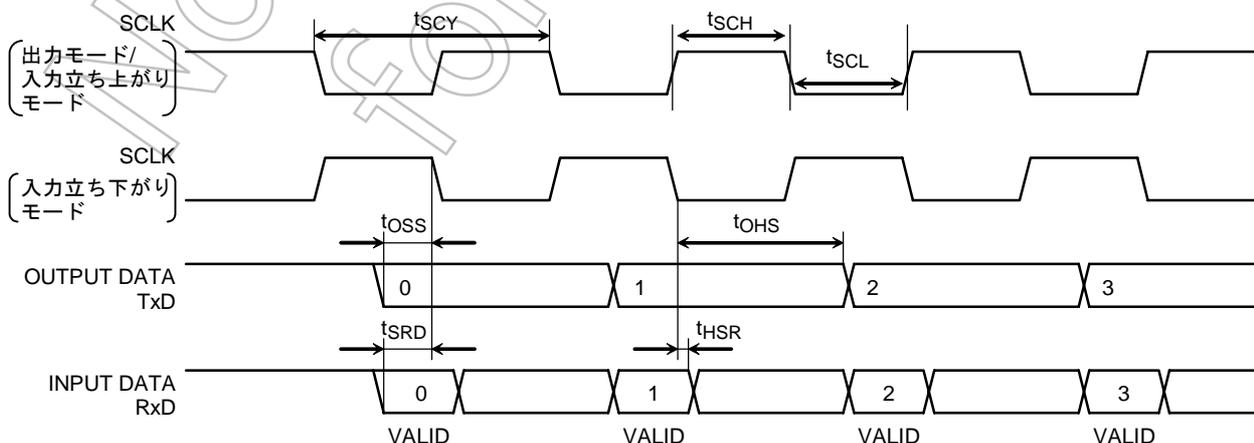
① SCLK 入力モード (S100~S102)

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
SCLK 周期	t_{SCY}	12x		300		ns
SCLK クロック High 幅 (入力)	T_{SCH}	6x		150		ns
SCLK クロック Low 幅 (入力)	T_{SCL}	6x		150		ns
Output Data ← SCLK 立ち上がり / 立ち下がり*	t_{OSS}	2x-30		20		ns
SCLK 立ち上がり → Output Data 保持 / 立ち下がり*	t_{OHS}	8x-15		185		ns
有効 Data 入力 ← SCLK 立ち上がり / 立ち下がり*	t_{SRD}	30		30		ns
SCLK 立ち上がり → Input Data 保持 / 立ち下がり*	t_{HSR}	2x+30		80		ns

*) SCLK 立ち上がり/立ち下がり…SCLK 立ち上がりモードの場合は SCLK 立ち上がり、SCLK 立ち下がりモードの場合は SCLK 立ち下がりのタイミングです。

② SCLK 出力モード (S100~S102)

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
SCLK 周期 (プログラマブル)	t_{SCY}	8x		200		ns
Output Data ← SCLK 立ち上がり	t_{OSS}	4x-10		90		ns
SCLK 立ち上がり → Output Data 保持	t_{OHS}	4x-10		90		ns
有効 Data 入力 ← SCLK 立ち上がり	t_{SRD}	45		45		ns
SCLK 立ち上がり → Input put Data 保持	t_{HSR}	0		0		ns



4.10 高速シリアルチャネルタイミング

(1) I/O インタフェースモード (DVCC3=2.7V~3.6V)

表中の x はシステムクロック f_{sys} の周期を表します。この周期は、クロックギアの設定に依存します。

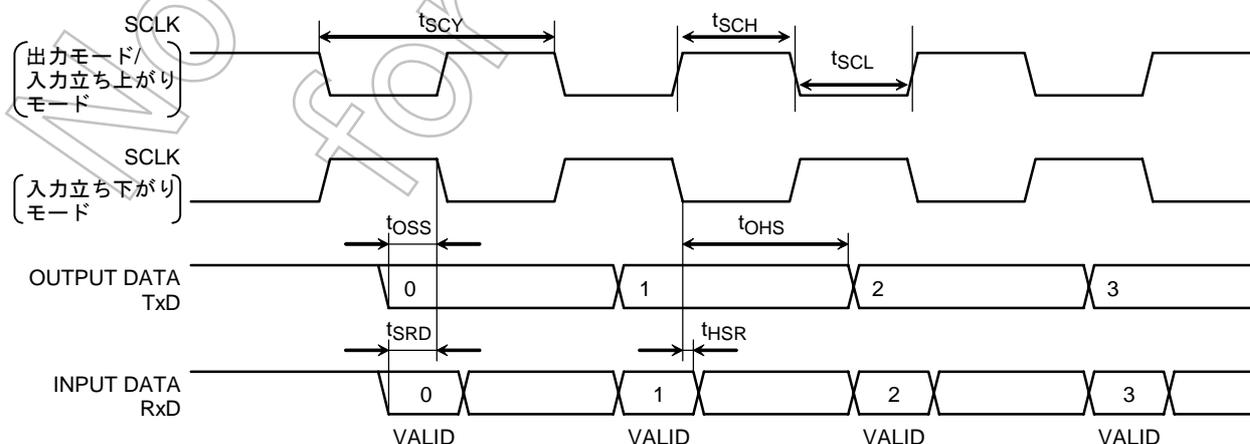
① HSCLK 入力モード (HSI00~HSI02)

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
SCLK 周期	t _{SCY}	12(x/2)		150		ns
SCLK クロック High 幅(入力)	T _{sch}	3x		75		ns
SCLK クロック Low 幅 (入力)	T _{scl}	3x		75		ns
Output Data ← SCLK 立ち上がり / 立ち下がり*	t _{OSS}	2(x/2)-30		-5		ns
SCLK 立ち上がり → Output Data 保持 / 立ち下がり*	t _{OHS}	8(x/2)-15		85		ns
有効 Data 入力 ← SCLK 立ち上がり / 立ち下がり*	t _{SRD}	30		30		ns
SCLK 立ち上がり → Input Data 保持 / 立ち下がり*	t _{HSR}	2(x/2)+30		55		ns

*) HSCLK 立ち上がり/立ち下がり…HSCLK 立ち上がりモードの場合は HSCLK 立ち上がり、HSCLK 立ち下がりモードの場合は HSCLK 立ち下がりのタイミングです。

② HSCLK 出力モード (HSIO0~HSIO2)

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
SCLK 周期 (プログラマブル)	t _{SCY}	8(x/2)		100		ns
Output Data ← SCLK 立ち上がり	t _{OSS}	4(x/2)-10		40		ns
SCLK 立ち上がり → Output Data 保持	t _{OHS}	4(x/2)-10		40		ns
有効 Data 入力 ← SCLK 立ち上がり	t _{SRD}	45		45		ns
SCLK 立ち上がり → Input put Data 保持	t _{HSR}	0		0		ns



4.11 シリアルバスインタフェースタイミング

(1) I2C モード

表中の x はシステムクロック f_{sys} の周期を、 T は $\phi T1$ を表します。

n は SBIOCR レジスタの SCK フィールドで指定した SCL 出カクロックの周波数選択値です。

項目	記号	計算式		標準モード		ファーストモード		単位
		Min	Max	Min	Max	Min	Max	
SCL クロック周波数	t_{SCL}	0		0	100	0	400	kHz
スタートコンディション保持	$t_{HD:STA}$			4.0		0.6		μs
SCL クロック Low 幅 (入力) (注1)	t_{LOW}			4.7		1.3		μs
SCL クロック High 幅 (入力) (注2)	t_{HIGH}			4.0		0.6		μs
再スタートコンディション セットアップ時間	$t_{SU:STA}$	ソフト (注5)		4.7		0.6		μs
データ保持時間 (入力) (注3,4)	$t_{HD:DAT}$			0.0		0.0		μs
データセットアップ時間	$t_{SU:DAT}$			250		100		ns
ストップコンディション セットアップ時間	$t_{SU:STO}$			4.0		0.6		μs
ストップコンディションとスタート コンディション間のバスフリー時間	t_{BUF}	ソフト (注5)		4.7		1.3		μs

注1) SCL クロック LOW 幅(出力): $(2^{n-1} + 58) / (f_{sys}/2)$

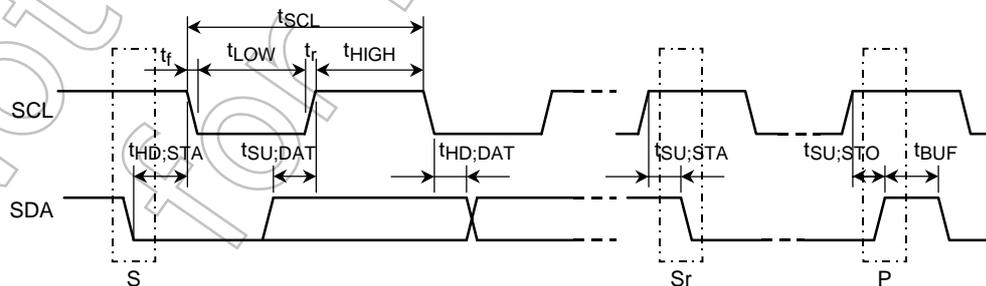
注2) SCL クロック HIGH 幅(出力): $(2^{n-1} + 12) / (f_{sys}/2)$

通信規格上、標準モード/高速モードの最高速は 100kHz/400kHz です。内部 SCL クロックの周波数の設定は、使用される f_{sys} と上記計算式にて設定されますのでご注意願います。

注3) データ保持時間 (出力) は内部 SCL から 1.2X の時間です。

注4) フィリップススペックでは内部で、SDA 入力時にデータホールド 300nsec を確保して SCL 立下り時の不安定状態を回避する事になっていますが、本 DEVICE では対応していません。また SCL のエッジスロープコントロール機能をもっていません。従って、SCL/SDA の t_r/t_f を含めて BUS 上で上表のデータ保持時間 (入力) を守る様に設計してください。

注5) ソフトウェアに依存します。



S: スタートコンディション
Sr: 再スタートコンディション
P: ストップコンディション

(2) クロック同期式 8 ビット SIO モード

表中の x はシステムクロック fsys の周期を、T はφT0 を表します。

n は SBIOCR レジスタの SCK フィールドで指定した SCL 出力クロックの周波数選択値です。

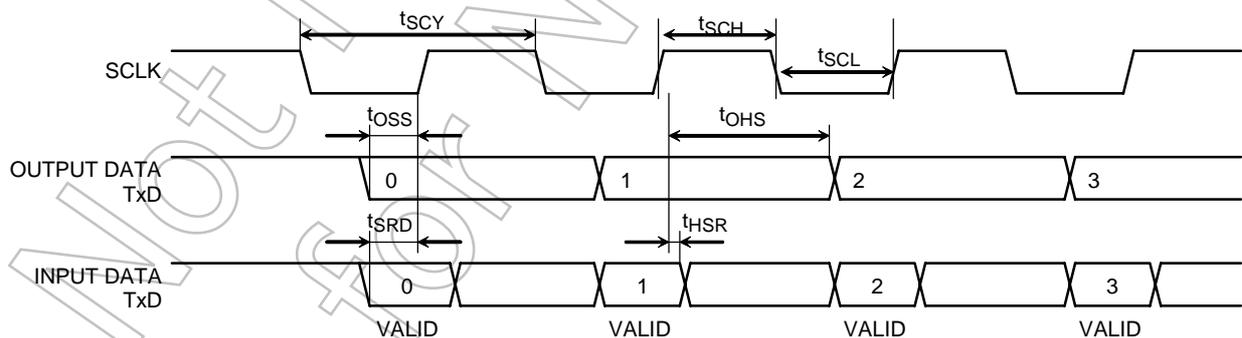
SCK デューティ 50%の場合

③ SCK 入力モード

項 目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
SCK 周期	tSCY	16x		400		ns
SCK クロック High 幅(入力)	Tsch	8x		200		ns
SCK クロック Low 幅(入力)	Tsch	8x		200		ns
Output Data ← SCK 立ち上がり	tOSS	$(t_{SCY}/2) - (6x + 20)$		30		ns
SCK 立ち上がり → Output Data 保持	tOHS	$(t_{SCY}/2) + 4x$		300		ns
有効 Data 入力 ← SCK 立ち上がり	tSRD	0		0		ns
SCK 立ち上がり → Input Data 保持	tHSR	4x + 10		110		ns

④ SCK 出力モード

項 目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
SCK 周期(プログラマブル)	tSCY	$2^n \cdot T$		800		ns
Output Data ← SCK 立ち上がり	tOSS	$(t_{SCY}/2) - 20$		380		ns
SCK 立ち上がり → Output Data 保持	tOHS	$(t_{SCY}/2) - 20$		T380		ns
有効 Data 入力 ← SCK 立ち上がり	tSRD	2x + 30		55		ns
SCK 立ち上がり → Input put Data 保持	tHSR	0		0		ns



4.12 イベントカウンタ

表中の x はシステムクロック f_{sys} の周期を表します。

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
クロック低レベルパルス幅	t_{VCKL}	$2X + 100$		150		ns
クロック高レベルパルス幅	t_{VCKH}	$2X + 100$		150		ns

4.13 キャプチャ

表中の x はシステムクロック f_{sys} の周期を表します。

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
低レベルパルス幅	t_{CPL}	$2X + 100$		150		ns
高レベルパルス幅	t_{CPH}	$2X + 100$		150		ns

4.14 割り込み (INTC)

表中の x はシステムクロック f_{sys} の周期を表します。

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
INT0-F 低レベルパルス幅	t_{INTAL}	$X + 100$		125		ns
INT0-F 高レベルパルス幅	t_{INTAH}	$X + 100$		125		ns

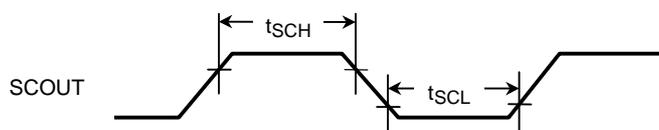
4.15 割り込み (STOP/SLEEP/SLOW 解除割り込み)

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
NMI, INT0~4 低レベルパルス幅	t_{INTBL}	100		100		ns
INT0~4 高レベルパルス幅	t_{INTBH}	100		100		ns

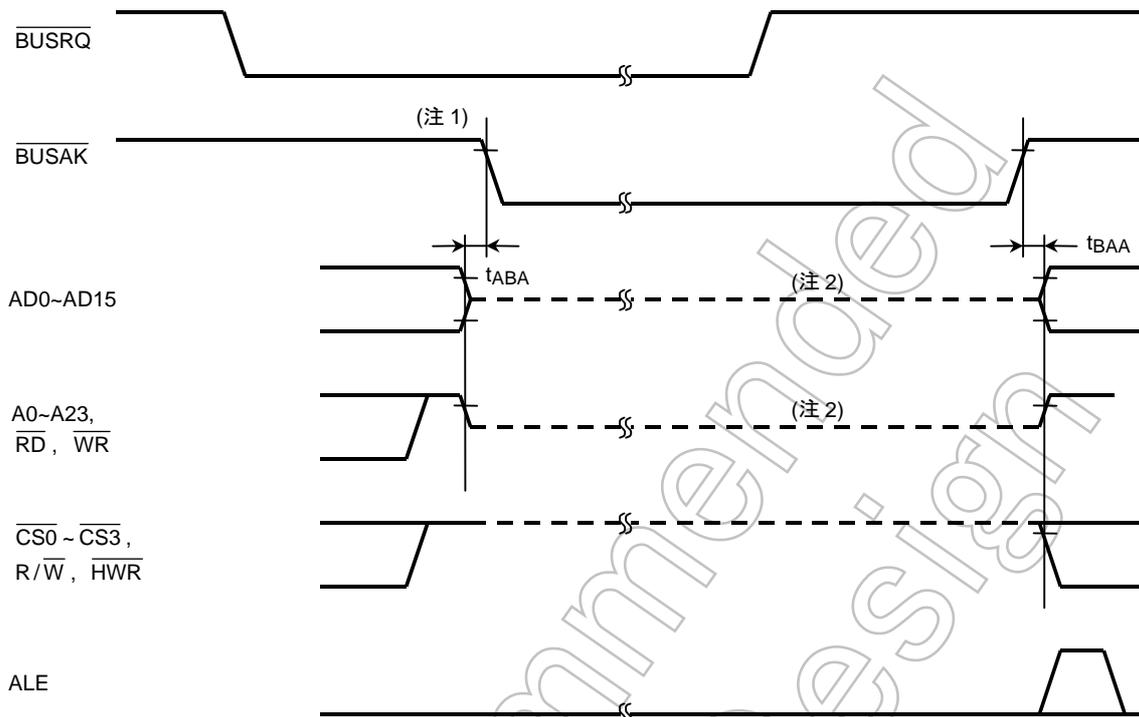
4.16 SCOUT 端子 AC 特性

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
高レベルパルス幅	t_{SCH}	$0.5T - 5$		7.5		ns
低レベルパルス幅	t_{SCL}	$0.5T - 5$		7.5		ns

(注) 表中の「T」は、SCOUT 出力波形の周期を示します。



4.17 バスリクエスト/バスアクノリッジ



項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
BUSAK 立ち下がりまでのフローティング時間	t _{ABA}	0	80	0	80	ns
BUSAK 立ち上がりからのフローティング時間	t _{BAA}	0	80	0	80	ns

(注1) $\overline{\text{BUSRQ}}$ を "Low" にしてバスの解放を要求したとき、それ以前のバスサイクルがウェイト動作により終了していないときは、そのウェイトが解除されるまでバスは解放されません。

(注2) この破線は出力バッファが OFF になっていることを示しています。信号レベルが中間電位になることを示すものではありません。バス解放直後は、外部の負荷容量により、バス解放直前の信号レベルをダイナミックに保持しています。そのため、外付け抵抗などでバス解放中の信号レベルを確定させるときは、バス解放直後、外部の負荷容量により、信号レベルの確定が遅れ (CR の時定数) ますので、そのことを考慮した設計が必要です。内蔵のプログラマブルプルアップ/プルダウン抵抗は、内部信号の状態に応じて、働き続けています。

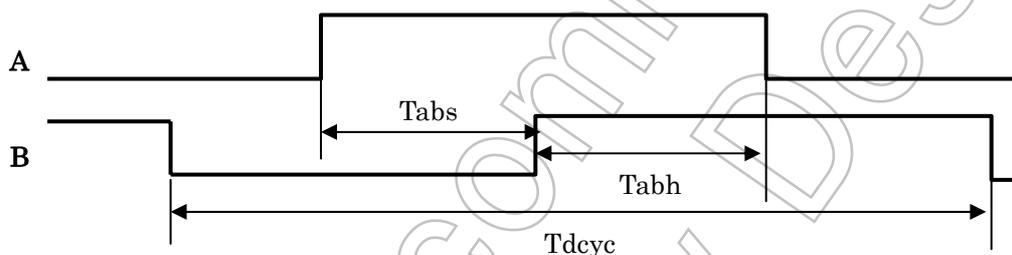
4.18 KWUP 入力

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
KEY00~31 低レベルパルス幅	tkyTBL	100		100		ns

4.19 2相パルス入力

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
2相入力パルス周期	Tdcyc	$8Y$		400		ns
2相入力セットアップ	TabS	$Y+20$		70		ns
2相入力ホールド	Tabh	$Y+20$		70		ns

Y は $f_{sys}/2$

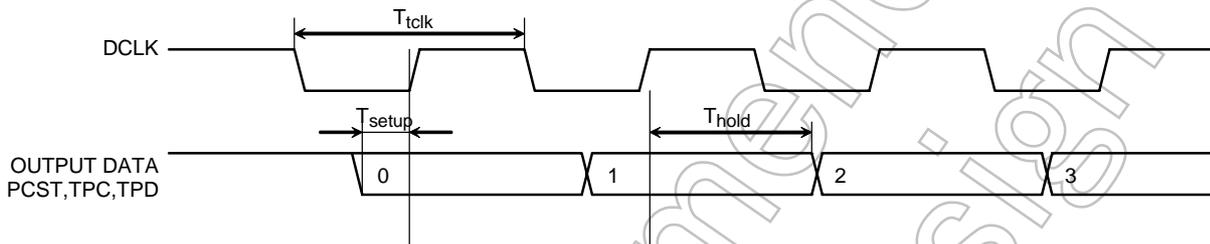


4.20 ADTRG 入力

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
ADTRG 低レベルパルス幅	tadL	$f_{sys}/2+20$		32.5		ns
ADTRG 高レベルパルス間隔	Tadh	$f_{sys}/2+20$		32.5		ns

4.21 DSU

項目	記号	計算式		40 MHz		単位
		Min	Max	Min	Max	
PCST 有効←DCLK 立ち上がり	Tsetup	11		11		ns
DCLK 立ち上がり→PCST 保持	Thold	0.5		0.5		ns
TPC 有効←DCLK 立ち上がり	Tsetup	11		11		ns
DCLK 立ち上がり→TPC 保持	Thold	0.5		0.5		ns
TPD 有効←DCLK 立ち上がり	Tsetup	11		11		ns
DCLK 立ち上がり→TPD 保持	Thold	0.5		0.5		ns



4.22 EJTAG

項目	記号	計算式		10 MHz(※)		単位
		Min	Max	Min	Max	
TMS/TDI 入力←TCK 立ち上がり	Ttsetup	40		40		ns
TCK 立ち上がり→TMS/TDI 保持	Tthold	50		50		ns
TCK 立下り→TDO 保持	Ttout		10		10	ns

※TCK は必ず 10MHz でご使用ください。

