

TOSHIBA

東芝 オリジナル CMOS 32 ビット マイクロコントローラ

TLCS-900/H1 シリーズ

TMP92CM22FG

Not Recommended
for New Design

株式会社 **東芝** セミコンダクター社

はじめに

この度は弊社 32 ビットマイクロコントローラ TLCS-900/H1 シリーズ、TMP92CM22 をご利用いただき、誠にありがとうございます。

本 LSI をご利用になる前に、「使用上の注意、制限事項」の章を参照されまことをお願いいたします。

Not Recommended
for New Design

CMOS32 ビット マイクロコントローラ TMP92CM22FG

1. 概要と特長

TMP92CM22 は、東芝オリジナル CPU TLCS-900/H1 をコアに採用し、高速にデータ処理を必要とする各種組み込み用制御機器向けに開発した、高機能 32 ビットマイクロコントローラです。

TMP92CM22FG には小型の 100 ピンフラットパッケージを使用し、ユーザシステムの高密度実装化にも最適です。

TMP92CM22 の特長を以下に示します。

(1) オリジナル高速 32 ビット CPU (TLCS900/H1 CPU)

- TLCS-900、900/L、900/H、900/L1、900/H2 と命令コード完全互換
- 16 M バイトのリニアアドレス空間
- 汎用レジスタ&レジスタバンク方式
- マイクロ DMA: 8 チャンネル、250 ns/4 バイト (内部 20 MHz 動作時)

(2) 最小命令実行時間: 50 ns (内部 20 MHz 動作時)

(3) 内蔵 RAM: 32 K バイト (32 ビット 1 クロックアクセス、プログラム実行可能)

内蔵 ROM: なし

(4) 外部メモリ拡張

- 16 M バイト (プログラム/データ共通)まで拡張可能
- 外部データバス幅: 8/16 ビット…ダイナミックデータバスサイジング
- セパレートバス システム

当社半導体製品取り扱い上のお願い

060629TBP

- 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤作動したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤作動や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などをご確認ください。 021023_A
- 本資料に掲載されている製品は、一般的電子機器(コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など)に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤作動が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器(原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など)にこれらの製品を使用すること(以下“特定用途”という)は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。 021023_B
- 本資料に掲載されている製品を、国内外の法令、規則及び命令により製造、使用、販売を禁止されている応用製品に使用することはできません。 060106_Q
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。 021023_C
- 本資料に掲載されている製品は、外国為替及び外国貿易法により、輸出または海外への提供が規制されているものです。 021023_E
- 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。 021023_D
- マイコン製品の信頼性予測については、「品質保証と信頼性/取り扱い上のご注意とお願い」の 1.3 項に記載されておりますので必ずお読みください。 030519_S

- (5) メモリコントローラ
 - チップセレクト出力: 4 チャンネル
- (6) 8 ビットタイマ: 4 チャンネル
- (7) 16 ビットタイマ: 2 チャンネル
- (8) 汎用シリアルインタフェース: 2 チャンネル
 - UART/同期モード
 - IrDA
- (9) シリアルバスインタフェース: 1 チャンネル
 - I²C バスモード
 - クロック同期モード
- (10) 10 ビット AD コンバータ: 8 チャンネル
- (11) ウォッチドッグタイマ
- (12) 割り込み機能: 41 本
 - CPU 9 本 … ソフトウェア割り込み命令、未定義命令実行違反
 - 内部 25 本 … 7 レベルの優先順位の設定が可能
 - 外部 7 本 … 7 レベルの優先順位の設定が可能 (INT0~INT5, NMI)
(INT0~INT3 はエッジまたはレベル割り込み選択可能)
- (13) 入出力ポート: 50 端子 (データバス 8 ビット、アドレスバス 24 ビット、 $\overline{RD}$ 端子を除く)
- (14) スタンバイ機能
 - 3 種類の HALT モード … IDLE2 (プログラマブル), IDLE1, STOP
- (15) デュアルクロック制御機能
 - PLL: $f_c = f_{OSCH} \times 4$ ($f_c = 40 \text{ MHz}$ @ $f_{OSCH} = 10 \text{ MHz}$)
 - クロックギア機能: 高周波クロック $f_c \sim f_c/16$ まで切り替え可能
- (16) 動作電圧
 - DVCC = 3.0~3.6 V ($f_c \text{ max} = 40 \text{ MHz}$)
- (17) パッケージ
 - 100 ピン QFP: P-LQFP100-1414-0.50F

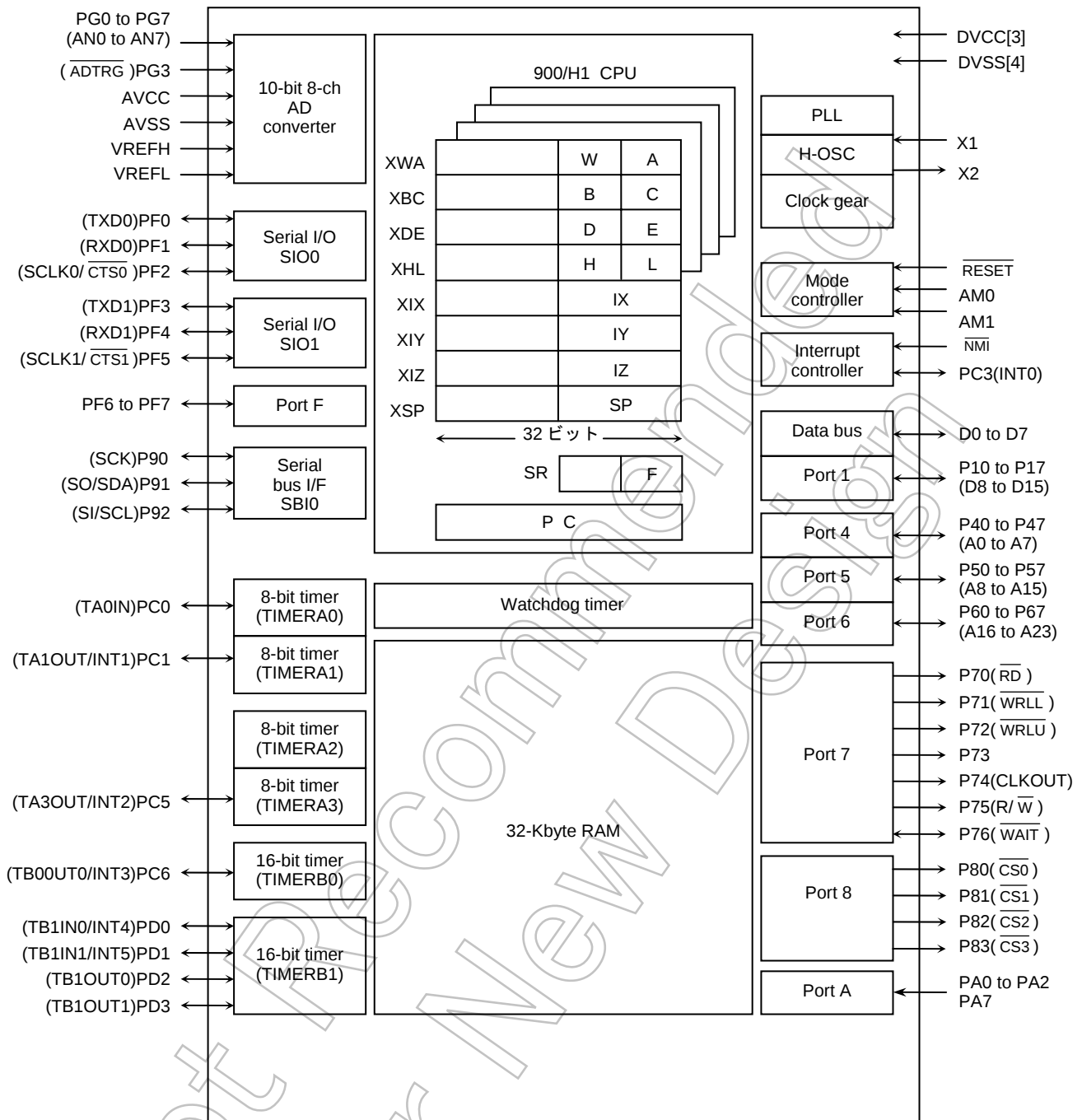


図 1.1 TMP92CM22 ブロック図

2. ピン配置とピン機能

TMP92CM22FG のピン配置図および入出力ピンの名称と概略機能を示します。

2.1 ピン配置図

TMP92CM22FGピン配置図は、図 2.1.1のとおりです。

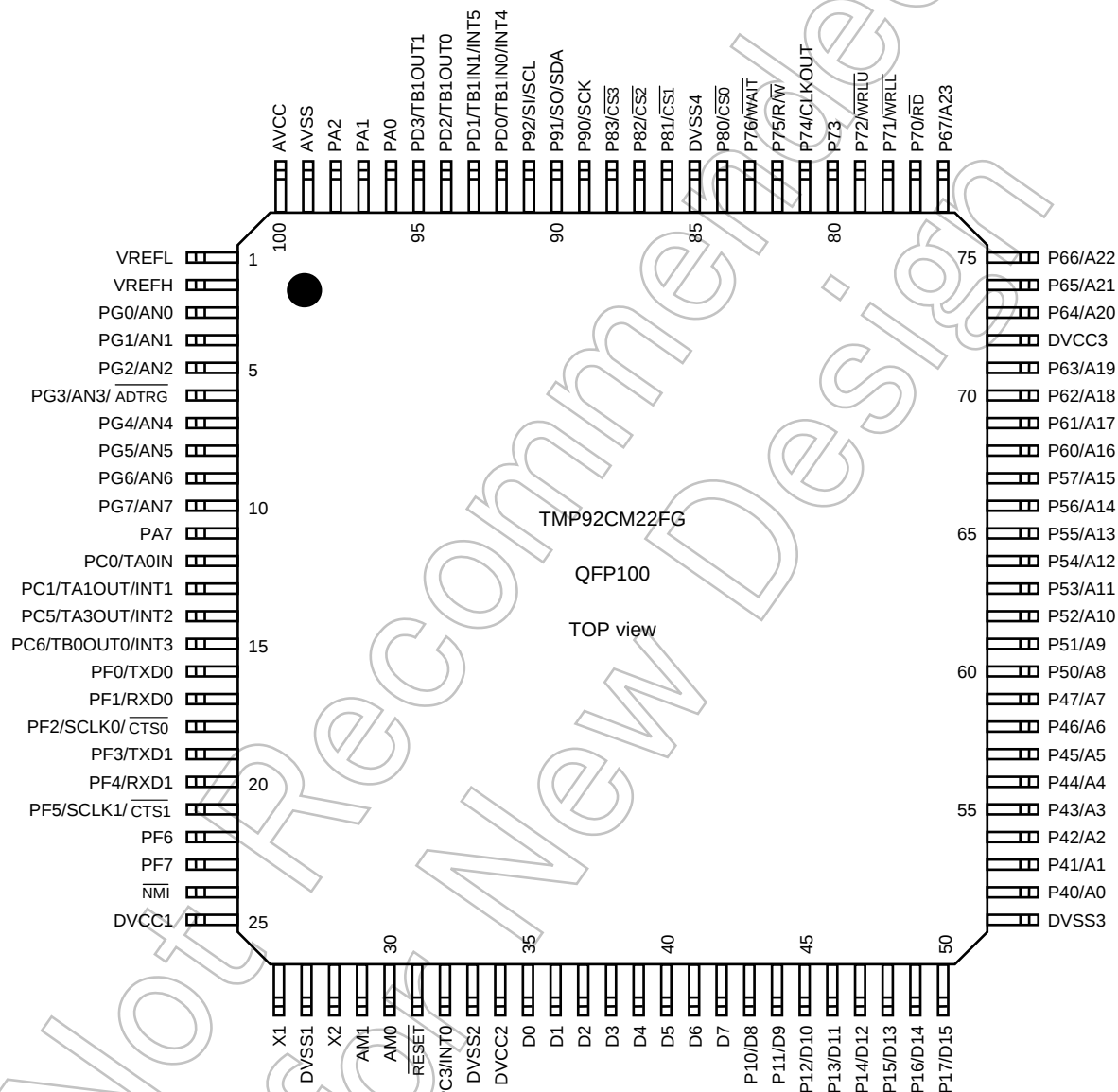


図 2.1.1 ピン配置図 (100 ピン QFP)

2.2 ピン名称と機能

入出力ピンの名称と機能は表 2.2.1~表 2.2.2のとおりです。

表 2.2.1 ピン名称と機能 (1/2)

ピン名称	ピン数	入出力	機 能
D0~D7	8	入出力	データ (下位): データバス D0~D7
P10~P17	8	入出力	ポート 1: ビット単位で入出力の設定可能な入出力ポート 外部 8 ビットバスで使用する際に使用可能
D8~D15		入出力	データ: データバス D8~D15
P40~P47	8	入出力	ポート 4: 入出力ポート
A0~A7		出力	アドレス: アドレスバス A0~A7
P50~P57	8	入出力	ポート 5: 入出力ポート
A8~A15		出力	アドレス: アドレスバス A8~A15
P60~P67	8	入出力	ポート 6: 入出力ポート
A16~A23		出力	アドレス: アドレスバス A16~A23
P70	1	出力	ポート 70: 出力ポート
$\overline{\text{RD}}$		出力	リード: 外部メモリをリードするためのストロープ信号
P71	1	出力	ポート 71: 出力ポート
$\overline{\text{WRLL}}$		出力	ライト: D0~D7 端子のデータをライトするためのストロープ信号
P72	1	出力	ポート 72: 出力ポート
$\overline{\text{WRLU}}$		出力	ライト: D8~D15 端子のデータをライトするためのストロープ信号
P73	1	出力	ポート 73: 出力ポート
P74	1	出力	ポート 74: 出力ポート
CLKOUT		出力	クロック: システムクロックを出力
P75	1	出力	ポート 75: 出力ポート
$\text{R}/\overline{\text{W}}$		出力	リード/ライト: リードおよびダミーサイクル時 1、ライトサイクル時 0
P76	1	入出力	ポート 76: 入出力ポート
$\overline{\text{WAIT}}$		入力	ウェイト: CPU へのバスウェイト要求端子
P80	1	出力	ポート 80: 出力ポート
$\overline{\text{CS0}}$		出力	チップセレクト 0: アドレスが指定したアドレス領域内なら "0" を出力
P81	1	出力	ポート 81: 出力ポート
$\overline{\text{CS1}}$		出力	チップセレクト 1: アドレスが指定したアドレス領域内なら "0" を出力
P82	1	出力	ポート 82: 出力ポート
$\overline{\text{CS2}}$		出力	チップセレクト 2: アドレスが指定したアドレス領域内なら "0" を出力
P83	1	出力	ポート 83: 出力ポート
$\overline{\text{CS3}}$		出力	チップセレクト 3: アドレスが指定したアドレス領域内なら "0" を出力
P90	1	入出力	ポート 90: 入出力ポート
SCK		入出力	シリアルバスインタフェースの SIO モード時のクロック入出力端子
P91	1	入出力	ポート 91: 入出力ポート
SO SDA		出力 入出力	シリアルバスインタフェースの SIO モード時のデータ送信端子 シリアルバスインタフェースの I ² C モード時のデータ送受信端子 (プログラムによりオープンドレイン出力端子可能)
P92	1	入出力	ポート 92: 入出力ポート
SI SCL		入力 入出力	シリアルバスインタフェースの SIO モード時のデータ受信端子 シリアルバスインタフェースの I ² C モード時のクロック入出力端子 (プログラムによりオープンドレイン出力端子可能)
PA0~PA2, PA7	4	入力	ポート A0~A2, A7: 入力専用ポート (プルアップ抵抗付き)

表 2.2.2 ピン名称と機能 (2/2)

ピン名称	ピン数	入出力	機 能
PC0 TA0IN	1	入出力 入力	ポート C0: 入出力ポート タイマ入力: 8 ビットタイマ 0 の入力端子
PC1 INT1 TA1OUT	1	入出力 入力 出力	ポート C1: 入出力ポート 割り込み要求端子 1: レベル/立ち上がり/立ち下がりエッジが選択可能な割り込み要求端子 タイマ出力: 8 ビットタイマ 0 または 1 の出力端子
PC3 INT0	1	入出力 入力	ポート C3: 入出力ポート 割り込み要求端子 0: レベル/立ち上がり/立ち下がりエッジが選択可能な割り込み要求端子
PC5 INT2 TA3OUT	1	入出力 入力 出力	ポート C5: 入出力ポート 割り込み要求端子 2: レベル/立ち上がり/立ち下がりエッジが選択可能な割り込み要求端子 タイマ出力: 8 ビットタイマ 2 または 3 の出力端子
PC6 INT3 TB0OUT0	1	入出力 入力 出力	ポート C6: 入出力ポート 割り込み要求端子 3: レベル/立ち上がり/立ち下がりエッジが選択可能な割り込み要求端子 タイマ出力: 16 ビットタイマ 0 の出力端子
PD0 INT4 TB1IN0	1	入出力 入力 入力	ポート D0: 入出力ポート 割り込み要求端子 4: 立ち上がり/立ち下がりエッジが選択可能な割り込み要求端子 タイマ入力: 16 ビットタイマ 1 の入力端子 0
PD1 INT5 TB1IN1	1	入出力 入力 入力	ポート D1: 入出力ポート 割り込み要求端子 5: 立ち上がり/立ち下がりエッジが選択可能な割り込み要求端子 タイマ入力: 16 ビットタイマ 1 の入力端子 1
PD2 TB1OUT0	1	入出力 出力	ポート D2: 入出力ポート タイマ出力: 16 ビットタイマ B1 の出力端子 0
PD3 TB1OUT1	1	入出力 出力	ポート D3: 入出力ポート タイマ出力: 16 ビットタイマ B1 の出力端子 1
PF0 TXD0	1	入出力 出力	ポート F0: 入出力ポート シリアル 0 送信データ: (プログラムによりオープンドレイン出力端子可能)
PF1 RXD0	1	入出力 入力	ポート F1: 入出力ポート シリアル 0 受信データ
PF2 SCLK0 CTS0	1	入出力 入出力 入力	ポート F2: 入出力ポート シリアル 0 クロック入出力 シリアル 0 データ送信可能 (Clear to send)
PF3 TXD1	1	入出力 出力	ポート F3: 入出力ポート シリアル 1 送信データ: (プログラムによりオープンドレイン出力端子可能)
PF4 RXD1	1	入出力 入力	ポート F4: 入出力ポート シリアル 1 受信データ
PF5 SCLK1 CTS1	1	入出力 入出力 入力	ポート F5: 入出力ポート シリアル 1 クロック入出力 シリアル 1 データ送信可能 (Clear to send)
PF6~PF7	2	入出力	ポート F6~F7: 入出力ポート
PG0~PG7 AN0~AN7 ADTRG	8	入力 入力 入力	ポート G0~G7: 入力専用ポート アナログ入力 0~7: AD コンバータ入力 AD トリガ: AD コンバータの外部スタート要求端子 (PG3 と兼用)
NMI	1	入力	ノンマスクブル割り込み要求端子
AM0, AM1	2	入力	動作モード AM1 = "0", AM0 = "1" 固定: 外部 16 ビットバススタート, 8/16 ビットダイナミックサイジング AM1 = "1", AM0 = "0" 固定: 外部 8 ビットバススタート, 8/16 ビットダイナミックサイジング
X1/X2	2	入出力	高周波側発振子接続端子
RESET	1	入力	リセット: TMP92CM22 を初期化します。(シュミット入力、プルアップ付き)
VREFH	1	入力	AD コンバータ用基準電源入力端子です。(H)
VREFL	1	入力	AD コンバータ用基準電源入力端子です。(L)
AVCC	1		AD コンバータ電源端子
AVSS	1		AD コンバータ電源端子 (0 V)
DVCC	3		電源端子 (全 DVCC 端子を電源に接続してください。)
DVSS	4	-	GND 端子 (全 DVSS 端子を GND (0 V) に接続してください。)

3. 動作説明

ここでは、TMP92CM22 の機能、および基本動作についてブロックごとに説明します。

3.1 CPU

TMP92CM22 には、高性能な高速 32 ビット CPU「TLCS-900/H1-CPU」が内蔵されています。

CPU の詳細な動作については、前章の“TLCS-900/H1 CPU”を参照してください。

ここでは、主に TMP92CM22 独自の CPU 機能について説明します。

3.1.1 CPU の概要

「TLCS-900/H1 CPU」は「TLCS-900/L1 CPU」をベースに、より高速処理を可能にするために、内部および外部のデータバス幅を 32 ビットに拡張した高速・高性能な CPU です。

「TLCS-900/H1 CPU」の概要を、表 3.1.1 に示します。

表 3.1.1 CPU の概要

CPU アドレスバス幅	24 ビット
CPU データバス幅	32 ビット
内部動作周波数	20 MHz
最小バスサイクル	1 クロックアクセス (50 ns @20 MHz)
データバスサイジング機能	8 ビット
内蔵 RAM	32 ビット 1 クロックアクセス
内蔵 I/O	8/16 ビット 2 クロックアクセス 900/H1 I/O
	8/16 ビット 5~6 クロックアクセス 900/L1 I/O
外部デバイス	8 ビット
	2 クロックアクセス(ウェイト挿入可)
最小命令サイクル	1 クロック (50 ns @20 MHz)
条件付き分岐命令	2 クロック (100 ns @20 MHz)
命令キューバッファ	12 バイト
命令セット	TLCS-900, 900/L, 900/H, 900/L1, 900/H2 命令コード 互換 (ただし、NORMAL, MAX, MIN, LDX 命令なし)
CPU モード	マキシマムモードのみ
マイクロ DMA	8 チャネル

3.1.2 リセット動作

TMP92CM22 にリセットをかけるには、電源電圧が動作範囲内であり、内部発振器の発振が安定した状態で、少なくとも 20 システムクロック (16 μ s @fc = 40 MHz) 間、 $\overline{\text{RESET}}$ 入力端子を “L” レベルにしてください。

リセットが受け付けられると、CPU は下記の動作を行います。

- プログラムカウンタ “PC” を、メモリアドレス FFFF00H~FFFF02H に格納されているリセットベクタに従い以下に示すようにセットします。
PC<7:0> ← アドレス FFFF00H のデータ
PC<15:8> ← アドレス FFFF01H のデータ
PC<23:16> ← アドレス FFFF02H のデータ
- スタックポインタ XSP を 00000000H にセット
- ステータスレジスタ SR の IFF2~IFF0 を “111” にセット
(割り込みレベルのマスクレジスタをレベル 7 にセット)
- ステータスレジスタ SR の RFP1~REP0 を “00” にクリア
(レジスタバンク 0 にセット)

リセットが解除されると、セットされたプログラムカウンタ “PC” に従い、命令のフェッチと実行を開始します。なお、上記以外の CPU 内部のレジスタは変化しません。

また、リセットが受け付けられると、内蔵 I/O および入出力ポートおよびその他の端子は、下記に示すように初期化されます。

- 内蔵 I/O のレジスタを初期化
(初期値は、第 5 章「特殊レジスタ一覧表」を参照してください。)
- 入出力ポートを汎用入力ポートにセット

$\overline{\text{RESET}}$ 入力端子が “H” になり、リセット解除されると、直ちに内部のリセットが解除されます。
パワーオンリセットを採用する場合、電源供給が安定するまでは、メモリコントローラ制御信号が不安定であるため、接続されている外部メモリのバックアップデータが書き替えられる可能性があります。

図 3.1.1 に TMP92CM22 のリセットタイミング動作例を示します。

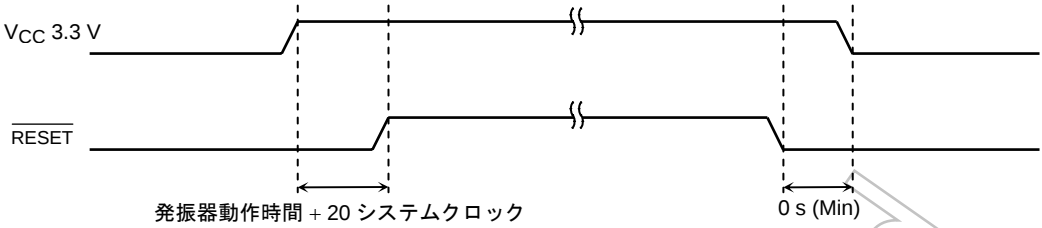


図 3.1.1 リセットタイミング動作例

3.1.3 起動モードの選択

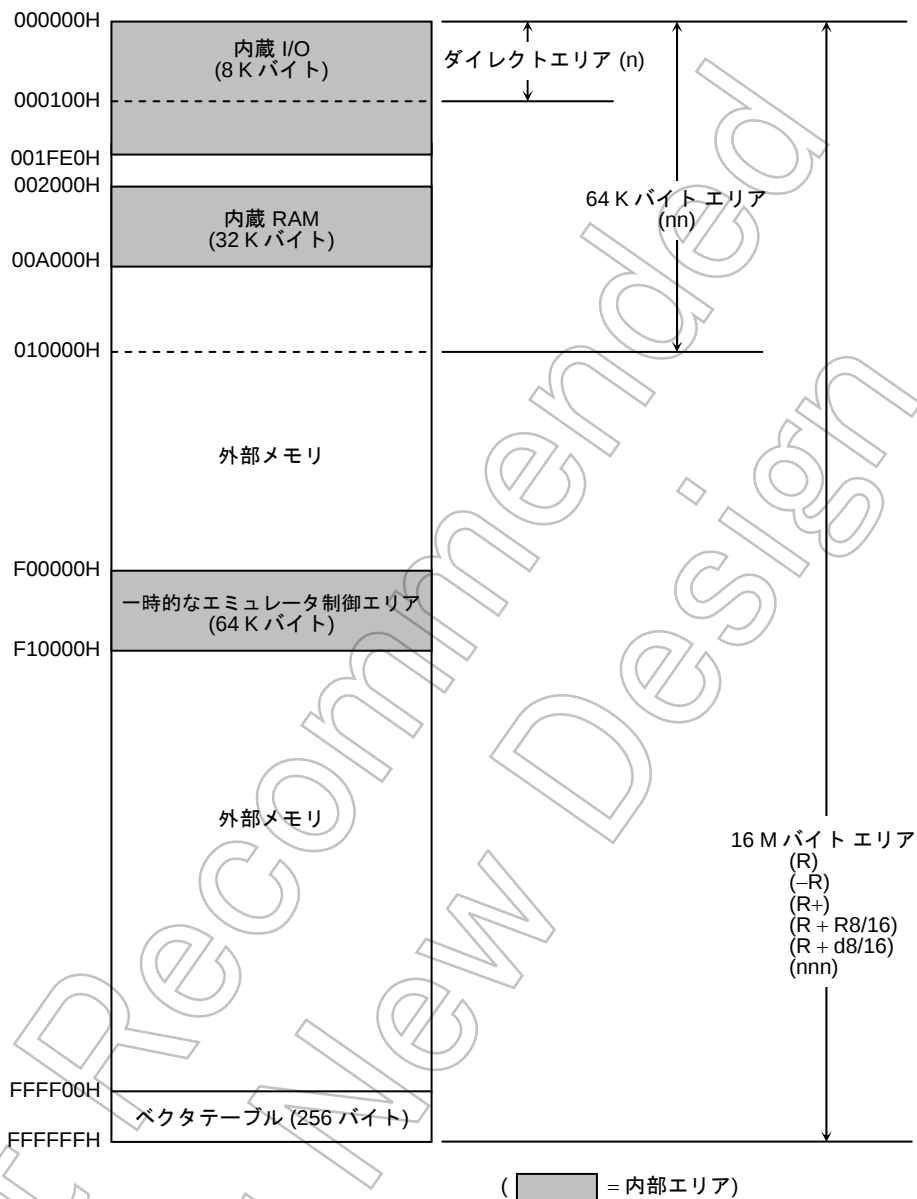
AM1, AM0 を “10” にセットすると、8 ビット外部バスになり、“01” にセットすると 16 ビット外部バスになります。

表 3.1.2 動作モードセットアップ表

動作モード	モード設定入力端子		
	RESET	AM1	AM0
16 ビット外部バススタート、 8/16 ビットダイナミックバスサイジング		0	1
8 ビット外部バススタート、 8/16 ビットダイナミックバスサイジング		1	0

3.2 メモリマップ

TMP92CM22 のメモリマップを、図 3.2.1に示します。



- 注 1) エミュレータを使用する場合、16 M バイト空間の任意の 64 K バイトは、エミュレータ制御のために使用されるので、ユーザはその空間を使用することができません。
- 注 2) 最後の 16 バイトの空間 (アドレス FFFFF0H~FFFFFFH) は、内部エリア空間として予約されているので、使用することができません。
- 注 3) 仮エミュレータ用空間にアクセスすると、 $\overline{\text{WRLL}}$ 信号、 $\overline{\text{WRLU}}$ 信号と $\overline{\text{RD}}$ 信号が動作します。拡張メモリ使用の際は注意してください。

図 3.2.1 メモリマップ

3.3 クロック/スタンバイ制御、ノイズ低減機能

低消費電力、低ノイズ化のためにクロックギア、スタンバイ制御回路、ノイズ低減回路などを内蔵しています。

この章は下記のような構成になっています。

3.3.1 クロック系統ブロック図

3.3.2 SFR説明

3.3.3 システムクロック制御部

3.3.4 クロック逡倍回路 (PLL)

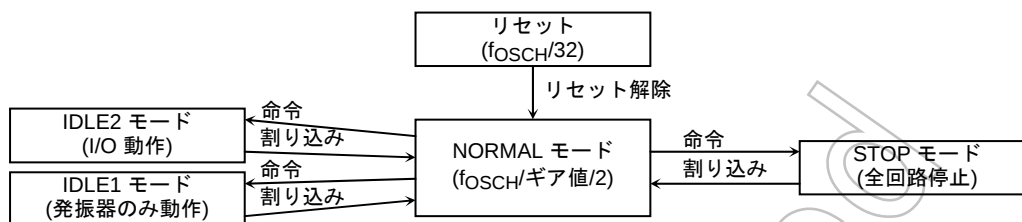
3.3.5 ノイズ低減回路

3.3.6 スタンバイ制御部

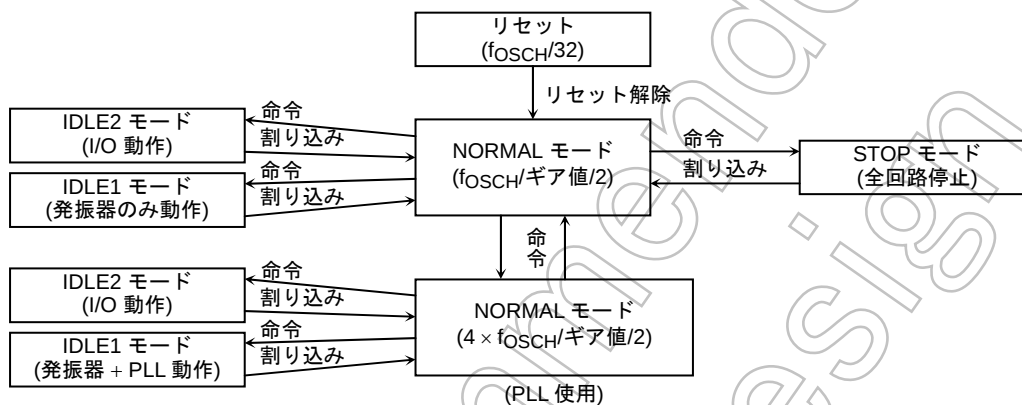
Not Recommended
for New Design

クロックの動作モードとしては、シングルクロックモード (X1, X2 端子のみ) とデュアルクロックモード (X1, X2 端子と PLL) の 2 モードがあります。

図 3.3.1 に動作モード別状態遷移図を示します。



(a) シングルクロックモード状態遷移図



(b) デュアルクロックモード状態遷移図

図 3.3.1 動作モード別状態遷移図

X1, X2 端子より入力されるクロック周波数を f_{OSCH} 、SYSCR1<GEAR2:0>で選択されたクロックを f_{FPH} 、 f_{FPH} を 2 分周したクロック周波数をシステムクロック f_{SYS} と定義します。また、この f_{SYS} の 1 周期を 1 ステートと定義します。

3.3.1 クロック系統ブロック図

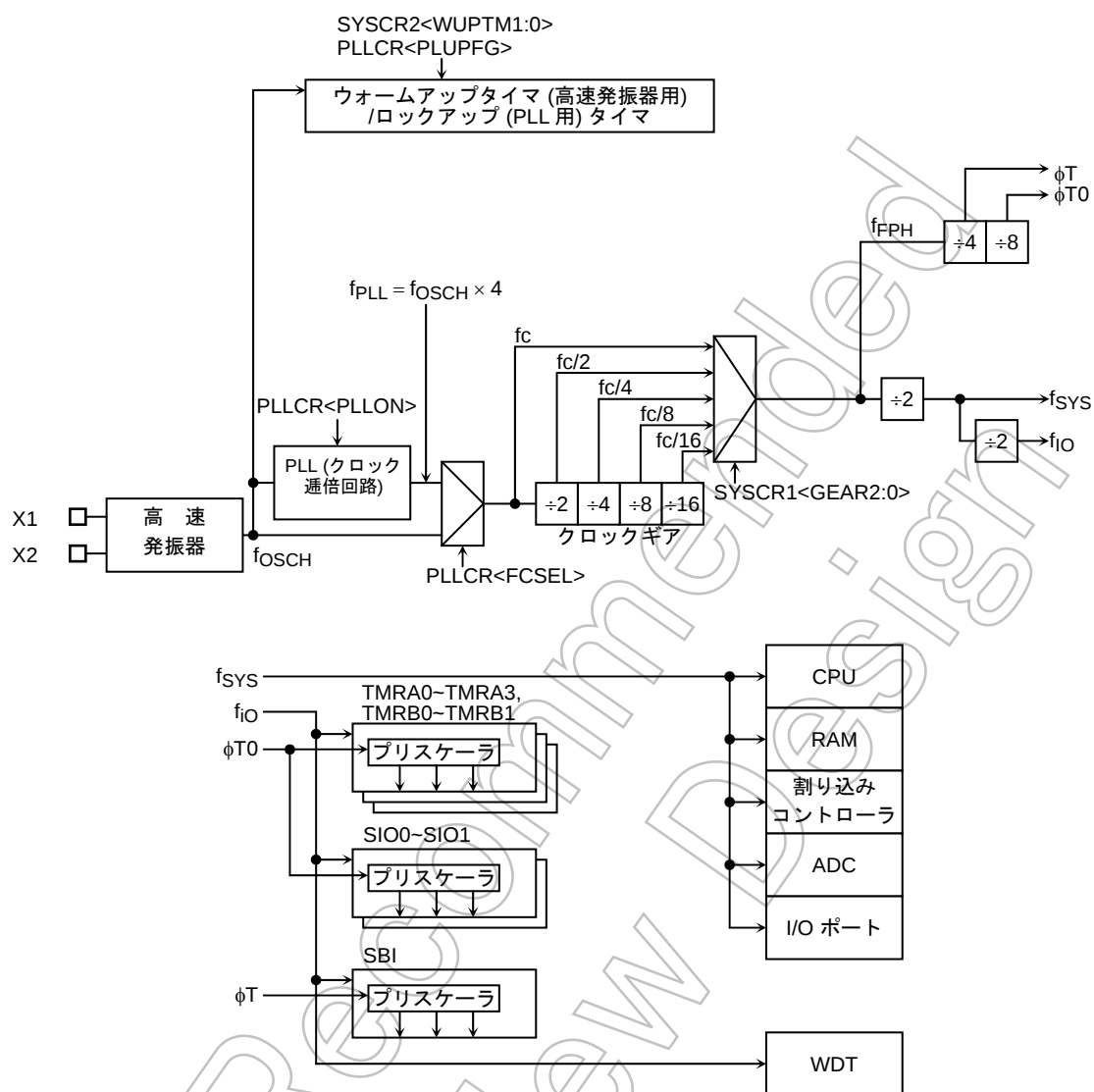


図 3.3.2 デュアルクロック、スタンバイ関連のブロック図

3.3.2 SFR 説明

	7	6	5	4	3	2	1	0	
SYSCR0 (10E0H)	Bit symbol	—				—			
	Read/Write	R/W				R/W			
	リセット後	1				0			
	機能	“1” をライトしてください。					“0” をライトしてください。		
SYSCR1 (10E1H)	Bit symbol					—	GEAR2	GEAR1	GEAR0
	Read/Write					R/W			
	リセット後					0	1	0	0
	機能					“0” をライトしてください。	高速クロックのギア選択 000: 高速クロック 001: 高速クロック/2 010: 高速クロック/4 011: 高速クロック/8 100: 高速クロック/16 101: } 110: } Reserved 111: }		
SYSCR2 (10E2H)	Bit symbol	—		WUPTM1	WUPTM0	HALTM1	HALTM0	SELDRV	DRVE
	Read/Write	R/W		R/W					
	リセット後	0		1	0	1	1	0	0
	機能	“0” をライトしてください。		発振器用 WUP 時間選択 00: Reserved 01: 2 ⁸ /入力周波数 10: 2 ¹⁴ /入力周波数 11: 2 ¹⁶ /入力周波数		HALT モード選択 00: Reserved 01: STOP モード 10: IDLE1 モード 11: IDLE2 モード		<DRVE> 使用モード選択 0: STOP 1: IDLE1	1: STOP/ IDLE1 モード中 も端子を ドライブ します

注) SYSCR0<bit6:3>, SYSCR0<bit1:0>, SYSCR1<bit7:4>, SYSCR2<bit6>は不定値がリードされます。

図 3.3.3 クロック関係 SFR

	7	6	5	4	3	2	1	0
PLLCR (10E8H)	Bit symbol	PLLON	FCSEL	LWUPFG				
	Read/Write	R/W		R				
	リセット後	0	0	0				
	機能	0: PLL 停止 1: PLL 起動	0: fc = OSCH 1: fc = PLL (× 4)	PLL ウォーム アップフラグ 0: ウォーム アップ中 または 停止 1: ウォーム アップ 終了				

注) PLLCR<LWUPFG>の論理は、900/L1 の DFM と異なるので注意してください。

図 3.3.4 PLL 関係 SFR

	7	6	5	4	3	2	1	0
EMCCR0 (10E3H)	Bit symbol	PROTECT				EXTIN	DRVOSCH	-
	Read/Write	R				R/W		
	リセット後	0				0	1	1
	機能	プロテクト フラグ 0: OFF 1: ON				1: fc 外部 クロック	fc 発振器 ドライブ 能力 1: Normal 0: Weak	“1”をライト してください。
EMCCR1 (10E4H)	Bit symbol	下記 1st-KEY, 2nd-KEY の書き込みによりプロテクト ON/OFF 切り替わり 1st-KEY: EMCCR1 = 5AH, EMCCR2 = A5H を連続ライト 2nd-KEY: EMCCR1 = A5H, EMCCR2 = 5AH を連続ライト						
	Read/Write							
	リセット後							
	機能							
EMCCR2 (10E5H)	Bit symbol							
	Read/Write							
	リセット後							
	機能							

注) STOP モードから、発振を開始する時など、発振停止から発振を再起動する場合は、発振回路のドライブ能力を NORMAL に設定してください。(STOP モードでホルト状態に入る場合、HALT 命令を実行する前に、EMCCR0<DRVOSCH>,<DRVOSCL>を“1”に設定してください。)

図 3.3.5 ノイズ関係 SFR

3.3.3 システムクロック制御部

システムクロック制御部は、CPU コアおよび内蔵 I/O へ供給されるシステムクロック (f_{sys}) を生成する回路です。高速発振回路と PLL (クロック逡倍回路) から出力される f_c クロックを入力として、SYSCR1<GEAR2:0>で高速クロックのギアを 1, 2, 4, 8, 16 段 (f_c, f_c/2, f_c/4, f_c/8, f_c/16) に切り替え、消費電力の低減を図ることができます。

リセットにより、シングルクロックモードになり<GEAR2:0>≡“100”に初期化されますのでシステムクロック f_{sys}は f_c/32 (= f_c/16 × 1/2) となります。例えば、X1, X2 端子に 40 MHz の発振子を接続していると、リセットにより f_{sys}は 1.25 MHz となります。

(1) クロックギア切り替え

クロックギア選択レジスタ SYSCR1<GEAR2:0>により f_{FPH}を f_c, f_c/2, f_c/4, f_c/8, f_c/16 のいずれかに設定できます。クロックギアを使用して f_{FPH}を切り替えることにより、消費電力の低減が図れます。

下記に、クロックギアの切り替え例を示します。

(設定例)

高速クロックのギア切り替え

```
SYSCR1    EQU    10E1H
           LD      (SYSCR1), XXXX0100B ; システムクロック fsysを fc/32 へ切り替え
           X: Don't care
```

(高速クロックギア切り替え時の注意点)

クロックギアの切り替えは、設定例のように SYSCR1<GEAR2:0>レジスタへ値を書き込むことにより実行されますが、書き込んだ後すぐには切り替らず、数クロックの実行時間が必要となります。よって、クロックギア切り替え命令の次の命令は、切り替え前のクロックギアで実行する場合があります。クロックギア切り替え命令の次の命令から切り替え後のクロックで実行すべき場合は、下記例のようなダミーの命令 (ライトサイクルが実行される命令) を挿入してください。

(例)

```
SYSCR1    EQU    10E1H
           LD      (SYSCR1), XXXX0001B ; fsysを fc/4 へ切り替え
           LD      (DUMMY), 00H        ; ダミー命令
           ; 切り替え後のクロックギア
           ; で実行すべき命令
```

3.3.4 クロック通倍回路 (PLL)

高速発振器の出力クロック f_{OSCH} を 4 通倍した f_{PLL} クロックを出力する回路です。

リセットにより PLL は停止状態となりますので、PLL を使用する場合は、PLLCR レジスタの設定が必要です。

PLL はアナログ回路で構成されているため、動作許可後に発振回路と同じように安定時 (ロックアップタイム) が必要となります。

注 1) PLL 用入力周波数の限界

PLL 用の入力周波数の限界 (高速発振器) は次のとおりです。

$$f_{OSCH} = 4 \sim 10 \text{ MHz (Vcc} = 3.0 \sim 3.6 \text{ V)}$$

注 2) PLLCR<LWUPFG>

PLLCR<LWUPFG>の論理は 900/L1 の DFM とは異なります。

ロックアップ時間の判断は注意して行ってください。

以下に PLL スタートと PLL ストップの設定例を示します。

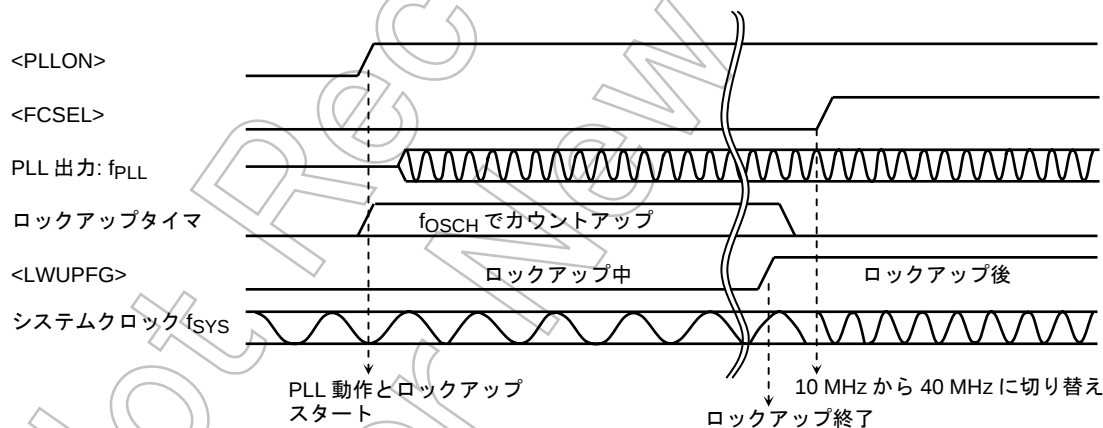
(設定例-1) PLL スタート

高速クロックのギア切り替え

PLLCR EQU 10E8H

	LD	(PLLCR), 10XXXXXXB	;	PLL 動作とロックアップスタートをイネーブル
LUP:	BIT	5, (PLLCR)	;	} ロックアップの終了を検出
	JR	Z, LUP	;	
	LD	(PLLCR), 11XXXXXXB	;	10 MHz から 40 MHz に切り替え

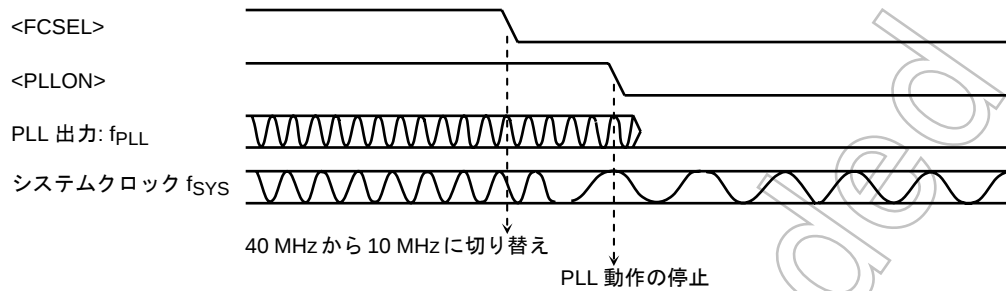
X: Don't care



(設定例-2) PLL ストップ

PLLCR	EQU	10E8H	
	LD	(PLLCR), 10XXXXXXB	; 40 MHz から 10 MHz に切り替え
	LD	(PLLCR), 00XXXXXXB	; PLL 停止

X: Don't care

PLL の使用制限

1. PLL の起動と同時に f_C を f_{OSCH} から f_{PLL} に切り替える設定は行わないでください。

設定禁止:

LD	(PLLCR), 00H
LD	(PLLCR), C0H

2. PLL の停止と同時に f_C を f_{PLL} から f_{OSCH} に切り替える設定は行わないでください。

設定禁止:

LD	(PLLCR), C0H
LD	(PLLCR), 00H

3.3.5 ノイズ低減回路

EMI (不要輻射ノイズ) の低減、EMS (耐ノイズ対策) の強化を目的として、以下のような特長を実現する回路を内蔵しています。

- (1) 高速発振器のドライブ能力低減
- (2) 高速発振器のシングルドライブ化
- (3) SFR プロテクトレジスタによる暴走対策

これらは、EMCCR0~EMCCR2 レジスタによる設定が必要です。

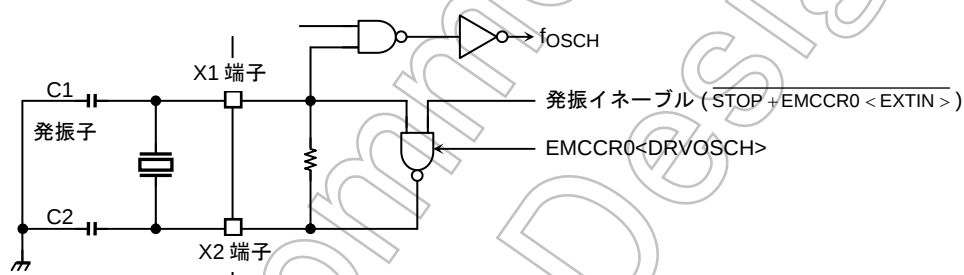
以下に (1)~(3) について説明します。

(1) 高速発振器のドライブ能力低減

(目的)

外部に発振子を接続する場合に、発振器から出力される発振ノイズの抑制、発振器の低消費電力化のため。

(ブロック図)



(設定方法)

EMCCR0<DRVOSCH>に“0”をライトすることにより発振器のドライブ能力は低減します。リセットにより、<DRVOSCH>は“1”に初期化されますので、電源投入時は標準のドライブ能力で発振を開始します。

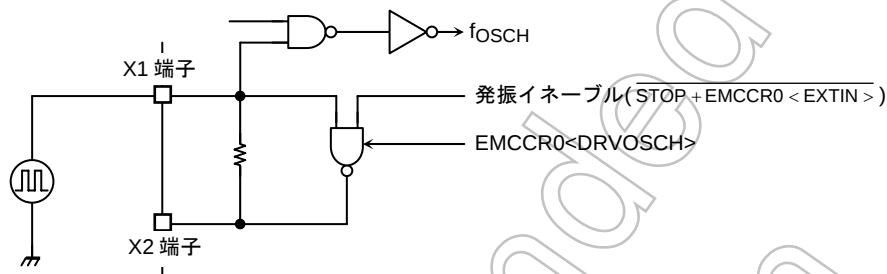
注) 発振器のドライブ能力低減機能を使用する場合は、 $f_{OSCH} = 4 \sim 10 \text{ MHz}$ の周波数でご使用ください。

(2) 高速発振器のシングルドライブ化

(目的)

外部に発振器を接続する場合に、ツインドライブの不要化、X2 端子開放時にノイズ混入による誤動作防止のため。

(ブロック図)



(設定方法)

EMCCR0<EXTIN>に“1”をライトすることにより、発振回路は発振禁止となり、バッファとして機能を開始します。X2 端子は“1”を出力状態となります。

リセットにより、<EXTIN>は“0”に初期化されます。

注) 外部に発振子を接続している場合は、EMCCR0<EXTIN>に“1”をライトしないでください。

(3) SFR プロテクトレジスタによる暴走対策

(目的)

ノイズ混入などによるプログラムの暴走時の対策のため。

暴走時の対策プログラムがクロックの停止、メモリ制御レジスタ (メモリコントローラ) の変更などによりフェッチ不可能な状態になることを防止するため、プロテクトをかけると特定の SFR をライト動作禁止にします。

また、INTP0 割り込みにより暴走時のエラー処理を容易にします。

特定の SFR 一覧

1. メモリコントローラ
B0CSL/H, B1CSL/H, B2CSL/H, B3CSL/H, BEXCSL/H, MSAR0, MSAR1, MSAR2, MSAR3, MAMR0, MAMR1, MAMR2, MAMR3, PMEMCR
2. クロックギア (EMCCR1, EMCCR2 はライト可能です。)
SYSCR0, SYSCR1, SYSCR2, EMCCR0

(動作説明)

EMCCR1 と EMCCR2 レジスタに 2 重の鍵を設定することによりプロテクト (特定の SFR へのライト動作) の実行、解除が可能となります。

(2 重の鍵)

- | | | |
|---------|---|-----------------------------------|
| 1st-KEY | : | EMCCR1 に 5AH, EMCCR2 に A5H を連続ライト |
| 2nd-KEY | : | EMCCR1 に A5H, EMCCR2 に 5AH を連続ライト |

プロテクトの状態は、EMCCR0<PROTECT>をリードすることにより確認できます。

リセットにより、プロテクト OFF 状態となります。

また、プロテクト ON 状態にて特定の SFR へのライト動作が実行された場合に INTP0 割り込みを出力します。これにより、暴走時のエラー処理を容易にします。

3.3.6 スタンバイ制御部

(1) HALT モード

HALT 命令を実行すると、SYSCR2<HALTM1:0>の設定により、IDLE2, IDLE1, STOP のいずれかの HALT モードになります。

IDLE2, IDLE1, STOP モードの特長は、次のとおりです。

1. IDLE2: CPUのみ停止するモードです。

内蔵I/Oは、SFRの中にIDLE2 モード時の動作/停止設定レジスタを 1 ビット持ち、IDLE2 モードでの動作設定が可能です。
表 3.3.1にIDLE2 設定レジスタの表を示します。

表 3.3.1 IDLE2 モードでの内蔵 I/O 設定レジスタ

内蔵 I/O	SFR
TMRA01	TA01RUN<I2TA01>
TMRA23	TA23RUN<I2TA23>
TMRB0	TB0RUN<I2TB0>
TMRB1	TB1RUN<I2TB1>
SIO0	SC0MOD1<I2S0>
SIO1	SC1MOD1<I2S1>
AD コンバータ	ADMOD1<I2AD>
WDT	WDMOD<I2WDT>
SBI	SBIOBR0<I2SBI0>

2. IDLE1: 内部発振器のみ動作します。

3. STOP: すべての内部回路が停止します。

ホルト状態での各ブロックの動作を表 3.3.2に示します。

表 3.3.2 ホルト状態での各ブロックの動作

HALT モード		IDLE2	IDLE1	STOP
SYSCR2<HALTM1:0>		11	10	01
動作 ブ ロ ッ ク	CPU	停止		
	I/O ポート	HALT 命令実行時の状態を保持	表 3.3.5, 表 3.3.6 参照	
	TMRA, TMRB	* 動作するブロックをプログラマブルに選択可	停止	
	SIO, *SBI			
	AD コンバータ			
	WDT			

*ただし、SBI 回路の同期式モードは動作不可。

(2) ホルト状態からの解除

ホルト状態からの解除は、割り込み要求またはリセットにより行うことができます。使用できるホルト解除ソースは、CPUのステータスレジスタSRに割り付けられている割り込みマスクレジスタ<IFF2:0>の状態と、HALTモードの組み合わせにより決まります。詳細を表 3.3.3に示します。

- 割り込み要求による解除

割り込み要求によるホルト状態からの解除動作は、割り込み許可状態により異なります。HALT 命令実行前に設定されている割り込み要求レベルが割り込みマスクレジスタの値以上であれば、ホルト解除後、その要因による割り込み処理を行い、HALT 命令の次の命令から処理をスタートします。割り込み要求レベルが割り込みマスクレジスタの値より小さい場合はホルト解除を行いません（ノンマスカブル割り込みでは、マスクレジスタの値に関係なくホルト解除後、割り込み処理を行います）。

ただし、INT0~INT3 割り込みに限り、割り込み要求レベルが割り込みマスクレジスタの値より小さい場合でも、ホルト状態からの解除を行うことができます。この場合、割り込み処理は行わず、HALT 命令の次の命令から処理をスタートします（割り込み要求フラグは“1”を保持します）。

- リセットによる解除

リセットにより、すべてのホルト状態からの解除を行うことができます。

ただし、STOPモードの解除では、発振器動作が安定するための十分なリセット時間（表 3.3.4参照）が必要です。

リセットによる解除では、内蔵 RAM のデータはホルト状態に入る直前の状態を保持できますが、その他の設定は初期化されます。（割り込みによる解除では、ホルト状態に入る直前の状態を保持します。）

表 3.3.3 ホルト解除ソースとホルト解除の動作

割り込み受け付け状態			割り込み許可 (割り込みレベル) $\geq$ (割り込みマスク)			割り込み禁止 (割り込みレベル) $<$ (割り込みマスク)		
HALT モード			プログラマブル IDLE2	IDLE1	STOP	プログラマブル IDLE2	IDLE1	STOP
ホルト解除 ソース	割り込み	NMI	◇	◇	◇	—	—	—
		INTWDT	◇	×	×	—	—	—
		INT0~INT3 (注 1)	◇	◇	◇ ^{*1}	○	○	○ ^{*1}
		INT4~INT5	◇	×	×	×	×	×
		INTTA0~INTTA3, INTTB00, 01, 10, 11, O0, O1	◇	×	×	×	×	×
		INTRX0~INTRX1, TX0~TX1	◇	×	×	×	×	×
		INTAD	◇	×	×	×	×	×
		INTSBE0	◇	×	×	×	×	×
	RESET		LSI 初期化					

◇: ホルト解除後、割り込み処理を開始します。

○: ホルト解除後、HALT 命令の次のアドレスから処理を開始します (割り込み処理は行いません)。

×: ホルト解除に使用できません。

—: ノンマスカブル割り込みの優先順位レベル (割り込み要求レベル) は最優先の “7” に固定されているため、この組み合わせはありません。

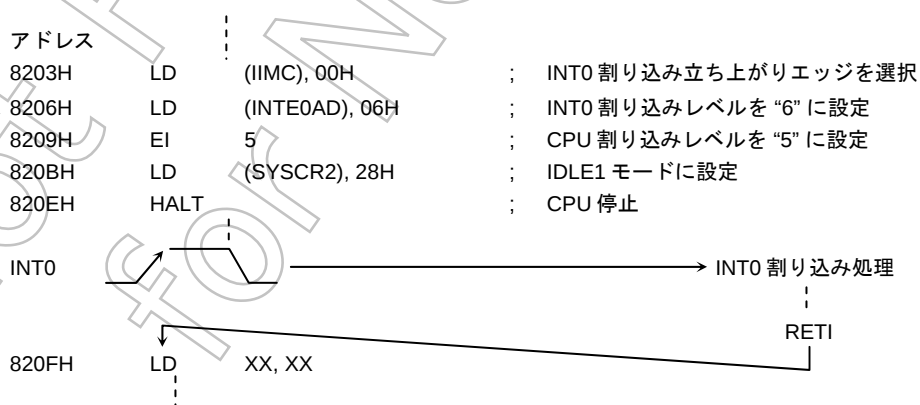
*1: ウォームアップ時間経過後にホルト解除を行います。

注 1) 割り込み許可状態において、レベルモードの INT0~INT3 割り込みによるホルト解除を行う場合、割り込み処理が開始されるまで割り込み端子のレベルを保持してください。それ以前でレベルが変化した場合は、正しい割り込み処理を開始できません。

注 2) 外部割り込み INT4~INT5 をプログラマブル IDLE2 モード時に使用する場合、16 ビットタイマ RUN レジスタ TB1RUN<I2TB1>を “1” にセットしてください。

(ホルト状態からの解除例)

IDLE1 モードのホルト状態をエッジモードの INT0 割り込みにより解除する場合。



(3) 各モードの動作

1. IDLE2 モード

IDLE2 モードでは、各内蔵 I/O の SFR 中にある IDLE2 設定レジスタで指定した内蔵 I/O のみ動作し、CPU の命令実行動作は停止します。

IDLE2 モードの割り込みによるホルト解除のタイミング例を図 3.3.6 に示します。

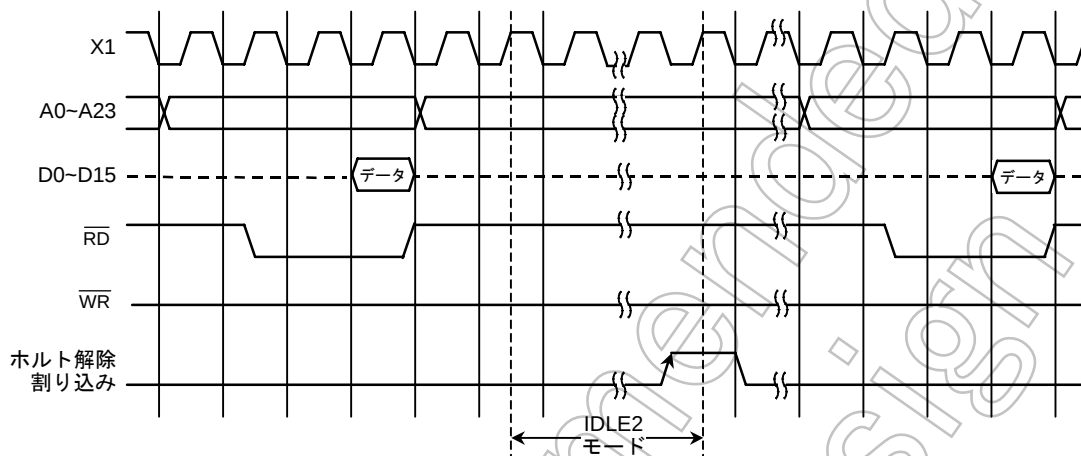


図 3.3.6 割り込みによるホルト解除のタイミング例 (IDLE2 モード時)

2. IDLE1 モード

IDLE1 モードでは、内部発振器のみ動作し、システムクロックは停止します。また、IDLE1 モード時の端子状態は、SYSCR2<SELDIV, DRIVE>の設定により異なります。IDLE1 モード時の端子状態を表 3.3.5, 表 3.3.6 に示します。

ホルト状態での、割り込み要求のサンプリングは、システムクロックと非同期に行われますが、解除 (動作の再開) は同期して行われます。

IDLE1 モードの割り込みによるホルト解除のタイミング例を図 3.3.7 に示します。

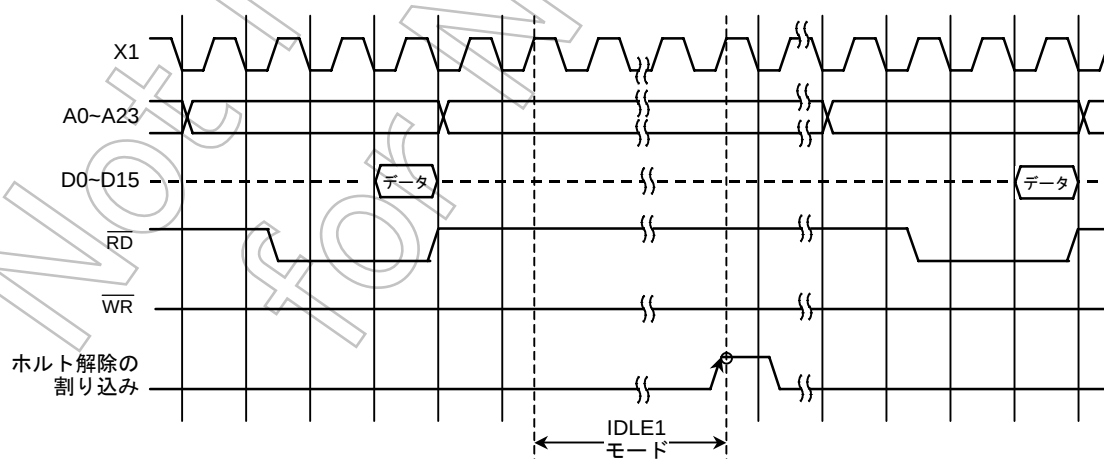


図 3.3.7 割り込みによるホルト解除のタイミング例 (IDLE1 モード時)

3. STOP モード

STOPモードでは、内部発振器も含めて、すべての内部回路が停止します。また、STOPモード時の端子状態は、SYSCR2<SELDV, DRVE>の設定により異なります。STOPモード時の端子状態を表 3.3.5, 表 3.3.6に示します。

STOPモードを解除する場合は、内部発振器の安定化のため、ウォームアップ用カウンタによるウォームアップ時間経過後に、システムクロックの出力を開始します。このウォームアップ時間の設定は、SYSCR2<WUPTM1:0>で行います。表 3.3.4に設定例を示します。

STOPモードの割り込みによるホルト解除のタイミング例を図 3.3.8に示します。

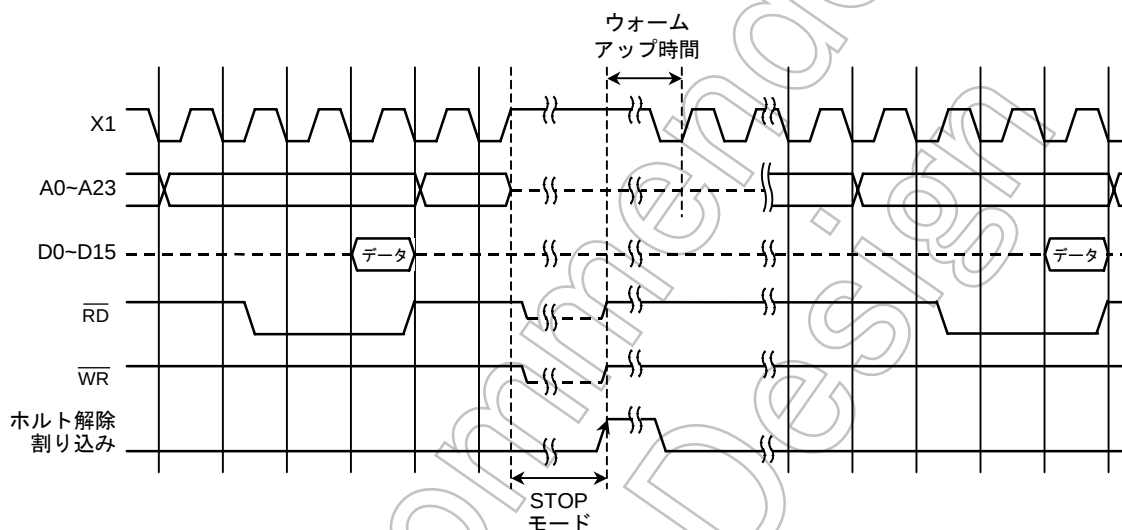


図 3.3.8 割り込みによるホルト解除のタイミング例 (STOP モード時)

表 3.3.4ウォームアップ時間の設定例 (STOP モード解除時)

@f_{OSCH} = 10 MHz

SYSCR2<WUPTM1:0>		
01 (2 ⁸)	10 (2 ¹⁴)	11 (2 ¹⁶)
25.6 μs	1.638 ms	6.554 ms

表 3.3.5 入力バッファ状態表

ポート名	入力機能名	入力バッファ状態										
		リセット中	動作中		HALT 中 (IDLE2)		HALT 中 (IDLE1/STOP)					
			機能設定	入力ポート設定	機能設定	入力ポート設定	条件 A 設定時(注)		条件 B 設定時(注)			
D0-D7	D0-D7	OFF	外部リードで ON	—	OFF	—	OFF	—	OFF	—		
P10-P17	D8-D15			ON		—		—		—	—	
P40-P47	—					—		—		—	—	
P50-P57	—					—		—		—	—	
P60-P67	—					—		—		—	—	
P76	WAIT	ON	ON	OFF	OFF	OFF	OFF	OFF	OFF			
P90	SCK			ON		OFF		OFF				
P91	SDA			—		—		—				
P92	SI SCL			—		—		—				
PA0-PA7(*1)	—			—		ON		—		ON	—	ON
PC0	TA0IN			ON		ON		OFF		OFF	OFF	OFF
PC1	INT1							ON		ON	ON	ON
PC3	INT0							—		—	—	—
PC5	INT2							—		—	—	—
PC6	INT3							—		—	—	—
PD0	INT4, TB1IN0			ON		ON		OFF		OFF	OFF	OFF
PD1	INT5, TB1IN1	—	—		—		—					
PD2	—	—	—		—		—					
PD3	—	—	—		—		—					
PF0	—	—	—		—		—					
PF1	RXD0	ON	ON	OFF	OFF	OFF	OFF					
PF2	SCLK0, CTS0	—	—	—	—	—	—					
PF3	—	ON	ON	OFF	OFF	OFF	OFF					
PF4	RXD1	—	—	—	—	—	—					
PF5	SCLK1, CTS1	—	—	—	—	—	—					
PF6	—	—	—	—	—	—	—					
PF7	—	—	—	—	—	—	—					
PG0-PG2, PG4-PG7(*2)	—	OFF	ポートリードで ON	—	OFF	—	—	—	—			
PG3(*2)	ADTRG	ON	ON	—	—	ON	—	ON	—			
NMI	—			—	—	—	—	—	—			
RESET(*1)	—			—	—	—	—	—	—			
AM0,1	—			—	—	—	—	—	—			
X1	—	—	—	—	—	—	—	—	—			

ON: 常時バッファがONしているため、

入力端子がドライブされていないと
入力バッファに貫通電流が流れます

OFF: 常時バッファがOFFしています

—: 対象なし

*1: Pull-Up/Down抵抗付きポートです。

*2: AIN入力では貫通電流が流れません

注)条件 A / B の設定を示します。

SYSCR2 設定		HALT モード	
<DRVE>	<SELDRV>	IDLE1	STOP
0	0	条件 B	条件 A
0	1	条件 A	
1	0	条件 B	条件 B
1	1		

表 3.3.6 出力バッファ状態表

ポート名	出力機能名	出力バッファ状態									
		リセット中	動作中		HALT 中 (IDLE2)		HALT 中 (IDLE1/STOP)				
			機能設定	出力ポート設定	機能設定	出力ポート設定	条件 A 設定時(注)		条件 B 設定時(注)		
D0-D7	D0-D7	OFF	外部 ライト で ON	—	OFF	—	OFF	—	OFF	—	
P10-P17	D8-D15							ON			
P40-P47	A0-A7			ON		ON		ON		OFF	ON
P50-P57	A8-A15										
P60-P67	A16-A23										
P70	$\overline{\text{RD}}$										
P71	WRLL										
P72	WRLU										
P73	WRUL										
P74	WRUU										
P75	R/W										
P76	—	OFF	—		—		—				
P80	CS0	ON	ON	ON	OFF	ON					
P81	CS1										
P82	CS2										
P83	CS3										
P90	SCK	OFF	ON	ON	OFF	OFF	ON				
P91	SO										
P92	SCL										
PC0	—							—	—	—	—
PC1	TA1OUT							ON	ON	OFF	ON
PC3	—							—	—	—	—
PC5	TA3OUT							ON	ON	OFF	ON
PC6	TB0OUT							—	—	—	—
PD0	—							—	—	—	—
PD1	—							OFF	ON	ON	OFF
PD2	TB1OUT0	ON									
PD3	TB1OUT1	ON									
PF0	TXD0	ON									
PF1	—	—									
PF2	SCLK0	ON									
PF3	TXD1	—									
PF4	—	—									
PF5	SCLK1	ON									
PF6	—	—									
PF7	—	—									
X2	—		—	ON	—	IDLE1 で ON , STOP で “H” レベル出力					

ON: 常時バッファがONしています。
ただし、バス開放時は特定の端子の出力バッファはOFFします。

OFF: 常時バッファがOFFしています

—: 対象なし

注) 条件 A/B の設定を示します。

SYSCR2 設定		HALT モード	
<DRIVE>	<SELDRV>	IDLE1	STOP
0	0	条件 B	条件 A
0	1	条件 A	
1	0	条件 B	条件 B
1	1		

3.4 割り込み

TLCS-900/H1 の割り込みは、CPU の割り込みマスクフリップフロップ (IFF2~IFF0) と、内蔵の割り込みコントローラによって制御されます。

TMP92CM22 の割り込み要因には、下記に示す合計 41 本があります。

- CPU 自体からの割り込み … 9 本
(ソフトウェア割り込み 8 本、未定義命令実行違反 1 本)
- 外部端子 ($\overline{\text{NMI}}$, INT0~INT5) … 7 本
- 内蔵 I/O からの割り込み … 17 本
- ハイスピード DMA からの割り込み … 8 本

各割り込み要因ごとに、個別の割り込みベクタ番号 (固定) が割り当てられており、マスカブル割り込みのそれぞれに、6 レベルの優先順位 (可変) を割り付けることができます。ノンマスカブル割り込みの優先順位は、最優先の “7” に固定されています。

割り込みが発生すると、割り込みコントローラは、その割り込み要因の優先順位を CPU に送ります。同時に複数の割り込みが発生した場合は、最も高い優先順位値 (最高はノンマスカブル割り込みの “7”) を CPU に送ります。

CPU は、その送られてきた優先順位値と、CPU の割り込みマスクレジスタ (IFF2:0) の値を比較し、送られてきた優先順位値が、割り込みマスクレジスタの値以上であれば、その割り込みを受け付けます。割り込みマスクレジスタ (IFF2:0) の値は EI 命令 (EI num…IFF<2:0>の内容が num) を使用して、書き替えることができます。例えば、“EI 3” とプログラムすると、割り込みコントローラに設定された優先順位値 3 以上のマスカブル割り込みと、ノンマスカブル割り込みが受け付け可能となります。また、DI 命令 (IFF<2:0>が 7) は動作的には “EI 7” と同じですが、マスカブル割り込みの優先順位値が 1~6 であるため、マスカブル割り込みの受け付け禁止用として使用されます。なお、EI 命令は実行後、直ちに有効となります。

TLCS-900/H1 の割り込みには、上記汎用割り込み処理モードに加えて、「マイクロ DMA」処理モードがあります。マイクロ DMA は、CPU が自動的にデータの転送 (1/2/4 バイト) を行うモードです。内部/外部メモリおよび内蔵 I/O に対するデータ転送を高速に行うことができます。

さらに、TMP92CM22 には、このマイクロ DMA 要求を割り込み要因から与えられる以外に、ソフトウェアから要求を発行する “ソフトスタート機能” があります。

図 3.4.1 に割り込み処理全体のフローを示します。

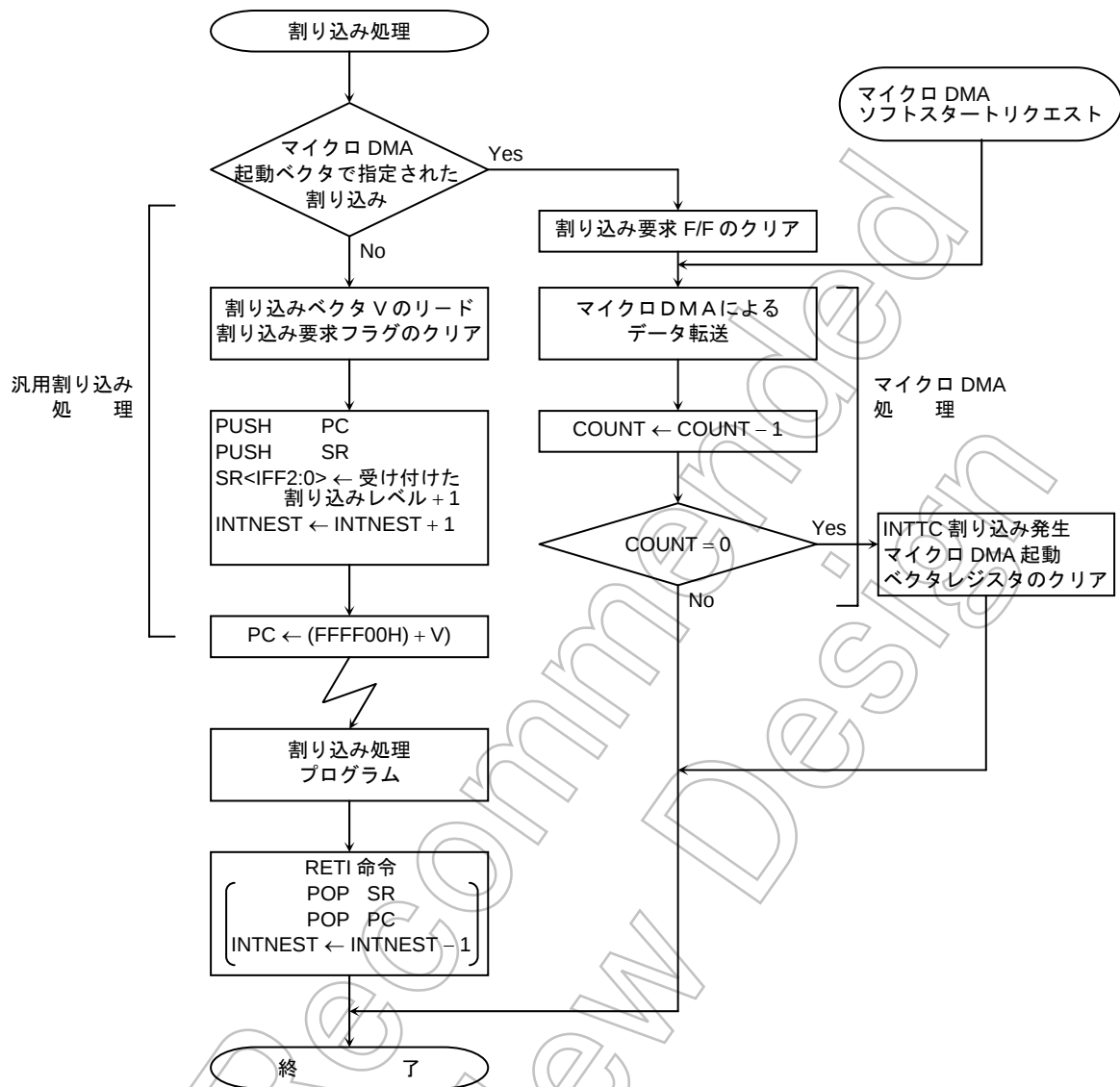


図 3.4.1 割り込み処理全体のフロー

3.4.1 汎用割り込み処理

CPU が割り込みを受け付けると、下記の動作をします。なお、この動作は、TLCS900/L、TLCS-900/H、TLCS-900/L1 と同様です。

- (1) CPU は、割り込みコントローラから、割り込みベクタをリードします。

割り込みコントローラは、同一レベルに設定された割り込みが同時に発生した場合、デフォルトプライオリティ (固定: ベクタ値が小さいほど優先順位が高い) に従って割り込みベクタを発生し、その割り込み要求をクリアします。

- (2) CPU は、プログラムカウンタ「PC」とステータスレジスタ「SR」を、スタック領域 (XSP が示す領域) へ PUSH します。
- (3) CPU の割り込みマスクレジスタ<IFF2:0>の値を、受け付けた割り込みレベルより“1”だけ高い値にセットします。ただし、値が“7”のときは、インクリメントせず“7”をセットします。
- (4) 割り込みネスティングカウンタ INTNEST を、+1 します。
- (5) CPU は、「FFFF00H + 割り込みベクタ」のデータで示されるアドレスへジャンプし、割り込み処理ルーチンを開始します。

割り込み処理が終了し、メインルーチンに戻るときは、通常「RETI」命令で行います。この命令を実行すると、スタックからプログラムカウンタ PC とステータスレジスタ SR の内容をリストアし、割り込みネスティングカウンタ INTNEST を-1 します。

ノンマスカブル割り込みは、プログラムによって割り込み受け付けを禁止することができません。一方、マスカブル割り込みは、プログラムによって割り込みの許可/禁止が選択できるとともに、各割り込みソースごとに優先順位を設定することができます (0 か 7 の割り込みレベルの設定は割り込み要求が無効になります)。CPU 自体が持つ割り込みマスクレジスタ<IFF2:0>の値以上の優先順位値を持つ割り込み要求があると、割り込みを受け付けます。そして、CPU のマスクレジスタ<IFF2:0>に、受け付けた優先順位に“1”を加えた値をセットします。従って、割り込み処理中に現在実行している割り込みよりも高いレベルの割り込みが発生した場合には、その割り込み要求を受け付け、割り込み処理のネスティング状態になります。

なお、CPU が割り込みを受け付け、前記 (1)~(5) までの処理をしている間に発生した別の割り込み要求は、その割り込み処理ルーチンの先頭命令が実行された直後にサンプリングされます。先頭命令を DI 命令にすると、マスカブル割り込みのネスティングを禁止することができます。

リセット後、CPU のマスクレジスタ<IFF2:0>は、“7”に初期化されているため、マスカブル割り込み禁止状態になっています。

TMP92CM22 では、メモリアドレス FFFF00H~FFFFFFH (256 バイト) が、割り込みベクタ領域に割り当てられています。表 3.4.1 に割り込みテーブルを示します。

表 3.4.1 TMP92CM22 の割り込みテーブル

デフォルト プライオリティ	タイプ	割り込み要因	ベクタ値	ベクタ参照 アドレス	マイクロ DMA 起動ベクタ
1	ノン マスクابل	"SWI0" 命令または "リセット"	0000H	FFFF00H	
2		"SWI1" 命令	0004H	FFFF04H	
3		"SWI2" 命令または "未定義命令実行違反"	0008H	FFFF08H	
4		"SWI3" 命令	000CH	FFFF0CH	
5		"SWI4" 命令	0010H	FFFF10H	
6		"SWI5" 命令	0014H	FFFF14H	
7		"SWI6" 命令	0018H	FFFF18H	
8		"SWI7" 命令	001CH	FFFF1CH	
9		NMI: 外部割り込み入力端子	0020H	FFFF20H	
10		INTWD: ウォッチドッグタイマ	0024H	FFFF24H	
-	マスクابل	マイクロ DMA (注 2)	-	-	-
11		INT0: 外部割り込み入力端子	0028H	FFFF28H	0AH (注 1)
12		INT1: 外部割り込み入力端子	002CH	FFFF2CH	0BH (注 1)
13		INT2: 外部割り込み入力端子	0030H	FFFF30H	0CH (注 1)
14		INT3: 外部割り込み入力端子	0034H	FFFF34H	0DH (注 1)
15		(Reserved)	0038H	FFFF38H	0EH
16		(Reserved)	003CH	FFFF3CH	0FH
17		(Reserved)	0040H	FFFF40H	10H
18		(Reserved)	0044H	FFFF44H	11H
19		(Reserved)	0048H	FFFF48H	12H
20		(Reserved)	004CH	FFFF4CH	13H
21		INTP0: プロテクト 0 (SFR にライト)	0050H	FFFF50H	14H
22		(Reserved)	0054H	FFFF54H	15H
23		INTTA0: 8 ビットタイマ 0	0058H	FFFF58H	16H
24		INTTA1: 8 ビットタイマ 1	005CH	FFFF5CH	17H
25		INTTA2: 8 ビットタイマ 2	0060H	FFFF60H	18H
26		INTTA3: 8 ビットタイマ 3	0064H	FFFF64H	19H
27		INTTB00: 16 ビットタイマ 0	0068H	FFFF68H	1AH
28		INTTB01: 16 ビットタイマ 0	006CH	FFFF6CH	1BH
29		(Reserved)	0070H	FFFF70H	1CH
30		(Reserved)	0074H	FFFF74H	1DH
31		INTTB00: 16 ビットタイマ 0 (オーバーフロー)	0078H	FFFF78H	1EH
32		(Reserved)	007CH	FFFF7CH	1FH
33		INTRX0: シリアル 0 (SIO0) 受信	0080H	FFFF80H	20H (注 1)
34		INTTX0: シリアル 0 (SIO0) 送信	0084H	FFFF84H	21H
35		INTRX1: シリアル 1 (SIO1) 受信	0088H	FFFF88H	22H (注 1)
36		INTTX1: シリアル 1 (SIO1) 送信	008CH	FFFF8CH	23H
37		(Reserved)	0090H	FFFF90H	24H
38		(Reserved)	0094H	FFFF94H	25H
39		(Reserved)	0098H	FFFF98H	26H
40		(Reserved)	009CH	FFFF9CH	27H
41		(Reserved)	00A0H	FFFA0H	28H
42		INT4: 外部割り込み入力端子	00A4H	FFFA4H	29H
43		INT5: 外部割り込み入力端子	00A8H	FFFA8H	2AH
44		INTTB10: 16 ビットタイマ 1	00ACH	FFFACH	2BH
45		INTTB11: 16 ビットタイマ 1	00B0H	FFFB0H	2CH
46		INTTB01: 16 ビットタイマ 1 (オーバーフロー)	00B4H	FFFB4H	2DH
47		(Reserved)	00B8H	FFFB8H	2EH
48		INTSBEO: SBI/I ² C バス転送終了 (チャンネル 0)	00BCH	FFFBCH	2FH
49		(Reserved)	00C0H	FFFC0H	30H
50		(Reserved)	00C4H	FFFC4H	31H
51		(Reserved)	00C8H	FFFC8H	32H
52		INTAD: AD 変換終了	00CCH	FFFCCH	33H

デフォルト プライオリティ	タイプ	割り込み要因	ベクタ値	ベクタ参照 アドレス	マイクロ DMA 起動ベクタ
53	マスカブル	INTTC0: マイクロ DMA 終了 (チャンネル 0)	00D0H	FFFFD0H	34H
54		INTTC1: マイクロ DMA 終了 (チャンネル 1)	00D4H	FFFFD4H	35H
55		INTTC2: マイクロ DMA 終了 (チャンネル 2)	00D8H	FFFFD8H	36H
56		INTTC3: マイクロ DMA 終了 (チャンネル 3)	00DCH	FFFFDCH	37H
57		INTTC4: マイクロ DMA 終了 (チャンネル 4)	00E0H	FFFFE0H	38H
58		INTTC5: マイクロ DMA 終了 (チャンネル 5)	00E4H	FFFFE4H	39H
59		INTTC6: マイクロ DMA 終了 (チャンネル 6)	00E8H	FFFFE8H	3AH
60		INTTC7: マイクロ DMA 終了 (チャンネル 7)	00ECH	FFFFECH	3BH
		(Reserved)	00F0H : 00FCH	FFFFF0H : FFFFFCH	—

注 1) マイクロ DMA を起動するときは、エッジ検出モードに設定してください。

注 2) マイクロ DMA は他のマスカブル割り込みより優先され起動します。

3.4.2 マイクロ DMA

TMP92CM22 には、マイクロ DMA 機能があります。マイクロ DMA 機能に設定された割り込み要求は、設定された割り込みレベルにかかわらず、マスカブル割り込みの中で最も高い割り込みレベル(レベル 6)で処理を行います。

マイクロ DMA 機能は CPU の協調動作によって実現されているため、CPU が HALT 命令によってスタンバイ状態になるとマイクロ DMA の要求は無視(保留)されます。

マイクロ DMA は 8 チャンネル用意されており、後述のバースト指定により、連続転送が可能です。

(1) マイクロ DMA の動作

マイクロ DMA は、マイクロ DMA 起動ベクタレジスタで指定された割り込み要求が発生すると、割り込み要求元の割り込みレベルにかかわらず、CPU に対しマスカブル割り込みの中で最も優先順位の高いレベルでデータ転送処理を行います。IFF=7 のときは、マイクロ DMA の要求は受けつけられません。

マイクロ DMA は 8 チャンネル用意されており、同時に 8 種類までの割り込み要因に対して、マイクロ DMA を設定することができます。

マイクロ DMA が受け付けられると、そのチャンネルに割り当てられている割り込み要求フラグをクリアし、コントロールレジスタに設定された、転送元アドレスから転送先アドレスに、データ転送が一回(1/2/4 バイト)行われ、転送数カウンタをデクリメントします。デクリメントした結果が“0”ならば、以下のような動作をします。

- CPU はマイクロ DMA 転送終了を割り込みコントローラに伝えます。
- 割り込みコントローラはマイクロ DMA 転送終了割り込み (INTTCn) を発生させます。
- マイクロ DMA 起動ベクタレジスタの値を“0”にクリアして、次のマイクロ DMA 起動を禁止します。
- マイクロ DMA 処理を終了します。

デクリメントした結果が“0”でない場合、後述のバースト指定がなければ、マイクロ DMA 処理は終了します。この場合、転送終了割り込み (INTTCn) は発生しません。

割り込み要因をマイクロ DMA 起動のみに使用する場合は、割り込みレベルを“0”にしておく必要があります。これはマイクロ DMA 起動ベクタに設定されるまでの間に、その割り込み要求が発生すると、割り込みレベルが 1~6 の場合、CPU は汎用割り込み処理を行うためです。割り込み要因をマイクロ DMA と汎用割り込みの起動の両方で使用する場合は、その割り込み要因の割り込みレベルを、他のすべての割り込み要因の割り込みレベルより低くする必要があります(注)。なお、その割り込み要因は、エッジ割り込みに限られます。

注) マイクロ DMA 要因の割り込みレベルを他の割り込みレベルより高くすると、下記のような動作をする場合があります。

下記設定にて INTxxx 割り込みが先に発生し、割り込み処理フロー(図 3.4.1 参照)で、“マイクロ DMA 起動ベクタで指定された割り込み”の確認後で、“割り込みベクタ V のリード”の間に INTyyy が発生した場合、INTyyy の割り込みレベルのほうが高いため、その時点ではベクタ V は INTyyy のベクタ V に変化してしまいます。割り込み処理フローでは、マイクロ DMA の確認が終了しているため、割り込みベクタ V がすり替わる形となり、CPU はそのまま INTyyy のベクタ V をリードしてしまい、マイクロ DMA の転送カウンタにかかわらず INTyyy が発生してしまいます。

INTxxx: レベル 1 DMA 設定なし

INTyyy: レベル 6 DMA 設定あり

マイクロ DMA 転送終了割り込みは、ほかのマスカブル割り込みと同様に割り込みレベルとデフォルトプライオリティにより、優先順位が決まります。

また、複数チャネルのマイクロ DMA 要求が同時に発生した場合の優先順位は、割り込みレベルに無関係で、チャネル番号の若い方が高くなります。(チャネル 0 (高)→チャネル 7 (低))

転送元/転送先アドレスを設定するレジスタは、32 ビット幅のコントロールレジスタになっていますが、アドレスは 24 本しか出力されていないため、マイクロ DMA で取り扱える空間は、16 M バイトとなります。

転送モードとしては、1/2/4 バイト転送の 3 種類があり、それぞれの転送モードに対して、転送後、転送元/転送先アドレスをインクリメント、デクリメント、固定するモードを用意しています。このモードにより、メモリからメモリ、I/O からメモリ、メモリから I/O、I/O から I/O のデータ転送を簡単に行えます。転送モードの詳細は、(4)「転送モードレジスタ詳細」を参照してください。

転送数カウンタは、16 ビット幅で構成されているため、一つの割り込み要因に対して、最大 65536 回 (転送カウンタの初期値が 0000H のとき最大) の、マイクロ DMA 処理を行うことができます。

マイクロ DMA 処理を行うことのできる割り込み要因は、表 3.4.1 でマイクロ DMA 起動ベクタのある 31 種類の割り込みと、ソフトスタートによる計 32 種類です。

転送先アドレス INC モード (カウンタモード以外は同様) のマイクロ DMA サイクルを 図 3.4.2 に示します。(外部 8 ビットバス, 0 ウェイト, ソース/ディストネーションアドレスとも偶数の場合)

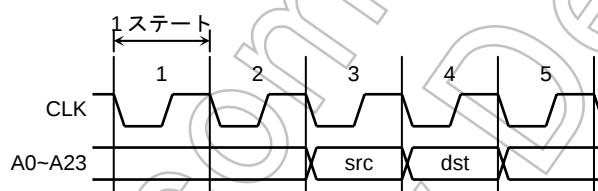


図 3.4.2 マイクロ DMA サイクル図

- | | |
|-------------|--|
| 第 1~2 ステート: | 命令フェッチサイクル (次の命令コードを先取りします。)
命令キューバッファが FULL の場合、このサイクルはダミーサイクルになります。 |
| 第 3 ステート: | マイクロ DMA リードサイクル |
| 第 4 ステート: | マイクロ DMA ライトサイクル |
| 第 5 ステート: | (第 1~2 ステートに同じ) |

(2) ソフトスタート機能

TMP92CM22 には、割り込み要因によるマイクロ DMA の起動以外に、DMAR レジスタへの書き込みサイクルが発生したことにより、マイクロ DMA を起動する“マイクロ DMA ソフトスタート機能”があります。

DMAR レジスタの各ビットに“1”を書き込むことにより、マイクロ DMA を一回起動することができます(“0”をライトしても変化しません)。転送が終了すると、終了したチャンネルに対応する DMAR レジスタのビットが、自動的に“0”クリアされます。なお、仕様書の制限として一度に 1 チャンネルしか起動できません(複数のビットに“1”を書き込まないでください)。

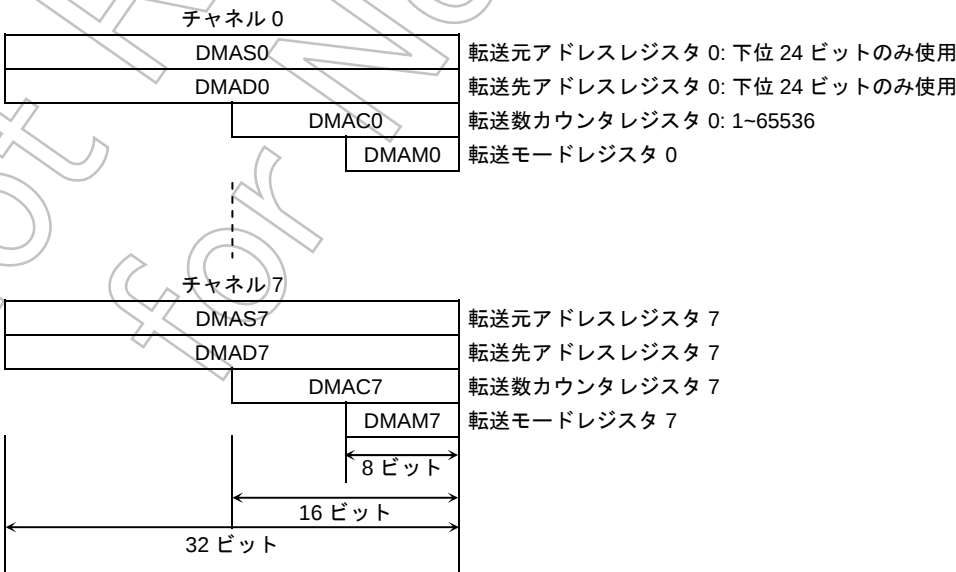
また、再度 DMAR レジスタに“1”を書き込む場合は、そのビットが“0”であることを確認してから行ってください。リードした値が“1”の場合は、まだマイクロ DMA 転送が開始されません。

DMAB レジスタでバースト指定されている場合は、マイクロ DMA を起動するとマイクロ DMA 転送カウンタが“0”になるまで、連続的にデータ転送されます。割り込み要因によるマイクロ DMA 転送の合間にソフトソフトスタートを実行してもマイクロ DMA 転送カウンタは変化しません。他のビットへの誤書き込みを防ぐために、リードディファイライト命令は使わないでください。

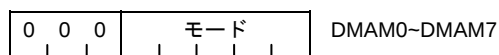
記 号	名 称	アドレス	7	6	5	4	3	2	1	0
DMAR	DMA request register	109H (RMW 禁)	DREQ7	DREQ6	DREQ5	DREQ4	DREQ3	DREQ2	DREQ1	DREQ0
			R/W							
			0	0	0	0	0	0	0	0
			1: DMA のソフト要求							

(3) 転送制御レジスタ

転送元アドレス、転送先アドレスは、下記のレジスタで設定します。これらのレジスタは、「LDC cr, r」命令を使用して、データの設定を行います。



(4) 転送モードレジスタ詳細



DMAM [4:0]	動 作	実行時間
000 zz	転送先アドレス INC モード (DMADn +) ← (DMASn) DMACn ← DMACn - 1 DMACn = 0 ならば INTTC 発生	5 ステート
001 zz	転送先アドレス DEC モード (DMADn -) ← (DMASn) DMACn ← DMACn - 1 DMACn = 0 ならば INTTC 発生	5 ステート
010 zz	転送元アドレス INC モード (DMADn) ← (DMASn +) DMACn ← DMACn - 1 DMACn = 0 ならば INTTC 発生	5 ステート
011 zz	転送元アドレス DEC モード (DMADn) ← (DMASn -) DMACn ← DMACn - 1 DMACn = 0 ならば INTTC 発生	5 ステート
100 zz	転送アドレス INC モード (DMADn +) ← (DMASn +) DMACn ← DMACn - 1 DMACn = 0 ならば INTTC 発生	6 ステート
101 zz	転送アドレス DEC モード (DMADn -) ← (DMASn -) DMACn ← DMACn - 1 DMACn = 0 ならば INTTC 発生	6 ステート
110 zz	転送アドレス固定モード (DMADn) ← (DMASn) DMACn ← DMACn - 1 DMACn = 0 ならば INTTC 発生	5 ステート
11100	カウンタモード DMASn ← DMASn + 1 DMACn ← DMACn - 1 DMACn = 0 ならば INTTC 発生	5 ステート

ZZ : 00 = 1 バイト転送

: 01 = 2 バイト転送

: 10 = 4 バイト転送

: 11 = (Reserved)

注 1) 実行時間は、ベストケース (メモリアクセスが 1 クロックの場合) の値です。

1 ステート = 50 ns (@内部 20 MHz 動作時)

注 2) n はマイクロ DMA チャンネルナンバ (0~7) を表しています。

3.4.3 割り込みコントローラの制御

図 3.4.3に、割り込み回路のブロック図を示します。この図の左半分は割り込みコントローラを示し、右半分はCPUの割り込み要求信号回路とホルト解除回路を示しています。

割り込みコントローラは、各割り込みチャネルごと(合計 33 チャネル)に、割り込み要求フラグ(フリップフロップ)、割り込み優先順位設定レジスタ、マイクロ DMA 起動ベクタ設定レジスタを持っています。割り込み要求フラグは、周辺からの割り込み要求をラッチするためのものです。

このフラグは、以下の場合にクリアされます。

- リセット動作
- CPU が割り込みを受け付け、その割り込みのベクタを CPU がリードしたとき
- 割り込みをクリアする命令の実行 (INTCLR レジスタに DMA 起動ベクタをライト)
- CPU がその割り込みでのマイクロ DMA 要求を受け付けたとき
- その割り込みでのマイクロ DMA バースト転送が終了したとき

割り込みの優先順位は、各割り込み要因ごとに準備されている割り込み優先順位設定レジスタ (INTE0AD, INTE12 …など) にそれぞれの優先順位を書き込むことで設定できます。設定できる割り込みレベルは 1 から 6 までの 6 レベルです。書き込み優先順位値を“0”(または“7”)にすることにより、該当する割り込み要求は禁止されます。

また、同時に同一レベルの割り込み要求が発生した場合には、デフォルトプライオリティ(プライオリティ値の小さいもの=ベクタの小さいもの)に従い、割り込みを受け付けます。なお、割り込み優先順位設定レジスタの 3 ビット目、7 ビット目を読むと、割り込み要求フラグの状態が読み出され、各チャネルの割り込み要求の有無がわかります。

割り込みコントローラは、同時に発生した割り込みの中で最も優先順位の高い割り込みレベルと、そのベクタアドレスを CPU へ送ります。CPU は、ステータスレジスタ (SR) に設定された割り込みマスクレジスタ<IFF2:0>と割り込みレベルを比較し、割り込みのレベルが高ければ、この割り込みを受け付けます。そして、CPU 側の SR<IFF2:0>に、受け付けた割り込みレベル+1 の値をセットし、この値以上の割り込み要求だけが、多重に受け付けられる割り込み要因となります。割り込み処理の終了 (RETI 命令の実行) により、CPU 側の SR<IFF2:0>には、スタックに退避されていた割り込み発生以前の割り込みマスクレジスタの値をリストアします。

割り込みコントローラには、マイクロDMAの起動ベクタを格納するレジスタ (8チャネル) が用意されています。このレジスタに起動ベクタ (表 3.4.1参照) を書き込むことにより、該当する割り込み要求が発生することによって、マイクロDMAが起動されます。なお、このマイクロDMA処理の前に、マイクロDMAパラメータ用レジスタ (DMAS, DMADなど) に値を設定しておく必要があります。

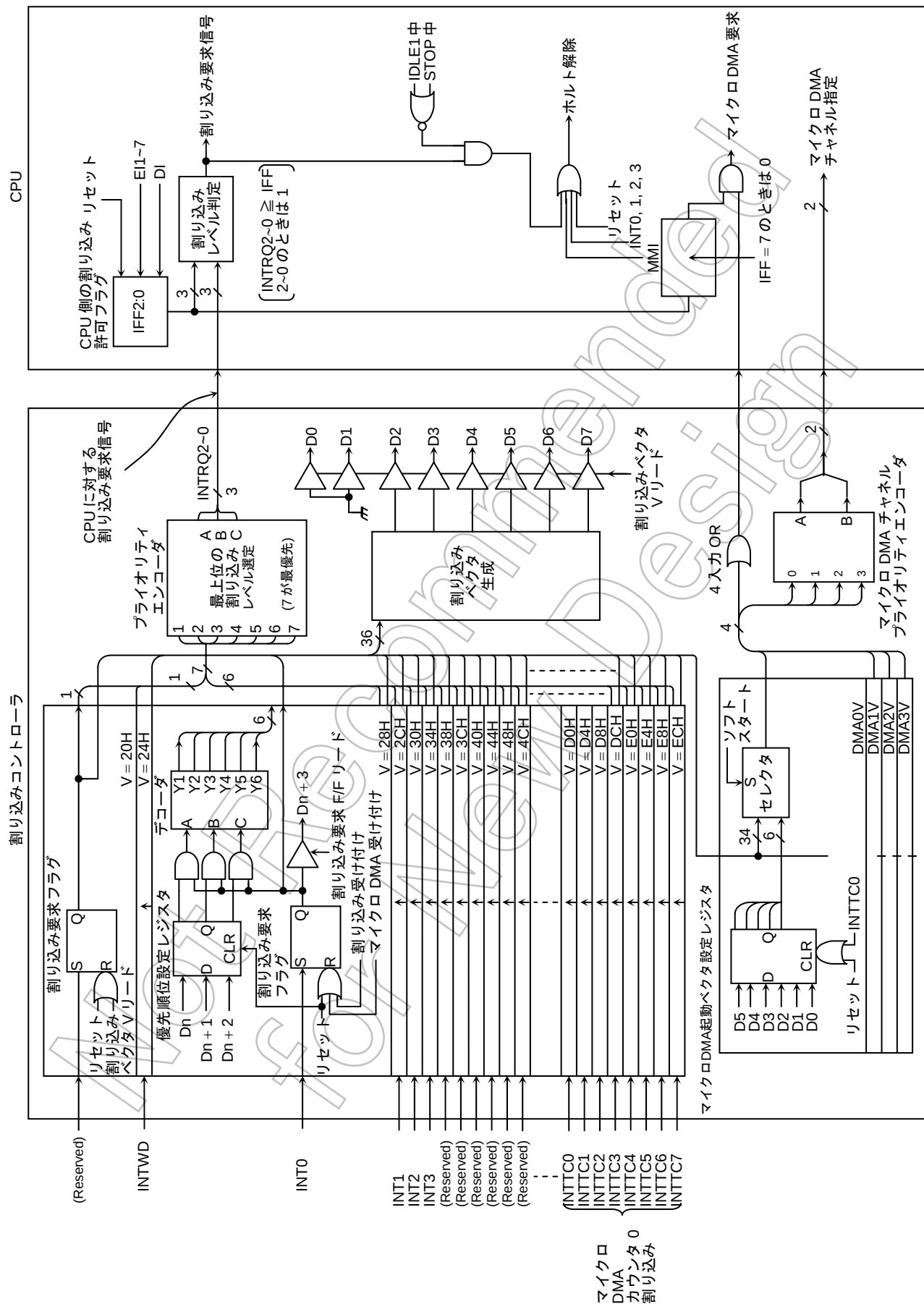


図 3.4.3 割り込みコントローラ ブロック図

(1) 割り込み優先順位設定レジスタ

記号	名称	アドレス	7	6	5	4	3	2	1	0
INTE12	INT1&INT2 enable	D0H	INT2				INT1			
			I2C	I2M2	I2M1	I2M0	I1C	I1M2	I1M1	I1M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTE3	INT3 enable	D1H	-				INT3			
			-	-	-	-	I3C	I3M2	I3M1	I3M0
			-	-			R	R/W		
			"0" をライトしてください。				0	0	0	0
INTETA01	INTTA0&INTTA1 enable	D4H	INTTA1 (TMRA1)				INTTA0 (TMRA0)			
			ITA1C	ITA1M2	ITA1M1	ITA1M0	ITA0C	ITA0M2	ITA0M1	ITA0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETA23	INTTA2&INTTA3 enable	D5H	INTTA3 (TMRA3)				INTTA2 (TMRA2)			
			ITA3C	ITA3M2	ITA3M1	ITA3M0	ITA2C	ITA2M2	ITA2M1	ITA2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETB0	INTTB00&INTTB01 enable	D8H	INTTB01 (TMRB0)				INTTB00 (TMRB0)			
			ITB01C	ITB01M2	ITB01M1	ITB01M0	ITB00C	ITB00M2	ITB00M1	ITB00M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETBO0	INTTBO0 (Overflow) enable	DAH	-				INTTBO0 (TMRB0)			
			-	-	-	-	ITBO0C	ITBO0M2	ITBO0M1	ITBO0M0
			R	R/W			R	R/W		
			"0" をライトしてください。				0	0	0	0
INTES0	INTRX0&INTTX0 enable	DBH	INTTX0				INTRX0			
			ITX0C	ITX0M2	ITX0M1	ITX0M0	IRX0C	IRX0M2	IRX0M1	IRX0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTES1	INTRX1&INTTX1 enable	DCH	INTTX1				INTRX1			
			ITX1C	ITX1M2	ITX1M1	ITX1M0	IRX1C	IRX1M2	IRX1M1	IRX1M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTE45	INT4&INT5 enable	E0H	INT5				INT4			
			I5C	I5M2	I5M1	I5M0	I4C	I4M2	I4M1	I4M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETB1	INTTB10&INTTB11 enable	E1H	INTTB11 (TMRB1)				INTTB10 (TMRB1)			
			ITB11C	ITB11M2	ITB11M1	ITB11M0	ITB10C	ITB10M2	ITB10M1	ITB10M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETBO1	INTTBO1 (Overflow) enable	E2H	-				INTTBO1 (TMRB1)			
			-	-	-	-	ITBO1C	ITBO1M2	ITBO1M1	ITBO1M0
			-	-			R	R/W		
			"0" をライトしてください。				0	0	0	0
INTESB0	INTSBEO enable	E3H	-				INTSBEO			
			-	-	-	-	ISBE0C	ISBE0M2	ISBE0M1	ISBE0M0
			-	-			R	R/W		
			"0" をライトしてください。				0	0	0	0
INTEP0	INTP0 enable	EEH	-				INTP0			
			-	-	-	-	IP0C	IP0M2	IP0M1	IP0M0
			-	-			R	R/W		
			"0" をライトしてください。				0	0	0	0

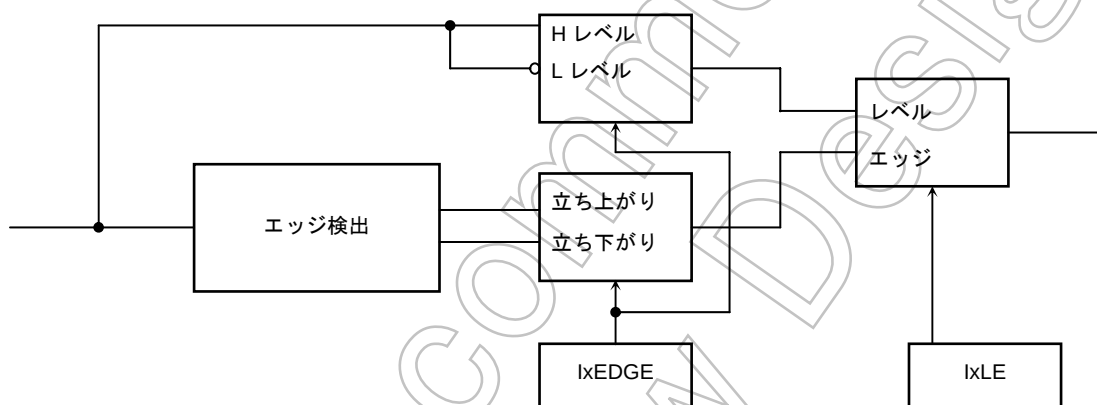
記号	名称	アドレス	7	6	5	4	3	2	1	0
INTE0AD	INT0&INTAD enable	F0H	INTAD				INT0			
			IADC	IADM2	IADM1	IADM0	I0C	I0M2	I0M1	I0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETC01	INTTC0&INTTC1 enable	F1H	INTTC1 (DMA1)				INTTC0 (DMA0)			
			ITC1C	ITC1M2	ITC1M1	ITC1M0	ITC0C	ITC0M2	ITC0M1	ITC0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETC23	INTTC2&INTTC3 enable	F2H	INTTC3 (DMA3)				INTTC2 (DMA2)			
			ITC3C	ITC3M2	ITC3M1	ITC3M0	ITC2C	ITC2M2	ITC2M1	ITC2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETC45	INTTC4&INTTC5 enable	F3H	INTTC5 (DMA5)				INTTC4 (DMA4)			
			ITC5C	ITC5M2	ITC5M1	ITC5M0	ITC4C	ITC4M2	ITC4M1	ITC4M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTETC67	INTTC6&INTTC7 enable	F4H	INTTC7 (DMA7)				INTTC6 (DMA6)			
			ITC7C	ITC7M2	ITC7M1	ITC7M0	ITC6C	ITC6M2	ITC6M1	ITC6M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
INTWDT	INTWD enable	F7H	-				INTWD			
			-	-	-	-	ITCWD	-	-	-
			-	-	-	-	R	-	-	-
			"0" をライトしてください。				0	-	-	-

割り込み要求フラグの状態

IxxM2	IxxM1	IxxM0	機能 (ライト)
0	0	0	割り込み要求を禁止に設定
0	0	1	割り込みレベルを "1" に設定
0	1	0	割り込みレベルを "2" に設定
0	1	1	割り込みレベルを "3" に設定
1	0	0	割り込みレベルを "4" に設定
1	0	1	割り込みレベルを "5" に設定
1	1	0	割り込みレベルを "6" に設定
1	1	1	割り込み要求を禁止に設定

(2) 外部割り込みの制御

記号	名称	アドレス	7	6	5	4	3	2	1	0
IIMC	Interrupt input mode control	00F6H (RMW 禁)			I3EDGE	I2EDGE	I1EDGE	I0EDGE	I0LE	NMIREE
					W				R/W	
					0	0	0	0	0	0
					INT3 エッジ 0: 立ち上がり /H レベル 1: 立ち下がり /L レベル	INT2 エッジ 0: 立ち上がり /H レベル 1: 立ち下がり /L レベル	INT1 エッジ 0: 立ち上がり /H レベル 1: 立ち下がり /L レベル	INT0 エッジ 0: 立ち上がり /H レベル 1: 立ち下がり /L レベル	INT0 0: エッジ モード 1: レベル モード	NMI 0: 立ち下がり /立ち上がり
IIMC2	Interrupt input mode control2	00FAH (RMW 禁)					I3LE	I2LE	I1LE	
							W			
							0	0	0	
							INT3 0: エッジ モード 1: レベル モード	INT2 0: エッジ モード 1: レベル モード	INT1 0: エッジ モード 1: レベル モード	



注 1) INT0~INT3 端子のモードをレベルにしてからエッジに切り替える場合 (<IxLE> を 1 から 0 へ)は、INT0~INT3 を禁止してから切り替えてください。

設定例 (INT0 の場合):

```
DI
LD (IIMC), XXXXXX0-B ; レベルからエッジに切り替える
LD (INTCLR), 0AH ; 割り込み要求フラグをクリア
NOP ; EI の実行待ち
NOP
NOP
NOP
EI
X: Don't care, -: No change
```

注 2) 外部割り込みの入力パルス幅にはスペックがあります。4.「電気的特性」を参照してください。

注 3) 割り込み許可状態において、レベルモードの INT0~INT3 割り込みによるホルト解除を行う場合、割り込み処理が開始されるまで<IxEDGE>にて設定したレベルを保持してください。それ以前でレベルが変化した場合、正しい割り込み処理を開始できません。

例) “H” レベル割り込みを設定 (<IxLE> = 1, <IxEDGE> = 0) した場合
割り込み処理が開始されるまで “H” レベルを保持してください。それ以前で “L” レベルにした場合は、正しい割り込み処理を開始できません。

外部割り込み端子の機能設定

割り込み端子	兼用端子	モード	設定方法
INT0	PC3	 立ち上がりエッジ	IIMC<I0LE> = 0, INT0EDGE = 0
		 立ち下がりエッジ	IIMC<I0LE> = 0, INT0EDGE = 1
		 H レベル	IIMC<I0LE> = 1, INT0EDGE = 0
		 L レベル	IIMC<I0LE> = 1, INT0EDGE = 1
INT1	PC1	 立ち上がりエッジ	IIMC2<I1LE> = 0, INT1EDGE = 0
		 立ち下がりエッジ	IIMC2<I1LE> = 0, INT1EDGE = 1
		 H レベル	IIMC2<I1LE> = 1, INT1EDGE = 0
		 L レベル	IIMC2<I1LE> = 1, INT1EDGE = 1
INT2	PC5	 立ち上がりエッジ	IIMC2<I2LE> = 0, INT2EDGE = 0
		 立ち下がりエッジ	IIMC2<I2LE> = 0, INT2EDGE = 1
		 H レベル	IIMC2<I2LE> = 1, INT2EDGE = 0
		 L レベル	IIMC2<I2LE> = 1, INT2EDGE = 1
INT3	PC6	 立ち上がりエッジ	IIMC2<I3LE> = 0, INT3EDGE = 0
		 立ち下がりエッジ	IIMC2<I3LE> = 0, INT3EDGE = 1
		 H レベル	IIMC2<I3LE> = 1, INT3EDGE = 0
		 L レベル	IIMC2<I3LE> = 1, INT3EDGE = 1
INT4	PD0	 立ち上がりエッジ	TB1MOD<TB1CPM1:0> = 0, 0 または 0, 1 または 1, 0
		 立ち下がりエッジ	TB1MOD<TB1CPM1:0> = 1, 0
INT5	PD1	 立ち上がりエッジ	—

(3) SIO 受信割り込み制御

記号	名称	アドレス	7	6	5	4	3	2	1	0
SIMC	SIO Interrupt mode control	F5H (RMW 禁)							IR1LE	IR0LE
									W	
									1	1
									0: INTRX1 エッジモ ード 1: INTRX1 レベルモ ード	0: INTRX0 エッジモ ード 1: INTRX0 レベルモ ード

* INTRX1 レベル許可

0	エッジ検出
1	“H” レベル

* INTRX0 立ち上がりエッジ許可

0	エッジ検出
1	“H” レベル

(4) 割り込み要求フラグレジスタ

割り込み要求フラグのクリアは、INTCLRレジスタに表 3.4.1のマイクロDMA起動ベクタを書くことで行います。

例えば、INT0 割り込みフラグをクリアする場合、DI 命令後に下記のレジスタ操作を行います。

INTCLR←0AH ; INT0 割り込み要求フラグのクリア

記 号	名 称	アドレス	7	6	5	4	3	2	1	0
INTCLR	Interrupt clear control	F8H (RMW 禁)			CLRV5	CLRV4	CLRV3	CLRV2	CLRV1	CLRV0
					W					
					0	0	0	0	0	0
					割り込みベクタ					

(5) マイクロ DMA 起動ベクタレジスタ

マイクロ DMA 処理をどの割り込み要因に割り当てるかを選択するレジスタです。このレジスタに設定されたベクタ値と一致するマイクロ DMA 起動ベクタを持つ割り込み要因をマイクロ DMA 起動要因として割り当てます。

マイクロ DMA 転送カウンタが“0”になると、割り込みコントローラにそのチャンネルに相当するマイクロ DMA 転送終了割り込みが伝えられるとともに、このマイクロ DMA 起動ベクタレジスタはクリアされ、そのチャンネルのマイクロ DMA 起動要因がクリアされますので、引き続きマイクロ DMA 処理をさせたい場合は、マイクロ DMA 転送終了割り込み処理の中で、再度このマイクロ DMA 起動ベクタレジスタをセットする必要があります。

また、複数チャンネルのマイクロ DMA 起動ベクタレジスタに同一ベクタが設定されている場合は、チャンネル番号の小さい方が優先されます。

従って、2 チャンネルのマイクロ DMA 起動ベクタレジスタに同一ベクタが設定されている場合、チャンネル番号の小さいチャンネルがマイクロ DMA 転送終了になるまで実行され、そのチャンネルのマイクロ DMA 起動ベクタを再度設定しなければ、その後のマイクロ DMA 起動はチャンネル番号の大きいチャンネルに移行します。(マイクロ DMA のチェーン)

記 号	名 称	アドレス	7	6	5	4	3	2	1	0
DMA0V	DMA0 start vector	100H			DMA0V5	DMA0V4	DMA0V3	DMA0V2	DMA0V1	DMA0V0
					R/W					
					0	0	0	0	0	0
					DMA0 起動ベクタ					
DMA1V	DMA1 start vector	101H			DMA1V5	DMA1V4	DMA1V3	DMA1V2	DMA1V1	DMA1V0
					R/W					
					0	0	0	0	0	0
					DMA1 起動ベクタ					
DMA2V	DMA2 start vector	102H			DMA2V5	DMA2V4	DMA2V3	DMA2V2	DMA2V1	DMA2V0
					R/W					
					0	0	0	0	0	0
					DMA2 起動ベクタ					
DMA3V	DMA3 start vector	103H			DMA3V5	DMA3V4	DMA3V3	DMA3V2	DMA3V1	DMA3V0
					R/W					
					0	0	0	0	0	0
					DMA3 起動ベクタ					
DMA4V	DMA4 start vector	104H			DMA4V5	DMA4V4	DMA4V3	DMA4V2	DMA4V1	DMA4V0
					R/W					
					0	0	0	0	0	0
					DMA4 起動ベクタ					
DMA5V	DMA5 start vector	105H			DMA5V5	DMA5V4	DMA5V3	DMA5V2	DMA5V1	DMA5V0
					R/W					
					0	0	0	0	0	0
					DMA5 起動ベクタ					
DMA6V	DMA6 start vector	106H			DMA6V5	DMA6V4	DMA6V3	DMA6V2	DMA6V1	DMA6V0
					R/W					
					0	0	0	0	0	0
					DMA6 起動ベクタ					
DMA7V	DMA7 start vector	107H			DMA7V5	DMA7V4	DMA7V3	DMA7V2	DMA7V1	DMA7V0
					R/W					
					0	0	0	0	0	0
					DMA7 起動ベクタ					

(6) マイクロ DMA のバースト指定

マイクロ DMA 処理はバースト指定を行うことにより、1 回のマイクロ DMA 起動で転送カウンタレジスタが 0 になるまで、連続転送を行うことが可能です。下記に示す DMAB レジスタのマイクロ DMA チャンネルに対応するビットを“1”にすることで、バースト指定できます。

記 号	名 称	アドレス	7	6	5	4	3	2	1	0
DMAB	DMA burst request	108H	DBST7	DBST6	DBST5	DBST4	DBST3	DBST2	DBST1	DBST0
			R/W							
			0	0	0	0	0	0	0	0
			1: DMA のバースト要求							

(7) 注意事項

本 CPU は、命令実行ユニットとバスインタフェースユニットが分かれています。そのため、割り込みが発生する直前に、その割り込みコントローラの割り込み要求フラグをクリアする命令をフェッチした場合、CPU が割り込みを受け付けて、割り込みベクタをリードするまでの間に、その割り込み要求フラグをクリアする命令 (注)を実行するということがあり得ます。この場合、CPU は要因消滅ベクタ“0004H”を読み込み、アドレス FFFF04H の割り込みベクタをリードします。

上記の現象を回避するため、割り込み要求フラグをクリアするときは、DI 命令の後にクリアする命令を書き込むようにしてください。クリア命令を実行した後、再び EI 命令で割り込みをイネーブルにするときは、クリア命令後、必ず 3 命令 (例: NOP × 3) 以上間を置いてから EI 命令を実行してください。クリア命令後すぐに EI 命令を行うと、割り込み要求フラグがクリアされる前に割り込みイネーブルになってしまうことがあります。また、割り込み要求レベルを 0 に変化させるときは、対応する割り込み要求を INTCLR 命令にてクリアしてから割り込み要求レベルを 0 に変更するようにしてください。

また、POPSR 命令により割り込みマスクレベル(ステータスレジスタの SR の<IFF2:0>)を書き替えるときは、かならず DI 命令により割り込みを禁止した後に POPSR 命令を実行してください。

さらに、以下の 2 点は例外の回路になっていますので注意が必要です。

INT0~INT3 のレベルモード	エッジタイプの割り込みでないため、割り込み要求用フリップフロップ機能はキャンセルされ、周辺割り込み要求がそのままフリップフロップの S 入力を素通りし、Q 出力になります。モード変更 (エッジ→レベル) を行った場合、以前の割り込み要求フラグは、自動的にクリアされます。 INTx (x = 0, 1, 2, 3) を “0” から “1” にすることによって、CPU が割り込み応答シーケンスに入ったときは、その割り込み応答シーケンスが完了するまで INTx を “1” のままにしておく必要があります。また、INTx のレベルモードをホルトの解除に使用する場合も、一度 “0” から “1” にしたら、ホルトが解除されるまで必ず “1” に保持しておく必要があります。(ノイズによって途中で “0” が入ることがないようにしてください。) 逆に INTx を “1” から “0” にすることによって、割り込み応答シーケンスに入ったときは、その割り込み応答シーケンスが完了するまで INTx を “0” のままにしておく必要があります。また、INTx のレベルモードをホルトの解除に使用する場合も同様に一度 “1” から “0” にしたら、ホルトが解除されるまで必ず “0” に保持しておく必要があります。(ノイズによって途中で “1” が入ることがないようにしてください。) レベルモードからエッジモードへ切り替えたとき、そのレベルモードときに受け付けた割り込み要求フラグは、クリアされません。そのため、割り込み要求フラグを以下にシーケンスでクリアしてください。 例) INT0 の場合 <pre> DI LD (IIMC),00H ; レベルからエッジへ切り替える LD (INTCLR), 0AH ; INT0 割り込み要求フラグをクリア NOP ; EI の実行待ち NOP NOP EI </pre>
INTRX	割り込み要求用フリップフロップをクリアするには、リセット動作または、シリアルチャネルの受信バッファをリードする必要があります。INTCLR レジスタライトによるクリアはできません。

注) 下記の命令および端子変化も、この割り込み要求フラグをクリアする命令に相当します。

INT0~INT3: エッジモードで割り込み要求発生後のレベルモードへの切り替え命令

レベルモードでの割り込み要求発生後の端子入力変化

(“H” → “L”/“L” → “H”)

INTRX :受信バッファをリードする命令

3.5 ポート機能

TMP92CM22 には 合計 50 ビットの入出力ポートがあります。

これらのポート端子は、汎用入出力ポート機能だけでなく、内部のCPUや内蔵I/Oの入出力機能と兼用になっています。表 3.5.1「ポート機能」に各ポート端子の機能を、表 3.5.2~表 3.5.3「I/Oポート設定一覧表」に各端子の設定方法を示します。

表 3.5.1 ポート機能

(R: U = プルアップ抵抗付き)

ポート名	ピン名称	ピン数	方向	R	方向設定単位	内蔵機能用ピン名称
ポート 1	P10~P17	8	入出力	—	ビット	D8~D15
ポート 4	P40~P47	8	入出力*	—	ビット*	A0~A7
ポート 5	P50~P57	8	入出力*	—	ビット*	A8~A15
ポート 6	P60~P67	8	入出力*	—	ビット*	A16~A23
ポート 7	P70	1	出力	—	(固定)	$\overline{RD}$
	P71	1	出力	—	(固定)	$\overline{WRLL}$
	P72	1	出力	—	(固定)	$\overline{WRLU}$
	P73	1	出力	—	(固定)	
	P74	1	出力	—	(固定)	CLKOUT
	P75	1	出力	—	(固定)	$R/\overline{W}$
	P76	1	入出力	—	ビット	$\overline{WAIT}$
ポート 8	P80	1	出力	—	(固定)	$\overline{CS0}$
	P81	1	出力	—	(固定)	$\overline{CS1}$
	P82	1	出力	—	(固定)	$\overline{CS2}$
	P83	1	出力	—	(固定)	$\overline{CS3}$
ポート 9	P90	1	入出力	—	ビット	SCK
	P91	1	入出力	—	ビット	SO, SDA
	P92	1	入出力	—	ビット	SI, SCL
ポート A	PA0	1	入力	U	(固定)	
	PA1	1	入力	U	(固定)	
	PA2	1	入力	U	(固定)	
	PA7	1	入力	U	(固定)	
ポート C	PC0	1	入出力	—	ビット	TA0IN
	PC1	1	入出力	—	ビット	INT1, TA1OUT
	PC3	1	入出力	—	ビット	INT0
	PC5	1	入出力	—	ビット	INT2, TA3OUT
	PC6	1	入出力	—	ビット	INT3, TB0OUT0
ポート D	PD0	1	入出力	—	ビット	INT4, TB1IN0
	PD1	1	入出力	—	ビット	INT5, TB1IN1
	PD2	1	入出力	—	ビット	TB1OUT0
	PD3	1	入出力	—	ビット	TB1OUT1
ポート F	PF0	1	入出力	—	ビット	TXD0
	PF1	1	入出力	—	ビット	RXD0
	PF2	1	入出力	—	ビット	SCLK0, $\overline{CTS0}$
	PF3	1	入出力	—	ビット	TXD1
	PF4	1	入出力	—	ビット	RXD1
	PF5	1	入出力	—	ビット	SCLK1, $\overline{CTS1}$
	PF6	1	入出力	—	ビット	
	PF7	1	入出力	—	ビット	
ポート G	PG0	1	入力	—	(固定)	AN0
	PG1	1	入力	—	(固定)	AN1
	PG2	1	入力	—	(固定)	AN2
	PG3	1	入力	—	(固定)	AN3, $\overline{ADTRG}$
	PG4	1	入力	—	(固定)	AN4
	PG5	1	入力	—	(固定)	AN5
	PG6	1	入力	—	(固定)	AN6
	PG7	1	入力	—	(固定)	AN7

表 3.5.2 I/O ポート設定一覧表 (1/2)

ポート	端子名	仕様	I/O レジスタ設定値			
			Pn	PnCR	PnFC	PnODE
ポート 1	P10~P17	入力ポート	X	0	0	なし
		出力ポート	X	1		
		D8~D15 バス	X	X	1	
ポート 4	P40~P47	入力ポート*	X	0*	0	なし
		出力ポート*	X	1*		
		A0~A7 出力	X	X	1	
ポート 5	P50~P57	入力ポート*	X	0*	0	なし
		出力ポート*	X	1*		
		A8~A15 出力	X	X	1	
ポート 6	P60~P67	入力ポート*	X	0*	0	なし
		出力ポート*	X	1*		
		A16~A23 出力	X	X	1	
ポート 7	P70~P75	出力ポート	X	なし	0	なし
	P70	$\overline{RD}$ 出力	X	なし	1	
	P71	$\overline{WRLL}$ 出力				
	P72	$\overline{WRLU}$ 出力				
	P74	CLKOUT 出力				
	P75	R/ $\overline{W}$ 出力				
	P76	入力ポート	X	0	0	
		出力ポート	X	1	0	
		$\overline{WAIT}$ 入力	X	0	1	
ポート 8	P80~P83	出力ポート	X	なし	0	なし
	P80	$\overline{CS0}$ 出力	X		1	
	P81	$\overline{CS1}$ 出力	X		1	
	P82	$\overline{CS2}$ 出力	X		1	
	P83	$\overline{CS3}$ 出力	X		1	
ポート 9	P90~P92	入力ポート	X	0	0	0
		出力ポート	X	1	0	0
	P90	SCK 入力	X	0	0	0
		SCK 出力	X	X	1	0/1
	P91	SO 出力	X	1	1	0/1
		SDA	X	X	1	1
	P92	SI 入力	X	0	0	0
		SCL	X	X	1	1

X: Don't care

表 3.5.3 I/O ポート設定一覧表 (2/2)

ポート	端子名	仕様	I/O レジスタ設定値			
			Pn	PnCR	PnFC	PnODE
ポート A	PA0, PA1, PA2, PA7	入力ポート	X	なし	なし	なし
ポート C	PC0, PC1, PC3, PC5, PC6	入力ポート	X	0	0	なし
		出力ポート	X	1	0	
	PC0	TA0IN 入力	X	X	1	
	PC1	TA1OUT 出力	X	1	1	
		INT1 入力	X	0	1	
	PC3	INT0 入力	X	X	1	
	PC5	INT2 入力	X	0	1	
		TA3OUT	X	1	1	
	PC6	INT3 入力	X	0	1	
		TB0OUT0	X	1	1	
ポート D	PD0~PD3	入力ポート	X	0	0	なし
		出力ポート	X	1	0	
	PD0	TB1IN0, INT4 入力	X	0	1	
	PD1	TB1IN1, INT5 入力	X	0	1	
	PD2	TB0OUT0 出力	X	1	1	
	PD3	TB0OUT1 出力	X	1	1	
ポート F	PF0~PF7	入力ポート	X	0	0	なし
		出力ポート	X	1	0	
	PF0	TXD0 (オープンドレイン)	X	0	1	
		TXD0	X	1	1	
	PF1	RXD0 入力	X	0	なし	
	PF2	SCLK0 入力/出力	X	0/1	1	
		CTS0 入力	X	0	1	
	PF3	TXD1 (オープンドレイン)	X	0	1	
		TXD1	X	1	1	
	PF4	RXD1 入力	X	0	なし	
ポート G	PG0~PG7	入力ポート	X	なし	なし	なし
		AN0~AN7 入力	X			
		ADTRG 入力	X			
	PG3	ADTRG 入力	X			

X: Don't care

*: 機能を汎用入出力ポートで使用时は、ビット単位で入出力の指定が可能ですが、同一ポート内で1ビットでもアドレスバスとして使用している場合にはビット単位で入出力の指定はできません。

残りの汎用入出力ポート全てが、その設定に関わらず出力ポートとして動作しますのでご注意ください。

リセット後、以下に示された端子は汎用入出力ポート端子として機能します。入力/出力の両方に設定できる入出力端子は、入力端子にリセットされます。内蔵された機能を利用する場合はすべてソフトウェアで処理する必要があります。

3.5.1 ポート 1 (P10~P17)

ポート 1 は、ビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。

入出力の指定は、コントロールレジスタ **P1CR** およびファンクションレジスタ **P1FC** によって行います。汎用入出力ポート機能以外にデータバス (**D8~D15**) 機能があります。

また、以下に示す **AM1** と **AM0** 端子の組合せにより、リセット解除後、デバイスはポート 1 を下記機能端子に設定します。

AM1	AM0	リセット後の機能設定
0	0	設定禁止
0	1	データバス (D8~D15)
1	0	入力ポート (P10~P17)
1	1	設定禁止

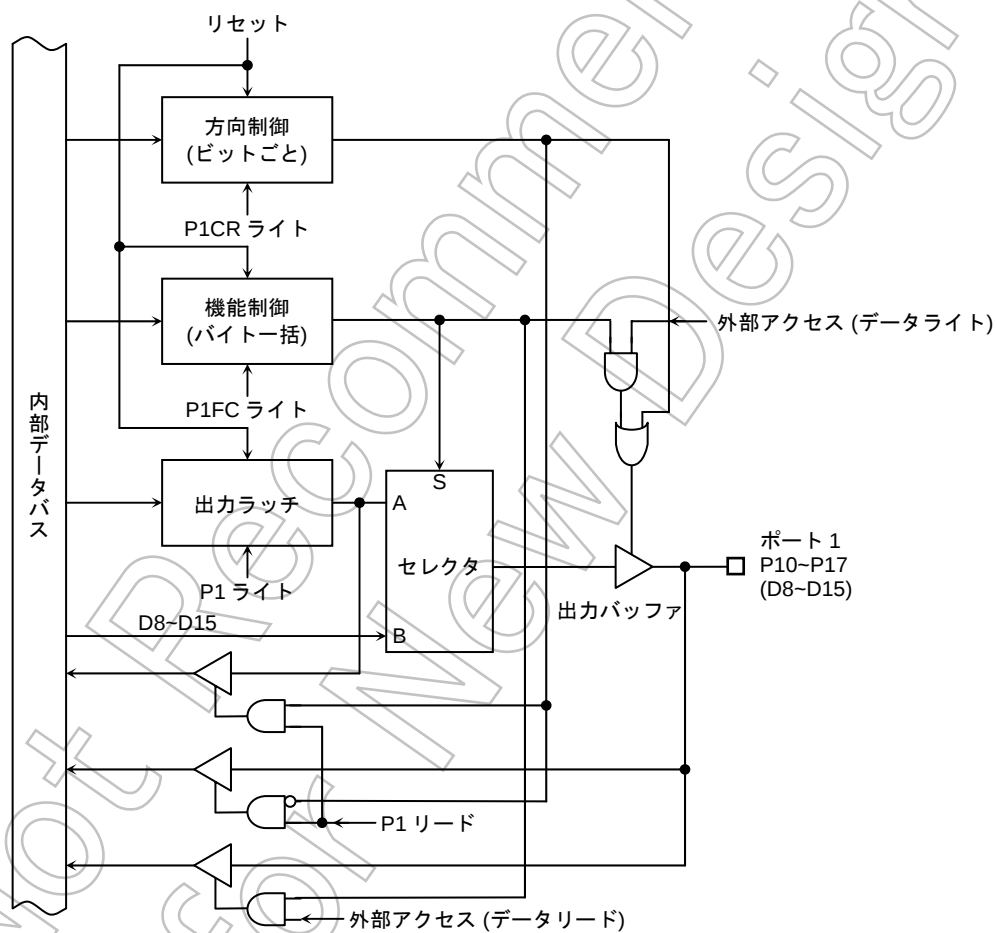


図 3.5.1 ポート 1



図 3.5.2 ポート 1 関係のレジスタ

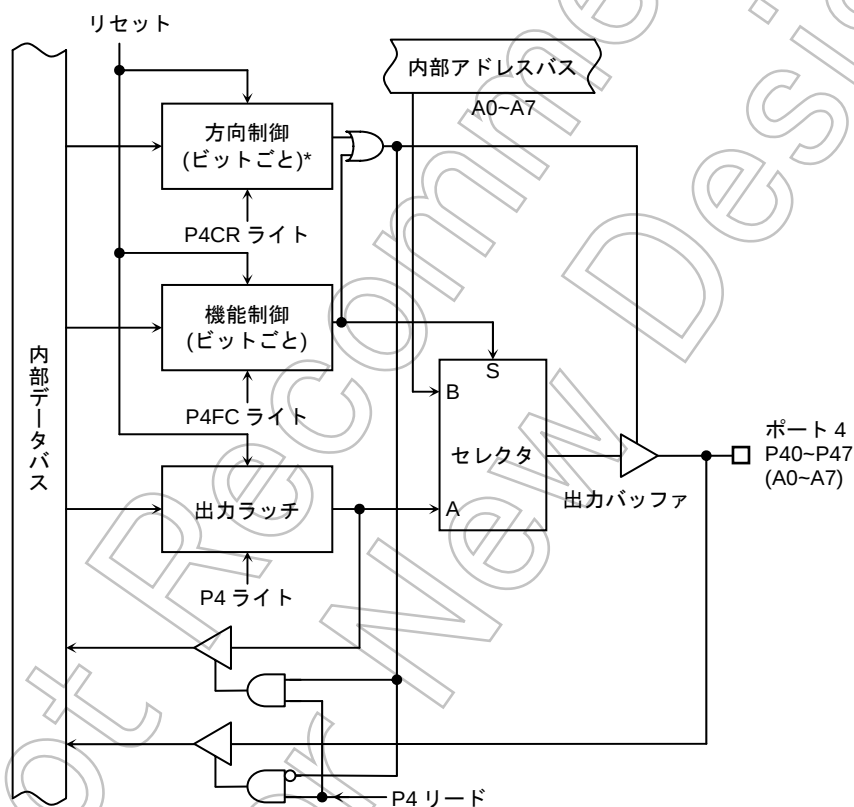
3.5.2 ポート 4 (P40~P47)

ポート 4 は、ビット単位で入出力の指定ができる*8 ビットの汎用入出力ポートです。

ビットごとの入出力の指定は、コントロールレジスタ P4CR およびファンクションレジスタ P4FC によって行います。汎用入出力ポート機能以外には、アドレスバス (A0~A7) 機能があります。

また、以下に示す AM1 と AM0 端子の組合せにより、リセット解除後、デバイスはポート 4 を下記機能端子に設定します。

AM1	AM0	リセット後の機能設定
0	0	設定禁止
0	1	アドレスバス (A0~A7)
1	0	アドレスバス (A0~A7)
1	1	設定禁止



*: 機能を汎用入出力ポートで使用時は、ビット単位で入出力の指定が可能ですが、同一ポート内で 1 ビットでもアドレスバスとして使用している場合にはビット単位で入出力の指定はできません。

残りの汎用入出力ポート全てが、その設定に関わらず出力ポートとして動作しますのでご注意ください。

図 3.5.3 ポート 4

ポート 4 レジスタ

P4
(0010H)

	7	6	5	4	3	2	1	0
Bit symbol	P47	P46	P45	P44	P43	P42	P41	P40
Read/Write	R/W							
リセット後	外部端子データ (出力ラッチレジスタは "0" にクリアされます。)							

ポート 4 コントロールレジスタ

P4CR
(0012H)

	7	6	5	4	3	2	1	0
Bit symbol	P47C	P46C	P45C	P44C	P43C	P42C	P41C	P40C
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機 能	0: 入力 1: 出力 注 2)							

ポート 4 ファンクションレジスタ

P4FC
(0013H)

	7	6	5	4	3	2	1	0
Bit symbol	P47F	P46F	P45F	P44F	P43F	P42F	P41F	P40F
Read/Write	W							
リセット後	1	1	1	1	1	1	1	1
機 能	0: ポート 1: アドレスバス (A0~A7)							

注 1) P4CR, P4FC はリードモディファイライトできません。

注 2) 機能を汎用入出力ポートで使用时は、ビット単位で入出力の指定が可能ですが、同一ポート内で 1 ビットでもアドレスバスとして使用している場合にはビット単位で入出力の指定はできません。残りの汎用入出力ポート全てが、その設定に関わらず出力ポートとして動作しますのでご注意ください。

図 3.5.4 ポート 4 関係のレジスタ

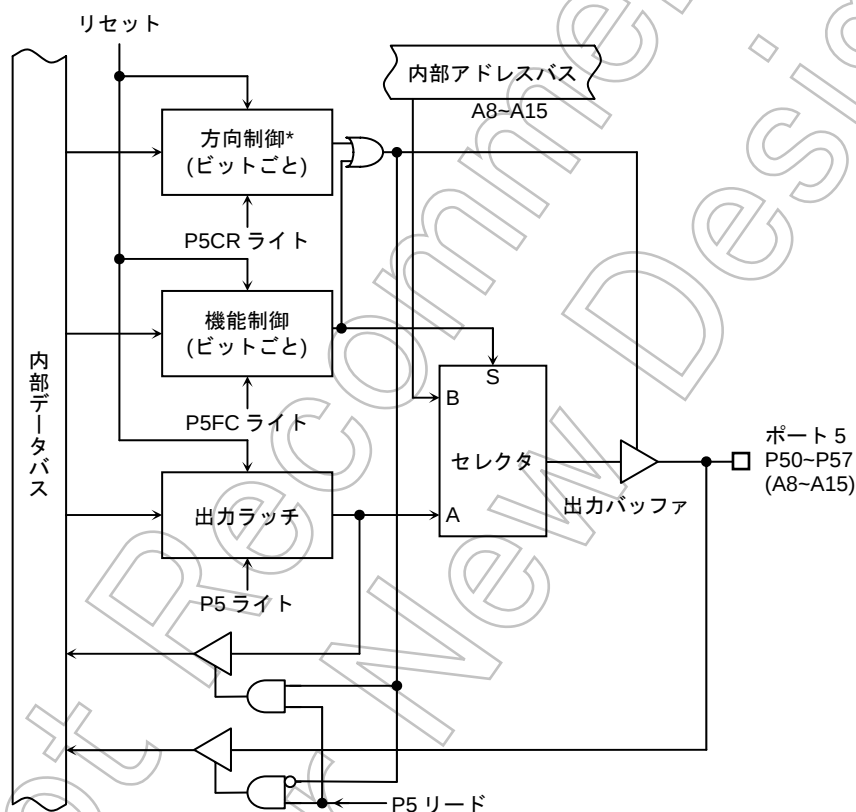
3.5.3 ポート 5 (P50~P57)

ポート 5 は、ビット単位で入出力の指定ができる*8 ビットの汎用入出力ポートです。

ビットごとの入出力の指定は、コントロールレジスタ **P5CR** およびファンクションレジスタ **P5FC** によって行います。汎用入出力ポート機能以外には、アドレスバス (A8~A15) 機能があります。

また、以下に示す AM1 と AM0 端子の組合せにより、リセット解除後、デバイスはポート 5 を下記機能端子に設定します。

AM1	AM0	リセット後の機能設定
0	0	設定禁止
0	1	アドレスバス (A8~A15)
1	0	アドレスバス (A8~A15)
1	1	設定禁止



*: 機能を汎用入出力ポートで使用時は、ビット単位で入出力の指定が可能です。同一ポート内で 1 ビットでもアドレスバスとして使用している場合にはビット単位で入出力の指定はできません。

残りの汎用入出力ポート全てが、その設定に関わらず出力ポートとして動作しますのでご注意ください。

図 3.5.5 ポート 5

ポート 5 レジスタ

P5
(0014H)

	7	6	5	4	3	2	1	0
Bit symbol	P57	P56	P55	P54	P53	P52	P51	P50
Read/Write	R/W							
リセット後	外部端子データ (出力ラッチレジスタは "0" にクリアされます。)							

ポート 5 コントロールレジスタ

P5CR
(0016H)

	7	6	5	4	3	2	1	0
Bit symbol	P57C	P56C	P55C	P54C	P53C	P52C	P51C	P50C
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機 能	0: 入力 1: 出力 注 2)							

ポート 5 ファンクションレジスタ

P5FC
(0017H)

	7	6	5	4	3	2	1	0
Bit symbol	P57F	P56F	P55F	P54F	P53F	P52F	P51F	P50F
Read/Write	W							
リセット後	1	1	1	1	1	1	1	1
機 能	0: ポート 1: アドレスバス (A8~A15)							

注 1) P5CR, P5FC はリードモディファイライトできません。

注 2) 機能を汎用入出力ポートで使用时は、ビット単位で入出力の指定が可能ですが、同一ポート内で 1 ビットでもアドレスバスとして使用している場合にはビット単位で入出力の指定はできません。残りの汎用入出力ポート全てが、その設定に関わらず出力ポートとして動作しますのでご注意ください。

図 3.5.6 ポート 5 関係のレジスタ

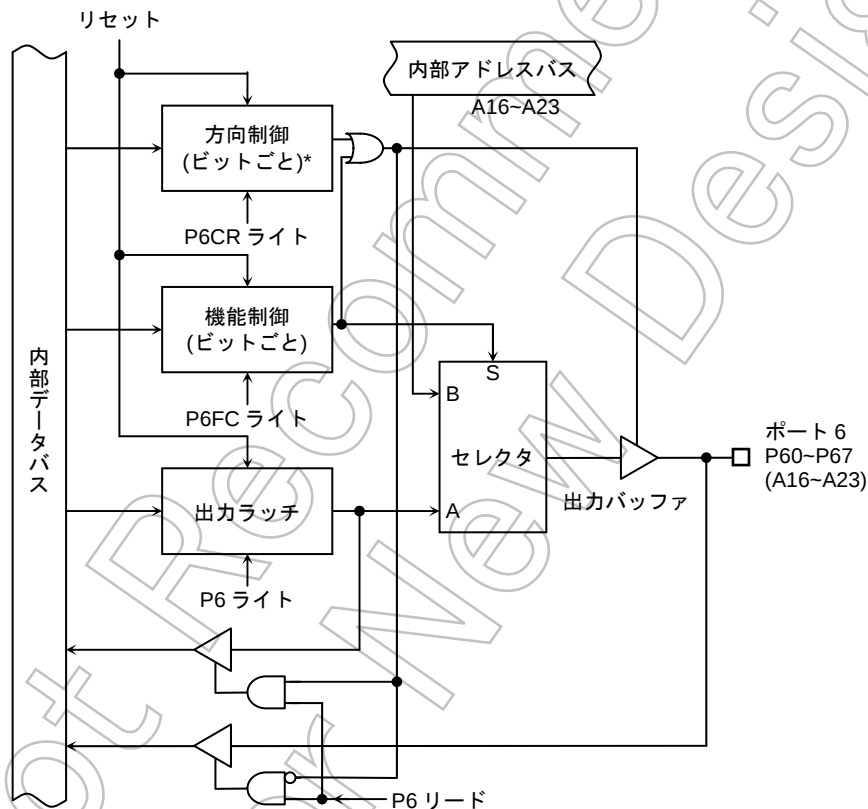
3.5.4 ポート 6 (P60~P67)

ポート 6 は、ビット単位で入出力の指定ができる*8 ビットの汎用入出力ポートです。

ビットごとの入出力の指定は、コントロールレジスタ P6CR およびファンクションレジスタ P6FC によって行います。汎用入出力ポート機能以外には、アドレスバス (A16~A23) 機能があります。

また、以下に示す AM1 と AM0 端子の組合せにより、リセット解除後、デバイスはポート 6 を下記機能端子に設定します。

AM1	AM0	リセット後の機能設定
0	0	設定禁止
0	1	アドレスバス (A16~A23)
1	0	アドレスバス (A16~A23)
1	1	設定禁止



*: 機能を汎用入出力ポートで使用する時は、ビット単位で入出力の指定が可能です。同一ポート内で1ビットでもアドレスバスとして使用している場合にはビット単位で入出力の指定はできません。

残りの汎用入出力ポート全てが、その設定に関わらず出力ポートとして動作しますのでご注意ください。

図 3.5.7 ポート 6

ポート 6 レジスタ

P6
(0018H)

	7	6	5	4	3	2	1	0
Bit symbol	P67	P66	P65	P64	P63	P62	P61	P60
Read/Write	R/W							
リセット後	外部端子データ (出力ラッチレジスタは "0" にクリアされます。)							

ポート 6 コントロールレジスタ

P6CR
(001AH)

	7	6	5	4	3	2	1	0
Bit symbol	P67C	P66C	P65C	P64C	P63C	P62C	P61C	P60C
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機 能	0: 入力 1: 出力 注 2)							

ポート 6 ファンクションレジスタ

P6FC
(001BH)

	7	6	5	4	3	2	1	0
Bit symbol	P67F	P66F	P65F	P64F	P63F	P62F	P61F	P60F
Read/Write	W							
リセット後	1	1	1	1	1	1	1	1
機 能	0: ポート 1: アドレスバス (A16~A23)							

注 1) P6CR, P6FC はリードモディファイライトできません。

注 2) 機能を汎用入出力ポートで使用する時は、ビット単位で入出力の指定が可能ですが、同一ポート内で 1 ビットでもアドレスバスとして使用している場合にはビット単位で入出力の指定はできません。残りの汎用入出力ポート全てが、その設定に関わらず出力ポートとして動作しますのでご注意ください。

図 3.5.8 ポート 6 関係のレジスタ

3.5.5 ポート 7 (P70~P76)

ポート 7 は、7 ビットの汎用入出力ポートです (P70 から P75 端子は出力のみ)。

ビットごとの入出力の指定は、コントロールレジスタ P7CR およびファンクションレジスタ P7FC によって行います。

また、汎用入出力ポート機能以外に CPU 制御端子の機能があります。P70 から P73 端子は外部メモリ接続用としての RD/WR ストローブ信号出力端子の機能、P74 端子は内部クロックを出力する CLKOUT 端子としての機能、P76 端子はウェイト入力端子の機能があります。リセット後、P70 から P75 端子は出力モード、P76 端子は入力モードとなります。

また、以下に示す AM1 と AM0 端子の組み合わせにより、リセット解除後、デバイスはポート 70 を下記機能端子に設定します。

AM1	AM0	リセット後の機能設定
0	0	設定禁止
0	1	CPU 制御端子 ($\overline{RD}$)
1	0	CPU 制御端子 ($\overline{RD}$)
1	1	設定禁止

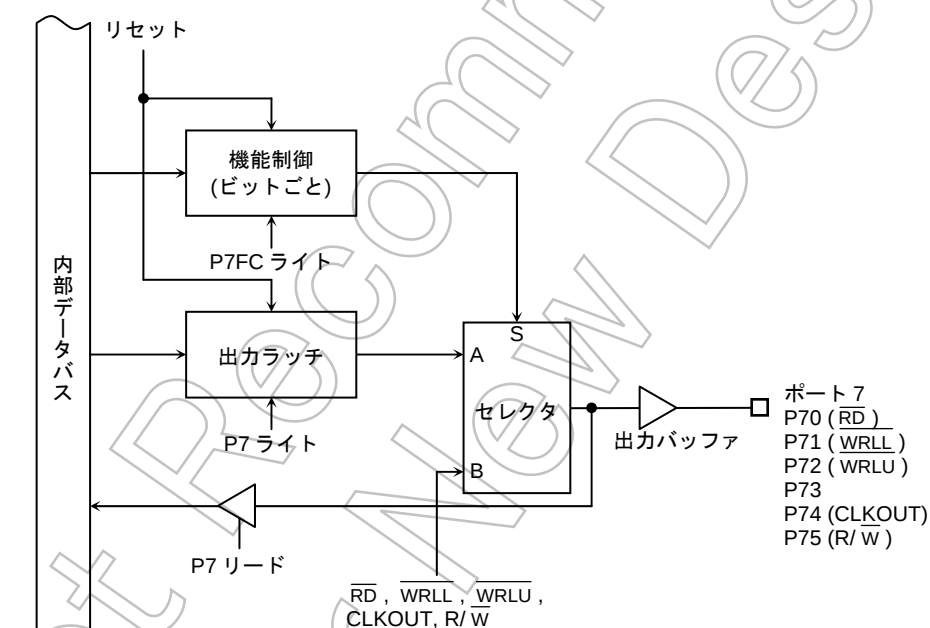


図 3.5.9 ポート 7 (P70~P75)

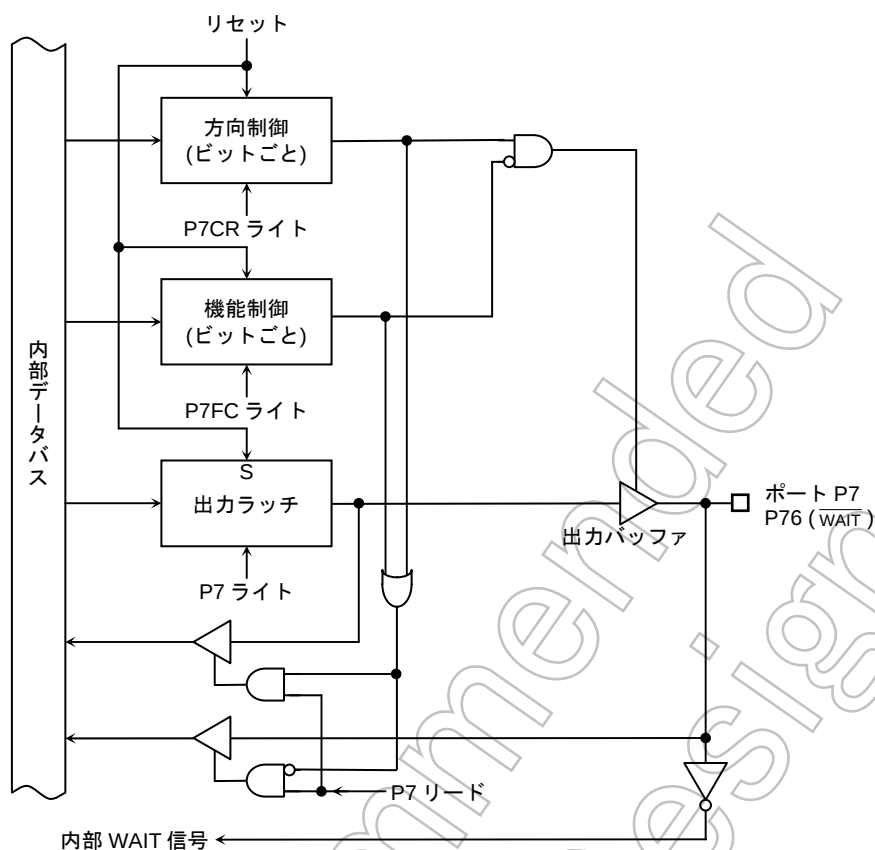


図 3.5.10 ポート 7 (P76)

ポート 7 レジスタ

P7 (001CH)		7	6	5	4	3	2	1	0
	Bit symbol		P76	P75	P74	P73	P72	P71	P70
	Read/Write						R/W		
	リセット後		外部端子 データ ^{注)}	1	1	1	1	1	1

注) 出力ラッチレジスタは“0”にクリアされます。

ポート 7 コントロールレジスタ

P7CR (001EH)		7	6	5	4	3	2	1	0
	Bit symbol		P76C						
	Read/Write		W						
	リセット後		0						
	機能		0: 入力 1: 出力						

ポート 7 ファンクションレジスタ

P7FC (001FH)		7	6	5	4	3	2	1	0
	Bit symbol		P76F	P75F	P74F	P73F	P72F	P71F	P70F
	Read/Write						W		
	リセット後		0	0	0	0	0	0	1
	機能		0: ポート 1: WAIT	0: ポート 1: R/ $\overline{W}$	0: ポート 1: CLKOUT	0: ポート 1: 設定し ないでく ださい	0: ポート 1: WRLU	0: ポート 1: WRLL	0: ポート 1: RD

注) P7CR, P7FC はリードモディファイライトできません。

図 3.5.11 ポート 7 関係のレジスタ

3.5.6 ポート 8 (P80~P83)

ポート 8 は 4 ビットの出力ポートです。リセット動作により、P82 ラッチは“0”にクリアされ、P80~P81 と P83 の出力ラッチは“1”にセットされます。

出力ポート機能以外には、チップセレクト信号出力 ($\overline{CS0} \sim \overline{CS3}$) の機能があります。これらの機能は P8FC レジスタの当該ビットに“1”を設定することで動作します。リセットにより P8FC の全ビットは“0”にクリアされ、出力ポートモードになります。

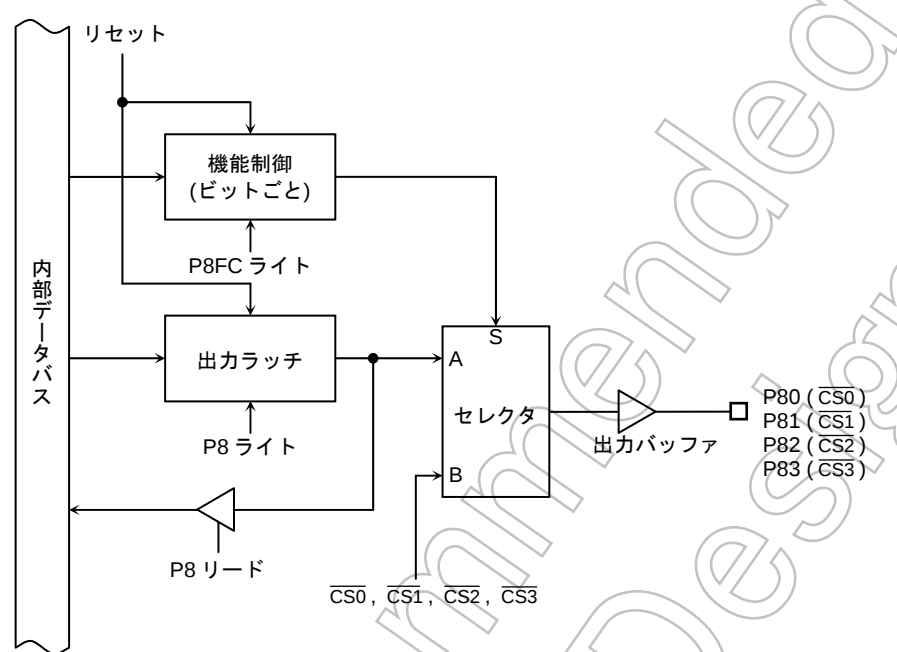


図 3.5.12 ポート 8

ポート 8 レジスタ									
P8 (0020H)		7	6	5	4	3	2	1	0
	Bit symbol					P83	P82	P81	P80
	Read/Write					R/W			
	リセット後					1	0	1	1

ポート 8 ファンクションレジスタ									
P8FC (0023H)		7	6	5	4	3	2	1	0
	Bit symbol					P83F	P82F	P81F	P80F
	Read/Write					W			
	リセット後					0	0	0	0
	機 能					0: ポート 1: $\overline{CS3}$	0: ポート 1: $\overline{CS2}$	0: ポート 1: $\overline{CS1}$	0: ポート 1: $\overline{CS0}$

注 1) P8FC はリードモディファイライトできません。

注 2) リセット解除後 P82 端子を $\overline{CS2}$ として設定する場合、P82 の出力ラッチの値を 0 ($P8<P82> = "0"$) のままファンクションレジスタの設定を行ってください。 ($P8FC<P82F> = "1"$)

P82 の出力ラッチの値を 1 ($P8<P82> = "1"$) にした後にファンクションレジスタの設定を行う ($P8FC<P82F> = "1"$) と、 $\overline{CS2}$ 出力が正常に出力されない期間が存在し、正しく動作しない場合があります。

図 3.5.13 ポート 8 関係のレジスタ

3.5.7 ポート 9 (P90~P92)

ポート 9 はビット単位で入出力の指定ができる 3 ビットの汎用入出力ポートです。

汎用入出力ポート以外には、シリアルバスインタフェース入出力として **SCK** (SIO モード時のクロック信号)、**SO** (SIO モード時のデータ出力信号)、**SDA** (I2C バスモード時のデータ信号)、**SI** (SIO モード時のデータ入力信号)、そして **SCL** (I2C バスモード時のクロック信号) の機能を持っています。

この機能はポート 9 ファンクションレジスタ **P9FC** の該当ビットへの設定により各ファンクションが可能となります。

リセット動作により、**P9CR**, **P9FC** の各レジスタの値は“0”にリセットされ、全ビットが入力ポートとなり、また出力ラッチの全ビットは“1”へセットされます。

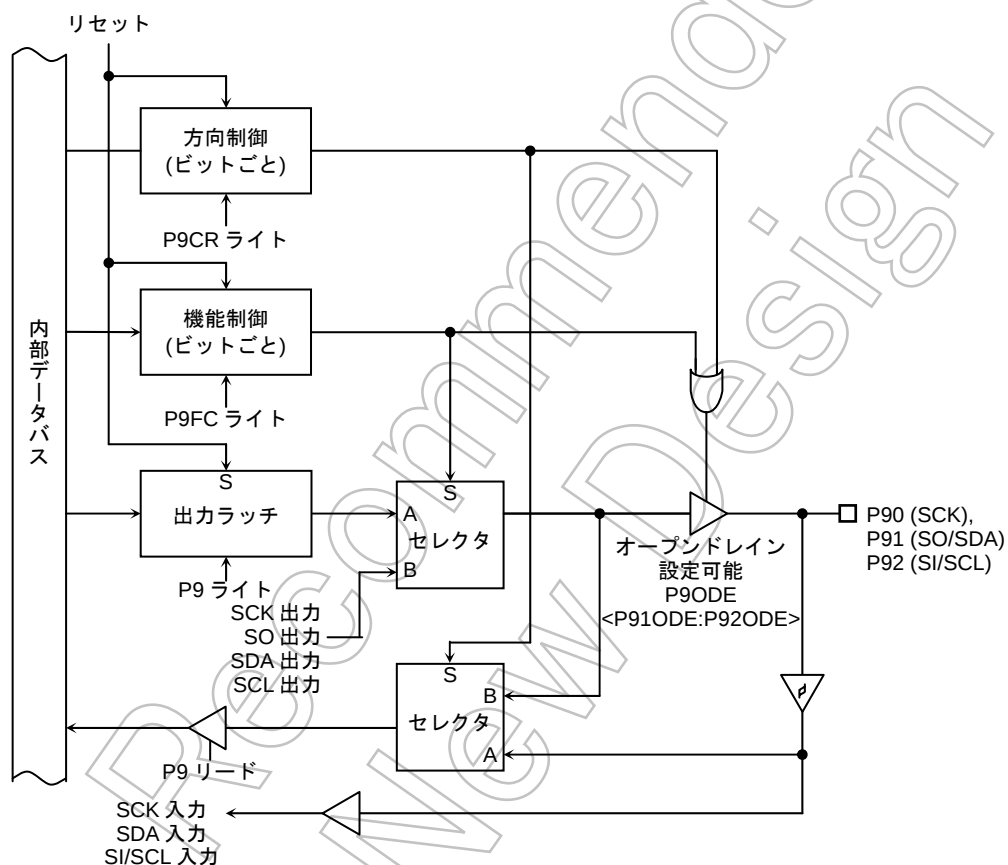


図 3.5.14 ポート 9 (P90~P92)

ポート 9 レジスタ

P9
(0024H)

	7	6	5	4	3	2	1	0
Bit symbol						P92	P91	P90
Read/Write						R/W		
リセット後						外部端子データ (出力ラッチレジスタは“1”にセットされます。)		

ポート 9 コントロールレジスタ

P9CR
(0026H)

	7	6	5	4	3	2	1	0
Bit symbol						P92C	P91C	P90C
Read/Write						W		
リセット後						0	0	0
機 能						0: 入力 1: 出力		

ポート 9 ファンクションレジスタ

P9FC
(0027H)

	7	6	5	4	3	2	1	0
Bit symbol						P92F	P91F	P90F
Read/Write						W		
リセット後						0	0	0
機 能						0: ポート, SI 1: SCL (注 2)	0: ポート 1: SO, SDA	0: ポート, SCK 入力 1: SCK 出力 (注 2)

ポート 9 ODE レジスタ

P9ODE
(0025H)

	7	6	5	4	3	2	1	0
Bit symbol						P92ODE	P91ODE	
Read/Write						W		
リセット後						0	0	
機 能						1: オープン ドレイン	1: オープン ドレイン	

注 1) P9CR, P9FC, P9ODE はリードモディファイライトできません。

注 2) SI および SCK 入力機能を使用する場合は、ファンクションをポートに設定して使用してください。

図 3.5.15 ポート 9 関係のレジスタ

3.5.8 ポート A (PA0~PA2, PA7)

ポート A は 4 ビットのプルアップ抵抗付き汎用入力ポートです。

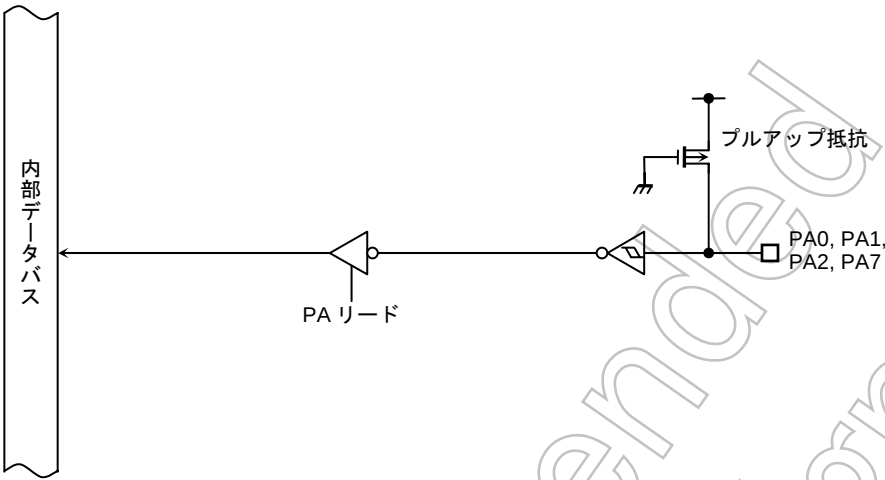


図 3.5.16 ポート A

ポート A レジスタ								
	7	6	5	4	3	2	1	0
PA (0028H)	PA7					PA2	PA1	PA0
Bit symbol	PA7					PA2	PA1	PA0
Read/Write	R					R		
リセット後	外部端子データ					外部端子データ		

図 3.5.17 ポート A 関係のレジスタ

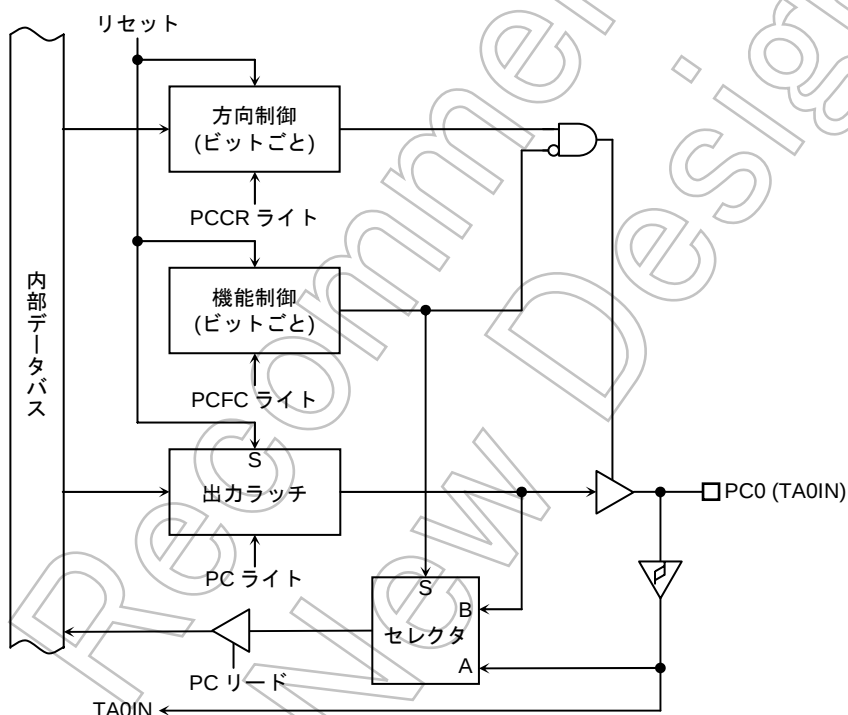
3.5.9 ポート C (PC0, PC1, PC3, PC5, PC6)

ポート C はビット単位で入出力指定ができる 5 ビットの汎用入出力ポートです。リセット動作により入力ポートとなります。

入出力ポート機能以外に、ポート C はタイマの入出力端子 (TA0IN, TA1OUT, TA3OUT, TB0OUT0) 機能や外部割り込み入力端子 (INT0~INT3) 機能を持っています。上記設定は PCCR, PCFC レジスタの該当ビットへ “1” を書き込むことで有効となります。外部割り込みのエッジ選択は割り込みコントローラ部にある IIMC, IIMC2 レジスタにて設定します。リセット動作により、PCCR, PCFC レジスタの値は “0” にリセットされ、全端子が入力ポートとなります。

(1) PC0 (TA0IN)

入出力ポート機能以外に、ポート PC0 はタイマチャネル 0 の入力端子 TA0IN として機能します。

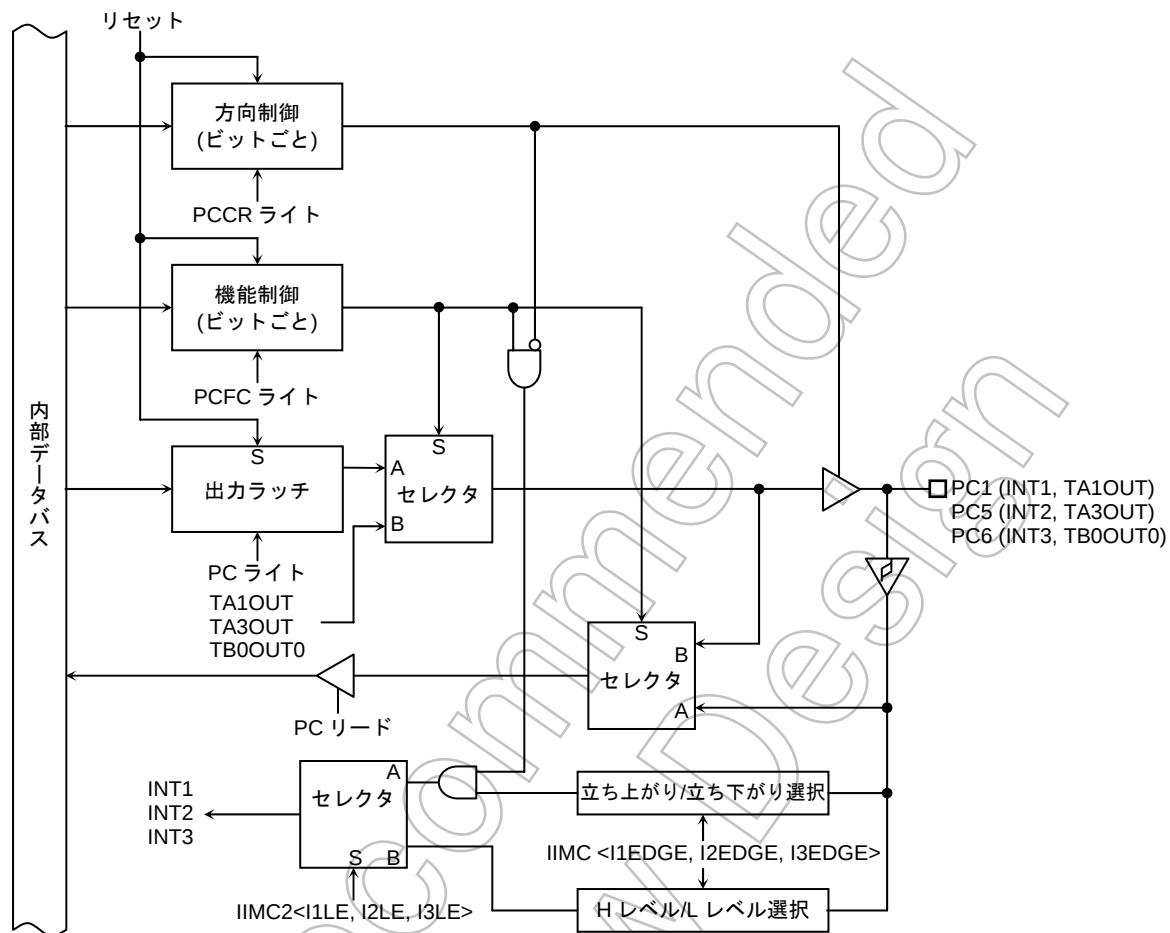


注) 本ポートは出力設定時、設定したデータをリードできません。

図 3.5.18 ポート C (PC0)

(2) PC1 (INT1, TA1OUT), PC5 (INT2, TA3OUT), PC6 (INT3, TB0OUT0)

入出力ポート機能以外に、ポート PC1, 5, 6 は外部割り込み入力端子 INT1~INT3 や、タイマチャネルの出力端子 TA1OUT, TA3OUT, TB0OUT0 として機能します。



注) 本ポートは出力設定時、設定したデータをリードできません。

図 3.5.19 ポート C (PC1, PC5, PC6)

(3) PC3 (INT0)

入出力ポート機能以外に、ポート PC3 は外部割り込み入力端子 INT0 として機能します。

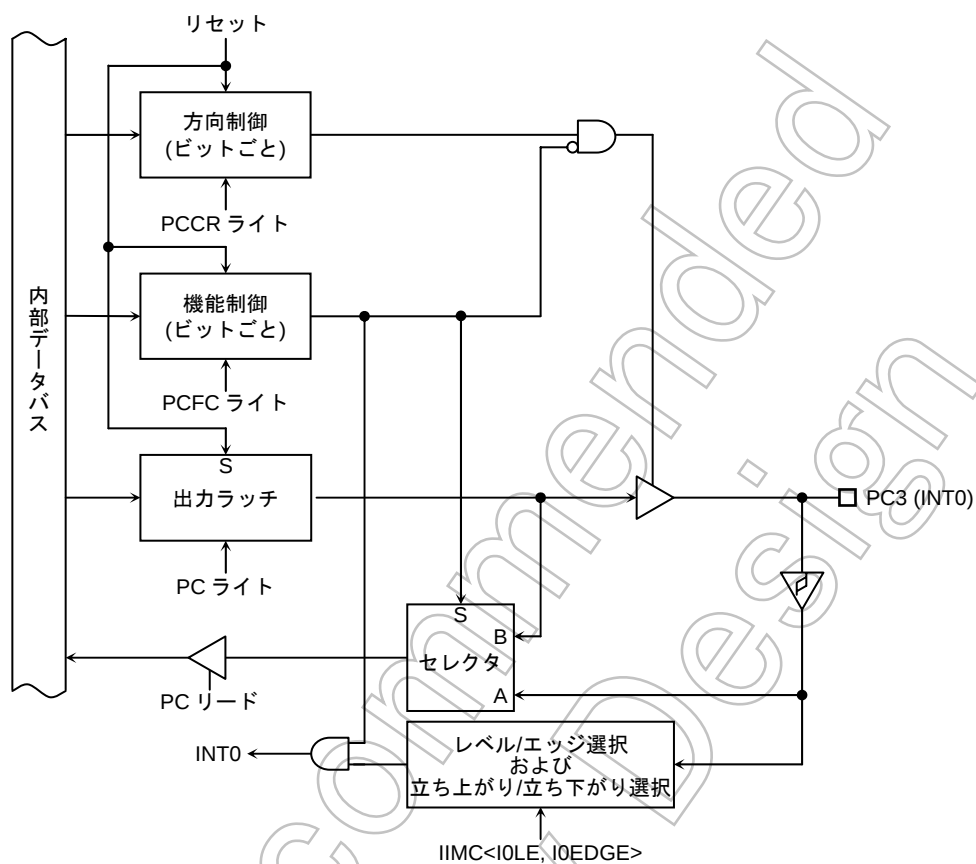


図 3.5.20 ポート C (PC3)

ポート C レジスタ

PC (0030H)	7	6	5	4	3	2	1	0
	Bit symbol	PC6		PC5	PC3		PC1	PC0
	Read/Write	R/W			R/W		R/W	
	リセット後	外部端子データ 注)			外部端子データ 注)		外部端子データ 注)	

注) 出力ラッチレジスタは“1”にセットされます。

ポート C コントロールレジスタ

	7	6	5	4	3	2	1	0		
PCCR (0032H)	Bit symbol	PC6C		PC5C		PC3C		PC1C		PC0C
	Read/Write	W			W			W		
	リセット後	0			0			0		
	機 能	0: 入力 1: 出力			0: 入力 1: 出力			0: 入力 1: 出力		

ポート C ファンクションレジスタ

PCFC (0033H)	7	6	5	4	3	2	1	0
	Bit symbol	PC6F		PC5F	PC3F		PC1F	PC0F
	Read/Write	W			W		W	
	リセット後	0			1		0	
機能	0: ポート 1: INT3 TB0OUT0		0: ポート 1: INT2 TA3OUT		0: ポート 1: INT0		0: ポート 1: INT1 TA1OUT	

→ INT1, TA1OUT 設定

<PC1C>	0	1
<PC1F>	0	1
0	入力ポート	出力ポート
1	INT1	TA1OUT

→ INT2, TA3OUT 設定

<PC5C>	0	1
<PC5F>	0	1
0	入力ポート	出力ポート
1	INT2	TA3OUT

→ INT3, TB0OUT0 設定

<PC6C>	0	1
<PC6F>	0	1
0	入力ポート	出力ポート
1	INT3	TB0OUT0

注 1) PCCR, PCFC は、リードモディファイライトできません。

注 2) PC0/TA0IN 端子にはポート/ファンクションの切り替えレジスタがありませんので、例えば入力ポートとして使用する場合でも、タイマ入力 0 として 8 ビットタイマ 0 へも入力されます。

注 3) PC0, PC1, PC5, PC6 を出力に設定した場合、設定したデータをリードできません。

図 3.5.21 ポート C 関係のレジスタ

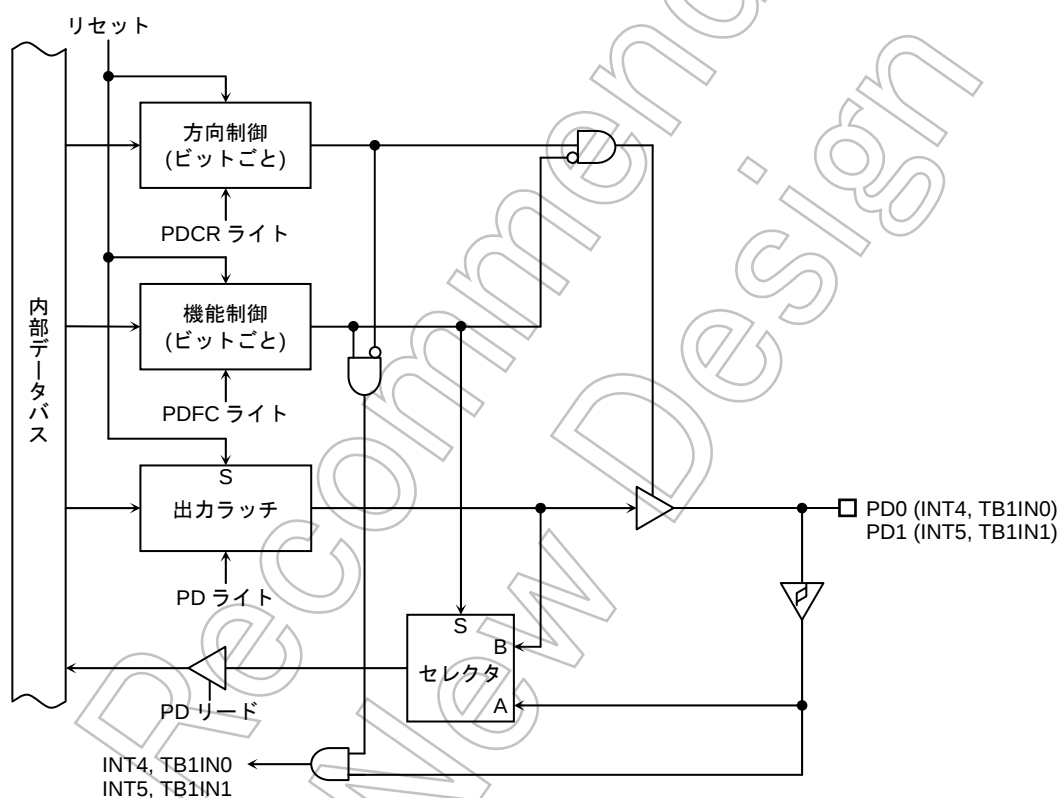
3.5.10 ポート D (PD0~PD3)

ポート D はビット単位で入出力指定ができる 4 ビットの汎用入出力ポートです。リセット動作により入力ポートとなります。

入出力ポート機能以外に、ポート D は外部割り込み入力端子 (INT4, INT5) 機能や、タイマの入出力端子 (TB1IN0, TB1IN1, TB1OUT0, TB1OUT1) 機能を持っています。上記設定は PDCR, PDFC レジスタの該当ビットへ“1”を書き込むことで有効となります。リセット動作により、PDCR, PDFC レジスタの値は“0”にリセットされ、全端子が入力ポートとなります。

(1) PD0 (INT4, TB1IN0), PD1 (INT5, TB1IN1)

入出力ポート機能以外に、ポート PD0, PD1 は外部割り込み入力端子 INT4, INT5 や、タイマチャネルの入力端子 TB1IN0, TB1IN1 として機能します。



注) 本ポートは出力設定時、設定したデータをリードできません。

図 3.5.22 ポート D (PD0, PD1)

(2) PD2 (TB1OUT0), PD3 (TB1OUT1)

入出力ポート機能以外に、ポート PD2, 3 はタイマチャネルの出力端子 TB1OUT0, TB1OUT1 として機能します。

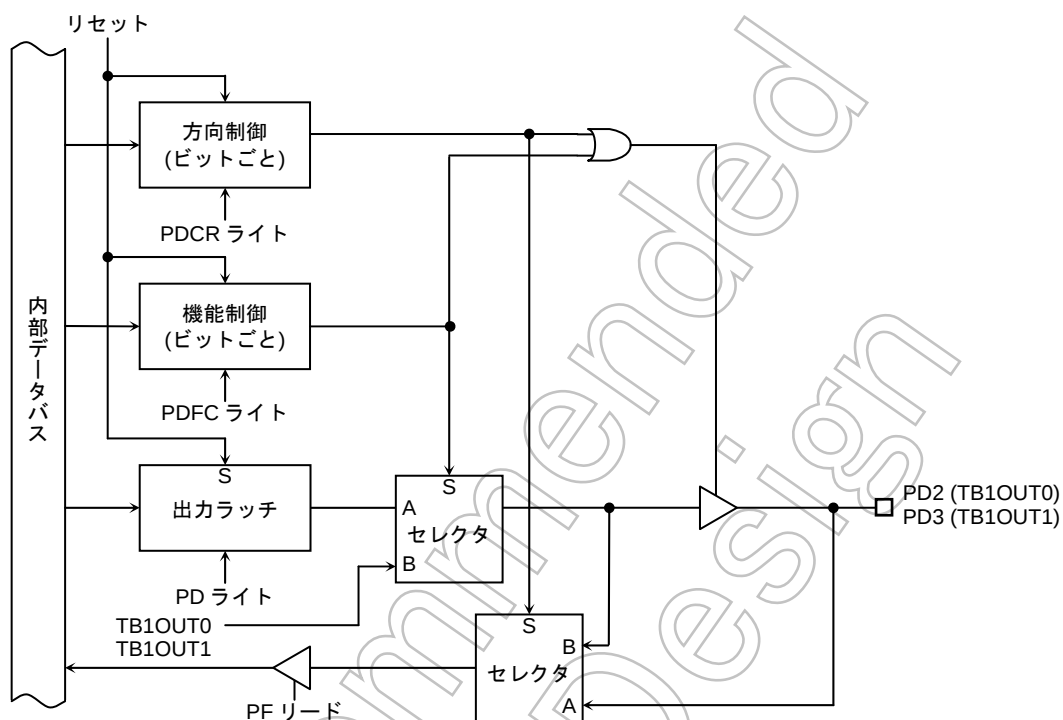


図 3.5.23 ポート D (PD2, PD3)

ポートDレジスタ

PD (0034H)		7	6	5	4	3	2	1	0
	Bit symbol					PD3	PD2	PD1	PD0
	Read/Write					R/W			
	リセット後					外部端子データ (出力ラッチレジスタは“1”にセットされます。)			

ポートDコントロールレジスタ

PDCR (0036H)		7	6	5	4	3	2	1	0
	Bit symbol					PD3C	PD2C	PD1C	PD0C
	Read/Write					W			
	リセット後					0	0	0	0
	機 能					0: 入力 1: 出力	0: 入力 1: 出力	0: 入力 1: 出力	0: 入力 1: 出力

→ ポート D の入力/出力設定

0	入力
1	出力

ポートDファンクションレジスタ

PDFC (0037H)		7	6	5	4	3	2	1	0
	Bit symbol					PD3F	PD2F	PD1F	PD0F
	Read/Write					W			
	リセット後					0	0	0	0
	機 能					0: ポート 1: TB1OUT1	0: ポート 1: TB1OUT0	0: ポート 1: TB0IN1 INT5 入力	0: ポート 1: TB0IN0 INT4 入力

→ PD2 の TB1OUT0 出力設定

PDFC<PD2F>	1
PDCR<PD2C>	1

→ PD3 の TB1OUT1 出力設定

PDFC<PD3F>	1
PDCR<PD3C>	1

注 1) PDCR, PDFC はリードモディファイライトできません。

注 2) PD0, PD1 は出力設定時、設定したデータをリードできません。

図 3.5.24 ポート D 関係のレジスタ

3.5.11 ポート F (PF0~PF7)

ポート F はビット単位で入出力の指定ができる 8 ビットの汎用入出力ポートです。リセット動作により、PFCR, PFFC 各レジスタの値はすべて“0”にリセットされ、全ビットが入力ポートとなり、また出力ラッチレジスタの全ビットは“1”へセットされます。

入出力ポート以外にシリアルチャネル 0, 1 の入出力機能があります。この機能は PFFC レジスタの該当ビットへ“1”を書き込むことにより、それぞれの機能が動作可能となります。

(1) ポート PF0, PF3 (TXD0/TXD1)

ポート PF0, PF3 は、入出力ポート以外にシリアルチャネルの TXD 出力端子としての機能を持ちます。

また、出力バッファはプログラム可能なオープンドレイン機能を持っており、PFFC<PF0F, PF3F>と PFCR<PF0C, PF3C>レジスタにより設定が可能です。

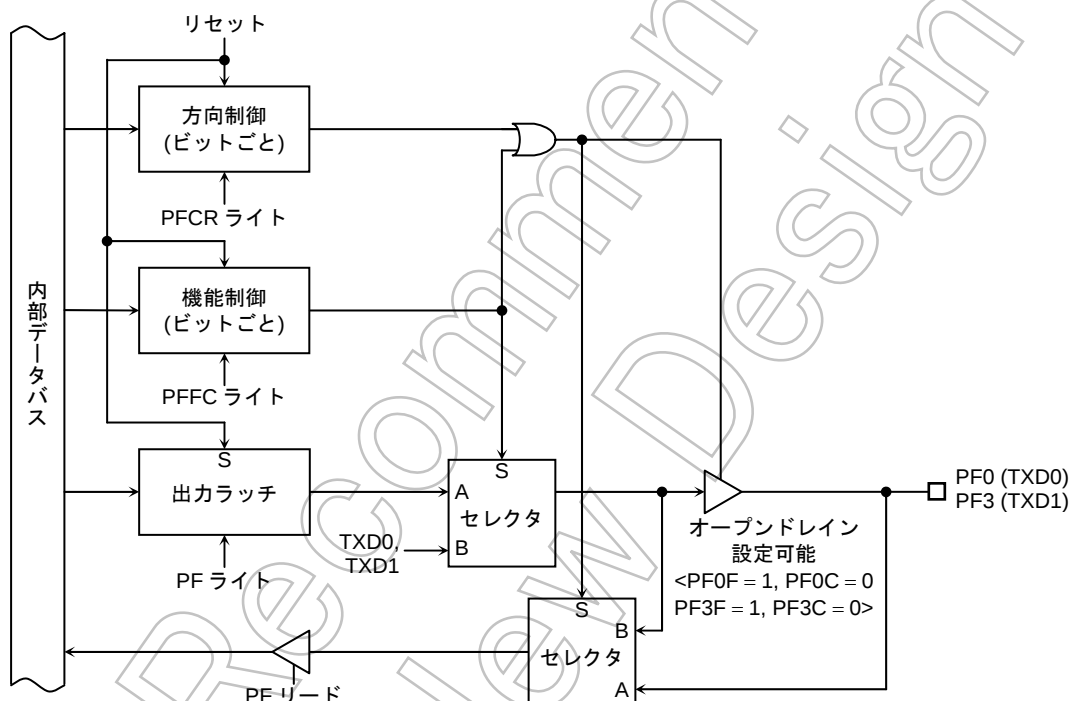


図 3.5.25 ポート F (PF0, PF3)

(2) ポート PF1, PF4 (RXD0, RXD1)

ポート PF1, PF4 は、入出力ポート以外にシリアルチャネルの RXD 入力端子としての機能を持っています。

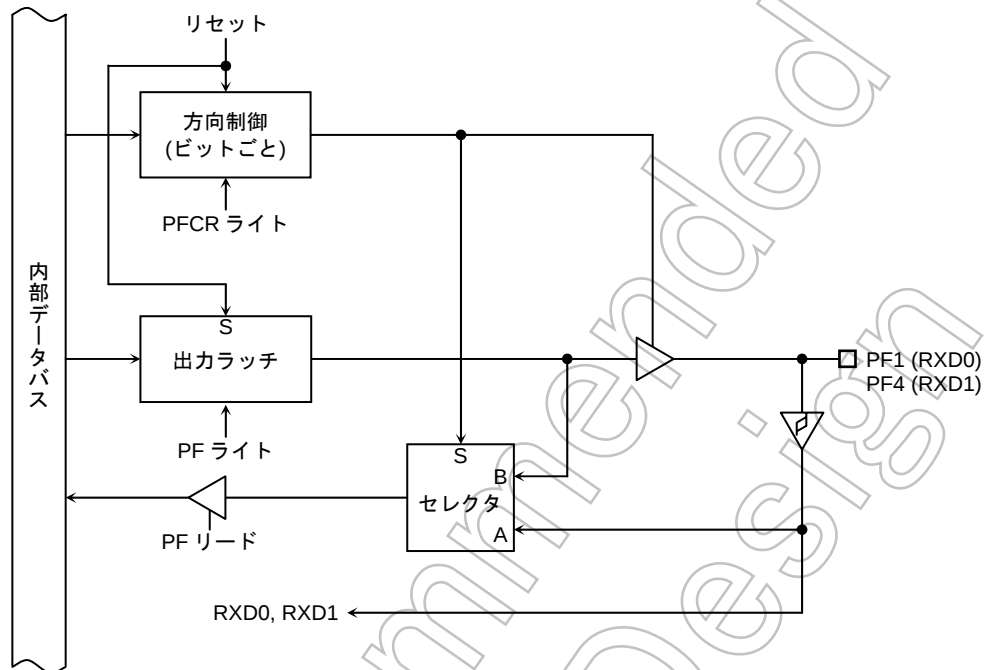


図 3.5.26 ポート F (PF1, PF4)

(3) ポート PF2 ($\overline{\text{CTS0}}$, SCLK0), ポート PF5 ($\overline{\text{CTS1}}$, SCLK1)

ポート **F2**, **F5** は、入出力ポート以外にシリアルチャネルの $\overline{\text{CTS}}$ 入力端子または **SCLK** 入出力端子としての機能を持っています。

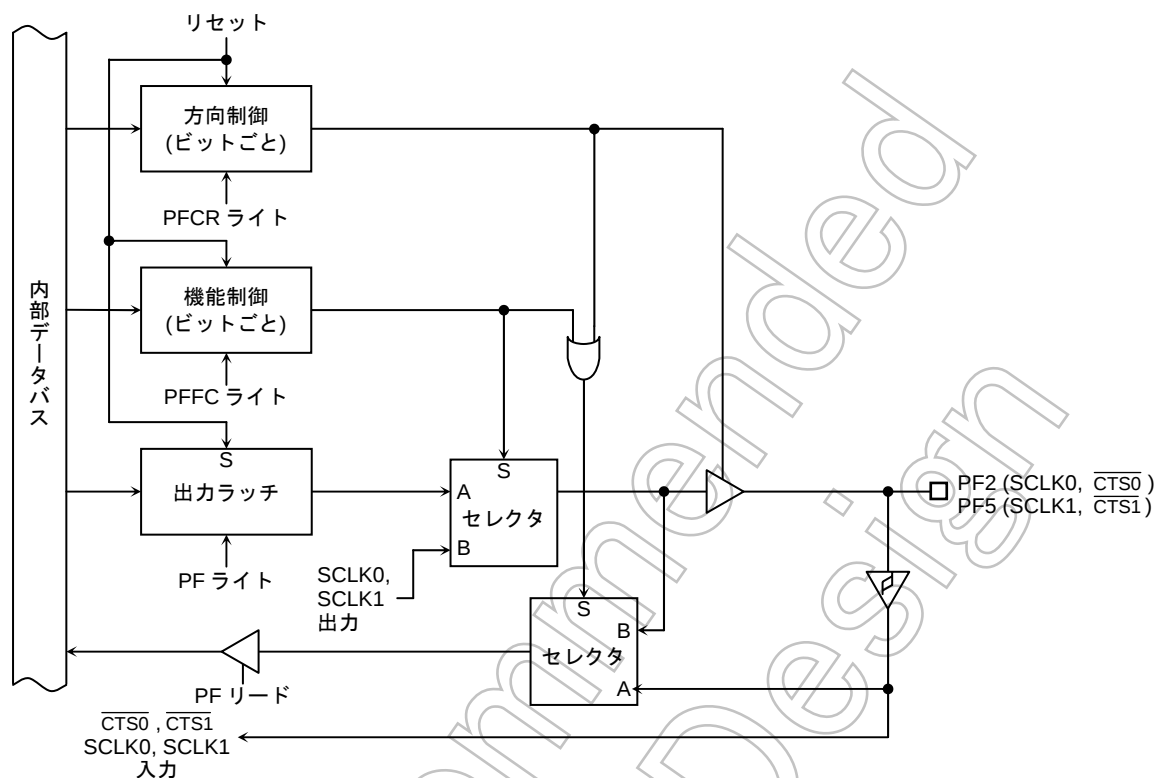


図 3.5.27 ポート F (PF2, PF5)

(4) ポート PF6, PF7

汎用入出力ポートです。

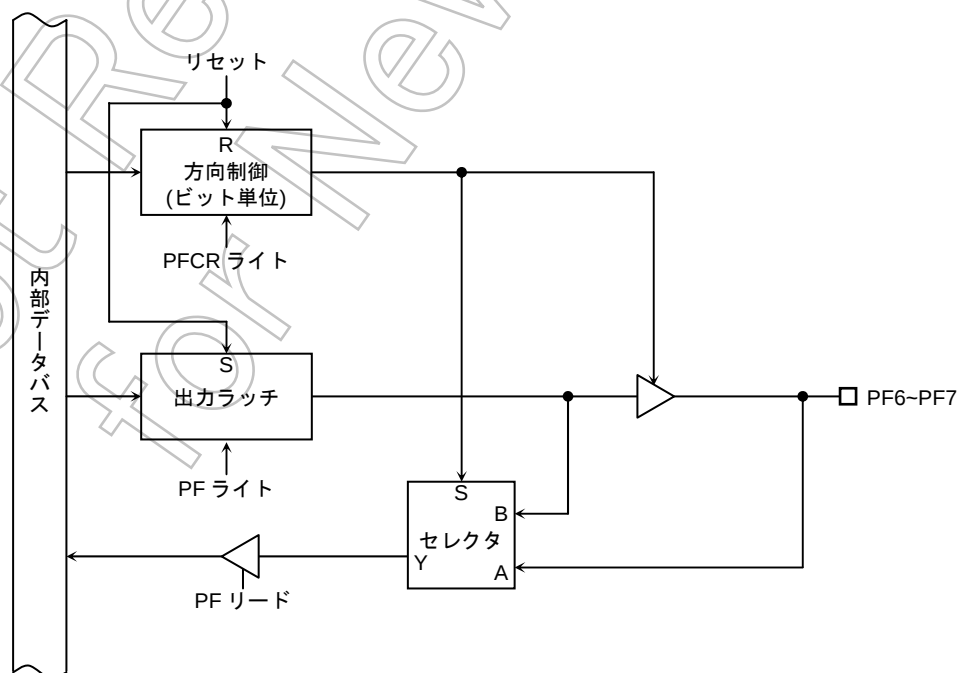


図 3.5.28 ポート F (PF6, PF7)

ポート F レジスタ

PF
(003CH)

	7	6	5	4	3	2	1	0
Bit symbol	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0
Read/Write	R/W							
リセット後	外部端子データ (出力ラッチレジスタは "1" にセットされます。)							

ポート F コントロールレジスタ

PFCR
(003EH)

	7	6	5	4	3	2	1	0
Bit symbol	PF7C	PF6C	PF5C	PF4C	PF3C	PF2C	PF1C	PF0C
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機 能	0: 入力 1: 出力							

ポート F ファンクションレジスタ

PFFC
(003FH)

	7	6	5	4	3	2	1	0
Bit symbol	–	–	PF5F		PF3F	PF2F		PF0F
Read/Write	W				W			W
リセット後	0	0	0		0	0		0
機 能	"0" をライトしてください。	"0" をライトしてください。	0: ポート 1: SCLK1 出力		0: ポート 1: TXD1	0: ポート 1: SCLK0 出力		0: ポート 1: TXD0

ポート F の機能設定

<PF3C> <PF3F>	0	1
0	入力ポート	出力ポート
1	TXD1 (オープン ドレイン)	TXD1

<PF0C> <PF0F>	0	1
0	入力ポート	出力ポート
1	TXD0 (オープン ドレイン)	TXD0

注 1) PFCR、PFFC はリードモディファイライトできません。

注 2) PF1/RXD0 および PF4/RXD1 端子は、ポート/ファンクションの切り替えレジスタはありませんので、例えば入力ポートとして使用する場合でも、シリアル受信データとして SIO へ入力されます。

注 3) PF0 と PF3 はオープンドレイン設定のためのレジスタ (PFODE) を持っていません。オープンドレインの設定は上記のとおり行ってください。

図 3.5.29 ポート F 関係のレジスタ

3.5.12 ポート G (PG0~PG7)

ポート G は 8 ビットの入力専用ポートで AD コンバータのアナログ入力端子と兼用になっています。また、PG3 は AD コンバータの AD トリガ入力端子と兼用になっています。

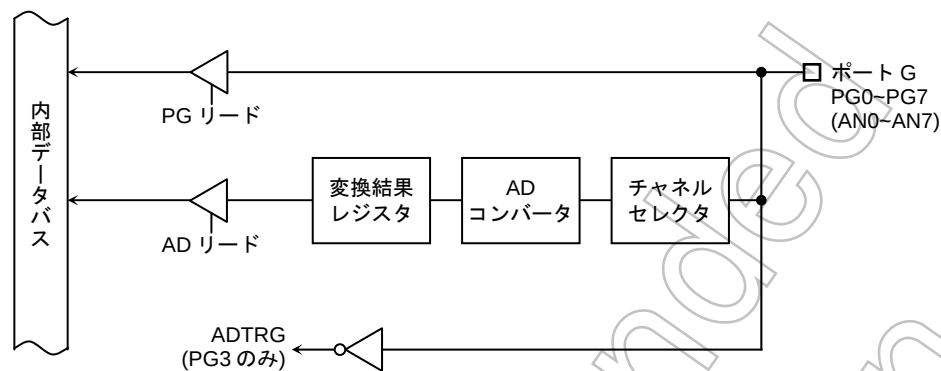


図 3.5.30 ポート G

ポート G レジスタ								
PG (0040H)	7	6	5	4	3	2	1	0
Bit symbol	PG7	PG6	PG5	PG4	PG3	PG2	PG1	PG0
Read/Write	R							
リセット後	外部端子データ							

注) AD コンバータの入力チャンネル選択、および PG3 の AD トリガ (ADTRG) 入力許可の設定は、AD コンバータモードレジスタ ADMOD1 にて設定します。

図 3.5.31 ポート G 関係のレジスタ

3.6 メモリコントローラ

3.6.1 機能概要

TMP92CM22 のメモリコントローラは、任意のブロックアドレス空間に対して、以下のような制御を行うことができます。

(1) 4 ブロックのアドレス空間をサポート

外部エリア内に設定する 4 つのブロックアドレス空間に対し、ブロックサイズとスタートアドレスを指定することができます。

(2) 接続メモリの指定

選択したアドレス空間に接続するメモリとして、**SRAM, ROM** を指定できます。

(3) データバス幅の指定

選択したアドレス空間のデータバス幅は、8/16 ビットが選択できます。

(4) ウェイトの制御

コントロールレジスタ内のウェイト指定ビットと $\overline{\text{WAIT}}$ 入力端子により、外部バスサイクルのウェイト数を制御することができます。リードサイクルとライトサイクルは、それぞれ独立にウェイト数を設定することができます。ウェイト数の制御には、下記に示す 6 つのモードがあります。

0 ウェイト, 1 ウェイト, 2 ウェイト, 3 ウェイト, 4 ウェイト N ウェイト ($\overline{\text{WAIT}}$ 端子による制御)

3.6.2 制御レジスタとリセット解除後の動作

ここでは、メモリコントローラを制御するレジスタと、リセット解除後の状態、必要な設定について説明します。

(1) コントロールレジスタ

メモリコントローラの制御レジスタには、以下のものがあります。

- コントロールレジスタ: **BnCSH/BnCSL** ($n = 0 \sim 3$, EX)
接続するメモリの種類や読み出し、書き込みのウェイト数など、メモリコントローラの基本的な機能の設定を行います。
- メモリスタートアドレスレジスタ: **MSAR_n** ($n = 0 \sim 3$)
選択したブロックアドレス空間のスタートアドレスを設定します。
- メモリアドレスマスクレジスタ **MAMR_n** ($n = 0 \sim 3$)
選択したブロックアドレス空間のブロックサイズを設定します。

上記のレジスタの設定に加えて、ROM のページモードアクセスのコントロールを行う場合には、以下のレジスタの設定が必要です。

- ページ ROM コントロールレジスタ: **PMEMCR**
ROM のページモードアクセスを行うときに設定します。

(2) リセット解除後の動作

リセット解除直後には、AM1/AM0 端子の状態に従い、起動データバス幅が決定され、外部メモリをアクセスします。具体的には下記ようになります。

AM1	AM0	起動モード
0	0	設定しないでください。
0	1	16 ビットデータバスで起動
1	0	8 ビットデータバスで起動
1	1	設定しないでください。

AM1/AM0 端子は、リセット解除直後のみ有効です。それ以外では、データバス幅はコントロールレジスタの **BnBUS** ビットに設定された値になります。

リセット後は、ブロックアドレス空間 2 のコントロールレジスタ (**B2CSH/B2CSL**) のみが自動的に有効になります。ブロックアドレス空間 2 の制御レジスタのバス幅指定ビットへ、AM1/AM0 端子で指定されたデータバス幅がロードされます。また、リセット後、ブロックアドレス空間はアドレス 000000H から FFFFFFFH に設定されています。

リセット解除後、メモリスタートアドレスレジスタ (**MSAR**) とメモリアドレスマスクレジスタ (**MAMR**) でブロックアドレス空間の指定を行い、コントロールレジスタ (**BnCS**) を設定します。

設定を有効にするために、コントロールレジスタのイネーブルビット (**BnE**) を 1 にセットしてください。

3.6.3 基本的な機能の説明とレジスタの設定

ここでは、メモリコントローラの機能のうち、ブロックアドレスエリアの設定、接続メモリ、ウェイト数の設定について説明します。

(1) ブロックアドレス空間の指定

ブロックアドレス空間は、2種類のレジスタによって指定されます。

メモリスタートアドレスレジスタ (MSAR) は、ブロックアドレス空間のスタートアドレスを設定するレジスタです。メモリコントローラは、バスサイクルごとに、このレジスタの値と、アドレスとを比較します。このとき、メモリアドレスマスクレジスタ (MAMR) でマスクされているアドレスビットは、メモリコントローラの比較対象にはなりません。メモリアドレスマスクレジスタの設定によって、ブロックアドレス空間のサイズが決まります。レジスタに設定された値と、バス上のアドレスを比較し、比較した結果が一致すれば、メモリコントローラは、チップセレクト信号 ($\overline{CS}$) を“L”レベルにします。

(i) メモリスタートアドレスレジスタの設定

メモリスタートアドレスレジスタの MS23~MS16 の各ビットは、それぞれアドレスの A23~A16 に対応します。スタート下位アドレス A15~A0 は、常に 0000H です。従って、ブロックアドレス空間のスタートアドレスは、000000H~FF0000H まで 64K バイトごとに設定することができます。

(ii) メモリアドレスマスクレジスタの設定

メモリアドレスマスクレジスタでは、アドレスのどのビットの値を比較するか、比較しないかを設定します。レジスタは、“0”で「比較する」、「1」で「比較しない」の機能になります。

ブロックアドレス空間によって設定できるアドレスビットが違っており、

ブロックアドレス空間 0: A20~A8

ブロックアドレス空間 1: A21~A8

ブロックアドレス空間 2, 3: A22~A15

のマスク設定ができます。上位のビットについては、必ず比較されます。これにより、各ブロックアドレス空間のサイズが決まります。

ブロックアドレス空間によって設定できるサイズは、次のとおりです。

サイズ (バイト) CS エリア	256	512	32 K	64 K	128 K	256 K	512 K	1 M	2 M	4 M	8 M
CS0	○	○	○	○	○	○	○	○	○		
CS1	○	○		○	○	○	○	○	○	○	
CS2~CS3			○	○	○	○	○	○	○	○	○

注) リセット解除後は、ブロックアドレス空間 2 の制御レジスタのみが有効になっています。ブロックアドレス空間 2 の制御レジスタには、特別に B2M ビットがあり、このビットを“0”にすると、ブロックアドレス空間 2 は 000000H~FFFFFFH に設定されます。リセット解除後は、この状態に設定されています。この B2M ビットを 1 に設定すると、ほかのブロックアドレス空間と同様に、スタートアドレスとアドレス空間サイズを設定することができます。

(iii) レジスタの設定例

ブロックアドレス空間 1 を 110000H のアドレスから 512 バイトに設定する場合、次のようにレジスタを設定します。

	7	6	5	4	3	2	1	0
Bit symbol	M1S23	M1S22	M1S21	M1S20	M1S19	M1S18	M1S17	M1S16
設定値	0	0	0	1	0	0	0	1

メモリスタートアドレスレジスタ MSAR1 の M1S23~M1S16 の各ビットは、それぞれアドレス A23~A16 に対応します。A15~A0 は “0” になります。従って、MSAR1 の値を上記のように設定すると、ブロックアドレス空間のスタートアドレスは、110000H になります。

	7	6	5	4	3	2	1	0
Bit symbol	M1V21	M1V20	M1V19	M1V18	M1V17	M1V16	M1V15~ M1V9	M1V8
設定値	0	0	0	0	0	0	0	1

メモリスタートマスクレジスタ MAMR1 の M1V21~M1V16, M1V8 の各ビットは、それぞれ A21~A16, A8 のアドレス比較を行うか、行わないかを設定します。レジスタは、“0” で「比較する」、「1」で「比較しない」の機能になります。A22 と A23 は必ず比較されます。

上記のように設定すると、A23~A9 まではスタートアドレスとして設定された値と比較されます。従って、アドレス 110000H~1101FFH の 512 バイトがブロックアドレス空間 1 として設定され、バス上のアドレスと比較すれば、チップセレクト信号 CS1 を “L” レベルにします。

同様にブロックアドレス 2~3 では、A23 は必ず比較され、A22~A15 を比較するかどうかをレジスタに設定します。

注) 設定したブロックアドレス空間が、内蔵メモリの空間と重複した場合、ブロックアドレス空間は以下のような優先順位で処理されます。

内蔵 I/O < 内蔵メモリ > ブロックアドレス空間 0 > 1 > 2 > 3 > CSEX
--

また、CS0 から CS3 で設定したアドレス空間以外をアクセスした場合は、CSEX 空間として処理されます。従って、ウェイト数、データバス幅の制御などは BEXCSH/BEXCSL レジスタの設定に従います。

(2) 接続メモリの指定

コントロールレジスタ (BnCSH) の BnOM1~BnOM0 ビットを設定することにより、各ブロックアドレス空間に接続するメモリの種類を設定することができます。設定されたメモリによって、メモリインタフェース信号が出力されます。TMP92CM22 はデフォルトの SRAM/ROM から設定変更しないでください。

BnOM1, BnOM0 ビット (BnCSH レジスタ)

BnOM1	BnOM0	機 能
0	0	SRAM/ROM (デフォルト)
0	1	(Reserved)
1	0	(Reserved)
1	1	(Reserved)

(3) データバス幅の設定

データバス幅は、ブロックアドレス空間ごとに設定することができます。バス幅の設定はコントロールレジスタ (BnCSH) の BnBUS1, BnBUS0 ビットで、以下のように行います。

BnBUS ビット (BnCSH レジスタ)

BnBUS1	BnBUS0	機 能
0	0	8 ビットバスモード (デフォルト)
0	1	16 ビットバスモード
1	0	(Reserved)
1	1	(Reserved)

このように、アクセスするアドレスに応じてデータバス幅を変えることを“ダイナミックバスサイジング”と呼びます。データサイズ、バス幅、スタートアドレスにより、データがデータバスのどの部分に出力されるかが変わります。バス動作の詳細は次のようになります。

注) バス幅が異なるメモリを連続したアドレスに配置している場合、両方のメモリにまたがるアクセスを 1 命令で実行しないでください。データの正常な読み出し/書き込みが行われない場合があります。

データサイズ (ビット)	スタート アドレス	メモリ側データ幅 (ビット)	CPU アドレス	CPU データ	
				D15~D8	D7~D0
8	4n + 0	8/16	4n + 0	xxxxx	b7~b0
		8	4n + 1	xxxxx	b7~b0
	4n + 1	16	4n + 1	b7~b0	xxxxx
		8/16	4n + 2	xxxxx	b7~b0
	4n + 2	8	4n + 3	xxxxx	b7~b0
		16	4n + 3	b7~b0	xxxxx
16	4n + 0	8	(1) 4n + 0 (2) 4n + 1	xxxxx xxxxx	b7~b0 b15~b8
		16	4n + 0	b15~b8	b7~b0
	4n + 1	8	(1) 4n + 1 (2) 4n + 2	xxxxx xxxxx	b7~b0 b15~b8
		16	(1) 4n + 1 (2) 4n + 2	b7~b0 xxxxx	xxxxx b15~b8
	4n + 2	8	(1) 4n + 2 (2) 4n + 3	xxxxx xxxxx	b7~b0 b15~b8
		16	4n + 2	b15~b8	b7~b0
	4n + 3	8	(1) 4n + 3 (2) 4n + 4	xxxxx xxxxx	b7~b0 b15~b8
		16	(1) 4n + 3 (2) 4n + 4	b7~b0 xxxxx	xxxxx b15~b8
	4n + 0	8	(1) 4n + 0 (2) 4n + 1 (3) 4n + 2 (4) 4n + 3	xxxxx xxxxx xxxxx xxxxx	b7~b0 b15~b8 b23~b16 b31~b24
		16	(1) 4n + 0 (2) 4n + 2	b15~b8 b31~b24	b7~b0 b23~b16
	4n + 1	8	(1) 4n + 0 (2) 4n + 1 (3) 4n + 2 (4) 4n + 3	xxxxx xxxxx xxxxx xxxxx	b7~b0 b15~b8 b23~b16 b31~b24
		16	(1) 4n + 1 (2) 4n + 2 (3) 4n + 4	b7~b0 b23~b16 xxxxx	xxxxx b15~b8 b31~b24
32	4n + 2	8	(1) 4n + 2 (2) 4n + 3 (3) 4n + 4 (4) 4n + 5	xxxxx xxxxx xxxxx xxxxx	b7~b0 b15~b8 b23~b16 b31~b24
		16	(1) 4n + 2 (2) 4n + 4	b15~b8 b31~b24	b7~b0 b23~b16
	4n + 3	8	(1) 4n + 3 (2) 4n + 4 (3) 4n + 5 (4) 4n + 6	xxxxx xxxxx xxxxx xxxxx	b7~b0 b15~b8 b23~b16 b31~b24
		16	(1) 4n + 3 (2) 4n + 4 (3) 4n + 6	b7~b0 b23~b16 xxxxx	xxxxx b15~b8 b31~b24

xxxxx: リード時はそのバスの入力データが無視されることを示します。ライト時は、そのバスがハイインピーダンスで、そのバスのライトストロブ信号は、インアクティブのままであることを示します。

(4) ウェイトの制御

外部バスサイクルは、最小2ステート (100 ns@f_{SYS} = 20 MHz) で完了します。コントロールレジスタ (BnCSL) の BnWW2~BnWW0 と BnWR2~BnWR0 を設定することにより、リードサイクルとライトサイクルのウェイト数を指定することができます。BnWW と BnWR の設定方法は同じです。設定は次のように行います。

BnWW/BnWR ビット (BnCSL レジスタ)

BnWW2 BnWR2	BnWW1 BnWR1	BnWW0 BnWR0	機能
0	0	1	2ステート (0ウェイト) アクセス固定モード
0	1	0	3ステート (1ウェイト) アクセス固定モード (デフォルト)
1	0	1	4ステート (2ウェイト) アクセス固定モード
1	1	0	5ステート (3ウェイト) アクセス固定モード
1	1	1	6ステート (4ウェイト) アクセス固定モード
0	1	1	WAIT 端子入力モード
上記以外			(Reserved)

(i) ウェイト数固定モード

指定されたステート数でバスサイクルを完了するモードです。ステート数は、2ステート (0ウェイト)~6ステート (4ウェイト) を選択できます。

(ii) WAIT 端子入力モード

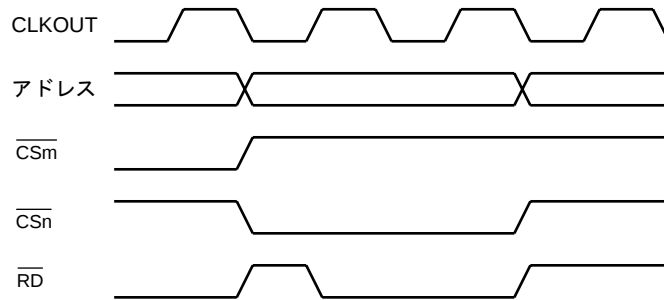
WAIT 入力端子をサンプリングし、信号がアクティブの間、ウェイトを挿入し続けます。このモードでは、最小のバスサイクルが2ステートとなります。2ステート目にウェイト信号がノンアクティブ (“H” レベル) であれば、そこでバスサイクルは完了します。2ステート以上は、ウェイト信号がアクティブな限りバスサイクルが延長されます。

また、外付けの ROM などのデータ出力フローティング時間 (t_{DF}) が大きいものを複数接続した場合などは、お互いのデータバス出力リカバリタイムが問題になりますが、コントロールレジスタ (BnCSH) の BnREC を設定することにより、ほかのブロックアドレス空間をアクセスし始める最初のバスサイクル直前に、1ステートのダミーサイクルを入れることができます。

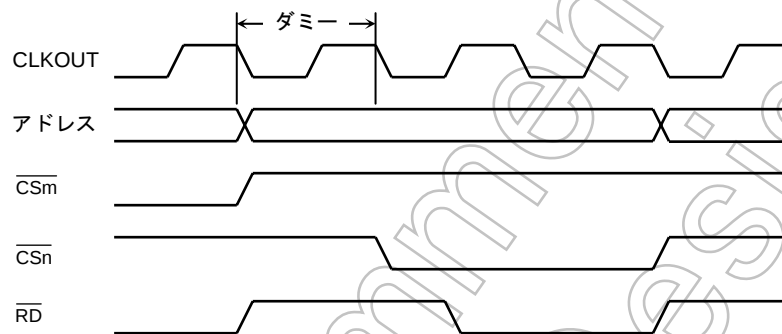
BnREC ビット (BnCSH レジスタ)

0	ダミーサイクルを入れない。(デフォルト)
1	ダミーサイクルを入れる。

- ダミーサイクルを挿入しないとき (0 ウェイト)

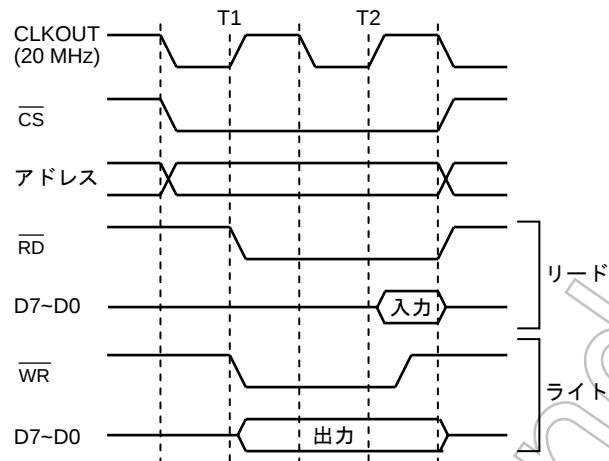


- ダミーサイクルを挿入するとき (0 ウェイト)

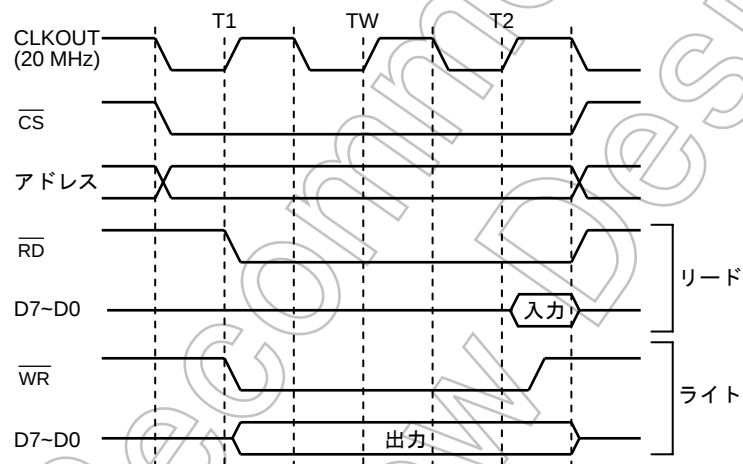


(5) バスアクセスタイミング

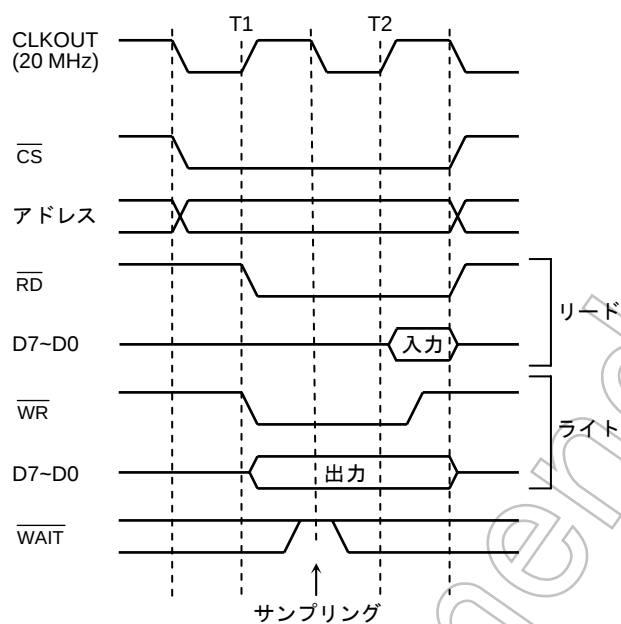
- 外部リード/ライトバスサイクル (0 ウェイト)



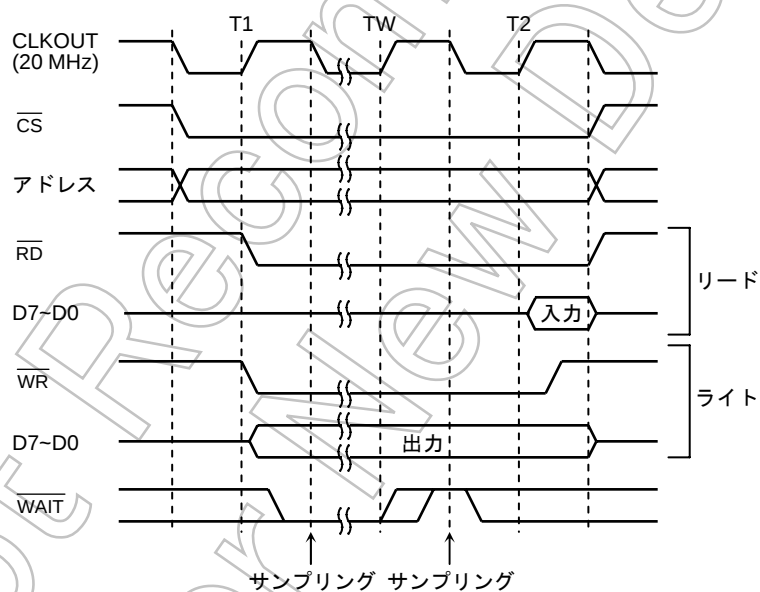
- 外部リード/ライトバスサイクル (1 ウェイト)



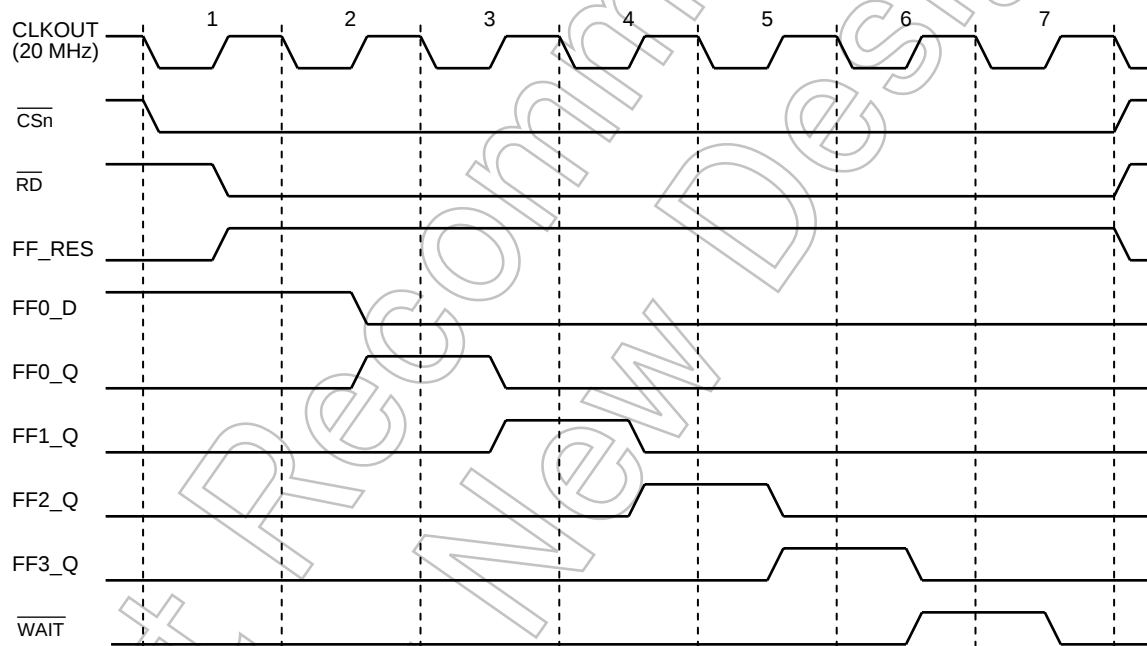
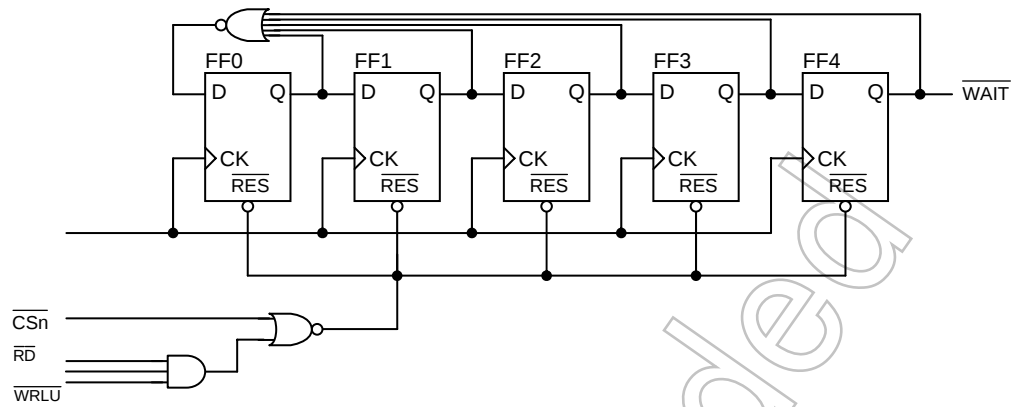
- 外部リード/ライトバスサイクル (0 ウェイト @ $\overline{\text{WAIT}}$ 端子入力モード)



- 外部リード/ライトバスサイクル (n ウェイト @ $\overline{\text{WAIT}}$ 端子入力モード)



- $\overline{\text{WAIT}}$ 入力回路例 (5 ウェイトの場合)



(6) 使用例

図 3.6.1 は、TMP92CM22 による外部メモリの接続例です。この例では、ROM, SRAM を 16 ビット幅で接続しています。

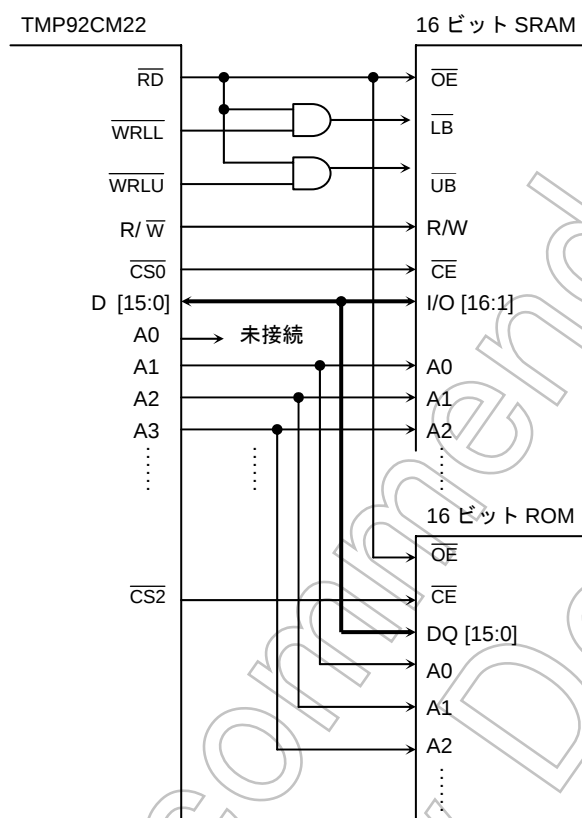


図 3.6.1 外部メモリ接続例

TMP92CM22 はリセット動作により、出力ポートとして機能します。P82 ($\overline{CS2}$) の出力ラッチは“0”にクリアされ、“L”を出力します。P80 ($\overline{CS0}$), P81 ($\overline{CS1}$), P83 ($\overline{CS3}$) の出力ラッチは“1”にセットされ、“H”を出力します。

ポート 8 をポート機能から CS 機能に設定する場合、P8FC レジスタの必要なビットを“1”に設定してください。

注) リセット解除後、P82 端子を $\overline{CS2}$ として設定する場合、P82 の出力ラッチの値を 0 ($P8\langle P82 \rangle = 0$) のままファンクションレジスタの設定を行ってください ($P8FC\langle P82F \rangle = 1$)。

P82 の出力ラッチの値を 1 ($P8\langle P82 \rangle = 1$) にした後、ファンクションレジスタの設定を行う ($P8FC\langle P82F \rangle = 1$) と、ポート機能から $\overline{CS2}$ 機能への切り替えの間、ROM のデータが読み出せない期間が存在する場合があります。

3.6.4 ROM コントロール (ページモード)

ここでは、ROM のページモードアクセスを行う場合の動作と、レジスタの設定方法について説明します。ROM ページモードの設定は、ページ ROM コントロールレジスタで行います。

(1) 動作とレジスタの設定方法

TMP92CM22 は、ページモードの ROM アクセスをサポートしています。ただし、ページモードの ROM アクセスを指定できるのは、ブロックアドレス空間 2 のみです。

ROM のページモードの設定は、ページ ROM コントロールレジスタ (PMEMCR) で行います。

PMEMCR レジスタの OPGE ビットを“1”に設定すると、ブロックアドレス空間 2 のメモリアクセスは、ROM ページモードアクセスになります。

PMEMCR レジスタの OPWR1, OPWR0 ビットで、読み出しサイクル数の設定を行います。

OPWR1/ OPWR0 ビット (PMEMCR レジスタ)

OPWR1	OPWR0	ページのサイクル数
0	0	1 ステート(n-1-1-1 モード) ($n \geq 2$)
0	1	2 ステート(n-2-2-2 モード) ($n \geq 3$)
1	0	3 ステート(n-3-3-3 モード) ($n \geq 4$)
1	1	(Reserved)

注) ウェイト数 n は、各ブロックアドレス空間のコントロールレジスタ (BnCSL) で設定してください。

PMEMCR レジスタの PR1, PR0 ビットには、CPU 側から見た ROM のページサイズ (バイト数) を設定します。設定されたページの境界までデータが読み出されると、メモリコントローラは一連のページリード動作を終了させ、次のページの先頭データの読み出しはノーマルサイクルで行い、その次より再びページリードを続けます。

PR1/PR0 ビット (PMEMCR レジスタ)

PR1	PR0	ROM のページサイズ
0	0	64 バイト
0	1	32 バイト
1	0	16 バイト
1	1	8 バイト

(2) 信号波形

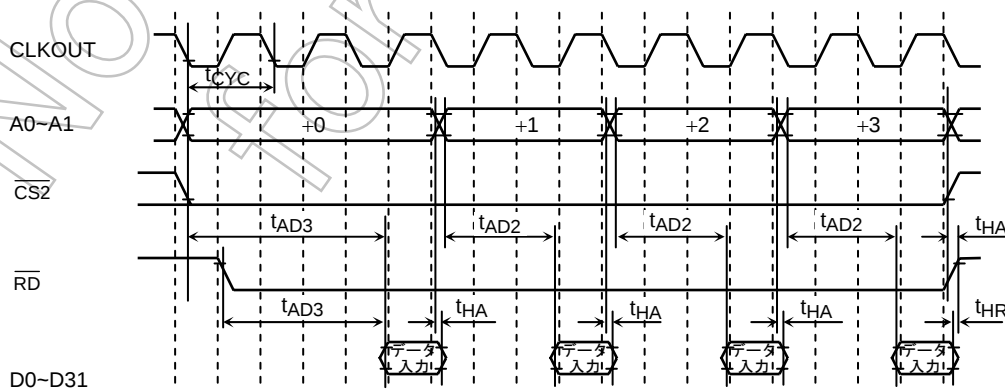


図 3.6.2 タイミングパルス図 (8 バイト設定例)

3.6.5 レジスタ一覧

メモリを制御するレジスタと、設定についてまとめます。各レジスタのアドレスについては、5.「特殊機能レジスタ一覧表」の章を参考にしてください。

(1) コントロールレジスタ

コントロールレジスタは、BnCSL と BnCSH の組になっています。BnCSL は、ブロック空間によらず同様の構成です。BnCSH は、ブロックアドレス空間 2 に対応する B2CSH のみ、構成が異なります。

BnCSL

	7	6	5	4	3	2	1	0
Bit symbol		BnWW2	BnWW1	BnWW0		BnWR2	BnWR1	BnWR0
Read/Write		W				W		
リセット後		0	1	0		0	1	0

BnWW<2:0>書き込みウェイト数の指定

001 = 2 ステート (0 ウェイト) アクセス

010 = 3 ステート (1 ウェイト) アクセス

101 = 4 ステート (2 ウェイト) アクセス

110 = 5 ステート (3 ウェイト) アクセス

111 = 6 ステート (4 ウェイト) アクセス

011 = WAIT 端子入力モード

その他 = (Reserved)

BnWR<2:0>読み出しウェイト数の指定

001 = 2 ステート (0 ウェイト) アクセス

010 = 3 ステート (1 ウェイト) アクセス

101 = 4 ステート (2 ウェイト) アクセス

110 = 5 ステート (3 ウェイト) アクセス

111 = 6 ステート (4 ウェイト) アクセス

011 = WAIT 端子入力モード

その他 = (Reserved)

B2CSH

	7	6	5	4	3	2	1	0
Bit symbol	B2E	B2M		B2REC	B2OM1	B2OM0	B2BUS1	B2BUS0
Read/Write	W			W				
リセット後	1	0		0	0	0	0	0

B2E イネーブルビット

0 = チップセレクト信号を出力しない。

1 = チップセレクト信号を出力する。(デフォルト)

注) リセット解除後は、B2CSH レジスタのイネーブルビット B2E のみ有効 ("1") になっています。

B2M ブロックアドレス空間指定

0 = CS2 のブロックアドレス空間を 000000H~FFFFFFH にする。(デフォルト)

B2REC データ出力リカバリー時間用のダミーサイクルの設定

0 = ダミーサイクルを入れない。(デフォルト)

1 = ダミーサイクルを入れる。

B2OM<1:0>

00 = SRAM または ROM。(デフォルト)

その他 = (Reserved)

B2BUS<1:0>データバス幅の設定

00 = 8 ビット (デフォルト)

01 = 16 ビット

10 = (Reserved)

11 = (Reserved)

注) B2BUS ビットへは、リセット解除後の AM<1:0>端子の状態により値が設定されます。

BnCSH (n = 0, 1, 3)

	7	6	5	4	3	2	1	0
Bit symbol	BnE			BnREC	BnOM1	BnOM0	BnBUS1	BnBUS0
Read/Write	W					W		
リセット後	0			0	0	0	0	0

BnE イネーブルビット

0 = チップセレクト信号を出力しない。(デフォルト)

1 = チップセレクト信号を出力する。

注) リセット解除後は、B2CSH レジスタのイネーブルビット B2E のみ有効 ("1") になっています。

BnREC データ出力リカバリー時間用のダミーサイクルの設定

0 = ダミーサイクルを入れない。(デフォルト)

1 = ダミーサイクルを入れる。

BnOM<1:0>

00 = SRAM または ROM。(デフォルト)

01 = (Reserved)

10 = (Reserved)

11 = (Reserved)

BnBUS<1:0>データバス幅の設定

00 = 8 ビット (デフォルト)

01 = 16 ビット

10 = (Reserved)

11 = (Reserved)

BEXCSL

	7	6	5	4	3	2	1	0
Bit symbol		BEXWW2	BEXWW1	BEXWW0		BEXWR2	BEXWR1	BEXWR0
Read/Write		W				W		
リセット後		0	1	0		0	1	0

BEXWW<2:0>書き込みウェイト数の指定

001 = 2 ステート (0 ウェイト) アクセス

101 = 4 ステート (2 ウェイト) アクセス

111 = 6 ステート (4 ウェイト) アクセス

その他 = (Reserved)

010 = 3 ステート (1 ウェイト) アクセス

110 = 5 ステート (3 ウェイト) アクセス

011 = $\overline{\text{WAIT}}$ 端子入力モード

BEXWR<2:0>読み出しウェイト数の指定

001 = 2 ステート (0 ウェイト) アクセス

101 = 4 ステート (2 ウェイト) アクセス

111 = 6 ステート (4 ウェイト) アクセス

その他 = (Reserved)

010 = 3 ステート (1 ウェイト) アクセス

110 = 5 ステート (3 ウェイト) アクセス

011 = $\overline{\text{WAIT}}$ 端子入力モード

BEXCSH

	7	6	5	4	3	2	1	0
Bit symbol		-	-	-	BEXOM1	BEXOM0	BEXBUS1	BEXBUS0
Read/Write		W			W			
リセット後		"0" をライトしてください。			0	0	0	0

BEXOM<1:0>

00 = SRAM または ROM。(デフォルト)

01 = (Reserved)

10 = (Reserved)

11 = (Reserved)

BEXBUS<1:0>データバス幅の設定

00 = 8 ビット (デフォルト)

01 = 16 ビット

10 = (Reserved)

11 = (Reserved)

(2) ブロックアドレス空間指定レジスタ

ブロックアドレス空間のスタートアドレスと範囲の指定は、メモリスタートアドレス (MSARn) と、メモリアドレスマスクレジスタ (MAMRn) の2つのレジスタで行います。スタートアドレスを指定するメモリスタートアドレスレジスタの設定は、ブロックアドレス空間によらず同様です。

メモリアドレスマスクレジスタは、ブロックアドレス空間により設定できるビットが異なります。

MSARn (n = 0~3)

	7	6	5	4	3	2	1	0
Bit symbol	MnS23	MnS22	MnS21	MnS20	MnS19	MnS18	MnS17	MnS16
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1

MnS<23:16>スタートアドレスの設定

各ブロックアドレス空間のスタートアドレスを設定します。各ビットはアドレス A23~A16 に対応します。

MAMR0

	7	6	5	4	3	2	1	0
Bit symbol	M0V20	M0V19	M0V18	M0V17	M0V16	M0V15	M0V14~ M0V9	M0V8
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1

M0V<20:8>

アドレス比較の可/否を設定します。M0V20~M0V8 はそれぞれアドレス A20~A8 に対応します。M0V14~M0V9 のビットは、1 ビットでアドレス A14~A9 に対応します。“0” をセットすると、アドレスバスの値とスタートアドレスとの比較をし、“1” をセットすると比較を行いません。

MAMR1

	7	6	5	4	3	2	1	0
Bit symbol	M1V21	M1V20	M1V19	M1V18	M1V17	M1V16	M1V15~ M1V9	M1V8
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1

M1V<21:8>

アドレス比較の可/否を設定します。M1V21~M1V8 はそれぞれアドレス A21~A8 に対応します。M1V15~M1V9 のビットは、1 ビットでアドレス A15~A9 に対応します。“0” をセットすると、アドレスバスの値とスタートアドレスとの比較をし、“1” をセットすると比較を行いません。

MAMRn (n = 2~3)

	7	6	5	4	3	2	1	0
Bit symbol	MnV22	MnV21	MnV20	MnV19	MnV18	MnV17	MnV16	MnV15
Read/Write	R/W							
リセット後	1	1	1	1	1	1	1	1

MnV<22:15>

アドレス比較の可/否を設定します。MnV22~MnV15 はそれぞれアドレス A22~A15 に対応します。“0” をセットすると、アドレスバスの値とスタートアドレスとの比較をし、“1” をセットすると比較を行いません。

リセット後、MASR0~MASR3、および MAMR0~MAMR3 は “FFH” に設定されます。B0CSH<B0E>、B1CSH<B1E>、B3CSH<B3E> は “0” にリセットされます。これにより、CS0、CS1 および CS3 エリアをディセーブルにします。しかし、B2CSH<B2M>は “0” に、B2CSH<B2E>は “1” にリセットされ、CS2 が 000000H~FFFFFFH で有効になります。また、BEXCSH/L で指定されるウェイト数およびバス幅は CS0~CS3 で設定された以外のエリアをアクセスするために使用されます。

(3) ページ ROM コントロールレジスタ (PMEMCR)

ページ ROM アクセスについての設定を行うレジスタです。ROM のページアクセスが可能なのは、ブロックアドレス空間 2 のみです。

PMEMCR

	7	6	5	4	3	2	1	0
Bit symbol				OPGE	OPWR1	OPWR0	PR1	PR0
Read/Write				R/W				
リセット後				0	0	0	1	0

OPGE イネーブルビット

0 = ROM ページモードアクセスを行わない。(デフォルト)

1 = ROM ページモードアクセスを行う。

OPWR<1:0>ウェイト数の指定

00 = 1 ステート (n-1-1-1 モード) ($n \geq 2$) (デフォルト)

01 = 2 ステート (n-2-2-2 モード) ($n \geq 3$)

10 = 3 ステート (n-3-3-3 モード) ($n \geq 4$)

11 = (Reserved)

注) ウェイト数 n は、各ブロックアドレス空間のコントロールレジスタ (BnCSL) で設定してください。

PR<1:0>ROM のページサイズ

00 = 64 バイト

01 = 32 バイト

10 = 16 バイト (デフォルト)

11 = 8 バイト

表 3.6.1 レジスタ一覧

		7	6	5	4	3	2	1	0
B0CSL (0140H)	Bit symbol		B0WW2	B0WW1	B0WW0		B0WR2	B0WR1	B0WR0
	Read/Write		W				W		
	リセット後		0	1	0		0	1	0
B0CSH (0141H)	Bit symbol	B0E	–	–	B0REC	B0OM1	B0OM0	B0BUS1	B0BUS0
	Read/Write		W						
	リセット後	0	0 (注 1)	0 (注 1)	0	0	0	0	0
MAMR0 (0142H)	Bit symbol	M0V20	M0V19	M0V18	M0V17	M0V16	M0V15	M0V14-V9	M0V8
	Read/Write		R/W						
	リセット後	1	1	1	1	1	1	1	1
MSAR0 (0143H)	Bit symbol	M0S23	M0S22	M0S21	M0S20	M0S19	M0S18	M0S17	M0S16
	Read/Write		R/W						
	リセット後	1	1	1	1	1	1	1	1
B1CSL (0144H)	Bit symbol		B1WW2	B1WW1	B1WW0		B1WR2	B1WR1	B1WR0
	Read/Write		W				W		
	リセット後		0	1	0		0	1	0
B1CSH (0145H)	Bit symbol	B1E	–	–	B1REC	B1OM1	B1OM0	B1BUS1	B1BUS0
	Read/Write		W						
	リセット後	0	0 (注 1)	0 (注 1)	0	0	0	0	0
MAMR1 (0146H)	Bit symbol	M1V21	M1V20	M1V19	M1V18	M1V17	M1V16	M1V15-V9	M1V8
	Read/Write		R/W						
	リセット後	1	1	1	1	1	1	1	1
MSAR1 (0147H)	Bit symbol	M1S23	M1S22	M1S21	M1S20	M1S19	M1S18	M1S17	M1S16
	Read/Write		R/W						
	リセット後	1	1	1	1	1	1	1	1
B2CSL (0148H)	Bit symbol		B2WW2	B2WW1	B2WW0		B2WR2	B2WR1	B2WR0
	Read/Write		W				W		
	リセット後		0	1	0		0	1	0
B2CSH (0149H)	Bit symbol	B2E	B2M	–	B2REC	B2OM1	B2OM0	B2BUS1	B2BUS0
	Read/Write		W						
	リセット後	1	0	0 (注 1)	0	0	0	0	0
MAMR2 (014AH)	Bit symbol	M2V22	M2V21	M2V20	M2V19	M2V18	M2V17	M2V16	M2V15
	Read/Write		R/W						
	リセット後	1	1	1	1	1	1	1	1
MSAR2 (014BH)	Bit symbol	M2S23	M2S22	M2S21	M2S20	M2S19	M2S18	M2S17	M2S16
	Read/Write		R/W						
	リセット後	1	1	1	1	1	1	1	1
B3CSL (014CH)	Bit symbol		B3WW2	B3WW1	B3WW0		B3WR2	B3WR1	B3WR0
	Read/Write		W				W		
	リセット後		0	1	0		0	1	0
B3CSH (014DH)	Bit symbol	B3E	–	–	B3REC	B3OM1	B3OM0	B3BUS1	B3BUS0
	Read/Write		W						
	リセット後	0	0 (注 1)	0 (注 1)	0	0	0	0	0
MAMR3 (014EH)	Bit symbol	M3V22	M3V21	M3V20	M3V19	M3V18	M3V17	M3V16	M3V15
	Read/Write		R/W						
	リセット後	1	1	1	1	1	1	1	1
MSAR3 (014FH)	Bit symbol	M3S23	M3S22	M3S21	M3S20	M3S19	M3S18	M3S17	M3S16
	Read/Write		R/W						
	リセット後	1	1	1	1	1	1	1	1
BEXCSH (0159H)	Bit symbol					BEXOM1	BEXOM0	BEXBUS1	BEXBUS0
	Read/Write					W			
	リセット後					0	0	0	0
BEXCSL (0158H)	Bit symbol		BEXWW2	BEXWW1	BEXWW0		BEXWR2	BEXWR1	BEXWR0
	Read/Write		W				W		
	リセット後		0	1	0		0	1	0
PMEMCR (0166H)	Bit symbol				OPGE	OPWR1	OPWR0	PR1	PR0
	Read/Write				R/W				
	リセット後				0	0	0	1	0

注 1) “0” をライトしてください。

注 2) BnCSL, BnCSH (n=0-3, EX) レジスタはリードモディファイライトできません。

3.6.6 注意

リード信号（アウトプットイネーブル信号）の寄生容量がチップセレクト信号の容量より大きい場合のリード信号の遅れにより、意図しないリードサイクルが発生する場合があります。図 3.6.3 の (a) のような意図しないリードサイクルによって、不具合が発生する恐れがあります。

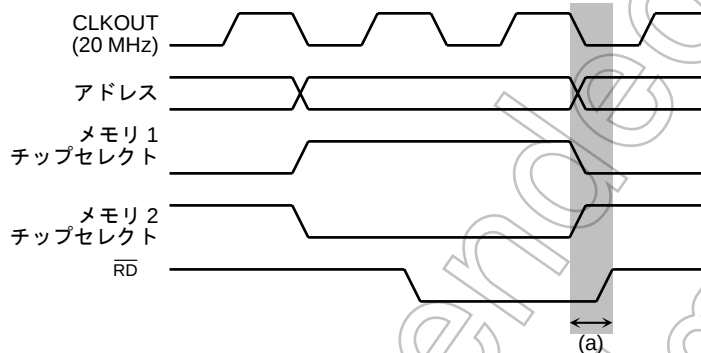


図 3.6.3 リード信号遅延時のリードサイクル

例: JEDEC標準型コマンドを採用しているフラッシュEEPROMを外部に接続する場合、トグルビットを正しく読み出しできない場合があります。

図 3.6.4 のようにフラッシュEEPROMアクセスの前のサイクルのリード信号立ち上がりが遅れたとき、(b) のように意図しないリードサイクルが生じます。

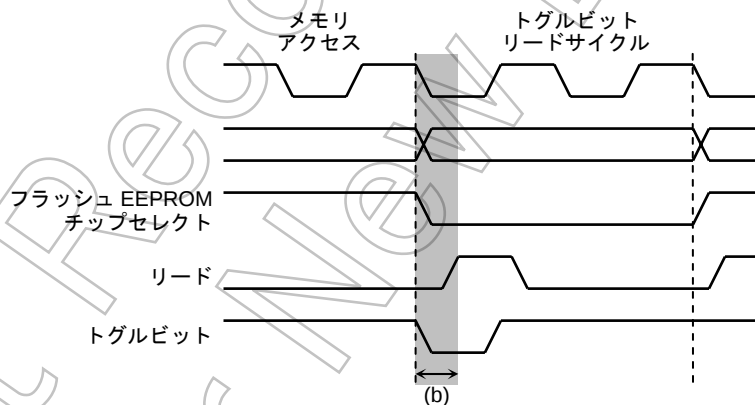


図 3.6.4 フラッシュEEPROM トグルビットリードサイクル

この意図しないリードサイクルでトグルビットが反転してしまう場合、TMP92CM22 はいつも同じ値のトグルビットを読み出すことになり、正しくトグルビットをリードできません。このような現象が起こる場合があるため、データポーリングでの制御を推奨します。

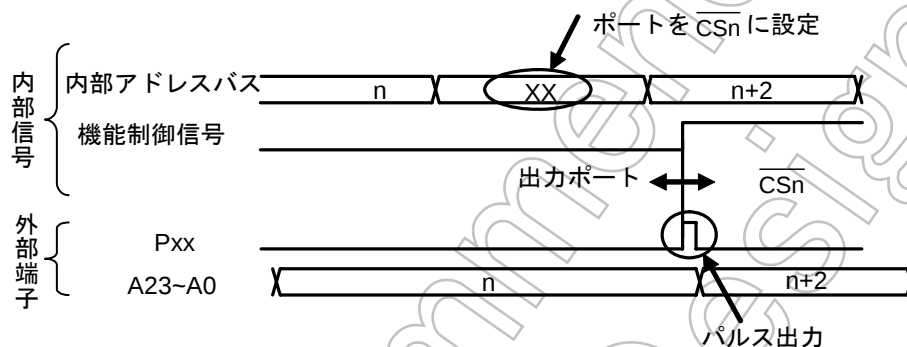
(2) $\overline{\text{CSn}}$ 端子の機能切り替え時の注意

チップセレクト信号出力は汎用ポート機能との兼用端子の場合があります。この場合は、リセット動作により、出力ラッチレジスタおよび機能制御レジスタが初期化され、対象端子がポート出力(“1” または “0”)に初期化されます。

機能切り替え

機能制御レジスタ(PnFC レジスタ)を設定する事により、対象端子をポートからチップセレクト信号出力に切り替えますが、切り替わりのタイミングで数 ns の短いパルスが出力される場合があります。通常のメモリを使用する場合、特に問題にはなりません、特殊なメモリを使用する場合、問題となることがあります。

※ XX は機能レジスタアドレス(出力ポートが“0”に初期化される場合)

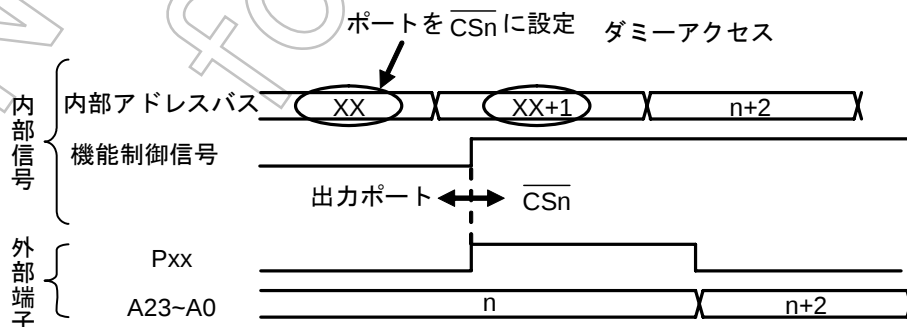


ソフトウェアによる対策

この現象を回避するための S/W での対応策を説明します。

CS 信号はそのアクセスエリアのアドレスをデコードして生成されるため、不要なパルスは $\overline{\text{CSn}}$ 機能に設定した直後の、対象 $\overline{\text{CS}}$ エリアへのアクセスによって出力されます。そこで、ポートを $\overline{\text{CS}}$ 機能に設定した直後も内部エリアにアクセスすれば不要なパルスは出力しません。

1. NMI 機能の使用禁止
2. 機能切り替え中の割り込み禁止 (DI 命令)
3. 連続した内部アクセスをするために、ダミー命令を追加
4. 機能切り替えレジスタへのアクセスを 16 ビット命令で対応する(LDW 命令)



3.7 8 ビットタイマ

TMP92CM22 は 8 ビットタイマを 4 チャンネル (TMRA0~TMRA3) を内蔵しています。

- 8 ビットインタバルタイマモード
- 16 ビットインタバルタイマモード
- 8 ビットプログラマブル矩形波 (PPG: 可変周期, 可変デューティ) 出力モード
- 8 ビットパルス幅変調 (PWM: 可変周期, 可変デューティ) 出力モード

図 3.7.1~図 3.7.2 に TMRA01, TMRA23 のブロック図を示します。

各チャンネルは 8 ビットアップカウンタ、8 ビットコンパレータおよび 8 ビットのタイマレジスタで構成され、2 チャンネルで 1 つのペアのそれぞれに、タイマフリップフロップとプリスケアラが用意されています。

タイマの動作モードとタイマフリップフロップは、5 つのレジスタ (SFR) で制御されます。

2 つの各モジュール (TMRA01, TMRA23) はそれぞれ独立して動作します。どのモジュールも表 3.7.1 に示される仕様相違点を除いて同一の動作をしますので、動作説明は TMRA01 の場合についてのみ行います。

また、本章は下記のような構成になっています。

3.7.1 モジュール別のブロック図

3.7.2 回路別動作説明

3.7.3 SFR 説明

3.7.4 モード別動作説明

- (1) 8 ビットタイマモード
- (2) 16 ビットタイマモード
- (3) 8 ビット PPG (プログラマブル矩形波) 出力モード
- (4) 8 ビット PWM 出力モード
- (5) モード設定

表 3.7.1 モジュール別仕様相違点

仕 様		モジュール	TMRA01	TMRA23
外部端子	外部クロック 入力端子		TA0IN (PC0 と兼用)	なし
	タイマフリップ フロップ出力端子		TA1OUT (PC1 と兼用)	TA3OUT (PC5 と兼用)
SFR 名 (アドレス)	タイマ RUN レジスタ		TA01RUN (1100H)	TA23RUN (1108H)
	タイマレジスタ		TA0REG (1102H) TA1REG (1103H)	TA2REG (110AH) TA3REG (110BH)
	タイマモードレジスタ		TA01MOD (1104H)	TA23MOD (110CH)
	タイマフリップフロップ コントロールレジスタ		TA1FFCR (1105H)	TA3FFCR (110DH)

3.7.1 モジュール別ブロック図

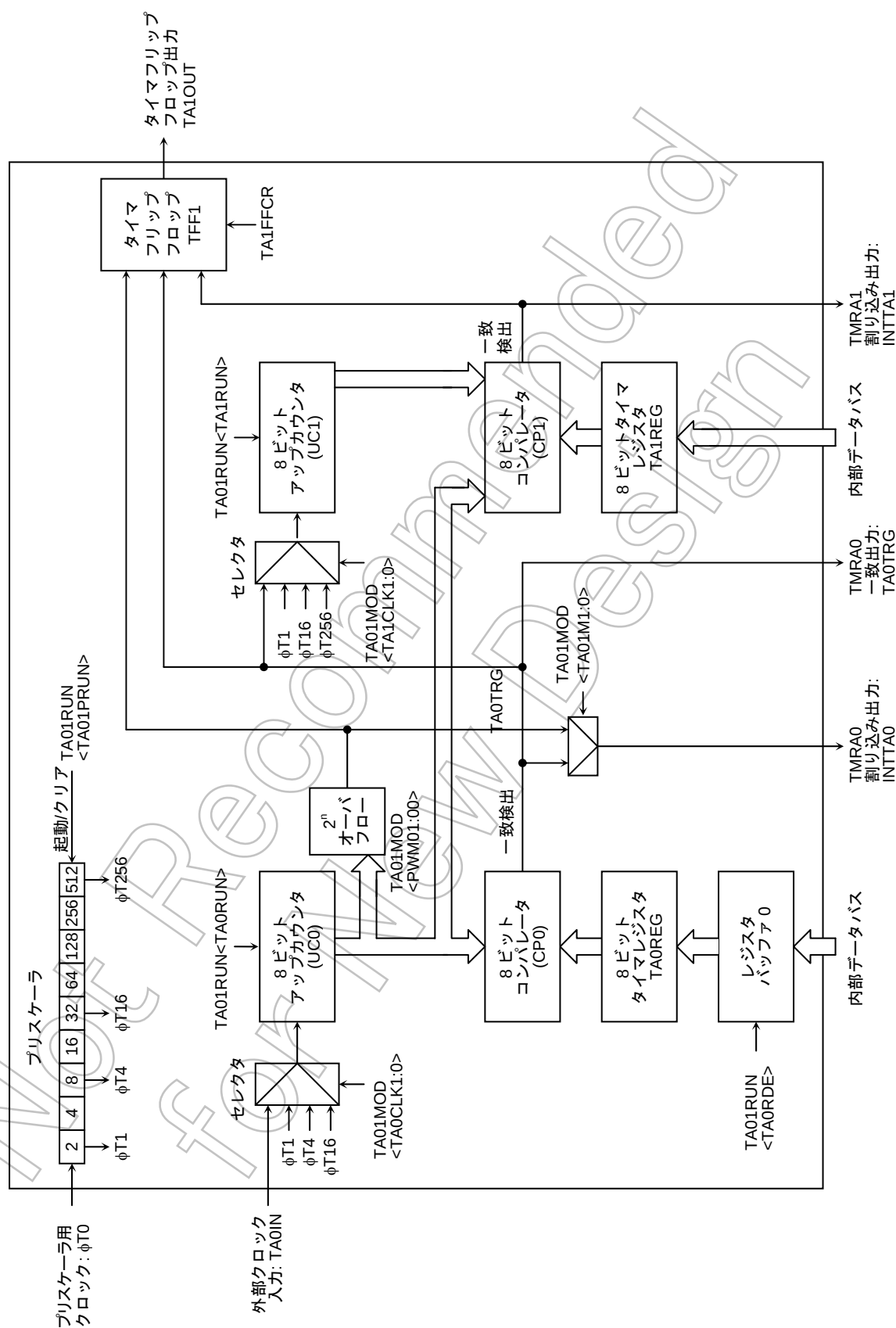


図 3.7.1 TMRA01 ブロック図

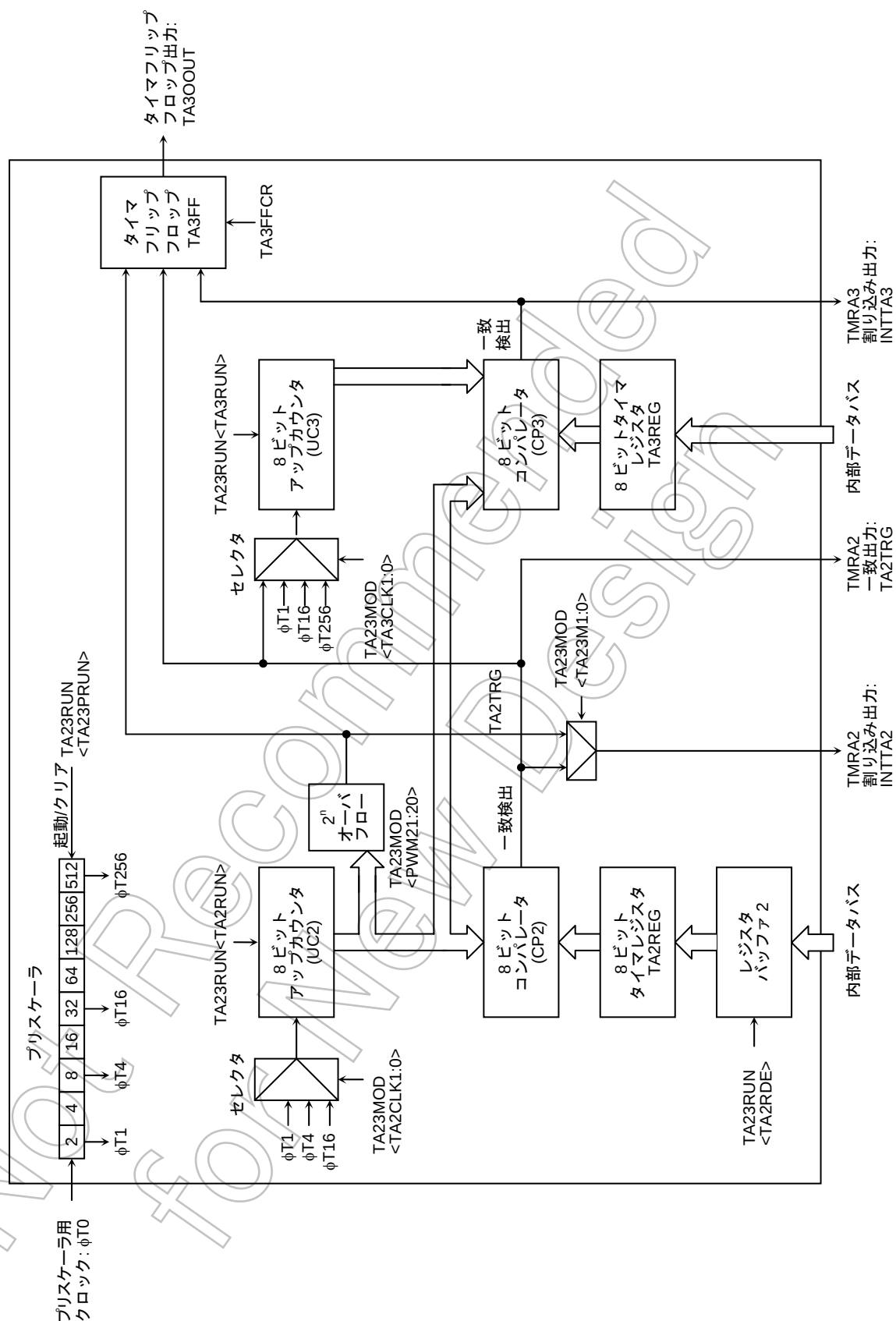


図 3.7.2 TMRA23 ブロック図

3.7.2 回路別動作説明

(1) プリスケアラ

9 ビットプリスケアラは、TMRA01 の入力クロックを生成します。

このプリスケアラの動作は、タイマコントロールレジスタの TA01RUN<TA01PRUN>の設定によって制御できます。<TA01PRUN>に“1”を設定するとカウントが開始され、“0”を設定するとプリスケアラを 0 にクリアして停止します。表 3.7.2 プリスケアラ出力クロック分解能

クロックギア 選択 SYSCR1 <GEAR2:0>	システム クロック選択 SYSCR1 <SYSCK>	—	タイマカウンタ入力クロック TMRA 部プリスケアラ TAXMOD<TAXCLK1:0>			
			$\phi T1(1/2)$	$\phi T4(1/8)$	$\phi T16(1/32)$	$\phi T256(1/512)$
000 (1/1)	0 (fc)	1/8	fc/16	fc/64	fc/256	fc/4096
001 (1/2)			fc/32	fc/128	fc/512	fc/8192
010 (1/4)			fc/64	fc/256	fc/1024	fc/16384
011 (1/8)			fc/128	fc/512	fc/2048	fc/32768
100 (1/16)			fc/256	fc/1024	fc/4096	fc/65536

にプリスケアラの分周クロック出力を示します。

表 3.7.2 プリスケアラ出力クロック分解能

クロックギア 選択 SYSCR1 <GEAR2:0>	システム クロック選択 SYSCR1 <SYSCK>	—	タイマカウンタ入力クロック TMRA 部プリスケアラ TAXMOD<TAXCLK1:0>			
			$\phi T1(1/2)$	$\phi T4(1/8)$	$\phi T16(1/32)$	$\phi T256(1/512)$
000 (1/1)	0 (fc)	1/8	fc/16	fc/64	fc/256	fc/4096
001 (1/2)			fc/32	fc/128	fc/512	fc/8192
010 (1/4)			fc/64	fc/256	fc/1024	fc/16384
011 (1/8)			fc/128	fc/512	fc/2048	fc/32768
100 (1/16)			fc/256	fc/1024	fc/4096	fc/65536

(2) アップカウンタ (UC0, UC1)

タイマモードレジスタ (TA01MOD) で指定された入力クロックによってカウントアップする 8 ビットのバイナリカウンタです。

UC0 の入力クロックは、TA01IN 端子からの外部クロックと 3 種類のプリスケアラ出力クロック $\phi T1$, $\phi T4$, $\phi T16$ から、TA01MOD<TA01CLK1:0>の設定値に応じて選択されます。

UC1 の入力クロックは、動作モードによって異なります。16 ビットタイマモードに設定した場合は、アップカウンタ UC0 のオーバフロー出力が入力クロックとなり、16 ビットタイマモード以外の場合は、入力信号は内部クロック $\phi T1$, $\phi T16$, $\phi T256$ と、TMRA0 のコンパレータ出力 (一致検出) の中から選択されます。

アップカウンタは、TA01RUN<TA0RUN>, TA01RUN<TA1RUN>によってカウント/停止&クリアを設定します。リセット時、アップカウンタはクリアされてタイマは停止しています。

(3) タイマレジスタ (TA0REG、TA1REG)

インタバル時間を設定する8ビットのレジスタです。このタイマレジスタへの設定値と、アップカウンタの値が一致すると、コンパレータの一致検出信号がアクティブになります。設定値を 00H にした場合は、アップカウンタのオーバーフロー時に一致信号がアクティブになります。

TA0REG はダブルバッファ構成になっており、レジスタバッファとペアになっています。

ダブルバッファの制御は、TA01RUN<TA0RDE>の設定により行います。<TA0RDE> = “0” のときディセーブル、<TA0RDE> = “1” のときイネーブルとなります。

ダブルバッファイネーブル時、レジスタバッファからタイマレジスタへのデータ転送タイミングは、PWM モードの 2nd オーバーフローまたは PPG モードの周期コンペア一致時です。従って、タイマモード時にダブルバッファを使用することはできません。

リセット時は<TA0RDE> = “0” に初期化され、ダブルバッファディセーブルになっています。ダブルバッファを使用するときには、タイマレジスタに設定値を書き込み、<TA0RDE> = “1” に設定した後で、レジスタバッファに次の設定値を書き込んでください。

図 3.7.3 にTA0REGの構成を示します。

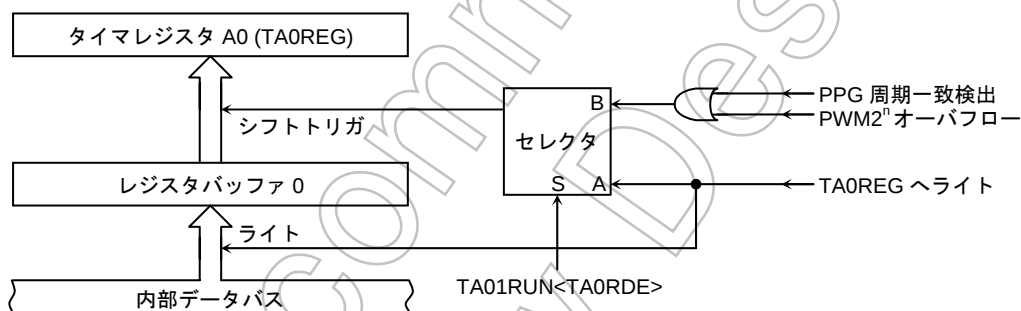


図 3.7.3 タイマレジスタ A0 (TA0REG) の構成

注) タイマレジスタとレジスタバッファは同じアドレスに割り付けられています。<TA0RDE> = “0” のときは、レジスタバッファとタイマレジスタの両方に同じ数字が書き込まれ、<TA0RDE> = “1” のときは、レジスタバッファにのみ書き込まれます。

各タイマレジスタのアドレスは以下のようになります。

TA0REG: 001102H	TA1REG: 001103H
TA2REG: 00110AH	TA3REG: 00110BH

これらのレジスタは書き込み専用で、読み出しはできません。

(4) コンパレータ (CP0)

アップカウンタの値と、タイマレジスタの値とを比較し、一致するとアップカウンタを 0 にクリアするとともに、割り込み (INTTA0, INTTA1) を発生します。また、タイマフリップフロップ反転イネーブルであれば、同時にタイマフリップフロップの値を反転させます。

(5) タイマフリップフロップ (TA1FF)

タイマフリップフロップ (TA1FF) は、コンパレータからの一致検出信号により反転するフリップフロップです。反転のディセーブル/イネーブルは、タイマフリップフロップコントロールレジスタ TA1FFCR<TA1FFIE>により設定できます。

リセットにより、TA1FF の値は “0” になります。TA1FFCR<TA1FFC1:0>に “01”、または “10” を書き込むことで、TA1FF に “1”、または “0” を設定できます。また、このビットに “00” を書き込むことにより、TA1FF の値を反転することができます (ソフト反転)。

TA1FF の値は、タイマ出力端子 TA1OUT (PC1 と兼用) へ出力することができます。タイマ出力を行う場合は、あらかじめポート C フังก์ションレジスタ PCFC により設定を行う必要があります。

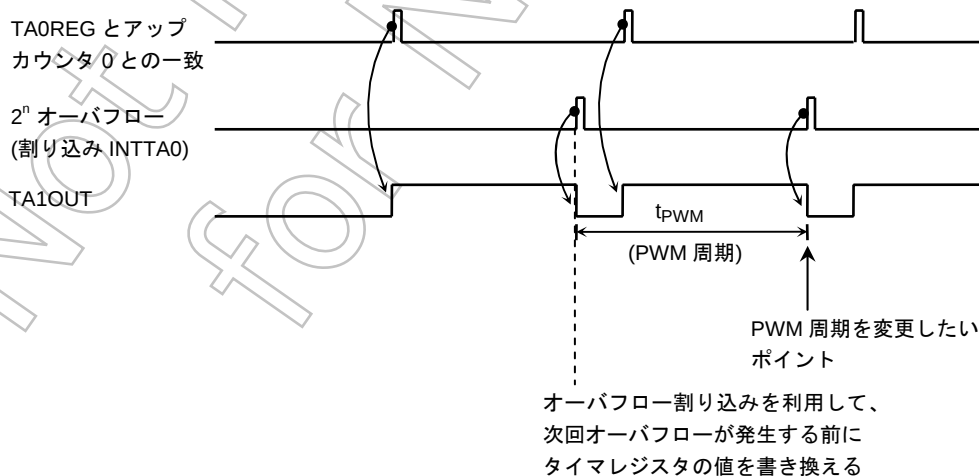
注) 8 ビットタイマにおいて PWM モードや PPG モードを使用時にダブルバッファを利用する場合は、注意が必要です。

タイマレジスタの設定値と、アップカウンタが一致して、オーバーフロー発生するタイミング直前にレジスタバッファのデータ更新を行うと、設定値と異なる波形信号が出力される場合があります。

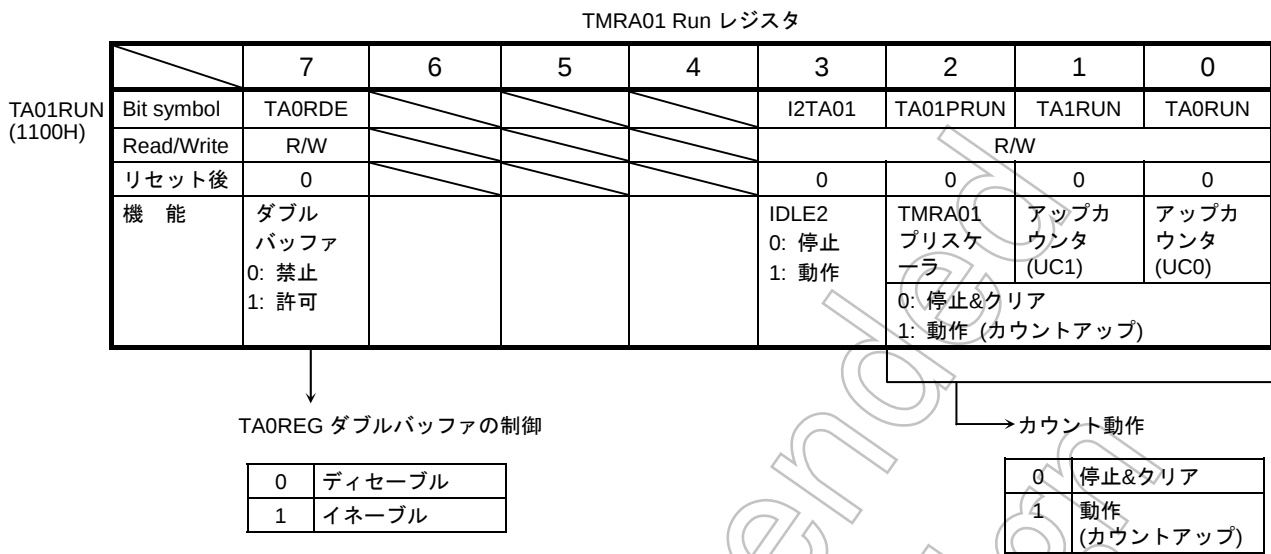
そのため、PWM モードではオーバーフロー割込みを利用し、次回のオーバーフローが発生する 6 サイクル前までに ($f_{SYS} \times 6$)、レジスタバッファの更新を終了するようにしてください。

また、PPG モードを使用の際も同様に、周期のコンペア一致割込みを使用し、次回の周期コンペアが一致する 6 サイクル前までに、レジスタバッファの更新を終了するようにしてください。

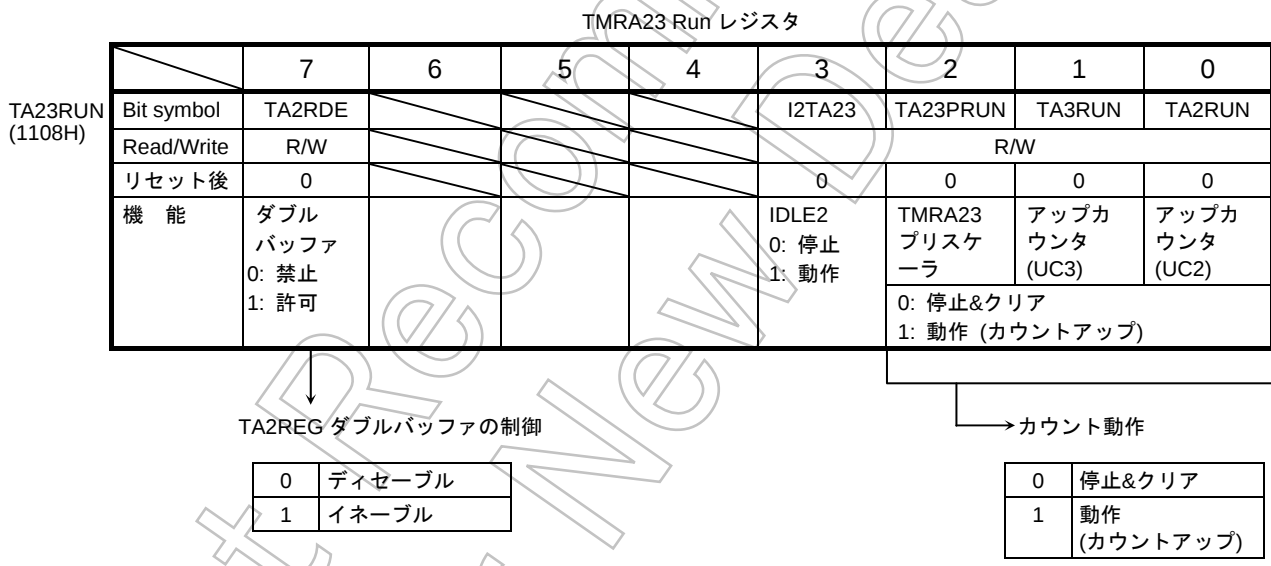
PWM モード時の例



3.7.3 SFR 説明

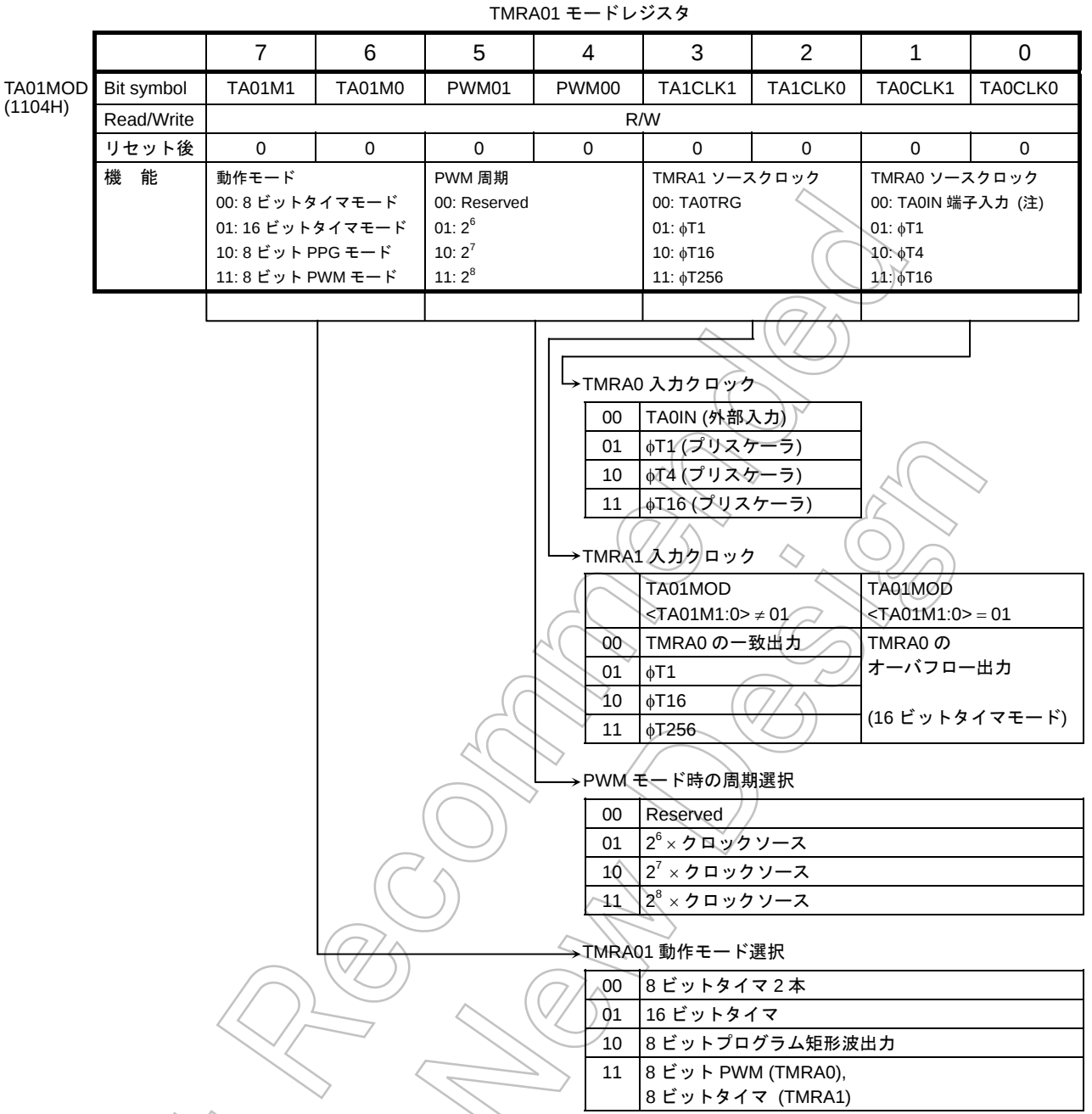


注) TA23RUN のビット 4-6 は、リードすると不定値がリードされます。



注) TA23RUN のビット 4-6 は、リードすると不定値がリードされます。

図 3.7.4 TMRA のレジスタ



注) TA0IN 端子を設定するときは、まずポート C を設定してから、TA01MOD をセットしてください。

図 3.7.5 TMRA のレジスタ

TMRA23 モードレジスタ

TA23MOD
(110CH)

	7	6	5	4	3	2	1	0
Bit symbol	TA23M1	TA23M0	PWM21	PWM20	TA3CLK1	TA3CLK0	TA2CLK1	TA2CLK0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	動作モード 00: 8 ビットタイマモード 01: 16 ビットタイマモード 10: 8 ビット PPG モード 11: 8 ビット PWM モード		PWM 周期 00: Reserved 01: 2 ⁶ 10: 2 ⁷ 11: 2 ⁸		TMRA3 ソースクロック 00: TA2TRG 01: φT1 10: φT16 11: φT256		TMRA2 ソースクロック 00: Reserved 01: φT1 10: φT4 11: φT16	

→TMRA2 入力クロック

00	設定しないでください。
01	φT1 (プリスケアラ)
10	φT4 (プリスケアラ)
11	φT16 (プリスケアラ)

→TMRA3 入力クロック

	TA23MOD <TA23M1:0> ≠ 01	TA23MOD <TA23M1:0> = 01
00	TMRA2 の一致出力	TMRA2 の オーバーフロー出力 (16 ビットタイマモード)
01	φT1	
10	φT16	
11	φT256	

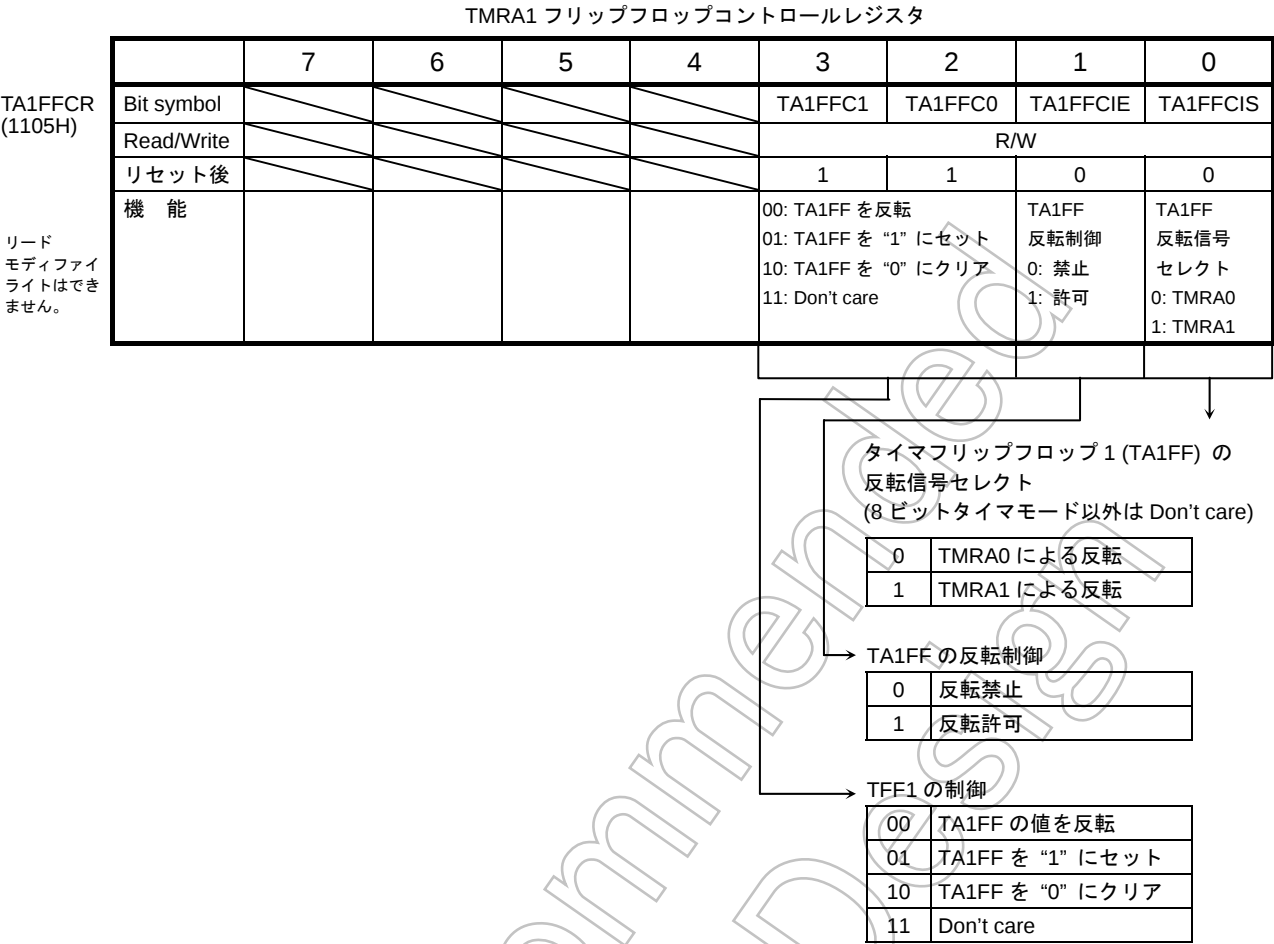
→PWM モード時の周期選択

00	Reserved
01	2 ⁶ × クロックソース
10	2 ⁷ × クロックソース
11	2 ⁸ × クロックソース

→TMRA23 動作モード選択

00	8 ビットタイマ 2 本
01	16 ビットタイマ
10	8 ビットプログラム矩形波出力
11	8 ビット PWM (TMRA2), 8 ビットタイマ (TMRA3)

図 3.7.6 TMRA のレジスタ



注) TA1FFCR のビット 4~7 はリードすると不定値がリードされます。

図 3.7.7 TMRA のレジスタ



注) TA3FFCR のビット 4~7 はリードすると不定値がリードされます。

図 3.7.8 TMRA のレジスタ

タイマレジスタ (TA0REG~TA3REG)

記号	アドレス	7	6	5	4	3	2	1	0
TA0REG	1102H	-							
		W							
		不定							
TA1REG	1103H	-							
		W							
		不定							
TA2REG	110AH	-							
		W							
		不定							
TA3REG	110BH	-							
		W							
		不定							

注) 上記レジスタはリードモディファイライトできません。

図 3.7.9 TMRAのレジスタ

3.7.4 モード別動作説明

(1) 8ビットタイマモード

TMRA0, TMRA1 は、それぞれ独立に 8 ビットインタバルタイマとして使用できます。

機能およびカウントデータの設定を行う場合は、TMRA0, TMRA1 を停止させた状態で行ってください。

1. 一定周期の割り込みを発生させる場合 (TMRA1 使用)

TMRA1 を用いて一定周期ごとに TMRA1 割り込み (INTTA1) を発生させる場合は、まず TMRA1 を停止させ、動作モード、入力クロック、周期をそれぞれ TA01MOD, TA1REG に設定します。次に、割り込み INTTA1 をイネーブルにしてから、TMRA1 をカウントさせます。

例) $f_C = 40 \text{ MHz}$ で $40 \mu\text{s}$ ごとに INTTA1 割り込みを発生させたい場合、次の順序で各レジスタを設定します。

	MSB				LSB					
	7	6	5	4	3	2	1	0		
TA01RUN	←	–	X	X	X	–	–	0	–	TMRA1 を停止し、0 にクリアします。
TA01MOD	←	0	0	X	X	0	1	–	–	8 ビットタイマモードにし、入力クロックをφT1 (=16/fc)s @ fC = 40 MHz) に設定します。
TA1REG	←	0	1	1	0	0	1	0	0	TA1REG に 40 μs ÷ φT1 = 100 = 64H を書き込みます。
INTETA01	←	X	1	0	1	–	–	–	–	INTTA1 をイネーブル、割り込みレベル 5 に設定します。
TA01RUN	←	–	X	X	X	–	1	1	–	TMRA1 をカウントさせます。

X: Don't care, –: No change

X: Don't care, –: No change

入力クロックの選択は表 3.7.3 を参考にしてください。

表 3.7.3 8 ビットタイマによる割り込み周期と入力クロックの選択

入力クロック	割り込み周期 (@ $f_{SYS} = 20 \text{ MHz}$)	分解能
$\phi T1$ ($8/f_{SYS}$)	$0.4 \mu\text{s} \sim 102.4 \mu\text{s}$	$0.4 \mu\text{s}$
$\phi T4$ ($32/f_{SYS}$)	$1.6 \mu\text{s} \sim 409.6 \mu\text{s}$	$1.6 \mu\text{s}$
$\phi T16$ ($128/f_{SYS}$)	$6.4 \mu\text{s} \sim 1.638 \text{ ms}$	$6.4 \mu\text{s}$
$\phi T256$ ($2048/f_{SYS}$)	$102.4 \mu\text{s} \sim 26.21 \text{ ms}$	$102.4 \mu\text{s}$

注) TMRA0 と TMRA1 の入力クロックは下記のように異なります。

TMRA0: TMRA0 入力 (TA0IN)、 $\phi T1$, $\phi T4$, $\phi T16$

TMRA1: TMRA0 の一致検出信号 (TA0TRG), $\phi T1$, $\phi T16$, $\phi T256$

2. デューティ 50%の矩形波を出力させる場合

一定周期ごとにタイマフリップフロップ (TA1FF) の値を反転させ、この値をタイマフリップフロップ出力端子 (TA1OUT) へ出力します。

例) $f_C = 40 \text{ MHz}$ で周期 $2.4 \mu\text{s}$ の矩形波を TA1OUT から出力させたい場合、次の順序で各レジスタを設定します。この場合、TMRA0 か TMRA1 を使用しますが、ここでは TMRA1 を使用したときのレジスタ設定例を示します。

	MSB	7	6	5	4	3	2	1	0	LSB
TA01RUN	←	-	X	X	X	-	-	0	-	
TA01MOD	←	0	0	X	X	0	1	-	-	
TA1REG	←	0	0	0	0	0	0	1	1	
TA1FFCR	←	X	X	X	X	1	0	1	1	
PCCR	←	X	-	-	X	-	X	1	-	} PC1 を TA1OUT 出力端子に設定します。 TMRA1 のカウントを開始させます。
PCFC	←	X	-	-	X	-	X	1	-	
TA01RUN	←	-	X	X	X	-	1	1	-	

X: Don't care、 -: No change

TMRA1 を停止し、0 にクリアします。

8 ビットタイマモードにし、入力クロックを $\phi T1$ $\phi T1$ ($= (16/f_C) \text{ s} @ f_C = 40 \text{ MHz}$) に設定します。

TA1REG に $2.4 \mu\text{s} \div \phi T1 \div 2 = 3$ をセットします。

TA1FF を "0" にクリアし、TMRA1 からの一致検出信号で反転するように設定します。

PC1 を TA1OUT 出力端子に設定します。

TMRA1 のカウントを開始させます。

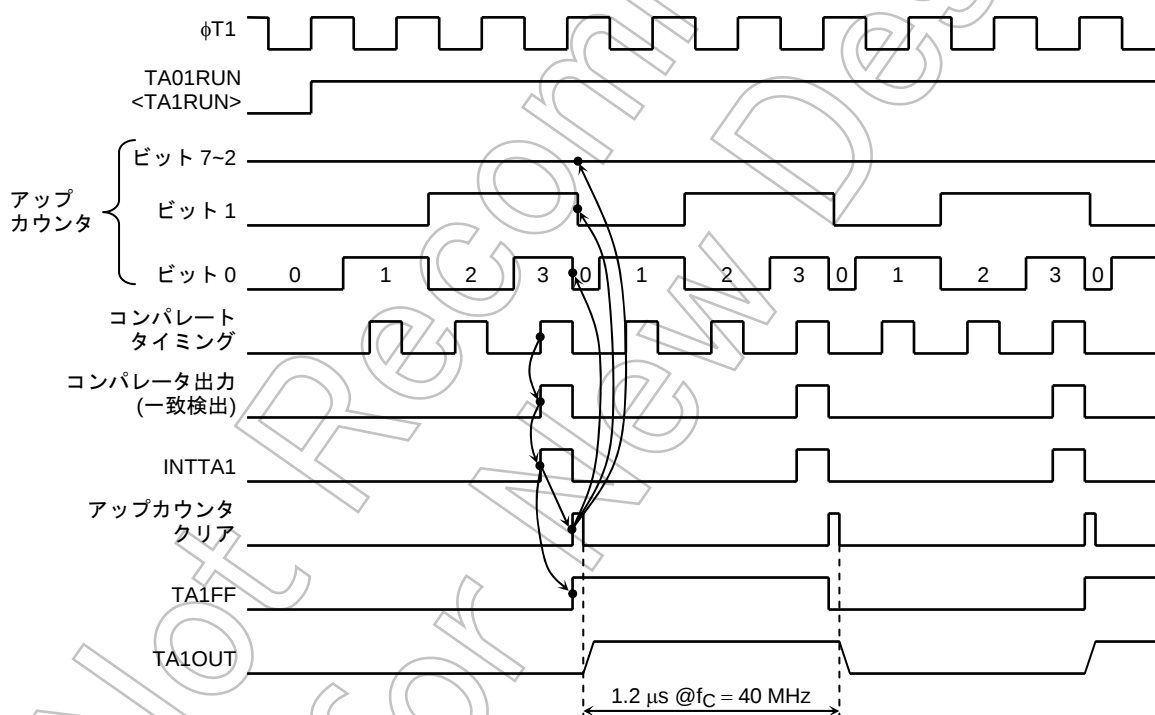


図 3.7.10 矩形波 (50%デューティ) 出力のタイミングチャート

3. TMRA0 の一致出力で TMRA1 をカウントアップさせる場合

8 ビットタイマモードに設定し、TMRA1 の入力クロックを TMRA0 のコンパレータ出力に設定します。

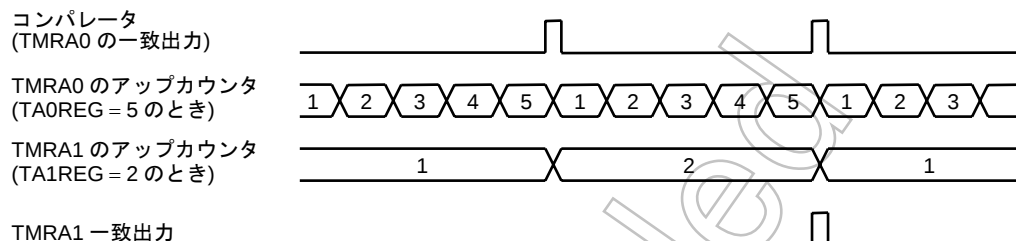


図 3.7.11 TMRA0 による TMRA1 のカウントアップ

(2) 16 ビットタイマモード

TMRA0, TMRA1 をペアにして、16 ビットインタバルタイマとして使用できます。TA01MOD<TA01M1:0> を “01” に設定することで 16 ビットタイマモードとなります。

16 ビットタイマモードに設定すると、TA01MOD<TA1CLK1:0> の設定値にかかわらず、TMRA1 の入力クロックは、TMRA0 のオーバフロー出力になります。タイマ (割り込み) 周期と入力クロックの選択の関係は、表 3.7.3 を参考にしてください。

タイマ割り込み周期は、タイマレジスタ TA0REG に下位 8 ビットを、TA1REG に上位 8 ビットを設定します。この場合、必ず TA0REG から先に設定してください。(TA0REG にデータを書き込むとコンペアが一時禁止され、TA1REG へのデータ書き込みでコンペアが開始されるためです。)

設定例) $f_C = 40 \text{ MHz}$ で 0.4 秒ごとに割り込み INTTA1 を発生させる場合、タイマレジスタ TA0REG, TA1REG には次の値を設定します。

$\phi T16 (= (256/f_C) \text{ s } @ 40 \text{ MHz})$ を入力クロックとしてカウントすると、

$$0.4 \text{ s} \div (256/f_C) \text{ s} = 62500 = \text{F424H}$$

従って、TA1REG = F4H, TA0REG = 24H を設定します。

TMRA0 のコンパレータ出力は、アップカウンタ UC0 と TA0REG とが一致するたびに出力されますが、アップカウンタ UC0 はクリアされません。

TMRA1 のコンパレータは、アップカウンタ UC1 と TA1REG が一致すると、コンパレートタイミング時、毎回一致検出信号が出力されます。TMRA0、TMRA1 両方のコンパレータの一致検出信号が同時に出力されると、アップカウンタ UC0, UC1 が 0 にクリアされ、割り込み INTTA1 が発生します。また、反転イネーブルであれば、タイマフリップフロップ TA1FF の値は反転されます。

例) TA1REG = 04H、TA0REG = 80H の場合



図 3.7.12 16 ビットタイマモードによるタイマ出力

(3) 8 ビット PPG (プログラマブル矩形波) 出力モード

TMRA0 を用いて、任意周波数、任意デューティの矩形波を出力することができます。出力パルスは Low アクティブ、High アクティブとどちらの設定も可能です。このモードに設定した場合、TMRA1 は使用できません。矩形波は TA1OUT (PC1 と兼用) へ出力されます。

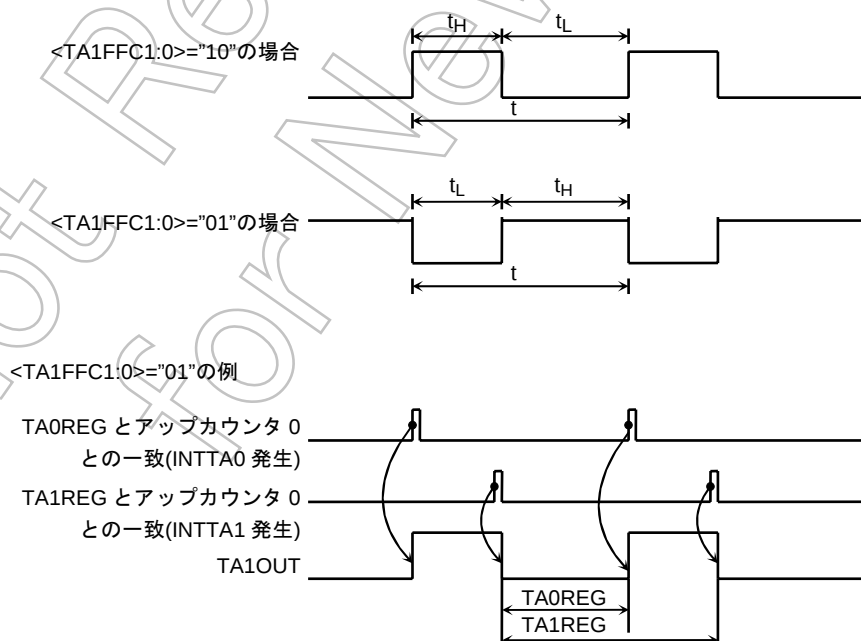


図 3.7.13 8 ビット PPG 出力波形

このモードは、8ビットアップカウンタ (UC0) が、タイマレジスタ TA0REG, TA1REG と一致するたびにタイマ出力を反転させることにより、プログラマブル矩形波を出力するものです。

ただし、(TA0REG の設定値) < (TA1REG の設定値) の条件を満たす必要があります。

なお、このモードでは TMRA1 のアップカウンタ UC1 は使用できませんが、

TA01RUN<TA1RUN> = “1” に設定して、TMRA1 をカウント状態にしてください。

このモードをブロック図で示すと、図 3.7.14 のようになります。

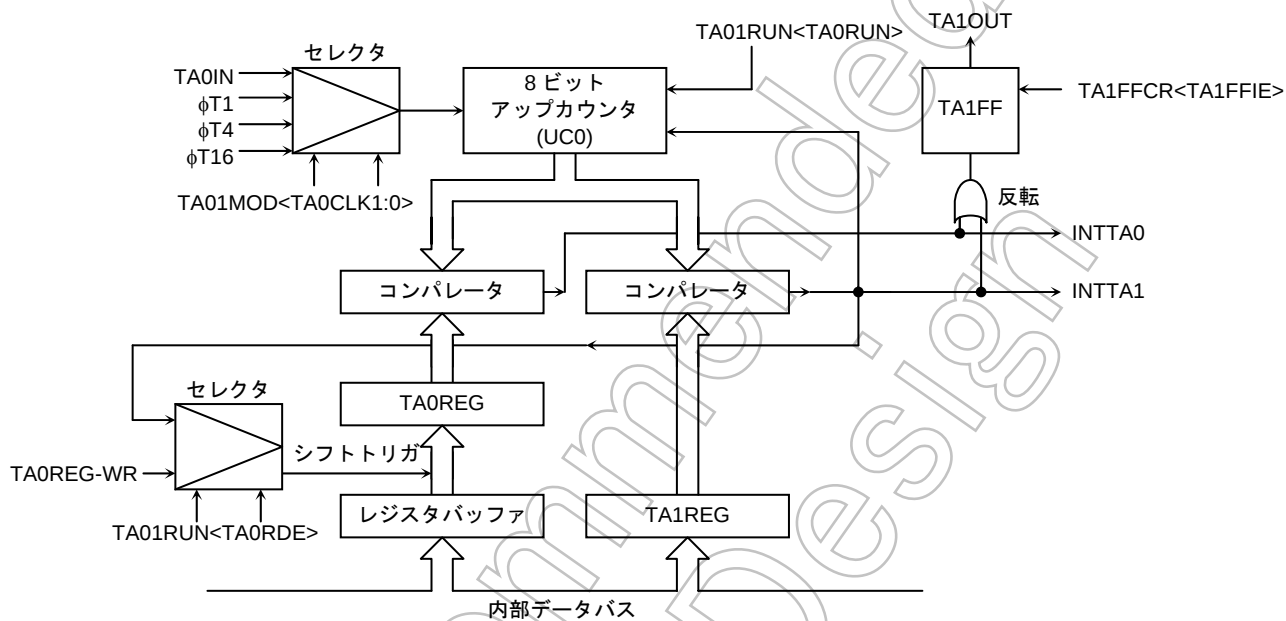


図 3.7.14 8ビット PPG 出力モードのブロック図

このモードでは、TA0REG をダブルバッファイネーブルにすることにより、レジスタバッファの値が、TA1REG と UC0 の一致時に TA0REG へシフトインされます。

ダブルバッファを使用することにより、小さいデューティ (デューティを変化させるとき) への対応が容易に行えます。

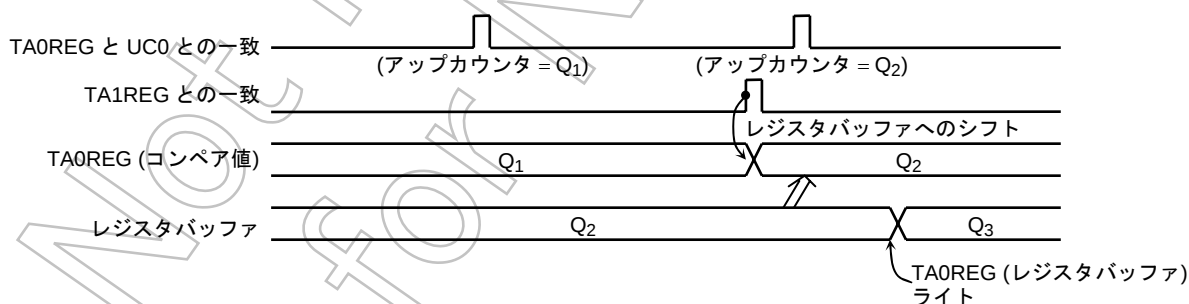
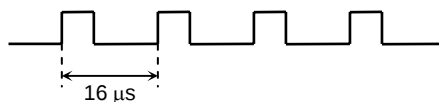


図 3.7.15 レジスタバッファの動作

例) デューティ 1/4 の 62.5 kHz のパルスを出力する場合 ($f_C = 40 \text{ MHz}$)



タイマレジスタへの設定値を求めます。

周波数を 62.5 kHz にするには、周期 $t = 1/62.5 \text{ kHz} = 16 \mu\text{s}$ の波形をつくります。

$\phi T1 = (16/f_C)s$ ($@f_C = 40\text{MHz}$) を用いると、

$$16 \mu\text{s} \div (16/f_C)s = 40$$

従って、 $TA1\text{REG} = 40 = 28\text{H}$

次にデューティを 1/4 にするには、 $t \times 1/4 = 16 \mu\text{s} \times 1/4 = 4 \mu\text{s}$

$$4 \mu\text{s} \div (16/f_C)s = 10$$

従って、 $TA0\text{REG} = 10 = 0\text{AH}$

	7	6	5	4	3	2	1	0	
TA01RUN	← 0	X	X	X	—	0	0	0	TMRA0, TMRA1 を停止し、0 にクリアします。
TA01MOD	← 1	0	X	X	X	X	0	1	8 ビット PPG モードにし、入力クロックを $\phi T1$ にします。
TA0REG	← 0	0	0	0	1	0	1	0	0AH を書き込みます。
TA1REG	← 0	0	1	0	1	0	0	0	28H を書き込みます。
TA1FFCR	← X	X	X	X	0	1	1	X	TA1FF をセットし、反転イネーブルにします "10" にすると負論理の出力波形が得られます。
PCCR	← X	—	—	X	—	X	1	—	PC1 を TA1OUT 端子に設定します。
PCFC	← X	—	—	X	—	X	1	—	
TA01RUN	← 1	X	X	X	—	1	1	1	TMRA0, TMRA1 のカウントを開始します。

X: Don't care、—: No change

(4) 8ビットPWM出力モード

TMRA0にのみ可能なモードです。分解能8ビットまでのPWMを出力することができます。PWM出力はTA1OUT端子(PC1と兼用)へ出力されます。

このモードでは、TMRA1は8ビットタイマとして使用できます。

タイマ出力の反転は、アップカウンタUC0がタイマレジスタTA0REGの設定値と一致したときと、 2^n ($n=6, 7, 8$ いずれかをTA01MOD<PWM01:00>で指定) カウンタオーバーフロー発生時に起こります。また、UC0は 2^n カウンタのオーバーフローによってクリアされます。

また、このPWMモードを使用する場合、次の条件を満たさなければなりません。

(TA0REGの設定値) < (2^n カウンタのオーバーフロー設定値)

(TA0REGの設定値) $\neq 0$

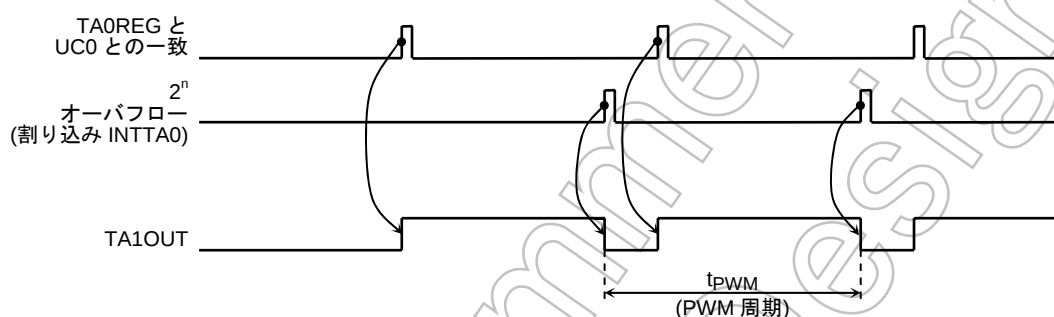


図 3.7.16 8ビットPWM出力波形

このモードをブロック図で表すと、図 3.7.17 のようになります。

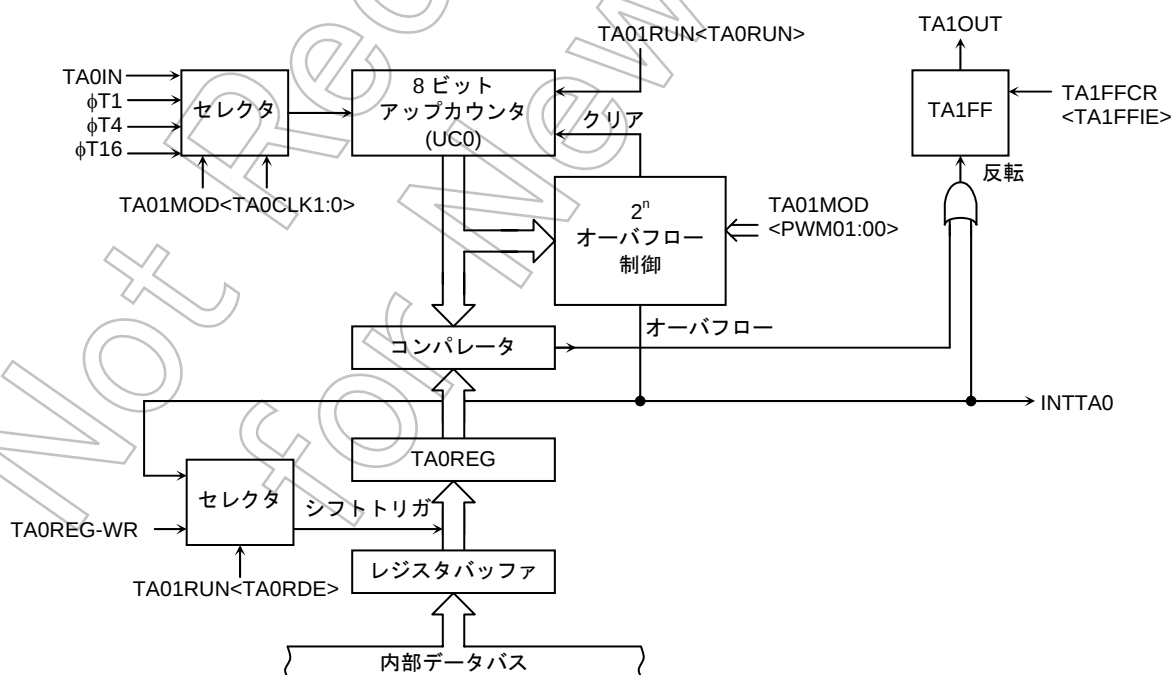


図 3.7.17 8ビットPWM出力モードブロック図

このモードでは、TA0REG をダブルバッファイネーブルにすることにより、 2^n オーバフローの検出で、レジスタバッファの値が TA0REG へシフトインされます。
ダブルバッファを使用することにより、小さいデューティへの対応が容易に行えます。

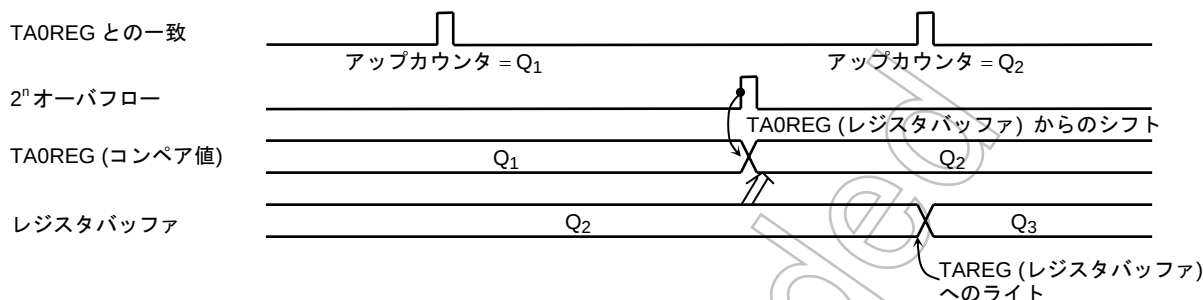
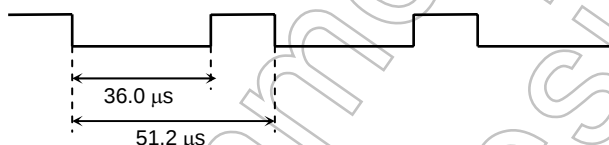


図 3.7.18 レジスタバッファの動作

例) $f_{SYS} = 20 \text{ MHz}$ 時、TMRA0 を使って下記の PWM 波形を TA1OUT 端子へ出力する場合。



PWM 周期 $51.2 \mu\text{s}$ を $\phi T1 = (= (16/f_c)s$ ($@f_c = 40 \text{ MHz}$) で実現する場合:

$$51.2 \mu\text{s} \div (16/f_c)s = 128 = 2^n$$

従って、 $n = 7$ に設定します。

“L” レベルの周期は $36.0 \mu\text{s}$ なので、 $\phi T1 = (16/f_c)s$ では

$$36.0 \mu\text{s} \div (16/f_c)s = 90 = 5AH$$

を TA0REG に設定します。

	MSB				LSB			
	7	6	5	4	3	2	1	0
TA01RUN	←	—	X	X	X	—	—	0
TA01MOD	←	1	1	1	0	—	—	0
TA0REG	←	0	1	0	1	1	0	1
TA1FFCR	←	X	X	X	X	1	0	1
PCCR	←	X	—	—	X	—	X	1
PCFC	←	X	—	—	X	—	X	1
TA01RUN	←	1	X	X	X	—	1	—

X: Don't care, —: No change

TMRA0 を停止し、0 にクリアします。

8 ビット PWM モード (周期 = 2^7) にし、入力クロックを $\phi 1$ にします。

5AH を書き込みます。

TA1FF をクリアし、反転イネーブルにします。

PC1 を TA1OUT 端子に設定します。

TMRA0 のカウントを開始します。

表 3.7.4 PWM 周期と 2ⁿ カウンタの関係

クロックギア 選択 SYSCR1 <GEAR2:0>	システム クロック選択 SYSCR0 <SYSCK>	-	PWM cycle TAxxMOD<PWMx1:0>								
			2 ⁶ (x64)			2 ⁷ (x128)			2 ⁸ (x256)		
			TAxxMOD<TAxCLK1:0>			TAxxMOD<TAxCLK1:0>			TAxxMOD<TAxCLK1:0>		
			φT1(x2)	φT4(x8)	φT16(x32)	φT1(x2)	φT4(x8)	φT16(x32)	φT1(x2)	φT4(x8)	φT16(x32)
000(x1)	0(fc)	×8	1024/fc	4096/fc	16384/fc	2048/fc	8192/fc	32768/fc	4096/fc	16384/fc	65536/fc
001(x2)			2048/fc	8192/fc	32768/fc	4096/fc	16384/fc	65536/fc	8192/fc	32768/fc	131072/fc
010(x4)			4096/fc	16384/fc	65536/fc	8192/fc	32768/fc	131072/fc	16384/fc	65536/fc	262144/fc
011(x8)			8192/fc	32768/fc	131072/fc	16384/fc	65536/fc	262144/fc	32768/fc	131072/fc	524288/fc
100(x16)			16384/fc	65536/fc	262144/fc	32768/fc	131072/fc	524288/fc	65536/fc	262144/fc	1048576/fc

(5) モード設定

表 3.7.5 に、各タイマモードの設定一覧を示します。

表 3.7.5 各タイマモードの設定レジスタ

レジスタ名	TA01MOD				TA1FFCR
<Bit symbol>	<TA01M1:0>	<PWM01:00>	<TA1CLK1:0>	<TA0CLK1:0>	<TA1FFIS>
機能	タイマモード	PWM 周期	上位タイマ入力 クロック	下位タイマ入力 クロック	タイマ F/F 反転セレクト
8 ビットタイマ × 2 チャンネル	00	—	下位タイマー一致, φT1, φT16, φT256 (00, 01, 10, 11)	外部, φT1, φT4, φT16 (00, 01, 10, 11)	0: 下位タイマ出力 1: 上位タイマ出力
16 ビットタイマモード	01	—	—	外部, φT1, φT4, φT16 (00, 01, 10, 11)	—
8 ビット PPG × 1 チャンネル	10	—	—	外部, φT1, φT4, φT16 (00, 01, 10, 11)	—
8 ビット PWM × 1 チャンネル	11	2 ⁶ , 2 ⁷ , 2 ⁸ (01, 10, 11)	—	外部, φT1, φT4, φT16 (00, 01, 10, 11)	—
8 ビットタイマ × 1 チャンネル	11	—	φT1, φT16, φT256 (01, 10, 11)	—	出力不可

—:Don't care

3.8 16 ビットタイマ/イベントカウンタ

TMP92CM22 は、16 ビットタイマ/イベントカウンタ (TMRB) を 2 チャンネル内蔵しており、以下の動作モードを持っています。

- 16 ビットインタバルタイマモード
- 16 ビットイベントカウンタモード
- 16 ビットプログラマブル矩形波 (PPG) 出力モード

また、キャプチャ機能を利用することで、次のような動作を行うことができます。

- 周波数測定モード
- パルス幅測定モード
- 時間差測定モード

図 3.8.1 に TMRB0, TMRB1 のブロック図を示します。

各チャンネルは、主に 16 ビットアップカウンタ、16 ビットタイマレジスタ 2 本 (1 本はダブルバッファ構造)、16 ビットのキャプチャレジスタ 2 本、コンパレータ 2 本、およびキャプチャ入力制御、タイマフリップフロップとその制御回路で構成されています。各タイマは 11 バイトのレジスタ (SFR) で制御されます。

また、本章は下記のような構成になっています。

3.8.1 ブロック図

3.8.2 回路別の動作説明

3.8.3 16 ビットタイマレジスタ

3.8.4 モード別動作説明

- (1) 16 ビットインタバルタイマモード
- (2) 16 ビットイベントカウンタモード
- (3) 16 ビット PPG (プログラマブル矩形波) 出力モード
- (4) キャプチャ機能を利用した応用例

表 3.8.1 端子と TMRB の SFR

仕様		チャンネル	TMRB0	TMRB1
外部端子	外部クロック/ キャプチャトリガ入力端子		なし	TB1IN0 (PD0 と兼用) TB1IN1 (PD1 と兼用)
	タイマフリップフロップ 出力端子		TB0OUT0 (PC6 と兼用)	TB1OUT0 (PD2 と兼用) TB1OUT1 (PD3 と兼用)
SFR (アドレス)	タイマ RUN レジスタ		TB0RUN (1180H)	TB1RUN (1190H)
	タイマモードレジスタ		TB0MOD (1182H)	TB1MOD (1192H)
	タイマフリップフロップ コントロールレジスタ		TB0FFCR (1183H)	TB1FFCR (1193H)
	タイマレジスタ		TB0RG0L (1188H)	TB1RG0L (1198H)
			TB0RG0H (1189H)	TB1RG0H (1199H)
			TB0RG1L (118AH)	TB1RG1L (119AH)
			TB0RG1H (118BH)	TB1RG1H (119BH)
	キャプチャレジスタ		TB0CP0L (118CH)	TB1CP0L (119CH)
			TB0CP0H (118DH)	TB1CP0H (119DH)
			TB0CP1L (118EH)	TB1CP1L (119EH)
			TB0CP1H (118FH)	TB1CP1H (119FH)

3.8.1 ブロック図

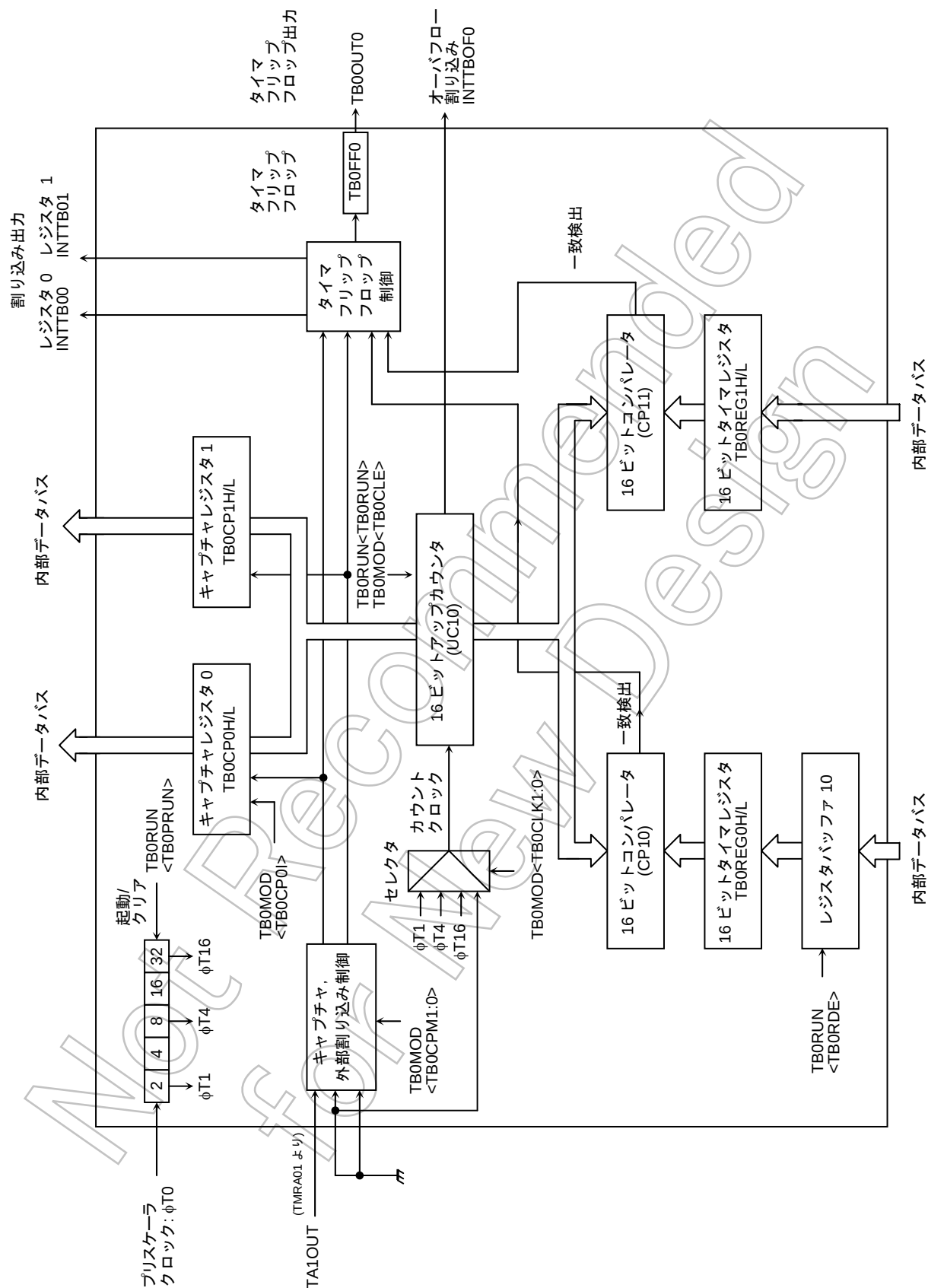


図 3.8.1 TMRB0 のブロック図

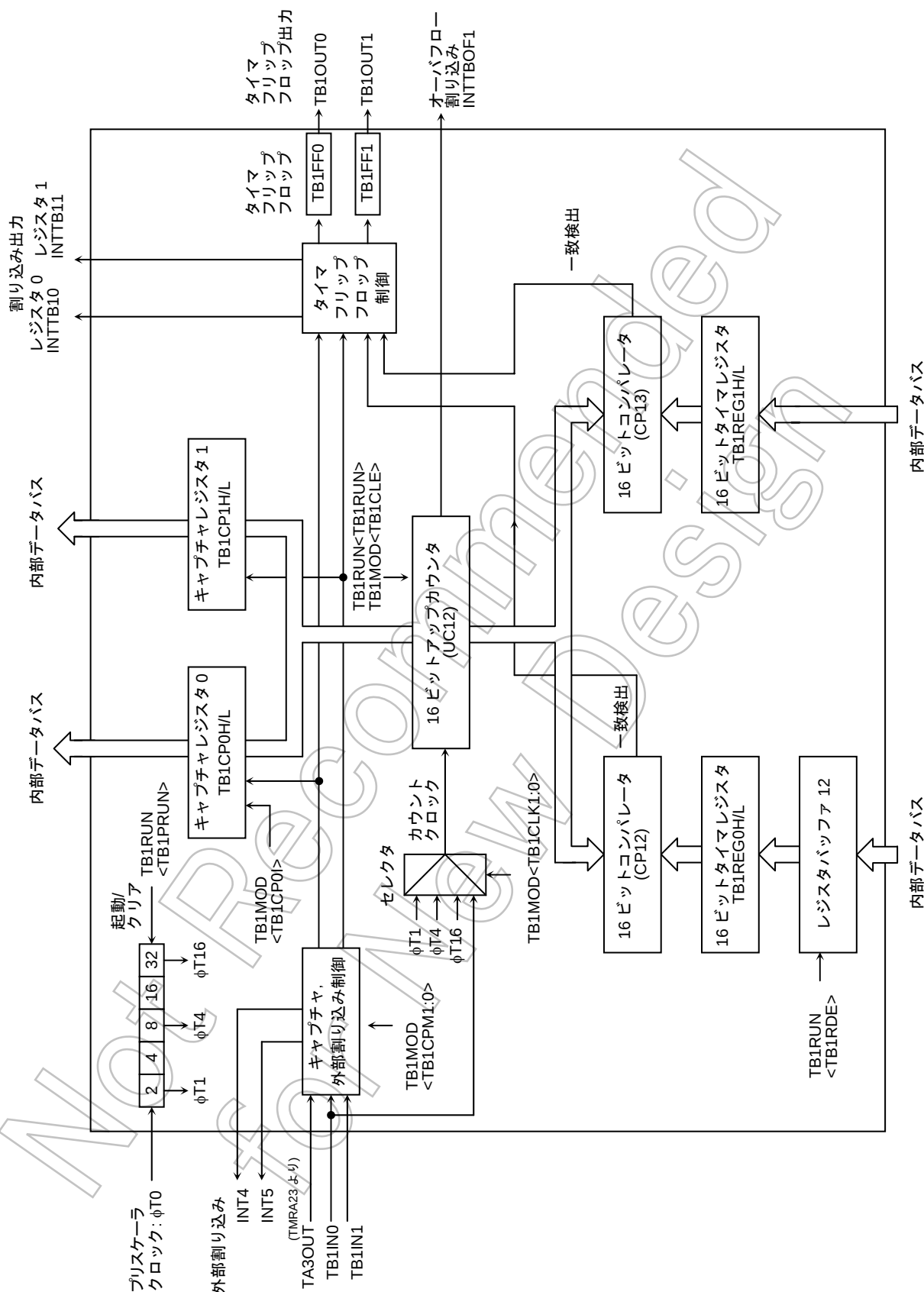


図 3.8.2 TMRB1 のブロック図

3.8.2 回路別の動作説明

(1) プリスケータ

TMRBのクロックソースを得るため、5 ビットプリスケータがあります。プリスケータへの入力クロック $\phi T0$ は、クロックギア部のSYSCR1<GEAR2:0>にて選択したクロックを8分周したクロックです。プリスケータはTB0RUN<TB0PRUN>により動作/停止の設定をします。“1”をライトするとカウントを開始し、“0”をライトするとクリアされ停止します。プリスケータ出力クロックの分解能を表3.8.2に示します。

表 3.8.2 プリスケータ出力クロック分解能

クロックギア 選択 SYSCR1 <GEAR2:0>	—	タイマカウンタ入力クロック TMRB 部プリスケータ TB0MOD<TB0CLK1:0>		
		$\phi T1(1/2)$	$\phi T4(1/8)$	$\phi T16(1/32)$
000 (1/1)	1/8	fc/16	fc/64	fc/256
001 (1/2)		fc/32	fc/128	fc/512
010 (1/4)		fc/64	fc/256	fc/1024
011 (1/8)		fc/128	fc/512	fc/2048
100 (1/16)		fc/256	fc/1024	fc/4096

(2) アップカウンタ(UC10)

TB0MOD<TB0CLK1:0>で指定された入力クロックによって、カウントアップする 16 ビットのバイナリカウンタです。

入力クロックは、 $\phi T1$ 、 $\phi T4$ 、 $\phi T16$ 、のいずれかを選択でき、TB0RUN<TB0PRUN>によってカウント/停止&クリアを設定します。

TB1MOD では入力クロックに TB1IN0 端子の外部クロックも選択できます。

UC10は、タイマレジスタ TB0RG1H/Lと一致すると、クリアイネーブルであれば、0にクリアされます。このクリアイネーブル/ディセーブルは、TB0MOD<TB0CLE>で設定します。

クリアディセーブルであれば、カウンタはフリーランニングカウンタとして動作します。

また、UC10のオーバーフローが発生した場合、オーバーフロー割り込み (INTTBOF0) が発生します。

(3) タイマレジスタ (TB0RG0H/L, TB0RG1H/L)

この 2 つの 16 ビットレジスタは、周波数を設定して使用します。UC10 アップカウンタの値がタイマレジスタの値と一致すると、コンパレータ一致検出信号が出力されます。16 ビットタイマレジスタ TB0RG0H/L, TB0RG1H/L へのデータ設定は、必ず上位と下位の 2 バイトのデータ設定が必要です。2 バイトデータ転送命令を用いるか、1 バイトデータ転送命令を 2 回用いて、下位 8 ビット、上位 8 ビットの順に行います。

TB0RG0H/L タイマレジスタは、ダブルバッファ構成になっており、レジスタバッファ 10 とペアになっています。ダブルバッファのイネーブル/ディセーブルの制御は、TMRB コントロールレジスタによって行います。このビットが“0”のときディセーブルとなり、“1”のときイネーブルとなります。

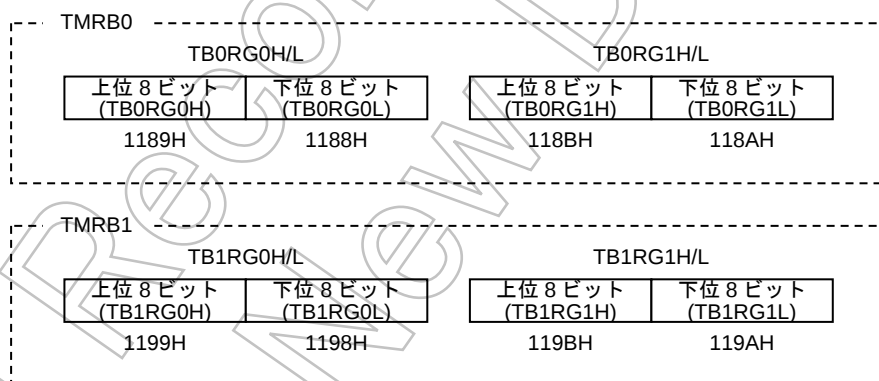
ダブルバッファイネーブルに設定した場合、レジスタバッファからタイマレジスタへのデータ転送は、アップカウンタ (UC10) とタイマレジスタ (TB0RG1H/L) の値が一致したときに行われます。

リセット動作により、TB0RG0H/L, TB0RG1H/L は不定のため、16 ビットタイマを使用する場合は、あらかじめデータを書き込む必要があります。

リセット動作により、<TBORDE> = “0” に初期化され、ダブルバッファディセーブルになっています。ダブルバッファを使用するときは、タイマレジスタにデータを書き込み<TBORDE> = “1” に設定した後、レジスタバッファへ次のデータを書き込んでください。

TB0RG0H/L とレジスタバッファは、同じアドレス 001188H/001189H に割り付けられています。<TBORDE> = “0” のときは TB0RG0H/L とレジスタバッファに同じ値が書き込まれ、<TBORDE> = “1” のときはレジスタバッファのみに値が書き込まれます。

タイマレジスタのアドレスは次のとおりです。



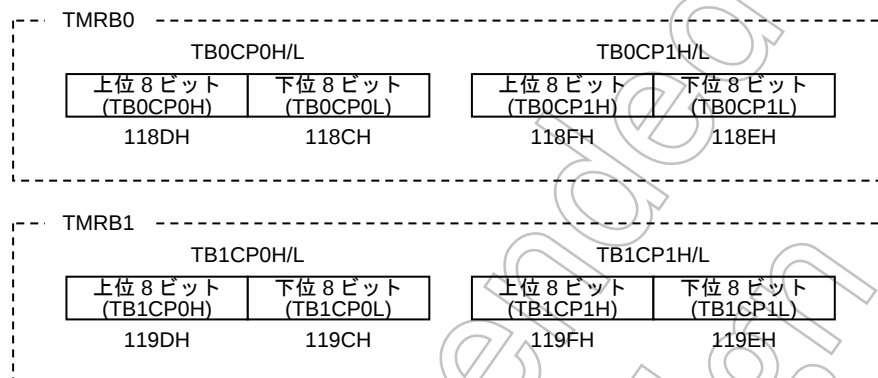
これらのタイマレジスタは書き込み専用レジスタのため、読み出すことはできません。

(4) キャプチャレジスタ (TB0CP0H/L, TB0CP1H/L, TB1CP0H/L, TB1CP1H/L)

アップカウンタ UC10 の値をラッチする 16 ビットのレジスタです。

キャプチャレジスタを読み出す場合は、必ず上位と下位の 2 バイトのデータリードが必要です。2 バイトデータ転送命令を用いるか、1 バイトデータ転送命令を 2 回用いて下位 8 ビット、上位 8 ビットの順に読み出してください。

各キャプチャレジスタのアドレスは次のとおりです。



キャプチャレジスタは読み出し専用レジスタです。プログラムによる書き込みはできません。

(5) キャプチャ、外部割り込み制御

アップカウンタ UC10 の値をキャプチャレジスタ TB0CP0H/L, TB0CP1H/L にラッチするタイミングと、外部割り込みの発生を制御する回路です。キャプチャレジスタの割り込みタイミング、外部割り込みのエッジ選択は、TB0MOD<TB0CPM1:0>で設定します。(TMRB0 には外部割り込みのエッジ選択機能はありません。)

なお、外部割り込み INT5 は、立ち上がりエッジに固定されています。

また、ソフトウェアによってもアップカウンタ UC10 の値をキャプチャレジスタへ取り込むことができ、TB0MOD<TB0CP0I>に“0”を書き込むたびに、その時点の UC0 の値をキャプチャレジスタ TB0CP0I へキャプチャします。なお、プリスケアラは、RUN 状態 (TB0RUN<TB0PRUN> = “1”) にしておく必要があります。

(6) コンパレータ (CP10, CP11)

アップカウンタ UC0 と TB0RG0H/L, TB0RG1H/L への設定値とを比較し、一致を検出する 16 ビットコンパレータです。

一致すると、それぞれ割り込み INTTB00, INTTB01 を発生します。

(7) タイマフリップフロップ (TB0FF0, TB0FF1)

タイマフリップフロップ (TB0FF0) は、コンパレータからの一致信号、キャプチャレジスタへのラッチ信号によって反転するフリップフロップです。反転のディセーブル/イネーブルは、TB0FFCR<TB0C0T1, TB0E1T1, TB0E0T1>によって設定できます。リセット後、TB0FF0, TB0FF1 の値は不定となります。

TB0FFCR<TB0FF0C1:0>または<TB0FF1C1:0>に“00”を書き込むことで反転、“01”を書き込むことで“1”をセット、“10”を書き込むことで“0”にクリアすることが可能です。

TB0FF0 の値は、タイマ出力端子 TB0OUT0 (PC6 と兼用) へ出力することができます。タイマ出力を行う場合は、あらかじめポート C のファンクションレジスタにより設定を行う必要があります。

3.8.3 16 ビットタイマレジスタ

TMRB0 Run レジスタ

	7	6	5	4	3	2	1	0
Bit symbol	TB0RDE	–			I2TB0	TB0PRUN		TB0RUN
Read/Write	R/W				R/W			R/W
リセット後	0	0			0	0		0
機 能	ダブルパッ ファ 0: 禁止 1: 許可	0 をライト してください。			IDLE2 0: 停止 1: 動作	TMRB0 プリスケ ーラ 0: 停止&クリア 1: 動作 (カウントアップ)		アップカウ ンタ UC10

→ カウント動作	
0	停止 & クリア
1	動作 (カウントアップ)

注) TB0RUN のビット 1, 4, 5 は、リードすると不定値がリードされます。

TMRB1 Run レジスタ

	7	6	5	4	3	2	1	0
Bit symbol	TB1RDE	–			I2TB1	TB1PRUN		TB1RUN
Read/Write	R/W				R/W			R/W
リセット後	0	0			0	0		0
機 能	ダブルパッ ファ 0: 禁止 1: 許可	0 をライト してください。			IDLE2 0: 停止 1: 動作	TMRB1 プリスケ ーラ 0: 停止&クリア 1: 動作 (カウントアップ)		アップカウ ンタ UC12

→ カウント動作	
0	停止 & クリア
1	動作 (カウントアップ)

注) TB1RUN のビット 1, 4, 5 は、リードすると不定値がリードされます。

図 3.8.3 16 ビットタイマのレジスタ

TMRB0 モードレジスタ

		7	6	5	4	3	2	1	0
TB0MOD (1182H)	Bit symbol	–	–	TB0CP0I	TB0CPM1	TB0CPM0	TB0CLE	TB0CLK1	TB0CLK0
	Read/Write	R/W		W	R/W				
	リセット後	0	0	1	0	0	0	0	0
リード モディファイ ライト できません。	機能	“0” をライ トしてくだ さい。	“0” をライ トしてくだ さい。	ソフトウエ アキャプチャ 制御 0: ソフトキ ャプチャ 1: 未定義	キャプチャタイミング 00: 禁止 01: (Reserved) 10: (Reserved) 11: TA1OUT↑ TA1OUT↓		アップカウ ンタ制御 0: クリア 禁止 1: クリア 許可	TMRB0 入力クロック 00: (Reserved) 01: φT1 10: φT4 11: φT16	

→ 入力クロック

00	Reserved
01	φT1
10	φT4
11	φT16

→ アップカウンタ (UC0) のクリア

0	アップカウンタのクリア禁止
1	TB0RG1H/L との一致でクリア

→ キャプチャ/割り込みタイミング

ソフトウェアキャプチャ制御	
00	ディセーブル
01	(Reserved)
10	(Reserved)
11	TA1OUT の立ち上がりで CAP0 TA1OUT の立ち下がりで CAP1

→ ソフトウェア キャプチャ

0	TB0CP0H/L へアップカウンタの値を取り込みます。
1	未定義

図 3.8.4 16 ビットタイマのレジスタ

TMRB1 モードレジスタ

TB1MOD
(1192H)

リード
モディファイ
ライト
できません。

	7	6	5	4	3	2	1	0
Bit symbol	TB1CT1	TB1ET1	TB1CP0I	TB1CPM1	TB1CPM0	TB1CLE	TB1CLK1	TB1CLK0
Read/Write	R/W		W	R/W				
リセット後	0	0	1	0	0	0	0	0
機能	TB1FF1 反転トリガ 0: トリガ禁止 1: トリガ許可 UC12 値を TB1CP1H/ L へキャプ チャする時		ソフトウェア キャプチャ 制御 0: ソフト ウェア キャプチャ 1: 未定義		キャプチャタイミング 00: 禁止 INT4 は立ち上がり エッジ 01: TB1IN0 ↑ TB1IN1 ↑ INT4 は立ち上がり エッジ 10: TB1IN0 ↑ TB1IN0 ↓ INT4 は立ち下がり エッジ 11: TA1OUT ↑ TA1OUT ↓ INT4 は立ち上がり エッジ		TMRB1 入力クロック 00: TB1IN0 端子入力 01: φT1 10: φT4 11: φT16	

→ 入力クロック

00	TB1IN0 端子入力
01	$\phi T1$
10	$\phi T4$
11	$\phi T16$

→ アップカウンタ (UC0) のクリア

0	アップカウンタのクリア禁止
1	TB1RG1H/L との一致でクリア

→ キャプチャ/割り込みタイミング

	キャプチャ制御	INT4 制御
00	キャプチャ禁止	TB1IN0 の立ち上がり で INT4 発生 
01	TB1IN0 の立ち上がりで CAP0 TB1IN1 の立ち上がりで CAP1	
10	TB1IN0 の立ち上がりで CAP0 TB1IN0 の立ち下がりで CAP1	TB1IN0 の立ち下がりで INT4 発生 
11	TA1OUT の立ち上がりで CAP0 TA1OUT の立ち下がりで CAP1	TB1IN0 の立ち上がり で INT4 発生 

→ ソフトウェアキャプチャ

0	TB1CP0H/L へアップカウンタの値を取り込みます。
1	未定義

図 3.8.5 16 ビットタイマのレジスタ

TMRB0 フリップフロップコントロールレジスタ

		7	6	5	4	3	2	1	0
TB0FFCR (1183H)	Bit symbol	–	–	TB0C1T1	TB0C0T1	TB0E1T1	TB0E0T1	TB0FFC1	TB0FFC0
	Read/Write	W		R/W				W*	
	リセット後	1	1	0	0	0	0	1	1
リード モディファイ ライト できません。	機能	“11” をライトしてください。		TB0FF0 反転制御 0: 反転禁止 1: 反転許可				TB0FF0 の制御 00: 反転 01: セット 10: クリア 11: Don't care * 読み出すと常に “11” になります。	
				TB0CP1H/ LへUC10 値をキャプ チャする時	TB0CP0H/ LへUC10 値をキャプ チャする時	UC10 と TB0RG1H/ Lとの一致 時	UC10 と TB0RG0H/ Lとの一致 時		

→ タイマフリップフロップ (TB0FF0) の制御

00	反転
01	“1” にセットします。
10	“0” にクリアします。
11	Don't care

UC10 と TB0RG0H/L との一致時

→ タイマフリップフロップ (TB0FF0) の反転制御

0	反転禁止
1	反転許可

UC10 と TB0RG1H/L との一致時

→ タイマフリップフロップ (TB0FF0) の反転制御

0	反転禁止
1	反転許可

TB0CP0H/L へ UC10 値をキャプチャしたとき

→ タイマフリップフロップ (TB0FF0) の反転制御

0	反転禁止
1	反転許可

TB0CP0H/L へ UC10 値をキャプチャしたとき

→ タイマフリップフロップ (TB0FF0) の反転制御

0	反転禁止
1	反転許可

図 3.8.6 16 ビットタイマのレジスタ

TMRB1 フリップフロップコントロールレジスタ

	7	6	5	4	3	2	1	0								
Bit symbol	TB1FF1C1	TB1FF1C0	TB1C1T1	TB1C0T1	TB1E1T1	TB1E0T1	TB1FF0C1	TB1FF0C0								
Read/Write	W*		R/W				W*									
リセット後	1	1	0	0	0	0	1	1								
機 能	TB1FF1 の制御 00: 反転 01: セット 10: クリア 11: Don't care * 読み出すと常に "11" になります。		TB1FF0 反転制御 0: 反転禁止 1: 反転許可				TB1FF0 の制御 00: 反転 01: セット 10: クリア 11: Don't care * 読み出すと常に "11" になります。									
			TB1CP1H/ L へ UC12 値をキャプ チャする時	TB1CP0H/ L へ UC12 値をキャプ チャする時	UC12 と TB1RG1H/ L との一致 時	UC12 と TB1RG0H/ L との一致 時										
リード モディファイ ライト できません。			→ タイマフリップフロップ (TB1FF0) の制御													
			<table><tr><td>00</td><td>反転</td></tr><tr><td>01</td><td>"1" にセットします。</td></tr><tr><td>10</td><td>"0" にクリアします。</td></tr><tr><td>11</td><td>Don't care</td></tr></table>				00	反転	01	"1" にセットします。	10	"0" にクリアします。	11	Don't care		
	00	反転														
	01	"1" にセットします。														
	10	"0" にクリアします。														
	11	Don't care														
			UC12 と TB1RG0H/L との一致時													
			→ タイマフリップフロップ (TB1FF0) の反転制御													
			<table><tr><td>0</td><td>トリガディセーブル (反転禁止)</td></tr><tr><td>1</td><td>トリガイネーブル (反転許可)</td></tr></table>				0	トリガディセーブル (反転禁止)	1	トリガイネーブル (反転許可)						
	0	トリガディセーブル (反転禁止)														
1	トリガイネーブル (反転許可)															
		UC12 と TB2RG1H/L との一致時														
		→ タイマフリップフロップ (TB2FF0) の反転制御														
		<table><tr><td>0</td><td>トリガディセーブル (反転禁止)</td></tr><tr><td>1</td><td>トリガイネーブル (反転許可)</td></tr></table>				0	トリガディセーブル (反転禁止)	1	トリガイネーブル (反転許可)							
0	トリガディセーブル (反転禁止)															
1	トリガイネーブル (反転許可)															
		TB1CP0H/L へ UC12 値をキャプチャしたとき														
		→ タイマフリップフロップ (TB1FF0) の反転制御														
		<table><tr><td>0</td><td>トリガディセーブル (反転禁止)</td></tr><tr><td>1</td><td>トリガイネーブル (反転許可)</td></tr></table>				0	トリガディセーブル (反転禁止)	1	トリガイネーブル (反転許可)							
0	トリガディセーブル (反転禁止)															
1	トリガイネーブル (反転許可)															
		TB1CP0H/L へ UC12 値をキャプチャしたとき														
		→ タイマフリップフロップ (TB1FF0) の反転制御														
		<table><tr><td>0</td><td>トリガディセーブル (反転禁止)</td></tr><tr><td>1</td><td>トリガイネーブル (反転許可)</td></tr></table>				0	トリガディセーブル (反転禁止)	1	トリガイネーブル (反転許可)							
0	トリガディセーブル (反転禁止)															
1	トリガイネーブル (反転許可)															
		→ TB1FF1 の制御														
		<table><tr><td>00</td><td>TB1FF1 の値を反転します。</td></tr><tr><td>01</td><td>TB1FF1 を "1" にセットします。</td></tr><tr><td>10</td><td>TB1FF1 を "0" にクリアします。</td></tr><tr><td>11</td><td>Don't care</td></tr></table>				00	TB1FF1 の値を反転します。	01	TB1FF1 を "1" にセットします。	10	TB1FF1 を "0" にクリアします。	11	Don't care			
00	TB1FF1 の値を反転します。															
01	TB1FF1 を "1" にセットします。															
10	TB1FF1 を "0" にクリアします。															
11	Don't care															

図 3.8.7 16 ビットタイマのレジスタ

TMRB0 レジスタ

		7	6	5	4	3	2	1	0
TB0RG0L (1188H)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB0RG0H (1189H)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB0RG1L (118AH)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB0RG1H (118BH)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB0CP0L (118CH)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB0CP0H (118DH)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB0CP1L (118EH)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB0CP1H (118FH)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							

TMRB1 レジスタ

		7	6	5	4	3	2	1	0
TB1RG0L (1198H)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB1RG0H (1199H)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB1RG1L (119AH)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB1RG1H (119BH)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB1CP0L (119CH)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB1CP0H (119DH)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB1CP1L (119EH)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							
TB1CP1H (119FH)	bit Symbol	—							
	Read/Write	W							
	リセット後	不定							

注) 上記レジスタはリードモディファイライトは禁止です。

図 3.8.8 TMRB0 関係のレジスタ

3.8.4 モード別動作説明

(1) 16ビットインタバルタイマモード

一定周期の割り込みを発生させる場合

タイマレジスタ TB0RG1H/L にインタバル時間を設定し、INTTB01 割り込みを発生させます。

	7	6	5	4	3	2	1	0		
TB0RUN	←	0	0	X	X	—	0	X	0	TMRB0 を停止します。
INTETB0	←	X	1	0	0	X	0	0	0	INTTB01 をイネーブル (レベル4) に設定し、INTTB00 をディセーブルにします。
TB0FFCR	←	1	1	0	0	0	0	1	1	トリガディセーブルにします。
TB0MOD	←	0	0	1	0	0	1	*	*	入カクロックをプリスケーラ出カクロックにし、キャプチャ機能をディセーブルにします。
									(**=01, 10, 11)	
TB0RG1	←	*	*	*	*	*	*	*	*	インタバル時間を設定します。(16 ビット)
		*	*	*	*	*	*	*	*	
TB0RUN	←	0	0	X	X	—	1	X	1	TMRB0 を起動します。

X: Don't care、—: No change

(2) 16ビットイベントカウンタモード

入カクロックを外部クロック (TB1IN0 端子入力) にすることでイベントカウンタにすることができます。

アップカウンタは TB1IN0 端子入力の立ち上がりエッジでカウントアップします。ソフトウェアキャプチャを行い、キャプチャ値をリードすることでカウント値を読むことができます。

		7	6	5	4	3	2	1	0	
TB1RUN	←	0	0	X	X	—	0	X	0	TMRB1 を停止します。
PDCR	←	X	X	X	X	—	—	—	0	PD0 を TB1IN0 入力モードに設定します。
PDFC	←	X	X	X	X	—	—	—	1	
INTETB1	←	X	1	0	0	X	0	0	0	INTTB11 をイネーブル (レベル 4) に、INTTB10 をディセーブルにします。
TB1FFCR	←	1	1	0	0	0	0	1	1	トリガディセーブルにします。
TB1MOD	←	0	0	1	0	0	1	0	0	入力クロックを TB1IN0 端子入力にします。
TB1RG1	←	*	*	*	*	*	*	*	*	カウント数を設定します。
		*	*	*	*	*	*	*	*	(16 ビット)
TB1RUN	←	0	0	X	X	—	1	X	1	TMRB1 を起動します。

X: Don't care、—: No change

注) イベントカウンタとして使用する場合も、プリスケアラは "RUN" にしてください (TB1RUN<TB1PRUN> = "1")。

(3) 16ビット PPG (プログラマブル矩形波) 出力モード

任意周波数、任意デューティの矩形波 (プログラマブル矩形波) を出力することができます。出力パルスは、Low アクティブ、High アクティブどちらも可能です。

アップカウンタ UC10 とタイマレジスタ TB0RG0H/L, TB0RG1H/L への設定値との一致により、タイマフリップフロップ TB0FF の反転トリガをかけることで、プログラマブル矩形波を TB0OUT0 端子より出力することができます。ただし、TB0RG0H/L と TB0RG1H/L の設定値は次の条件を満たす必要があります。

$(\text{TB0RG0H/L への設定値}) < (\text{TB0RG1H/L への設定値})$

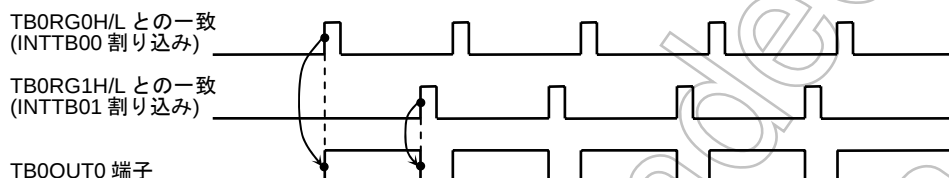


図 3.8.9 プログラマブル矩形波 (PPG) 出力波形例

このモードでは、TB0RG0H/L のダブルバッファをイネーブルにすることにより、TB0RG1H/L との一致でレジスタバッファ 10 の値が TB0RG0H/L へシフトインされます。これにより、小さいデューティへの対応が容易に行えます。

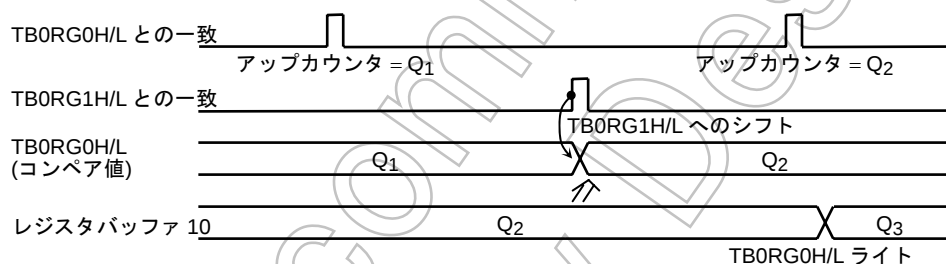


図 3.8.10 レジスタバッファの動作

このモードのブロック図を示します。

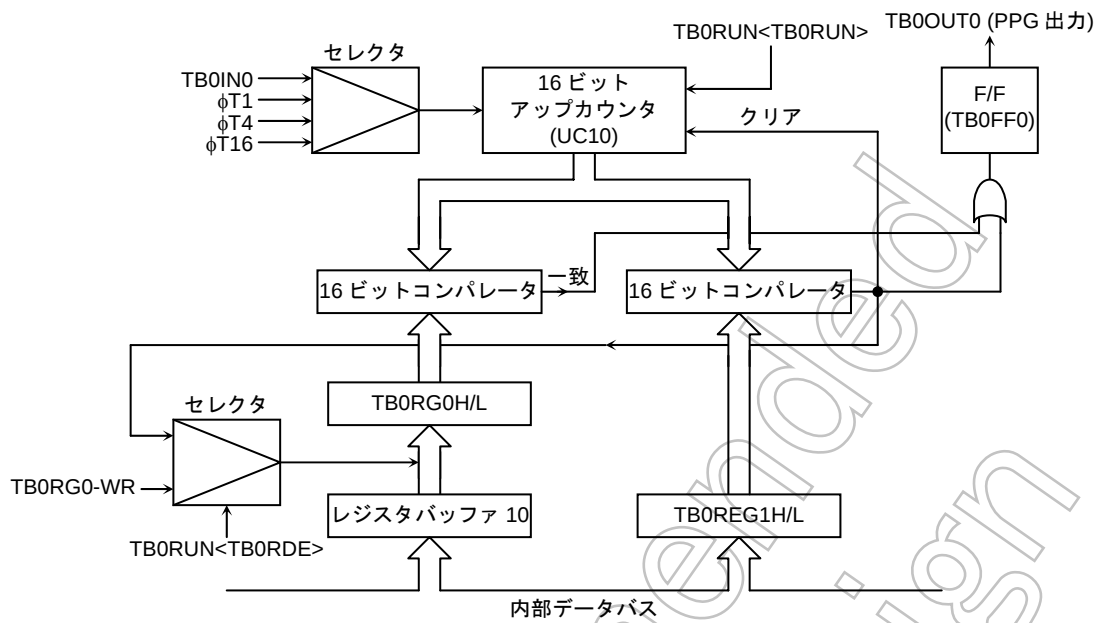


図 3.8.11 16 ビット PPG モードのブロック図

16 ビット PPG 出力モード時の各レジスタは、次のように設定します。

	7	6	5	4	3	2	1	0
TB0RUN	← 0	0	X	X	-	0	X	0
TB0RG0	← *	*	*	*	*	*	*	*
TB0RG1	← *	*	*	*	*	*	*	*
TB0RUN	← 1	0	X	X	-	0	X	0
TB0FFCR	← X	X	0	0	1	1	1	0
TB0MOD	← 0	0	1	0	0	1	*	*
PCCR	← X	1	-	X	-	X	-	-
PCFC	← X	1	-	X	-	X	-	-
TB0RUN	← 1	0	X	X	-	1	X	1

X: Don't care, -: No change

TB0RG0 ダブルバッファをディセーブルにし、TMRB0 を停止します。

デューティを設定します。

(16 ビット)

周波数を設定します。

(16 ビット)

TB0RG0H/L ダブルバッファをイネーブルにします (INTTB01 割り込みでデューティ/周期の変更)。

TB0FF0 を TB0RG0H/L, TB0RG1H/L との一致検出で反転するように設定します。また、TB0FF0 の初期値を "0" にします。

入力クロックをプリスケアラ出力クロックにし、キャプチャ機能をディセーブルにします。

TB0OUT0 を PC6 端子に割り付けます。

TMRB0 を起動します。

(4) キャプチャ機能を利用した応用例

キャプチャ機能を利用することにより、次に示す例をはじめ、多くの応用が可能です。

1. 外部トリガパルスからのワンショットパルス出力
2. 周波数測定
3. パルス幅測定
4. 時間差測定

1. 外部トリガパルスからのワンショットパルス出力

外部トリガパルスからのワンショットパルス出力は、次のように行います。

16 ビットアップカウンタ UC12 をプリスケアラ出力クロックを用いてフリーランニングでカウントアップさせておきます。TB1IN0 端子より外部トリガパルスを入力し、キャプチャ機能を用いて、外部トリガパルスの立ち上がりで、アップカウンタ値をキャプチャレジスタ TB1CP0H/L に取り込みます。

外部トリガパルスの立ち上がり時、割り込み INT4 が発生します。この割り込みで、タイマレジスタ TB1RG0H/L には TB1CP0H/L の値 (c) とディレイタイム (d) を加算した値 (c + d) を設定します。タイマレジスタ TB1RG1H/L には、TB1RG0H/L の値とワンショットパルスのパルス幅 (p) を加算した値 (c + d + p) を設定します。

さらに、タイマフリップフロップコントロールレジスタ TB1FFCR<TB1E1T1, TB1E0T1> に“11”を設定し、UC12 と TB1RG0H/L との一致、および TB1RG1H/L との一致により、タイマフリップフロップ TB1FF0 が反転するように、トリガイネーブルにします。ワンショットパルス出力後、INTTB11 の割り込み処理により、これをディセーブルに戻します。

なお、文中の (c), (d), (p) は、図 3.8.13「ワンショットパルス出力 (ディレイなし)」の c, d, p と対応しています。

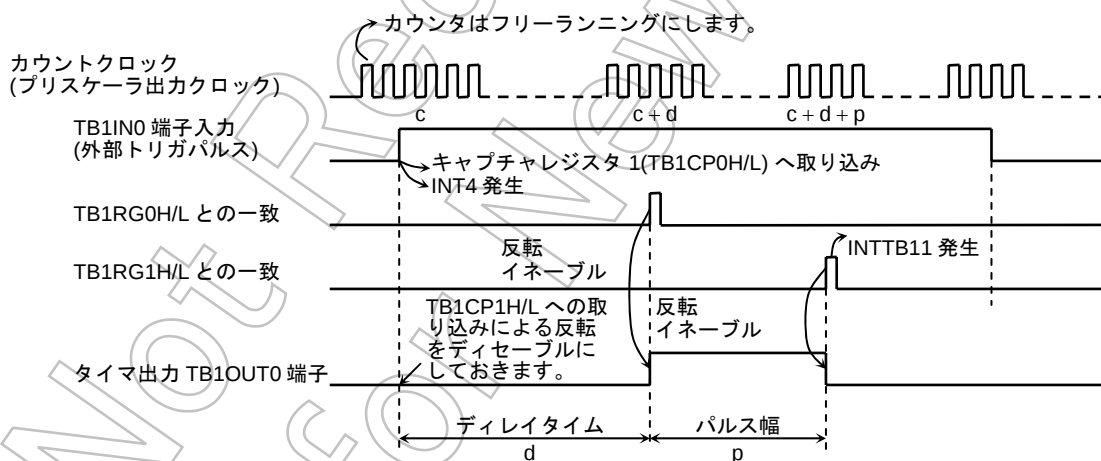


図 3.8.12 外部トリガパルスからのワンショットパルス出力 (ディレイあり)

設定例: TB1IN0 端子からの外部トリガパルスに対して、3 ms ディレイで 2 ms のワンショットパルスを出力する場合

*クロック条件

〔クロックギア: 1/1(f_c)

メインでの設定

TB1MOD	← X X 1 0 1 0 0 1	→ フリーランニングにします。 → $\phi T1$ でカウントさせます。 → TB1IN0 入力の立ち上がりで TB1CP0H/L へ取り込みます。
TB1FFCR	← X X 0 0 0 0 1 0	→ TB1FF0 を 0 にクリアします。 → TB1FF0 の反転をディセーブルにします。
PDCR	← X X X X - 1 - -	} PD2 端子を TB1OUT0 に割り付けます。
PDFC	← X X X X - 1 X X	
INTE45	← X - - - X 1 0 0	INT4 をイネーブルにします。
INTETB1	← X 0 0 0 X 0 0 0	INTTB10, INTTB11 をディセーブルにします。
TB1RUN	← - 0 X X - 1 X 1	TMRB0 を起動します。

INT4 ルーチンでの設定

TB1RG0H/L	← TB1CP0H/L + 3 ms/ $\phi T1$	
TB1RG1H/L	← TB1RG0H/L + 2 ms/ $\phi T1$	
TB1FFCR	← X X - - 1 1 - -	→ TB1RG0H/L, TB1RG1H/L との一致による TB1FF0 の反転をイネーブルにします。
INTETB1	← X 1 0 0 X - - -	INTTB11 をイネーブルにします。

INTTB11 での設定

TB1FFCR	← X X - - 0 0 - -	→ TB1RG0H/L, TB1RG1H/L との一致による TB1FF0 の反転をディセーブルにします。
INTETB1	← X 0 0 0 X - - -	INTTB11 をディセーブルにします。

X: Don't care, -: No change

ディレイが不要な場合、TB1CP0H/L への取り込みによって TB1FF0 を反転させ、割り込み INT4 で TB1CP0H/L の値 (c) にワンショットパルスの幅 (p) を加算した値 (c+p) を TB1RG1H/L に設定します。TB1FF0 は、TB1RG1H/L と UC12 の一致によって反転するように反転イネーブルを選択します。また、INTTB11 割り込みでこれをディセーブルに戻します。

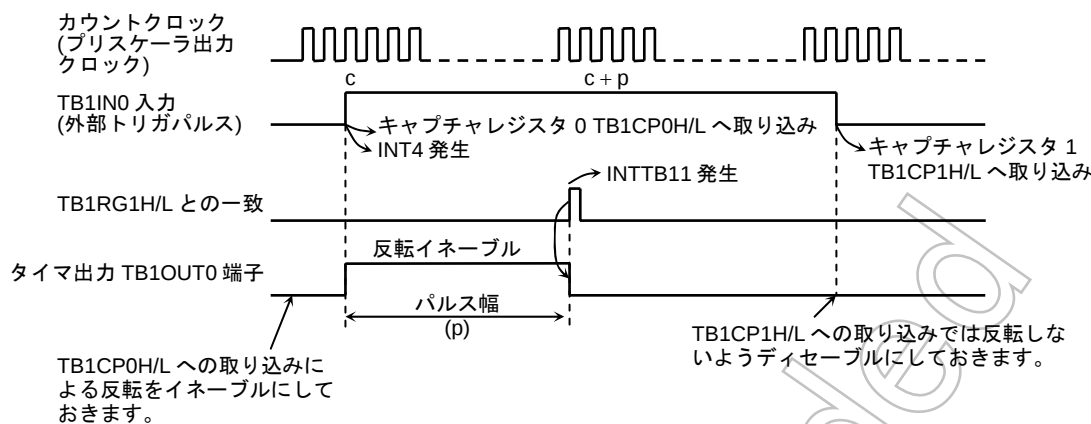


図 3.8.13 ワンショットパルス出力 (ディレイなし)

2. 周波数測定

キャプチャ機能を用いて外部クロックの周波数測定を行うことができます。

周波数測定は、16 ビットイベントカウンタモードと 8 ビットタイマ (TMRA23) を組み合わせて行います (TMRA23 は、TA3FF を反転させることで測定時間の設定に用います)。

TMRB0 のカウントクロックは TB1IN0 端子入力を選択し、外部クロック入力によるカウント動作を行います。TB1MOD<TB1CPM1:0>には“11”を設定します。この設定により、8 ビットタイマ (TMRA23) のタイマフリップフロップ TA3FF の立ち上がりで、キャプチャレジスタ TB1CP0H/L に 16 ビットアップカウンタ UC12 のカウンタ値を取り込み、8 ビットタイマ (TMRA23) の TA3FF の立ち下がりで、キャプチャレジスタ TB1CP1H/L に UC12 のカウンタ値の取り込みを行います。

周波数は、8 ビットタイマの割り込み INTTA2、または INTTA3 で測定時間を基準にして TB1CP0H/L、TB1CP1H/L の差より求めます。

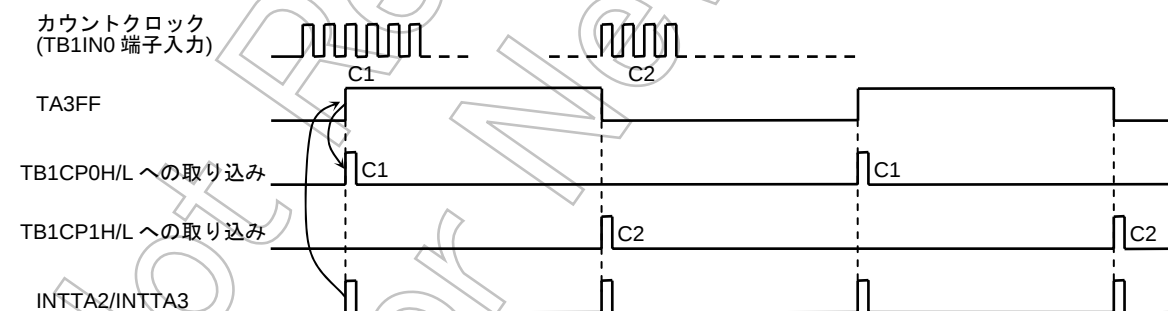


図 3.8.14 周波数測定

例えば、8 ビットタイマによる TA3FF の“1”レベル幅の設定値が 0.5 s で、TB1CP0H/L と TB1CP1H/L の差が 100 であれば、周波数は $100 \div 0.5 \text{ s} = 200 \text{ Hz}$ となります。

3. パルス幅測定

キャプチャ機能を用いて、外部パルスの“H”レベル幅を測定することができます。TB1IN0 端子より外部パルスを入力し、アップカウンタ UC12 をプリスケアラ出力クロックを用いてフリーランニングでカウントアップさせておきます。キャプチャ機能を用いて、外部パルスの立ち上がり/立ち下がり、それぞれのエッジでトリガをかけ、このときのアップカウンタ値をキャプチャレジスタ TB1CP0H/L, TB1CP1H/L に取り込みます。TB1IN0 端子の立ち下がりにより INT4 が発生します。

“H”レベルパルス幅は、TB1CP0H/L と TB1CP1H/L の差を求め、その値に内部クロックの周期をかけることにより求めることができます。

例えば、TB1CP0H/L と TB1CP1H/L の差が 100 で、プリスケアラ出力クロックの周期が $0.8\ \mu\text{s}$ であれば、パルス幅は、 $100 \times 0.8\ \mu\text{s} = 80\ \mu\text{s}$ となります。

なお、クロックソースにより定まる UC12 の最大カウント時間を超えるパルス幅の測定を行う場合は、注意が必要です。この場合、ソフトウェアによる処理を行ってください。

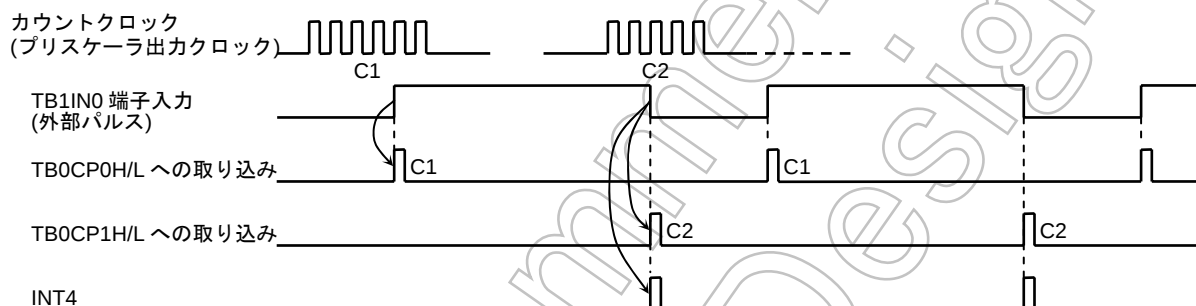


図 3.8.15 パルス幅測定

注) パルス幅測定は、TB1MOD<TB1CPM1:0>に“10”を設定することで行います。外部割り込み INT4 は、TB1IN0 入力の立ち下がりエッジで発生します。その他の設定では、INT4 は TB1IN0 入力の立ち上がりエッジで発生します。

また、外部パルスの“L”レベル幅を測定することもできます。この場合、2 回目の INT4 割り込み処理により、1 回目の C2 と 2 回目の C1 の差に、プリスケアラ出力クロックの周期をかけることにより求めることができます。

4. 時間差測定

キャプチャ機能を用いて、2つの事象の時間差を測定することができます。プリスケアラ出力クロックを用いて、アップカウンタ UC12 をフリーランニングでカウントアップさせておきます。TB1IN0 端子の入力パルスの立ち上がりエッジで、UC12 の値をキャプチャレジスタ TB1CP0H/L に取り込みます。このとき、割り込み INT4 が発生します。

TB1IN0 端子の入力パルスの立ち上がりエッジで、UC12 の値をキャプチャレジスタ TB1CP1H/L に取り込みます。このとき、割り込み INT5 が発生します。

時間差は、キャプチャレジスタの値が取り込み終わった時点で、TB1CP1H/L から TB1CP0H/L を引いた値に、内部クロックの周期をかけて求めることができます。

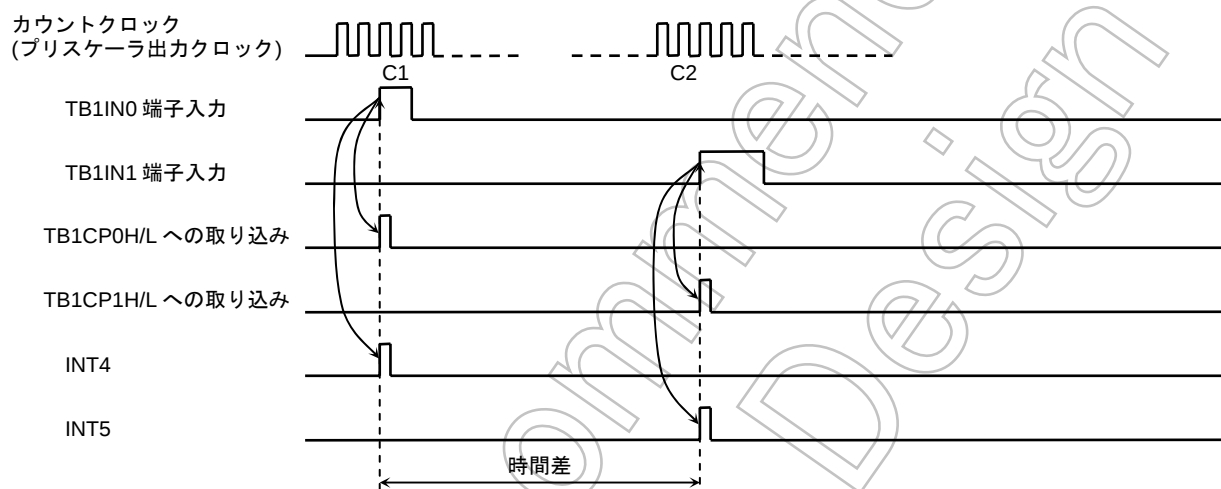


図 3.8.16 時間差測定

3.9 シリアルチャネル (SIO)

シリアル入出力を 2 チャネル内蔵しています。それぞれ SIO0, SIO1 と呼びます。各チャネルは、下記に示すように UART モード (非同期通信) および I/O インタフェースモード (同期通信) を選択できます。

- I/O インタフェースモード ——— モード 0: I/O を拡張するための I/O データの送受信とその同期信号 (SCLK) の送受信を行うモード
- 非同期通信 (UART) モード ———
 - モード 1: 送受信データ長 7 ビット
 - モード 2: 送受信データ長 8 ビット
 - モード 3: 送受信データ長 9 ビット

このうち、モード 1 とモード 2 は、パリティビットの付加が可能で、モード 3 はマスタコントローラがシリアルリンク (マルチコントローラシステム) でスレーブコントローラを起動させるためのウェイクアップ機能を持っています。

図 3.9.2, 図 3.9.3 に、各チャネルのブロック図を示します。

各チャネルは主に、プリスケアラ, シリアルクロック生成回路, 受信バッファとその制御回路, 送信バッファとその制御回路で構成されています。

各チャネルは、それぞれ独立に動作します。いずれのチャネルも、下記に示す表 3.9.1 の仕様相違点を除いて同一の動作をしますので、SIO0 の場合についてのみ説明します。

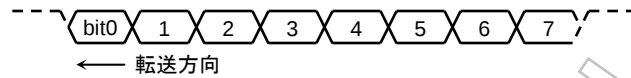
表 3.9.1 SIO のチャネル別仕様相違点

	チャネル 0	チャネル 1
対応端子	TXD0 (PF0) RXD0 (PF1) CTS0 / SCLK0 (PF2)	TXD1 (PF3) RXD1 (PF4) CTS1 / SCLK1 (PF5)
IrDA モード	あり	なし

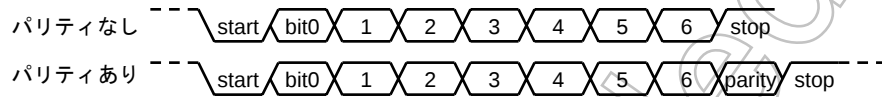
本章は、下記のような構成になっています。

- 3.9.1 チャネル別のブロック図
- 3.9.2 回路別の動作説明
- 3.9.3 SFR説明
- 3.9.4 モード別動作説明
- 3.9.5 IrDAのサポート

- モード0 (I/O インタフェースモード)



- モード1 (7ビットUARTモード)



- モード2 (8ビットUARTモード)



- モード3 (9ビットUARTモード)

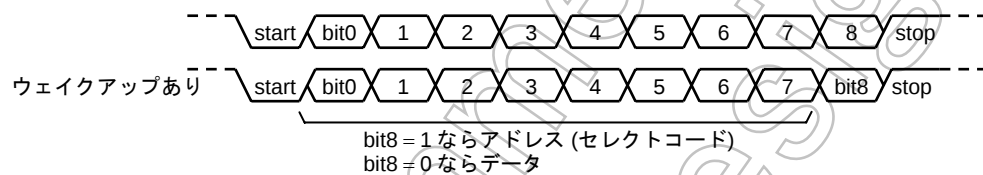


図 3.9.1 データフォーマット

3.9.1 チャンネル別のブロック図

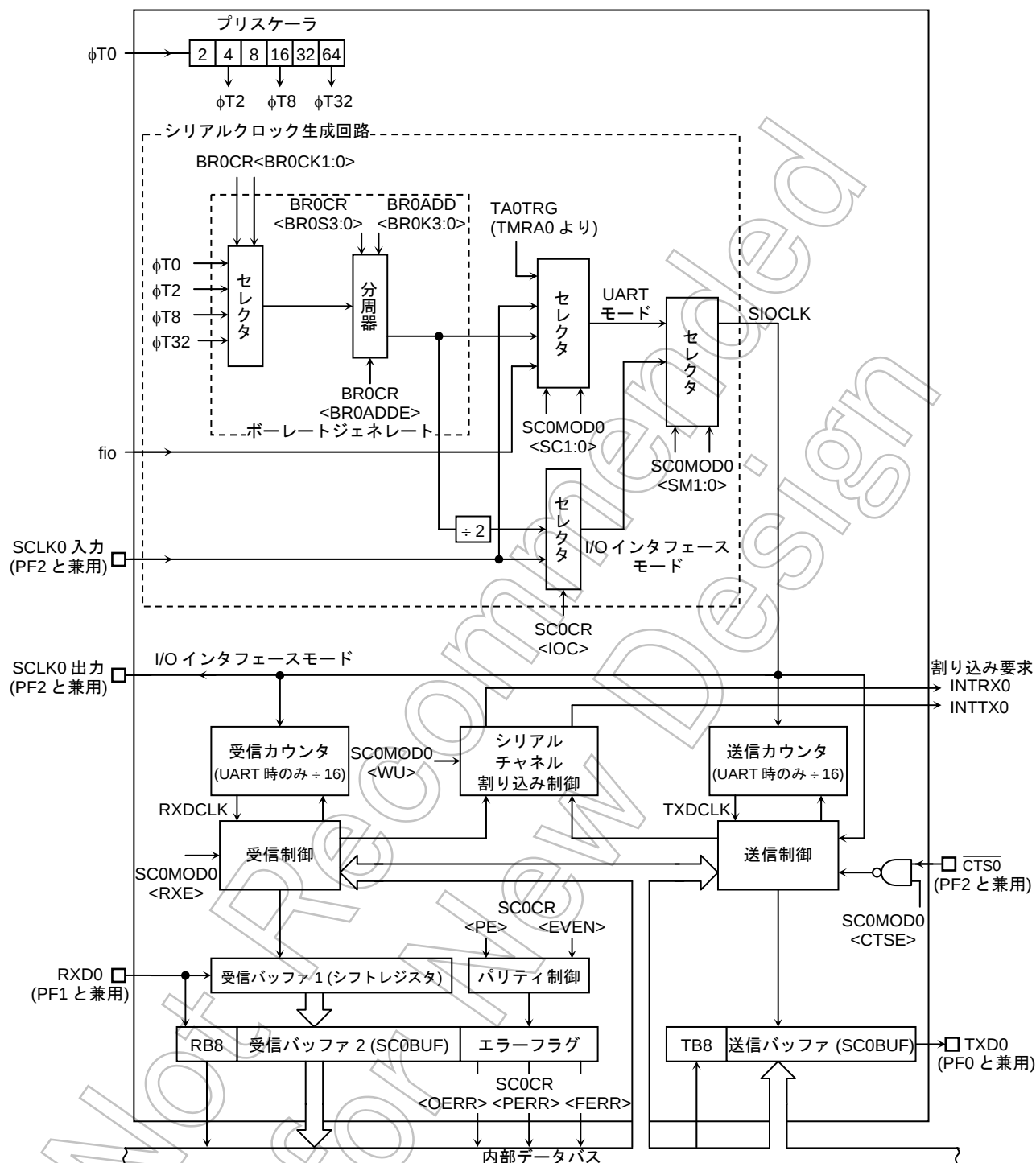


図 3.9.2 SIO0 ブロック図

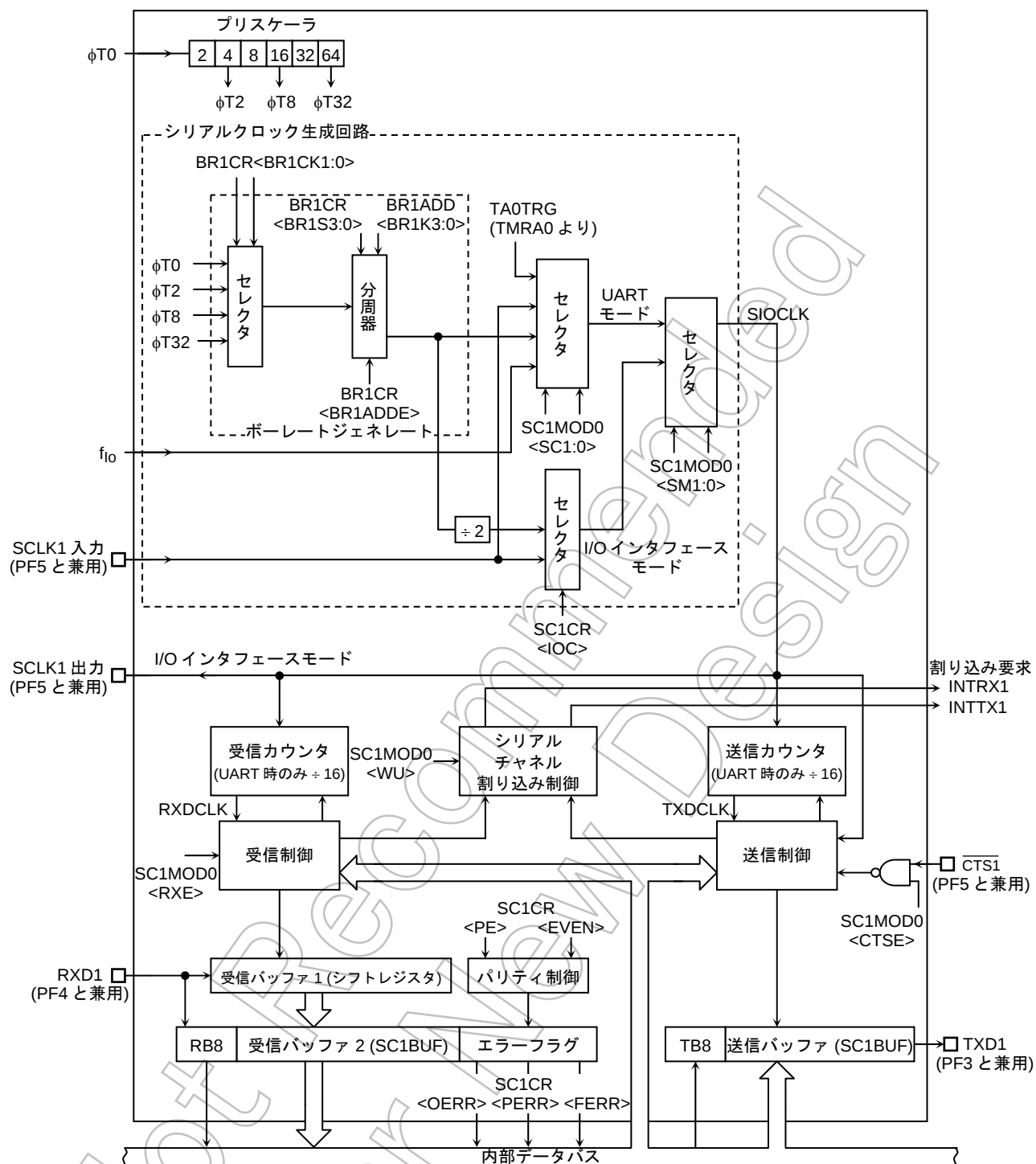


図 3.9.3 SIO1 ブロック図

3.9.2 回路別の動作説明

(1) プリスケーラ

SIO0 の動作クロックを生成するために、6 ビットプリスケーラがあります。プリスケーラの入力クロック $\phi T0$ は、クロックギア部の SYSCR1<GEAR2:0>にて選択したクロック fFPH を 8 分周したクロックです。

プリスケーラは、シリアル転送クロックに、ボーレートジェネレータを選択した場合にのみ、動作します。プリスケーラ出力クロックの分解能を表 3.9.2に示します。

表 3.9.2 ボーレートジェネレータへの入力クロック分解能

-	クロックギア 選択 SYSCR1 <GEAR2:0>	-	ボーレートジェネレータ入力クロック SIO 部プリスケーラ BR0CR<BR0CK1:0>			
			$\phi T0$	$\phi T2$	$\phi T8$	$\phi T32$
fc	000(1/1)	1/8	fc/8	fc/32	fc/128	fc/512
	001(1/2)		fc/16	fc/64	fc/256	fc/1024
	010(1/4)		fc/32	fc/128	fc/512	fc/2048
	011(1/8)		fc/64	fc/256	fc/1024	fc/4096
	100(1/16)		fc/128	fc/512	fc/2048	fc/8192

シリアルインタフェースボーレートジェネレータには、プリスケーラ出力クロックより $\phi T0$ 、 $\phi T2$ 、 $\phi T8$ 、 $\phi T32$ の4種類のクロックが用いられます。

(2)ボーレートジェネレータ

ボーレートジェネレータは、シリアルチャネルの転送速度を定める送受信クロックを生成するための回路です。

ボーレートジェネレータへの入力クロックは6ビットプリスケアラより、 $\phi T0$, $\phi T2$, $\phi T8$, $\phi T32$ を用います。この入力クロックの選択はボーレートジェネレータコントロールレジスタ $BR0CR<BR0CK1:0>$ で設定します。

ボーレートジェネレータは、 $1, N + (16 - K)/16$ 、16 分周が可能な分周器を内蔵しており、 $BR0CR<BR0ADDE><BR0S3:0>$, $BR0ADD<BR0K3:0>$ の設定に従って分周を行い、転送速度を決定します。

- UART モードの場合

- (1) $BR0CR<BR0ADDE> = 0$ の場合

$BR0ADD<BR0K3:0>$ の設定は無視され、 $BR0CR<BR0S3:0>$ に設定された値 “N” に従い N 分周を行います。(N = 1、2、3 … 16)

- (2) $BR0CR<BR0ADDE> = 1$ の場合

$N + (16 - K)/16$ 分周機能がイネーブルになり $BR0CR<BR0S3:0>$ に設定された値 “N” (N = 2、3 … 15)、 $BR0ADD<BR0K3:0>$ に設定された値 “K” に従い $N + (16 - K)/16$ 分周を行います。(K = 1、2、3 … 15)

注) N = 1 および 16 のときは $N + (16 - K)/16$ 分周機能は禁止となりますので、必ず $BR0CR<BR0ADDE> = “0”$ に設定してください。

- I/O インタフェースモードの場合

I/O インタフェースモード時は $N + (16 - K)/16$ 分周機能は使用できません。必ず $BR0CR<BR0ADDE> = “0”$ に設定して N 分周を行ってください。

次に、ボーレートジェネレータを使用した場合のボーレートの算出方法を示します。

- UART モード

$$\text{ボーレート} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 16$$

- I/O インタフェースモード

$$\text{ボーレート} = \frac{\text{ボーレートジェネレータの入力クロック}}{\text{ボーレートジェネレータの分周値}} \div 2$$

- 整数分周 (N 分周) の場合

$f_C = 39.3216 \text{ MHz}$ で入力クロック $\phi T2$ 、分周値 “N” ($BR0CR<BR0S3:0> = 8$ 、 $BR0CR<BR0ADDE> = “0”$) の場合の UART モードのボーレートは、

* クロック条件 $\left[\text{クロックギア: } 1/1 \right]$

$$\text{ボーレート} = \frac{f_C/32}{8} \div 16$$

$$= 39.3216 \times 10^6 \div 16 \div 8 \div 16 = 9600 \text{ (bps)} \text{ となります。}$$

注) $+ (16 - K)/16$ 分周機能は禁止に設定されるため、 $BR0ADD<BR0K3:0>$ の設定は無視されます。

- $N + (16 - K)/16$ 分周 (UART モードのみ) の場合

また、 $f_C = 31.9488 \text{ MHz}$ で入力クロック $\phi T2$ 、分周値 “N” ($BR0CR<BR0S3:0> = 6$ 、“K” ($BR0ADD<BR0K3:0> = 8$ 、 $BR0CR<BR0ADDE> = 1$) の場合のボーレートは、

* クロック条件 $\left[\text{クロックギア: } 1/1 \right]$

$$\text{ボーレート} = \frac{f_C/32}{6 + \frac{(16-8)}{16}} \div 16$$

$$= 31.9488 \times 10^6 \div 32 \div \left(6 + \frac{8}{16} \right) \div 16 = 9600 \text{ (bps)} \text{ となります。}$$

表 3.9.3 に UART モードのボーレートの例を示します。

また、外部クロック入力をシリアルクロックに使用することもできます (シリアルチャネル 0~1)。この場合のボーレートの算出方法を示します。

- UART モード

$$\text{ボーレート} = \text{外部クロック入力} \div 16$$

ただし、(外部クロック入力周期) $\geq 4/f_{SYS}$ を満たす必要があります。

- I/O インタフェースモード

$$\text{ボーレート} = \text{外部クロック入力}$$

ただし、(外部クロック入力周期) $\geq 16/f_{SYS}$ を満たす必要があります。

表 3.9.3 UART ボーレートの選択
(ボーレートジェネレータ使用、BR0CR<BR0ADDE> = 0 の場合)

単位 (kbps)

f _{SYS} [MHz]	入力クロック 分周値 N	φT0 (f _{SYS} /4)	φT2 (f _{SYS} /16)	φT8 (f _{SYS} /64)	φT32 (f _{SYS} /256)
9.8304	2	76.800	19.200	4.800	1.200
↑	4	38.400	9.600	2.400	0.600
↑	8	19.200	4.800	1.200	0.300
↑	10	9.600	2.400	0.600	0.150
12.2880	5	38.400	9.600	2.400	0.600
↑	A	19.200	4.800	1.200	0.300
14.7456	2	115.200	28.800	7.200	1.800
↑	3	76.800	19.200	4.800	1.200
↑	6	38.400	9.600	2.400	0.600
↑	C	19.200	4.800	1.200	0.300
19.6608	1	307.200	76.800	19.200	4.800
↑	2	153.600	38.400	9.600	2.400
↑	4	76.800	19.200	4.800	1.200
↑	8	38.400	9.600	2.400	0.600
↑	10	19.200	4.800	1.200	0.300
22.1184	3	115.200	28.800	7.200	1.800
24.5760	1	384.000	96.000	24.000	6.000
↑	2	192.000	48.000	12.000	3.000
↑	4	96.000	24.000	6.000	1.500
↑	5	76.800	19.200	4.800	1.200
↑	8	48.000	12.000	3.000	0.750
↑	A	38.400	9.600	2.400	0.600
↑	10	24.000	6.000	1.500	0.375

注) I/O インタフェースモード時の転送レートは、本表の値の 8 倍になります。

UART モード時、シリアル送信クロックにタイマの一致出力(TA0TRG)が使用できます。

タイマのトリガ出力使用時に必要なタイマ出力周波数の算出方法

$$\text{TA0TRG の周波数} = \text{ボーレート} \times 16$$

注) I/O インタフェースモードでは、TMRA0 からのトリガ信号を転送クロックとして使用できません。

(3) シリアルクロック生成回路

送受信基本クロックを生成する回路です。

• I/O インタフェースモードの場合

SC0CR<IOC> = “0” の SCLK 出力モードのときは、前記ボーレートジェネレータの出力を 2 分周し、基本クロックをつくります。

SC0CR<IOC> = “1” の SCLK 入力モードのときは、SC0CR<SCLKS>の設定に従って立ち上がり/立ち下がりエッジを検出し、基本クロックをつくります。

• UART (非同期通信) モードの場合

SC0MOD0<SC1:0>の設定により、前記ボーレートジェネレータからのクロックか、システムクロック f_{IO} か、TMRA0 のトリガ出力信号か、または外部クロック (SCLK0 端子) のいずれかを選択し、基本クロック SIOCLK をつくります。

(4) 受信カウンタ

受信カウンタは、UART (非同期通信) モードで用いられる 4 ビットのバイナリカウンタで、SIOCLK でカウントアップされます。データ 1 ビットの受信に SIOCLK が 16 クロック入力され、7, 8, 9 番目でデータをサンプリングします。

3 回のデータサンプリングによる多数決論理によって受信データを判断しています。

例えば、7, 8, 9 番目のクロックで、データが 1, 0, 1 であれば、受信データは “1” と判断され、0, 0, 1 であれば “0” と判断されます。

(5) 受信制御部

• I/O インタフェースモードの場合

SC0CR<IOC> = “0” の SCLK 出力モードのときは、SC0CR<SCLKS>の設定に従って、SCLK0 端子へ出力されるシフトクロックの立ち上がり/立ち下がりエッジで RXD0 端子をサンプリングします。

SC0CR<IOC> = “1” の SCLK 入力モードのときは、SC0CR<SCLKS>の設定に従って、SCLK 入力の立ち上がり/立ち下がりエッジで RXD0 端子をサンプリングします。

• UART (非同期通信) モードの場合

受信制御部は、多数決論理によるスタートビット検出回路を持ち、3 回のサンプリング中、2 回以上 “0” であれば正常なスタートビットと判断し、受信動作を開始します。

データ受信中も、多数決論理により受信データを判断しています。

(6) 受信バッファ

受信バッファは、オーバランエラーを防ぐため二重構造となっています。受信バッファ 1 (シフトレジスタ型) に受信データが 1 ビットずつ格納され、7 ビットまたは 8 ビットのデータがそろると、もう一方の受信バッファ 2 (SC0BUF) へ移されるとともに割り込み INTRX0 が発生します。

CPU は受信バッファ 2 (SC0BUF) を読み出します。CPU が受信バッファ 2 (SC0BUF) を読み出す前でも、受信データは受信バッファ 1 へ格納することができます。

ただし、受信バッファ 1 に次のデータが全ビット受信される前に受信バッファ 2 (SC0BUF) を読み出さなければオーバランエラーとなります。オーバランエラーが発生した場合、受信バッファ 2 および SC0CR<RB8>の内容は保存されていますが、受信バッファ 1 の内容は失われます。

8 ビット UART のパリティ付加の場合のパリティビット、9 ビット UART モードの場合の最上位ビットは SC0CR<RB8>に格納されます。

9 ビット UART の場合、SC0MOD0<WU>を“1”にすることによって、スレーブコントローラのウェイクアップ動作が可能で、SC0CR<RB8>=“1”のときのみ、割り込み INTRX0 が発生します。

(7) 送信カウンタ

送信カウンタは UART (非同期通信) モードで用いられる 4 ビットのバイナリカウンタで受信カウンタ同様 SIOCLK でカウントされ、16 クロックごとに送信クロック TXDCLK を生成します。



図 3.9.4 送信クロックの生成

(8) 送信制御部

- I/O インタフェースモードの場合

SC0CR<IOC>=“0”の SCLK 出力モードのときは、SC0CR<SCLKS>の設定に従って、SCLK0 端子より出力されるシフトクロックの立ち上がり/立ち下がりエッジで送信バッファのデータを 1 ビットずつ TXD0 端子へ出力します。

SC0CR<IOC>=“1”の SCLK 入力モードのときは、SC0CR<SCLKS>の設定に従って、SCLK 入力の立ち上がり/立ち下がりエッジで送信バッファのデータを 1 ビットずつ TXD0 端子へ出力します。

- UART (非同期通信) モード

送信バッファに CPU から送信データが書き込まれると、次の TXDCLK の立ち上がりエッジに同期して送信を開始します。

ハンドシェイク機能

$\overline{\text{CTS0}}$ を使用することにより、1 データフォーマット単位での送信が可能となり、オーバーランエラーの発生を防ぐことができます。この機能は $\text{SC0MOD}<\text{CTSE}>$ によってイネーブル/ディセーブルできます。

送信は $\overline{\text{CTS0}}$ 端子が “H” レベルになると、現在送信中のデータを送信完了後、 $\overline{\text{CTS0}}$ 端子が “L” レベルに戻るまで送信を停止します。ただし、 INTTX0 割り込みは発生し、次の送信データを CPU に要求し、送信バッファにデータを書き込み、送信待機します。

なお、 $\overline{\text{RTS}}$ 端子はありませんが、受信側にて受信が終了したとき (受信割り込みルーチン内) に $\overline{\text{RTS}}$ 機能に割り当てた任意の 1 ポートを “H” レベルにして、送信側に送信の一時停止を要求することにより容易にハンドシェイク機能を構築できます。

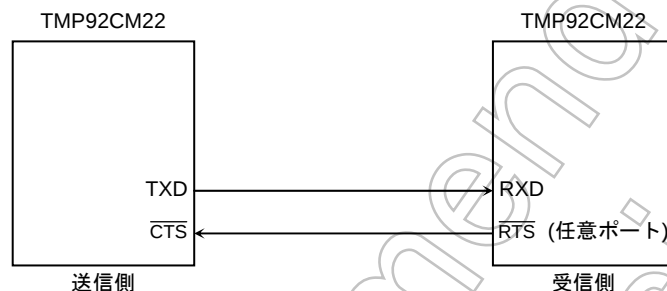
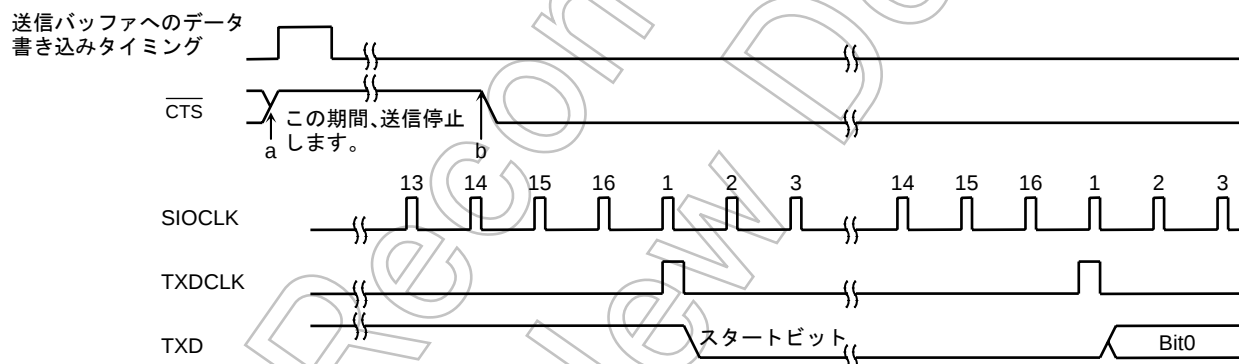


図 3.9.5 ハンドシェイク機能



注1) 送信中に $\overline{\text{CTS}}$ 信号を立ち上げた場合は、送信終了後、次のデータの送信を停止します。

注2) $\overline{\text{CTS}}$ 信号立ち下がり後、最初の TXDCLK クロックの立ち下がりから送信を開始します。

図 3.9.6 $\overline{\text{CTS}}$ (Clear to send) 信号のタイミング

(9) 送信バッファ

送信バッファ SC0BUFはCPUより書き込まれた送信データを最下位ビットから順にシフトアウトし送出されます。全ビットシフトアウトされると、送信バッファエンプティで INTTX0 割り込みが発生します。

(10) パリティ制御回路

シリアルチャネルコントロールレジスタ SC0CR<PE>を“1”にするとパリティ付加の送信を行います。ただし、7ビット UART または 8ビット UART モードのみパリティ付加が可能です。SC0CR<EVEN>レジスタによって偶数 (奇数) パリティを選択することができます。

送信時、パリティ制御回路は送信バッファ SC0BUF に書き込まれたデータにより自動的にパリティを発生し、7ビット UART モードのときは SC0BUF<TB7>に、8ビット UART モードのときは SC0MOD0<TB8>にパリティを格納して送信します。なお、<PE>と<EVEN>の設定は、送信データを送信バッファに書き込む前に行ってください。

受信時、受信バッファ 1 にシフトインされ、受信バッファ 2 (SC0BUF) に移されたデータによりパリティを自動発生し、7ビット UART モードのときは SC0BUF<RB7>のパリティと、8ビット UART モードのときは SC0CR<RB8>のパリティと比較され、異なっているとパリティエラーが発生し、SC0CR<PERR>フラグがセットされます。

(11) エラーフラグ

受信データの信頼性を上げるために3つのエラーフラグが用意されています。

1. オーバランエラー<OERR>

受信バッファ 2 (SCBUF0) に有効データが格納されている状態で受信バッファ 1 に次のデータが全ビット受信されるとオーバランエラーが発生します。

オーバランエラー発生時の処理フロー例を下記に示します。

(受信割り込みルーチン)

- 1) 受信バッファをリードする
- 2) エラーフラグをリードする
- 3) if <OERR> = “1”
then
- 4) 受信禁止に設定(<RXE>に “0” をライト)
- 5) 現フレームの終了待ち
- 6) 受信バッファのリード
- 7) エラーフラグのリード
- 8) 受信許可に設定(<RXE>に “1” をライト)
- 9) 再送信要求
- 10) その他の処理

2. パリティエラー<PERR>

受信バッファ 2 (SCBUF0) に移されたデータから発生したパリティと、RXD 端子より受信したパリティビットとを比較し、異なっているとパリティエラーが発生します。

3. フレーミングエラー<FERR>

受信データのストップビットを中央付近で 3 回サンプリングし、多数決した結果が“0”の場合、フレーミングエラーが発生します。

(12) 各信号発生タイミング

1. UART モードの場合

受信

モード	9 ビット	8 ビット + パリティ	8 ビット, 7 ビット + パリティ, 7 ビット
割り込み発生タイミング	最終ビット (ビット 8) の中央付近	最終ビット (パリティビット) の中央付近	ストップビットの中央付近
フレーミングエラー発生タイミング	ストップビットの中央付近	ストップビットの中央付近	ストップビットの中央付近
パリティエラー発生タイミング	—	最終ビット (パリティビット) の中央付近	ストップビットの中央付近
オーバランエラー発生タイミング	最終ビット (ビット 8) の中央付近	最終ビット (パリティビット) の中央付近	ストップビットの中央付近

注 1) 9 ビットモード, 8 ビット + パリティモードでは、割り込みは 9 ビットめと同時に発生します。そのため、割り込み発生後、1 ビット転送分 (ストップビットが転送されるまで) 時間をおいてフレーミングエラーのチェックをしてください。

注 2) 受信割り込み発生位置およびエラー発生位置は、通信速度が速いほど中央付近より、後になります。

送信

モード	9 ビット	8 ビット + パリティ	8 ビット, 7 ビット + パリティ, 7 ビット
割り込み発生タイミング	ストップビット送出の直前	←	←

2. I/O インタフェースモードの場合

送信割り込み発生タイミング	SCLK 出力モード	最終ビット終了直後 (図 3.9.19 参照)
	SCLK 入力モード	最終 SCLK の立ち上がり直後 (立ち上がりモード)、立ち下がりモードでは立ち下がり直後 (図 3.9.20 参照)
受信割り込み発生タイミング	SCLK 出力モード	受信バッファ 2 (SC0BUF) へ受信データを移すタイミング (最終 SCLK の直後) (図 3.9.21 参照)
	SCLK 入力モード	受信バッファ 2 (SC0BUF) へ受信データを移すタイミング (最終 SCLK の直後) (図 3.9.22 参照)

3.9.3 SFR 説明

SC0MOD0
(1202H)

	7	6	5	4	3	2	1	0
Bit symbol	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機 能	送信データ ビット 8	ハンドシェイク機能制 御 0: CTS 禁止 1: CTS 許可	受信制御 0: 受信禁止 1: 受信許可	ウェイク アップ機能 0: 禁止 1: 許可	シリアル転送モード 00: I/O インタフェース モード 01: 7 ビット長 UART モード 10: 8 ビット長 UART モード 11: 9 ビット長 UART モード		シリアル転送クロック (UART 用) 00: TA0TRG 01: ボーレート ジェネレータ 10: 内部クロック f_{IO} 11: 外部クロック (SCLK0 入力)	

→ シリアル転送クロック (UART 用)

00	TMRA0 のトリガ出力信号
01	ボーレートジェネレータ
10	内部クロック f_{IO}
11	外部クロック (SCLK0 入力)

注) I/O インタフェースモード時は、シリアルコントロールレジスタ (SC0CR) でクロックを選択します。

→ シリアル転送モード

00	I/O インタフェースモード	
01	UART モード	7 ビット長
10		8 ビット長
11		9 ビット長

→ ウェイクアップ機能

	9 ビット UART	その他のモード
0	受信するごとに割り込み	Don't care
1	SC0CR<RB8> = 1 のときのみ割り込み	

→ 受信制御

0	受信禁止
1	受信許可

→ ハンドシェイク機能 (CTS 端子)

0	ディセーブル (常時送信可能)
1	イネーブル

→ 送信データビット 8

図 3.9.7 シリアルモードコントロールレジスタ 0 (SIO0 用、SC0MOD0)

SC1MOD0
(120AH)

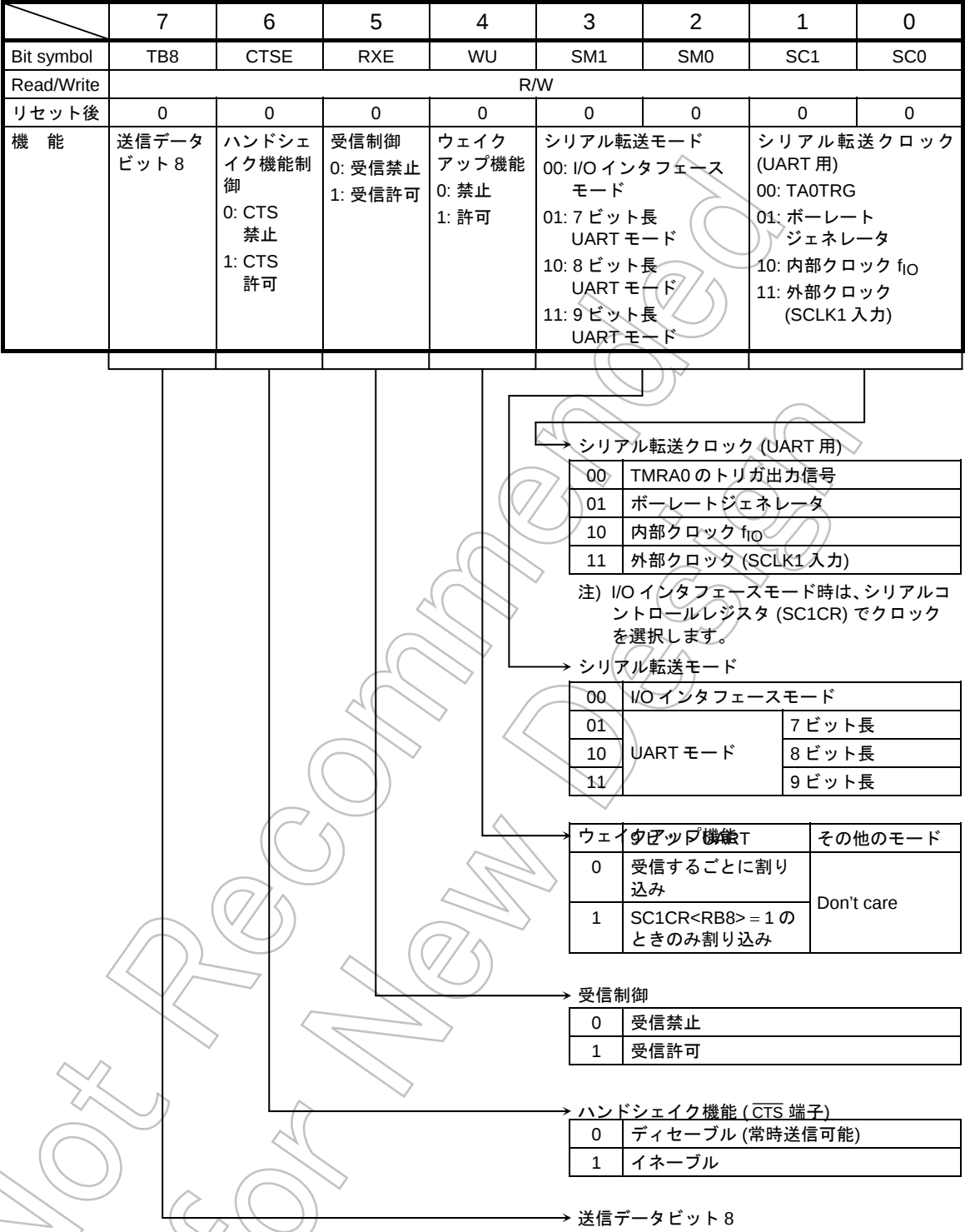
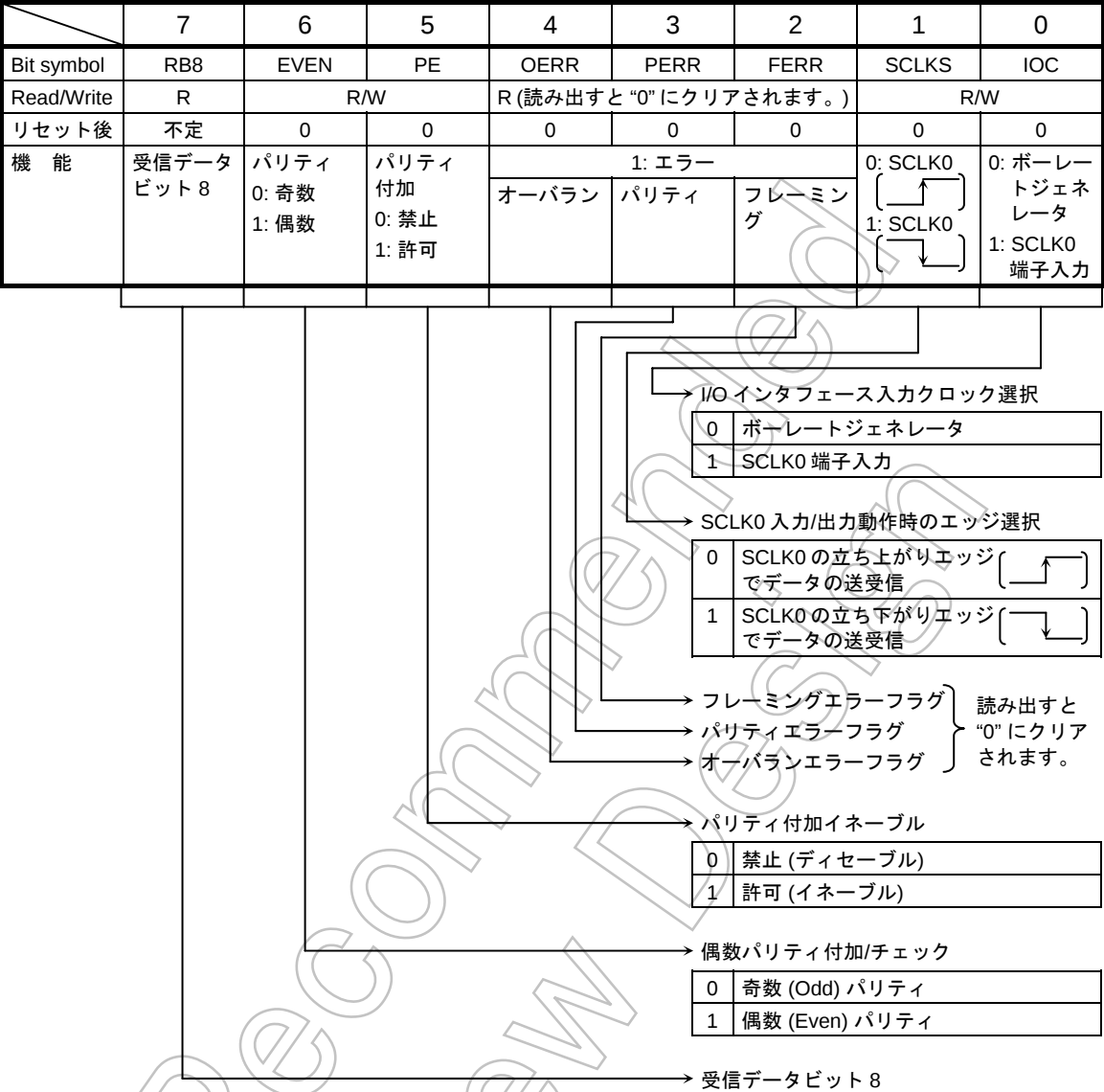


図 3.9.8 シリアルモードコントロールレジスタ (SIO1 用、SC1MOD)

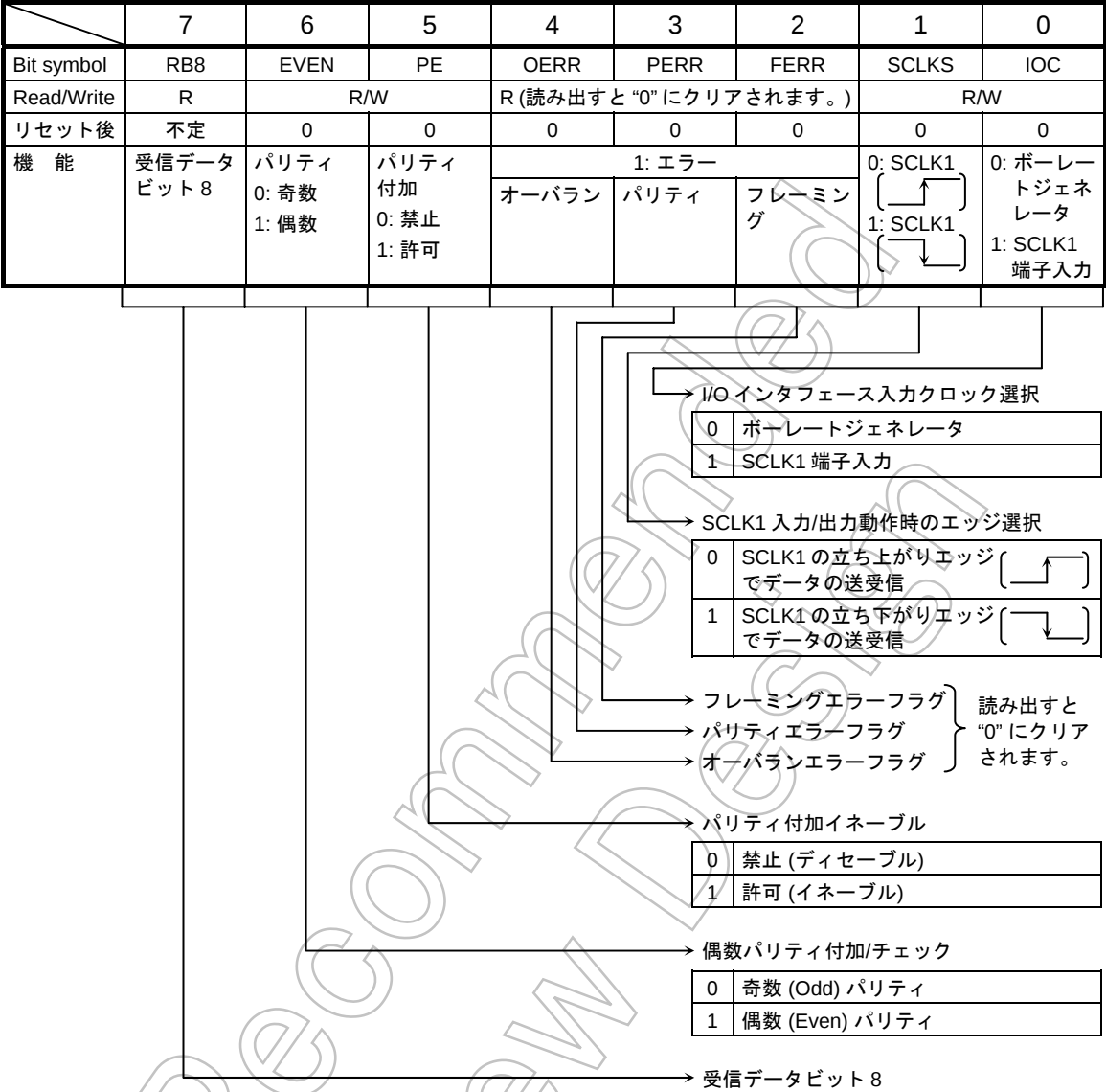
SC0CR
(1201H)



注) エラーフラグは読み出されるとすべてクリアされるため、ビットテスト命令を用いて 1 ビットのみのテストは行わないでください。

図 3.9.9 シリアルコントロールレジスタ (SIO0 用、SC0CR)

SC1CR
(1209H)



注) エラーフラグは読み出されるとすべてクリアされるため、ビットテスト命令を用いて 1 ビットのみのテストは行わないでください。

図 3.9.10 シリアルコントロールレジスタ (SIO1 用、SC1CR)

BR0CR
(1203H)

	7	6	5	4	3	2	1	0
Bit symbol	–	BR0ADDE	BR0CK1	BR0CK0	BR0S3	BR0S2	BR0S1	BR0S0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	“0”をライトしてください。	+ (16 – K)/16 分周機能 0: 禁止 1: 許可	00: $\phi T0$ 01: $\phi T2$ 10: $\phi T8$ 11: $\phi T32$	分周値 N の設定				

+ (16 – K)/16 分周機能イネーブル

0	禁止 (ディセーブル)
1	許可 (イネーブル)

ポーレートジェネレータの入カクロックの選択

00	内部クロック $\phi T0$
01	内部クロック $\phi T2$
10	内部クロック $\phi T8$
11	内部クロック $\phi T32$

BR0ADD
(1204H)

	7	6	5	4	3	2	1	0
Bit symbol					BR0K3	BR0K2	BR0K1	BR0K0
Read/Write					R/W			
リセット後					0	0	0	0
機能					N + (16 – K)/16 分周の K 値の設定			

ポーレートジェネレータの分周値の設定 ←

	BR0CR<BR0ADDE> = 1	BR0CR<BR0ADDE> = 0
BR0CR <BR0S3:0>	0000 (N = 16) または 0001 (N = 1)	0010 (N = 2) 1111 (N = 15)
BR0ADD <BR0K3:0>	0000 0001 (K = 1) 1111 (K = 15)	0001 (N = 1) (UART のみ) 1111 (N = 15) 0000 (N = 16)
0000	禁止	禁止
0001 (K = 1) 1111 (K = 15)	禁止	N 分周

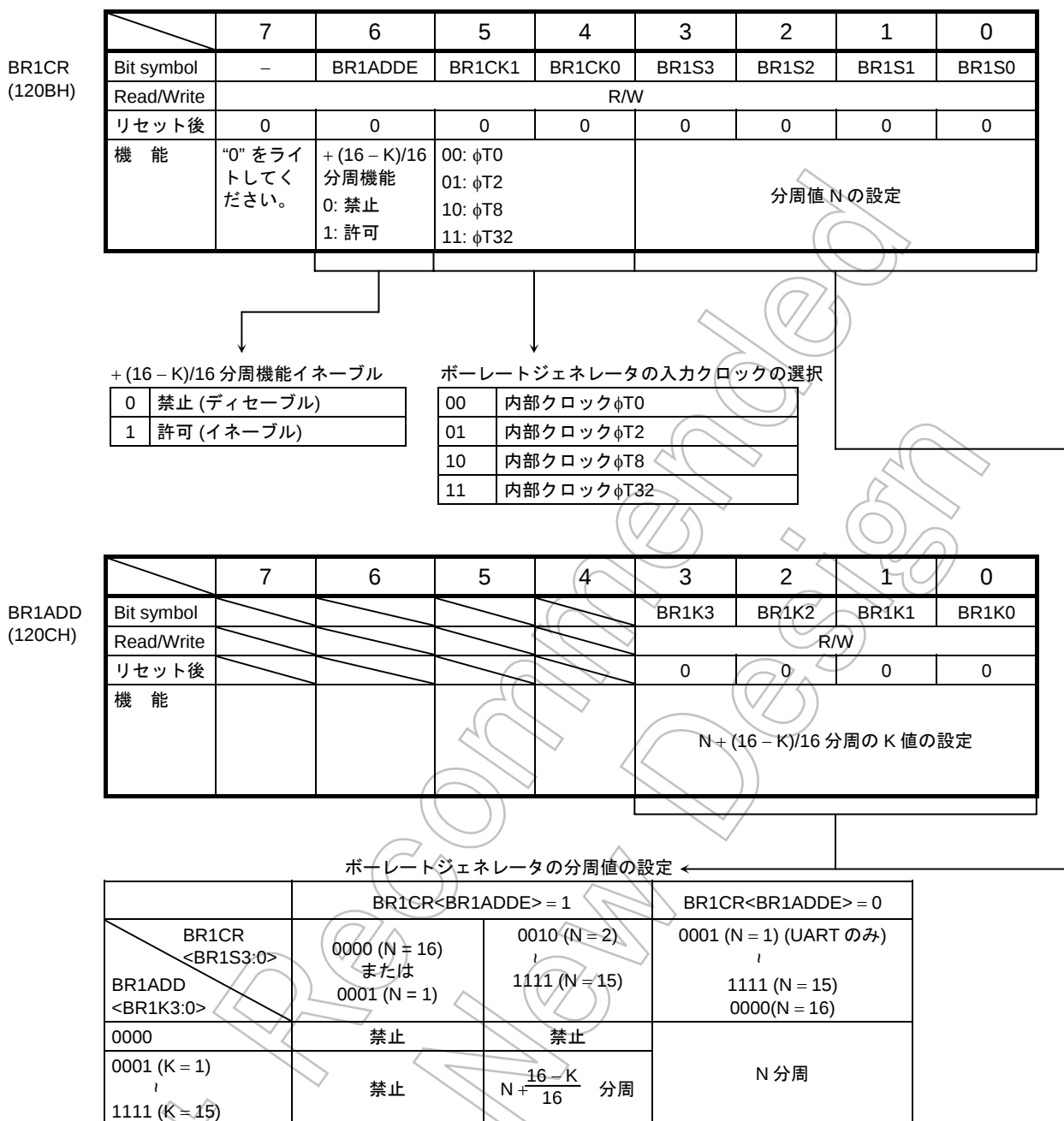
注 1) + (16 – K)/16 分周の使用可否

N	UART モード	I/O モード
2 ~ 15	○	×
1, 16	×	×

ポーレートジェネレータ分周値の“1”分周は UART モードで、+ (16 – K)/16 分周機能を使用しないときのみ設定可能です。I/O インタフェースでは設定しないでください。

注 2) + (16 – K)/16 分周機能を使用する場合、必ず BR0ADD <BR0K3:0> に K 値 (K = 1~15) を設定後に BR0CR <BR0ADDE> = “1” を設定してください。BR0ADD レジスタの未使用ビットは、ライトしても動作に影響ありません。リード時は、不定です。

図 3.9.11 ポーレートジェネレータコントロール (SIO0 用、BR0CR, BR0ADD)



注 1) + (16 - K)/16 分周の使用可否

N	UART モード	I/O モード
2 ~ 15	○	×
1, 16	×	×

ポーレートジェネレータ分周値の“1”分周は UART モードで、+ (16 - K)/16 分周機能を使用しないときのみ設定可能です。I/O インタフェースでは設定しないでください。

注 2) + (16 - K)/16 分周機能を使用する場合、必ず BR1ADD <BR1K3:0> に K 値 (K = 1~15) を設定後に BR1CR <BR1ADDE> = “1” を設定してください。BR1ADD レジスタの未使用ビットは、ライトしても動作に影響ありません。リード時は、不定です。

図 3.9.12 ポーレートジェネレータコントロール (SIO1 用、BR1CR, BR1ADD)



図 3.9.13 シリアル送受信バッファレジスタ (SIO0 用、BR0CR)

	7	6	5	4	3	2	1	0
Bit symbol	I2S0	FDPX0						
Read/Write	R/W							
リセット後	0	0						
機 能	IDLE2 0: 停止 1: 動作	同期式 0: 半二重 1: 全二重						

図 3.9.14 シリアルモードコントロールレジスタ 1 (SIO0 用、SC0MOD1)



図 3.9.15 シリアル送受信バッファレジスタ (SIO1 用、SC1BUF)

	7	6	5	4	3	2	1	0
Bit symbol	I2S1	FDPX1						
Read/Write	R/W							
リセット後	0	0						
機 能	IDLE2 0: 停止 1: 動作	同期式 0: 半二重 1: 全二重						

図 3.9.16 シリアルモードコントロールレジスタ 1 (SIO1 用、SC1MOD1)

3.9.4 モード別動作説明

(1) モード 0 (I/O インタフェース モード)

このモードは、入出力端子 (I/O) 数を増やす場合に使用され、外部に接続されるシフトレジスタなどとデータの送受信を行います。

このモードには、同期クロック SCLK を出力する SCLK 出力モードと、外部より同期クロック SCLK を入力する SCLK 入力モードがあります。

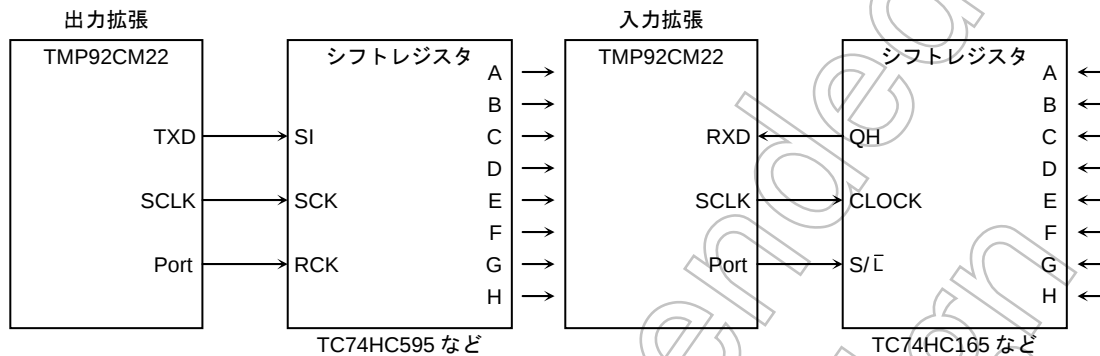


図 3.9.17 SCLK 出力モード接続例

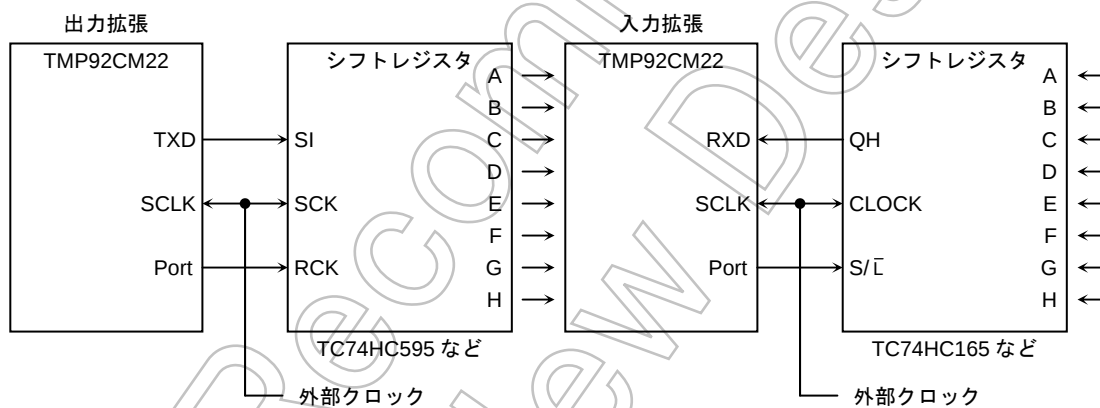


図 3.9.18 SCLK 入力モード接続例

1. 送信

SCLK 出力モードでは、CPU が送信バッファにデータを書き込むたびに、8 ビットのデータが TXD0 端子、同期クロックが SCLK0 端子より出力されます。データがすべて出力されると、INTES0<ITX0C>がセットされ、割り込み INTTX0 が発生します。

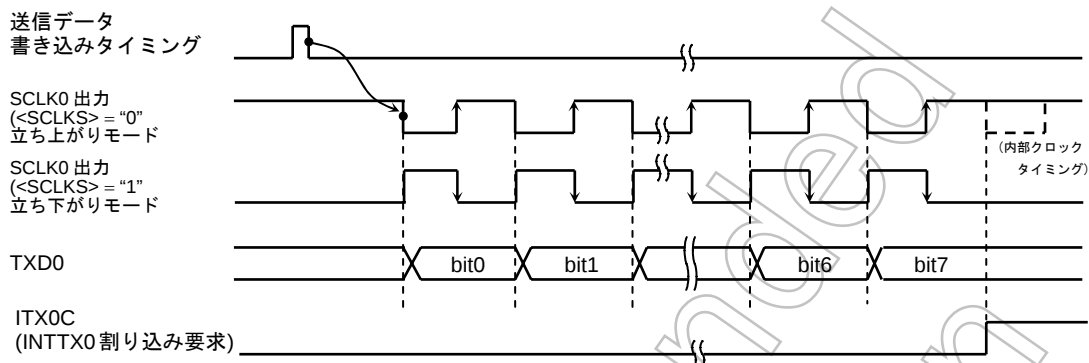


図 3.9.19 I/O インタフェースモード送信動作 (SCLK0 出力モード)

SCLK 入力モードでは、CPU により送信バッファにデータが書き込まれている状態で SCLK0 入力がアクティブになると、8 ビットのデータが TXD0 端子より出力されます。

データがすべて出力されると、INTES0<ITX0C>がセットされ割り込み INTTX0 が発生します。

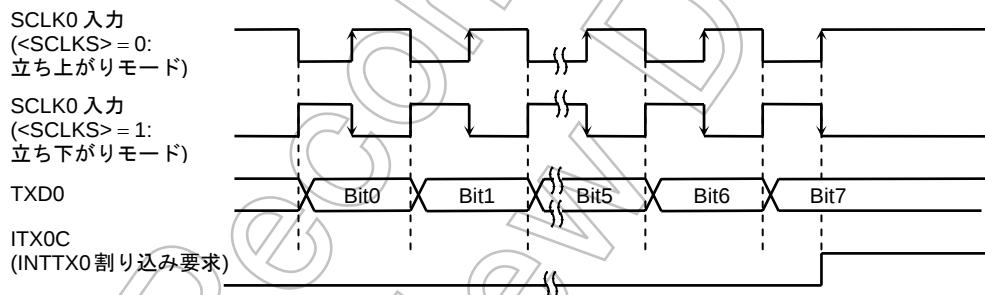


図 3.9.20 I/O インタフェースモード送信動作 (SCLK0 入力モード)

2. 受信

SCLK 出力モードでは受信データが CPU に読み取られ、受信割り込みフラグ $INTES0<IRX0C>$ がクリアされるたびに、SCLK0 端子より同期クロックが出力され次のデータが受信バッファ 1 にシフトインされます。8 ビットデータが受信されると、データは受信バッファ 2 (SC0BUF) に移され、再び $INTES0<IRX0C>$ がセットされて割り込み $INTRX0$ が発生します。

最初の SCLK 出力の開始は、SC0MOD0<RXE>を“1”にセットすることで行います。

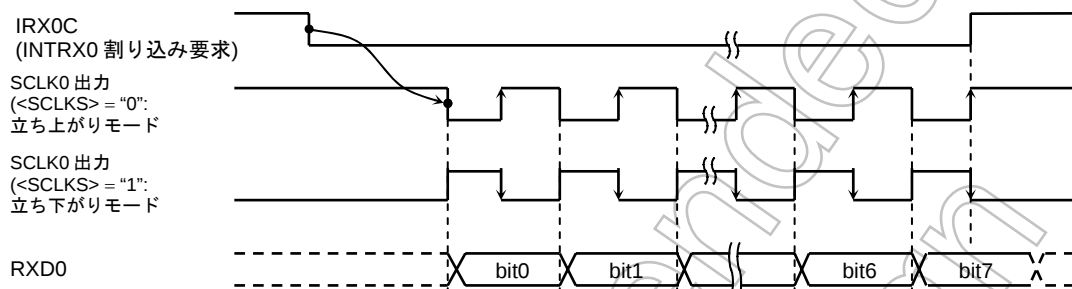


図 3.9.21 I/O インタフェースモード受信動作 (SCLK0 出力モード)

SCLK 入力モードでは受信データが CPU に読み取られ、受信割り込みフラグ $INTES0<IRX0C>$ がクリアされている状態で、SCLK0 入力がアクティブになると、次のデータが受信バッファ 1 にシフトインされます。8 ビットデータが受信されると、データは受信バッファ 2 (SC0BUF) に移され、再び $INTES0<IRX0C>$ がセットされて割り込み $INTRX0$ が発生します。

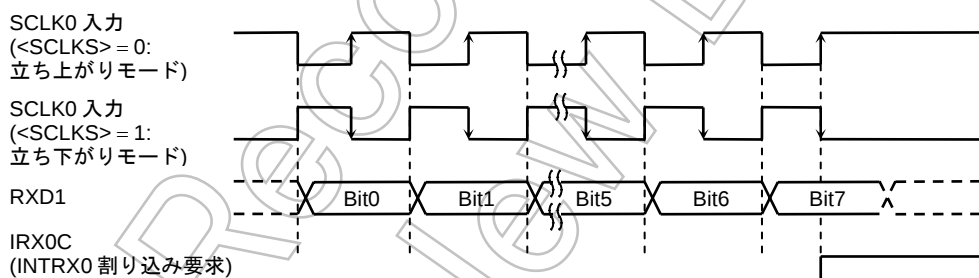


図 3.9.22 I/O インタフェースモード受信動作 (SCLK0 入力モード)

注) 受信動作を行う場合には、SCLK 入/出力どちらのモードでも受信イネーブル状態 ($SC0MOD<RXE> = 1$) にしておく必要があります。

3. 送受信 (全二重)

全二重モードで、送受信を行う場合は、必ず受信割り込みレベルを“0”に設定し、送信割り込みのみに割り込みレベル (“1”~“6” のいずれか) を設定してください。

受信処理は、送信割り込み処理ルーチン内で、上記例のように、送信データセットの前に行ってください。

例: チャンネル 0, SCLK 出力
9600 bps で送受信を行う場合
 $f_C = 4.9152 \text{ MHz}$

クロック条件: クロック $1/1(f_C)$

メインルーチンでの設定

	7	6	5	4	3	2	1	0
INTES0	0	0	0	1	0	0	0	0
PFCR	—	—	—	—	—	1	0	1
PFFC	—	—	—	—	—	1	—	1
SC0MOD0	0	0	0	0	0	0	0	0
SC0MOD1	1	1	0	0	0	0	0	0
SC0CR	0	0	0	0	0	0	0	0
BR0CR	0	0	0	1	1	0	0	0
SC0MOD0	0	0	1	0	0	0	0	0
SC0BUF	*	*	*	*	*	*	*	*

INTTX0 レベルを 1 に、INTRX0 レベルを 0 に設定します。
PF0 (TXD0), PF1 (RXD0), PF2 (SCLK0) に設定します。

I/O インタフェースモードに設定します。
全二重モードにセットします。
SCLK 出力、立ち上がりエッジ選択します。

9600 bps に設定します。
受信許可にします。
送信データをセットします。

送信割り込みルーチン

Acc SC0BUF	
SC0BUF	* * * * *
X: Don't care, —: No change	

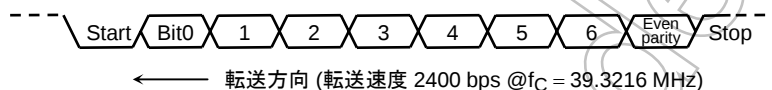
受信データを読みます。
送信データをセットします。

(2) モード 1 (7 ビット UART モード)

シリアルチャネルモードレジスタ SC0MOD0<SM1:0>を 01 にセットすると 7 ビット UART モードになります。

このモードではパリティビットの付加が可能で、シリアルチャネルコントロールレジスタ SC0CR<PE>でパリティビット付加のイネーブル/ディセーブルを制御しています。<PE> = 1 (イネーブル) のときは、SC0CR<EVEN>で偶数パリティ/奇数パリティを選択できます。

例: 下記フォーマットのデータを送信する場合の各コントロールレジスタの設定を示します。



*クロック条件

[クロックギア: 1/1(f_C)

	7	6	5	4	3	2	1	0
PFCR	←	-	-	-	-	-	-	1
PFFC	←	-	-	-	-	-	-	1
SC0MOD	←	X	0	-	X	0	1	0
SC0CR	←	X	1	1	X	X	X	0
BROCR	←	0	0	1	0	1	0	0
INTES0	←	1	1	0	0	-	-	-
SC0BUF	←	*	*	*	*	*	*	*

X: Don't care, -: No change

} PF0をTXD0端子とします。

7ビットUARTモードに設定します。

偶数パリティを付加します。

2400 bps に設定します。

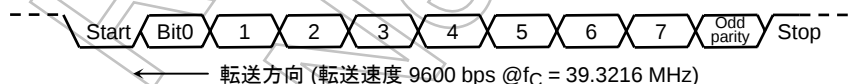
INTTX0 割り込みをイネーブル、レベル 4 にします。

送信データをセットします。

(3) モード 2 (8 ビット UART モード)

SC0MOD0<SM1:0>を 10 にセットすると 8 ビット UART モードになります。このモードでは、パリティビットの付加が可能で SC0CR<PE>でパリティビット付加のイネーブル/ディセーブルを制御できます。<PE> = 1 (イネーブル) のとき、SC0CR<EVEN>で偶数パリティ/奇数パリティの選択も可能です。

例: 下記のフォーマットのデータを受信する場合の各コントロールレジスタの設定を示します。



*クロック条件

[クロックギア: 1/1(f_C)

メインルーチンでの設定

	7	6	5	4	3	2	1	0
PFCR	←	-	-	-	-	-	0	-
SC0MOD	←	-	0	1	X	1	0	0
SC0CR	←	X	0	1	X	X	X	0
BROCR	←	0	0	0	1	1	0	0
INTES0	←	-	-	-	-	1	1	0

PF1 (RXD0) を入力端子にします。

8 ビット UART モード、受信イネーブルにします。

奇数パリティ付加に設定します。

9600 bps に設定します。

INTTX0 割り込みをイネーブル、レベル 4 に設定します。

割り込みルーチンでの処理例

```
Acc ← SC0CR AND 00011100
if Acc ≠ 0 then ERROR
Acc ← SC0BUF
```

} エラーチェックを行います。

受信データを読み取ります。

X: Don't care, -: No change

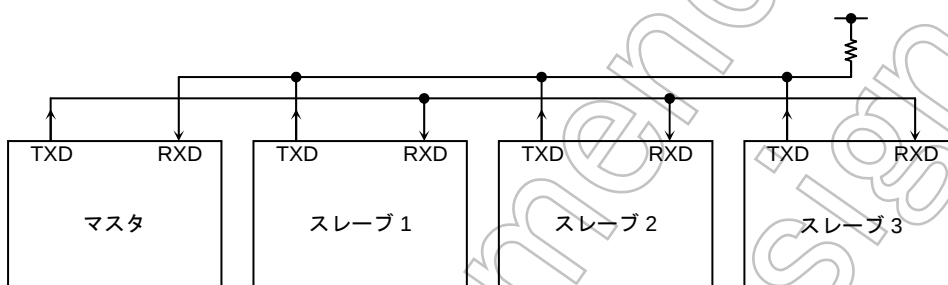
(4) モード 3 (9 ビット UART)

SC0MOD0<SM1:0>を 11 にセットすると、9 ビット UART モードになります。このモードでは、パリティビットの付加はできません。

最上位ビット (9 ビット目) は、送信の場合シリアルチャネルモードレジスタの<TB8>に書き込み、受信の場合シリアルチャネルコントロールレジスタの<RB8>に格納されます。また、バッファに対する書き込み、読み出しは必ず最上位ビットの方を先に行い、SC0BUFの方を後にします。

ウェイクアップ機能

9 ビット UART モードでは、SC0MOD0<WU>を“1”にすることによってスレーブコントローラのウェイクアップ動作が可能で、<RB8>=1のときのみ割り込み INTRX0 が発生します。

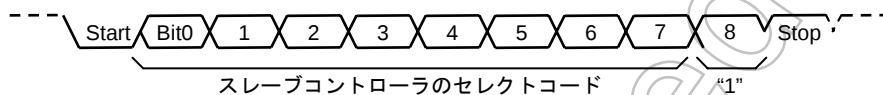


注) スレーブコントローラの TXD 端子は、必ず ODE レジスタを設定してオープンドレイン出力モードにしてください。

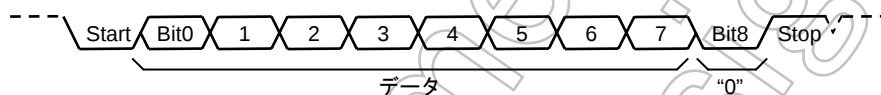
図 3.9.23 ウェイクアップ機能によるシリアルリンク

プロトコル

1. マスタおよびスレーブコントローラは 9 ビット UART モードにします。
2. 各スレーブコントローラは SC0MOD<WU>を “1” にセットし、受信可能状態とします。
3. マスタコントローラは、スレーブコントローラのセレクトコード (8 ビット) を含む 1 フレームを送信します。このとき最上位ビット (ビット 8) <TB8>は “1” にします。

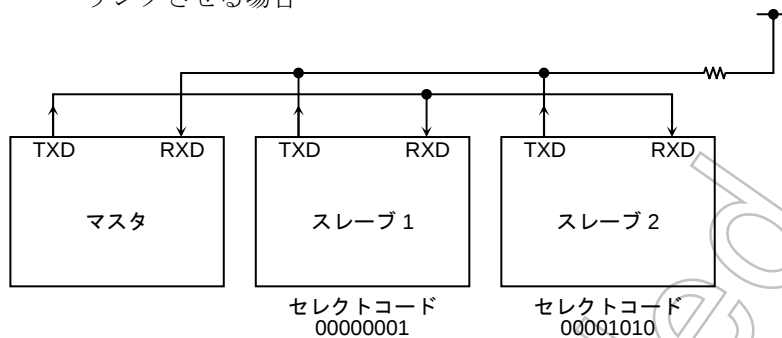


4. 各スレーブコントローラは、上記フレームを受信し、自分のセレクトコードと一致すれば、WU ビットを “0” にクリアします。
5. マスタコントローラは指定したスレーブコントローラ (SC0MOD<WU>=0 にクリアされたコントローラ) に対しデータを送信します。このとき、最上位ビット (ビット 8) <TB8>は “0” にします。



6. WU=1 のままのスレーブコントローラは、受信データの最上位ビット (ビット 8) の <RB8>が “0” であるため割り込み INTRX0 が発生せず、受信データを無視します。また、<WU>=0 になったスレーブコントローラがマスタコントローラにデータを送信し、この送信データで受信終了をマスタコントローラに知らせることもできます。

設定例: 内部クロック f_{IO} を転送クロックとして 2 つのスレーブコントローラとシリアルリンクさせる場合



● マスタコントローラの設定

メインルーチン

```
PFCR    ←  - - - - - 0 1
PFFC    ←  - - - - - X 1
INTES0   ←  1 1 0 0 1 1 0 1
```

PF0 を TXD0、PF1 を RXD0 端子にします。

INTTX0 をイネーブル、割り込みレベルを 4 に設定します。

INTRX0 をイネーブル、割り込みレベルを 5 に設定します。

9 ビット UART モード、転送クロックを f_{IO} に設定します。

スレーブ 1 のセレクトコードをセットします。

```
SC0MOD0 ←  1 0 1 0 1 1 1 0
SC0BUF   ←  0 0 0 0 0 0 0 1
```

割り込みルーチン (INTTX0)

```
SC0MOD0 ←  0 - - - - -
SC0BUF   ←  * * * * *
```

TB8 を "0" にします。

送信データをセットします。

● スレーブの設定

メインルーチン

```
PFCR    ←  - - - - - 0 0
PFFC    ←  - - - - - X 1
```

PF0 を TXD (オープンドレイン出力) PC1 を RXD にします。

```
INTES0   ←  1 1 0 1 1 1 1 0
SC0MOD0 ←  0 0 1 1 1 1 1 0
```

INTTX0, INTRX0 をイネーブルにします。

9 ビット UART モード転送クロック f_{IO} で、<WU> = "1" に設定します。

割り込みルーチン (INTRX0)

```
Acc ← SC0BUF
if Acc = セレクトコード
Then  ←  - - - 0 - - - -
SC0MOD0
```

<WU> = "0" にクリアします。

3.9.5 IrDA のサポート

SIO0 には、赤外線データ通信規格である「IrDA1.0」のハードウェア規格をサポートするためのデータ変復調機能があります。図 3.9.23 に、構成図を示します。

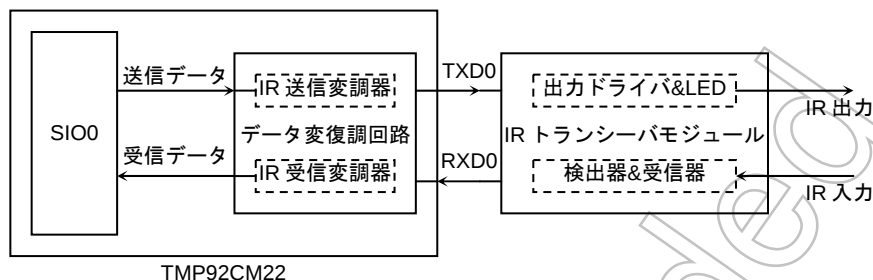


図 3.9.24 IrDA の構成図

(1) 送信データの変調

送信データが“0”のときは、ボーレート周期の $\frac{3}{16}$ 倍の幅、または $\frac{1}{16}$ 倍の幅（選択はソフトウェアで可）の High レベルを出力し、データが“1”のときは、Low レベルを出力します。

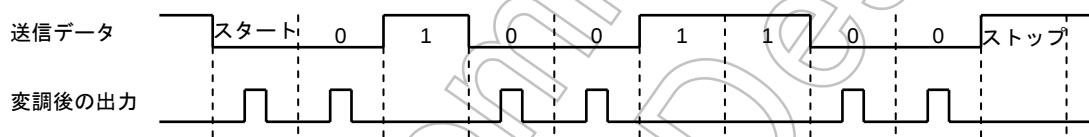


図 3.9.25 送信データの変調例

(2) 受信データの復調

入力されたパルスが、有効な High レベル幅（ソフトウェアで幅の設定が可）のときは、SIO0 に対して“0”を出力し、それ以外の場合は、“1”を出力します。

また、受信パルスの論理を SIRC<RXSEL>にて逆に設定可能です。

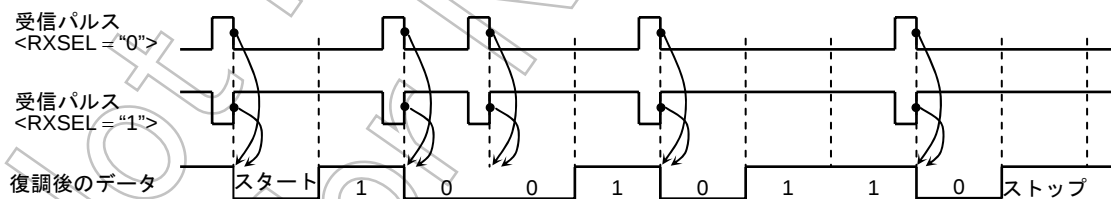


図 3.9.26 受信データの復調例

(3) データのフォーマット

データの送受信フォーマットは必ず、データ長 8 ビット、パリティビットなし、ストップビット 1 ビットに設定してください。

それ以外の設定では、正常動作は保証できません。

(4) SFR 説明

図 3.9.27 にコントロールレジスタを示します。このレジスタの設定変更を行うときは、必ず、送受信動作を禁止（このレジスタのTXENビットとRXENビットを“0”に設定）してから行ってください。送受信動作中に、このレジスタの設定変更を行った場合、正常動作は保証できません。

下記に、設定例を示します。

- 1) SIO 設定; SIO 側の設定を行います。

↓

- 2) LD (SIRCR), 07H; 受信有効パルス幅を 16X に設定します。

- 3) LD (SIRCR), 37H; TXEN, RXEN ビットを“1”にして、SIO の送受信を許可します。

↓

- 4) 送受信スタート; SIO から送信データが送られてくるか、赤外線受信パルスを受けると、データの変復調を行います。

(5) 使用上の注意

1. IrDA 使用時のボーレート作成

IrDA 使用時のボーレートは SIO 本体の SC0MOD0<SC1:0>に“01”を設定し、ボーレートジェネレータを使用して作成してください。それ以外の TA0TRG, f_{IO}, SCLK0 入力を使用できません。

2. IrDA 送信時の出力パルス幅、ボーレートジェネレータ

IrDA1.0 の物理層規格として、データの転送速度と赤外線パルス幅が規定されています。

表 3.9.4 転送速度とパルス出力幅の規格

転送速度	変調方式	転送速度許容誤差 (% of Rate)	パルス幅 最小値	パルス幅 3/16 公称値	パルス幅 最大値
2.4 kbps	RZI	±0.87	1.41 μs	78.13 μs	88.55 μs
9.6 kbps	RZI	±0.87	1.41 μs	19.53 μs	22.13 μs
19.2 kbps	RZI	±0.87	1.41 μs	9.77 μs	11.07 μs
38.4 kbps	RZI	±0.87	1.41 μs	4.88 μs	5.96 μs
57.6 kbps	RZI	±0.87	1.41 μs	3.26 μs	4.34 μs
115.2 kbps	RZI	±0.87	1.41 μs	1.63 μs	2.23 μs

赤外線パルス出力幅は、ボーレート $T \times 3/16$ 、または 1.6 μs (ボーレート 115.2 kbps 時の $T \times 3/16$ に相当) と規定されています。

本デバイスでは、送信時の出力パルス幅を $T \times 3/16$ と $T \times 1/16$ とを選択できる機能がありますが、 $T \times 1/16$ を選択できるのは転送レートが 38.4 kbps 以下のときだけです。115.2 kbps, 57.6 kbps 時には、出力パルス幅を $T \times 1/16$ に設定しないでください。

同様の理由で、転送レートの 115.2 kbps を SIO0 のボーレートジェネレータで生成するときは、K 値付き分周をしないでください。また、送信パルス幅を 1/16 に設定し、転送レートの 38.4 kbps を SIO0 のボーレートジェネレータで生成するときも、K 値付き分周を使用しないでください。下表に、K 値付き分周の使用可否をまとめたものを示します。

表 3.9.5 K 値付き分周を使用可能なボーレートと出力パルス幅の関係

出力パルス幅	ボーレート 115.2 kbps	57.6 kbps	38.4 kbps	19.2 kbps	9.6 kbps	2.4 kbps
T × 3/16	×	○	○	○	○	○
T × 1/16	—	—	×	○	○	○

○: K 値付き分周使用可

×: K 値付き分周使用不可

—: T × 1/16 設定不可

SIRCR
(1207H)

	7	6	5	4	3	2	1	0
Bit symbol	PLSEL	RXSEL	TXEN	RXEN	SIRWD3	SIRWD2	SIRWD1	SIRWD0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機能	送信パルス 幅選択 0: 3/16 1: 1/16	受信データ 論理 0: “H” パル ス 1: “L” パル ス	送信動作 0: 禁止 1: 許可	受信動作 0: 禁止 1: 許可	SIRRXD の有効パルス幅の設定 2x × (設定値 + 1) + 100 ns 以上のパルス幅を有効と する 設定可: 1~14 設定不可: 0, 15			

→ 受信有効パルス幅の設定

計算式: 受信有効パルス幅 $\geq 2x \times (\text{設定値} + 1) + 100 \text{ ns}$
 $x = 1/f_{\text{SYS}}$

0000	設定不可
0001	4x + 100 ns 以上のパルス幅のものを有効とする
1110	30x + 100 ns 以上のパルス幅のものを有効とする
1111	設定不可

→ 受信 (復調) 動作の許可

0	受信動作を禁止する (受信された入力は無視されます。)
1	受信動作を許可する

→ 送信 (変調) 動作の許可

0	受信動作を禁止する (SIO からの入力は無視されます。)
1	送信動作を許可する

→ 送信パルス幅の選択

0	3/16 のパルス幅
1	1/16 のパルス幅

補足) ボーレートが遅く、IrDA1.0 規格のパルス幅 (最小 1.6 μs) を確保できる場合、本ビットを “1” に設定することで、赤外線点灯時間を減らし、消費電力を軽減することができます。

図 3.9.27 IrDA コントロールレジスタ

3.10 シリアルバスインタフェース (SBI)

TMP92CM22 は、シリアルバスインタフェース (SBI) を 1 チャンネル内蔵しています。SBI0 と呼びます。SBI0 について説明します。

シリアルバスインタフェースは、下記の 2 つの動作モードを持っています。

- I²C バスモード (マルチマスタ)
- クロック同期式 8 ビット SIO モード

I²C バスモードのときには、P91 (SDA), P92 (SCL) を通して、外部デバイスと接続されます。クロック同期式 8 ビット SIO のときには、P90 (SCK), P91 (SO), P92 (SI) を通して外部デバイスと接続されます。

各端子の設定は、下記のとおりとなります。

	P90DE<P92ODE, P91ODE>	P9CR<P92C, P91C, P90C>	P9FC<P92F, P91F, P90F>
I ² C バスモード	11	11X	11X
クロック同期式 8 ビット SIO モード	XX	011 010	011 010 (注)

X: Don't care

注) 本製品ではポート回路の使用により、SI 機能、SCK 入力機能を使用する際には、汎用ポート設定にして下さい。

3.10.1 構成

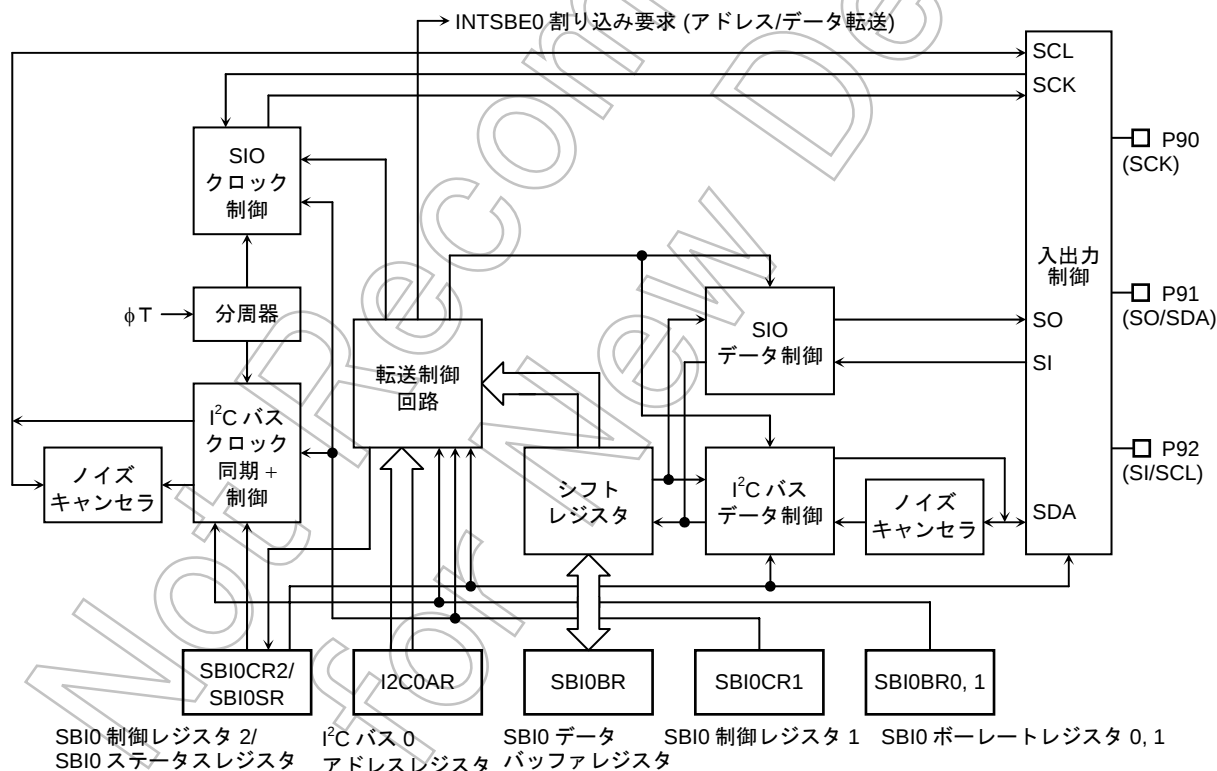


図 3.10.1 シリアルバスインタフェース 0 (SBI0)

3.10.2 制御

シリアルバスインタフェースの制御および動作状態のモニタは、以下のレジスタで行います。

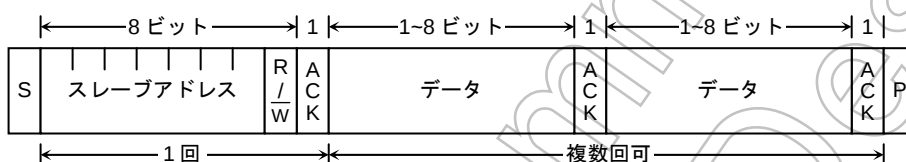
- シリアルバスインタフェース 0 制御レジスタ 1 (SBI0CR1)
- シリアルバスインタフェース 0 制御レジスタ 2 (SBI0CR2)
- シリアルバスインタフェース 0 データバッファレジスタ (SBI0DBR)
- I²C バス 0 アドレスレジスタ (I2C0AR)
- シリアルバスインタフェース 0 ステータスレジスタ (SBI0SR)
- シリアルバスインタフェース 0 ボーレートレジスタ 0 (SBI0BR0)
- シリアルバスインタフェース 0 ボーレートレジスタ 1 (SBI0BR1)

上記レジスタは使用するモードによって、機能が異なります。詳細は、3.10.4「I²Cバスモード時の制御」、3.10.7「クロック同期式 8 ビット SIO モード時の制御」を参照してください。

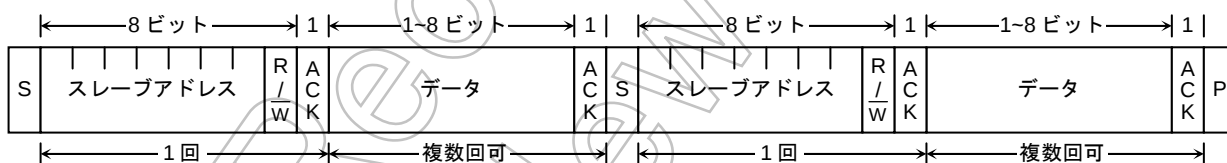
3.10.3 I²C バスモード時のデータフォーマット

I²Cバスモード時のデータフォーマットを図 3.10.2 に示します。

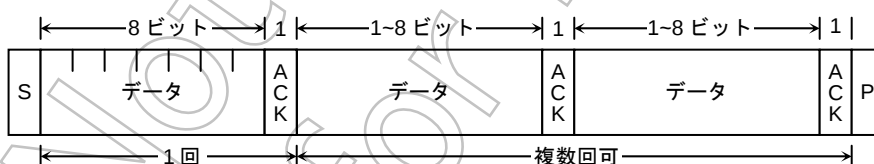
(a) アドレッシングフォーマット



(b) アドレッシングフォーマット (再スタートあり)



(c) フリーデータフォーマット (マスタデバイスからスレーブデバイスへデータを転送する転送フォーマット)



S: スタートコンディション

R/ $\bar{W}$: 方向ビット

ACK: アクノリッジビット

P: ストップコンディション

図 3.10.2 I²C バスモード時のデータフォーマット

3.10.4 I²C バスモード時のコントロールレジスタ

シリアルバスインタフェース (SBI) を I²C バスモードで使用する際の制御、および動作状態のモニタは、以下のレジスタで行います。

シリアルバスインタフェース 0 制御レジスタ 1

	7	6	5	4	3	2	1	0
Bit symbol	BC2	BC1	BC0	ACK		SCK2	SCK1	SCK0/ SWRMON
Read/Write	W			R/W		W		R/W
リセット後	0	0	0	0		0	0	0/1 (注 3)
機 能	転送ビット数の選択 (注 1)			アクノリジ ジメント クロック 0: 発生 しない 1: 発生する		内部 SCL 出力クロックの 周波数選択 (注 2) とリセット モニタ		

リード
モディファ
イライト
できません。

内部 SCL 出力クロックの周波数選択<SCK2:0> @ライト

000	n = 5	—(注 4) kHz	システムクロック: f _{SYS} f _{SYS} = 20 MHz (SCL 端子へ の出力) 周波数 = $\frac{f_{SYS}}{2^n + 8}$ [Hz]
001	n = 6	—(注 4) kHz	
010	n = 7	—(注 4) kHz	
011	n = 8	75.8 kHz	
100	n = 9	38.5 kHz	
101	n = 10	19.4 kHz	
110	n = 11	9.73 kHz	
111	(Reserved)	(Reserved)	

ソフトウェアリセット状態モニタ<SWRMON> @リード

0	ソフトウェアリセット中
1	初期値

アクノリジメントのためのクロック発生を選択

0	アクノリジのためのクロックを発生しない。
1	アクノリジのためのクロックを発生する。

転送ビット数の選択

<BC2:0>	<ACK> = 0 のとき		<ACK> = 1 のとき	
	クロック数	データ長	クロック数	データ長
000	8	8	9	8
001	1	1	2	1
010	2	2	3	2
011	3	3	4	3
100	4	4	5	4
101	5	5	6	5
110	6	6	7	6
111	7	7	8	7

注1) クロック同期式 8 ビット SIO モードに切り替える前に、<BC2:0>を“000”にクリアしてください。

注2) SCL ラインクロックの周波数については、3.10.5 (3)「シリアルクロック」を参照してください。

注3) SCLK0 の初期値は“0”、SWRMON の初期値は“1”です。

注4) 本 I²C バス回路は、高速モードに対応していません。標準モードのみの対応となります。100kbps を超える設定が可能な場合がありますが、I²C 規格の規格外となります。

図 3.10.3 I²C バスモード関係のレジスタ

シリアルバスインタフェース 0 制御レジスタ 2

SBI0CR2
(1243H)

リード
モディファイ
ライト
できません。

	7	6	5	4	3	2	1	0
Bit symbol	MST	TRX	BB	PIN	SBIM1	SBIM0	SWRST1	SWRST0
Read/Write	W				W (注 1)		W (注 1)	
リセット後	0	0	0	1	0	0	0	0
機 能	マスタ/ スレーブの 選択	送信/受信 の選択	スタート/ ストップコ ンディショ ンの発生	INTSBEO 割り込み 要求解除	シリアルバスインタフェ ースの動作モード選択 (注 2) 00: ポートモード 01: SIO モード 10: I ² C バスモード 11: (Reserved)		ソフトウェアリセットの 発生 最初に“10”、次に“01”を ライトすると、ソフトリ セットが発生します。	

→ シリアルバスインタフェースの動作モード選択 (注 2)

00	ポートモード (シリアルバスインタフェースの出力禁止)
01	クロック同期式 8 ビット SIO モード
10	I ² C バスモード
11	(Reserved)

→ INTSBEO 割り込み要求

0	
1	割り込み要求の解除

→ スタート/ストップコンディション制御

0	ストップコンディション発生
1	スタートコンディション発生

→ 送信/受信選択

0	レシーバ (受信)
1	トランスミッタ (送信)

→ マスタ/スレーブの選択

0	スレーブ
1	マスタ

注 1) このレジスタをリードすると、SBI0SR レジスタとして機能します。

注 2) ポートモードへの切り替えは、バスフリーを確認してから行ってください。

また、ポートモードから I²C バスモード、クロック同期式 8 ビット SIO への切り替えは、ポートの状態が “H” になっていることを確認してから行ってください。

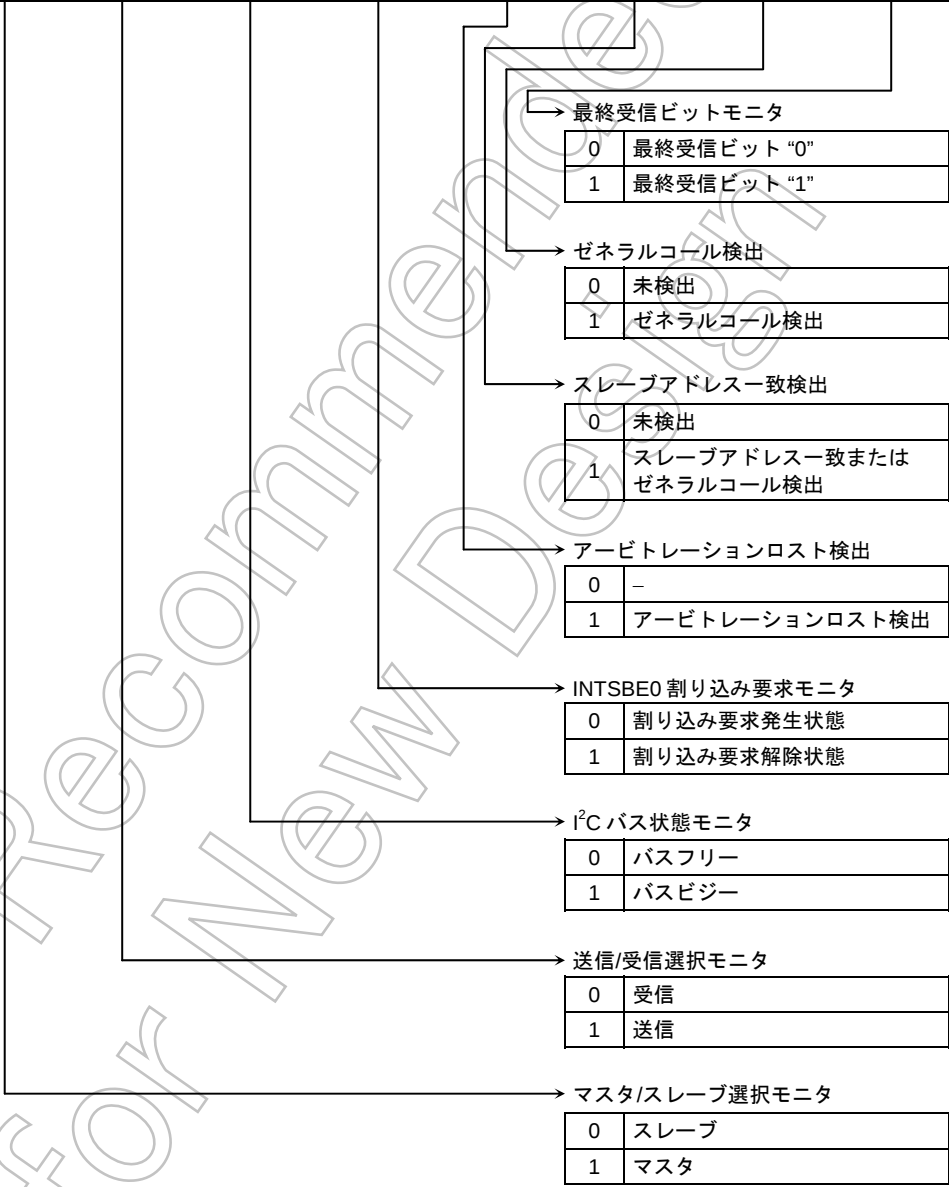
図 3.10.4 I²C バスモード関係のレジスタ

シリアルバスインタフェース 0 ステータスレジスタ

SBI0SR
(1243H)

リード
モディファイ
ライト
できません。

	7	6	5	4	3	2	1	0
Bit symbol	MST	TRX	BB	PIN	AL	AAS	AD0	LRB
Read/Write	R							
リセット後	0	0	0	1	0	0	0	0
機 能	マスタ/ スレーブ 選択 モニタ	送信/受信 選択 モニタ	I ² C バス 状態 モニタ	INTSBEO 割り込み 要求 モニタ	アービトレ ーション ロスト検出 0: - 1: 検出	スレーブ アドレ ス一致検出 0: 未検出 1: 検出	ゼネラル コール検出 0: 未検出 1: 検出	最終受信 ビット モニタ 0: "0" 1: "1"



注) このレジスタをライトすると、SBI0CR2 として機能します。

図 3.10.5 I²C バスモード関係のレジスタ

シリアルバスインタフェース 0 ボーレートレジスタ 0

SBI0BR0
(1244H)リード
モディファイ
ライト
できません。

	7	6	5	4	3	2	1	0
Bit symbol	–	I2SBI0						
Read/Write	W	R/W						
リセット後	0	0						
機 能	“0” をライ トしてくだ さい。	IDLE2 0: 停止 1: 動作						

→ ゼネラルコール検出

0	停止
1	動作

シリアルバスインタフェース 0 ボーレートレジスタ 1

SBI0BR1
(1245H)リード
モディファイ
ライト
できません。

	7	6	5	4	3	2	1	0
Bit symbol	P4EN	–						
Read/Write	W							
リセット後	0	0						
機 能	内部クロッ ク 0: 停止 1: 動作	“0” をライ トしてくだ さい。						

→ 内部ボーレート回路制御

0	停止
1	動作

シリアルバスインタフェース 0 データバッファレジスタ

SBI0DBR
(1241H)リード
モディファイ
ライト
できません。

	7	6	5	4	3	2	1	0
Bit symbol	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
Read/Write	R (受信)/W (送信)							
リセット後	不定							

注 1) 送信データ書き込み時には、データを MSB (ビット 7) 側につめてライトしてください。

また、送信データは LSB 側に格納されます。

注 2) SBI0DBR は書き込み用のバッファと読み出し用のバッファを個別に持っているため、書き込んだデータを読み出すことはできません。従って、ビット操作などのリードモディファイライト命令 (RMW) ではアクセスできません。

I²C バス 0 アドレスレジスタI2C0AR
(1242H)リード
モディファイ
ライト
できません。

	7	6	5	4	3	2	1	0
Bit symbol	SA6	SA5	SA4	SA3	SA2	SA1	SA0	ALS
Read/Write	W							
リセット後	0	0	0	0	0	0	0	0
機 能	スレーブデバイスとして動作するときのスレーブアドレスの設定							アドレス認識 モードの指定

↓
アドレス認識モードの指定

0	スレーブアドレスを認識する。
1	スレーブアドレスを認識しない。

図 3.10.6 I²C バスモード関係のレジスタ

3.10.5 I²C バスモード時の制御

(1) アクノリッジメントモードの指定

SBI0CR1<ACK>を“1”にセットしておくでアクノリッジメントモードとして動作します。マスタのときには、アクノリッジ信号のためのクロックを1クロック付加します。トランスミッタモードのときには、このクロックの期間中、SDA 端子を開放し、レシーバからのアクノリッジ信号を受信できる状態にします。レシーバモードのときにはこのクロック期間中、SDA 端子を“L”レベルに引き、アクノリッジ信号を発生します。

<ACK>を“0”に設定しておくで、非アクノリッジメントモードとして動作し、マスタのときにアクノリッジ信号のためのクロックを発生しません。

(2) 転送ビット数の選択

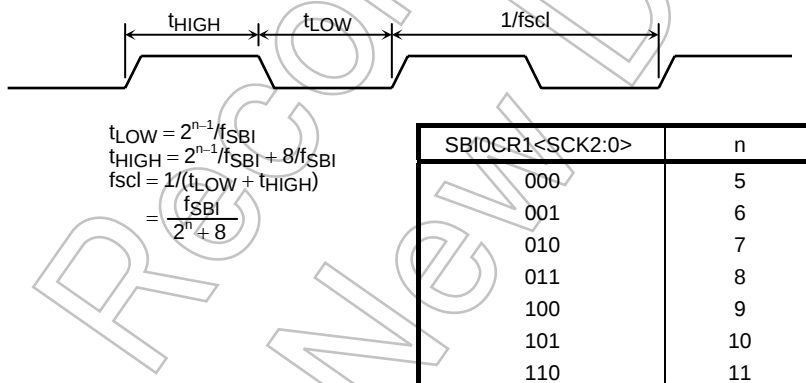
SBI0CR1<BC2:0>により、次に送受信するデータのビット数を選択します。

<BC2:0>はスタートコンディションにより“000”にクリアされるため、スレーブアドレス、方向ビットの転送は必ず8ビットで行われます。それ以外のときは<BC2:0>は一度設定された値を保持します。

(3) シリアルクロック

1. クロックソース

SBI0CR1<SCK2:0>で、マスタモード時に SCL 端子から出力されるシリアルクロックの最大転送周波数を選択します。通信ボーレートを設定する場合、本誌記載の下記計算式にあわせて t_{LOW} の最小幅など、I²C バス規定を満たす通信ボーレートを選択してください。



注) f_{SBI} は、 f_{SYS} を示します。

図 3.10.7 クロックソース

2. クロック同期化

I²C バスでは、端子の構造上バスをワイヤード AND で駆動させるため、クロックラインを最初に“L”レベルに引いたマスタが、“H”レベルを出力しているマスタのクロックを無効にします。このため、“H”レベルを出力しているマスタは、これを検出し対応する必要があります。

クロック同期化機能を持っており、バス上に複数のマスタが存在する場合でも、正常に転送が行われます。

クロック同期の手順を、バス上に 2 つのマスタが同時に存在した場合を例に挙げて以下に示します。

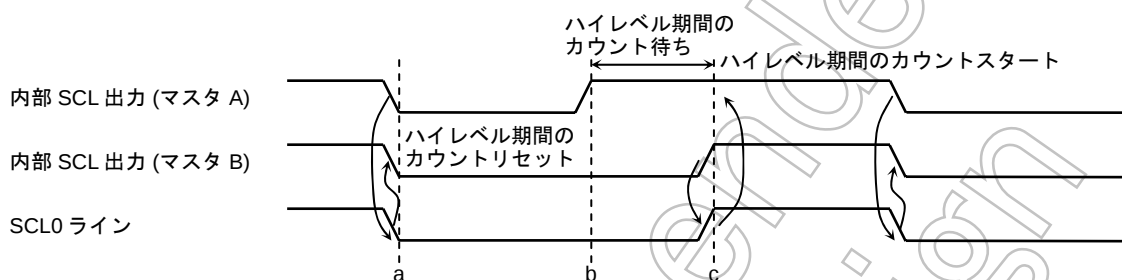


図 3.10.8 クロック同期化の例

“a”点でマスタ A が内部 SCL 出力を“L”レベルに引くことで、バスの SCL ラインは“L”レベルになります。マスタ B はこれを検出し、マスタ B の“H”レベル期間のカウントをリセットし、内部 SCL 出力を“L”レベルに引きます。

“b”点でマスタ A は“L”レベル期間のカウントを終わり、内部 SCL0 出力を“H”レベルにします。しかし、マスタ B が、バスの SCL ラインを“L”レベルに保持し続けているので、マスタ A は“H”レベル期間のカウントを止めます。マスタ A は、“c”点でマスタ B が内部 SCL 出力を“H”レベルにし、バスの SCL ラインが“H”レベルになったことを検出後、“H”レベル期間のカウントを始めます。

以上のようにバス上のクロックは、バスに接続されているマスタの中で最も短い“H”レベル期間を持つマスタと最も長い“L”レベル期間を持つマスタによって決定されます。

(4) スレーブアドレスとアドレス認識モードの設定

スレーブデバイスとして動作させるときは、I2C0AR にスレーブアドレス<SA6:0>と<ALS>を設定します。

<ALS>に“0”を設定すると、アドレス認識モードになります。

(5) マスタ/スレーブの選択

SBI0CR2<MST>を“1”に設定すると、マスタデバイスとして動作します。

<MST>を“0”に設定すると、スレーブデバイスとして動作します。<MST>はバス上のストップコンディションの検出、またはアービトレーションロストの検出で、ハードウェアにより“0”にクリアされます。

(6) トランスミッタ/レシーバの選択

SBI0CR2<TRX>の設定で、トランスミッタ/レシーバの選択ができます。<TRX> = 1 でトランスミッタ、<TRX> = 0 でレシーバとして動作します。

スレーブモードでアドレッシングフォーマットのデータ転送を行う場合、デバイスは1バイト目にスレーブアドレスと方向ビット (R/ $\bar{W}$) を受信します。受信したスレーブアドレスが I2C0AR の値 (デバイスの持つスレーブアドレス) と同じであれば、方向ビットに従って<TRX>の値が変化します。R/ $\bar{W}$ = 1 (スレーバ受信) であれば、<TRX>は0にクリアされ、アクノリッジを返し、後に続くデータを受信します。R/ $\bar{W}$ = 0 (スレーバ送信) であれば、<TRX>は1にセットされ、アクノリッジを返し、データを送信します。また、ゼネラルコール (1バイト目のデータがすべて0) は、R/ $\bar{W}$ = 0 なので、<TRX>は0にクリアされ、アクノリッジを返し、後に続くデータを受信します。

マスタモードの場合、スレーブデバイスからアクノリッジが返ってくると、送信した $R/\overline{W}$ に従って<TRX>の値が変化します。 $R/\overline{W} = 1$ (マスタ送信) であれば、<TRX>は 0 にクリアされ、 $R/\overline{W} = 0$ (マスタ受信) であれば、<TRX>は 1 にセットされます。アクノリッジが返ってこないときは、以前の状態を保ちます。

<TRX>は I²C バス上のストップコンディションの検出、または、アービトレーションロストの検出で、ハードウェアにより“0”にクリアされます。

(7) スタート/ストップコンディショニングの発生

SBI0SR<BB>が“0”のときに、SBI0CR2<MST, TRX, BB, PIN>に“1111”を書き込むと、バス上にスタートコンディションと、データバッファレジスタに書き込んだスレーブアドレス、方向ビットが出力されます。あらかじめ、<ACK>に“1”を設定してください。

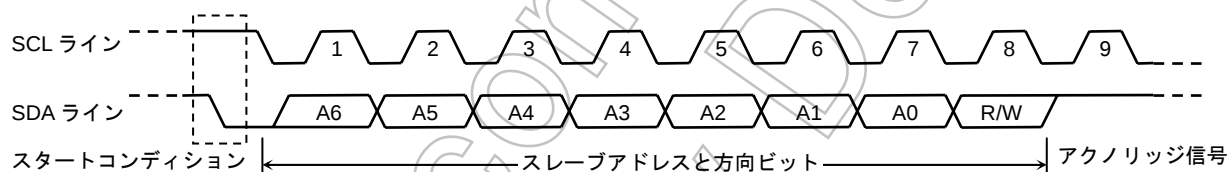


図 3.10.9 スタートコンディションの発生とスレーブアドレスの発生

<BB>=“1”のときに、<MST, TRX, PIN>に“111”、<BB>に“0”を書き込むと、バス上にストップコンディション出力のシーケンスを開始します。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN>の内容を書き替えないでください。

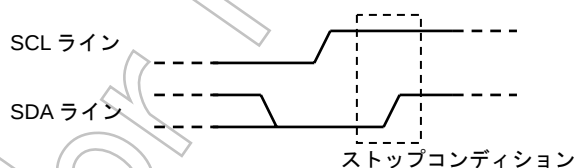


図 3.10.10 ストップコンディションの発生

また、SBI0SR<BB>を読み出すことで、バスの状態を知ることができます。<BB>は、バス上のスタートコンディションを検出すると“1”にセットされ(バスビジー状態)、ストップコンディションを検出すると“0”にクリアされます(バスフリー状態)。

(8) 割り込みサービス要求と解除

スレーブアドレスまたはデータ転送によるシリアルバスインタフェース割り込み要求 0 (INTSBE0) が発生すると、SBI0SR<PIN>が“0”にクリアされます。<PIN>が“0”の間、SCL ラインを“L”レベルに引きます。

<PIN>は1ワードの送信または受信が終了すると“0”にクリアされ、SBI0DBR にデータを書き込むか、SBI0DBR からデータを読み出すと“1”にセットされます。

<PIN>が“1”にセットされてから、SCL ラインが開放されるまで、 t_{LOW} の時間がかかります。

アドレス認識モード (I2C0AR<ALS>=“0”) では、受信したスレーブアドレスが I2C0AR にセットした値と同じとき、またはゼネラルコール (スタートコンディション後の 8 ビットのデータがすべて“0”) を受信したときに、<PIN>が“0”にクリアされます。プログラムで SBI0CR2<PIN>に“1”を書き込むと“1”にセットされますが、“0”を書き込んでも“0”にクリアされません。

(9) シリアルバスインタフェースの動作モード

SBI0CR2<SBIM1:0>で、シリアルバスインタフェースの動作モードを設定します。

I²C バスモードで使用するときは、シリアルバスインタフェース端子の状態が“H”になっていることを確認後、<SBIM1:0>を“10”に設定します。

ポートモードへの切り替えは、バスがフリーであることを確認してから行ってください。

(10) アービトレーションロスト検出モニタ

I²C バスではマルチマスタ (1 つのバス上で同時に 2 つ以上のマスタが存在する) が可能なため、転送されるデータの内容を保証するためにバスのアービトレーション手順が必要となります。

I²C バスではバスのアービトレーションに SDA ラインのデータを使用します。

アービトレーションの手順を、バス上に 2 つのマスタが同時に存在した場合を例に挙げて以下に示します。“a”点のビットまでマスタ A、マスタ B と同じデータを出し、 “a”点でマスタ A が“L”レベルを出力、マスタ B が“H”レベルを出力すると、バスの SDA ラインはワイヤード AND で駆動されるために、マスタ A によって“L”レベルに引かれます。“b”点でバスの SCL ラインが立ち上がると、スレーブデバイスは SDA ラインデータ (マスタ A) のデータを取り込みます。このとき、マスタ B の出力したデータは無効になります。マスタ B のこの状態を“アービトレーションロスト”と呼びます。マスタ B は SDA 端子を開放し、ほかのマスタの出力するデータに影響を及ぼさないようにします。また、複数のマスタが 1 ワード目でまったく等しいデータを送信した場合、アービトレーションの手順は 2 ワード目以降も継続されます。

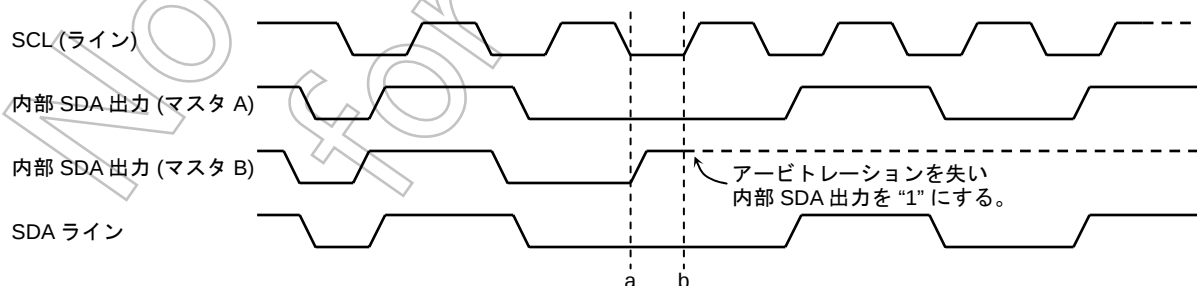


図 3.10.11 アービトレーションロスト

バスの SDA ラインのレベルと内部 SDA 出力のレベルの比較は、SCL ラインの立ち上がりで行います。この比較結果が不一致の場合はアービトレーションロストになり、SBI0SR<AL>が“1”にセットされます。

<AL>が“1”にセットされると、SBI0SR<MST, TRX>は“00”にリセットされ、スレーブレシーバモードになります。そのため、<AL>が“1”にセットされた後のデータ転送ではクロックの出力を停止します。

<AL>は、SBI0DBR にデータを書き込むか、SBI0DBR からデータを読み込む、または SBI0CR2 にデータを書き込むと、“0”にリセットされます。

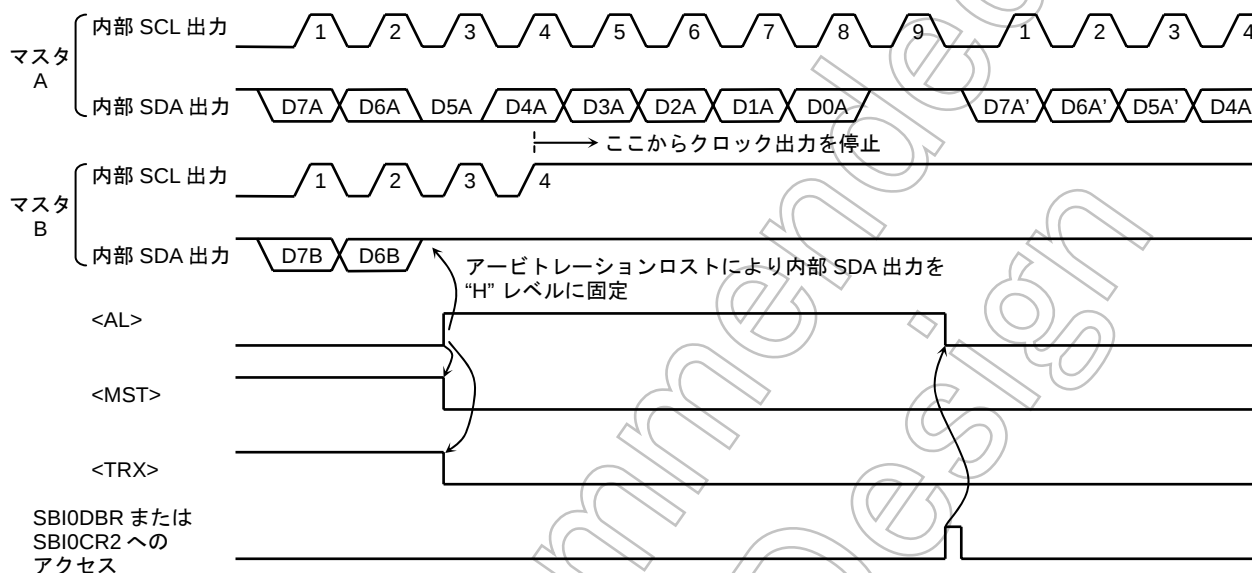


図 3.10.12 マスタ B の場合の例 (D7A = D7B, D6A = D6B)

(11) スレーブアドレス一致検出モニタ

SBI0SR<AAS>は、スレーブモード時、アドレス認識モード (I2C0AR<ALS> = “0”) のとき、ゼネラルコールまたは I2C0AR にセットした値と同じスレーブアドレスを受信すると“1”にセットされます。<ALS> = “1”のときは、最初の 1 ワードが受信されると“1”にセットされます。<AAS>は SBI0DBR にデータを書き込むか、SBI0DBR からデータを読み出すと“0”にクリアされます。

(12) ゼネラルコール検出モニタ

SBI0SR<AD0>は、スレーブモード時、ゼネラルコール (スタートコンディション後の 8 ビットのデータがすべて“0”) を受信したとき“1”にセットされ、バス上のスタートコンディション、またはストップコンディションが検出されると“0”にクリアされます。

(13) 最終受信ビットモニタ

SBI0SR<LRB>には、SCL ラインの立ち上がりで取り込まれた SDA ラインの値がセットされます。

アクノリッジメントモードのとき、INTSBEO 割り込み要求発生直後に SBI0SR<LRB>を読み出すと、ACK 信号が読み出されます。

(14) ソフトウェアリセット

シリアルバスインタフェース回路が、外部からのノイズによりロックした場合、ソフトウェアリセット機能を使い、シリアルバスインタフェース回路を初期化することができます。

SBI0CR2<SWRST1:0>へ、最初に“10”、次に“01”をライトすると、シリアルバスインタフェース回路にリセット信号が入力され、回路が初期化されます。

このとき、SBI0CR2<SBIM1:0>を除くすべてのコントロールレジスタとステータレジスタは、リセット直後の値となります。

また、<SWRMON>は、シリアルバスインタフェースの初期化が終了すると、自動的に“1”にセットされます。

(15) シリアルバスインタフェースデータバッファレジスタ (SBI0DBR)

SBI0DBR をリード/ライトすることで、受信データの読み出し/送信データの書き込みを行います。

また、マスタモード時において、このレジスタにスレーブアドレスと方向ビットを設定後、スタートコンディションを発生します。

(16) I²C バスアドレスレジスタ (I2C0AR)

I2C0AR<SA6:0>は、スレーブデバイスとして動作する場合のスレーブアドレスを設定するビットです。

また、I2C0AR<ALS>=“0”に設定すると、マスタデバイスから出力されるスレーブアドレスを認識し、データフォーマットはアドレッシングフォーマットとなります。<ALS>=“1”に設定すると、スレーブアドレスを認識せず、データフォーマットはフリーデータフォーマットとなります。

(17) ボーレートレジスタ (SBI0BR1)

I²C バスを使用する前に、ボーレート回路制御レジスタ SBI0BR1<P4EN>に“1”を書き込んでください。

(18) IDLE2 設定レジスタ (SBI0BR0)

SBI0BR0<I2SBI0>は、IDLE2 モードに遷移した際に動作の許可/禁止を設定するレジスタです。

HALT 命令を実行する前に、あらかじめ設定してください。

3.10.6 I²C バスモード時のデータ転送手順

(1) デバイスの初期化

最初に SBI0BR1<P4EN>, SBI0CR1<ACK, SCK2:0>を設定します。SBI0BR1<P4EN> = “1” を、SBI0CR1 のビット 7~5, 3 には、“0” を書き込んでください。

次に I2C0AR にスレーブアドレス<SA6:0>と<ALS> (アドレッシングフォーマット時、<ALS> = “0”)を設定します。

それから、SBI0CR2<MST, TRX, BB>に “000”、<PIN>に “1”、<SBIM1:0>に “10”、<SWRST1:0>に “00” を書き込み、初期状態をスレーブレシーバモードにします。

(2) スタートコンディション、スレーブアドレスの発生

1. マスタモードの場合

マスタモード時は、スタートコンディションとスレーブアドレスを、次の手順で発生します。

はじめに、バスフリー状態 (<BB> = “0”)を確認します。

次に、SBI0CR1<ACK>に “1” を書き込んで、アクノリッジメントモードに設定します。また、SBI0DBR に、送信するスレーブアドレスと方向ビットのデータを書き込みます。

<BB> = “0” の状態で、SBI0CR2<MST, TRX, BB, PIN>に “1111” を書き込むと、バス上にスタートコンディションが発生します。スタートコンディションの発生に次いで、SCL 端子から 9 発のクロックを出力します。最初の 8 クロックで、SBI0DBR に設定したスレーブアドレスと方向ビットを出力します。9 クロック目で、SDA ラインを解放し、スレーブデバイスからのアクノリッジ信号を受信します。

9 クロック目の立ち下がりで、INTSBE0 割り込み要求が発生し、<PIN> = “0” にクリアされます。マスタモード時は、<PIN> = “0” の間 SCL ラインを “L” レベルに引きます。また、スレーブデバイスからのアクノリッジ信号が返ってきたときのみ、INTSBE0 割り込み要求の発生により、送信した方向ビットに合わせて<TRX>は変化します。

2. スレーブモードの場合

スレーブモードの場合は、スタートコンディションとスレーブアドレスを受信します。

マスタデバイスからのスタートコンディションを受信した後、SCL ラインの最初の 8 クロックで、マスタデバイスからのスレーブアドレスと方向ビットを受信します。ゼネラルコール、または I2C0AR に設定されたスレーブアドレスと同一のアドレスを受信したとき、9 クロック目で SDA ラインを “L” レベルに引いて、アクノリッジ信号を出力します。

9 クロック目の立ち下がりで INTSBE0 割り込み要求が発生し、<PIN> = “0” にクリアされます。スレーブモード時は、<PIN> = “0” の間 SCL0 ラインを “L” レベルに引きます。

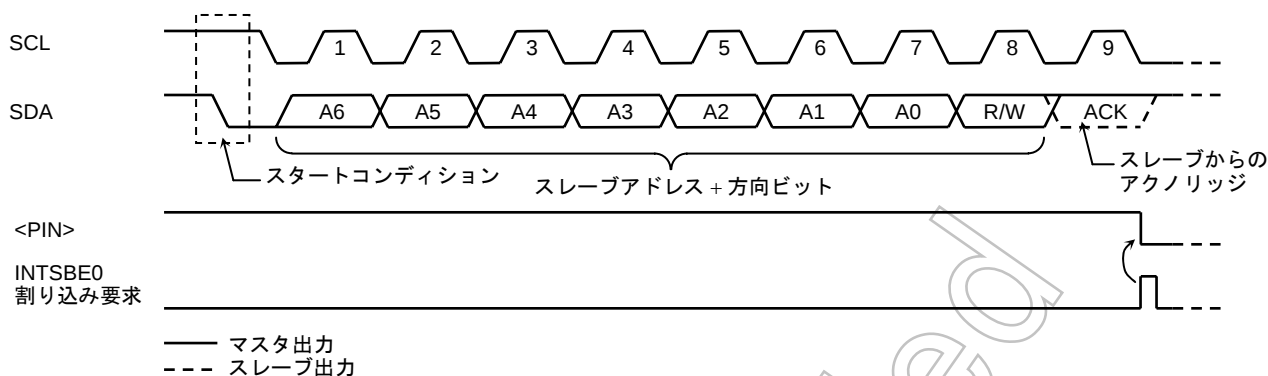


図 3.10.13 スタートコンディションとスレーブアドレスの発生

(3) 1 ワードのデータ転送

1 ワード転送終了の INTSBE0 割り込みの処理で<MST>をテストし、マスタモード/スレーブモードの判断をします。

1. マスタモードの場合 (<MST> = “1”)

<TRX>をテストし、トランスマッタ/レシーバの判断をします。

トランスマッタモードの場合 (<TRX> = “1”)

<LRB>をテストします。<LRB>が “1” のとき、レシーバはデータを要求していないので、ストップコンディションを発生する処理（後記参照）を行ってデータ転送を終了します。

<LRB>が “0” のとき、レシーバが次のデータを要求しています。次に転送するデータのビット数が 8 ビットするとき、SBI0DBR に転送データを書き込みます。8 ビット以外ときは<BC2:0>、<ACK>を設定し、転送データを SBI0DBR に書き込みます。データを書き込むと<PIN>が “1” になり、SCL 端子から次の 1 ワードのデータ転送用のシリアルクロックが発生され、SDA 端子から 1 ワードのデータが転送されます。転送終了後、INTSBE0 割り込み要求が発生し、<PIN>が “0” になり、SCL 端子を “L” レベルに引きます。複数ワードの転送が必要な場合は、上記<LRB>のテストから繰り返します。

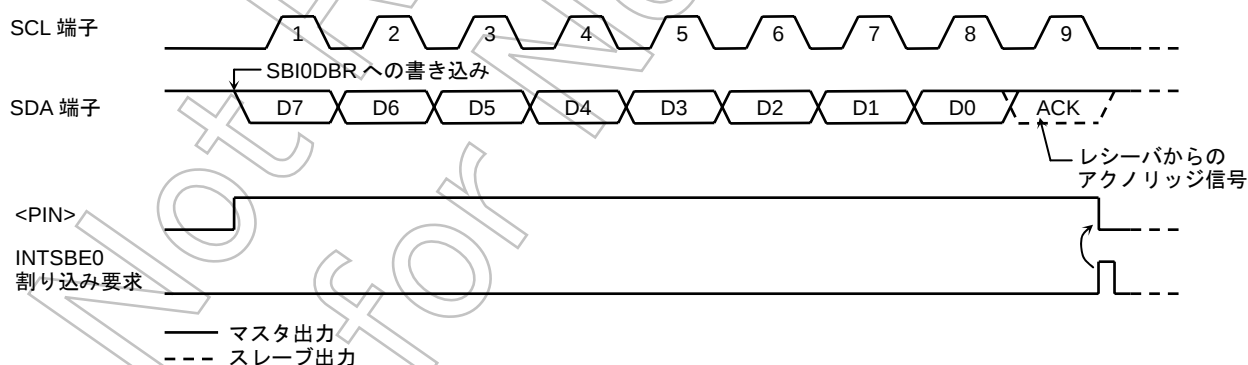


図 3.10.14 <BC2:0> = “000”, <ACK> = “1” のときの例 (トランスマッタモード)

レシーバモードの場合 (<TRX> = “0”)

次に転送するデータのビット数が 8 ビット以外のときは<BC2:0>, <ACK>を設定し、SCL ラインを開放するために SBI0DBR から受信データを読み出します(スレーブアドレス送信直後のリードデータは不定です)。データを読み出すと<PIN>は “1” になり、次の 1 ワードのデータ転送用のシリアルクロックを SCL 端子に出力し、アクノリッジのタイミングで “L” レベルを SPA 端子に出力します。

その後、INTSBE0 割り込み要求が発生し、<PIN>が “0” になり、SCL 端子を “L” レベルに引きます。SBI0DBR から受信データを読み出すたびに 1 ワードの転送クロックとアクノリッジを出力します。

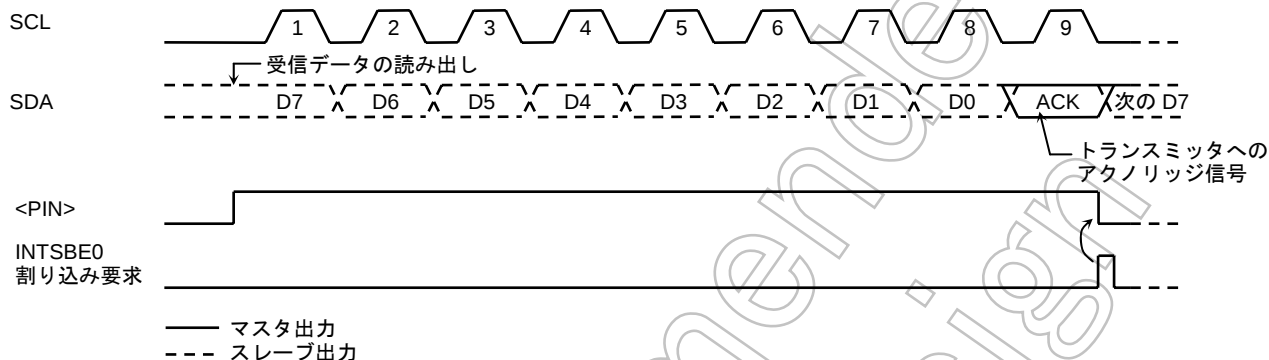


図 3.10.15 <BC2:0> = “000”, <ACK> = “1” のときの例 (レシーバモード)

トランスミッタに対してデータの送信を終了させるときは、最後に受信したいデータの 1 ワード手前のデータを読み出す前に<ACK>を “0” にクリアします。これにより、最終データのアクノリッジのためのクロックは発生されなくなります。転送終了の割り込み要求発生後の処理で<BC2:0> = “001” に設定し、データを読み出すと、1 ビット転送のためのクロックが発生します。このとき、マスタはレシーバなのでバスの SDA ラインは “H” レベルを保ちます。トランスミッタは ACK 信号としてこの “H” レベルを受信するので、レシーバはトランスミッタへ送信終了を知らせることができます。

この 1 ビット転送の受信終了割り込み要求後の処理で、ストップコンディションを発生させ、データ転送を終了させます。



図 3.10.16 マスタレシーバモード時、データの送信を終了させるときの処理

2. スレーブモードの場合 (<MST> = “0”)

スレーブモード時は、通常のスレーブモードとしての処理またはアービトレーションロストを検出し、スレーブモードになったときの処理を行います。

スレーブモードのとき、マスタが送ったスレーブアドレスまたはゼネラルコールを受信したとき、もしくは受信したスレーブアドレスが一致した後、またはゼネラルコールを受信した後のデータ転送終了時に、INTSBE0 割り込み要求が発生します。また、マスタモードのときにアービトレーションロストを検出するとスレーブモードとして動作し、アービトレーションロストを検出したワード転送の終了時に INTSBE0 割り込み要求が発生します。INTSBE0 割り込み要求が発生すると<PIN>が“0”にリセットされ、SCL 端子を“L”レベルに引きます。SBI0DBR にデータを書き込む、SBI0DBR からデータを読み出す、または、<PIN>に“1”を設定すると SCL 端子が tLOW 後に開放されます。

SBI0SR<AL>, <TRX>, <AAS>, <AD0>をテストし、場合分けを行います。表 3.10.1に、スレーブモード時の状態と必要な処理を示します。

表 3.10.1 スレーブモード時の処理

<TRX>	<AL>	<AAS>	<AD0>	状態	処理
1	1	1	0	スレーブアドレス送信中にアービトレーションロストを検出し、ほかのマスタが送った方向ビットが“1”のスレーブアドレスを受信	1 ワードのビット数を<BC2:0>にセットし、送信するデータを SBI0DBR に書き込みます。
	0	1	0	スレーブレシーバモード時、マスタが送った方向ビットが“1”のスレーブアドレスを受信	
		0	0	スレーブトランスミッタモード時、1ワードのデータの送信が終了	<LRB>をテストし、“1”にセットされていた場合、レシーバが次のデータを要求していないので<PIN>に“1”をセット、<TRX>を“0”にリセットしバスを開放します。<LRB>が“0”にリセットされていた場合、レシーバが次のデータを要求しているので1ワードのビット数を<BC2:0>にセットし、送信するデータを SBI0DBR に書き込みます。
0	1	1	1/0	スレーブアドレス送信中にアービトレーションロストを検出し、ほかのマスタが送った方向ビットが“0”のスレーブアドレス、またはゼネラルコールを受信	<PIN>を“1”にセットするために SBI0DBR を読み出します。(ダミー読み出し) または<PIN>に“1”を書き込みます。
		0	0	スレーブアドレスを送信中、またはデータ送信中にアービトレーションロストを検出し、そのワードの転送が終了	
	0	1	1/0	スレーブレシーバモード時、マスタの送った方向ビットが“0”のスレーブアドレス、またはゼネラルコールを受信	1ワードのビット数を<BC2:0>にセットし、受信データを SBI0DBR から読み出します。
		0	1/0	スレーブレシーバモード時、1ワードのデータの受信が終了	

(4) ストップコンディションの発生

SBI0SR<BB>="1" のときに、SBI0CR2<MST, TRX, PIN>に "111"、<BB>に "0" を書き込むと、バス上にストップコンディション出力のシーケンスを開始します。バス上にストップコンディションが発生するまで、<MST, TRX, BB, PIN>の内容を書き替えないでください。

なお、バスの SCL ラインがほかのデバイスにより引かれていた場合、SCL ラインが開放されるのを待ち、SDA 端子が立ち上がり、ストップコンディションが発生します。

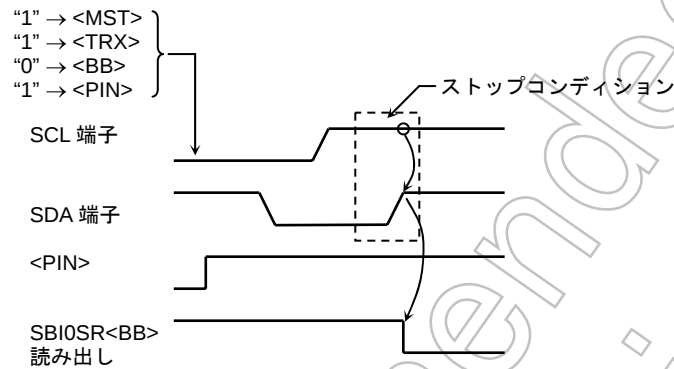


図 3.10.17 ストップコンディションの発生 (シングルマスタ)

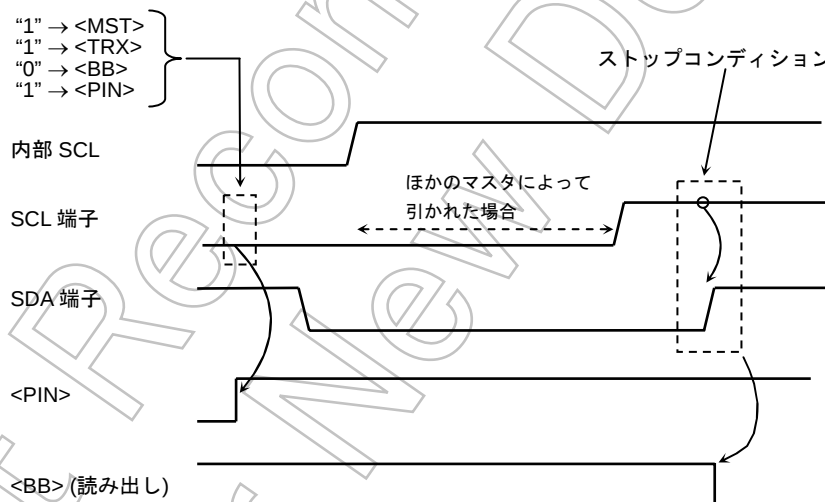


図 3.10.18 ストップコンディションの発生 (マルチマスタ)

(5) 再スタートの手順

再スタートは、マスタデバイスがスレーブデバイスに対してデータ転送を終了させずに転送の方向を変化させるときに使用します。マスタモード時、再スタートを発生させる場合の手順を以下に示します。

まず、SBI0CR2<MST, TRX, BB>に“000”、<PIN>に“1”を書き込み、バスを解放します。このとき SDA 端子は“H”レベルを保ち、SCL 端子が開放され、バス上にストップコンディションが発生されないため、ほかのデバイスから見るとバスはビジー状態のままです。この後、SBI0SR<BB>をテストして“0”になるまで待ち、SCL 端子が開放されたことを確認します。次に<LRB>をテストして“1”になるまで待ち、ほかのデバイスがバスの SCL ラインを“L”レベルに引いていないことを確認します。以上の手順によってバスがフリー状態になっていることを確認した後に、前記 (2) の手順でスタートコンディションの発生を行います。

なお、再スタート時のセットアップタイムを満たすために、バスフリーの確認からスタートコンディションの発生まで、最低 4.7 μ s のソフトウェアによる待ち時間が必要です。

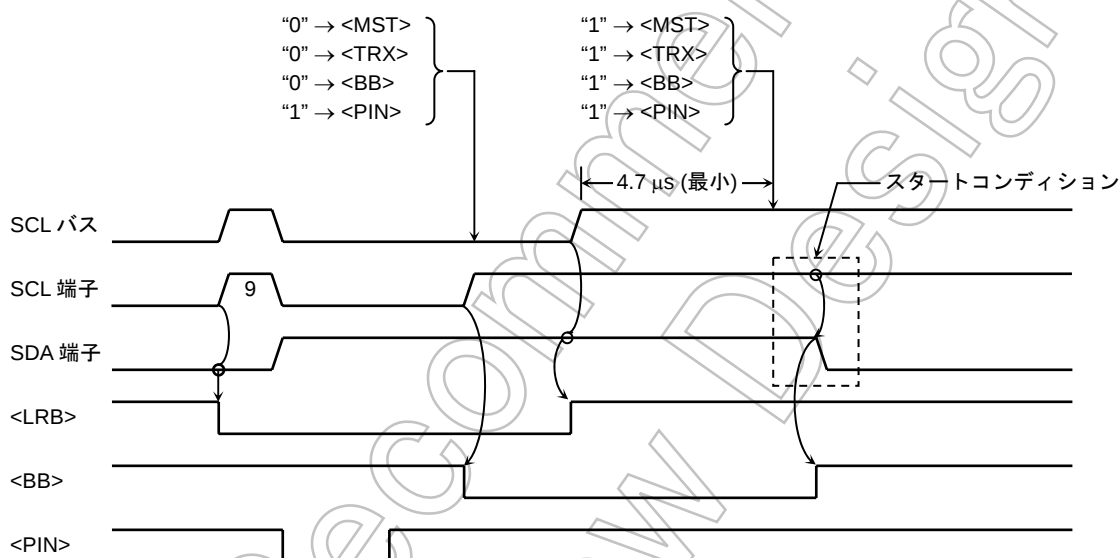


図 3.10.19 再スタートを発生する場合のタイミングチャート

3.10.7 クロック同期式 8 ビット SIO モード時の制御

シリアルバスインタフェースをクロック同期式 8 ビット SIO モードで使用する時の制御、および動作状態のモニタは、以下のレジスタで行います。

シリアルバスインタフェース 0 制御レジスタ 1

	7	6	5	4	3	2	1	0
Bit symbol	SIOS	SIOINH	SIOM1	SIOM0		SCK2	SCK1	SCK0
Read/Write	W					W		
リセット後	0	0	0	0		0	0	0
機 能	転送の 開始/終了 0: 終了 1: 開始	転送の 強制停止 0: 転送継続 1: 強制停止	転送モードの選択 00: 送信モード 01: (Reserved) 10: 送受信モード 11: 受信モード			シリアルクロック周波数の選択と リセットモニタ		

シリアルクロック周波数の選択<SCK2:0>@ライト

000	n = 4	1.25 MHz
001	n = 5	625 KHz
010	n = 6	313 KHz
011	n = 7	156 KHz
100	n = 8	78.1 KHz
101	n = 9	39.1 KHz
110	n = 10	19.5 KHz
111	-	(外部クロック: SCK0)

システムクロック: f_{SYS}

f_{SYS} = 20 MHz (SCL 端子への出力)

周波数 = $\frac{f_{SYS}}{2^n}$ [Hz]

転送モードの選択

00	8 ビット送信モード
01	(Reserved)
10	8 ビット送受信モード
11	8 ビット受信モード

転送の強制停止

0	転送継続
1	強制停止 (停止後、自動的にクリア)

転送の開始/終了

0	終了
1	開始

注) 転送モード, シリアルクロックの設定時は、<SIOS> = "0" および<SIOINH> = "1" に設定してください。

シリアルバスインタフェース 0 データバッファレジスタ

SBI0DBR (1241H) リード モディファイ ライト できません。		7	6	5	4	3	2	1	0
	Bit symbol	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
	Read/Write	R (受信)/W (送信)							
	リセット後	不定							

図 3.10.20 SIO モード関係のレジスタ

シリアルバスインタフェース 0 制御レジスタ 2

	7	6	5	4	3	2	1	0
SBI0CR2 (1243H)	Bit symbol				SBIM1	SBIM0	–	–
	Read/Write				W			
	リセット後				0	0	0	0
リード モディファイ ライト できません。	機 能				シリアルバスインタフェースの動作モード選択 00: ポートモード 01: SIO モード 10: I ² C バスモード 11: (Reserved)		(注 2)	(注 2)

注 1) クロック同期式 8 ビット SIO モードに切り替える前に、シリアルバスインタフェースの動作モード選択
SBI0CR1<BC2:0>を“000”にクリアしてください。

注 2) SBI0CR2 のビット 1~0 には、“00”以外をライトしないでください。

00	ポートモード (シリアルバスインタフェースの出力禁止)
01	クロック同期式 8 ビット SIO モード
10	I ² C バスモード
11	(Reserved)

シリアルバスインタフェース 0 ステータスレジスタ

	7	6	5	4	3	2	1	0
SBI0SR (1243H)	Bit symbol				SIOF	SEF		
	Read/Write				R			
	リセット後				0	0		
	機 能				シリアル 転送動作 状態モニタ	シフト動作 状態モニタ		

シリアル転送動作状態モニタ

0	転送終了
1	転送中

シフト動作状態モニタ

0	シフト動作終了
1	シフト転送中

シリアルバスインタフェース 0 ポーレートレジスタ 0

	7	6	5	4	3	2	1	0
SBI0BR0 (1244H)	Bit symbol	–	–					
	Read/Write	W	R/W					
	リセット後	0	0					
リード モディファイ ライト できません。	機 能	“0”をライトしてください	“0”をライトしてください					

注) クロック同期式 8 ビット SIO モードは、IDLE2 モードで使用できません。

シリアルバスインタフェース 0 ポーレートレジスタ 1

	7	6	5	4	3	2	1	0
SBI0BR1 (1245H)	Bit symbol	P4EN	–					
	Read/Write	W						
	リセット後	0	0					
リード モディファイ ライト できません。	機 能	内部クロック 0: 停止 1: 動作	“0”をライトしてください					

内部ポーレート回路制御

0	停止
1	動作

図 3.10.21 SIO モード関係のレジスタ

(1) シリアルクロック

1. クロックソース

SBI0CR1<SCK2:0>により、次の選択ができます。

内部クロック

内部クロックモードでは7種類の周波数が選択できます。シリアルクロックはSCK端子より外部に出力されます。

プログラムでデータの書き込み(送信時)またはデータの読み出し(受信時)がこのシリアルクロックレートに追従できないときには、自動的にシリアルクロックを停止し、それらの処理が終了するまで次のシフト動作を待機させる自動ウェイト機能を持っています。

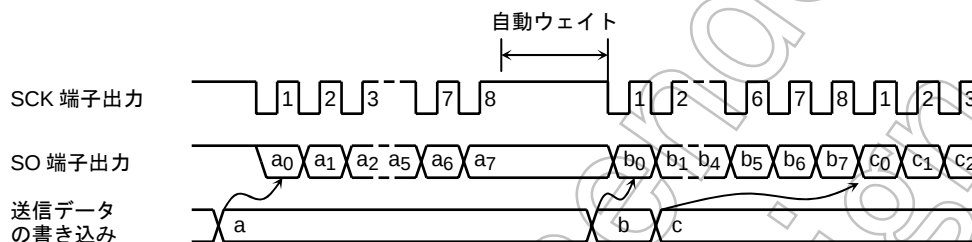


図 3.10.22 自動ウェイト機能

外部クロック (<SCK2:0> = “111”)

外部から SCK 端子に供給されるクロックをシリアルクロックとして用います。なお、シフト動作を確実にを行うためには、シリアルクロックの High レベル、Low レベル幅は、下記に示すパルス幅が必要です。従って、最大転送周波数は 1.25 MHz ($f_{\text{SYS}} = 20 \text{ MHz}$ 時) です。

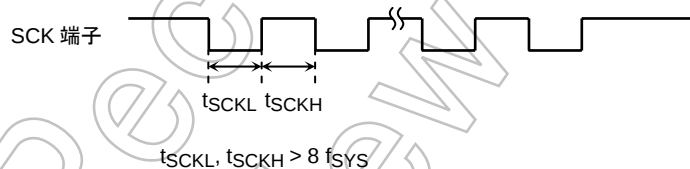


図 3.10.23 外部クロック入力時の最大転送周波数

2. シフトエッジ

送信は前縁シフト, 受信は後縁シフトになります。

前縁シフト

シリアルクロックの前縁 (SCK 端子入出力の立ち下がりエッジ) でデータをシフトします。

後縁シフト

シリアルクロックの後縁 (SCK 端子入出力の立ち上がりエッジ) でデータをシフトします。

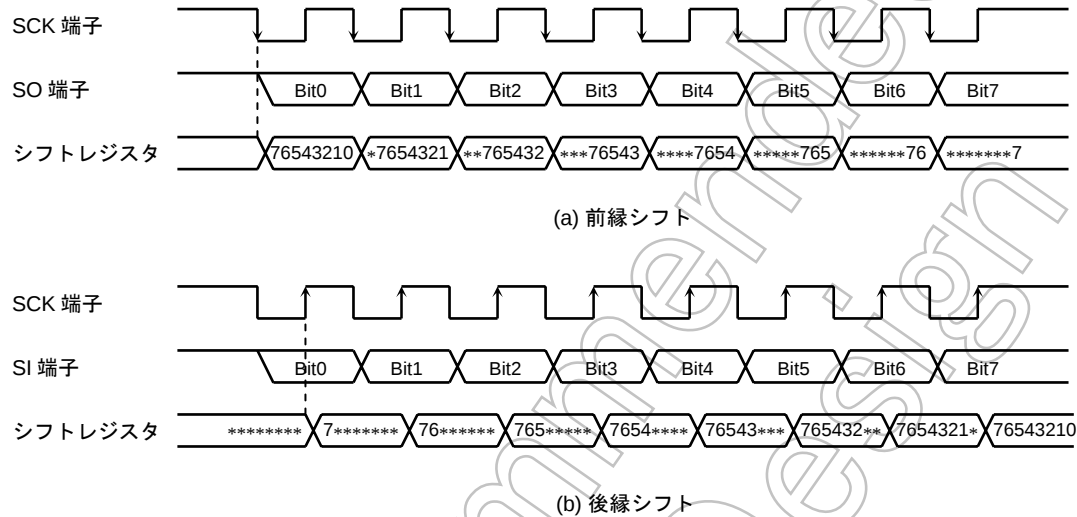


図 3.10.24 シフトエッジ

(2) 転送モード

SBI0CR1<SIOM1:0>で、送信/受信/送受信モードを選択します。

1. 8ビット送信モード

制御レジスタに送信モードをセットした後、送信データを SBI0DBR に書き込みます。

送信データの書き込み後、SBI0CR1<SIOS> = “1” を書き込むことにより送信が開始されます。送信データは、SBI0DBR からシフトレジスタに移され、シリアルクロックに同期して最下位ビット (LSB) 側から SO 端子に出力されます。送信データがシフトレジスタに移されると、SBI0DBR が空になりますので、次の送信データを要求する INTSBE0 (バッファエンプティ) 割り込み要求が発生します。

内部クロック動作の場合、8ビットのデータをすべて送信した後、次のデータがセットされていないとシリアルクロックを停止して自動ウェイト動作を行います。次の送信データを書き込むと、自動ウェイト動作は解除されます。

外部クロック動作の場合、次のデータのシフト動作に入る前に、SBI0DBR にデータが書き込まれている必要があります。従って、転送速度は割り込み要求の発生から割り込みサービスプログラムにて、SBI0DBR にデータを書き込むまでの最大遅れ時間により決まります。

送信開始時、SBI0SR<SIOF>が“1”となってから SCK の立ち下がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送信を終了させるには、INTSBE0 割り込みサービスプログラムで<SIOS> = “0” を書き込むか、<SIOINH> = “1” を書き込みます。<SIOS> がクリアされると、データがすべて出力された時点で送信終了します。プログラムによる送信終了の確認は SBI0SR<SIOF>で行います。<SIOF>は、送信の終了で“0”になります。<SIOINH> = “1” を書き込んだ場合は直ちに送信を打ち切り、<SIOF>は“0”になります。

外部クロック動作では、次の送信データのシフト動作に入る前に<SIOS>を“0”にクリアする必要があります。もし、シフトアウトする前に<SIOS>がクリアされなかった場合は、ダミーのデータの送信後に停止します。

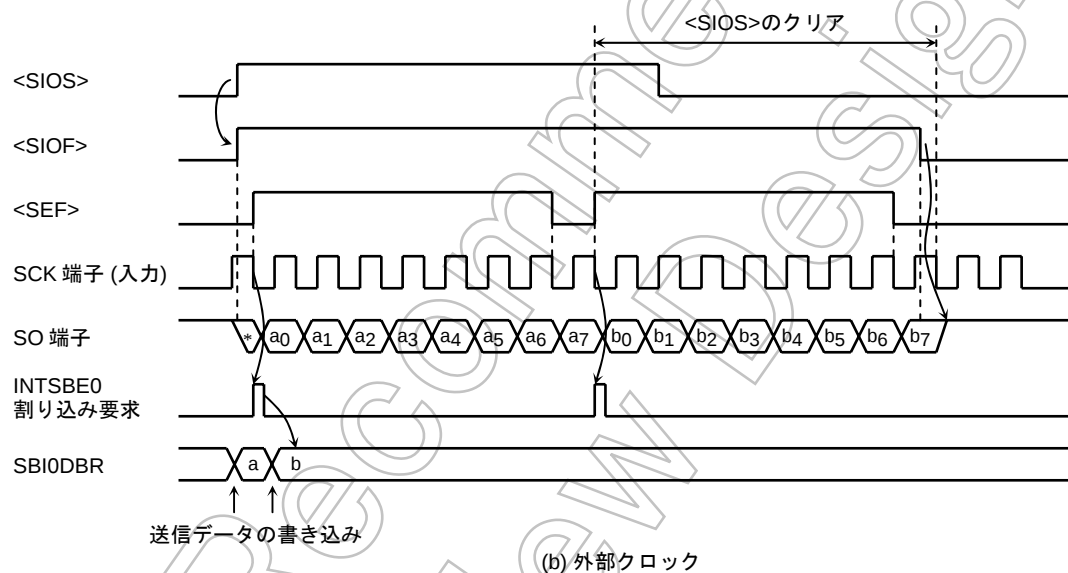
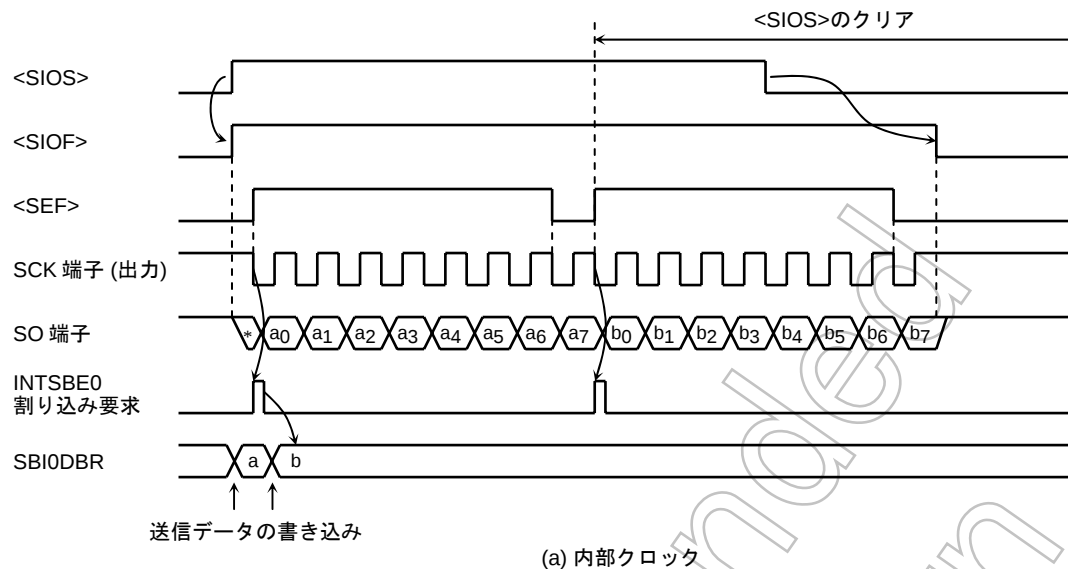


図 3.10.25 送信モード

例: <SIO>の送信終了指示 (外部クロックの場合)

```

STEST1 :   BIT    2, (SBI0SR)           ; If <SEF> = 1  then loop
           JR      NZ, STEST1
STEST2 :   BIT    0, (P9)               ; If SCK = 0    then loop
           JR      Z, STEST2
           LD      (SBI0CR1), 00000111B ; <SIO> ← 0
  
```

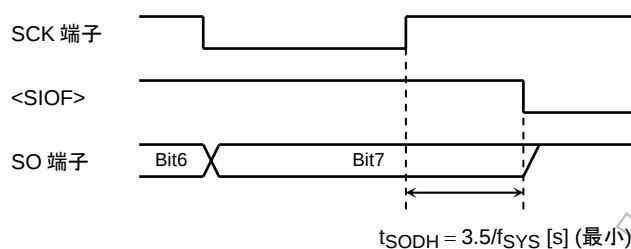


図 3.10.26 送信終了時の送信データ保持時間

2. 8 ビット受信モード

制御レジスタに受信モードをセットした後、**SBI0CR1<SIOS> = “1”** を書き込むことにより受信可能となります。シリアルクロックに同期して、**SI** 端子より最下位ビット側からシフトレジスタへデータを取り込みます。8 ビットのデータが取り込まれると、シフトレジスタから **SBI0DBR** に受信データが書き込まれ、受信データの読み出しを要求する **INTSBEO** (バッファフル) 割り込み要求が発生します。受信データは、割り込みサービスプログラムにて **SBI0DBR** から読み出します。

内部クロック動作の場合、受信データが **SBI0DBR** から読み出されるまでシリアルクロックを停止する自動ウェイト動作を行います。

外部クロック動作の場合は、シフト動作が外部から供給されるクロックに同期しますので、次のシリアルクロックが入力される前に受信データを読み出します。もし、受信データが読み出されない場合、それ以降に入力される受信データはキャンセルされます。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データの読み出しまでの最大遅れ時間により決まります。

受信を終了させるには、**INTSBEO** 割り込みサービスプログラムで **<SIOS> = “0”** を書き込むか、**<SIOINH> = “1”** を書き込みます。**<SIOS>** がクリアされると、受信データが全ビットそろい、**SBI0DBR** への書き込みが完了した時点で受信が終了します。プログラムによる受信終了の確認は、**SBI0SR<SIOF>**で行います。**<SIOF>**は、受信の終了で“0”にクリアされます。受信終了の確認後、最終受信データを読み出します。**<SIOINH> = “1”** を書き込んだ場合は、直ちに受信を打ち切り、**<SIOF>**は“0”になります(受信データは無効になりますので読み出す必要はありません)。

注) 転送モードを切り替えると、**SBI0DBR** の内容は保持されません。もし、転送モードの切り替えが必要な場合は、受信終了指示 (**<SIOS> = “0”** を書き込み)を行い、最終受信データを読み出した後で切り替えてください。

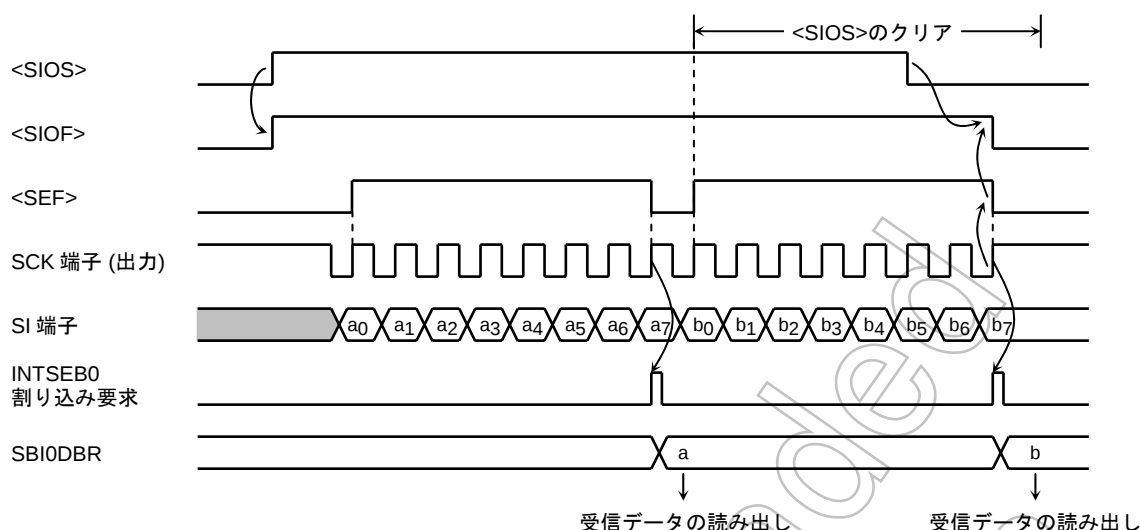


図 3.10.27 受信モード (例: 内部クロック)

3. 8 ビット送受信モード

制御レジスタに送受信モードをセットした後、送信データを SBI0DBR に書き込みます。その後、SBI0CR1<SIOF>に“1”をセットすることにより送受信可能となります。最下位ビットから、シリアルクロックの立ち下がりで送信データが SO 端子から出力され、立ち上がりで受信データが SI 端子から取り込まれます。8 ビットのデータが取り込まれると、シフトレジスタから SBI0DBR へ受信データが転送され、INTSEB0 割り込み要求が発生します。割り込みサービスプログラムにて受信データをデータバッファレジスタから読み出し、その後、送信データを書き込みます。SBI0DBR は、送信/受信モードで兼用していますので、送信データは必ず受信データを読み出してから書き込むようにしてください。

内部クロック動作の場合、受信データを読み出し、次の送信データを書き込むまで自動ウェイト動作を行います。

外部クロック動作の場合は、シフト動作が外部から供給されるシリアルクロックに同期しますので、次のシフト動作に入る前に受信データを読み出し、次の送信データを書き込む必要があります。外部クロック動作での最大転送速度は、割り込み要求の発生から受信データを読み出し、送信データを書き込むまでの最大遅れ時間により決まります。

送信開始時、<SIOF>が“1”となってから SCK の立ち下がりエッジまでの間、前回送信したデータの最後のビットと同じ値が出力されます。

送受信を終了させるには、INTSEB0 割り込みサービスプログラムで<SIOF> = “0”を書き込むか、SBI0CR1<SIOINH> = “1”を書き込みます。<SIOF>がクリアされると、受信データがそろい、SBI0DBR への転送が完了した時点で送受信が終了します。プログラムによる送受信終了の確認は、SBI0SR<SIOF>で行います。<SIOF>は、送受信の終了で“0”にクリアされます。<SIOINH>をセットした場合は、直ちに送受信を打ち切り、<SIOF>は“0”にクリアされます。

注) 転送モードを切り替えると、SBI0DBR の内容は保持されません。もし、転送モードの切り替えが必要な場合は、送受信終了指示 (<SIOF> = “0” を書き込み) を行い、最終受信データを読み出した後で切り替えてください。

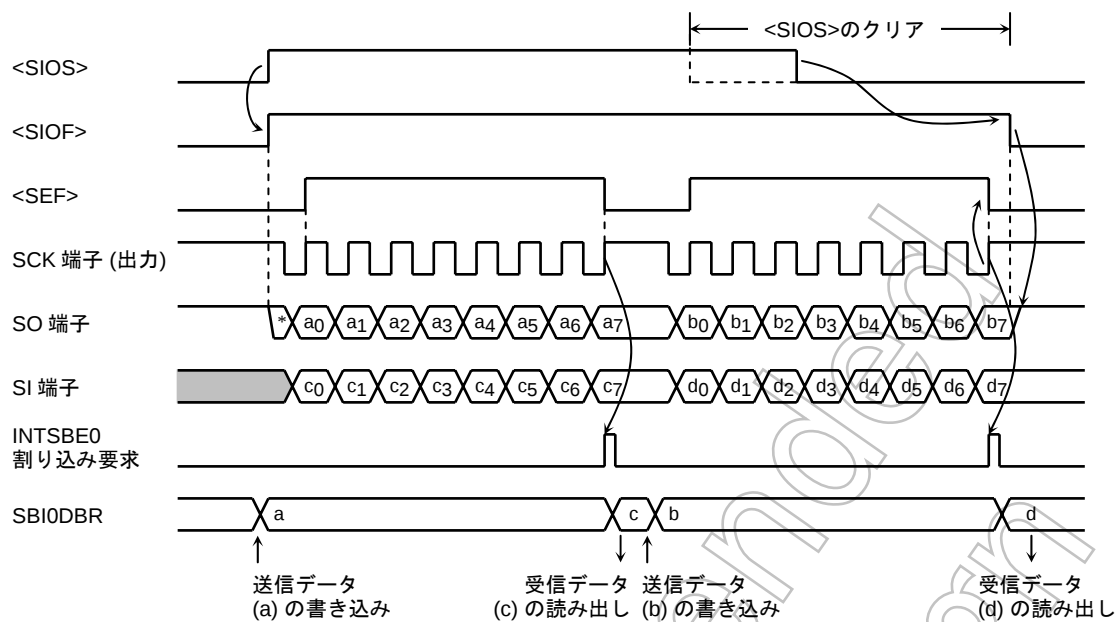


図 3.10.28 送受信モード (例: 内部クロック)

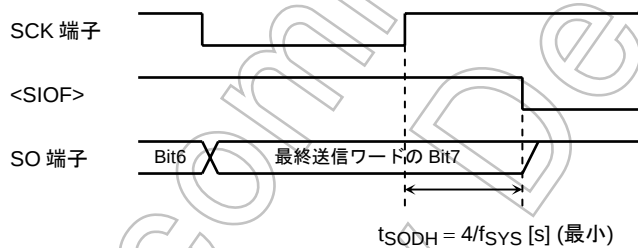


図 3.10.29 送受信終了時の送信データ保持時間 (送受信モード時)

3.11 アナログ/デジタルコンバータ

TMP92CM22 は、8 チャンネルのアナログ入力を持つ、10 ビット逐次比較方式アナログ/デジタルコンバータ (AD コンバータ) を内蔵しています。

図 3.11.1 に AD コンバータのブロック図を示します。

8 チャンネルのアナログ入力端子 (AN0~AN7) は、入力専用ポート G と兼用で入力ポートとしても使用できます。

注) IDLE2, IDLE1, STOP モードにより電源電流を低減させる場合は、タイミングにより内部のコンパレータがイネーブル状態のままスタンバイに入ることがありますので、AD コンバータの動作が停止していることを確認してから HALT 命令を実行してください。

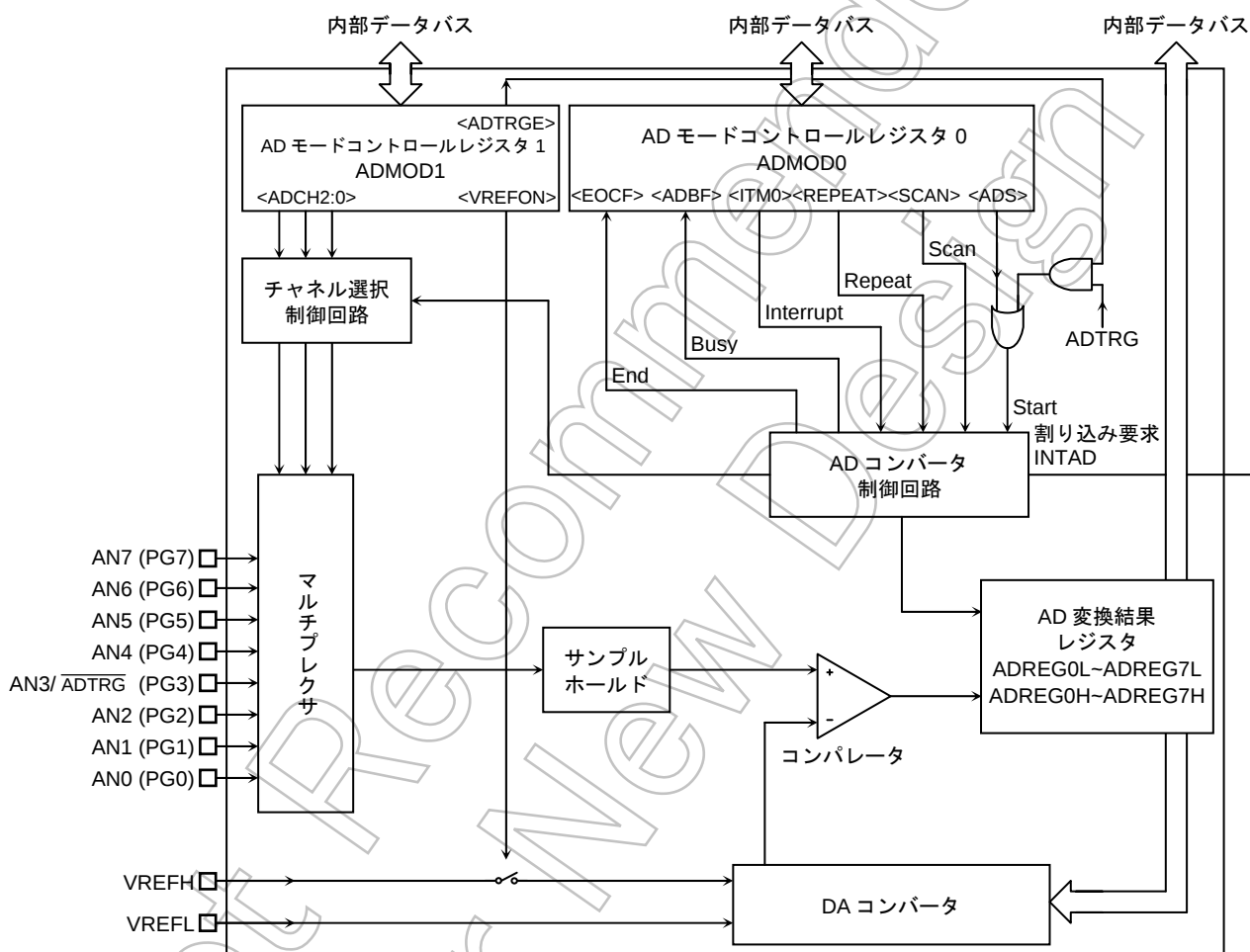


図 3.11.1 AD コンバータのブロック図

3.11.1 アナログ/デジタルコンバータレジスタ

ADコンバータは、3つのADモードコントロールレジスタ (ADMOD0, ADMOD1, ADMOD2) により制御されています。また、AD変換結果は、AD変換結果上位/下位レジスタADREG0H/L, ADREG7H/Lの 8 のレジスタに格納されます。図 3.11.2 にADコンバータ関係のレジスタを示します。

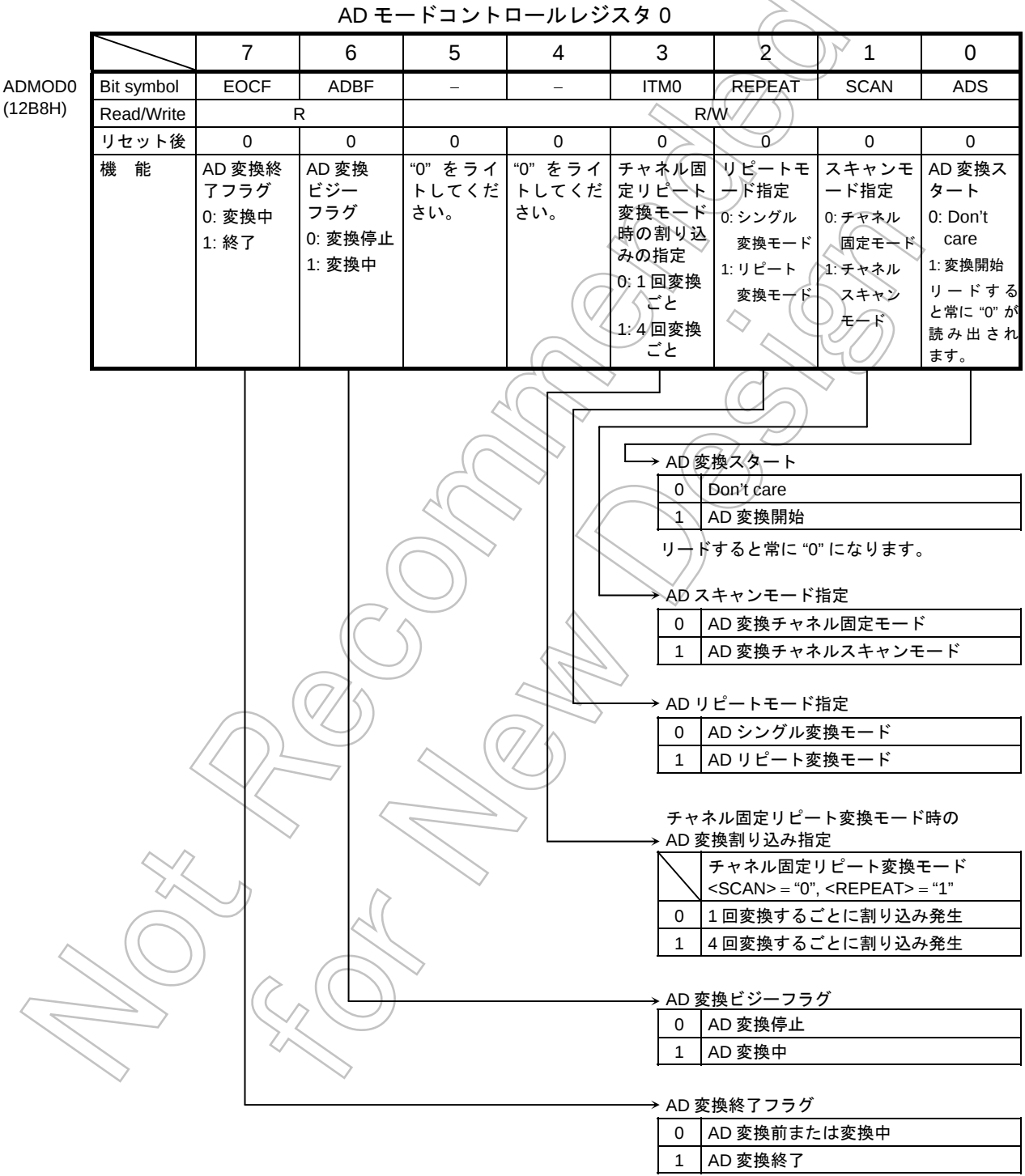


図 3.11.2 AD コンバータ関係のレジスタ

AD モードコントロールレジスタ 1

ADMOD1
(12B9H)

	7	6	5	4	3	2	1	0
Bit symbol	VREFON	I2AD	–	–	–	ADCH2	ADCH1	ADCH0
Read/Write	R/W							
リセット後	0	0	0	0	0	0	0	0
機 能	VREF 印加制御 0: OFF 1: ON	IDLE2 0: 停止 1: 動作	“0” をライト してください。	“0” をライト してください。	“0” をライト してください。	アナログ入力チャネル選択		

アナログ入力チャネル選択

<ADCH2:0>	<SCAN>	
	0 (チャネル 固定)	1 (チャネル スキャン)
000	AN0	AN0
001	AN1	AN0 → AN1
010	AN2	AN0 → AN1 → AN2
011 (注)	AN3	AN0 → AN1 → AN2 → AN3
100 (注)	AN4	AN0 → AN1 → AN2 → AN3 → AN4
101 (注)	AN5	AN0 → AN1 → AN2 → AN3 → AN4 → AN5
110 (注)	AN6	AN0 → AN1 → AN2 → AN3 → AN4 → AN5 → AN6
111 (注)	AN7	AN0 → AN1 → AN2 → AN3 → AN4 → AN5 → AN6 → AN7

→ IDLE2 制御

0	停止
1	動作

→ AD コンバータ用基準電圧印加制御

0	OFF
1	ON

変換スタート前 (ADMOD0<ADS>に “1” を書き込む前) に、<VREFON>を “1” に設定してください。

ADMOD2
(12BAH)

	7	6	5	4	3	2	1	0
Bit symbol								ADTRGE
Read/Write								R/W
リセット後								0
機 能								AD 外部トリガスタート制御 0: 禁止 1: 許可

→ 外部トリガ AD 変換スタート制御

0	ディセーブル
1	イネーブル

注) AN3 端子は $\overline{\text{ADTRG}}$ 端子と兼用になっています。このため、<ADTRGE> = 1 で $\overline{\text{ADTRG}}$ 端子を使用するときは、<ADCH2:0> = “011”, “100”, “101”, “110”, “111” と設定しないでください。

図 3.11.3 AD コンバータ関係のレジスタ

AD 変換結果下位レジスタ 0

	7	6	5	4	3	2	1	0
ADREG0L (12A0H)	Bit symbol	ADR01	ADR00					ADR0RF
	Read/Write	R						R
	リセット後	不定						0
	機 能	AD 変換結果下位 2 ビット格納						AD 変換結果 格納フラグ 1: 変換結果 あり

AD 変換結果上位レジスタ 0

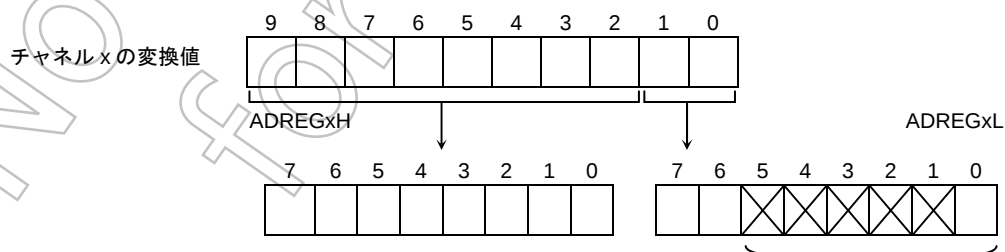
	7	6	5	4	3	2	1	0
ADREG0H (12A1H)	Bit symbol	ADR09	ADR08	ADR07	ADR06	ADR05	ADR04	ADR03
	Read/Write	R						
	リセット後	不定						
	機 能	AD 変換結果上位 8 ビット格納						

AD 変換結果下位レジスタ 1

	7	6	5	4	3	2	1	0
ADREG1L (12A2H)	Bit symbol	ADR11	ADR10					ADR1RF
	Read/Write	R						R
	リセット後	不定						0
	機 能	AD 変換結果下位 2 ビット格納						AD 変換結果 格納フラグ 1: 変換結果 あり

AD 変換結果上位レジスタ 1

	7	6	5	4	3	2	1	0
ADREG1H (12A3H)	Bit symbol	ADR19	ADR18	ADR17	ADR16	ADR15	ADR14	ADR13
	Read/Write	R						
	リセット後	不定						
	機 能	AD 変換結果上位 8 ビット格納						



- ビット 5~1 を読み出すと、常に “1” になります。
- ビット 0 は AD 変換格納フラグ<ADR_xRF>です。AD 変換値が格納されると、“1” にセットされます。どちらかのレジスタ (ADR_{GxH}, ADR_{GxL}) をリードすると、“0” にクリアされます。

図 3.11.4 AD コンバータ関係のレジスタ

AD 変換結果下位レジスタ 2

ADREG2L
(12A4H)

	7	6	5	4	3	2	1	0
Bit symbol	ADR21	ADR20						ADR2RF
Read/Write	R							R
リセット後	不定							0
機 能	AD 変換結果下位 2 ビット格納							AD 変換結 果 格納フラグ 1: 変換結果 あり

AD 変換結果上位レジスタ 2

ADREG2H
(12A5H)

	7	6	5	4	3	2	1	0
Bit symbol	ADR29	ADR28	ADR27	ADR26	ADR25	ADR24	ADR23	ADR22
Read/Write	R							
リセット後	不定							
機 能	AD 変換結果上位 8 ビット格納							

AD 変換結果下位レジスタ 2

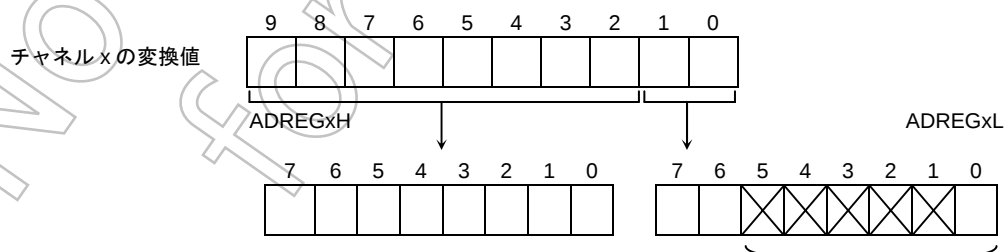
ADREG3L
(12A6H)

	7	6	5	4	3	2	1	0
Bit symbol	ADR31	ADR30						ADR3RF
Read/Write	R							R
リセット後	不定							0
機 能	AD 変換結果下位 2 ビット格納							AD 変換結 果 格納フラグ 1: 変換結果 あり

AD 変換結果上位レジスタ 3

ADREG3H
(12A7H)

	7	6	5	4	3	2	1	0
Bit symbol	ADR39	ADR38	ADR37	ADR36	ADR35	ADR34	ADR33	ADR32
Read/Write	R							
リセット後	不定							
機 能	AD 変換結果上位 8 ビット格納							



- ビット 5~1 を読み出すと、常に“1”になります。
- ビット 0 は AD 変換格納フラグ<ADRxRF>です。AD 変換値が格納されると、“1”にセットされます。どちらかのレジスタ (ADREGxH, ADREGxL) をリードすると、“0”にクリアされます。

図 3.11.5 AD コンバータ関係のレジスタ

AD 変換結果下位レジスタ 4

	7	6	5	4	3	2	1	0
ADREG4L (12A8H)	Bit symbol	ADR41	ADR40					ADR4RF
	Read/Write	R						R
	リセット後	不定						0
	機 能	AD 変換結果下位 2 ビット格納						AD 変換結果 格納フラグ 1: 変換結果 あり

AD 変換結果上位レジスタ 4

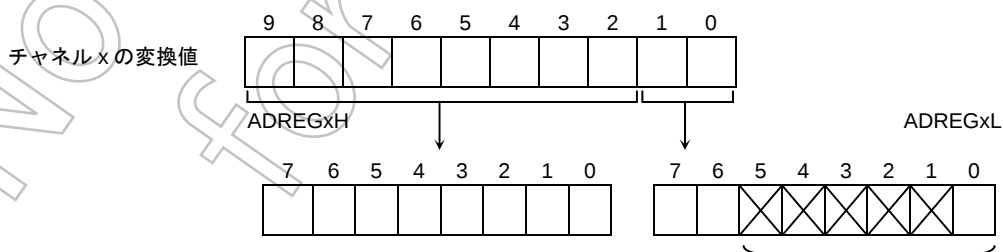
	7	6	5	4	3	2	1	0
ADREG4H (12A9H)	Bit symbol	ADR49	ADR48	ADR47	ADR46	ADR45	ADR44	ADR43
	Read/Write	R						
	リセット後	不定						
	機 能	AD 変換結果上位 8 ビット格納						

AD 変換結果下位レジスタ 5

	7	6	5	4	3	2	1	0
ADREG5L (12AAH)	Bit symbol	ADR51	ADR50					ADR5RF
	Read/Write	R						R
	リセット後	不定						0
	機 能	AD 変換結果下位 2 ビット格納						AD 変換結果 格納フラグ 1: 変換結果 あり

AD 変換結果上位レジスタ 5

	7	6	5	4	3	2	1	0
ADREG5H (12ABH)	Bit symbol	ADR59	ADR58	ADR57	ADR56	ADR55	ADR54	ADR53
	Read/Write	R						
	リセット後	不定						
	機 能	AD 変換結果上位 8 ビット格納						



- ビット 5~1 を読み出すと、常に "1" になります。
- ビット 0 は AD 変換格納フラグ <ADRxRF> です。AD 変換値が格納されると、"1" にセットされます。どちらかのレジスタ (ADREGxH, ADREGxL) をリードすると、"0" にクリアされます。

図 3.11.6 AD コンバータ関係のレジスタ

AD 変換結果下位レジスタ 6

	7	6	5	4	3	2	1	0
ADREG6L (12ACH)	Bit symbol	ADR61	ADR60					ADR6RF
	Read/Write	R						R
	リセット後	不定						0
	機 能	AD 変換結果下位 2 ビット格納						AD 変換結果 格納フラグ 1: 変換結果 あり

AD 変換結果上位レジスタ 6

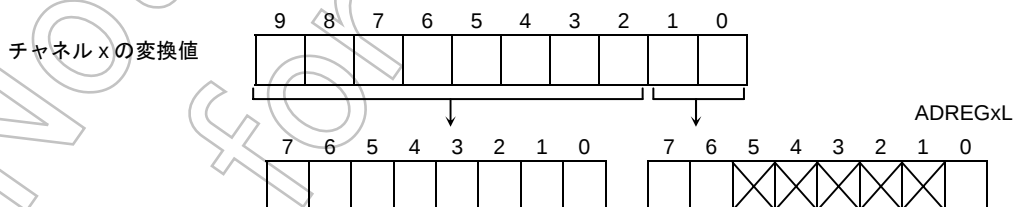
	7	6	5	4	3	2	1	0
ADREG6H (12ADH)	Bit symbol	ADR69	ADR68	ADR67	ADR66	ADR65	ADR64	ADR63
	Read/Write	R						
	リセット後	不定						
	機 能	AD 変換結果上位 8 ビット格納						

AD 変換結果下位レジスタ 7

	7	6	5	4	3	2	1	0
ADREG7L (12AEH)	Bit symbol	ADR71	ADR70					ADR7RF
	Read/Write	R						R
	リセット後	不定						0
	機 能	AD 変換結果下位 2 ビット格納						AD 変換結果 格納フラグ 1: 変換結果 あり

AD 変換結果上位レジスタ 7

	7	6	5	4	3	2	1	0
ADREG7H (12AFH)	Bit symbol	ADR79	ADR78	ADR77	ADR76	ADR75	ADR74	ADR73
	Read/Write	R						
	リセット後	不定						
	機 能	AD 変換結果上位 8 ビット格納						



- ビット 5~1 を読み出すと、常に "1" になります。
- ビット 0 は AD 変換格納フラグ <ADRxRF> です。AD 変換値が格納されると、"1" にセットされます。どちらかのレジスタ (ADREGxH, ADREGxL) をリードすると、"0" にクリアされます。

図 3.11.7 AD コンバータ関係のレジスタ

3.11.2 動作説明

(1) アナログ基準電圧

アナログ基準電圧の“H”レベル側を VREFH 端子に、“L”レベル側を VREFL 端子に印加します。VREFH~VREFL 間の基準電圧をストリング抵抗により 1024 等分し、アナログ入力電圧と比較判定を行うことにより、AD 変換を行います。

ADMOD1<VREFON>ビットに“0”を書き込むことにより、VREFH~VREFL 間のスイッチを OFF できます。なお、OFF している状態から AD 変換スタートをさせる場合は、必ず<VREFON>に“1”を書き込んだ後、内部基準電圧が安定するまでの 3 μ s (システムクロック周波数 f_{SYS} に関係ありません) 待ち、ADMOD0<ADS>に“1”を書き込んでください。

(2) アナログ入力チャネルの選択

アナログ入力チャネルの選択は、AD コンバータの動作モードによって異なります。

- アナログ入力チャネルを固定で使用する場合 (ADMOD0<SCAN>=“0”)

ADMOD1<ADCH2:0>の設定により、アナログ入力 AN0~AN7 端子の中から 1 チャネルを選択します。
- アナログ入力チャネルをスキャンで使用する場合 (ADMOD0<SCAN>=“1”)

ADMOD1<ADCH2:0>の設定により、8 種類のスキャンモードの中から 1 つのスキャンモードを選択します。

表 3.11.1 に動作モード別のアナログ入力チャネルの選択を示します。

リセット後、ADMOD0<SCAN>は“0”に、ADMOD1<ADCH2:0>は“000”に初期化されますので、AN0 端子のチャネル固定入力を選択されます。なお、アナログ入力チャネルとして使用しない端子は、通常の入力ポートとして使用できます。

表 3.11.1 アナログ入力チャネルの選択

<ADCH2:0>	チャネル固定 <SCAN> = “0”	チャネルスキャン <SCAN> = “1”
000	AN0	AN0
001	AN1	AN0 → AN1
010	AN2	AN0 → AN1 → AN2
011	AN3	AN0 → AN1 → AN2 → AN3
100	AN4	AN0 → AN1 → AN2 → AN3 → AN4
101	AN5	AN0 → AN1 → AN2 → AN3 → AN4 → AN5
110	AN6	AN0 → AN1 → AN2 → AN3 → AN4 → AN5 → AN6
111	AN7	AN0 → AN1 → AN2 → AN3 → AN4 → AN5 → AN6 → AN7

(3) AD 変換開始

AD 変換は、ADMOD0<ADS>に“1”を設定するか、ADMOD1<ADTRGE>に“1”を設定し、 $\overline{\text{ADTRG}}$ 端子より立ち下がりエッジを入力することにより開始されます。AD 変換が開始されると、AD 変換中を示す AD 変換 BUSY フラグ (ADMOD<ADBF>) が“1”にセットされます。

(4) AD 変換モードと AD 変換終了割り込み

AD 変換には、4 種類のモードが用意されています。

- チャンネル固定シングル変換モード
- チャンネルスキャンシングル変換モード
- チャンネル固定リピート変換モード
- チャンネルスキャンリピート変換モード

AD 変換モードの選択は、AD モードコントロールレジスタ 0 ADMOD0<REPEAT, SCAN>で行います。

AD 変換が終了すると、AD 変換終了割り込み INTAD の割り込み要求が発生します。また、AD 変換終了を示す ADMOD0<EOCF>が“1”にセットされます。

1. チャンネル固定シングル変換モード

ADMOD0<REPEAT, SCAN>に“00”を設定すると、チャンネル固定シングル変換モードになります。

このモードでは、選択した 1 チャンネルの変換を 1 回だけ行います。変換が終了した後、ADMOD0<EOCF>が“1”にセット、ADMOD<ADBF>“0”にクリアされ、INTAD の割り込み要求が発生します。

2. チャンネルスキャンシングル変換モード

ADMOD0<REPEAT, SCAN>に“01”を設定すると、チャンネルスキャンシングル変換モードになります。

このモードでは、選択したスキャンチャンネルの変換をそれぞれ 1 回だけ行います。変換が終了した後、ADMOD0<EOCF>が“1”にセット、ADMOD0<ADBF>が“0”にクリアされ、INTAD の割り込み要求が発生します。

3. チャネル固定リピート変換モード

ADMOD0<REPEAT, SCAN>に“10”を設定すると、チャネル固定リピート変換モードになります。

このモードでは、選択した1チャネルの変換を繰り返し行います。変換が終了した後、ADMOD0<EOCF>が“1”にセットされます。ADMOD0<ADBF>は“0”にクリアされず“1”を保持します。INTADの割り込み要求タイミングは、ADMOD0<ITM0>の設定により選択できます。

<ITM0>を“0”に設定すると、AD変換が1回終了するごとに割り込み要求が発生します。

<ITM0>を“1”に設定すると、AD変換が4回終了するごとに割り込み要求が発生します。

4. チャネルスキャンリピート変換モード

ADMOD0<REPEAT, SCAN>に“11”を設定すると、チャネルスキャンリピート変換モードになります。

このモードでは、選択したスキャンチャネルの変換を繰り返し行います。1回のスキャン変換が終了するごとにADMOD0<EOCF>が“1”にセットされ、INTAD割り込み要求が発生します。ADMOD0<ADBF>は、“0”にクリアされずに“1”を保持します。

リピート変換モード(3, 4)の動作を停止させたい場合は、ADMOD0<REPEAT>に“0”を書き込んでください。実行中の変換を終了した時点で、リピート変換モードは終了し、ADMOD0<ADBF>は“0”にクリアされます。

ADMOD1<I2AD>を0にクリアすることによるIDLE2, IDLE1, STOPモードのホルト状態へ移行すると、AD変換中でもADコンバータは直ちに動作を停止します。ホルト解除後、リピート変換モード(3, 4)では、AD変換を最初から開始します。シングル変換モード(1, 2)では、変換動作を再開しません(停止したままです)。

表 3.11.2にAD変換モードと割り込み要求の関係を示します。

表 3.11.2 AD変換モードと割り込み要求の関係

モード	割り込み要求の発生	ADMOD0		
		<ITM0>	<REPEAT>	<SCAN>
チャネル固定 シングル変換モード	変換終了直後	X	0	0
チャネルスキャン シングル変換モード	スキャン変換終了後	X	0	1
チャネル固定 リピート変換モード	1回変換するごとに	0	1	0
	4回変換するごとに	1		
チャネルスキャン リピート変換モード	1回のスキャン変換が 終了するごとに	X	1	1

X: Don't care

(5) AD 変換時間

1 チャンネル当たりの AD 変換ステートは、132 ステート ($6.6 \mu\text{s} @ f_{\text{SYS}} = 20 \text{ MHz}$) です。

(6) AD 変換結果の格納と読み出し

AD 変換結果は、AD 変換結果上位/下位レジスタ (ADREG0H/L~ADREG7H/L) に格納されます。(ADREG0H/L~ADREG7H/L は、読み出し専用のレジスタです。)

チャンネル固定リピート変換モードでは、AD 変換結果は、ADREG0H/L~ADREG3H/L へと順次格納されます。それ以外のモードでは、チャンネル AN0, AN1, AN2, AN3, AN4, AN5, AN6, AN7 の変換結果が、それぞれ ADREG0H/L, ADREG1H/L, ADREG2H/L, ADREG3H/L, ADREG4H/L, ADREG5H/L, ADREG6H/L, ADREG7H/L に格納されます。

表 3.11.3 にアナログ入力チャンネルと AD 変換結果レジスタの対応を示します。

表 3.11.3 アナログ入力チャンネルと AD 変換結果レジスタの対応

アナログ入力 チャンネル (ポート G)	AD 変換結果レジスタ	
	右記以外の変換モード	チャンネル固定リピート 変換モード ($\text{ADMOD0} < \text{ITM0} \geq "1"$)
AN0	ADREG0H/L	<pre> graph TD A[ADREG0H/L] --> B[ADREG1H/L] B --> C[ADREG2H/L] C --> D[ADREG3H/L] </pre>
AN1	ADREG1H/L	
AN2	ADREG2H/L	
AN3	ADREG3H/L	
AN4	ADREG4H/L	
AN5	ADREG5H/L	
AN6	ADREG6H/L	
AN7	ADREG7H/L	

AD 変換結果格納フラグ <ADR_xRF> は、AD 変換結果レジスタをリードしたかどうかを示しています。このフラグは、AD 変換結果レジスタに変換値が格納されると “1” にセットされ、どちらかの AD 変換結果レジスタ (ADREG_xH, ADREG_xL) を読み出すと “0” にクリアされます。

また、AD 変換結果の読み出しに伴い、AD 変換終了フラグ $\text{ADMOD0} < \text{EOCF}$ は “0” にクリアされます。

設定例:

1. AN3 端子のアナログ入力電圧を AD 変換し、AD 割り込み (INTAD) 処理ルーチンで変換値を 0800H のメモリへ書き込む場合

メインルーチンでの設定

	7	6	5	4	3	2	1	0	
INTE0AD	←	X	1	0	0	—	—	—	INTAD をイネーブルにし、レベルを“4”に設定します。
ADMOD1	←	1	1	0	0	0	0	1	アナログ入力チャンネルをAN3に設定します。
ADMOD0	←	X	X	0	0	0	0	0	チャンネル固定シングル変換モードで変換を開始します。
割り込みルーチンでの処理例									
WA	←	ADREG3							汎用レジスタ WA (16 ビット) へ ADREG3L, ADREG3H 値を読み出します。
WA	>>	6							WA に読み出した内容を右へ 6 回シフトし、上位ビットに“0”を入れます。
(0800H)	←	WA							アドレス 0800H へ WA の内容を書き込みます。

2. AN0~AN2 の 3 端子のアナログ入力電圧をチャンネルスキャンリピート変換モードで AD 変換し続ける場合

INTE0AD ←	X	0	0	0	—	—	—	—	INTAD を禁止します。
ADMOD1 ←	1	1	0	0	0	0	1	0	アナログ入力チャンネルを AN0~AN2 に設定します。
ADMOD0 ←	X	X	0	0	0	1	1	1	チャンネルスキャンリピート変換モードで変換を開始します。

X: Don't care、—: No change

3.12 ウォッチドッグタイマ (暴走検出用タイマ)

暴走検出用のウォッチドッグタイマを内蔵しています。

ウォッチドッグタイマ (WDT) は、ノイズなどの原因により CPU が誤動作 (暴走) を始めた場合これを検出し、正常な状態に戻すことを目的としています。暴走を検出するとノンマスカブル割り込みを発生し CPU に知らせます。

また、このウォッチドッグタイマアウトをリセット (チップ内部) へ接続することにより、強制的にリセット動作を行うことができます。(外部の RESET 端子レベルは変化しません。)

3.12.1 構成

図 3.12.1 にウォッチドッグタイマのブロック図を示します。

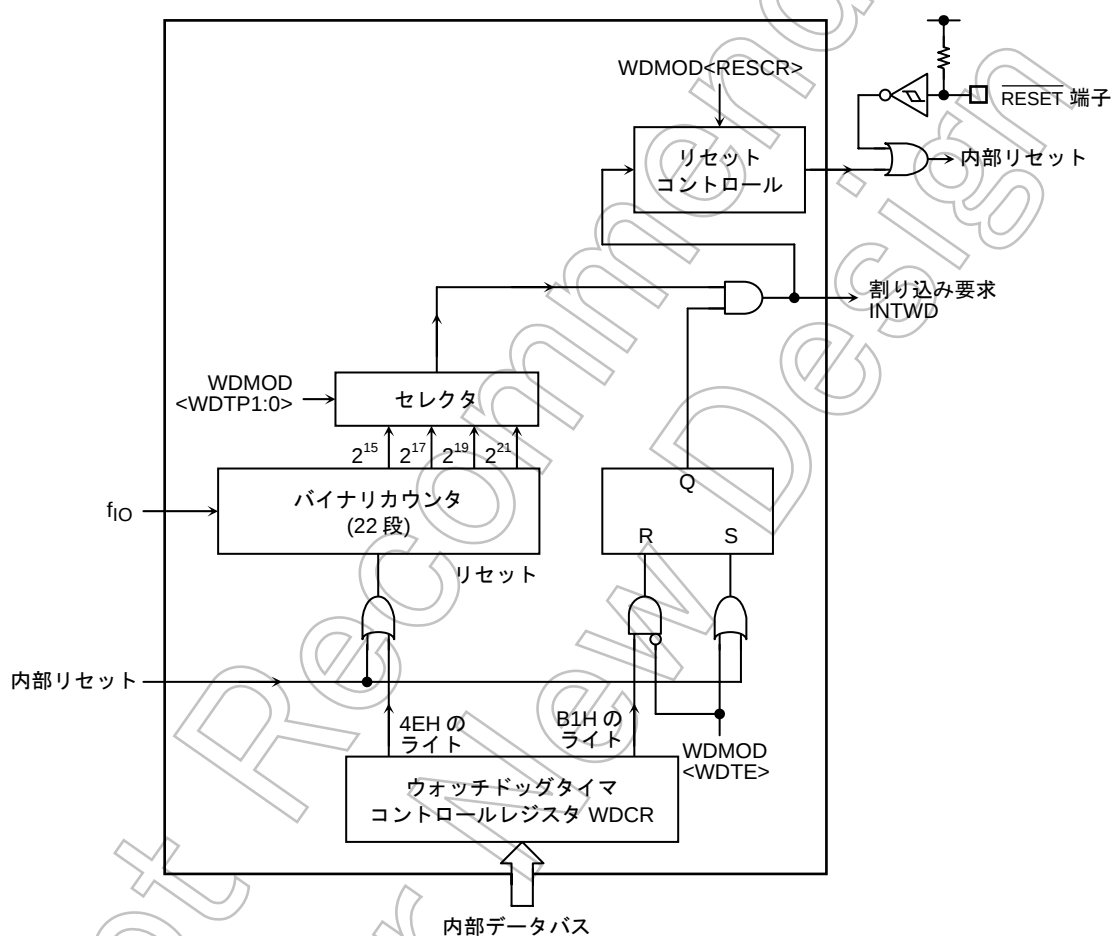


図 3.12.1 ウォッチドッグタイマのブロック図

注) 外乱ノイズなどの影響によりウォッチドッグタイマが完全な機能を果たせない場合がありますので、機器設計時には十分な考慮が必要です。

3.12.2 動作説明

ウォッチドッグタイマは、WDMOD<WDTP1:0>レジスタで設定された検出時間後に割り込み INTWD を発生させるタイマです。ソフトウェア（命令）でウォッチドッグタイマ用のバイナリカウンタを、INTWD 割り込みが発生する前に 0 にクリアすることが必要です。もし、CPU がノイズなどの原因で誤動作（暴走）し、バイナリカウンタをクリアする命令を実行しなければ、バイナリカウンタはオーバフローし、INTWD 割り込みが発生します。CPU は、INTWD 割り込みにより誤動作（暴走）が発生したことを知り、誤動作（暴走）対策プログラムにより正常な状態に戻すことができます。

ウォッチドッグタイマは、リセット解除後、直ちに動作を開始します。

なお、IDLE1 モードおよび STOP モード中のウォッチドッグタイマはリセットされ、停止しています。バス解放中（ $\overline{\text{BUSAK}} = \text{"L"}$ ）は、カウントを続けます。

IDLE2 モードでは、WDMOD<I2WDT>の設定に依存します。必要に応じて、IDLE2 モードに入る前に WDMOD<I2WDT>を設定してください。

ウォッチドッグタイマは、システムクロック f_{SYS} を入力クロックとする、22 段のバイナリカウンタで構成されています。バイナリカウンタの出力には 2^{15} , 2^{17} , 2^{19} および 2^{21} があります。



図 3.12.2 ノーマルモード

また、オーバフロー時に、本 LSI をリセットすることも選択可能です。この場合、図 3.12.3 で示すように 22~29 システムクロック ($35.2 \sim 46.4 \mu\text{s}$ @ $f_{\text{OSCH}} = 40 \text{ MHz}$) の期間、リセットを行います。なお、この場合（リセットされた場合）、クロック f_{SYS} は、高速発振器のクロック f_{OSCH} をクロックギアで 16 分周した f_{FPH} を基に、それを 2 分周して生成されたものが使われます。

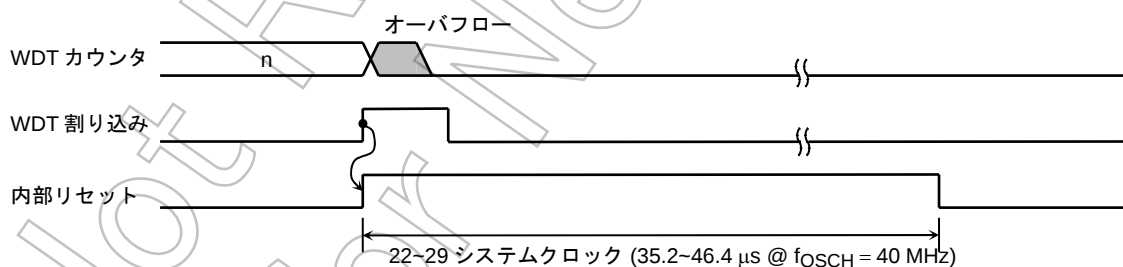


図 3.12.3 リセットモード

3.12.3 コントロールレジスタ

ウォッチドッグタイマ (WDT) は、2つのコントロールレジスタ (WDMOD, WDCR) によって制御されています。

(1) ウォッチドッグタイマモードレジスタ WDMOD

1. ウォッチドッグタイマ検出時間の設定<WDTP1:0>

暴走検出のためのウォッチドッグタイマ割り込み時間を設定する 2 ビットのレジスタです。リセット時、WDMOD<WDTP1:0>=00 に初期化されますので、検出時間は $2^{16}/f_{SYS}$ [S] となります。(約 65,536 システムクロック)

2. ウォッチドッグタイマのイネーブル/ディセーブル制御<WDTE>

リセット時、WDMOD<WDTE>=1 に初期化されますので、ウォッチドッグタイマはイネーブルになっています。

ディセーブルにするには、このビットを“0”にクリアするとともに、WDCR レジスタにディセーブルコード (B1H) を書き込む必要があります。この二重設定のため、暴走によるウォッチドッグタイマのディセーブルが発生し難くなっています。

逆にディセーブル状態からイネーブル状態に戻す場合は、<WDTE>ビットを“1”にセットするだけでイネーブルとなります。

3. ウォッチドッグタイマアウトのリセット接続<RESCR>

暴走検出により、本 LSI をリセットするか否かを設定するレジスタです。リセット時、WDMOD<RESCR>=0 に初期化されますので、ウォッチドッグタイマアウト出力によるリセットは行われません。

(2) ウォッチドッグタイマコントロールレジスタ(WDCR)

ウォッチドッグタイマ機能のディセーブル、およびバイナリカウンタのクリアを制御するレジスタです。

● ディセーブル制御

WDMOD<WDTE>を“0”にクリアした後、この WDCR レジスタにディセーブルコード (B1H) を書き込むとウォッチドッグタイマをディセーブルにすることができます。

設定例:

WDCR	←	0	1	0	0	1	1	1	0	クリアコード (4EH) を書き込みます。
WDMOD	←	0	-	-	X	X	-	-	0	WDMOD<WDTE>を“0”にクリアします。
WDCR	←	1	0	1	1	0	0	0	1	ディセーブルコード (B1H) を書き込みます。

● イネーブル制御

WDMOD<WDTE>を“1”に設定します。

● ウォッチドッグタイマのクリア制御

WDCR レジスタにクリアコード (4EH) を書き込むと、バイナリカウンタはクリアされ、再カウントします。

WDCR	←	0	1	0	0	1	1	1	0	クリアコード (4EH) を書き込みます。
------	---	---	---	---	---	---	---	---	---	-----------------------

注1) ディセーブル制御をする際には一旦クリアコード(4EH)をライトした後ディセーブル制御をしてください。(設定例を参照してください)

注2) ウォッチドッグタイマの設定を変更する際は、ディセーブル状態にしてから設定を変更してください。

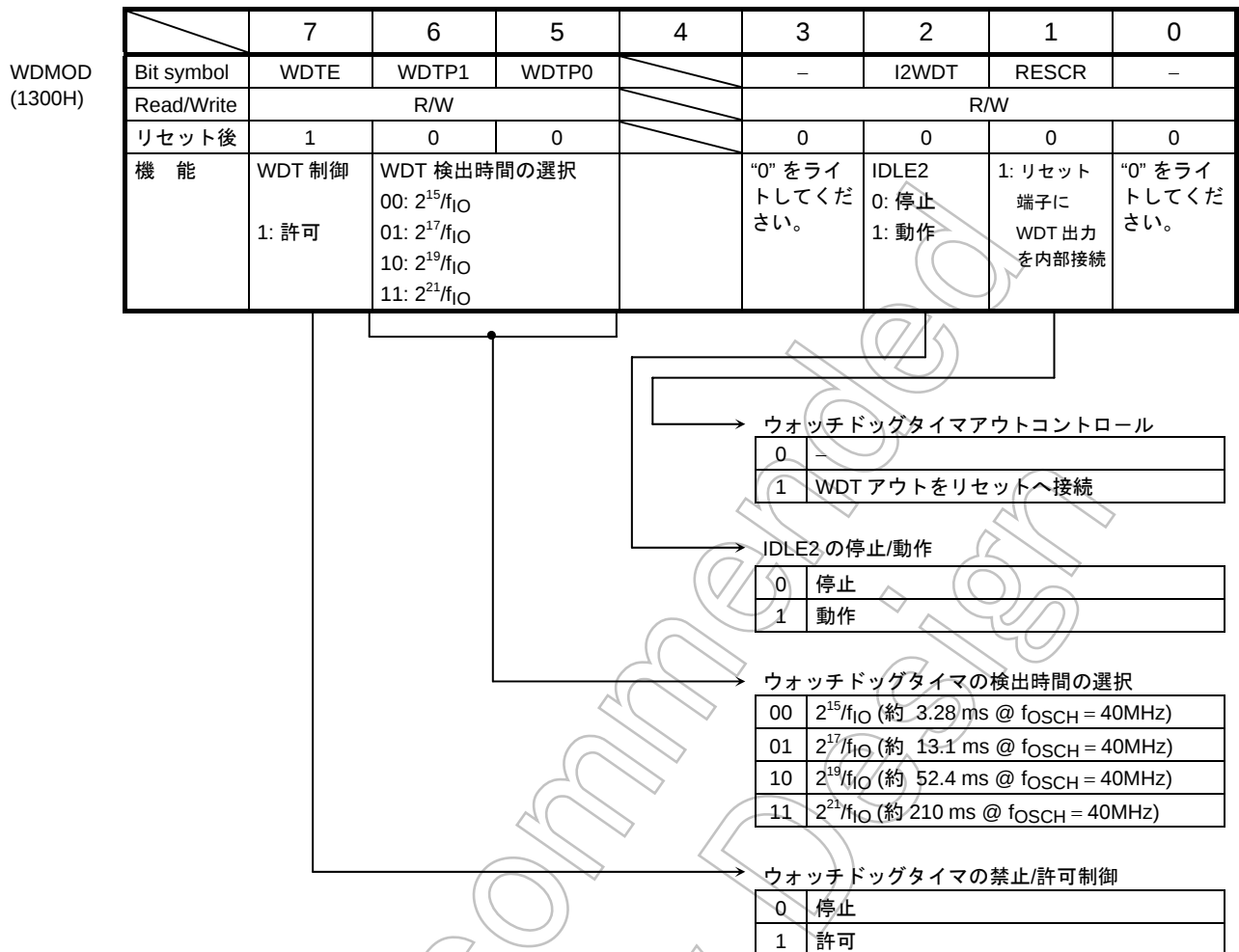


図 3.12.4 ウォッチドッグタイマモードレジスタ

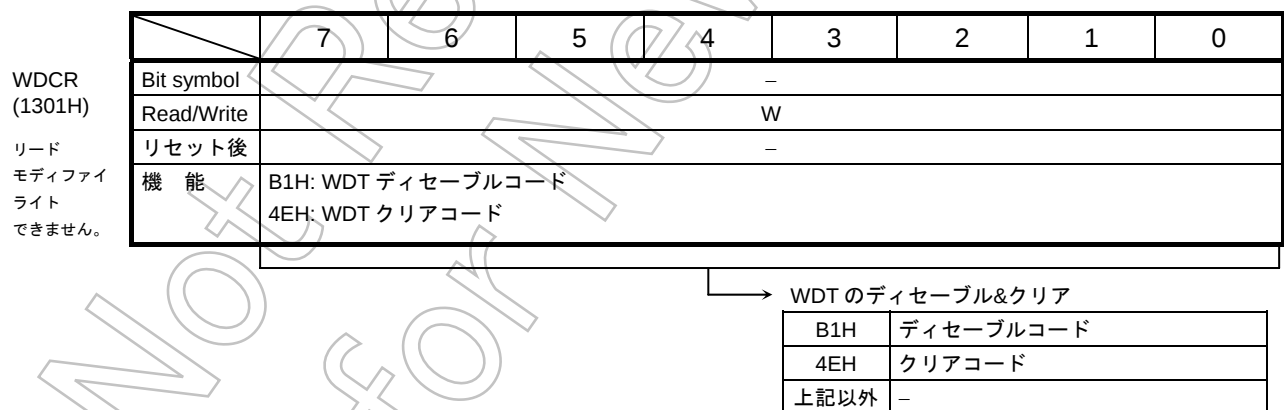


図 3.12.5 ウォッチドッグタイマコントロールレジスタ

4. 電気的特性

4.1 絶対最大定格

項目	記号	定格	単位
電源電圧	V _{CC}	-0.5~4.0	V
入力電圧	V _{IN}	-0.5~V _{CC} + 0.5	
出力電流 (1 端子当たり)	I _{OL}	2	mA
出力電流 (1 端子当たり)	I _{OH}	-2	
出力電流 (合計)	ΣI _{OL}	80	
出力電流 (合計)	ΣI _{OH}	-80	
消費電力 (T _a = 85°C)	PD	600	mW
はんだ付け温度 (10 s)	TSOLDER	260	°C
保存温度	TSTG	-65~150	
動作温度	TOPR	-40~85	

注) 絶対最大定格とは瞬時たりとも超えてはならない規格であり、どの 1 つの項目も超えることができない規格です。絶対最大定格を超えると、破壊や劣化の原因となり、破裂・燃焼による傷害を負うことがあります。従って、必ず絶対最大定格を超えないように、応用機器の設計を行ってください。

鉛フリー品 (G 付製品) へのはんだ濡れ性についての注意事項

試験項目	試験条件	備考
はんだ付け性	230°C 5 秒間 1 回 R タイプフラックス使用 (鉛はんだ使用時)	フォーミングまでの半田付着率 95%を良品とする
	245°C 5 秒間 1 回 R タイプフラックス使用 (鉛フリーはんだ使用時)	

4.2 DC 電気的特性

V_{CC} = 3.3 ± 0.3 V / f_c = 4~40 MHz / T_a = -40~85°C

項目	記号	条件	Min	Typ.	Max	単位
電源電圧 (DVCC = AVCC) (DVSS = AVSS = 0V)	V _{CC}	f _c = 4~40 MHz (f _{sys} = 125 kHz~20 MHz)	3.0		3.6	V
低レベル入力電圧 P00~P07 (D0~D7) P10~P17 (D8~D15)	V _{IL0}		-0.3		0.6	V
低レベル入力電圧 P40~P47 P50~P57 P60~P67 P76 PD2, PD3 PF0, PF3, PF6, PF7 PG0~PG7	V _{IL1}				0.3 × VCC	
低レベル入力電圧 P90~P92 PA0~PA2, PA7 PC0, PC1, PC3, PC5, PC6 PD0, PD1 PF1, PF2, PF4, PF5 RESET, $\overline{\text{NMI}}$	V _{IL2}				0.25 × VCC	
低レベル入力電圧 AM0, AM1	V _{IL3}				0.3	
低レベル入力電圧 X1	V _{IL4}				0.2 × VCC	
高レベル入力電圧 P00~P07 (D0~D7) P10~P17 (D8~D15)	V _{IH0}		2.0		VCC + 0.3	V
高レベル入力電圧 P40~P47 P50~P57 P60~P67 P76 PD2, PD3 PF0, PF3, PF6, PF7 PG0~PG7	V _{IH1}		0.7 × VCC			
高レベル入力電圧 P90~P92 PA0~PA2, PA7 PC0, PC1, PC3, PC5, PC6 PD0, PD1 PF1, PF2, PF4, PF5 RESET, $\overline{\text{NMI}}$	V _{IH2}		0.75 × VCC			
高レベル入力電圧 AM0, AM1	V _{IH3}		VCC - 0.3			
高レベル入力電圧 X1	V _{IH4}		0.8 × VCC			

$V_{CC} = 3.3 \pm 0.3 \text{ V} / f_c = 4 \sim 40 \text{ MHz} / T_a = -40 \sim 85^\circ\text{C}$

項目	記号	条件	Min	Typ.	Max	単位
低レベル出力電圧	V_{OL}	$I_{OL} = 1.6 \text{ mA}$			0.45	V
高レベル出力電圧	V_{OH}	$I_{OH} = -400 \mu\text{A}$	2.4			
入力リーク電流	I_{LI}	$0.0 \leq V_{in} \leq V_{CC}$		0.02	5	μA
出力リーク電流	I_{LO}	$0.2 \leq V_{in} \leq V_{CC} - 0.2$		0.05	10	
パワーダウン電圧 (@STOP, RAM バックアップ)	V_{STOP}	$V_{IL2} = 0.2 \times V_{CC}$, $V_{IH2} = 0.8 \times V_{CC}$	1.8		3.6	V
RESET プルアップ抵抗	R_{RST}		100		400	$\text{K}\Omega$
プログラマブルプルアップ抵抗	R_{KH}					
端子容量	C_{IO}	$f_c = 1 \text{ MHz}$			10	pF
シュミット幅	V_{TH}	P90~P92 PA0~PA2, PA7 PC0, PC1, PC3, PC5, PC6 PD0, PD1 PF1, PF2, PF4, PF5 $\overline{\text{RESET}}$, $\overline{\text{NMI}}$	0.4	1.0		V
NORMAL	ICC	$V_{CC} = 3.6 \text{ V}$, $X1 = 40 \text{ MHz}$ (内部発振 20 MHz)		30	42	mA
IDLE2 モード	ICC_{IDLE2}			17	25	
IDLE1 モード	ICC_{IDLE1}			3	5	
STOP	ICC_{STOP}	$V_{CC} = 3.6 \text{ V}$		1	100	μA

4.3 AC 電気的特性

4.3.1 基本バスサイクル

リードサイクル

 $V_{CC} = 3.3 \pm 0.3 \text{ V} / f_c = 4 \sim 40 \text{ MHz} / T_a = -40 \sim 85^\circ\text{C}$

No.	項目	記号	Min	Max	f _{sys} = 20 MHz (f _c = 40 MHz)	f _{sys} = 125 kHz (f _c = 4 MHz)	単位
1	発振周期 (X1/X2)	t _{OSC}	25	250	25	250	ns
2	システムクロック周期 (= T)	t _{CYC}	50	8000	50	8000	ns
3	CLKOUT 低レベルパルス幅	t _{CL}	0.5T - 15		10	3985	ns
4	CLKOUT 高レベルパルス幅	t _{CH}	0.5T - 15		10	3985	ns
5-1	A0-A23 有効 → D0-D15 入力 @ 0 ウェイト	t _{AD}		2.0T - 30	70	15970	ns
5-2	A0-A23 有効 → D0-D15 入力 @ 1 ウェイト	t _{AD3}		3.0T - 30	120	23970	ns
6-1	$\overline{\text{RD}}$ 立ち下がり → D0-D15 入力 @ 0 ウェイト	t _{RD}		1.5T - 30	45	11970	ns
6-2	$\overline{\text{RD}}$ 立ち下がり → D0-D15 入力 @ 1 ウェイト	t _{RD3}		2.5T - 30	95	19970	ns
7-1	$\overline{\text{RD}}$ 低レベルパルス幅 @0 ウェイト	t _{RR}	1.5T - 20		55	11980	ns
7-2	$\overline{\text{RD}}$ 低レベルパルス幅 @1 ウェイト	t _{RR3}	2.5T - 20		105	19980	ns
8	A0-A23 有効 → $\overline{\text{RD}}$ 立ち下がり	t _{AR}	0.5T - 15		10	3985	ns
9	$\overline{\text{RD}}$ 立ち下がり → CLKOUT 立ち下がり	t _{RK}	0.5T - 20		5	3980	ns
10	A0-A23 有効 → D0-D15 保持	t _{HA}	0		0	0	ns
11	$\overline{\text{RD}}$ 立ち上がり → D0-D15 保持	t _{HR}	0		0	0	ns
12	WAIT セットアップ時間	t _{TK}	15		15	15	ns
13	WAIT ホールド時間	t _{KT}	5		5	5	ns

ライトサイクル

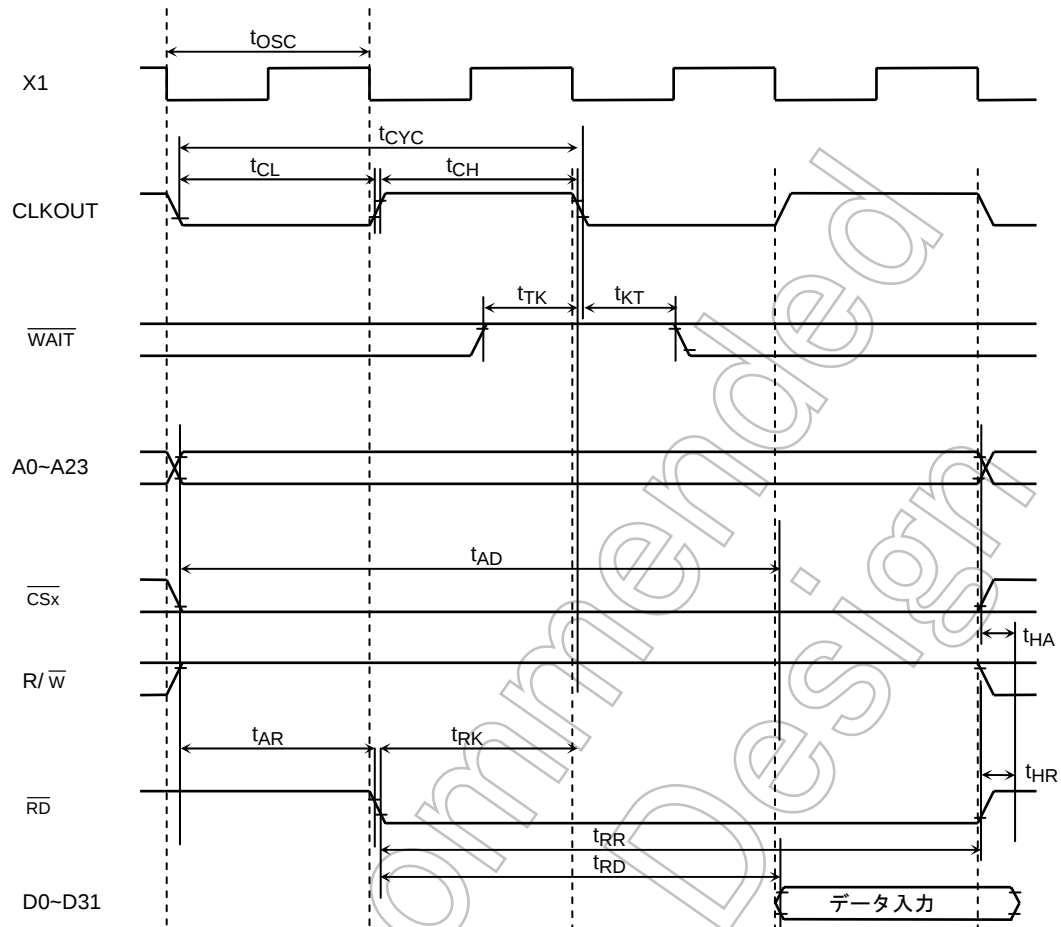
 $V_{CC} = 3.3 \pm 0.3 \text{ V} / f_c = 4 \sim 40 \text{ MHz} / T_a = -40 \sim 85^\circ\text{C}$

No.	項目	記号	Min	Max	f _{sys} = 20 MHz (f _c = 40 MHz)	f _{sys} = 125 kHz (f _c = 4 MHz)	単位
1	発振周期 (X1/X2)	t _{OSC}	25	250	25	250	ns
2	システムクロック周期 (= T)	t _{CYC}	50	8000	50	8000	ns
3	CLKOUT 低レベルパルス幅	t _{CL}	0.5T - 15		10	3985	ns
4	CLKOUT 高レベルパルス幅	t _{CH}	0.5T - 15		10	3985	ns
5-1	D0-D15 有効 → WRxx 立ち上がり @ 0 ウェイト	t _{DW}	1.25T - 35		28	9965	ns
5-2	D0-D15 有効 → WRxx 立ち上がり @ 1 ウェイト	t _{DW3}	2.25T - 35		78	17965	ns
6-1	WRxx 低レベルパルス幅 @ 0 ウェイト	t _{WW}	1.25T - 30		33	9970	ns
6-2	WRxx 低レベルパルス幅 @ 1 ウェイト	t _{WW3}	2.25T - 30		83	17970	ns
7	A0-A23 有効 → $\overline{\text{WR}}$ 立ち下がり	t _{AW}	0.5T - 15		10	3985	ns
8	$\overline{\text{WRxx}}$ 立ち下がり → CLKOUT 立ち下がり	t _{WK}	0.5T - 20		5	3980	ns
9	$\overline{\text{WRxx}}$ 立ち上がり → A0-A23 保持	t _{WA}	0.25T - 5		8	1995	ns
10	$\overline{\text{WRxx}}$ 立ち上がり → D0-D15 保持	t _{WD}	0.25T - 3		10	1997	ns
11	WAIT セットアップ時間	t _{TK}	15		15	15	ns
12	WAIT ホールド時間	t _{KT}	5		5	5	ns
13	$\overline{\text{RD}}$ 立ち上がり → D0-D15 出力	t _{RDO}	0.5T - 5		20	3995	ns

AC 測定条件

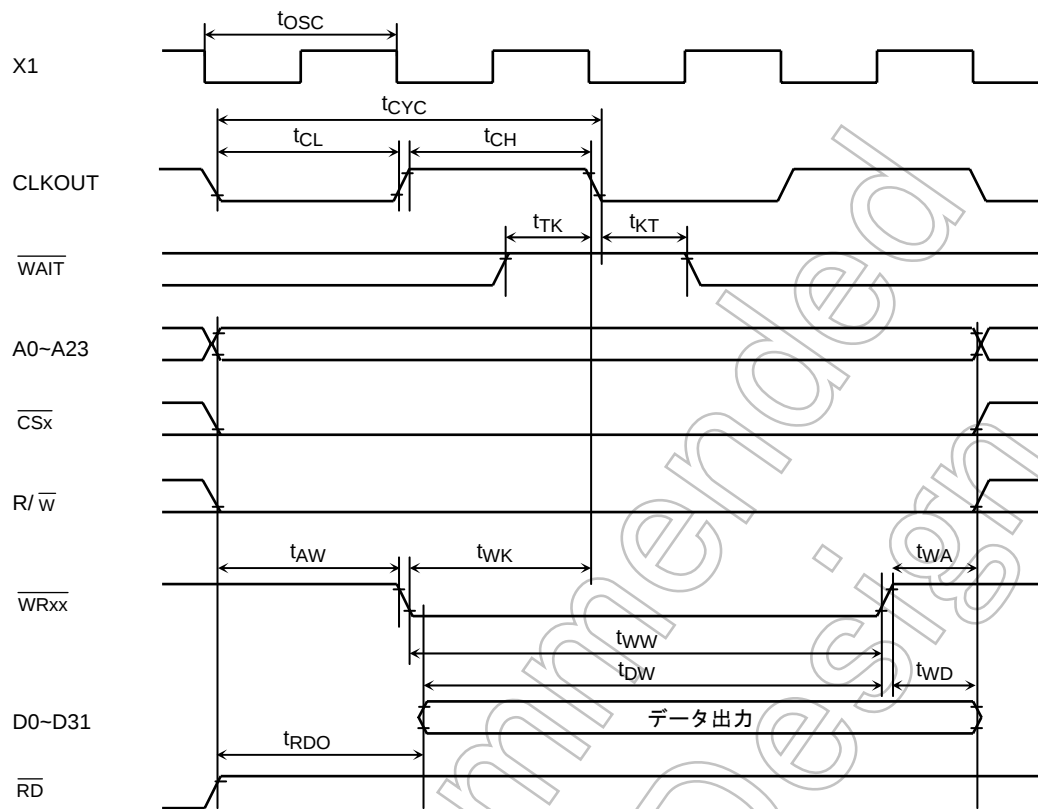
- 出力レベル: High = 0.7 V_{CC}, Low = 0.3 V_{CC}, C_L = 50 pF
- 入力レベル: High = 0.9 V_{CC}, Low = 0.1 V_{CC}

(1) リードサイクル (0 ウェイト, $f_c = f_{OSCH}$, $f_{FPH} = f_c/1$)



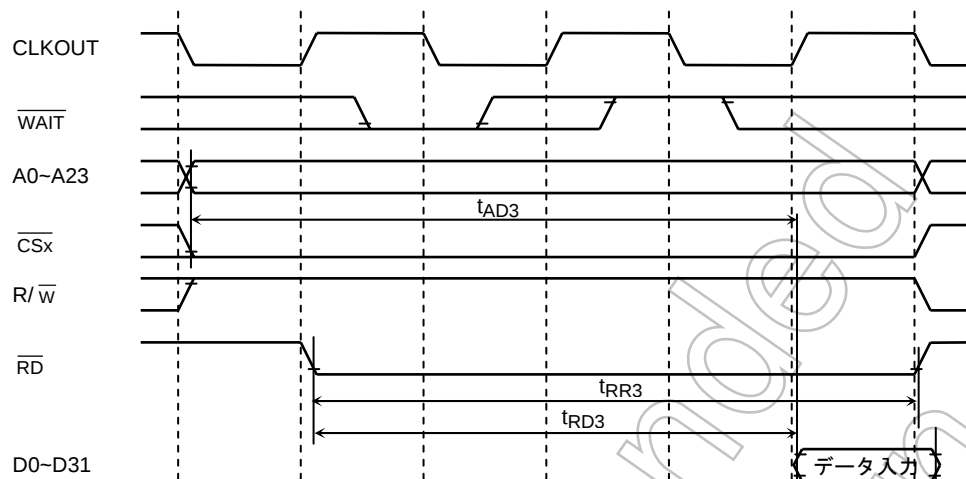
注) X1 入力信号とほかの信号の位相関係は不定です。上図は一例です。

(2) ライトサイクル (0 ウェイト, $f_c = f_{OSCH}$, $f_{FPH} = f_c/1$)

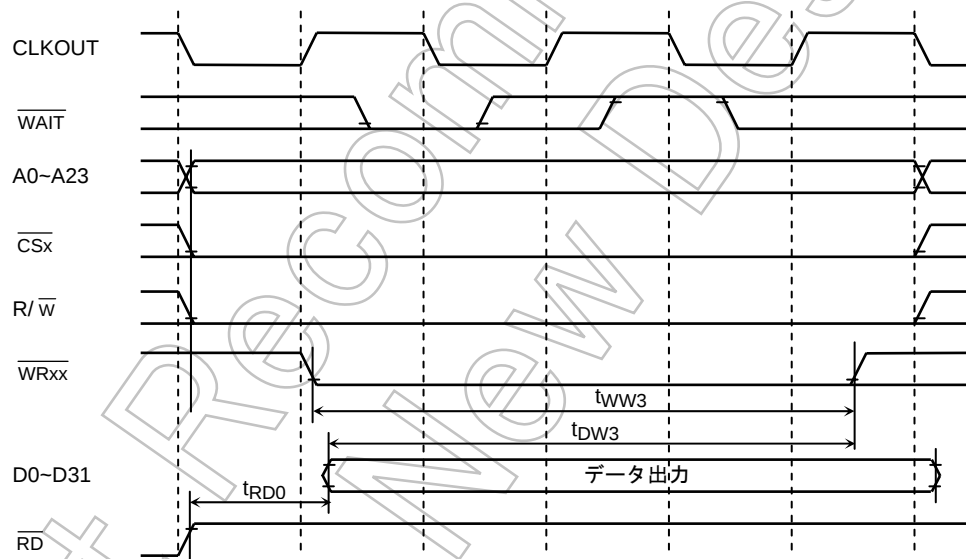


注) X1 入力信号とほかの信号の位相関係は不定です。上図は一例です。

(3) リードサイクル (1 ウェイト)



(4) ライトサイクル (1 ウェイト)



4.3.2 ページ ROM リードサイクル

(1) 3-2-2-2 モード

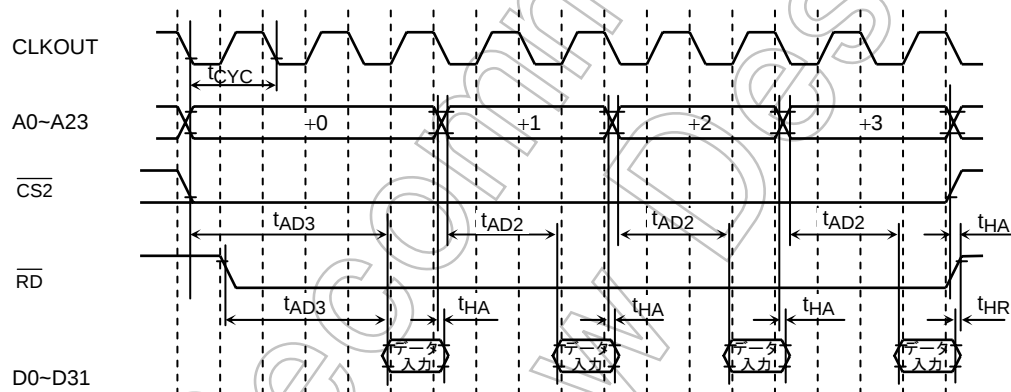
V_{CC} = 3.3 ± 0.3 V/f_c = 4~40 MHz/T_a = -40~85°C

No.	項目	記号	Min	Max	f _{SYS} = 20 MHz (f _c = 40 MHz)	f _{SYS} = 125 kHz (f _c = 4 MHz)	単位
1	SCLK 周期 (= T)	t _{CYC}	50	8000	50	8000	ns
2	A0, A1 → D0-D31 入力	t _{AD2}		2.0T - 50	50	15950	ns
3	A2-A23 → D0-D31 入力	t _{AD3}		3.0T - 50	100	23950	ns
4	RD 立ち下がり → D0-D31 入力	t _{RD3}		2.5T - 45	80	19955	ns
5	A0-A23 有効 → D0-D31 ホールド	t _{HA}	0		0	0	ns
6	RD 立ち上がり → D0-D31 ホールド	t _{HR}	0		0	0	ns

AC 測定条件

●出力レベル: High = 0.7V_{CC}, Low = 0.3V_{CC}, C_L = 50 pF●入力レベル: High = 0.9V_{CC}, Low = 0.1V_{CC}

(2) ページ ROM リードサイクル (3-2-2-2 モード)



4.4 AD 変換特性

項目	記号	Min	Typ.	Max	単位
アナログ基準電圧 (+)	V _{REFH}	VCC - 0.2	VCC	VCC	V
アナログ基準電圧 (-)	V _{REFL}	VSS	VSS	VSS + 0.2	
AD コンバータ 電源供給電圧	A _{VCC}	VCC	VCC	VCC	
AD コンバータ GND	A _{VSS}	VSS	VSS	VSS	
アナログ入力電圧	A _{VIN}	V _{REFL}		V _{REFH}	
アナログ基準電圧 電源電流 <V _{REFON} > = 1	I _{REF}		1.0	1.2	mA
アナログ基準電圧 電源電流 <V _{REFON} > = 0			0.02	5.0	UA
総合誤差 (量子化誤差 ± 0.5LSB 含む)	E _T		±1.0	±4.0	LSB

4.5 イベントカウンタ (TA0IN, TB1IN0, TB1IN1)

項目	記号	計算式		f _{sys} = 20 MHz (f _c = 40 MHz)		f _{sys} = 125 KHz (f _c = 4 MHz)		単位
		MIN	MAX	MIN	MAX	MIN	MAX	
クロックサイクル	T _{VCK}	8X + 100		500		64100		ns
低レベルクロック幅	T _{VCKL}	4X + 40		240		32040		ns
高レベルクロック幅	T _{VCKH}	4X + 40		240		32040		ns

注) 表中の「x」は、クロック f_{sys} の周期を示します。f_{sys} の周期は、CPU コアで使用するシステムクロック周期と同じです。

クロック f_{sys} の周期は、クロックギアの設定や、高速発振器 / 低速発振器の切り替えなどに依存します。

4.6 シリアルチャネルタイミング-I/O インタフェースモード

注) 表中の「x」は、クロック f_{SYS} の周期を示します。 f_{SYS} の周期は、CPU コアで使用されるシステムクロック周期と同じです。

クロック f_{SYS} の周期は、クロックギアの設定や、高速発振器/低速発振器の切り替えなどに依存します。

(1) SCLK 入力モード

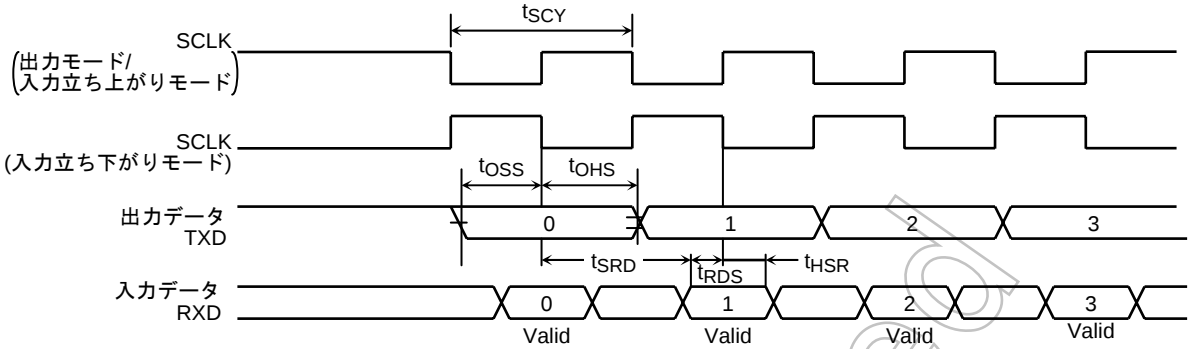
項目	記号	計算式		$f_{SYS} = 20 \text{ MHz}$ ($f_c = 40 \text{ MHz}$)		$f_{SYS} = 125 \text{ kHz}$ ($f_c = 4 \text{ MHz}$)		単位
		Min	Max	Min	Max	Min	Max	
SCLK 周期	t_{SCY}	16X		0.8		128		μs
出力データ → SCLK 立ち上がり/立ち下がり*	t_{OSS}	$t_{SCY}/2 - 4X - 110$		90		31890		ns
SCLK 立ち上がり/立ち下がり* → 出力データ保持	t_{OHS}	$t_{SCY}/2 + 2X + 0$		500		80000		ns
SCLK 立ち上がり/立ち下がり* → 入力データ保持	t_{HSR}	$3X + 10$		160		24010		ns
SCLK 立ち上がり/立ち下がり* → 有効データ入力	t_{SRD}		$t_{SCY} - 0$		800		128000	ns
有効データ入力 → SCLK 立ち上がり/立ち下がり*	t_{RDS}	0		0		0		ns

*: SCLK 立ち上がり/立ち下がり…SCLK 立ち上がりモードの場合は SCLK 立ち上がり、SCLK 立ち下がりモードの場合は SCLK 立ち下がりタイミングです。

注 1: $f_{SYS} = 20 \text{ MHz}$, 125 kHz の値は、 $t_{SCY} = 16X$ のときの値です。

(2) SCLK 出力モード

項目	記号	計算式		$f_{SYS} = 20 \text{ MHz}$ ($f_c = 40 \text{ MHz}$)		$f_{SYS} = 125 \text{ kHz}$ ($f_c = 4 \text{ MHz}$)		単位
		Min	Max	Min	Max	Min	Max	
SCLK 周期	t_{SCY}	16X	8192X	0.8	409.6	128	65536	μs
出力データ → SCLK 立ち上がり/立ち下がり*	t_{OSS}	$t_{SCY}/2 - 40$		360		3960		ns
SCLK 立ち上がり/立ち下がり* → 出力データ保持	t_{OHS}	$t_{SCY}/2 - 40$		360		3960		ns
SCLK 立ち上がり/立ち下がり* → 入力データ保持	t_{HSR}	0		0		0		ns
SCLK 立ち上がり/立ち下がり* → 有効データ入力	t_{SRD}		$t_{SCY} - 1X - 180$		409.4		65528	ns
有効データ入力 → SCLK 立ち上がり/立ち下がり*	t_{RDS}	$1X + 180$			230		8180	ns



4.7 割り込み、キャプチャ

注) 表中の「x」は、クロック f_{SYS} の周期を示します。 f_{SYS} の周期は、CPU コアで使用するシステムクロック周期と同じです。
クロック f_{SYS} の周期は、クロックギアの設定や、高速発振器/低速発振器の切り替えなどに依存します。

(1) $\overline{NMI}$ 、INT0~INT3 割り込み

項目	記号	計算式		$f_{SYS} = 20 \text{ MHz}$ ($f_c = 40 \text{ MHz}$)		$f_{SYS} = 125 \text{ KHz}$ ($f_c = 4 \text{ MHz}$)		単位
		MIN	MAX	MIN	MAX	MIN	MAX	
INT0~INT3 低レベルパルス幅	T_{INTAL}	$4X + 40$		240		32040		ns
INT0~INT3 高レベルパルス幅	T_{INTAH}	$4X + 40$		240		32040		

(2) INT4~INT5 割り込み、キャプチャ

t_{INTBL} (INT4~INT5 低レベルパルス幅)		t_{INTBH} (INT4~INT5 高レベルパルス幅)		単位
計算式	$f_{SYS} = 20 \text{ MHz}$ ($f_c = 40 \text{ MHz}$)	計算式	$f_{SYS} = 20 \text{ MHz}$ ($f_c = 40 \text{ MHz}$)	
Min	Min	Min	Min	
$8X + 100$	500	$8X + 100$	500	

4.8 推奨発振回路

TMP92CM22 は、下記の発振子メーカーにて評価されております。発振子の選択時にご活用ください。

注 1) 発振端子のトータル負荷容量は接続する外付け (または内蔵) 負荷容量 C1, C2 と、実装基板上の浮遊容量の和になります。C1, C2 の定数を使用した場合でも実装基板によりトータル負荷容量が異なり、誤動作する可能性があります。基板設計の際は発振回路周辺のパターンが最短距離になるようにしてください。また、実際に使用される実装基板での発振評価を行うことを推奨します。

注 2) 発振器のドライブ能力低減機能を使用する場合は、 $f_{OSCH} = 4 \sim 10 \text{ MHz}$ の周波数で使用してください。

(1) 発振子接続回路例

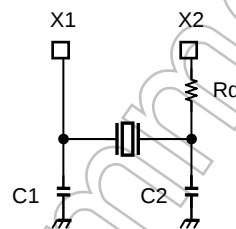


図 1 高周波発振器の接続図

(2) TMP92CM22 推奨セラミック発振子:((株) 村田製作所社製)

下表に推奨回路定数を示します。

MCU	発振周期数 [MHz]	パッケージ タイプ	品番 (旧品番)	推奨定数				動作条件	
				C1 [pF]	C2 [pF]	Rf [Ω]	Rd [Ω]	電源電圧 [V]	Tc [°C]
TMP92CM22FG	4.000	SMD	CSTCR4M00G55-R0 (新・旧品番 同一)	(39)	(39)	Open	0	3.0~3.6	-40~+85
		リード	CSTLS4M00G56-B0 (CSTS0400MG06)	(47)	(47)	Open	0		
	6.000	SMD	CSTCR6M00G55-R0 (新・旧品番 同一)	(39)	(39)	Open	0		
		リード	CSTLS6M00G56-B0 (CSTS0600MG06)	(47)	(47)	Open	0		
	10.000	SMD	CSTCE10M0G55-R0 (新・旧品番 同一)	(33)	(10)	Open	0		
		リード	CSTLS10M0G53-B0 (CSTS1000MG03)	(15)	(15)	Open	0		
	20.000	SMD (新製品)	CSTCG20M0V51-R0 (新・旧品番 同一)	(6)	(15)	Open	0		
		SMD	CSCTW20M0X51-R0 (CSTCW2000MX01)	(5)	(5)	Open	0		
	36.000	SMD	CSTCW36M0X51-R0 (CSTCW3600MX01)	(6)	(6)	15K	0		
	40.000	2 端子 SMD	CSACW40M0X51-R0 (CSACW4000MX01)	3	3	15K	0		

注 1) C1, C2 の () は、コンデンサ内蔵タイプです。

注 2) 村田製発振子は、型番・仕様の切り替えが随時行われております。

詳細につきましては、下記アドレスの同社ホームページをご参照ください。

<http://www.murata.co.jp>

5. 特殊機能レジスタ一覧表

特殊機能レジスタ (SFR: Special function register) とは、入出力ポートおよび周辺部のコントロールレジスタで、000000H~001FFFFH の 8 K バイトのアドレス空間に割り付けられています。

- (1) 入出力ポート
- (2) 割り込みコントローラ
- (3) DMA コントローラ
- (4) メモリコントローラ
- (5) クロックギア/PLL
- (6) 8 ビットタイマ
- (7) 16 ビットタイマ
- (8) UART/シリアルチャネル
- (9) I²C バス/シリアルチャネル
- (10) AD コンバータ
- (11) ウォッチドッグタイマ

表の構成

シンボル	名称	アドレス	7	6	1	0	
							シンボル
							Read/Write
							リセット時の初期値
							備考

注 1) 表中の“RMW 禁”は、リードモディファイライト形式の命令をそのレジスタに対して使用禁止であることを示します。

例) PxCR レジスタのビット 0 のみを“1”にしたい場合、通常は“SET 0, (PxCR)”ですが、このレジスタは“RMW 禁”のため、“LD” (転送) 命令にて 8 ビットレジスタに対して書き込む必要があります。

記号の意味

R/W: リード/ライト可能

R: リードのみ可能

W: ライトのみ可能

W*: リード/ライト可能 (ただし、リードした場合、“1”になります)

RMW 禁: リードモディファイライトができません (EX, ADD, ADC, BUS, SBC, INC, DEC, AND, OR, XOR, STCF, RES, SET, CHG, TSET, RLC, RRC, RL, RR, SLA, SRA, SLL, SRL, RLD, RRD 命令の使用不可)。

R/W*: 当該ポートのプルアップ制御の際には、リードモディファイライト命令は使用できません。

表 5.1 I/O レジスタマップ

[1] 入出力ポート

アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名	アドレス	レジスタ名
0000H		0010H	P4	0020H	P8	0030H	PC
1H		1H		1H		1H	
2H		2H	P4CR	2H		2H	PCCR
3H		3H	P4FC	3H	P8FC	3H	PCFC
4H	P1	4H	P5	4H	P9	4H	PD
5H		5H		5H	P9ODE	5H	
6H	P1CR	6H	P5CR	6H	P9CRP	6H	PDCR
7H	P1FC	7H	P5FC	7H	9FC	7H	PDFC
8H		8H	P6	8H	PA	8H	
9H		9H		9H		9H	
AH		AH	P6CR	AH		AH	
BH		BH	P6FC	BH		BH	
CH		CH	P7	CH		CH	PF
DH		DH		DH		DH	
EH		EH	P7CR	EH		EH	PFCR
FH		FH	P7FC	FH		FH	PFFC

アドレス	レジスタ名
0040H	PG
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

注) レジスタ名の割り付けられていないアドレスには、レジスタが割り当てられていませんので、アクセスしないでください。

[2] 割り込みコントローラ

アドレス	レジスタ名
00D0H	INTE12
1H	INTE3
2H	
3H	
4H	INTETA01
5H	INTETA23
6H	
7H	
8H	INTETB0
9H	
AH	INTETBO0
BH	INTES0
CH	INTES1
DH	
EH	
FH	

アドレス	レジスタ名
00E0H	INTE45
1H	INTETB1
2H	INTETBO1
3H	INTESB0
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	INTEP0
FH	

アドレス	レジスタ名
00F0H	INTE0AD
1H	INTETC01
2H	INTETC23
3H	INTETC45
4H	INTETC67
5H	SIMC
6H	IIMC
7H	INTWDT
8H	INTCLR
9H	
AH	IIMC2
BH	
CH	
DH	
EH	
FH	

[3] DMA コントローラ

アドレス	レジスタ名
0100H	DMA0V
1H	DMA1V
2H	DMA2V
3H	DMA3V
4H	DMA4V
5H	DMA5V
6H	DMA6V
7H	DMA7V
8H	DMAB
9H	DMAR
AH	Reserved
BH	
CH	
DH	
EH	
FH	

[4] メモリコントローラ

アドレス	レジスタ名
0140H	B0CSL
1H	B0CSH
2H	MAMR0
3H	MSAR0
4H	B1CSL
5H	B1CSH
6H	MAMR1
7H	MSAR1
8H	B2CSL
9H	B2CSH
AH	MAMR2
BH	MSAR2
CH	B3CSL
DH	B3CSH
EH	MAMR3
FH	MSAR3

アドレス	レジスタ名
0150H	
1H	
2H	
3H	
4H	
5H	
6H	
7H	
8H	BEXCSL
9H	BEXCSH
AH	
BH	
CH	
DH	
EH	
FH	

アドレス	レジスタ名
0160H	
1H	
2H	
3H	
4H	
5H	
6H	PMEMCR
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[5] クロックギア/PLL

アドレス	レジスタ名
10E0H	SYSCR0
1H	SYSCR1
2H	SYSCR2
3H	EMCCR0
4H	EMCCR1
5H	EMCCR2
6H	Reserved
7H	
8H	PLLCR
9H	Reserved
AH	
BH	
CH	
DH	
EH	
FH	

[6] 8 ビットタイマ

アドレス	レジスタ名
1100H	TA01RUN
1H	
2H	TA0REG
3H	TA1REG
4H	TA01MOD
5H	TA1FFCR
6H	
7H	
8H	TA23RUN
9H	
AH	TA2REG
BH	TA3REG
CH	TA23MOD
DH	TA3FFCR
EH	
FH	

[7] 16 ビットタイマ

アドレス	レジスタ名
1180H	TB0RUN
1H	
2H	TB0MOD
3H	TB0FFCR
4H	
5H	
6H	
7H	
8H	TB0RG0L
9H	TB0RG0H
AH	TB0RG1L
BH	TB0RG1H
CH	TB0CP0L
DH	TB0CP0H
EH	TB0CP1L
FH	TB0CP1H

[8] UART/SIO

アドレス	レジスタ名
1200H	SC0BUF
1H	SC0CRS
2H	C0MOD0
3H	BR0CR
4H	BR0ADD
5H	SC0MOD1
6H	
7H	SIRCR
8H	SC1BUF
9H	SC1CR
AH	SC1MOD0
BH	BR1CR
CH	BR1ADD
DH	SC1MOD1
EH	
FH	

[9] I²C バス/SIO

アドレス	レジスタ名
1240H	SBI0CR1
1H	SBI0DBR
2H	I2C0AR
3H	SBI0CR2/SBI0SR
4H	SBI0BR0
5H	SBI0BR1
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

[10] 10 ビット ADC

アドレス	レジスタ名
12A0H	ADREG0L
1H	ADREG0H
2H	ADREG1L
3H	ADREG1H
4H	ADREG2L
5H	ADREG2H
6H	ADREG3L
7H	ADREG3H
8H	ADREG4L
9H	ADREG4H
AH	ADREG5L
BH	ADREG5H
CH	ADREG6L
DH	ADREG6H
EH	ADREG7L
FH	ADREG7H

[11] WDT

アドレス	レジスタ名
1300H	WDMOD
1H	WDCR
2H	
3H	
4H	
5H	
6H	
7H	
8H	
9H	
AH	
BH	
CH	
DH	
EH	
FH	

(1) I/O ポート (1/3)

記号	レジスタ名	アドレス	7	6	5	4	3	2	1	0
P1	Port 1	0004H	P17	P16	P15	P14	P13	P12	P11	P10
			R/W							
			外部端子データ (出力ラッチレジスタは“0”にクリアされます。)							
P4	Port 4	0010H	P47	P46	P45	P44	P43	P42	P41	P40
			R/W							
			外部端子データ (出力ラッチレジスタは“0”にクリアされます。)							
P5	Port 5	0014H	P57	P56	P55	P54	P53	P52	P51	P50
			R/W							
			外部端子データ (出力ラッチレジスタは“0”にクリアされます。)							
P6	Port 6	0018H	P67	P66	P65	P64	P63	P62	P61	P60
			R/W							
			外部端子データ (出力ラッチレジスタは“0”にクリアされます。)							
P7	Port 7	001CH		P76	P75	P74	P73	P72	P71	P70
				R/W						
			外部端子データ (出力ラッチレジスタは“0”にクリアされます。)	1	1	1	1	1	1	1
P8	Port 8	0020H					P83	P82	P81	P80
							R/W			
							1	0	1	1
P9	Port 9	0024H						P92	P91	P90
								R/W		
								外部端子データ (出力ラッチレジスタは“1”にセットされます。)		
PA	Port A	0028H	PA7					PA2	PA1	PA0
			R					R		
			外部端子データ					外部端子データ		
PC	Port C	0030H		PC6	PC5		PC3		PC1	PC0
				R/W			R/W		R/W	
			外部端子データ (出力ラッチレジスタは“1”にセットされます。)				外部端子データ (出力ラッチレジスタは“1”にセットされます。)		外部端子データ (出力ラッチレジスタは“1”にセットされます。)	
PD	Port D	0034H					PD3	PD2	PD1	PD0
							R/W			
							外部端子データ (出力ラッチレジスタは“1”にセットされます。)			
PF	Port F	003CH	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0
			R/W							
			外部端子データ (出力ラッチレジスタは“1”にセットされます。)							
PG	Port G	0040H	PG7	PG6	PG5	PG4	PG3	PG2	PG1	PG0
			R							
			外部端子データ							

I/O ポート (2/3)

記号	レジスタ名	アドレス	7	6	5	4	3	2	1	0
P1CR	Port 1 control register	0006H (RMW 禁)	P17C	P16C	P15C	P14C	P13C	P12C	P11C	P10C
			W							
			0	0	0	0	0	0	0	0
			0: 入力 1: 出力							
P1FC	Port 1 function register	0007H (RMW 禁)								P1F
										W
										0/1
										0: ポート 1: データバス (D8-D15)
P4CR	Port 4 control register	0012H (RMW 禁)	P47C	P46C	P45C	P44C	P43C	P42C	P41C	P40C
			W							
			0	0	0	0	0	0	0	0
			0: 入力 1: 出力							
P4FC	Port 4 function register	0013H (RMW 禁)	P47F	P46F	P45F	P44F	P43F	P42F	P41F	P40F
			W							
			1	1	1	1	1	1	1	1
			0: ポート 1: アドレスバス (A0-A7)							
P5CR	Port 5 control register	0016H (RMW 禁)	P57C	P56C	P55C	P54C	P53C	P52C	P51C	P50C
			W							
			0	0	0	0	0	0	0	0
			0: 入力 1: 出力							
P5FC	Port 5 function register	0017H (RMW 禁)	P57F	P56F	P55F	P54F	P53F	P52F	P51F	P50F
			W							
			1	1	1	1	1	1	1	1
			0: ポート 1: アドレスバス (A8-A15)							
P6CR	Port 6 control register	001AH (RMW 禁)	P67C	P66C	P65C	P64C	P63C	P62C	P61C	P60C
			W							
			0	0	0	0	0	0	0	0
			0: 入力 1: 出力							
P6FC	Port 6 function register	001BH (RMW 禁)	P67F	P66F	P65F	P64F	P63F	P62F	P61F	P60F
			W							
			1	1	1	1	1	1	1	1
			0: ポート 1: アドレスバス (A16-A23)							
P7CR	Port 7 control register	001EH (RMW 禁)		P76C						
				W						
				0						
				0: 入力 1: 出力						
P7FC	Port 7 function register	001FH (RMW 禁)		P76F	P75F	P74F	P73F	P72F	P71F	P70F
				W						
				0	0	0	0	0	0	1
				0: ポート 1: $\overline{\text{WAIT}}$	0: ポート 1: $\text{R}/\overline{\text{W}}$	0: ポート 1: CLKOUT	0: ポート 1: 設定しないでください。	0: ポート 1: $\overline{\text{WRLU}}$	0: ポート 1: $\overline{\text{WRLI}}$	0: ポート 1: $\overline{\text{RD}}$
P8FC	Port 8 function register	0023H (RMW 禁)					P83F	P82F	P81F	P80F
							W			
							0	0	0	0
							0: ポート 1: $\overline{\text{CS3}}$	0: ポート 1: $\overline{\text{CS2}}$	0: ポート 1: $\overline{\text{CS1}}$	0: ポート 1: $\overline{\text{CS0}}$

I/O ポート (3/3)

記号	レジスタ名	アドレス	7	6	5	4	3	2	1	0
P9CR	Port 9 control register	0026H (RMW 禁)						P92C	P91C	P90C
								W		
								0	0	0
								0: 入力 1: 出力		
P9FC	Port 9 function register	0027H (RMW 禁)						P92F	P91F	P90F
								W		
								0	0	0
								0: ポート, SCL 1: SCL (注)	0: ポート 1: SDA	0: ポート, SCK 入力 1: SCK 出力
P9ODE	Port 9 ODE register	0025H (RMW 禁)						P92ODE	P91ODE	
								W		
								0	0	
								1: オープン ドレイン	1: オープン ドレイン	
PCCR	Port C control register	0032H (RMW 禁)		PC6C	PC5C		PC3C		PC1C	PC0C
				W			W		W	
				0	0		0		0	0
				0: 入力 1: 出力			0: 入力 1: 出力		0: 入力 1: 出力	
PCFC	Port C function register	0033H (RMW 禁)		PC6F	PC5F		PC3F		PC1F	PC0F
				W			W		W	
				0	0		1		0	0
				0: ポート 1: INT3 TB0OUT0	0: ポート 1: INT2 TA3OUT		0: ポート 1: INT0		0: ポート 1: INT1 TA1OUT	0: ポート 1: TA0IN
PDCR	Port D control register	0036H (RMW 禁)					PD3C	PD2C	PD1C	PD0C
							W			
							0	0	0	0
							0: 入力 1: 出力			
PDFC	Port D function register	0037H (RMW 禁)					PD3F	PD2F	PD1F	PD0F
							W			
							0	0	0	0
							0: ポート 1: TB1OUT1	0: ポート 1: TB1OUT0	0: ポート 1: TB0IN1 INT5 入力	0: ポート 1: TB0IN0 INT4 入力
PFCR	Port F control register	003EH (RMW 禁)	PF7C	PF6C	PF5C	PF4C	PF3C	PF2C	PF1C	PF0C
			W							
			0	0	0	0	0	0	0	0
			0: 入力				1: 出力			
PFFC	Port F function register	003FH (RMW 禁)	-	-	PF5F		PF3F	PF2F		PF0F
			W				W			W
			0	0	0		0	0		0
			"0" をライ トしてく ださい。	"0" をライ トしてく ださい。	0: ポート 1: SCLK1 出力		0: ポート 1: TXD1	0: ポート 1: SCLK0 出力		0: ポート 1: TXD0

(2) 割り込み制御 (1/2)

記号	レジスタ名	アドレス	7	6	5	4	3	2	1	0
INTE12	INT1 & INT2 enable	00D0H	INT2				INT1			
			I2C	I2M2	I2M1	I2M0	I1C	I1M2	I1M1	I1M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INT2	割り込み要求レベル			1: INT1	割り込み要求レベル		
INTE3	INT3 enable	00D1H	-				INT3			
			-	-	-	-	I3C	I3M2	I3M1	I3M0
			-	-	-	-	R	R/W		
			-	-	-	-	0	0	0	0
			"0" をライトしてください。				1: INT3	割り込み要求レベル		
INTETA01	INTTA0 & INTTA1 enable	00D4H	INTTA1 (TMRA1)				INTTA0 (TMRA0)			
			ITA1C	ITA1M2	ITA1M1	ITA1M0	ITA0C	ITA0M2	ITA0M1	ITA0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTA1	割り込み要求レベル			1: INTTA0	割り込み要求レベル		
INTETA23	INTTA2 & INTTA3 enable	00D5H	INTTA3 (TMRA3)				INTTA2 (TMRA2)			
			ITA3C	ITA3M2	ITA3M1	ITA3M0	ITA2C	ITA2M2	ITA2M1	ITA2M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTA3	割り込み要求レベル			1: INTTA2	割り込み要求レベル		
INTETB01	INTTB00 & INTTB01 enable	00D8H	INTTB1 (TMRB0)				INTTB0 (TMRB0)			
			ITB1C	ITB1M2	ITB1M1	ITB1M0	ITB0C	ITB0M2	ITB0M1	ITB0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTB1	割り込み要求レベル			1: INTTB0	割り込み要求レベル		
INTETB00	INTTBO 0 (Overflow) enable	00DAH	-				INTTBO0(TMRB0)			
			-	-	-	-	ITBO0C	ITBO0M2	ITBO0M1	ITBO0M0
			-	-	-	-	R	R/W		
			-	-	-	-	0	0	0	
			"0" をライトしてください。				1: INTTBO0	割り込み要求レベル		
INTES0	INTRX0 & INTTX0 enable	00DBH	INTTX0				INTRX0			
			ITX0C	ITX0M2	ITX0M1	ITX0M0	IRX0C	IRX0M2	IRX0M1	IRX0M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTX0	割り込み要求レベル			1: INTRX0	割り込み要求レベル		
INTES1	INTRX1 & INTTX1 enable	00DCH	INTTX1				INTRX1			
			ITX1C	ITX1M2	ITX1M1	ITX1M0	IRX1C	IRX1M2	IRX1M1	IRX1M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTX1	割り込み要求レベル			1: INTRX1	割り込み要求レベル		
INTE45	INT4 & INT5 enable	00E0H	INT5				INT4			
			I5C	I5M2	I5M1	I5M0	I4C	I4M2	I4M1	I4M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INT5	割り込み要求レベル			1: INT4	割り込み要求レベル		
INTETB1	INTB10 & INTTB11 enable	00E1H	INTTB11 (TMRB1)				INTTB10 (TMRB1)			
			ITB11C	ITB11M2	ITB11M1	ITB11M0	ITB10C	ITB10M2	ITB10M1	ITB10M0
			R	R/W			R	R/W		
			0	0	0	0	0	0	0	0
			1: INTTB11	割り込み要求レベル			1: INTTB10	割り込み要求レベル		
INTETB01	INTTBO1 (Overflow) enable	00E2H	-				INTTBO1 (TMRB1)			
			-	-	-	-	ITBO1C	ITBO1M2	ITBO1M1	ITBO1M0
			-	-	-	-	R	R/W		
			"0" をライトしてください。				0	0	0	0
			INTESB0	INTSBEO enable	00E3H	-				INTSBEO
-	-	-				-	ISBE0C	ISBE0M2	ISBE0M1	ISBE0M0
-	-	-				-	R	R/W		
-	-	-				-	0	0	0	0
"0" をライトしてください。						1: INTSBEO	割り込み要求レベル			

割り込み制御 (2/2)

記号	レジスタ名	アドレス	7	6	5	4	3	2	1	0	
INTEP0	INTP0 enable	00EEH	-				INTP0				
			-	-	-	-	IP0C	IP0M2	IP0M1	IP0M0	
			-	-	-	-	R	R/W			
			-	-	-	-	0	0	0	0	
			“0” をライトしてください。				1: INTP0	割り込み要求レベル			
INTE0AD	INT0 & INTAD enable	00F0H	INTAD				INT0				
			IADC	IADM2	IADM1	IADM0	I0C	I0M2	I0M1	I0M0	
			R	R/W			R	R/W			
			0	0	0	0	0	0	0	0	
			1: INTAD	割り込み要求レベル			1: INT0	割り込み要求レベル			
INTETC01	INTTC0 & INTTC1 enable	00F1H	INTTC1 (DMA1)				INTTC0 (DMA0)				
			ITC1C	ITC1M2	ITC1M1	ITC1M0	ITC0C	ITC0M2	ITC0M1	ITC0M0	
			R	R/W			R	R/W			
			0	0	0	0	0	0	0	0	
			1: INTTC1	割り込み要求レベル			1: INTTC0	割り込み要求レベル			
INTETC23	INTTC2 & INTTC3 enable	00F2H	INTTC3 (DMA3)				INTTC2 (DMA2)				
			ITC3C	ITC3M2	ITC3M1	ITC3M0	ITC2C	ITC2M2	ITC2M1	ITC2M0	
			R	R/W			R	R/W			
			0	0	0	0	0	0	0	0	
			1: INTTC3	割り込み要求レベル			1: INTTC2	割り込み要求レベル			
INTETC45	INTTC4 & INTTC5 enable	00F3H	INTTC5 (DMA5)				INTTC4 (DMA4)				
			ITC5C	ITC5M2	ITC5M1	ITC5M0	ITC4C	ITC4M2	ITC4M1	ITC4M0	
			R	R/W			R	R/W			
			0	0	0	0	0	0	0	0	
			1: INTTC5	割り込み要求レベル			1: INTTC4	割り込み要求レベル			
INTETC67	INTTC6 & INTTC7 enable	00F4H	INTTC7 (DMA7)				INTTC6 (DMA6)				
			ITC7C	ITC7M2	ITC7M1	ITC7M0	ITC6C	ITC6M2	ITC6M1	ITC6M0	
			R	R/W			R	R/W			
			0	0	0	0	0	0	0	0	
			1: INTTC7	割り込み要求レベル			1: INTTC6	割り込み要求レベル			
SIMC	SIO Interrupt mode control	00F5H (RMW 禁)							IR1LE	IR0LE	
										W	
										1	1
										0: INTRX1 エッジ モード 1: INTRX1 レベル モード	0: INTRX0 エッジ モード 1: INTRX0 レベル モード
IIMC	Interrupt input mode control	00F6H (RMW 禁)			I3EDGE	I2EDGE	I1EDGE	I0EDGE	I0LE	NMIREE	
					W				R/W		
					0	0	0	0	0	0	
					INT3 0: 立ち上がり /H レベル 1: 立ち下がり /L レベル	INT2 0: 立ち上がり /H レベル 1: 立ち下がり /L レベル	INT1 0: 立ち上がり /H レベル 1: 立ち下がり /L レベル	INT0 0: 立ち上がり /H レベル 1: 立ち下がり /L レベル	INT0 0: エッジ モード 1: レベル モード	0: 立ち下がり 1: 立ち下がり /立ち上がり	
INTWDT	INTWDT enable	00F7H	-	-	-	-	INTWDT	-	-	-	
			-	-	-	-	R	-	-	-	
			-	-	-	-	0	-	-	-	
			“0” をライトしてください。				1: INTWDT				
INTCLR	Interrupt clear control	00F8H (RMW 禁)			CLRV5	CLRV4	CLRV3	CLRV2	CLRV1	CLRV0	
					W						
					0	0	0	0	0	0	
			割り込みベクタ								
IIMC2	Interrupt input mode control2	00FAH (RMW 禁)					I3LE	I2LE	I1LE		
							W				
					0	0	0				
					INT3 0: エッジ 1: レベル	INT2 0: エッジ 1: レベル	INT1 0: エッジ 1: レベル				

(3) DMA 制御

記号	レジスタ名	アドレス	7	6	5	4	3	2	1	0
DMA0V	DMA0 start vector	0100H			DMA0V5	DMA0V4	DMA0V3	DMA0V2	DMA0V1	DMA0V0
					R/W					
					0	0	0	0	0	0
					DMA0 開始ベクタ					
DMA1V	DMA1 start vector	0101H			DMA1V5	DMA1V4	DMA1V3	DMA1V2	DMA1V1	DMA1V0
					R/W					
					0	0	0	0	0	0
					DMA1 開始ベクタ					
DMA2V	DMA2 start vector	0102H			DMA2V5	DMA2V4	DMA2V3	DMA2V2	DMA2V1	DMA2V0
					R/W					
					0	0	0	0	0	0
					DMA2 開始ベクタ					
DMA3V	DMA3 start vector	0103H			DMA3V5	DMA3V4	DMA3V3	DMA3V2	DMA3V1	DMA3V0
					R/W					
					0	0	0	0	0	0
					DMA3 開始ベクタ					
DMA4V	DMA4 start vector	0104H			DMA4V5	DMA4V4	DMA4V3	DMA4V2	DMA4V1	DMA4V0
					R/W					
					0	0	0	0	0	0
					DMA4 開始ベクタ					
DMA5V	DMA5 start vector	0105H			DMA5V5	DMA5V4	DMA5V3	DMA5V2	DMA5V1	DMA5V0
					R/W					
					0	0	0	0	0	0
					DMA5 開始ベクタ					
DMA6V	DMA6 start vector	0106H			DMA6V5	DMA6V4	DMA6V3	DMA6V2	DMA6V1	DMA6V0
					R/W					
					0	0	0	0	0	0
					DMA6 開始ベクタ					
DMA7V	DMA7 start vector	0107H			DMA7V5	DMA7V4	DMA7V3	DMA7V2	DMA7V1	DMA7V0
					R/W					
					0	0	0	0	0	0
					DMA7 開始ベクタ					
DMAB	DMA burst request	0108H	DBST7	DBST6	DBST5	DBST4	DBST3	DBST2	DBST1	DBST0
			R/W							
			0	0	0	0	0	0	0	0
			1: DMA のバースト要求							
DMAR	DMA request	0109H (RMW 禁)	DREQ7	DREQ6	DREQ5	DREQ4	DREQ3	DREQ2	DREQ1	DREQ0
			R/W							
			0	0	0	0	0	0	0	0
			1: DMA のソフト要求							

(4) メモリ制御 (1/2)

記号	レジスタ名	アドレス	7	6	5	4	3	2	1	0
B0CSL	BLOCK0 MEMC control register Low	0140H (RMW 禁)		B0WW2	B0WW1	B0WW0		B0WR2	B0WR1	B0WR0
				W				W		
				0	1	0		0	1	0
				書き込みウェイト数 001: 0 ウェイト 010: 1 ウェイト 101: 2 ウェイト 110: 3 ウェイト 111: 4 ウェイト 011: WAIT 端子入力モード その他: Reserved				読み出しウェイト数 001: 0 ウェイト 010: 1 ウェイト 101: 2 ウェイト 110: 3 ウェイト 111: 4 ウェイト 011: WAIT 端子入力モード その他: Reserved		
B0CSH	BLOCK0 MEMCT control register High	0141H (RMW 禁)	B0E	-	-	B0REC	B0OM1	B0OM0	B0BUS1	B0BUS0
				W						
			0	0	0	0	0	0	0/1	0/1
			CS 選択 0: 禁止 1: 許可	"0" をライ トしてく ださい。	"0" をライ トしてく ださい。	0: ダミーサ イクルを 入れない。 1: ダミーサ イクルを 入れる。	00: ROM/SRAM 01: Reserved 10: Reserved 11: Reserved	データバス幅 00: 8 ビット 01: 16 ビット 10: Reserved 11: Reserved		
B1CSL	BLOCK1 MEMC control register Low	0144H (RMW 禁)		B1WW2	B1WW1	B1WW0		B1WR2	B1WR1	B1WR0
				W				W		
				0	1	0		0	1	0
				書き込みウェイト数 001: 0 ウェイト 010: 1 ウェイト 101: 2 ウェイト 110: 3 ウェイト 111: 4 ウェイト 011: WAIT 端子入力モード その他: Reserved				読み出しウェイト数 001: 0 ウェイト 010: 1 ウェイト 101: 2 ウェイト 110: 3 ウェイト 111: 4 ウェイト 011: WAIT 端子入力モード その他: Reserved		
B1CSH	BLOCK1 MEMC control register High	0145H (RMW 禁)	B1E	-	-	B1REC	B1OM1	B1OM0	B1BUS1	B1BUS0
				W						
			0	0	0	0	0	0	0/1	0/1
			CS 選択 0: 禁止 1: 許可	"0" をライ トしてく ださい。	"0" をライ トしてく ださい。	0: ダミーサ イクルを 入れない。 1: ダミーサ イクルを 入れる。	00: ROM/SRAM 01: Reserved 10: Reserved 11: Reserved	データバス幅 00: 8 ビット 01: 16 ビット 10: Reserved 11: Reserved		
B2CSL	BLOCK2 MEMC control register Low	0148H (RMW 禁)		B2WW2	B2WW1	B2WW0		B2WR2	B2WR1	B2WR0
				W				W		
				0	1	0		0	1	0
				書き込みウェイト数 001: 0 ウェイト 010: 1 ウェイト 101: 2 ウェイト 110: 3 ウェイト 111: 4 ウェイト 011: WAIT 端子入力モード その他: Reserved				読み出しウェイト数 001: 0 ウェイト 010: 1 ウェイト 101: 2 ウェイト 110: 3 ウェイト 111: 4 ウェイト 011: WAIT 端子入力モード その他: Reserved		
B2CSH	BLOCK2 MEMC control register High	0149H (RMW 禁)	B2E	B2M	-	B2REC	B2OM1	B2OM0	B2BUS1	B2BUS0
				W						
			1	0	0	0	0	0	0/1	0/1
			CS 選択 0: 禁止 1: 許可	0: 16 MB 1: エリア 設定	"0" をライ トしてく ださい。	0: ダミーサ イクルを 入れない。 1: ダミーサ イクルを 入れる。	00: ROM/SRAM 01: Reserved 10: Reserved 11: Reserved	データバス幅 00: 8 ビット 01: 16 ビット 10: Reserved 11: Reserved		
B3CSL	BLOCK3 MEMC control register Low	014CH (RMW 禁)		B3WW2	B3WW1	B3WW0		B3WR2	B3WR1	B3WR0
				W				W		
				0	1	0		0	1	0
				書き込みウェイト数 001: 0 ウェイト 010: 1 ウェイト 101: 2 ウェイト 110: 3 ウェイト 111: 4 ウェイト 011: WAIT 端子入力モード その他: Reserved				読み出しウェイト数 001: 0 ウェイト 010: 1 ウェイト 101: 2 ウェイト 110: 3 ウェイト 111: 4 ウェイト 011: WAIT 端子入力モード その他: Reserved		
B3CSH	BLOCK3 MEMC control register High	014DH (RMW 禁)	B3E	-	-	B3REC	B3OM1	B3OM0	B3BUS1	B3BUS0
				W						
			0	0	0	0	0	0	0/1	0/1
			CS 選択 0: 禁止 1: 許可	"0" をライ トしてく ださい。	"0" をライ トしてく ださい。	0: ダミーサ イクルを 入れない。 1: ダミーサ イクルを 入れる。	00: ROM/SRAM 01: Reserved 10: Reserved 11: Reserved	データバス幅 00: 8 ビット 01: 16 ビット 10: Reserved 11: Reserved		

メモリ制御 (2/2)

記号	レジスタ名	アドレス	7	6	5	4	3	2	1	0
BEXCSL	BLOCK EX MEMC control register Low	0158H (RMW 禁)		BEXWW2	BEXWW1	BEXWW0		BEXWR2	BEXWR1	BEXWR0
				W				W		
				0	1	0		0	1	0
				書き込みウェイト数 001: 0 ウェイト 010: 1 ウェイト 101: 2 ウェイト 110: 3 ウェイト 111: 4 ウェイト 011: WAIT 端子入力モード その他: Reserved				読み出しウェイト数 001: 0 ウェイト 010: 1 ウェイト 101: 2 ウェイト 110: 3 ウェイト 111: 4 ウェイト 011: WAIT 端子入力モード その他: Reserved		
BEXCSH	BLOCK EX MEMC control register High	0159H (RMW 禁)		-	-	-	BEXOM1	BEXOM0	BEXBUS1	BEXBUS0
				W						
				0	0	0	0	0	0/1	0/1
				"0"をライトしてください。	"0"をライトしてください。	"0"をライトしてください。	00: ROM/SRAM 01: Reserved 10: Reserved 11: Reserved		データバス幅 00: 8ビット 01: 16ビット 10: Reserved 11: Reserved	
PMEMCR	Page ROM control register	0166H				OPGE	OPWR1	OPWR0	PR1	PR0
						R/W				
						0	0	0	1	0
						ROM ページアクセス 0: 禁止 1: 許可	ページの待ち数 00: 1 ステート (n-1-1-1 モード) 01: 2 ステート (n-2-2-2 モード) 10: 3 ステート (n-3-3-3 モード) 11: (Reserved)		ページのバイト数 00: 64 バイト 01: 32 バイト 10: 16 バイト 11: 8 バイト	
MAMR0	Memory Mask register 0	0142H	M0V20	M0V19	M0V18	M0V17	M0V16	M0V15	M0V14-9	M0V8
			R/W							
			1	1	1	1	1	1	1	1
			0: アドレス比較許可 1: アドレス比較禁止							
MSAR0	Memory start address register 0	0143H	M0S23	M0S22	M0S21	M0S20	M0S19	M0S18	M0S17	M0S16
			R/W							
			1	1	1	1	1	1	1	1
			スタートアドレス A23 を A16 に設定							
MAMR1	Memory Mask register 1	0146H	M1V21	M1V20	M1V19	M1V18	M1V17	M1V16	M1V15-9	M1V8
			R/W							
			1	1	1	1	1	1	1	1
			0: アドレス比較許可 1: アドレス比較禁止							
MSAR1	Memory start address register 1	0147H	M1S23	M1S22	M1S21	M1S20	M1S19	M1S18	M1S17	M1S16
			R/W							
			1	1	1	1	1	1	1	1
			スタートアドレス A23 を A16 に設定							
MAMR2	Memory Mask register 2	014AH	M2V22	M2V21	M2V20	M2V19	M2V18	M2V17	M2V16	M2V15
			R/W							
			1	1	1	1	1	1	1	1
			0: アドレス比較許可 1: アドレス比較禁止							
MSAR2	Memory start address register 2	014BH	M2S23	M2S22	M2S21	M2S20	M2S19	M2S18	M2S17	M2S16
			R/W							
			1	1	1	1	1	1	1	1
			スタートアドレス A23 を A16 に設定							
MAMR3	Memory Mask register 3	014EH	M3V22	M3V21	M3V20	M3V19	M3V18	M3V17	M3V16	M3V15
			R/W							
			1	1	1	1	1	1	1	1
			0: アドレス比較許可 1: アドレス比較禁止							
MSAR3	Memory start address register 3	014FH	M3S23	M3S22	M3S21	M3S20	M3S19	M3S18	M3S17	M3S16
			R/W							
			1	1	1	1	1	1	1	1
			スタートアドレス A23 を A16 に設定							

(5) クロックギア (1/2)

記号	レジスタ名	アドレス	7	6	5	4	3	2	1	0
SYSCR0	System clock control register 0	10E0H	–					–		
			R/W					R/W		
			1					0		
			“1” をライトしてください。					“0” をライトしてください。		
SYSCR1	System clock control register 1	10E1H					–	GEAR2	GEAR1	GEAR0
								R/W		
							0	1	0	0
							“0” をライトしてください。	高速クロックギア値の選択 (fc) 000: fc 001: fc/2 010: fc/4 011: fc/8 100: fc/16 101: (Reserved) 110: (Reserved) 111: (Reserved)		
SYSCR2	System clock control register 2	10E2H	–		WUPTM1	WUPTM0	HALTM1	HALTM0	SELDRV	DRIVE
			R/W					R/W		
			0		1	0	1	1	0	0
			“0” をライトしてください。		ウォームアップタイム 00: Reserved 01: 2 ⁸ /入力周波数 10: 2 ¹⁴ /入力周波数 11: 2 ¹⁶ /入力周波数		HALT モード 00: Reserved 01: STOP モード 10: IDLE1 モード 11: IDLE2 モード	<DRIVE> モード 選択 0: 停止 1: IDLE1	ストップ IDLE1 モードの端子状態制御 0: I/O OFF 1: ホルト前の状態	
PLLCR	PLL control register	10E8H	PLLON	FCSEL	LWUPFG					
			R/W		R					
			0	0	0					
			0: PLL OFF 1: PLL ON	fc 選択 0: OSCH 1: PLL (×4)	PLL ウォームアップフラグ 0: ウォームアップ中 1: ウォームアップ終了					

クロックギア (2/2)

記号	レジスタ名	アドレス	7	6	5	4	3	2	1	0
EMCCR0	EMC control register 0	10E3H	PROTECT					EXTIN	DRVOSCH	–
			R					R/W		
			0					0	1	1
			フラグ保護 0: OFF 1: ON					1: 外部高速 クロック	高速発振器 ドライブ能 力 1: 通常 0: 弱	"1" をライ トしてく ださい。
EMCCR1	EMC control register 1	10E4H	下記 1st-KEY, 2nd-KEY への書き込みによりプロテクト ON/OFF が切り替わります。 1st-KEY: EMCCR1 = 5AH, EMCCR2 = A5H を連続書き込み 2nd-KEY: EMCCR1 = A5H, EMCCR2 = 5AH を連続書き込み							
EMCCR2	EMC control register 2	10E5H								

(6) 8ビットタイマ

記号	レジスタ名	アドレス	7	6	5	4	3	2	1	0	
TA01RUN	TMRA01 RUN register	1100H	TA0RDE				I2TA01	TA01PRUN	TA1RUN	TA0RUN	
			R/W				R/W				
			0				0	0	0	0	
			ダブル バッファ 0: 禁止 1: 許可				IDLE2 0: 停止 1: 動作	TMRA01 プリス ケラ 0: 停止 & クリア 1: 動作 (カウントアップ)	アップカ ウンタ (UC1)	アップカ ウンタ (UC0)	
TA0REG	8-bit timer register 0	1102H (RMW 禁)	-							W 不定	
TA1REG	8-bit timer register 1	1103H (RMW 禁)	-							W 不定	
TA01MOD	TMRA01 mode register	1104H	TA01M1	TA01M0	PWM01	PWM00	TA1CLK1	TA1CLK0	TA0CLK1	TA0CLK0	
			R/W								
			0	0	0	0	0	0	0	0	
			動作モード 00: 8ビットタイマモード 01: 16ビットタイマモード 10: 8ビットPPGモード 11: 8ビットPWMモード		PWM 周期 00: Reserved 01: 2 ⁶ 10: 2 ⁷ 11: 2 ⁸		TMRA1 ソースクロック 00: TA0TRG 01: φT1 10: φT16 11: φT256		TMRA0 ソースクロック 00: TA0IN 端子 01: φT1 10: φT4 11: φT16		
TA1FFCR	TMRA1 flip-flop control register	1105H (RMW 禁)					TA1FFC1	TA1FFC0	TA1FFIE	TA1FFIS	
							W		R/W		
							1	1	0	0	
							00: TA1FF を反転 01: TA1FF を 1 に セット 10: TA1FF をクリア 11: Don't care		TA1FF 反転制御 0: 禁止 1: 許可	TA1FF 反転選択 0: TMRA0 1: TMRA1	
TA23RUN	TMRA23 RUN register	1108H	TA2RDE				I2TA23	TA23PRUN	TA3RUN	TA2RUN	
			R/W				R/W				
			0				0	0	0	0	
			ダブル バッファ 0: 禁止 1: 許可				IDLE2 0: 停止 1: 動作	TMRA23 プリス ケラ 0: 停止 & クリア 1: 動作 (カウントアップ)	アップカ ウンタ (UC3)	アップカ ウンタ (UC2)	
TA2REG	8-bit timer register 2	110AH (RMW 禁)	-							W 不定	
TA3REG	8-bit timer register 3	110BH (RMW 禁)	-							W 不定	
TA23MOD	TMRA23 MODE register	110CH	TA23M1	TA23M0	PWM21	PWM20	TA3CLK1	TA3CLK0	TA2CLK1	TA2CLK0	
			R/W								
			0	0	0	0	0	0	0	0	
			動作モード 00: 8ビットタイマモード 01: 16ビットタイマモード 10: 8ビットPPGモード 11: 8ビットPWMモード		PWM 周期 00: Reserved 01: 2 ⁶ 10: 2 ⁷ 11: 2 ⁸		TMRA3 ソースクロック 00: TA2TRG 01: φT1 10: φT16 11: φT256		TMRA2 ソースクロック 00: Reserved 01: φT1 10: φT4 11: φT16		
TA3FFCR	TMRA3 flip-flop mode register	110DH (RMW 禁)					TA3FFC1	TA3FFC0	TA3FFIE	TA3FFIS	
							W		R/W		
							1	1	0	0	
							00: TA3FF を反転 01: TA3FF を 1 に セット 10: TA3FF をクリア 11: Don't care		TA3FF 反転制御 0: 禁止 1: 許可	TA1FF 反転選択 0: MTRA2 1: TMRA3	

(7) 16-ビットタイマ (1/2)

記号	レジスタ名	アドレス	7	6	5	4	3	2	1	0
TB0RUN	TMRB0 RUN register	1180H	TB0RDE	—			I2TB0	TB0PRUN		TB0RUN
			R/W				R/W			R/W
			0	0			0	0		0
			ダブル バッファ 0: 禁止 1: 許可	“0”をライ トしてく ださい。			IDLE2 0: 停止 1: 動作	TMRB0 プリス ケーラ 0: 停止 & クリア 1: 動作 (カウシトアップ)		アップカ ウンタ UC10
TB0MOD	TMRB0 mode register	1182H (RMW 禁)	—	—	TB0CP0I	TB0CPM1	TB0CPM0	TB0CLE	TB0CLK1	TB0CLK0
			R/W		W	R/W				
			0	0	1	0	0	0	0	0
			“0”をライ トしてく ださい。	“0”をライ トしてく ださい。	ソフトウエ アキャプ チャを実行 0: ソフト キャプ チャ 1: 未定義	キャプチャタイミング 00: 禁止 01: Reserved 10: Reserved 11: TA1OUT ↑ TA1OUT ↓		アップ カウンタ クリア 制御 0: 禁止 1: 許可	TMRB0 入力クロック 00: Reserved 01: φT1 10: φT4 11: φT16	
TB0FFCR	TMRB0 flip-flop control register	1183H (RMW 禁)	—	—	TB0C1T1	TB0C0T1	TB0E1T1	TB0E0T1	TB0FFC1	TB0FFC0
			W*		R/W				W*	
			1	1	0	0	0	0	1	1
			“11”をライ トしてく ださい。		TB0FF0 反転制御 0: 反転禁止 1: 反転許可 TB0CP1H/ Lへ UC10 値をキャ プチャす る時				TB0FF0 制御 00: 反転 01: 1にセット 10: 0にクリア 11: Don't care * 読み出すと常に “11”になります。	
TB0RG0L	16-bit timer register 0 Low	1188H (RMW 禁)	—							
			W							
			不定							
TB0RG0H	16-bit timer register 0 High	1189H (RMW 禁)	—							
			W							
			不定							
TB0RG1L	16-bit timer register 1 Low	118AH (RMW 禁)	—							
			W							
			不定							
TB0RG1H	16-bit timer register 1 High	118BH (RMW 禁)	—							
			W							
			不定							
TB0CP0L	Capture register 0 Low	118CH	—							
			R							
			不定							
TB0CP0H	Capture register 0 High	118DH	—							
			R							
			不定							
TB0CP1L	Capture register 1 Low	118EH	—							
			R							
			不定							
TB0CP1H	Capture register 1 High	118FH	—							
			R							
			不定							

16-bitTimer (2/2)

記号	レジスタ名	アドレス	7	6	5	4	3	2	1	0	
TB1RUN	TMRB1 RUN register	1190H	TB1RDE	—			I2TB0	TB1PRUN		TB1RUN	
			R/W				R/W			R/W	
			0	0			0	0		0	
			ダブル バッファ 0: 禁止 1: 許可	“0” をライ トしてく ださい。			IDLE2 0: 停止 1: 動作	TMRB1 ブリスケー ラ 0: 停止 & クリア 1: 動作 (カウントアップ)		アップカウ ンタ UC12	
TB1MOD	TMRB1 MODE register	1192H (RMW 禁)	TB1CT1	TB1ET1	TB1CP0I	TB1CPM1	TB1CPM0	TB1CLE	TB1CLK1	TB1CLK0	
			R/W		W	R/W					
			0	0	1	0	0	0	0	0	
			TB1FF1 反転 0: 禁止 1: 許可		ソフトウエ アキャプ チャを実行 0: ソフト キャプチャ 1: 未定義	キャプチャタイミング 00: 禁止 01: TB1N0 ↑ TB1IN1 ↑ 10: TB1N0 ↑ TB1IN0 ↓ 11: TA1OUT ↑ TA1OUT ↓		アップ カウンタ クリア制 御 0: 禁止 1: 許可	TMRB1 入カクロック 00: TB1IN0 端子入力 01: φT1 10: φT4 11: φT16		
TB1FFCR	TMRB1 flip-flop control register	1193H (RMW 禁)	TB1FF1C1	TB1FF1C0	TB1C1T1	TB1C0T1	TB1E1T1	TB1E0T1	TB1FFC1	TB1FFC0	
			W*		R/W					W*	
			1	1	0	0	0	0	1	1	
			TB0FF1 制御 00: 反転 01: 1 にセット 10: クリア 11: Don't care * リードすると常に 11 になります。		TB1FF0 反転制御 0: 反転禁止 1: 反転許可			TB0FF0 制御 00: 反転 01: 1 にセット 10: 0 クリア 11: Don't care * リードすると常に 11 になります。			
TB1RG0L	16-bit timer register 0 Low	1198H (RMW 禁)	—								
			W								
			不定								
TB1RG0H	16-bit timer register 0 High	1199H (RMW 禁)	—								
			W								
			不定								
TB1RG1L	16-bit timer register 1 Low	119AH (RMW 禁)	—								
			W								
			不定								
TB1RG1H	16-bit timer register 1 High	119BH (RMW 禁)	—								
			W								
			不定								
TB1CP0L	Capture register 0 Low	119CH	—								
			R								
			不定								
TB1CP0H	Capture register 0 High	119DH	—								
			R								
			不定								
TB1CP1L	Capture register 1 Low	119EH	—								
			R								
			不定								
TB1CP1H	Capture register 1 High	119FH	—								
			R								
			不定								

(8) UART/シリアルチャネル(1/2)

記号	レジスタ名	アドレス	7	6	5	4	3	2	1	0
SC0BUF	Serial channel 0 buffer register	1200H (RMW 禁)	RB7 TB7	RB6 TB6	RB5 TB5	RB4 TB4	RB3 TB3	RB2 TB2	RB1 TB1	RB0 TB0
			R (受信)/W (送信)							
			不定							
SC0CR	Serial channel 0 control register	1201H	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
			R	R/W		R (読み出すと "0" にクリアされます。)			R/W	
			不定	0	0	0	0	0	0	0
			受信データビット 8	パリティ 0: 奇数 1: 偶数	パリティ 0: 禁止 1: 許可	オーバーラン	パリティ	フレーミング	0: SCLK0 ↑ 1: SCLK0 ↓	0: ボーレートジェネレータ 1: SCLK0 端子入力
SC0MOD0	Serial channel 0 mode register	1202H	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0
			R/W							
			0	0	0	0	0	0	0	0
			送信データビット 8	0: CTS 禁止 1: CTS 許可	0: 受信禁止 1: 受信許可	ウェイクアップ 0: 禁止 1: 許可	00: I/O インタフェースモード 01: 7 ビット UART モード 10: 8 ビット UART モード 11: 9 ビット UART モード	00: TA0REG 01: ボーレートジェネレータ 10: 内部クロック f_{i0} 11: 外部クロック (SCLK0 入力)		
BR0CR	Serial channel 0 baud-rate control register	1203H	–	BR0ADDE	BR0CK1	BR0CK0	BR0S3	BR0S2	BR0S1	BR0S0
			R/W							
			0	0	0	0	0	0	0	0
			"0" をライトしてください。	(16 – K)/16 分割 0: 禁止 1: 許可	00: $\phi T0$ 01: $\phi T2$ 10: $\phi T8$ 11: $\phi T32$	分周値 N 設定 (0–F)				
BR0ADD	Serial channel 0 K setting register	1204H					BR0K3	BR0K2	BR0K1	BR0K0
							R/W			
							0	0	0	0
							ボーレート 0 の分周値 K 設定 (1–F)			
SC0MOD1	Serial channel 0 mode 1 register	1205H	I2S0	FDPX0						
			R/W							
			0	0						
			IDLE2 0: 停止 1: 動作	I/O インタフェースモード 0: 半二重 1: 全二重						
SIRCR	IrDA Control register	1207H	PLSEL	RXSEL	TXEN	RXEN	SIRWD3	SIRWD2	SIRWD1	SIRWD0
			R/W							
			0	0	0	0	0	0	0	0
			送信パルス幅選択 0: 3/16 1: 1/16	受信データ 0: "H" パルス 1: "L" パルス	送信 0: 禁止 1: 許可	受信 0: 禁止 1: 許可	受信パルス幅選択 有効 SIRRDxD パルス幅設定 "2x × (設定値 + 1)" + 100 ns 以上のパルス幅 設定可: 1–14 設定不可: 0, 15			

UART/シリアルチャネル (2/2)

記号	レジスタ名	アドレス	7	6	5	4	3	2	1	0
SC1BUF	Serial channel 1 buffer register	1208H (RMW 禁)	RB7 TB7	RB6 TB6	RB5 TB5	RB4 TB4	RB3 TB3	RB2 TB2	RB1 TB1	RB0 TB0
			R (受信)/W (送信)							
			不定							
SC1CR	Serial channel 0 control register	1209H	RB8	EVEN	PE	OERR	PERR	FERR	SCLKS	IOC
			R	R/W		R (読み出すと "0" にクリアされます。)			R/W	
			不定	0	0	0	0	0	0	0
			受信データビット 8	パリティ 0: 奇数 1: 偶数	パリティ 0: 禁止 1: 許可	オーバーラン	パリティ	フレーミング	0: SCLK1 ↑ 1: SCLK1 ↓	0: ボーレートジェネレータ 1: SCLK1 端子入力
			1: エラー							
SC1MOD0	Serial channel 1 mode 0 register	120AH	TB8	CTSE	RXE	WU	SM1	SM0	SC1	SC0
			R/W							
			0	0	0	0	0	0	0	0
			送信データビット 8	0: CTS 禁止 1: CTS 許可	0: 受信禁止 1: 受信許可	ウェイクアップ 0: 禁止 1: 許可	00: I/O インタフェースモード 01: 7 ビット UART モード 10: 8 ビット UART モード 11: 9 ビット UART モード	00: TA0REG 01: ボーレートジェネレータ 10: 内部クロック f_{i0} 11: 外部クロック (SCLK1 入力)		
BR1CR	Serial channel 1 baud-rate control register	120BH	—	BR1ADDE	BR1CK1	BR1CK0	BR1S3	BR1S2	BR1S1	BR1S0
			R/W							
			0	0	0	0	0	0	0	0
			"0" をライトしてください。	(16 - K)/16 分割 0: 禁止 1: 許可	00: $\phi T0$ 01: $\phi T2$ 10: $\phi T8$ 11: $\phi T32$	分周値 N 設定 (0-F)				
BR1ADD	Serial channel 1 K setting register	120CH					BR1K3	BR1K2	BR1K1	BR1K0
							R/W			
							0	0	0	0
SC1MOD1	Serial channel 1 Mode 1 register	120DH	I2S1	FDPX1						
			R/W							
			0	0						
			IDLE2 0: 停止 1: 動作	I/O インタフェースモード 0: 半二重 1: 全二重						

(9) I²C バス/シリアルチャネル (1/2)

記号	レジスタ名	アドレス	7	6	5	4	3	2	1	0
SBI0CR1	SBI0 Control register 1	1240H (RMW 禁) I ² C モード	BC2	BC1	BC0	ACK		SCK2	SCK1	SCK0/ SWRMON
			W			R/W		W		R/W
			0	0	0	0		0	0	0/1
		1240H (RMW 禁) SIO モード	転送ビット数 000: 8 001: 1 010: 2 011: 3 100: 4 101: 5 110: 6 111: 7			アクノリッ ジモード 0: 禁止 1: 許可		分周値 (n) 設定 000: 5 001: 6 010: 7 011: 8 100: 9 101: 10 110: 11 111: Reserved		
			SIOS	SIOINH	SIOM1	SIOM0		SCK2	SCK1	SCK0
			W					W		
SBI0DBR	SBI0 Buffer register	1241H (RMW 禁)	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
			R (受信)/W (送信) 不定							
I2C0AR	I2CBUS0 Address register	1242H (RMW 禁)	SA6	SA5	SA4	SA3	SA2	SA1	SA0	ALS
			W							
			0	0	0	0	0	0	0	0
リード時 SBI0SR	SBI0 Status register	1243H (RMW 禁) I ² C モード	スレーブアドレス設定							
ライト時 SBI0CR2	SBI0 Control register 2	1243H (RMW 禁) SIO モード	MST	TRX	BB	PIN	AL/ SBIM1	AAS/ SBIM0	AD0/ SWRST1	LARB/ SWRST0
			W							
			0	0	0	1	0	0	0	0
リード時 SBI0SR	SBI0 Status register	1243H (RMW 禁) SIO モード	0: スレーブ 1: マスタ	0: 受信 1: 送信	バス ステータス モニタ 0: フリー 1: ビジー	INTSBEO 割り込み 0: 要求 1: 解除	アービト レーション ロスト検出 モニタ 0: 検出 1: 検出	スレーブ アドレス 一致検出 モニタ 0: 検出 1: 検出	ゼネラル コール 検出モニタ 0: 検出 1: 検出	最終受信 ビット モニタ 0: 0 1: 1
							動作モード選択 00: ポートモード 01: SIO モード 10: I ² C モード 11: Reserved		ソフトウェアリセッ トの発生 “10” → “01” の順でラ イトするとソフト ウェアリセットが発 生	
ライト時 SBI0CR2	SBI0 Control register 2	1243H (RMW 禁) SIO モード					SIOF/ SBIM1	SEF/ SBIM2	-	-
							R/W		W	
							0	0	0	0
ライト時 SBI0CR2	SBI0 Control register 2	1243H (RMW 禁) SIO モード					送信 ステータス 0: 終了 1: シフト中	シフト ステータス 0: 終了 1: シフト中		
							動作モード選択 00: ポートモード 01: SIO モード 10: I ² C モード 11: Reserved		“0”をライ トしてく ださい	
									“0”をライ トしてく ださい	

I²C バス/シリアルチャネル (2/2)

記号	レジスタ名	アドレス	7	6	5	4	3	2	1	0
SBI0BR0	SBI0 Baud-rate register 0	1244H I ² C モード (RMW 禁)	—	I2SBI0						
			W	R/W						
			—	0						
		1244H SBI モード (RMW 禁)	"0" をライ トしてく ださい。	IDLE2 0: 中止 1: 動作						
			—	—						
			W	R/W						
SBI0BR1	SBI0 Baud-rate register 1	1245H (RMW 禁)	0	0						
			"0"をライ トしてく ださい。	"0" をライ トしてく ださい。						
			P4EN	—						
			R/W	W						
			0	0						
			クロック 制御 0: 停止 1: 動作	"0" をライ トしてく ださい。						

(10) AD コンバータ (1/2)

記号	レジスタ名	アドレス	7	6	5	4	3	2	1	0
ADMOD0	AD mode control register 0	12B8H	EOCF	ADBF	–	–	ITM0	REPEAT	SCAN	ADS
			R		R/W					
			0	0	0	0	0	0	0	0
			AD 転換終了フラグ 0: ビジー 1: 終了	AD 転換ビジーフラグ 0: 終了 1: ビジー	“0” をライトしてください。	“0” をライトしてください。	0: 1 回変換ごと 1: 4 回変換ごと	リピートモード指定 0: シングルモード 1: リピートモード	スキャンモード指定 0: チャネル固定モード 1: チャネルスキャンモード	AD 転換開始 1: 開始 リードすると常に“0”になります。
ADMOD1	AD mode control register 1	12B9H	VREFON	I2AD	–	–	–	ADCH2	ADCH1	ADCH0
			R/W							
			0	0	0	0	0	0	0	0
			VREF 印加制御 0: OFF 1: ON	IDLE2 0: 停止 1: 動作	“0” をライトしてください。	“0” をライトしてください。	“0” をライトしてください。	アナログ入力チャネル選択 000: AN0 AN0 001: AN1 AN0 → AN1 010: AN2 AN0 → AN1 → AN2 011: AN3 AN0 → AN1 → AN2 → AN3 100: AN4 AN0 → AN1 → AN2 → AN3 → AN4		
ADMOD2	AD mode control register 2	12BAH								ADTRG
										R/W
										0
										AD 外部トリガスタート制御 0: 禁止 1: 許可
ADREG0L	AD result register 0 Low	12A0H	ADR01	ADR00						ADR0RF
			R							R
ADREG0H	AD result register 0 High	12A1H	不定							0
			R							
ADREG1L	AD result register 1 Low	12A2H	ADR09	ADR08	ADR07	ADR06	ADR05	ADR04	ADR03	ADR02
			R							
ADREG1H	AD result register 1 High	12A3H	ADR11	ADR10						ADR1RF
			R							R
ADREG2L	AD result register 2 Low	12A4H	不定							0
			R							
ADREG2H	AD result register 2 High	12A5H	ADR19	ADR18	ADR17	ADR16	ADR15	ADR14	ADR13	ADR12
			R							
ADREG3L	AD result register 3 Low	12A6H	ADR21	ADR20						ADR2RF
			R							R
ADREG3H	AD result register 3 High	12A7H	不定							0
			R							
ADREG3H	AD result register 3 High	12A7H	ADR39	ADR38	ADR37	ADR36	ADR35	ADR34	ADR33	ADR32
			R							
ADREG3H	AD result register 3 High	12A7H	不定							
			R							

AD コンバータ (2/2)

記号	レジスタ名	アドレス	7	6	5	4	3	2	1	0
ADREG4L	AD result register 4 Low	12A8H	ADR41	ADR40						ADR4RF
			R							R
			不定							0
ADREG4H	AD result register 4 High	12A9H	ADR49	ADR48	ADR47	ADR46	ADR45	ADR44	ADR43	ADR42
			R							
			不定							
ADREG5L	AD result register 5 Low	12AAH	ADR51	ADR50						ADR5RF
			R							R
			不定							0
ADREG5H	AD result register 5 High	12ABH	ADR59	ADR58	ADR57	ADR56	ADR55	ADR54	ADR53	ADR52
			R							
			不定							
ADREG6L	AD result register 6 Low	12ACH	ADR61	ADR60						ADR6RF
			R							R
			不定							0
ADREG6H	AD result register 6 High	12ADH	ADR69	ADR68	ADR67	ADR66	ADR65	ADR64	ADR63	ADR62
			R							
			不定							
ADREG7L	AD result register 7 Low	12AEH	ADR71	ADR70						ADR7RF
			R							R
			不定							0
ADREG7H	AD result register 7 High	12AFH	ADR79	ADR78	ADR77	ADR76	ADR75	ADR74	ADR73	ADR72
			R							
			不定							

(11) ウォッチドッグタイマ

記号	レジスタ名	アドレス	7	6	5	4	3	2	1	0
WDMOD	WDT Mode register	1300H	WDTE	WDTP1	WDTP0		–	I2WDT	RESCR	–
			R/W				R/W			
			1	0	0		0	0	0	0
			WDT 制御 1: 許可	WDT 検出時間の選択 00: 2 ¹⁵ /f _{IO} 01: 2 ¹⁷ /f _{IO} 10: 2 ¹⁹ /f _{IO} 11: 2 ²¹ /f _{IO}			“0” をライ トしてく ださい。	IDLE2 0: 停止 1: 動作	1: リセット 端子に WDT 出 力を内部 接続	“0” をライ トしてく ださい。
WDCR	WDT Control register	1301H (RMW 禁)	–							
			W							
			–							
			B1H: WDT 禁止コード				4EH: WDT クリアコード			

6. ポート部等価回路図

■ 回路図の見方

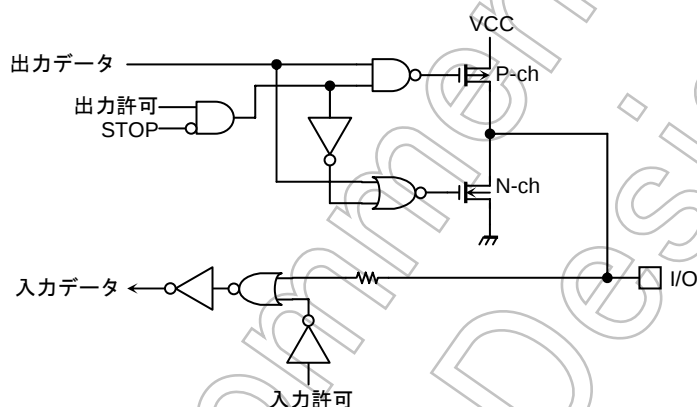
基本的に、標準 CMOS ロジック IC 「74HC××」 シリーズと同じゲート記号を使って書かれています。

信号名の中で、特殊なものについては、下記に示します。

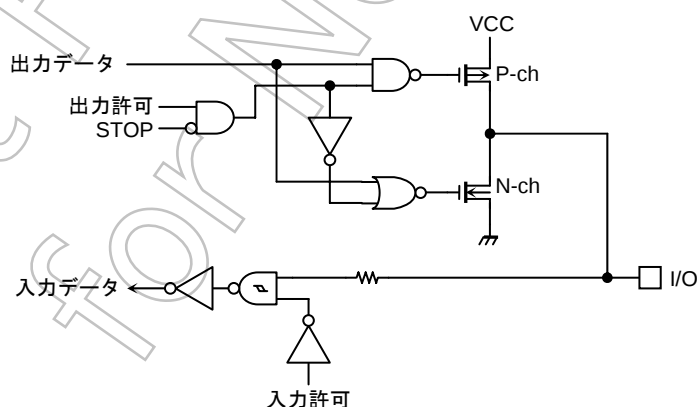
STOP: この信号は、HALT モード設定レジスタを STOP モード (SYSCR2<HALTM1:0> = 0, 1) にして、CPU が HALT 命令を実行したとき、アクティブ “1” になります。ただし、ドライブインーブルビット WDMOD<DRVE>が “1” にセットされているとき、STOP は “0” のままです。

入力保護抵抗は、数十Ω~数百Ω程度です。

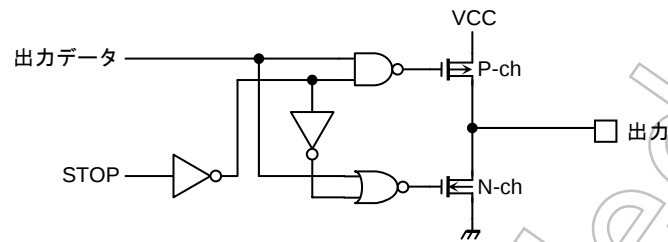
- データバス (D0~D7), P1 (D8~D15), P4 (A0~A7), P5 (A8~A15), P6 (A16~A23), P76 ($\overline{\text{WAIT}}$), PD2 (TB1OUT0), PD3 (TB1OUT1), PF6, PF7



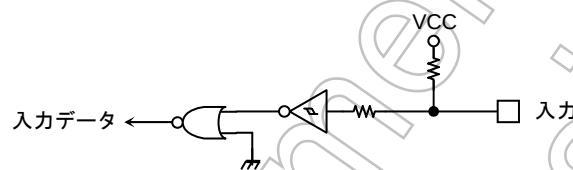
- P90 (SCK), PC0 (TA0IN), PC1 (TA1OUT/INT1), PC3 (INT0), PC5 (TA3OUT/INT2), PC6 (TB0OUT/INT3), PD0 (INT4/TB1IN0), PD1 (INT5/TB1IN1), PF1 (RXD0), PF2 (SCLK0/ $\overline{\text{CTS0}}$), PF4 (RXD1), PF5 (SCLK1/ $\overline{\text{CTS1}}$)



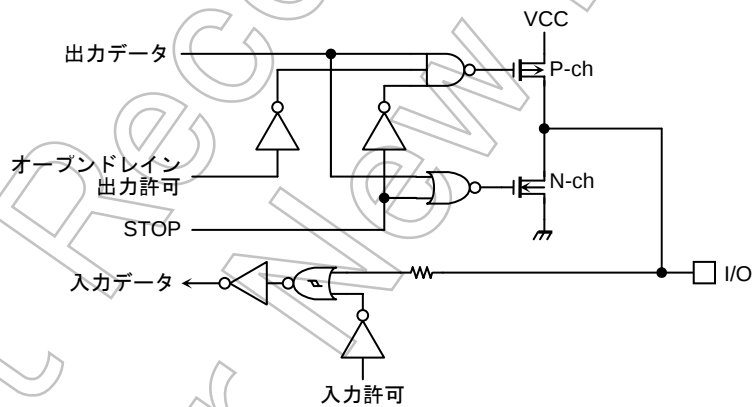
- P70 ($\overline{RD}$), P71 ($\overline{WRL}$), P72 ($\overline{WRLU}$), P73, P74 (CLKOUT), P75 ($R/\overline{W}$), P80 ($\overline{CS0}$), P81 ($\overline{CS1}$), P82 ($\overline{CS2}$), P83 ($\overline{CS3}$)



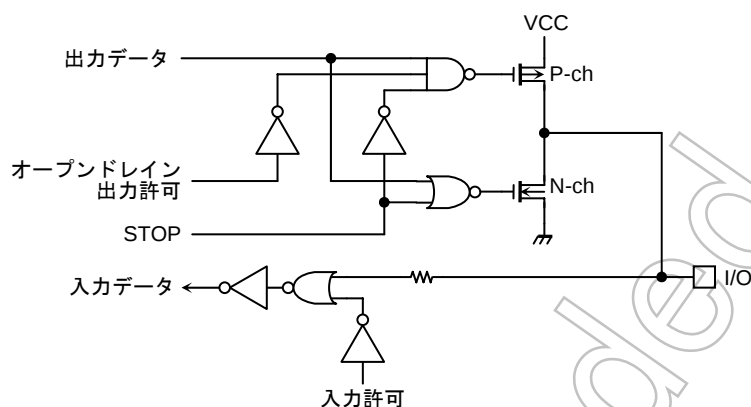
- PA0, PA1, PA2, PA7



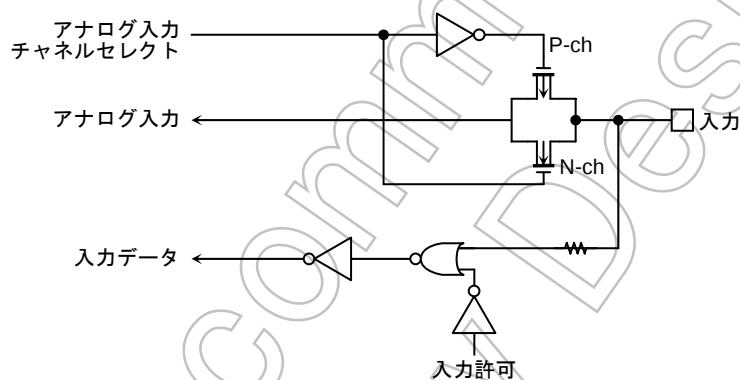
- P91 (SO/SDA), P92 (SI/SCL)



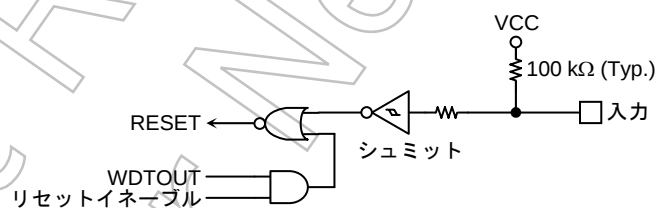
■ PF0 (TXD0), PF3 (TXD1)



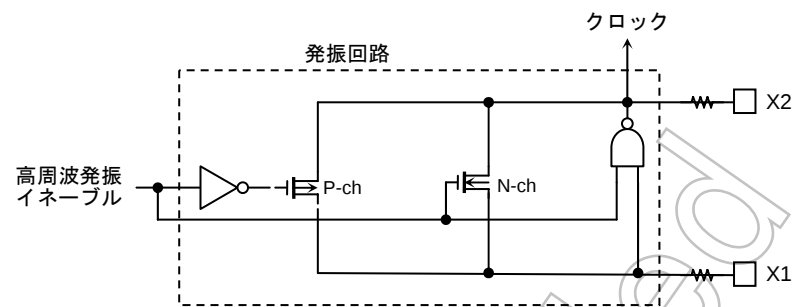
■ PG0 (AN0), PG1 (AN1), PG2 (AN2), PG3 (AN3/ $\overline{\text{ADTRG}}$), PG4 (AN4), PG5 (AN5), PG6 (AN6), PG7 (AN7)



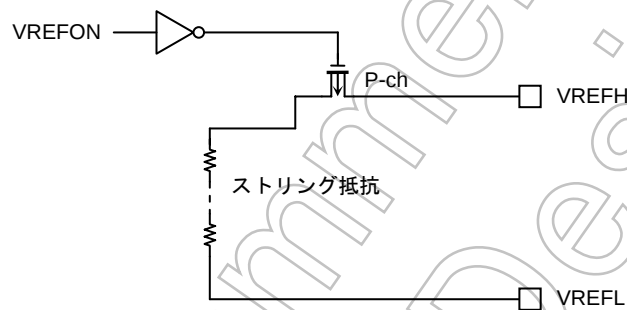
■ $\overline{\text{RESET}}$



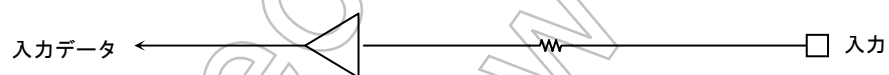
■ X1, X2



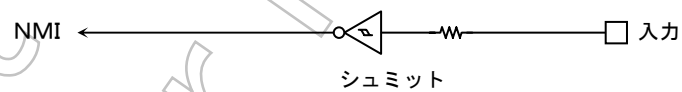
■ VREFH, VREFL



■ AM0, AM1



■ $\overline{\text{NMI}}$



7. 使用上の注意、制限事項

(1) 特別な表記、言葉の説明

1. 内蔵 I/O レジスタの説明: レジスタシンボル<ビットシンボル>

例) TA01RUN<TA0RUN>: レジスタ TA01RUN のビット TA0RUN を示します。

2. リードモディファイライト命令 (RMW)

CPU が、1つの命令でメモリに対してデータをリードした後に、そのデータを操作し同じメモリアドレスにデータをライトする命令。

例 1) SET 3, (TA01RUN) …TA01RUN レジスタのビット 3 をセットする

例 2) INC 1, (100H) …アドレス 100H のデータを +1 する

• TLCS-900 におけるリードモディファイライト命令

交換命令

EX (mem), R

算術命令

ADD (mem), R/#

ADC (mem), R/#

SUB (mem), R/#

SBC (mem), R/#

INC #3, (mem)

DEC #3, (mem)

論理演算

AND (mem), R/#

OR (mem), R/#

XOR (mem), R/#

ビット操作

STCF #3/A, (mem)

RES #3, (mem)

SET #3, (mem)

CHG #3, (mem)

TSET #3, (mem)

ローテイト、シフト

RLC (mem)

RRC (mem)

RL (mem)

RR (mem)

SLA (mem)

SRA (mem)

SLL (mem)

SRL (mem)

RLD (mem)

RRD (mem)

3. fOSCH, fc, fFPH, fSYS および 1 ステート

X1, X2 端子より入力されるクロック周波数を fOSCH、PLLCR<FCSEL>レジスタにより選択されるクロック周波数を fc と呼びます。

また、SYSCR1<GEAR2:0>レジスタにより選択されるクロック周波数を fFPH、fFPH を 2 分周して得られたクロック周波数をシステムクロック fSYS と呼びます。

この fSYS の 1 周期を 1 ステートと呼びます。

(2) 使用上の注意、制限事項

a) AM0, AM1 端子

これらの端子は、VCC (電源レベル) または VSS (グラウンドレベル) に接続します。動作中は接続されている電位を変更しないでください。

b) アドレス空間の予約領域

TMP92CM22 には予約領域はありません。

c) ウォームアップカウンタ

外部発振器を用いるシステムでも、STOP モードが解除されるとウォームアップカウンタは動作を始めます。結果として、解除要求入力からシステムクロックが出力されるまでの間にはウォームアップ時間と同じだけの時間がかかります。

d) ウォッチドッグタイマ

リセット後、ウォッチドッグタイマは動作状態となっていますので、ウォッチドッグタイマを使用しない場合は動作禁止に設定してください。

e) AD コンバータ

VREFH~VREFL 端子間のラダー抵抗をプログラマブルに接続、切り離しする機能がありますので、STOP モードなどで消費電力を下げる場合は、HALT 命令を実行する前にプログラムで切り離してください。

f) CPU (マイクロ DMA)

“LDC cr, r” 命令、および “LDC r, cr” 命令だけが CPU 内の制御レジスタとのアクセスに利用できます(DMASn レジスタなど)。

g) 未定義 SFR ビット

SFR (Special function register) の未定義ビットの値は、読み出すと「不定」が読み出されます。

h) 「POP SR」 命令

「POP SR」 命令の実行は、DI (割込み不許可) 状態で行ってください。

8. パッケージ外形寸法図

P-LQFP100-1414-0.50F

Unit: mm

