

32 ビット RISC マイクロコントローラー

TXZ+ファミリー

TMPM3H グループ(1)

リファレンスマニュアル
クロック制御と動作モード
(CG-M3H(1)-D)

Revision 1.6

2025-02

東芝デバイス&ストレージ株式会社

目次

目次	2
図目次	5
表目次	5
序章	6
関連するドキュメント	6
表記規約	7
用語・略語	9
1. クロック制御と動作モード	10
1.1. 概要	10
1.2. クロック制御	11
1.2.1. クロックの種類	11
1.2.2. リセット動作による初期値	11
1.2.3. クロック系統図	12
1.2.4. ウォーミングアップ機能	13
1.2.4.1. 高速発振用ウォーミングアップタイマー	13
1.2.4.2. 低速発振用ウォーミングアップタイマー	14
1.2.4.3. ウォーミングアップタイマーの使用法	14
1.2.5. fsys 用クロック逡倍回路(PLL)	15
1.2.5.1. リセット解除後の PLL 設定	15
1.2.5.2. PLL 逡倍値の計算式と設定例	15
1.2.5.3. 動作中の PLL 逡倍値の変更	16
1.2.5.4. PLL 動作開始/停止/切り替えシーケンス	17
1.2.6. システムクロック	18
1.2.6.1. システムクロックの設定方法	19
1.2.7. クロック供給設定機能	21
1.2.8. クロックの端子出力機能	21
1.2.9. プリスケラークロック	21
1.3. 動作モード	22
1.3.1. 動作モードの詳細	22
1.3.1.1. 各モードの特長	22
1.3.1.2. 低消費電力モード	23
1.3.1.3. 低消費電力モードの選択	23
1.3.1.4. 低消費電力モードにおける周辺機能状態	23
1.3.2. モード状態遷移	26
1.3.2.1. IDLE モード遷移手順	26
1.3.2.2. STOP1 モード遷移手順	27
1.3.2.3. STOP2 モード遷移手順	28
1.3.3. 低消費電力モードからの復帰	29
1.3.3.1. 低消費電力モードの解除ソース	29

1.3.3.2. 低消費電力モード解除時のウオーミングアップ.....	31
1.3.3.3. STOP2 モードからの復帰.....	32
1.3.4. モード遷移によるクロック動作.....	33
1.3.4.1. NORMAL→IDLE→NORMAL 動作モード遷移.....	33
1.3.4.2. NORMAL→STOP1→NORMAL 動作モード遷移.....	33
1.3.4.3. NORMAL→STOP2→RESET→NORMAL 動作モード遷移.....	34
1.4. レジスタの説明.....	35
1.4.1. レジスタ一覧.....	35
1.4.1.1. クロック/モード制御.....	35
1.4.1.2. 低速発振/電源制御(注).....	35
1.4.2. レジスタ詳細.....	36
1.4.2.1. [CGPROTECT] (CG ライトプロテクトレジスタ).....	36
1.4.2.2. [CGOSCCR] (発振制御レジスタ).....	36
1.4.2.3. [CGSYSCR] (システムクロック制御レジスタ).....	37
1.4.2.4. [CGSTBYCR] (スタンバイ制御レジスタ).....	38
1.4.2.5. [CGSCOCR] (SCOUT 出力制御レジスタ).....	38
1.4.2.6. [CGPLL0SEL] (fsys 用 PLL セレクトレジスタ).....	39
1.4.2.7. [CGWUPHCR] (高速発振ウオーミングアップレジスタ).....	39
1.4.2.8. [CGWUPLCR] (低速発振ウオーミングアップレジスタ).....	40
1.4.2.9. [CGFSYSMENB] (fsysm 供給停止レジスタ-B).....	41
1.4.2.10. [CGFSYSENA] (fsys 供給停止レジスタ-A).....	42
1.4.2.11. [CGFSYSENB] (fsys 供給停止レジスタ-B).....	44
1.4.2.12. [CGFCEN] (fc 供給停止レジスタ).....	46
1.4.2.13. [CGSPCLKEN] (ADC、デバッグ回路用クロック供給停止レジスタ).....	46
1.4.2.14. [RLMLOSCCR] (低速発振制御レジスタ).....	46
1.4.2.15. [RLMSHTDNOP] (電源遮断制御レジスタ).....	46
1.4.2.16. [RLMPROTECT] (RLM ライトプロテクトレジスタ).....	47
1.5. 製品別情報.....	48
1.5.1. [CGFSYSMENB].....	48
1.5.2. [CGFSYSENA].....	49
1.5.3. [CGFSYSENB].....	50
2. メモリーマップ.....	51
2.1. 概要.....	51
2.1.1. TMPM3HxFDA.....	52
2.1.2. TMPM3HxFZA.....	53
2.1.3. TMPM3HxFYA.....	54
2.2. バスマトリックス.....	55
2.2.1. 構成.....	55
2.2.1.1. シングルチップモード.....	55
2.2.1.2. シングルブートモード.....	56
2.2.2. 接続表.....	57
2.2.2.1. メモリー関連の接続.....	57

2.2.2.2. 周辺機能の接続	58
3. 電源とリセット動作.....	59
3.1. 概要	59
3.2. 機能説明・動作説明	60
3.2.1. コールドリセット	60
3.2.1.1. パワーオンリセット回路によるリセット(RESET_N 端子を使用しない場合)	61
3.2.1.2. RESET_N 端子によるリセット	62
3.2.1.3. LVD によるリセットの継続	64
3.2.2. ウォームリセット	65
3.2.2.1. RESET_N 端子によるウォームリセット	65
3.2.2.2. 内部リセットによるウォームリセット	65
3.2.3. STOP2 モード解除によるリセット	66
3.2.4. リセットとシングルブートモードの起動	66
3.2.5. パワーオンリセット回路	68
3.2.5.1. 電源投入時の動作	68
3.2.5.2. 電源切断時の動作	68
3.2.6. 電源切断と再投入	69
3.2.6.1. 外部のリセット回路または内蔵 LVD のリセット出力を使用している場合	69
3.2.6.2. 外部のリセット回路/内蔵 LVD のリセット出力を使用しない場合	69
3.2.7. リセット解除後	69
3.2.7.1. リセット要因と初期化範囲	70
4. 改訂履歴	71
製品取り扱い上のお願い	72

図目次

図 1.1	クロック系統図.....	12
図 1.2	モード状態遷移.....	26
図 1.3	STOP2 モードからの復帰フロー.....	32
図 1.4	NORMAL→STOP1→NORMAL 動作モード遷移.....	33
図 1.5	NORMAL→STOP2→RESET→NORMAL 動作モード遷移.....	34
図 2.1	TMPM3HxFD.....	52
図 2.2	TMPM3HxFZ.....	53
図 2.3	TMPM3HxFY.....	54
図 2.4	シングルチップモード.....	55
図 2.5	シングルブートモード.....	56
図 3.1	パワーオンリセット回路によるリセット動作.....	61
図 3.2	RESET_N 端子によるリセット動作(1).....	62
図 3.3	RESET_N 端子によるリセット動作(2).....	63
図 3.4	LVD リセットによるリセット動作.....	64
図 3.5	ウォームリセット動作.....	65
図 3.6	電源オンとシングルブートモードの起動.....	66
図 3.7	電源安定時のシングルブートモードの起動.....	67
図 3.8	パワーオンリセット回路.....	68

表目次

表 1.1	[CGPLL0SEL]<PLL0SET[23:0]>設定詳細.....	15
表 1.2	PLL 補正值(例).....	16
表 1.3	PLL0SET 設定値(例).....	16
表 1.4	動作周波数(単位: MHz)例.....	18
表 1.5	SCOUT 端子使用可否一覧.....	21
表 1.6	低消費電力モード選択.....	23
表 1.7	低消費電力モード別ブロック動作状態一覧.....	24
表 1.8	解除ソース一覧.....	29
表 1.9	ウォーミングアップ.....	31
表 1.10	[CGFSYSMENB]の製品別割り当て.....	48
表 1.11	[CGFSYSENA]の製品別割り当て.....	49
表 1.12	[CGFSYSENB]の製品別割り当て.....	50
表 2.1	シングルチップモード.....	57
表 2.2	シングルブートモード.....	57
表 2.3	周辺機能の接続.....	58
表 3.1	リセット要因と初期化される範囲.....	70
表 4.1	改訂履歴.....	71

序章

関連するドキュメント

文書名
ARM®ドキュメンテーションセット Cortex®-M3 プロセッサ編
各製品のデータシート(電気的特性)
例外
周波数検知回路
電圧検知回路
クロック選択式ウォッチドックタイマー
フラッシュメモリー

表記規約

- 数値表記は以下の規則に従います。
16進数表記: 0xABC
10進数表記: 123 または 0d123 (10進表記であることを示す必要のある場合だけ使用)
2進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート(assert)」アクティブでないレベルに移ることを「デアサート(deassert)」と呼びます。
- 複数の信号名は[m:n]とまとめて表記する場合があります。
例: S[3:0]はS3、S2、S1、S0の4つの信号名をまとめて表記しています。
- 本文中[]で囲まれたものはレジスタを定義しています。
例: [ABCD]
- 同種で複数のレジスタ、フィールド、ビット名は「n」で一括表記する場合があります。
例: [XYZ1]、[XYZ2]、[XYZ3] → [XYZn]
- 「レジスタ一覧」中のレジスタ名でユニットまたはチャンネルは「x」で一括表記しています。
ユニットの場合、「x」はA、B、C、...を表します。
例: [ADACR0]、[ADBCR0]、[ADCCR0] → [ADxCR0]
チャンネルの場合、「x」は0、1、2、...を表します。
例: [T32A0RUNA]、[T32A1RUNA]、[T32A2RUNA] → [T32AxRUNA]
- レジスタのビット範囲は[m:n]と表記します。
例: [3:0]はビット3から0の範囲を表します。
- レジスタの設定値は16進数または2進数のどちらかで表記されています。
例: [ABCD]<EFG> = 0x01 (16進数)、[XYZn]<VW> = 1 (2進数)
- ワード、バイトは以下のビット長を表します。
バイト: 8ビット
ハーフワード: 16ビット
ワード: 32ビット
ダブルワード: 64ビット
- レジスタ内の各ビットの属性は以下の表記を使用しています。
R: リードオンリー
W: ライトオンリー
R/W: リード/ライト
- 断りのない限り、レジスタアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスタは書き換えを行わないでください。
また、読み出した値を使用しないでください。
- Default値が「-」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスタに書き込みを行う場合、リードオンリー「R」のビットフィールドにはDefault値を書き込んでください。
Default値が「-」となっている場合は、個々のレジスタの定義に従ってください。
- ライトオンリーのレジスタのReservedビットフィールドにはDefault値を書き込んでください。
Default値が「-」となっている場合は、個々のレジスタの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスタへのリードモディファイライト処理は行わないでください

Arm, Cortex および Thumb は Arm Limited(またはその子会社)の US またはその他の国における登録商標です。 All rights reserved.



本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

ADC	Analog to Digital Converter
A-ENC	Advanced Encoder input Circuit
APB	Advanced Peripheral Bus
A-PMD	Advanced Programmable Motor Control Circuit
CG	Clock control and Operation Mode
COMP	Comparator
CRC	Cyclic Redundancy Check
DAC	Digital to Analog Converter
DMAC	Direct Memory Access Controller
DNF	Digital Noise Filter
ELOSC	External Low-speed Oscillator
EHOSC	External High-speed Oscillator
EI2C	I ² C Interface Version A
fsys	frequency of SYSTEM Clock
I2C	Inter-Integrated Circuit
I2CS	Wake-up function by address matching
IHOSC	Internal High-speed Oscillator
IA(INTIF)	Interrupt control register A
IB(INTIF)	Interrupt control register B
I-Bus	ICode memory interface
IMN	Interrupt Monitor
INT	Interrupt
IO	IO Bus(32bit Peripheral Bus)
LCD	Liquid Crystal Display
LVD	Voltage Detection Circuit
NMI	Non-Maskable Interrupt
OFD	Oscillation Frequency Detector
POR	Power-on Reset Circuit
RAMP	RAM Parity Circuit
RLM	Low-speed oscillation/power supply control/reset
RMC	Remote Control Signal Preprocessor
RTC	Real Time Clock
S-Bus	System interface
SCOUT	Source Clock Output
SIWDT	Clock Selective Watchdog Timer
TPIU	Trace Port Interface Unit
TRGSEL	Trigger Selection Circuit
TRM	Trimming Circuit
TSPI	Serial Peripheral Interface
T32A	32-bit Timer Event Counter
UART	Asynchronous Serial Communication Circuit

1. クロック制御と動作モード

1.1. 概要

クロック/モード制御ブロックでは、クロックギアやプリスケールクロックの選択、発振器のウォーミングアップなどを設定することが可能です。

また、動作モードとして **NORMAL** モードと低消費電力モードがあり、使用方法に応じモード遷移を行うことで消費電力を抑えることができます。

クロックに関連する機能としては以下のようなものがあります。

- システムクロックの制御
- プリスケールクロックの制御

1.2. クロック制御

1.2.1. クロックの種類

クロックの一覧を以下に示します。

EHCLKIN:	外部から入力されるクロック
f _{OSC} :	内部発振回路で生成されるクロックと X1、X2 端子より入力されるクロックの選択後のクロック
f _{PLL} :	PLL により逡倍されたクロック
f _c :	[CGP _{LL} 0SEL]<PLL0SEL>で選択されたクロック(高速クロック)
f _s :	外部低速発振器から出力されるクロック
f _{sys} :	[CGS _{YS} CR]<GEAR[2:0]>で選択されたシステムクロック
ΦT0:	[CGS _{YS} CR]<PRCK[3:0]>で選択されたクロック(プリスケールクロック)
f _{IHOSC1} :	内蔵高速発振器 1 で生成されるクロック
f _{IHOSC2} :	内蔵高速発振器 2 で生成されるクロック
ADCLK:	AD コンバーター用変換クロック
TRCLKIN:	デバッグ回路(トレース/SWV)の機能用クロック

1.2.2. リセット動作による初期値

リセット動作により、クロック設定は下記のような状態に初期化されます。

外部高速発振器:	停止
内蔵高速発振器 1:	発振
内蔵高速発振器 2:	停止
外部低速発振器:	停止
PLL(逡倍回路):	停止
ギアクロック:	f _c (分周なし)

1.2.4. ウォーミングアップ機能

ウォーミングアップ機能は、自動で高速発振用ウォーミングアップタイマーを起動する STOP1 モード解除時の発振安定時間を確保するための機能の他、外部発振器や内蔵発振器の安定待ちのために高速発振/低速発振それぞれの専用ウォーミングアップタイマーを使用したカウントアップタイマーとしても使用可能です。

この章では、ウォーミングアップタイマー用レジスターへの設定方法と、カウントアップタイマーとして使用する場合について説明しています。STOP1 モード解除時の詳細説明については、「1.3.3.2. 低消費電力モード解除時のウォーミングアップ」を参照してください。

1.2.4.1. 高速発振用ウォーミングアップタイマー

高速発振専用ウォーミングアップとして、16ビットのアップタイマーを内蔵しています。STOP1 モードへ遷移前に設定する場合も、下記の計算式で算出し、下位4ビットを切り捨てて、上位12ビットへ設定します。レジスターは、**[CGWUPHCR]<WUPT[15:4]>**に設定することになります。

<計算式>

(外部高速発振の場合)

$$\begin{aligned} & \text{ウォーミングアップタイマー設定値(16ビット)} \\ & = (\text{ウォーミングアップ時間(s)} \div \text{クロック周期(s)}) - 16 \end{aligned}$$

(例) 発振器 10MHz(クロック周期 100ns)で、ウォーミングアップ時間 5ms を設定する場合

$$\begin{aligned} \text{ウォーミングアップタイマー設定値(16ビット)} & = (5\text{ms} \div 100\text{ns}) - 16 \\ & = 50000 - 16 \\ & = 49984 \\ & = 0xC340 \end{aligned}$$

レジスターへは、上位 12 ビットを設定しますので、下記のように設定します。

$$\mathbf{[CGWUPHCR]<WUPT[15:4]> = 0xC34}$$

(内蔵高速発振器 1 の場合)

$$\begin{aligned} & \text{ウォーミングアップタイマー設定値(16ビット)} \\ & = ((\text{ウォーミングアップ時間(s)} - 63.3(\mu\text{s})) \div \text{クロック周期(s)}) - 41 \end{aligned}$$

(例) 発振器 10MHz(クロック周期 100ns)で、ウォーミングアップ時間 163.4 μ s を設定する場合

$$\begin{aligned} \text{ウォーミングアップタイマー設定値(16ビット)} & = ((163.4 - 63.3) \div 100\text{ns}) - 41 \\ & = (100.1\mu\text{s} \div 100\text{ns}) - 41 \\ & = 960 \\ & = 0x03C0 \end{aligned}$$

レジスターへは、上位 12 ビットを設定しますので、下記のように設定します。

$$\mathbf{[CGWUPHCR]<WUPT[15:4]> = 0x03C}$$

設定範囲は、 $0x03C \leq \text{<WUPT[15:4]>} \leq 0xFFFF$ で行い、ウォーミングアップ時間は、163.4 μ s ~ 6.6194ms となります。

1.2.4.2. 低速発振用ウオーミングアップタイマー

低速発振専用ウオーミングアップタイマーとして、19ビットのアップタイマーを内蔵しています。下記の計算式で算出し、下位 4 ビットを切り捨て、上位 15 ビットへ設定します。レジスターは、**[CGWUPLCR]<WUPTL[18:4]>**に設定することになります。設定値が 0 の場合でも、下位 4bit 分のカウントを実行するため、16 を減算しています。

<計算式>

$$\begin{aligned} & \text{ウオーミングアップタイマー設定値(19 ビット)} \\ & = (\text{ウオーミングアップ時間(s)} \div \text{クロック周期(s)}) - 16 \end{aligned}$$

(例) 発振器 32kHz(クロック周期 31.25 μ s)で、ウオーミングアップ時間 50ms を設定する場合

$$\begin{aligned} \text{ウオーミングアップタイマー設定値(19 ビット)} & = (50\text{ms} \div 31.25\mu\text{s}) - 16 \\ & = 1600 - 16 \\ & = 1584 \\ & = 0x00630 \end{aligned}$$

レジスターへは、上位 15 ビットを設定しますので、下記のように設定します。
[CGWUPLCR]<WUPTL[18:4]> = 0x0063

設定範囲は、 $0 \leq \text{<WUPTL[18:4]>} \leq 0x7FFF$ で、ウオーミングアップ時間は、500 μ s ~ 16.384s となります。

1.2.4.3. ウオーミングアップタイマーの使用法

ウオーミングアップ機能の使用法を説明します。

- (1) クロックの選択
高速発振の場合は、ウオーミングアップタイマーでカウントするクロック種別(内蔵発振/外部発振)を、**[CGWUPHCR]<WUCLK>**で選択します。
- (2) ウオーミングアップタイマー設定値の算出
ウオーミングアップ時間は、高速発振/低速発振用のタイマーへ任意の値が設定可能です。それぞれの計算式から算出し、設定してください。
- (3) ウオーミングアップの開始および終了確認
ソフトウェア(命令)によりウオーミングアップの開始および終了確認を行う場合、開始は、**[CGWUPHCR]<WUON>**(または**[CGWUPLCR]<WULON>**)へ"1"を設定することでウオーミングアップタイマーがスタートします。終了は**[CGWUPHCR]<WUEF>**(または**[CGWUPLCR]<WULEF>**)が"1"→"0"になることで判別します。"1"でウオーミングアップ中、"0"で終了を示します。カウント終了後、タイマーはリセットされて初期状態に戻ります。
タイマー動作中に**[CGWUPHCR]<WUON>**(または**[CGWUPLCR]<WULON>**)へ"0"を書き込んでも、強制終了にはなりません。"0"書き込みは無視されます。

注) ウオーミングアップタイマーは発振クロックで動作しているため、発振周波数にゆらぎがある場合は誤差を含みます。従って概略時間としてとらえる必要があります。

1.2.5. fsys 用クロック逡倍回路(PLL)

fsys 用クロック逡倍回路は、高速発振器の出力クロック f_{OSC} の周波数(6MHz ~ 12MHz)に最適な条件で逡倍した f_{PLL} クロック(最大 120MHz)を出力する回路です。これにより、発振器への入力周波数は低く内部クロックは高速にすることが可能です。

1.2.5.1. リセット解除後の PLL 設定

PLL はリセット解除後、ディセーブルです。

PLL を使用するためには、[CGPLL0SEL]<PLL0ON>が"0"の状態、[CGPLL0SEL]<PLL0SET>の逡倍値の設定を行った後、PLL の初期化時間として約 100μs 経過後に、<PLL0ON> を"1"に設定して PLL の動作を開始します。その後、ロックアップ時間約 400μs 経過後に、[CGPLL0SEL]<PLL0SEL>を"1"に設定することにより、f_{OSC} を逡倍した f_{PLL} クロックを使用することができます。

なお、PLL 動作が安定するまでの時間は、ウォーミングアップ機能などを用いて確保する必要があります。

1.2.5.2. PLL 逡倍値の計算式と設定例

PLL 逡倍値を設定する[CGPLL0SEL]<PLL0SET[23:0]>の内訳詳細を下記に示します。

表 1.1 [CGPLL0SEL]<PLL0SET[23:0]>設定詳細

PLL0SET の内訳	機能	
[23:17]	補正值設定	f _{osc} /450k の商(整数)。表 1.2 を参照してください。
[16:14]	f _{osc} 設定	000: 6 ≤ f _{osc} ≤ 7 100: 12 < f _{osc} ≤ 15 001: 7 < f _{osc} ≤ 8 101: 15 < f _{osc} ≤ 19 010: 8 < f _{osc} ≤ 10 110: 19 < f _{osc} ≤ 24 011: 10 < f _{osc} ≤ 12 111: Reserved (単位: MHz)
[13:12]	分周設定	00: Reserved 01: 2 分周(× 1 / 2) 10: 4 分周(× 1 / 4) 11: 8 分周(× 1 / 8)
[11:8]	小数部逡倍設定	0000: 0.0000 1000: 0.5000 0001: 0.0625 1001: 0.5625 0010: 0.1250 1010: 0.6250 0011: 0.1875 1011: 0.6875 0100: 0.2500 1100: 0.7500 0101: 0.3125 1101: 0.8125 0110: 0.3750 1110: 0.8750 0111: 0.4375 1111: 0.9375
[7:0]	整数部逡倍設定	0x00: 0 0x01: 1 0x02: 2 : 0xFD: 253 0xFE: 254 0xFF: 255

注) 逡倍値は、<PLL0SET[7:0]>(整数部)と<PLL0SET[11:8]>(小数部)の合算です。

f_{PLL} は、以下の計算式で表されます。

$$f_{PLL} = f_{OSC} \times ([CGPLL0SEL]<PLL0SET[7:0]> + [CGPLL0SEL]<PLL0SET[11:8]>) \times [CGPLL0SEL]<PLL0SET[13:12]>$$

注 1) 周波数精度の絶対値は保証しません。

注 2) 小数点逡倍設定にリニアリティーはありません。

注 3) f_{PLL} ≤ 最大動作周波数

表 1.2 PLL補正值(例)

f _{osc} (MHz)	<PLL0SET[23:17]>(10進、整数値)
6.00	14
8.00	18
10.00	23
12.00	27

PLL 補正值は、以下で求めることができます

f_{osc} = 6.0MHz 時、 $6.0 / 0.45 = 13.33 \approx 14$; 小数部は切り上げ

[CGPLL0SEL]<PLL0SET[23:0]>の主な設定例を下記に示します。

- (1) 入力周波数(f_{osc})を、PLL で逡倍、分周し、目的とするクロック周波数(f_{PLL})を生成します。
- (2) 分周値は、1/2、1/4、1/8 から選択します。
- (3) 逡倍後の周波数は下表の範囲で設定してください。
 $200\text{MHz} \leq (f_{\text{osc}} \times \text{逡倍値}) \leq 320\text{MHz}$

表 1.3 PLL0SET 設定値(例)

f _{osc} (MHz)	逡倍値	分周値	f _{PLL} (MHz)	<PLL0SET[23:0]>
6.00	40.0000	1/2	120.00	0x1C1028
8.00	30.0000	1/2	120.00	0x24501E
10.00	24.0000	1/2	120.00	0x2E9018
12.00	20.0000	1/2	120.00	0x36D014
6.00	53.3125	1/4	79.97	0x1C2535
8.00	40.0000	1/4	80.00	0x246028
10.00	32.0000	1/4	80.00	0x2EA020
12.00	26.6250	1/4	79.88	0x36EA1A
6.00	53.3125	1/8	39.98	0x1C3535
8.00	40.0000	1/8	40.00	0x247028
10.00	32.0000	1/8	40.00	0x2EB020
12.00	26.6250	1/8	39.94	0x36FA1A

1.2.5.3. 動作中の PLL 逡倍値の変更

PLL 逡倍クロック動作中に、逡倍値の変更を行う場合、まず[CGPLL0SEL]<PLL0SEL>に"0"を設定し PLL 逡倍クロックを使用しない設定に切り替えます。そして、[CGPLL0SEL]<PLL0ST>=0を読み出し、逡倍クロックを使用しない設定に切り替わったことを確認した後、[CGPLL0SEL]<PLL0ON>を"0"として PLL を停止します。

その後、[CGPLL0SEL]<PLL0SET>の逡倍値を変更し、PLL の初期化時間として約 100μs 経過後に、[CGPLL0SEL]<PLL0ON>を"1"に設定して PLL の動作を開始します。

その後、ロックアップ時間、約 400μs 経過後に、[CGPLL0SEL]<PLL0SEL>を"1"に設定します。最後に、[CGPLL0SEL]<PLL0ST>をリードし、切り替わったことを確認します。

1.2.5.4. PLL 動作開始/停止/切り替えシーケンス

(1) fc 設定(PLL 停止→PLL 動作)

fc 設定として、PLL 停止状態から PLL 動作状態への切り替え手順例は、下記のようになります。

《切り替え前の状態》	
[CGPLLOSEL]<PLL0ON> = 0	fsys 用 PLL 動作が停止
[CGPLLOSEL]<PLL0SEL> = 0	fsys 用 PLL 選択が PLL 未使用(f_{osc})
[CGPLLOSEL]<PLL0ST> = 0	fsys 用 PLL 選択ステータスが PLL 未使用(f_{osc})

《切り替えシーケンス例》	
1	[CGPLLOSEL]<PLL0SET> = 0xXXX PLL 通倍値設定を選択する
2	100 μ s 以上待つ 通倍設定後の待ち時間
3	[CGPLLOSEL]<PLL0ON> = 1 fsys 用 PLL 動作を発振にする
4	400 μ s 以上待つ PLL 出カクロック安定待ち時間(ロックアップ時間)
5	[CGPLLOSEL]<PLL0SEL> = 1 fsys 用 PLL 選択を PLL 使用(f_{PLL})にする
6	[CGPLLOSEL]<PLL0ST>をリード fsys 用 PLL 選択ステータスが PLL 使用(f_{PLL})(= 1)になるまで待つ

注) 1 ~ 4 は、切り替え前の状態が[CGPLLOSEL]<PLL0ON> = 1 の場合は不要です。PLL 出力クロックが安定した状態から切り替える場合は、5、6 のみの実行で PLL 動作状態へ切り替え可能です。

(2) fc 設定(PLL 動作→PLL 停止)

fc 設定として、PLL 動作状態から PLL 停止状態への切り替え手順例は、下記のようになります。

《切り替え前の状態》	
[CGPLLOSEL]<PLL0ON> = 1	fsys 用 PLL 選択が発振
[CGPLLOSEL]<PLL0SEL> = 1	fsys 用 PLL 選択が PLL 使用(f_{PLL})
[CGPLLOSEL]<PLL0ST> = 1	fsys 用 PLL 選択ステータスが PLL 使用(f_{PLL})

《切り替えシーケンス例》	
1	[CGPLLOSEL]<PLL0SEL> = 0 fsys 用 PLL 選択を PLL 未使用(f_{osc})にする
2	[CGPLLOSEL]<PLL0ST>をリード fsys 用 PLL 選択ステータスが PLL 未使用(f_{osc})(= 0)になるまで待つ
3	[CGPLLOSEL]<PLL0ON> = 0 fsys 用 PLL 動作を停止にする

1.2.6. システムクロック

システムクロックの源振として、内蔵高速発振クロック、外部高速発振クロック(発振子接続またはクロック入力) が使用可能です。

システムクロックは[CGSYSCR]<GEAR[2:0]>(クロックギア)で分周が可能です。設定は動作中に変更可能ですが、レジスタ書き込み後、実際にクロックが切り替わるまでに f_c で最大 16 クロックの時間が必要です。クロック切り替えの完了は、[CGSYSCR]<GEARST[2:0]>で確認してください。

注) タイマーカウンターなどの周辺機能の動作中にクロックギアを切り替えないようにしてください。

発振周波数、PLL 通倍値などで設定した周波数 f_c に対するクロックギア比(1/1 ~ 1/16)による動作周波数例を下記に示します。

表 1.4 動作周波数(単位: MHz)例

外部発振 (MHz)	外部クロック入力 (MHz)	内蔵発振 IHOSC1 (MHz)	PLL 通倍値 (分周後)	最大周波数 (f_c)(MHz)	クロックギア PLL = ON 時					クロックギア PLL = OFF 時				
					1/1	1/2	1/4	1/8	1/16	1/1	1/2	1/4	1/8	1/16
6	6	—	20	120	120	60	30	15	7.5	6	3	1.5	-	-
8	8	—	15	120	120	60	30	15	7.5	8	4	2	1	-
10	10	10	12	120	120	60	30	15	7.5	10	5	2.5	1.25	-
12	12	—	10	120	120	60	30	15	7.5	12	6	3	1.5	-
6	6	—	13.329	79.97	79.97	39.99	20	10	5	6	3	1.5	-	-
8	8	—	10	80	80	40	20	10	5	8	4	2	1	-
10	10	10	8	80	80	40	20	10	5	10	5	2.5	1.25	-
12	12	—	6.657	79.88	79.88	39.95	19.98	9.99	4.99	12	6	3	1.5	-
6	6	—	6.625	39.75	39.75	19.9	9.94	4.97	2.48	6	3	1.5	-	-
8	8	—	5	40	40	20	10	5	2.5	8	4	2	1	-
10	10	10	4	40	40	20	10	5	2.5	10	5	2.5	1.25	-
12	12	—	3.3125	39.75	39.75	19.9	9.94	4.97	2.48	12	6	3	1.5	-

1.2.6.1. システムクロックの設定方法

(1) fosc 設定(内蔵発振→外部発振)

fosc 設定として、内蔵高速発振器 1(IHOSC1)から外部高速発振器(EHOSC)への切り替え手順例を下記に示します。

《切り替え前の状態》	
[CGOSCCR]<IHOSC1EN> = 1	内蔵高速発振器 1 が発振
[CGOSCCR]<OSCSEL> = 0	fosc 用高速発振選択が内蔵高速発振器 1(IHOSC1)
[CGOSCCR]<OSCF> = 0	fosc 用高速発振選択ステータスが内蔵高速発振器(IHOSC1)
X1/X2 端子に発振子を接続(注)	

注) 発振子以外は接続しないでください。

《切り替えシーケンス例》		
1	[PHPDN]<bit[1:0]> = 00 [PHIE]<bit[1:0]> = 00	X1/X2 端子のプルダウンをディセーブル X1/X2 端子の入力制御をディセーブル
2	[CGOSCCR]<EOSCEN[1:0]> = 01	外部高速発振器の動作選択を外部高速発振(EHOSC)
3	[CGWUPHCR]<WUCLK> = 1 [CGWUPHCR]<WUPT[15:4]> = 任意値	ウォーミングアップクロック選択を外部高速発振器(EHOSC) ウォーミングアップタイマー設定値へ発振器安定時間を設定
4	[CGWUPHCR]<WUON> = 1	高速発振ウォーミングアップをスタートする
5	[CGWUPHCR]<WUEF>をリード	高速発振ウォーミングアップ終了(= 0)になるまで待つ
6	[CGOSCCR]<OSCSEL> = 1	fosc 用高速発振選択を外部高速発振器(EHOSC)へ
7	[CGOSCCR]<OSCF>をリード	fosc 用高速発振選択ステータスが外部高速発振器(= 1)になるまで待つ
8	[CGOSCCR]<IHOSC1EN> = 0	内蔵高速発振器 1 を停止

(2) fosc 設定(内蔵発振→外部クロック入力)

fosc 設定として、内蔵高速発振器 1(IHOSC1)から外部クロック入力(EHCLKIN)への切り替え手順例を下記に示します。

《切り替え前の状態》	
[CGOSCCR]<IHOSC1EN> = 1	内蔵高速発振器 1 が発振
[CGOSCCR]<OSCSEL> = 0	fosc 用高速発振選択が内蔵高速発振器 1(IHOSC1)
[CGOSCCR]<OSCF> = 0	fosc 用高速発振選択ステータスが内蔵高速発振器 1(IHOSC1)
EHCLKIN へのクロック入力	
適正電圧範囲で入力してください。	

《切り替えシーケンス例》		
1	[PHPDN]<bit[0]> = 0 [PHIE]<bit[0]> = 0/1	X1 端子のプルダウンをディセーブル X1/EHCLKIN 端子の入力制御は任意
2	[CGOSCCR]<EOSCEN[1:0]> = 10	外部高速発振器の動作選択を外部クロック入力(EHCLKIN)にする
3	[CGOSCCR]<OSCSEL> = 1	fosc 用高速発振選択を外部高速発振器へ
4	[CGOSCCR]<OSCF>をリード	fosc 用高速発振選択ステータスが外部高速発振器(= 1)になるまで待つ
5	[CGOSCCR]<IHOSC1EN> = 0	内蔵高速発振器 1 を停止

(3) f_{osc} 設定(外部発振/外部クロック入力→内蔵発振)

f_{osc} 設定として、外部高速発振器(EHOSC)または外部クロック入力(EHCLKIN)から、内蔵高速発振器 1(IHOSC1)への切り替え手順例を下記に示します。

《切り替え前の状態》	
[CGOSCCR]<EOSCEN[1:0]> = 01 or 10	外部高速発振器の動作選択が外部発振器(EHOSC)か外部クロック入力
[CGOSCCR]<OSCSEL> = 1	f _{osc} 用高速発振選択が外部高速発振器(EHOSC)
[CGOSCCR]<OSCF> = 1	f _{osc} 用高速発振選択ステータスが外部高速発振器(EHOSC)

《切り替えシーケンス例》	
1 [CGWUPHCR]<WUCLK> = 0	ウオーミングアップクロック選択を内蔵高速発振器 1(IHOSC1)にする
2 [CGWUPHCR]<WUPT[15:4]> = 0x03C	高速発振ウオーミングアップ設定値に 163.4μs(= 0x03C)以上を設定する
3 [CGOSCCR]<IHOSC1EN> = 1	内蔵高速発振器 1 を発振する
4 [CGWUPHCR]<WUON> = 1	高速発振ウオーミングアップタイマーをスタートする
5 [CGWUPHCR]<WUEF>をリード	ウオーミングアップタイマーステータスが終了(= 0)になるまで待つ
6 [CGOSCCR]<OSCSEL> = 0	f _{osc} 用高速発振選択を内蔵高速発振器 1(IHOSC1)にする
7 [CGOSCCR]<OSCF>をリード	f _{osc} 用高速発振選択ステータスが内蔵高速発振器(= 0)になるまで待つ
8 [CGOSCCR]<EOSCEN[1:0]> = 00	外部高速発振器の動作選択を外部発振未使用にする

1.2.7. クロック供給設定機能

この製品には、周辺機能に対してクロック供給 On/Off 機能があり、使用しない周辺機能に対して、クロック供給を停止することで消費電流を削減することができます。

リセット解除後は、一部の周辺機能を除き、クロックが供給されていない状態です。

使用する機能のクロックを供給するには、**[CGFSYSENA]**、**[CGFSYSENB]**、**[CGFSYSMENB]**、**[CGFCEN]**、**[CGSPCLKEN]**の該当のビットを"1"に設定します。

レジスターの詳細は、「1.4. レジスターの説明」を参照してください。

1.2.8. クロックの端子出力機能

この製品には、クロックの端子出力機能があります。出力可能なクロックとして、低速クロック「fs」、高速発振「fosc」、高速クロック「fc」、システムクロック「fsys」を SCOUT 端子から出力できます。

詳細は、「1.4.2.5. [CGSCOCR] (SCOUT 出力制御レジスター)」を参照してください。

SCOUT 端子の動作モード別使用可否状態を示します。

表 1.5 SCOUT 端子使用可否一覧

SCOUT 選択	動作モード		
	NORMAL/IDLE	STOP1	STOP2
fosc	○	×	×
fc	○	×	×
fs	○	○	×
fsys	○	×	×

1.2.9. プリスケーラークロック

周辺機能には、それぞれにクロック $\Phi T0$ を分周するプリスケーラーがあります。これらのプリスケーラーへ入力するクロック $\Phi T0$ は、**[CGSYSCR]<PRCK[3:0]>** で分周することが可能です。リセット後の $\Phi T0$ は、fc が選択されます。

レジスター書き込み後、実際にクロックが切り替わるまでに fc で最大 512 クロックの時間が必要です。クロック切り替えの完了は、**[CGSYSCR]<PRCKST[3:0]>** で確認してください。

注) タイマーカウンターなどの周辺機能の動作中にプリスケーラークロックを切り替えないようにしてください。

1.3. 動作モード

本製品には、動作モードとしてNORMALモードと低消費電力モード(IDLE、STOP1、STOP2)があり、使用方法に応じモード遷移を行うことで消費電力を抑えることができます。

1.3.1. 動作モードの詳細

1.3.1.1. 各モードの特長

NORMAL、低消費電力モードの特長は次のとおりです。

- NORMALモード
CPUコア、および周辺回路を動作させるモードです。リセット解除後は、NORMALモードとなります。
- 低消費電力モード
低消費電力モードは以下のとおりです。
 - － IDLEモード
CPUが停止するモードです。
周辺機能は各周辺機能のレジスター、クロック供給設定機能などにより、動作/停止を行ってください。

注) IDLEモード中はCPUによるウォッチドッグタイマーのクリアができませんので注意してください。

- － STOP1モード
内部高速発振器も含めて全ての内部回路が停止するモードです。
ただし、外部低速発振器を発振させてSTOP1モードに遷移した場合、RTCは動作します。
STOP1モードが解除されると内蔵高速発振器1(IHOSC1)が発振を開始し、NORMALモードへ復帰します。
STOP1モードに遷移する前に、STOP1解除に使用しない割り込みは禁止してください。
- － STOP2モード
一部の機能を保持して内部電源を遮断するモードです。STOP1モードより大幅な電力の消費を抑えることができます。STOP2モードが解除されると、電源遮断ブロックに対して電源を投入し、リセットシーケンスが実行され、NORMALモードへ復帰します。
電源遮断ブロックとは、STOP2モードで電源供給が遮断されるブロックです。

STOP2モードに遷移する前にSTOP2解除に使用しない割り込みは禁止し、**[RLMSHTDNOP]** <PTKEEP> = 1 の設定を必ず行い各ポートの状態を保持してください。

出力/Pull upや入力許可は、ポートキープ設定したときの状態を保持します。また、外部割り込みは入力を継続します。

STOP2 モードでは以下の回路を除き電源遮断が行われます。

- 外部低速発振器(ELOSC)
- RTC
- BackUp RAM
- Port 端子状態
- LVD
- RLM
- IA
- I2C ウェイクアップ
- LCD

各低消費電力モードでの電源遮断の詳細は、「1.3.1.4 低消費電力モードにおける周辺機能状態」を参照してください。

1.3.1.2. 低消費電力モード

各低消費電力モードへ遷移するには、スタンバイコントロールレジスタ $[CGSTBYCR]<STBY[1:0]>$ で IDLE/STOP1/STOP2 モードを選択し、WFI 命令を実行します。WFI 命令によって低消費電力モードへ遷移した場合、低消費電力モードからの復帰はリセットまたは割り込み発生により行われます。割り込みで復帰する場合には、設定を行っておく必要があります。詳細はリファレンスマニュアル「例外」の「割り込み」章を参照してください。

注 1) 本製品ではイベントによる復帰はサポートしていないため、WFE (Wait For Event) による低消費電力モードへの遷移は行わないでください。

注 2) 本製品は、Cortex-M3 コアの SLEEPDEEP による低消費電力モードはサポートしていません。システム制御レジスタの $<SLEEPDEEP>$ ビットは設定しないでください。

1.3.1.3. 低消費電力モードの選択

低消費電力モード選択は、 $[CGSTBYCR]<STBY[1:0]>$ の設定で選択されます。下表に $<STBY[1:0]>$ の設定より選択されるモードを示します。

表 1.6 低消費電力モード選択

モード	$[CGSTBYCR]<STBY[1:0]>$
IDLE	00
STOP1	01
STOP2	10

注) 上記の設定以外は行わないでください。

1.3.1.4. 低消費電力モードにおける周辺機能状態

各モードにおける周辺機能(ブロック)の動作状態を「表 1.7 低消費電力モード別ブロック動作状態一覧」に示します。

なお、リセット解除後は、一部のブロックを除きクロックが供給されない状態となります。

必要に応じて、 $[CGFSYSENA]$ 、 $[CGFSYSENB]$ 、 $[CGFSYSMENB]$ 、 $[CGFCEN]$ 、 $[CGSPCLKEN]$ を設定しクロック供給を許可してください。

表 1.7 低消費電力モード別ブロック動作状態一覧

Block	NORMAL	IDLE	STOP1		STOP2 (注 1)	
			ELOSC	ELOSC	ELOSC	ELOSC
			On	Off	On	Off
Processor core(Debug 含む)	○	-	-	-	×	×
DMAC	○	○	-	-	×	×
I/O port	端子状態	○	○	○	○(注 4)	○(注 4)
	レジスター	○	○	-	-	×
ADC	○	○	-	-	×	×
DAC	○	○	-	-	×	×
COMP	○	○	-	-	×	×
UART	○	○	-	-	×	×
I2C	○	○	-(注 3)	-(注 3)	×(注 3)	×(注 3)
EI2C	○	○	-(注 3)	-(注 3)	×(注 3)	×(注 3)
TSPI	○	○	-	-	×	×
A-PMD	○	○	-	-	×	×
A-ENC	○	○	-	-	×	×
T32A	○	○	-	-	×	×
LCD	○	○	○	-	○	-
TRGSEL	○	○	-	-	×	×
CRC	○	○	-	-	×	×
RTC	○	○	○	-	○	-
RMC	○	○	○	-	×	×
SIWDT	○	○(注 2)	-	-	×	×
LVD	○	○	○	○	○	○
OFD	○	○	-	-	×	×
TRM	○	使用不可	-	-	×	×
CG	○	○	○	○	×	×
PLL	○	○	-	-	×	×
RAMP(RAM パリティ)	○	○	-	-	×	×
外部高速発振器(EHOSC)	○	○	-	-	×	×
内蔵高速発振器 1(IHOSC1)	○	○	-	-	×	×
内蔵高速発振器 2(IHOSC2)	○	○	-	-	×	×
外部低速発振器(ELOSC)	○	○	○	-	○	-
RLM	○	○	○	○	○	○
コードフラッシュ	アクセス 可能	アクセス 可能(注 5)	データ 保持	データ 保持	データ 保持	データ 保持
データフラッシュ					×	×
RAM					×	×
Backup RAM					データ保持	データ保持

○: 動作可能

-: 対象のモードに遷移すると自動的に周辺回路へのクロックが停止

×: 対象のモードに遷移すると自動的にモジュールへの供給電源が遮断、復帰時はリセットにより初期化

注 1) 周辺機能が動作していないことを確認し、STOP2 モードに遷移するようにしてください。

注 2) プロテクト A モードのみ。それ以外の場合は、IDLE モードへ遷移する前に SIWDT を停止してください。

注 3) アドレス一致 WakeUp 機能のみ使用できます

注 4) ポートは[RLMSHTDNOP]<PTKEEP>を"1"に設定したときの状態が保持されます。

注 5) CPU 以外のデータアクセス(R/W)する周辺機能(DMA など)がバスマトリックス上で接続されていない場合は、データ保持となります。

1.3.2. モード状態遷移

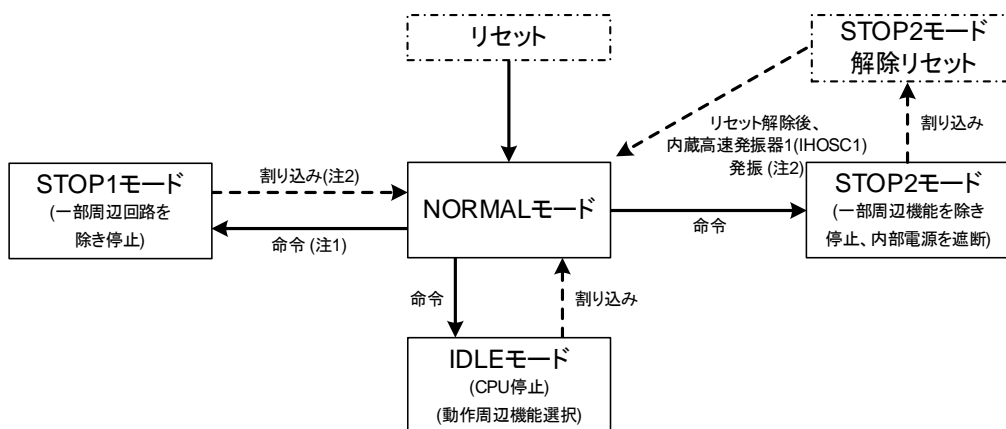


図 1.2 モード状態遷移

注 1) 復帰時にウォーミングアップが必要となります。ウォーミングアップ時間の設定は STOP1 モードに入る前のモード(NORMAL モード)で設定する必要があります。

注 2) STOP2 モードからの復帰時はリセットの割り込み処理ルーチンに分岐し、STOP1 モードからの復帰時は割り込み起動要因の処理ルーチンに分岐します。

1.3.2.1. IDLE モード遷移手順

IDLE モードへ遷移する場合は、下表の順番で設定してください。

IDLE モードは割り込みで解除されますので、IDLE モードへ遷移する前に割り込みの設定を行ってください。IDLE モード解除に使用可能な割り込みは「1.3.3.1. 低消費電力モードの解除ソース」を参照してください。解除に使用しない割り込み、および使用できない割り込みは禁止してください。

遷移手順		
1	$[SIWDxEN]<WDTE> = 0$	SIWDT をディセーブルにする
2	$[SIWDxCR]<WDCR[7:0]> = 0xB1$	SIWDT をディセーブルにする
3	$[FCSR0]<RDYBSY>$ をリード	Flash が Ready 状態(= 1)になるまで待つ
4	$[CGSTBYCR]<STBY[1:0]> = 00$	低消費電力モード選択を IDLE にする
5	$[CGSTBYCR]<STBY[1:0]>$ をリード	4 のレジスタライトを確認する(= 00)
6	WFI 命令実行	IDLE へ遷移する

注) SIWDT のプロテクト A モードを使用する場合は、1、2 の処理は不要です。

1.3.2.2. STOP1 モード遷移手順

STOP1 モードへ遷移する場合は、下表の順番で設定してください。

STOP1 モードは割り込みで解除されますので、STOP1 モードへ遷移する前に割り込みの設定を行ってください。STOP1 モード解除に使用可能な割り込みは「1.3.3.1. 低消費電力モードの解除ソース」を参照してください。解除に使用しない割り込み、および使用できない割り込みは禁止してください。

遷移手順(Normal モードから)		
1	[SIWDxEN]<WDTE> = 0	SIWDT をディセーブルにする
2	[SIWDxCR]<WDCCR[7:0]> = 0xB1	SIWDT をディセーブルにする
3	[FCSR0]<RDYBSY>をリード	Flash が Ready 状態(= 1)になるまで待つ
4	[CGWUPHCR]<WUEF>をリード	高速発振ウォーミングアップ終了(= 0)になるまで待つ
5	[CGWUPHCR]<WUCLK> = 0	高速発振ウォーミングアップクロック選択を内部(IHOSC1)にする
	[CGWUPHCR]<WUPT[15:4]> = 0x03C	高速発振ウォーミングアップタイマー設定値に 163.4μs(= 0x03C)以上を設定する
6	[CGSTBYCR]<STBY[1:0]> = 01	低消費電力モード選択を STOP1 にする
7	[CGPLL0SEL]<PLL0SEL> = 0	f _{sys} 用 PLL 選択を PLL 未使用(f _{osc})にする
8	[CGPLL0SEL]<PLL0ST>をリード	f _{sys} 用 PLL 選択ステータスが PLL 未使用になるまで待つ(= 0)
9	[CGPLL0SEL]<PLL0ON> = 0	f _{sys} 用 PLL 動作を停止する
10	[CGOSCCR]<IHOSC1EN> = 1	内蔵高速発振器 1 を発振にする
11	[CGWUPHCR]<WUON> = 1	高速発振ウォーミングアップタイマーをスタートする
12	[CGWUPHCR]<WUEF>をリード	ウォーミングアップタイマーステータスが終了(= 0)になるまで待つ
13	[CGOSCCR]<OSCSEL> = 0	f _{osc} 用高速発振選択を内蔵高速発振器 1(IHOSC1)にする
14	[CGOSCCR]<OSCF>をリード	f _{osc} 用高速発振選択ステータスが内蔵高速発振器 1(IHOSC1)(= 0)になるまで待つ
15	[CGOSCCR]<EOSCEN[1:0]> = 00	外部発振の動作選択を未使用にする
16	[CGOSCCR]<IHOSC2EN> = 0	内蔵高速発振器 2(IHOSC2)を停止する
17	[CGOSCCR]<EOSCEN[1:0]>をリード	15 のレジスタライトを確認する(= 00)
18	[CGOSCCR]<IHOSC2F>をリード	内蔵高速発振器 2 の内蔵発振安定フラグが"0"になるまで待つ
19	WFI 命令実行	STOP1 へ遷移する

1.3.2.3. STOP2 モード遷移手順

STOP2 モードへ遷移する場合は、以下の順番で設定してください。

STOP2 モードは割り込みで解除されますので、STOP2 モードへ遷移する前に割り込みの設定を行ってください。STOP2 モード解除に使用可能な割り込みは「1.3.3.1. 低消費電力モードの解除ソース」を参照してください。解除に使用しない割り込み、および使用できない割り込みは禁止してください。

遷移手順(Normal モードから)		
1	[SIWDxEN]<WDTE> = 0	SIWDT をディセーブルにする
2	[SIWDxCR]<WDCR[7:0]> = 0xB1	SIWDT をディセーブルにする
3	[FCSR0]<RDYBSY>をリード	Flash が Ready 状態(= 1)になるまで待つ
4	[RLMSHTDNOP]<PTKEEP> = 1	IO 制御信号を保持させる
5	[CGSTBYCR]<STBY[1:0]> = 10	低消費電力モード選択を STOP2 にする
6	[CGPLLOSEL]<PLLOSEL> = 0	fsys 用 PLL 選択を PLL 未使用(fosc)にする
7	[CGPLLOSEL]<PLLOST>をリード	fsys 用 PLL 選択ステータスが PLL 未使用になるまで待つ(= 0)
8	[CGPLLOSEL]<PLL0ON> = 0	fsys 用 PLL 動作を停止する
9	[CGWUPHCR]<WUCLK> = 0 [CGWUPHCR]<WUPT[15:4]> = 0x03C	ウォーミングアップクロック選択を内蔵高速発振器 1(IHOSC1)にする 高速発振ウォーミングアップタイマー設定値に 163.4μs(0x03C)以上を設定する
10	[CGOSCCR]<IHOSC1EN> = 1	内蔵高速発振器 1 を発振にする
11	[CGWUPHCR]<WUON> = 1	高速発振ウォーミングアップタイマーをスタートする
12	[CGWUPHCR]<WUEF>をリード	ウォーミングアップタイマーステータスが終了(= 0)になるまで待つ
13	[CGOSCCR]<OSCSEL> = 0	fosc 用高速発振選択を内蔵高速発振器 1(IHOSC1)にする
14	[CGOSCCR]<OSCF>をリード	fosc 用高速発振選択ステータスが内蔵高速発振器 1(IHOSC1)(= 0)になるまで待つ
15	[CGOSCCR]<EOSCEN[1:0]> = 00	外部発振の動作選択を未使用にする
16	[CGOSCCR]<IHOSC2EN> = 0	内蔵高速発振器 2 を停止する
17	[CGOSCCR]<EOSCEN[1:0]>をリード	15 のレジスターライトを確認する(= 00)
18	[CGOSCCR]<IHOSC2F>をリード	内蔵高速発振器 2 の内蔵発振安定フラグが"0"になるまで待つ
19	[RLMRSTFLG0]<STOP2RSTF> = 0 [RLMRSTFLG0]<PINRSTF> = 0	STOP2 リセットフラグ/リセット端子フラグをクリア(注 1)
20	WFI 命令実行 	STOP2 へ遷移する
21	ジャンプ命令 	20 へ戻す

注 1) リセットフラグレジスター[RLMRSTFLG0]については、リファレンスマニュアル「例外」を参照してください。

1.3.3. 低消費電力モードからの復帰

1.3.3.1. 低消費電力モードの解除ソース

低消費電力モードからの復帰は、割り込み、マスク不能割り込み、リセットによって行うことができます。使用できるスタンバイ解除ソースは、低消費電力モードにより決まります。

詳細を下表に示します。

表 1.8 解除ソース一覧

低消費電力モード		IDLE	STOP1	STOP2	
解除 ソース	割り込 み	INT00, INT01, INT02, INT13	○	○	○
		INT03 ~ INT12, INT14 ~ INT33	○	○	×
		INTI2CWUP	○	○	○
		INTRTC	○	○	○
		INTLCDBUSF, INTLCDSTOP	○	×	×
		INTEMG0, INTOVV0, INTPMD0	○	×	×
		INTENC00, INTENC01	○	×	×
		INTADAPDA, INTADAPDB	○	×	×
		INTADACP0, INTADACP1, INTADATRG	○	×	×
		INTADASGL, INTADACNT	○	×	×
		INTTxRX, INTTxTX, INTTxERR	○	×	×
		INTI2CxNST, INTI2CxATX, INTI2CxBRX, INTI2CxNA	○	×	×
		INTUARTxRX, INTUARTxTX, INTUARTxERR	○	×	×
		INTT32AxA, INTT32AxACAP0, INTT32AxACAP1 INTT32AxB, INTT32AxBCAP0, INTT32BxBCAP1 INTT32AxC, INTT32AxCCAP0, INTT32CxCCAP1	○	×	×
		INTDMAATC, INTDMAAERR INTDMABTC, INTDMABERR	○	×	×
		INTRMC	○	○	×
		INTPARI	○	×	×
	INTFLCRDY, INTFLDRDY	○	×	×	
	SysTick 割り込み	○	×	×	
	マスク不能割り込み(INTWDT)	○	×	×	
マスク不能割り込み(INTLVD)	○	○	○		
リセット(SIWDT)	○	×	×		
リセット(LVD)	○	○	○		
リセット(OFD)	○	×	×		
リセット(RESET_N 端子)	○	○	○		

○: 解除後、割り込み処理を開始します

×: 解除に使用できません

- 割り込み要求による解除
割り込みによって低消費電力モードを解除する場合、CPU で割り込みが検出されるよう準備しておく必要があります。STOP1、STOP2 モードの解除に使用する割り込みは、CPU の設定の他に INTIF で割り込み検出の設定を行う必要があります。
- マスク不能割り込み(NMI)による解除
NMI の要因には WDT 割り込み(INTWDT、プロテクトモード A のみ)と LVD 割り込み(INTLVD)があります。
- リセットによる解除
リセットは全ての低消費電力モードからの復帰を行うことができます。
リセットで解除した場合には、解除後 NORMAL モードで全てのレジスターが初期化された状態になります。
- SysTick 割り込みによる解除
SysTick 割り込みは IDLE モードでのみ使用可能です。

割り込みの詳細に関しては、リファレンスマニュアル「例外」の「割り込み」章を参照してください。

1.3.3.2. 低消費電力モード解除時のウォーミングアップ

モード遷移時、内部回路の安定のためウォーミングアップが必要な場合があります。

STOP1 モードから NORMAL モードへの遷移では、自動的に内部発振が選択されウォーミングアップ用カウンタが起動されます。ウォーミングアップ時間経過後にシステムクロックの出力が開始されます。

このため、STOP1 モードに遷移する命令を実行する前に、`[CGWUPHCR]<WUPT[15:4]>`でウォーミングアップ時間の設定を行ってください。設定方法については、「1.2.4.1. 高速発振用ウォーミングアップタイマー」を参照してください。

各動作モード遷移時におけるウォーミングアップ設定の有無を下表に示します。

表 1.9 ウォーミングアップ

動作モード遷移	ウォーミングアップ設定
NORMAL → IDLE	不要
NORMAL → STOP1	不要
NORMAL → STOP2	不要
IDLE → NORMAL	不要
STOP1 → NORMAL	必要(自動ウォーミングアップ)
STOP2 → RESET → NORMAL	不要

1.3.3.3. STOP2 モードからの復帰

STOP2 モード解除要因割り込み発生からの復帰フローは以下のとおりです。

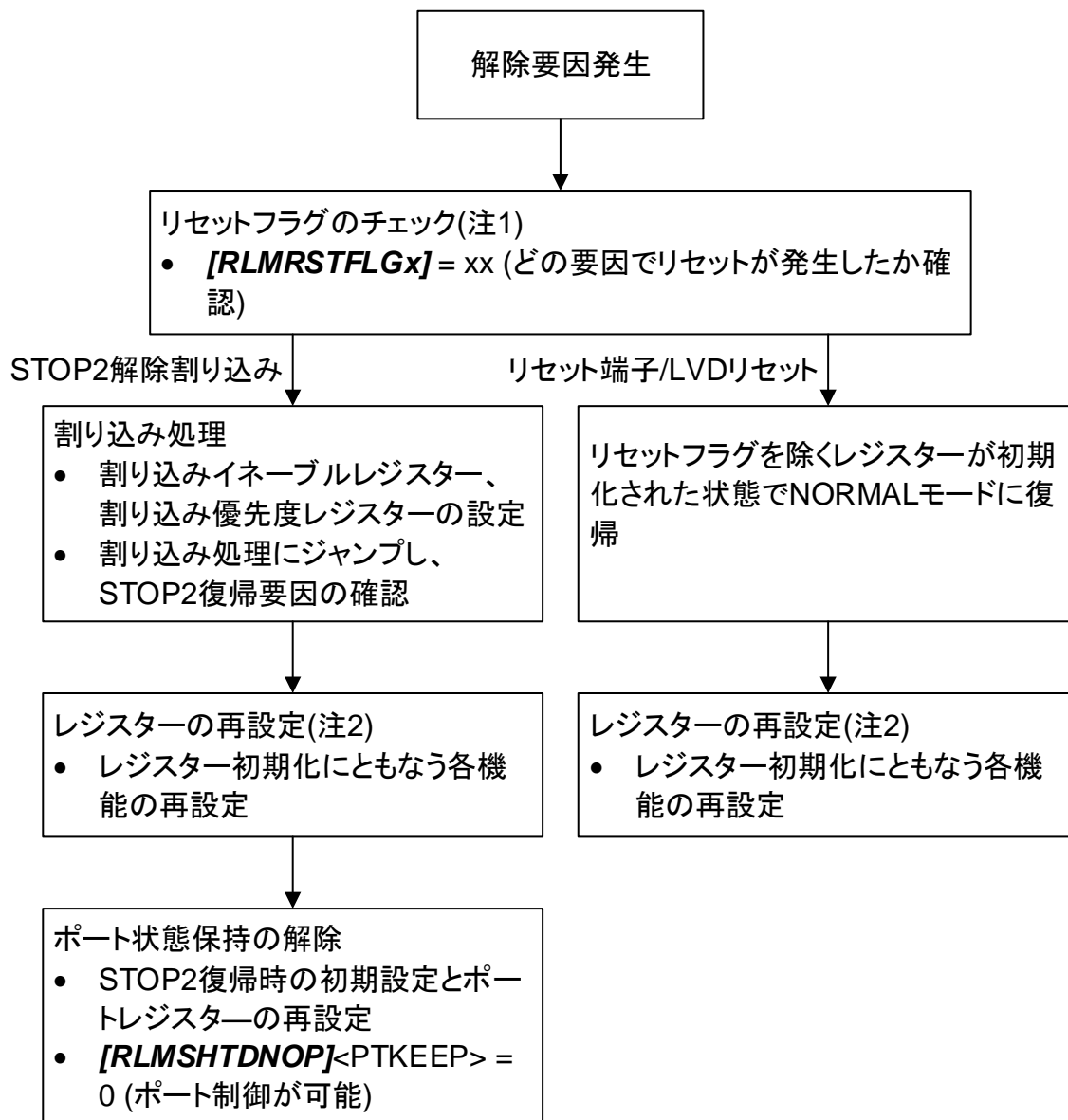


図 1.3 STOP2モードからの復帰フロー

注 1) STOP2 をリセット端子で解除した場合、リセットフラグは、"STOP2 リセットフラグ"と"リセット端子フラグ"の両方が成立します。

注 2) STOP2 を LVD リセットで解除した場合、リセットフラグは、"STOP2 リセットフラグ"と"LVD/POR リセットフラグ"の両方が成立します。

注 3) レジスター初期化範囲は、割り込みによる STOP2 解除とリセット端子/LVD リセットによる STOP2 解除で異なります。それぞれの要因によるリセット範囲の詳細は、「3.2.7.1. リセット要因と初期化範囲」を参照してください。

1.3.4. モード遷移によるクロック動作

モード遷移の際の、クロック動作について以下に示します。

1.3.4.1. NORMAL→IDLE→NORMAL 動作モード遷移

IDLEモードは、CPUが停止するモードです。周辺機能へのクロック供給は、設定状態を保持します。必要に応じて、各周辺機能のレジスタ、クロック供給設定機能などにより、動作/停止を行ってください。IDLE状態から、NORMALモードへの復帰時にウォーミングアップは行いません。

IDLEモードへ遷移する命令(WFI)実行後、プログラムカウンタは次の行を示してCPU停止状態となります。解除ソースによりCPU再起動となり、割り込み許可状態の場合、先に解除ソースの割り込み処理を経て、遷移命令(WFI)の次の行を実行することになります。

1.3.4.2. NORMAL→STOP1→NORMAL 動作モード遷移

STOP1モードからNORMALモードへ復帰する場合、ウォーミングアップは自動的に起動します。

STOP1モードへ遷移する前に[CGWUPHCR]<WUPT[15:4]>へウォーミングアップ時間(163.4μs以上)の設定を行ってください。

注) RESET_N 端子、LVD リセットが解除要因のとき、ウォーミングアップ時間ではなく、内部処理時間とCPU動作待ち時間が経過した後、CPU動作がスタートします。

内部処理時間が経過したあとリセットが解除されていないとき、リセットが解除されたあとにCPU動作待ち時間の計測が始まります。CPU動作待ち時間が経過するとCPU動作がスタートします。

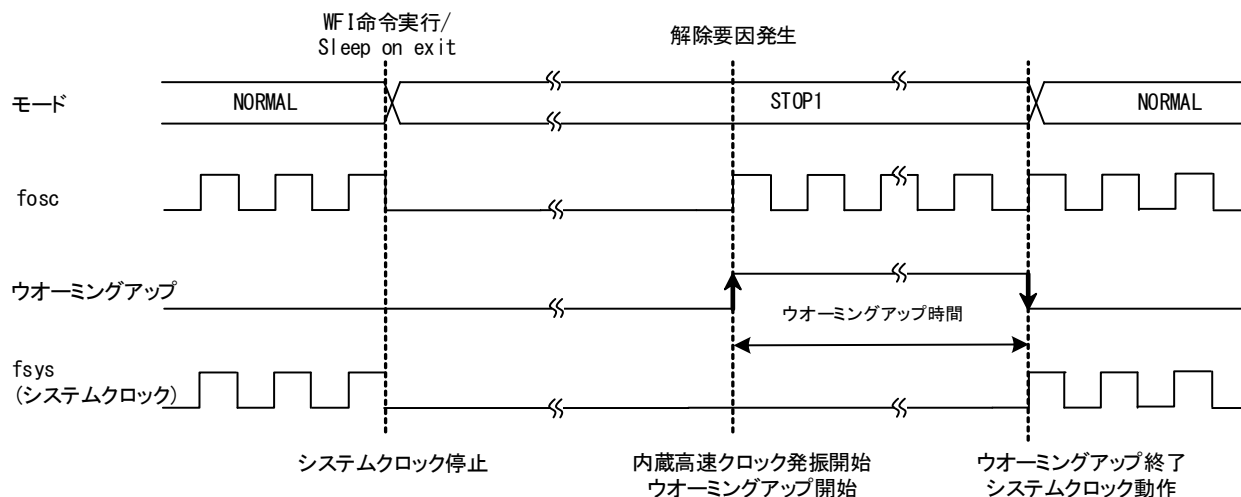


図 1.4 NORMAL→STOP1→NORMAL動作モード遷移

1.3.4.3. NORMAL→STOP2→RESET→NORMAL 動作モード遷移

NORMAL モードへ復帰する場合、ウォーミングアップは行われません。

リセット以外でNORMALモードへ復帰する場合でもリセットの割り込み処理ルーチンへ分岐します。STOP2 モード解除後は内部電源遮断ブロックに対してリセット動作が行われます。

注) RESET_N 端子、LVD リセットが解除要因のとき、内部処理時間と CPU 動作待ち時間が経過した後、CPU 動作がスタートします。

内部処理時間が経過したあとリセットが解除されていないとき、リセットが解除されたあとに CPU 動作待ち時間の計測が始まります。CPU 動作待ち時間が経過すると CPU 動作がスタートします。

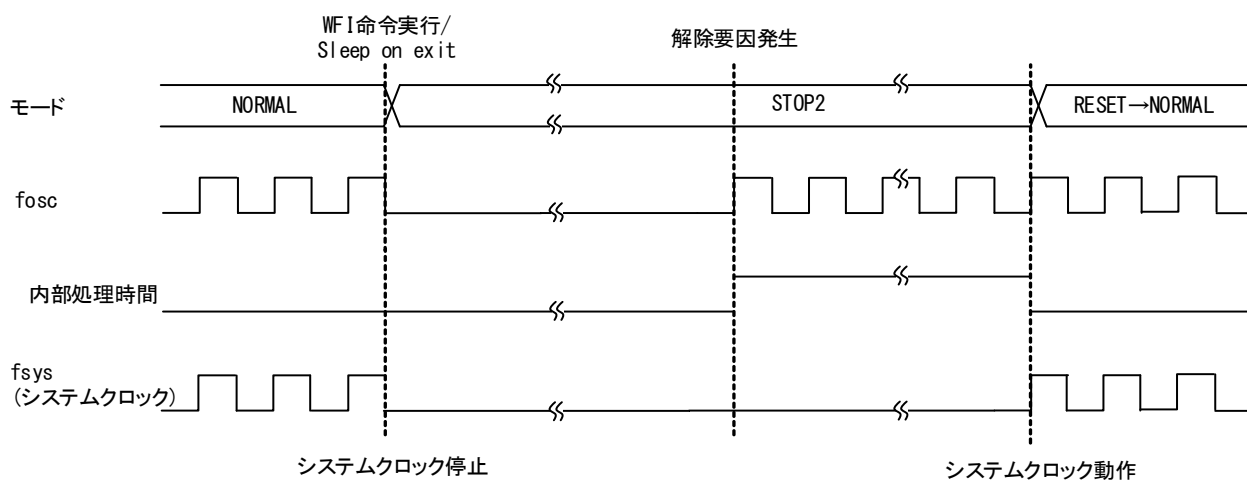


図 1.5 NORMAL→STOP2→RESET→NORMAL動作モード遷移

1.4. レジスタの説明

1.4.1. レジスタ一覧

クロック制御と動作モードおよび低速発振/電源制御のレジスタとアドレスを以下に示します。

周辺機能	チャンネル/ユニット	ベースアドレス
クロック制御と動作モード	CG	0x400F3000
低速発振/電源制御	RLM	0x4003E400

1.4.1.1. クロック/モード制御

レジスタ名		アドレス(Base+)
CG ライトプロテクトレジスタ	[CGPROTECT]	0x0000
発振制御レジスタ	[CGOSCCR]	0x0004
システムクロック制御レジスタ	[CGSYSCR]	0x0008
スタンバイ制御レジスタ	[CGSTBYCR]	0x000C
SCOUT 出力制御レジスタ	[CGSCOCR]	0x0010
fsys 用 PLL セレクトレジスタ	[CGPLL0SEL]	0x0020
高速発振ウォーミングアップレジスタ	[CGWUPHCR]	0x0030
低速発振ウォーミングアップレジスタ	[CGWUPLCR]	0x0034
fsysm 供給停止レジスタ-B	[CGFSYSMENB]	0x004C
fsys 供給停止レジスタ-A	[CGFSYSENA]	0x0050
fsys 供給停止レジスタ-B	[CGFSYSENB]	0x0054
fc 供給停止レジスタ	[CGFCEN]	0x0058
ADC、デバッグ回路用クロック供給停止レジスタ	[CGSPCLKEN]	0x005C

1.4.1.2. 低速発振/電源制御(注)

レジスタ名		アドレス(Base+)
低速発振制御レジスタ	[RLMLOSCCR]	0x0000
電源遮断制御レジスタ	[RLMSHTDNOP]	0x0001
RLM ライトプロテクトレジスタ	[RLMPROTECT]	0x000F

注) バイト単位でアクセスするレジスタです。ビットバンドアクセスをしてはいけません。

1.4.2. レジスター詳細

1.4.2.1. [CGPROTECT](CG ライトプロテクトレジスター)

Bit	Bit symbol	リセット後	Type	機能
31:8	-	0	R	リードすると"0"が読めます。
7:0	PROTECT[7:0]	0xC1	R/W	CG レジスターライトプロテクト(本レジスター以外の全て)制御 0xC1: CG レジスターへのライト許可(プロテクト解除) 0xC1 以外: CG レジスターへのライト禁止(プロテクト有効)

1.4.2.2. [CGOSCCR](発振制御レジスター)

Bit	Bit symbol	リセット後	Type	機能
31:20	-	0	R	リードすると"0"が読めます。
19	IHOSC2F	0	R	IHOSC2 用内蔵発振安定フラグ 0: 停止またはウォームアップ中 1: 発振安定
18:17	-	0	R	リードすると"0"が読めます。
16	IHOSC1F	1	R	IHOSC1 用内蔵発振安定フラグ (注 4) 0: 停止またはウォームアップ中 1: 発振安定
15:10	-	0	R	リードすると"0"が読めます。
9	OSCF	0	R	fosc 用高速発振器選択ステータス 0: 内蔵高速発振器 1(IHOSC1) 1: 外部高速発振器(EHOSC)
8	OSCSEL	0	R/W	fosc 用高速発振器選択 (注 1) 0: 内蔵高速発振器 1(IHOSC1) 1: 外部高速発振器(EHOSC)
7:4	-	0	R	リードすると"0"が読めます。
3	IHOSC2EN	0	R/W	内蔵高速発振器 2(IHOSC2) (注 2) 0: 停止 1: 発振
2:1	EOSCEN[1:0]	0x0	R/W	外部高速発振器の動作選択(EHOSC) (注 3) 00: 外部発振未使用 01: 外部高速発振(EHOSC) 10: 外部クロック入力(EHCLKIN) 11: Reserved
0	IHOSC1EN	1	R/W	内蔵高速発振器 1(IHOSC1) 0: 停止 1: 発振

注 1) 設定変更した場合、書き込み値が[CGOSCCR]<OSCF>ビットに、反映されていることを確認後、次の操作を行うようにしてください。

注 2) [SIWDxOSCCR]<OSCPRO> = 1(SIWDT のライトプロテクトが有効)の場合は、設定しても変更されません。

注 3) 発振子接続で使用する場合は必ず"01"(外部高速発振)に設定してください。

注 4) 内蔵高速発振器 1(IHOSC1)の発振安定は、<IHOSC1F>を使わず、ウォーミングアップタイマーを設定し[CGWUPHCR]<WUEF>により確認をしてください。

1.4.2.3. [CGSYSCR] (システムクロック制御レジスター)

Bit	Bit symbol	リセット後	Type	機能
31:28	-	0	R	リードすると"0"が読めます。
27:24	PRCKST[3:0]	0x0	R	プリスケラークロック(ΦT0)選択ステータス 0000: fc 0100: fc / 16 1000: fc / 256 0001: fc / 2 0101: fc / 32 1001: fc / 512 0010: fc / 4 0110: fc / 64 0011: fc / 8 0111: fc / 128 上記以外: Reserved
23:19	-	0	R	リードすると"0"が読めます。
18:16	GEARST[2:0]	0x0	R	システムクロック(fsys)のギア選択ステータス 000: fc 100: fc / 16 001: fc / 2 010: fc / 4 011: fc / 8 上記以外: Reserved
15:12	-	0	R	リードすると"0"が読めます。
11:8	PRCK[3:0]	0x0	R/W	プリスケラークロック(ΦT0)選択 0000: fc 0100: fc / 16 1000: fc / 256 0001: fc / 2 0101: fc / 32 1001: fc / 512 0010: fc / 4 0110: fc / 64 0011: fc / 8 0111: fc / 128 上記以外: Reserved 周辺機能に供給するプリスケラークロックを選択します。
7:3	-	0	R	リードすると"0"が読めます。
2:0	GEAR[2:0]	0x0	R/W	システムクロック(fsys)のギア選択 000: fc 100: fc / 16 001: fc / 2 010: fc / 4 011: fc / 8 上記以外: Reserved

1.4.2.4. [CGSTBYCR](スタンバイ制御レジスター)

Bit	Bit symbol	リセット後	Type	機能
31:2	-	0	R	リードすると"0"が読めます。
1:0	STBY[1:0]	0x0	R/W	低消費電力モード選定 00: IDLE 01: STOP1 10: STOP2 11: Reserved

1.4.2.5. [CGSCOCR](SCOUT 出力制御レジスター)

Bit	Bit symbol	リセット後	Type	機能
31:7	-	0	R	リードすると"0"が読めます。
6:4	SCODIV[2:0]	0x0	R/W	SCOUT 分周選択(注 1)(注 2) 000: 分周なし 001: 2 分周 010: 4 分周 011: 8 分周 100: 16 分周 上記以外: Reserved
3:1	SCOSEL[2:0]	0x0	R/W	SCOUT ベースクロック選択(注 1) 000: fosc 001: fc 010: fs 011: fsys 上記以外: Reserved
0	SCOEN	0	R/W	SCOUT 出力許可 0: 禁止 1: 許可

注 1) <SCOSEL[2:0]>で"011:fsys"を選択時は、<SCODIV[2:0]>で"000:分周なし"は選択できません。

注 2) <SCOSEL[2:0]>で"010:fs"を選択時は、強制的に分周なしが選択されます。

1.4.2.6. [CGPLL0SEL] (fsys 用 PLL セレクトレジスター)

Bit	Bit symbol	リセット後	Type	機能
31:8	PLL0SET[23:0]	0x000000	R/W	PLL 通倍設定 通倍設定については、「1.2.5.2. PLL 通倍値の計算式と設定例」を参照してください。
7:3	-	0	R	リードすると"0"が読めます。
2	PLL0ST	0	R	fsys 用 Clock 選択ステータス 0: fosc 1: fPLL
1	PLL0SEL	0	R/W	fsys 用 Clock 選択 0: fosc 1: fPLL
0	PLL0ON	0	R/W	fsys 用 PLL 動作 0: 停止 1: 発振

1.4.2.7. [CGWUPHCR] (高速発振ウオーミングアップレジスター)

Bit	Bit symbol	リセット後	Type	機能
31:20	WUPT[15:4]	0x800	R/W	ウオーミングアップタイマーの計算値 16 ビットの上位 12 ビットの値を設定します。 ウオーミングアップタイマーの設定については、「1.2.4.1. 高速発振用ウオーミングアップタイマー」を参照してください。
19:16	WUPT[3:0]	0x0	R	ウオーミングアップタイマーの計算値 16 ビットの下位 4 ビットの値で、0x0 固定です。
15:9	-	0	R	リードすると"0"が読めます。
8	WUCLK	0	R/W	ウオーミングアップクロック選択(注 1) 0: 内蔵高速発振器(IHOSC1) 1: 外部高速発振器(EHOSC)
7:2	-	0	R	リードすると"0"が読めます。
1	WUEF	0	R	ウオーミングアップタイマーステータス(注 2) 0: ウオーミングアップ終了 1: ウオーミングアップ中
0	WUON	0	W	ウオーミングアップタイマー制御 0: don't care 1: ウオーミングアップスタート

注 1) STOP1 復帰時のウオーミングアップは、内蔵発振器で行ってください。外部発振器を選んで STOP1 から遷移することは禁止です。

注 2) ウオーミングアップ中(<WUEF> = 1)は、レジスターの書き換え禁止です。設定は、<WUEF> = 0 のときに行ってください。

1.4.2.8. [CGWUPLCR] (低速発振ウォーミングアップレジスター)

Bit	Bit symbol	リセット後	Type	機能
31:27	-	0	R	リードすると"0"が読めます。
26:12	WUPTL[18:4]	0x4000	R/W	ウォーミングアップタイマーの計算値 19 ビットの上位 15 ビットの値を設定します。 ウォーミングアップタイマーの設定については、「1.2.4.2. 低速発振用ウォーミングアップタイマー」を参照してください。
11:8	WUPTL[3:0]	0x0	R	ウォーミングアップタイマーの計算値 19 ビットの下位 4 ビットの値で、0x0 固定です。
7:2	-	0	R	リードすると"0"が読めます。
1	WULEF	0	R	ウォーミングアップタイマーステータス(注) 0: ウォーミングアップ終了 1: ウォーミングアップ中
0	WULON	0	W	ウォーミングアップタイマー制御 0: don't care 1: ウォーミングアップスタート

注) ウォーミングアップ中(<WULEF> = 1)は、レジスターの書き換え禁止です。設定は、<WULEF> = 0 のときに行ってください。

1.4.2.9. [CGFSYSMENB] (fsysm 供給停止レジスター-B)

Bit	Bit symbol	リセット後	Type	機能
31	IPMENB31	0	R	"0"が読めます。
30	IPMENB30	0	R	"0"が読めます。
29	IPMENB29	0	R	"0"が読めます。
28	IPMENB28	0	R	"0"が読めます。
27	IPMENB27	0	R	"0"が読めます。
26	IPMENB26	0	R	"0"が読めます。
25	IPMENB25	0	R	"0"が読めます。
24	IPMENB24	0	R	"0"が読めます。
23	IPMENB23	0	R	"0"が読めます。
22	IPMENB22	0	R	"0"が読めます。
21	IPMENB21	0	R	"0"が読めます。
20	IPMENB20	0	R	"0"が読めます。
19	IPMENB19	0	R	"0"が読めます。
18	IPMENB18	0	R	"0"が読めます。
17	IPMENB17	0	R	"0"が読めます。
16	IPMENB16	0	R	"0"が読めます。
15	IPMENB15	0	R	"0"が読めます。
14	IPMENB14	0	R/W	EI2C ch3 のクロックイネーブル 0: クロック停止 1: クロック供給
13	IPMENB13	0	R/W	EI2C ch2 のクロックイネーブル 0: クロック停止 1: クロック供給
12	IPMENB12	0	R/W	EI2C ch1 のクロックイネーブル 0: クロック停止 1: クロック供給
11	IPMENB11	0	R/W	EI2C ch0 のクロックイネーブル 0: クロック停止 1: クロック供給
10	IPMENB10	0	R	"0"が読めます。
9	IPMENB09	0	R	"0"が読めます。
8	IPMENB08	0	R	"0"が読めます。
7	IPMENB07	0	R	"0"が読めます。
6	IPMENB06	0	R	"0"が読めます。
5	IPMENB05	0	R	"0"が読めます。
4	IPMENB04	0	R	"0"が読めます。
3	IPMENB03	0	R	"0"が読めます。
2	IPMENB02	0	R	"0"が読めます。
1	IPMENB01	0	R	"0"が読めます。
0	IPMENB00	0	R	"0"が読めます。

注 1) レジスターの初期値がクロック停止でも、リセット期間中は全てクロック供給されています。

注 2) TMPM3HP、TMPM3HN、TMPM3HM、TMPM3HL で存在しない機能のビットは"0"を書いてください。詳細は「1.5. 製品別情報」を参照してください。

1.4.2.10. [CGFSYSENA] (fsys 供給停止レジスターA)

Bit	Bit symbol	リセット後	Type	機能
31	IPENA31	0	R/W	T32A ch7 のクロックイネーブル 0: クロック停止 1: クロック供給
30	IPENA30	0	R/W	T32A ch6 のクロックイネーブル 0: クロック停止 1: クロック供給
29	IPENA29	0	R/W	T32A ch5 のクロックイネーブル 0: クロック停止 1: クロック供給
28	IPENA28	0	R/W	T32A ch4 のクロックイネーブル 0: クロック停止 1: クロック供給
27	IPENA27	0	R/W	T32A ch3 のクロックイネーブル 0: クロック停止 1: クロック供給
26	IPENA26	0	R/W	T32A ch2 のクロックイネーブル 0: クロック停止 1: クロック供給
25	IPENA25	0	R/W	T32A ch1 のクロックイネーブル 0: クロック停止 1: クロック供給
24	IPENA24	0	R/W	T32A ch0 のクロックイネーブル 0: クロック停止 1: クロック供給
23	IPENA23	0	R/W	RTC のクロックイネーブル 0: クロック停止 1: クロック供給
22	IPENA22	0	R/W	RMC ch0 のクロックイネーブル 0: クロック停止 1: クロック供給
21	IPENA21	0	R/W	A-ENC ch0 のクロックイネーブル 0: クロック停止 1: クロック供給
20	IPENA20	0	R/W	A-PMD ch0 のクロックイネーブル 0: クロック停止 1: クロック供給
19	IPENA19	0	R/W	DMAC unit B のクロックイネーブル 0: クロック停止 1: クロック供給
18	IPENA18	0	R/W	DMAC unit A のクロックイネーブル 0: クロック停止 1: クロック供給
17	IPENA17	0	R/W	PORT V のクロックイネーブル 0: クロック停止 1: クロック供給
16	IPENA16	0	R/W	PORT U のクロックイネーブル 0: クロック停止 1: クロック供給
15	IPENA15	0	R/W	PORT T のクロックイネーブル 0: クロック停止 1: クロック供給
14	IPENA14	0	R/W	PORT R のクロックイネーブル 0: クロック停止 1: クロック供給

Bit	Bit symbol	リセット後	Type	機能
13	IPENA13	0	R/W	PORT P のクロックイネーブル 0: クロック停止 1: クロック供給
12	IPENA12	0	R/W	PORT N のクロックイネーブル 0: クロック停止 1: クロック供給
11	IPENA11	0	R/W	PORT M のクロックイネーブル 0: クロック停止 1: クロック供給
10	IPENA10	0	R/W	PORT L のクロックイネーブル 0: クロック停止 1: クロック供給
9	IPENA09	0	R/W	PORT K のクロックイネーブル 0: クロック停止 1: クロック供給
8	IPENA08	0	R/W	PORT J のクロックイネーブル 0: クロック停止 1: クロック供給
7	IPENA07	0	R/W	PORT H のクロックイネーブル 0: クロック停止 1: クロック供給
6	IPENA06	0	R/W	PORT G のクロックイネーブル 0: クロック停止 1: クロック供給
5	IPENA05	0	R/W	PORT F のクロックイネーブル 0: クロック停止 1: クロック供給
4	IPENA04	0	R/W	PORT E のクロックイネーブル 0: クロック停止 1: クロック供給
3	IPENA03	0	R/W	PORT D のクロックイネーブル 0: クロック停止 1: クロック供給
2	IPENA02	0	R/W	PORT C のクロックイネーブル 0: クロック停止 1: クロック供給
1	IPENA01	0	R/W	PORT B のクロックイネーブル 0: クロック停止 1: クロック供給
0	IPENA00	0	R/W	PORT A のクロックイネーブル 0: クロック停止 1: クロック供給

- 注 1) レジスタの初期値がクロック停止でも、リセット期間中は全てクロック供給されています。
- 注 2) TPM3HP、TPM3HN、TPM3HM、TPM3HL で存在しない機能のビットは"0"を書いてください。詳細は「1.5. 製品別情報」を参照してください。

1.4.2.11. [CGFSYSENB] (fsys 供給停止レジスター-B)

Bit	Bit symbol	リセット後	Type	機能
31	IPENB31	1	R/W	SIWDT のクロックイネーブル 0: クロック停止 1: クロック供給
30	IPENB30	1	R/W	"1"を書いてください。
29	IPENB29	1	R/W	"1"を書いてください。
28	IPENB28	1	R/W	"1"を書いてください。
27	IPENB27	0	R/W	PORT W のクロックイネーブル 0: クロック停止 1: クロック供給
26	IPENB26	0	R	"0"が読めます。
25	IPENB25	0	R/W	UART ch7 のクロックイネーブル 0: クロック停止 1: クロック供給
24	IPENB24	0	R/W	UART ch6 のクロックイネーブル 0: クロック停止 1: クロック供給
23	IPENB23	0	R/W	TRGSEL ch0、ch1 のクロックイネーブル 0: クロック停止 1: クロック供給
22	IPENB22	0	R/W	TRM のクロックイネーブル 0: クロック停止 1: クロック供給
21	IPENB21	0	R/W	OFD のクロックイネーブル 0: クロック停止 1: クロック供給
20	IPENB20	0	R/W	CRC のクロックイネーブル 0: クロック停止 1: クロック供給
19	IPENB19	0	R/W	RAM PARITY のクロックイネーブル 0: クロック停止 1: クロック供給
18	IPENB18	0	R/W	DAC ch1 のクロックイネーブル 0: クロック停止 1: クロック供給
17	IPENB17	0	R/W	DAC ch0 のクロックイネーブル 0: クロック停止 1: クロック供給
16	IPENB16	0	R/W	COMP ch0 のクロックイネーブル 0: クロック停止 1: クロック供給
15	IPENB15	0	R/W	ADC unit A のクロックイネーブル 0: クロック停止 1: クロック供給
14	IPENB14	0	R/W	I2C ch3 のクロックイネーブル 0: クロック停止 1: クロック供給
13	IPENB13	0	R/W	I2C ch2 のクロックイネーブル 0: クロック停止 1: クロック供給
12	IPENB12	0	R/W	I2C ch1 のクロックイネーブル 0: クロック停止 1: クロック供給

Bit	Bit symbol	リセット後	Type	機能
11	IPENB11	0	R/W	I2C ch0 のクロックイネーブル 0: クロック停止 1: クロック供給
10	IPENB10	0	R/W	UART ch5 のクロックイネーブル 0: クロック停止 1: クロック供給
9	IPENB09	0	R/W	UART ch4 のクロックイネーブル 0: クロック停止 1: クロック供給
8	IPENB08	0	R/W	UART ch3 のクロックイネーブル 0: クロック停止 1: クロック供給
7	IPENB07	0	R/W	UART ch2 のクロックイネーブル 0: クロック停止 1: クロック供給
6	IPENB06	0	R/W	UART ch1 のクロックイネーブル 0: クロック停止 1: クロック供給
5	IPENB05	0	R/W	UART ch0 のクロックイネーブル 0: クロック停止 1: クロック供給
4	IPENB04	0	R/W	TSPI ch4 のクロックイネーブル 0: クロック停止 1: クロック供給
3	IPENB03	0	R/W	TSPI ch3 のクロックイネーブル 0: クロック停止 1: クロック供給
2	IPENB02	0	R/W	TSPI ch2 のクロックイネーブル 0: クロック停止 1: クロック供給
1	IPENB01	0	R/W	TSPI ch1 のクロックイネーブル 0: クロック停止 1: クロック供給
0	IPENB00	0	R/W	TSPI ch0 のクロックイネーブル 0: クロック停止 1: クロック供給

注 1) レジスタの初期値がクロック停止でも、リセット期間中は全てクロック供給されています。
 注 2) TMPM3HP、TMPM3HN、TMPM3HM、TMPM3HL で存在しない機能のビットは"0"を書いてください。詳細は「1.5. 製品別情報」を参照してください。

1.4.2.12. [CGFCEN] (fc 供給停止レジスター)

Bit	Bit symbol	リセット後	Type	機能
31:8	-	0	R	リードすると"0"が読めます。
7	FCIPEN07	0	R/W	DNF unit A、unit B、unit C のクロックイネーブル 0: クロック停止 1: クロック供給
6:0	-	0	R	リードすると"0"が読めます。

1.4.2.13. [CGSPCLKEN] (ADC、デバッグ回路用クロック供給停止レジスター)

Bit	Bit symbol	リセット後	Type	機能
31:17	-	0	R	リードすると"0"が読めます。
16	ADCKEN	0	R/W	AD コンバーター用変換クロックイネーブル 0: クロック停止 1: クロック供給
15:1	-	0	R	リードすると"0"が読めます。
0	TRCKEN	0	R/W	デバッグ回路(トレース/SWV)機能用クロックイネーブル 0: クロック停止 1: クロック供給

1.4.2.14. [RLMLOSCCR] (低速発振制御レジスター)

Bit	Bit symbol	リセット後	Type	機能
7:2	-	0	R	リードすると"0"が読めます。
1	-	0	R/W	"0"を書いてください。
0	XTEN	0	R/W	外部低速発振器の動作選択 0: 停止 1: 発振

注 1) パワーオンリセットでのみ初期化されます。

注 2) バイト単位でアクセスするレジスターです。ビットバンドアクセスをしてはいけません。

1.4.2.15. [RLMSHTDNOP] (電源遮断制御レジスター)

Bit	Bit symbol	リセット後	Type	機能
7	RTLDOLVL	0	R/W	"0"を書いてください。
6:1	-	0	R	リードすると"0"が読めます。
0	PTKEEP	0	R/W	STOP2 モード中の I/O 制御信号を保持 0: Port による制御 1: 0 → 1 設定時の状態の保持 STOP2 モード遷移前に設定が必要です。

注) バイト単位でアクセスするレジスターです。ビットバンドアクセスをしてはいけません。

1.4.2.16. [RLMPROTECT] (RLM ライトプロテクトレジスター)

Bit	Bit symbol	リセット後	Type	機能
7:0	PROTECT	0xC1	R/W	RLM レジスターライトプロテクト制御 0xC1: RLM レジスターへのライト許可(プロテクト解除) 0xC1 以外: RLM レジスターへのライト禁止(プロテクト有効) [RLMLOSCCR]、[RLMSHTDNOP]レジスターへの書き込みができなくなります

注) バイト単位でアクセスするレジスターです。ビットバンドアクセスをしてはいけません。

1.5. 製品別情報

各製品別で異なる[CGFSYSMENB]、[CGFSYSENA]、および[CGFSYSENB]に関する情報を以下に示します。

1.5.1. [CGFSYSMENB]

表 1.10 [CGFSYSMENB]の製品別割り当て

Bit	Bit symbol	接続先	チャンネル番号/ ユニット名 入出力ポート名	M3HQ	M3HP	M3HN	M3HM	M3HL
31	IPMENB31	-	-	×	×	×	×	×
30	IPMENB30	-	-	×	×	×	×	×
29	IPMENB29	-	-	×	×	×	×	×
28	IPMENB28	-	-	×	×	×	×	×
27	IPMENB27	-	-	×	×	×	×	×
26	IPMENB26	-	-	×	×	×	×	×
25	IPMENB25	-	-	×	×	×	×	×
24	IPMENB24	-	-	×	×	×	×	×
23	IPMENB23	-	-	×	×	×	×	×
22	IPMENB22	-	-	×	×	×	×	×
21	IPMENB21	-	-	×	×	×	×	×
20	IPMENB20	-	-	×	×	×	×	×
19	IPMENB19	-	-	×	×	×	×	×
18	IPMENB18	-	-	×	×	×	×	×
17	IPMENB17	-	-	×	×	×	×	×
16	IPMENB16	-	-	×	×	×	×	×
15	IPMENB15	-	-	×	×	×	×	×
14	IPMENB14	EI2C	3	○	○	×	×	×
13	IPMENB13	EI2C	2	○	○	○	○	○
12	IPMENB12	EI2C	1	○	○	○	○	×
11	IPMENB11	EI2C	0	○	○	○	○	○
10	IPMENB10	-	-	×	×	×	×	×
9	IPMENB09	-	-	×	×	×	×	×
8	IPMENB08	-	-	×	×	×	×	×
7	IPMENB07	-	-	×	×	×	×	×
6	IPMENB06	-	-	×	×	×	×	×
5	IPMENB05	-	-	×	×	×	×	×
4	IPMENB04	-	-	×	×	×	×	×
3	IPMENB03	-	-	×	×	×	×	×
2	IPMENB02	-	-	×	×	×	×	×
1	IPMENB01	-	-	×	×	×	×	×
0	IPMENB00	-	-	×	×	×	×	×

○: 搭載、×: 非搭載

1.5.2. [CGFSYSENA]

表 1.11 [CGFSYSENA]の製品別割り当て

Bit	Bit symbol	接続先	チャンネル番号/ ユニット名/ 入出力ポート名	M3HQ	M3HP	M3HN	M3HM	M3HL
31	IPENA31	T32A	7	○	○	○	○	○
30	IPENA30	T32A	6	○	○	○	○	○
29	IPENA29	T32A	5	○	○	○	○	○
28	IPENA28	T32A	4	○	○	○	○	○
27	IPENA27	T32A	3	○	○	○	○	○
26	IPENA26	T32A	2	○	○	○	○	○
25	IPENA25	T32A	1	○	○	○	○	○
24	IPENA24	T32A	0	○	○	○	○	○
23	IPENA23	RTC	-	○	○	○	○	○
22	IPENA22	RMC	0	○	○	○	○	○
21	IPENA21	A-ENC	0	○	○	○	○	○
20	IPENA20	A-PMD	0	○	○	○	○	○
19	IPENA19	DMAC	B	○	○	○	○	○
18	IPENA18	DMAC	A	○	○	○	○	○
17	IPENA17	Port	V	○	○	×	×	×
16	IPENA16	Port	U	○	×	×	×	×
15	IPENA15	Port	T	○	○	×	×	×
14	IPENA14	Port	R	○	○	○	×	×
13	IPENA13	Port	P	○	○	○	○	○
12	IPENA12	Port	N	○	○	○	○	○
11	IPENA11	Port	M	○	○	○	○	○
10	IPENA10	Port	L	○	○	○	○	○
9	IPENA09	Port	K	○	○	○	○	○
8	IPENA08	Port	J	○	○	○	○	○
7	IPENA07	Port	H	○	○	○	○	○
6	IPENA06	Port	G	○	○	○	○	○
5	IPENA05	Port	F	○	○	○	○	○
4	IPENA04	Port	E	○	○	○	○	○
3	IPENA03	Port	D	○	○	○	○	○
2	IPENA02	Port	C	○	○	○	○	○
1	IPENA01	Port	B	○	○	○	○	○
0	IPENA00	Port	A	○	○	○	○	○

○: 搭載、×: 非搭載

1.5.3. [CGFSYSENB]

表 1.12 [CGFSYSENB]の製品別割り当て

Bit	Bit symbol	接続先	チャンネル番号/ ユニット名 入出力ポート名	M3HQ	M3HP	M3HN	M3HM	M3HL
31	IPENB31	SIWDT	0	○	○	○	○	○
30	IPENB30	-	-	×	×	×	×	×
29	IPENB29	-	-	×	×	×	×	×
28	IPENB28	-	-	×	×	×	×	×
27	IPENB27	Port	W	○	○	○	○	○
26	IPENB26	-	-	×	×	×	×	×
25	IPENB25	UART	7	○	○	○	×	×
24	IPENB24	UART	6	○	○	○	○	○
23	IPENB23	TRGSEL	0、1	○	○	○	○	○
22	IPENB22	TRM	-	○	○	○	○	○
21	IPENB21	OFD	-	○	○	○	○	○
20	IPENB20	CRC	-	○	○	○	○	○
19	IPENB19	RAMPARITY	-	○	○	○	○	○
18	IPENB18	DAC	1	○	○	○	○	○
17	IPENB17	DAC	0	○	○	○	○	○
16	IPENB16	COMP	0	○	○	○	○	○
15	IPENB15	ADC	A	○	○	○	○	○
14	IPENB14	I2C	3	○	○	×	×	×
13	IPENB13	I2C	2	○	○	○	○	○
12	IPENB12	I2C	1	○	○	○	○	×
11	IPENB11	I2C	0	○	○	○	○	○
10	IPENB10	UART	5	○	○	○	○	○
9	IPENB09	UART	4	○	○	○	○	○
8	IPENB08	UART	3	○	○	○	○	○
7	IPENB07	UART	2	○	○	○	○	○
6	IPENB06	UART	1	○	○	○	○	○
5	IPENB05	UART	0	○	○	○	○	○
4	IPENB04	TSPI	4	○	○	×	×	×
3	IPENB03	TSPI	3	○	○	○	○	×
2	IPENB02	TSPI	2	○	○	○	○	×
1	IPENB01	TSPI	1	○	○	○	○	×
0	IPENB00	TSPI	0	○	○	○	○	○

○: 搭載、×: 非搭載

2. メモリーマップ

2.1. 概要

TMPM3H グループ(1)は、Arm Cortex-M3 コアのメモリーマップに沿って作られており、内蔵 ROM 領域は Cortex-M3 コアメモリーマップの Code 領域、内蔵 RAM 領域は SRAM 領域、特殊機能レジスター (SFR)領域は Peripheral 領域に割り付けられています。特殊機能レジスター(SFR: Special function register)とは、入出力ポートおよび周辺機能のコントロールレジスターを示します。

CPU Register Region はコア内部のレジスター領域です。

各領域の詳細については、「Arm ドキュメンテーションセット Cortex-M3 プロセッサ編」を参照してください。

"Fault"と記載された領域では、アクセスするとバスフォールトが有効な場合にはバスフォールト、無効な場合にはハードフォールトが発生します。また、ベンダー固有領域にはアクセスしないでください。

2.1.1. TPM3HxFDA

- Code Flash: 512KB
- RAM: 64KB
- Data Flash: 32KB
- 対象製品: TPM3HQFDAFG、TPM3HPFDAFG、TPM3HPFDADFG、TPM3HNFDAFG、TPM3HNFDAFG、TPM3HMFDAFG、TPM3HLFDAUG

0xFFFFFFFF	Vendor-Specific	System level	0xFFFFFFFF	Vendor-Specific
0xE0100000	CPU Register Region		0xE0100000	CPU Register Region
0xE0000000	Fault	Peripheral	0xE0000000	Fault
0x5E080000	Code Flash (Mirror 512KB)		0x5E080000	Code Flash (Mirror 512KB)
0x5E000000	Flash (SFR)		0x5E000000	Flash (SFR)
0x5DFF0000	Fault		0x5DFF0000	Fault
0x44000000	Bit Band Alias (SFR)		0x44000000	Bit Band Alias (SFR)
0x42000000	Fault		0x42000000	Fault
0x40100000	SFR		0x40100000	SFR
0x4003E000	Fault		0x4003E000	Fault
0x40000000	BOOT ROM		0x40000000	BOOT ROM (Mirror 6KB)
0x3F7F9800	Fault		0x3F7F9800	Fault
0x3F7F8000	Data Flash (32KB)		0x3F7F8000	Data Flash (32KB)
0x30008000	Fault		0x30008000	Fault
0x30000000	Bit Band Alias (RAM/Backup RAM)		0x30000000	Bit Band Alias (RAM/Backup RAM)
0x24000000	Fault		0x24000000	Fault
0x22000000	Backup RAM (2KB)	0x22000000	Backup RAM (2KB)	
0x20010800	RAM (64KB)	0x20010800	RAM (64KB)	
0x20010000	Fault	0x20010000	Fault	
0x20000000	Code Flash (512KB)	0x20000000	Code Flash (512KB)	
0x00080000		Code	0x00001800	BOOT ROM (6KB)
0x00000000			0x00000000	

Single chip mode

Single BOOT mode

図 2.1 TPM3HxFD

2.1.2. TMPM3HxFZA

- Code Flash: 384KB
- RAM: 64KB
- Data Flash: 32KB
- 1 対象製品: TMPM3HQFZAFG、TMPM3HPFZAFG、TMPM3HPFZADFG、
 TMPM3HNFZAFG、TMPM3HNFZADFG、TMPM3HMFZAFG、
 TMPM3HLFZAUG

0xFFFFFFF	Vendor-Specific	System level	0xFFFFFFF	Vendor-Specific	
0xE0100000			0xE0100000		
	CPU Register Region			CPU Register Region	
0xE0000000			0xE0000000		
	Fault	Peripheral		Fault	
0x5E080000			0x5E080000		
0x5E060000	Reserved			Reserved	
	Code Flash (Mirror 384KB)		0x5E000000		Code Flash (Mirror 384KB)
0x5E000000				0x5E000000	
0x5DFF0000	Flash (SFR)			0x5DFF0000	Flash (SFR)
	Fault		0x44000000		Fault
0x44000000				0x44000000	
	Bit Band Alias (SFR)		0x42000000		Bit Band Alias (SFR)
0x42000000				0x42000000	
0x40100000	Fault			0x40100000	Fault
	SFR		0x4003E000		SFR
0x4003E000			0x40000000		Fault
0x40000000	Fault		0x3F7F9800		Fault
0x3F7F9800			0x3F7F9800	BOOT ROM (Mirror 6KB)	
0x3F7F8000	BOOT ROM		0x3F7F8000		
	Fault	0x30008000		Fault	
0x30008000			0x30008000		
	Data Flash (32KB)	0x30000000		Data Flash (32KB)	
0x30000000			0x30000000		
	Fault	0x24000000		Fault	
0x24000000			0x24000000		
	Bit Band Alias (RAM/Backup RAM)	0x22000000		Bit Band Alias (RAM/Backup RAM)	
0x22000000			0x22000000		
0x20010800	Fault		0x20010800	Fault	
	Backup RAM (2KB)	0x20010000		Backup RAM (2KB)	
0x20010000			0x20010000		
	RAM (64KB)	0x20000000		RAM (64KB)	
0x20000000			0x20000000		
	Fault	Code		Fault	
0x00080000			0x00001800		
0x00060000	Reserved			BOOT ROM (6KB)	
0x00000000	Code Flash (384KB)		0x00000000		

Single chip mode

Single BOOT mode

図 2.2 TMPM3HxFZ

2.1.3. TPM3HxFYA

- Code Flash: 256KB
- RAM: 64KB
- Data Flash: 32KB
- 対象製品: TPM3HQFYAFG、TPM3HPFYAFG、TPM3HPFYADFG、TPM3HNFYAFG、TPM3HNFYADFG、TPM3HMFYAFG、TPM3HLFYAUG

0xFFFFFFFF	Vendor-Specific	System level	0xFFFFFFFF	Vendor-Specific	
0xE0100000	CPU Register Region		0xE0100000	CPU Register Region	
0xE0000000	Fault	Peripheral	0xE0000000	Fault	
0x5E080000	Reserved		0x5E080000	Reserved	
0x5E040000	Code Flash (Mirror 256KB)		0x5E040000	Code Flash (Mirror 256KB)	
0x5E000000	Flash (SFR)		0x5E000000	Flash (SFR)	
0x5DFF0000	Fault		0x5DFF0000	Fault	
0x44000000	Bit Band Alias (SFR)		0x44000000	Bit Band Alias (SFR)	
0x42000000	Fault		0x42000000	Fault	
0x40100000	SFR		0x40100000	SFR	
0x4003E000	Fault		0x4003E000	Fault	
0x40000000	BOOT ROM		0x40000000	BOOT ROM (Mirror 6KB)	
0x3F7F9800	Fault	0x3F7F9800	Fault		
0x3F7F8000	Data Flash (32KB)	SRAM	0x3F7F8000	Data Flash (32KB)	
0x30008000	Fault		0x30008000	Fault	
0x30000000	Fault		0x30000000	Fault	
0x24000000	Bit Band Alias (RAM/Backup RAM)		0x24000000	Bit Band Alias (RAM/Backup RAM)	
0x22000000	Fault		0x22000000	Fault	
0x20010800	Backup RAM (2KB)		0x20010800	Backup RAM (2KB)	
0x20010000	RAM (64KB)		0x20010000	RAM (64KB)	
0x20000000	Fault		0x20000000	Fault	
0x00080000	Reserved		Code	0x00080000	Fault
0x00040000	Code Flash (256KB)			0x00040000	BOOT ROM (6KB)
0x00000000		0x00000000			

Single chip mode

Single BOOT mode

図 2.3 TPM3HxFY

2.2. バスマトリックス

本マイコンでは、CPU コア、DMA コントローラー2 種類のバスマスターが搭載されています。

バスマスターは、バスマトリックスのスレーブポート(S0 ~ S4)に接続され、バスマトリックス内で、接続を示す記号(○、●)を経由して、マスターポート(M0 ~ M14)から、周辺機能に接続されます。●は、ミラー領域への接続を示します。

バスマトリックス内の同一マスターライン上に、複数のスレーブが接続されている場合で、同一タイミングで複数のスレーブにアクセスが発生した場合は、スレーブ番号の小さいマスターのアクセスが優先されます。

2.2.1. 構成

2.2.1.1. シングルチップモード

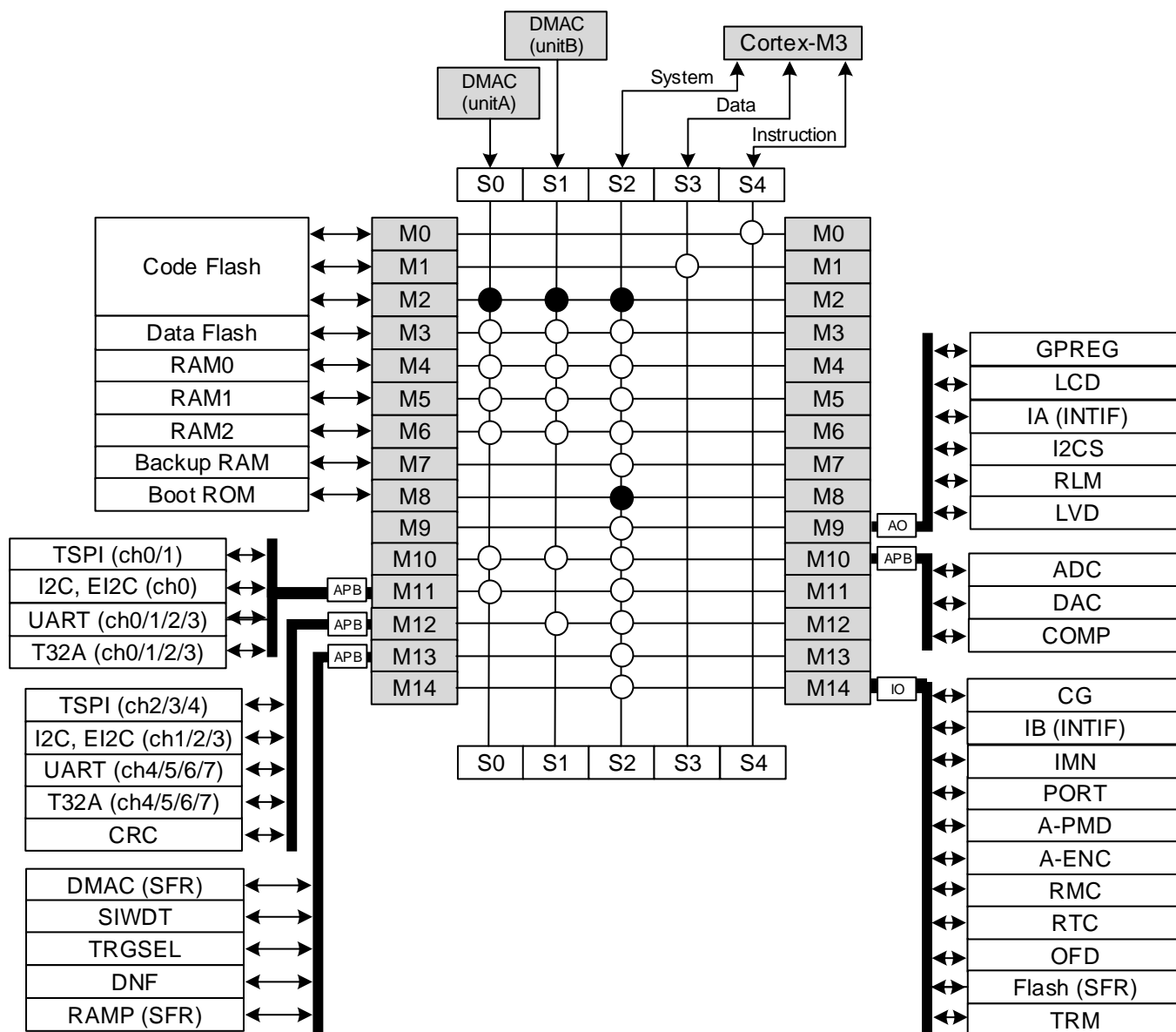


図 2.4 シングルチップモード

2.2.1.2. シングルブートモード

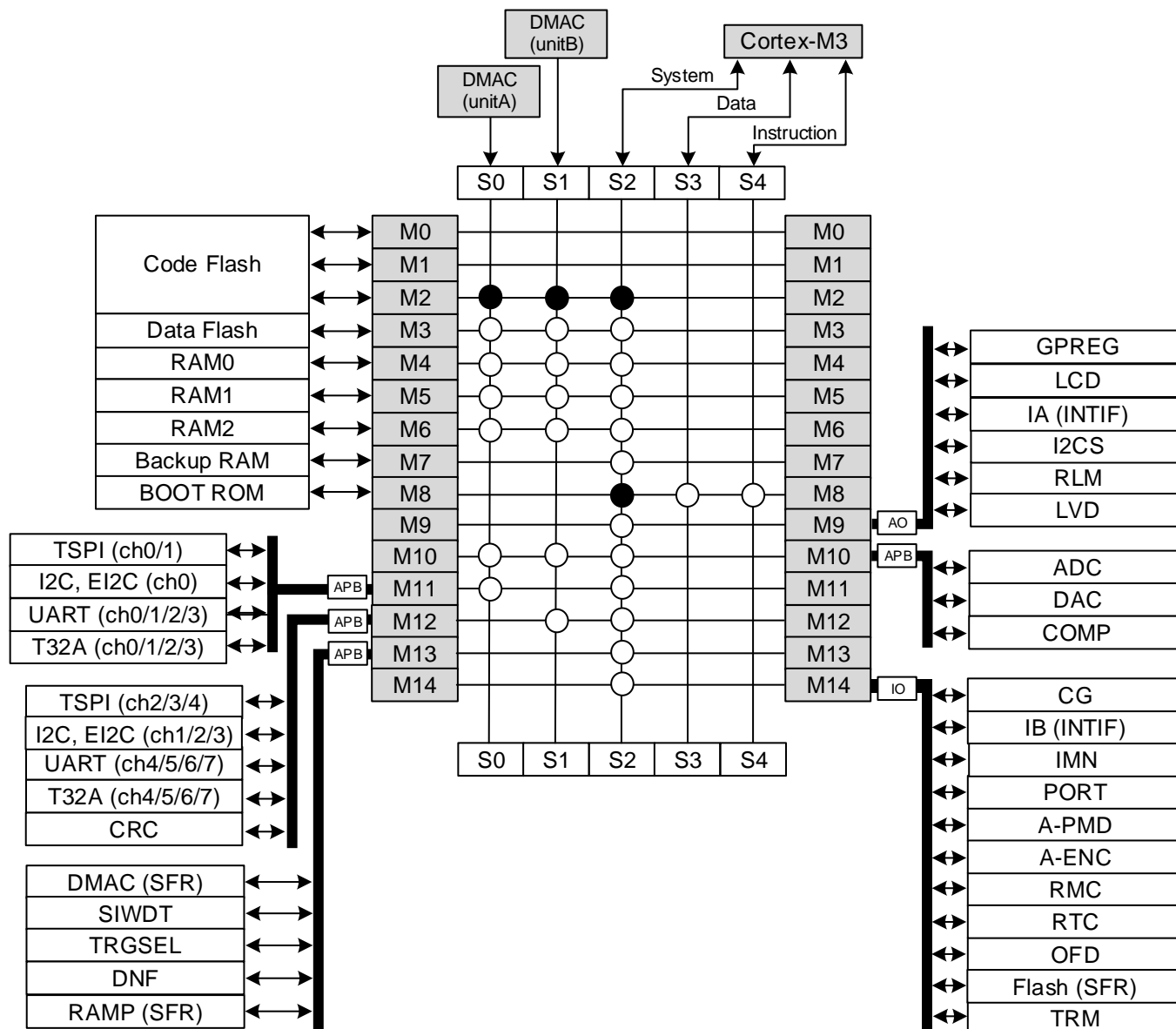


図 2.5 シングルブートモード

2.2.2. 接続表

2.2.2.1. メモリー関連の接続

(1) シングルチップモード

表 2.1 シングルチップモード

Start address	スレーブ		マスター				
			DMAC (unit A)	DMAC (unit B)	Core S-Bus	Core D-Bus	Core I-Bus
			S0	S1	S2	S3	S4
0x00000000	Code Flash	M0	Fault	Fault	-	Fault	○
		M1	Fault	Fault	-	○	Fault
0x00080000	Fault	-	Fault	Fault	-	Fault	Fault
0x20000000	RAM0	M4	○	○	○	-	-
0x20004000	RAM1	M5	○	○	○	-	-
0x20008000	RAM2	M6	○	○	○	-	-
0x20010000	Backup RAM	M7	Fault	Fault	○	-	-
0x20010800	Fault	-	Fault	Fault	Fault	-	-
0x22000000	Bit band alias	-	Fault	Fault	○	-	-
0x24000000	Fault	-	Fault	Fault	Fault	-	-
0x30000000	Data Flash	M3	○	○	○	-	-
0x30008000	Fault	-	Fault	Fault	Fault	-	-
0x3F7F8000	Boot ROM (Mirror)	M8	Fault	Fault	○	-	-
0x3F7F9800	Fault	-	Fault	Fault	Fault	-	-
この間のアドレスは「表 2.3 周辺機能の接続」を参照してください。							
0x5E000000	Code Flash (Mirror)	M2	○	○	○	-	-

○: アクセス可、 -: アクセス不可、Fault: フォールト発生

(2) シングルブートモード

表 2.2 シングルブートモード

Start address	スレーブ		マスター				
			DMAC (unit A)	DMAC (unit B)	Core S-Bus	Core D-Bus	Core I-Bus
			S0	S1	S2	S3	S4
0x00000000	Boot ROM	M8	Fault	Fault	-	○	○
0x00001800	Fault	-	Fault	Fault	-	Fault	Fault
0x20000000	RAM0	M4	○	○	○	-	-
0x20004000	RAM1	M5	○	○	○	-	-
0x20008000	RAM2	M6	○	○	○	-	-
0x20010000	Backup RAM	M7	Fault	Fault	○	-	-
0x20010800	Fault	-	Fault	Fault	Fault	-	-
0x22000000	Bit band alias	-	Fault	Fault	○	-	-
0x24000000	Fault	-	Fault	Fault	Fault	-	-
0x30000000	Data Flash	M3	○	○	○	-	-
0x30008000	Fault	-	Fault	Fault	Fault	-	-
0x3F7F8000	Boot ROM (Mirror)	M8	Fault	Fault	○	-	-
0x3F7F9800	Fault	-	Fault	Fault	Fault	-	-
この間のアドレスは「表 2.3 周辺機能の接続」を参照してください。							
0x5E000000	Code Flash (Mirror)	M2	○	○	○	-	-

○: アクセス可、 -: アクセス不可、Fault: フォールト発生

2.2.2.2. 周辺機能の接続

表 2.3 周辺機能の接続

Start address	スレーブ		マスター				
			DMAC (unit A)	DMAC (unit B)	Core S-Bus	Core D-Bus	Core I-Bus
			S0	S1	S2	S3	S4
0x40000000	Fault	-	Fault	Fault	Fault	-	-
0x4003E000	IA(INTIF)	M9	Fault	Fault	○	-	-
0x4003E400	RLM		Fault	Fault	○	-	-
0x4003E800	I2CS		Fault	Fault	○	-	-
0x4003EC00	LVD		Fault	Fault	○	-	-
0x4003F200	LCD		Fault	Fault	○	-	-
0x4003FF01	GPREG		Fault	Fault	○	-	-
0x4004C000	DMAC(SFR)		M13	Fault	Fault	○	-
0x40054000	DAC (ch0/1)	M10	○	○	○	-	-
0x40098000	TSPI (ch0/1)	M11	○	Fault	○	-	-
0x4009A000	TSPI (ch2/3/4)	M12	Fault	○	○	-	-
0x400A0000	I2C (ch0)	M11	○	Fault	○	-	-
0x400A1000	I2C (ch1/2/3)	M12	Fault	○	○	-	-
0x400A5000	EI2C (ch0)	M11	○	Fault	○	-	-
0x400A6000	EI2C (ch1/2/3)	M12	Fault	○	○	-	-
0x400B8800	ADC	M10	○	○	○	-	-
0x400BA000	T32A (ch0/1/2/3)	M11	○	Fault	○	-	-
0x400BA400	T32A (ch4/5/6/7)	M12	Fault	○	○	-	-
0x400BB000	UART (ch0/1/2/3)	M11	○	Fault	○	-	-
0x400BB400	SIWDT	M13	Fault	Fault	○	-	-
0x400BB600	DNF(A/B)		Fault	Fault	○	-	-
0x400BB800	TRGSEL		Fault	Fault	○	-	-
0x400BBB00	RAMP(Parity)		Fault	Fault	○	-	-
0x400BBC00	CRC	M12	Fault	○	○	-	-
0x400BBD00	UART (ch4/5)		Fault	○	○	-	-
0x400BC000	COMP	M10	○	○	○	-	-
0x400BC400	UART (ch6/7)	M12	Fault	○	○	-	-
0x400BE000	DNF(C)	M13	Fault	Fault	○	-	-
0x400C0000	PORT	M14	Fault	Fault	○	-	-
0x400CC000	RTC		Fault	Fault	○	-	-
0x400E7000	RMC		Fault	Fault	○	-	-
0x400F1000	OFD		Fault	Fault	○	-	-
0x400F3000	CG		Fault	Fault	○	-	-
0x400F3200	TRM		Fault	Fault	○	-	-
0x400F4E00	IB(INTIF)		Fault	Fault	○	-	-
0x400F4F00	IMN		Fault	Fault	○	-	-
0x400F6000	A-PMD		Fault	Fault	○	-	-
0x400F7000	A-ENC		Fault	Fault	○	-	-
0x40100000	Fault		-	Fault	Fault	Fault	-
0x42000000	Bit Band Alias	-	Fault	Fault	○	-	-
0x44000000	Fault	-	Fault	Fault	Fault	-	-
0x5DFF0000	FLASH(SFR)	M14	Fault	Fault	○	-	-

○: アクセス可、 -: アクセス不可、Fault: フォールト発生

3. 電源とリセット動作

3.1. 概要

電源の立上げ、パワーオンリセットおよびリセットの解除とかけ方について説明します。

機能分類	要因	動作説明
コールドリセット (電源投入を伴うリセット)	パワーオンリセット	電源投入時または切断時に発生するリセット
	LVD リセット	設定した電圧以下で発生するリセット
	リセット端子	RESET_N 端子によるリセット
	PORF リセット	電源投入時または切断時に発生するリセット、フラッシュメモリと、デバッグ回路を優先してリセットする
ウォームリセット (電源投入を伴わないリセット)	内部リセット	SIWDT、OFD、LVD、LOCKUP および <SYSRESETREQ>によるリセット
	リセット端子	RESET_N 端子によるリセット
STOP2 モード解除によるリセット	割り込み	STOP2 モードからの復帰動作の中で行う電源遮断領域に対するリセット(STOP2REQ)
	LVD リセット	設定した電圧以下で発生するリセット
	リセット端子	RESET_N 端子によるリセット

3.2. 機能説明・動作説明

この章では、電源投入、電源切断、リセット関連の説明をします。

注) 図中のシンボルで記述の時間や電圧は、データシートの「電気的特性」章を参照してください。

3.2.1. コールドリセット

電源投入の際には、内蔵レギュレーター、内蔵フラッシュメモリーおよび内蔵高速発振の安定時間を考慮する必要があります。TXZ+ファミリーでは、これらの機能の安定のための時間を内部回路が自動的に挿入します。

電源投入時は、電源電圧の傾斜が右肩上がりとなるようにしてください。POR、PORF 検出近傍で電源電圧の下降と上昇が発生すると、その後電源電圧が動作保証範囲まで上昇しても、正常に動作しない場合があります。

3.2.1.1. パワーオンリセット回路によるリセット(RESET_N 端子を使用しない場合)

電源電圧がパワーオンリセット(POR)の解除電圧を超えてから"内部初期化時間"経過後に内部リセットが解除されます。"内部初期化時間"が経過するより前に電源電圧を動作電圧範囲内まで上げてください。CPU は内部リセット解除後に動作します。

電源電圧がパワーオンリセット(POR)の解除電圧を超えると LVD 解除電圧まで LVD がリセット継続しますが、"内部初期化時間"内は内部リセットが優先します。電源電圧の立上げが"内部初期化時間"を超える場合は「3.2.1.3. LVD によるリセットの継続」を参照してください。

例えば、セットの動作電圧が 2.7V 以上の場合、パワーオンリセット解除後"内部初期化時間"内に電源電圧を 2.7V まで上げてください。セットの動作電圧が 4.5V 以上の場合、パワーオンリセット解除後"内部初期化時間"内に電源電圧を 4.5V まで上げてください。

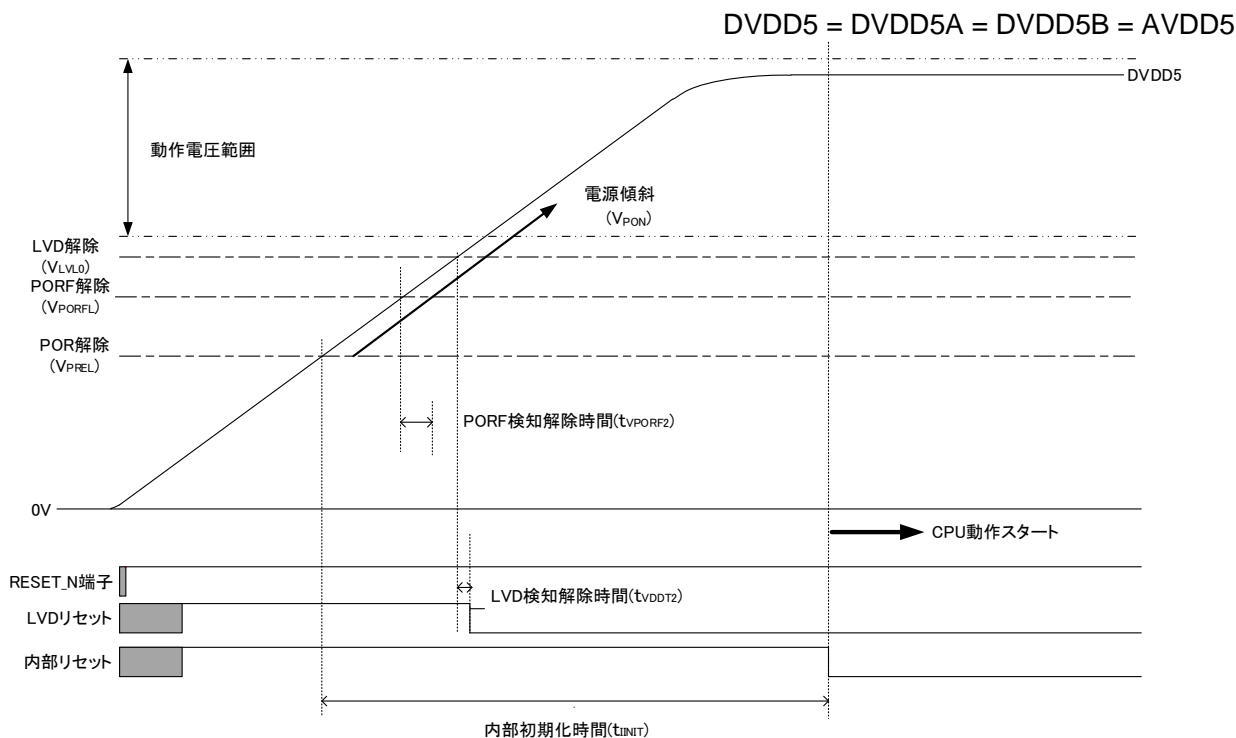


図 3.1 パワーオンリセット回路によるリセット動作

注) RESET_N 端子を使用しないでパワーオンリセット回路だけを使用する場合、RESET_N 端子はオープンまたは"High"レベルを入力してください。

3.2.1.2. RESET_N 端子によるリセット

電源投入時にRESET_N端子を使用することでリセット解除のタイミングを調整することができます。

電源電圧がパワーオンリセットの解除電圧を超えた後、"内部初期化時間"経過後も RESET_N 端子が "Low" の場合、内部リセットは引き延ばされます。電源電圧が動作電圧範囲内まで上がった後、RESET_N 端子が "High" になってから "CPU 動作待ち時間" 経過後に内部リセットは解除されます。

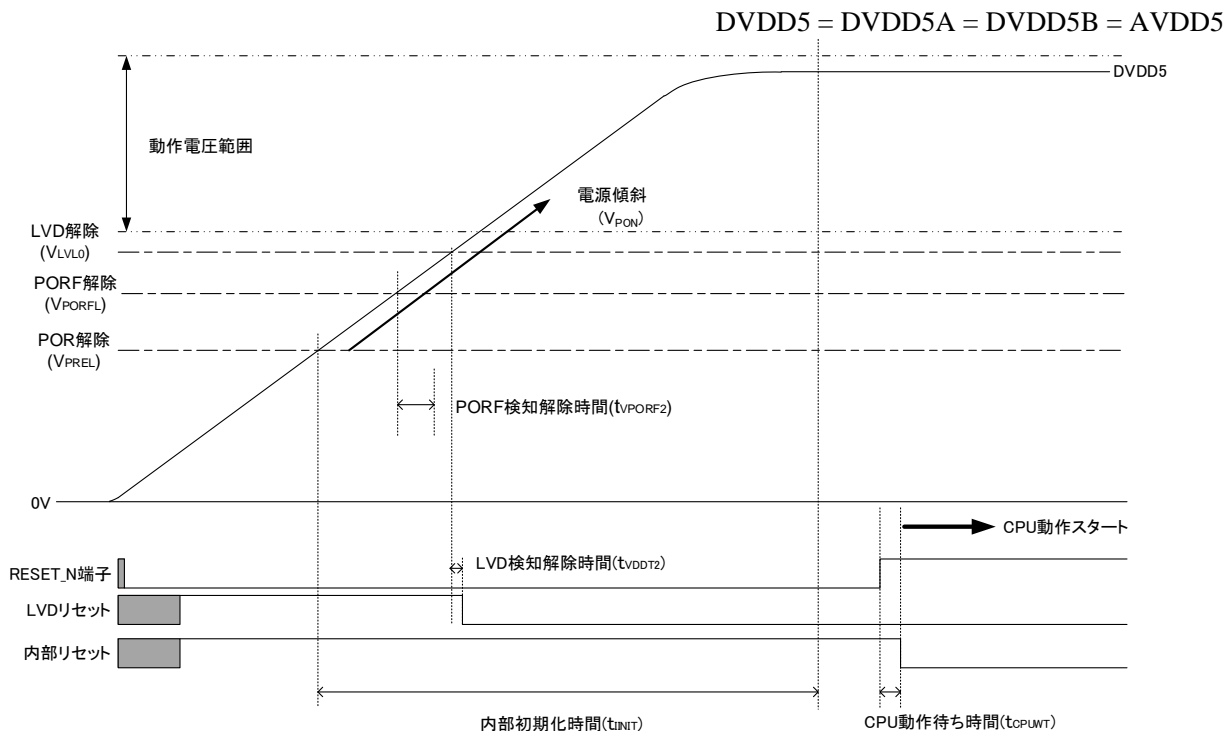


図 3.2 RESET_N端子によるリセット動作(1)

"内部初期化時間"経過前に RESET_N 端子が"Low" → "High"となった場合、"内部初期化時間"経過後に内部リセットは解除されます。このような場合は内部初期化時間が経過するより前に電源電圧を動作電圧範囲内まで上げてください。CPU は内部リセット解除後に動作します。

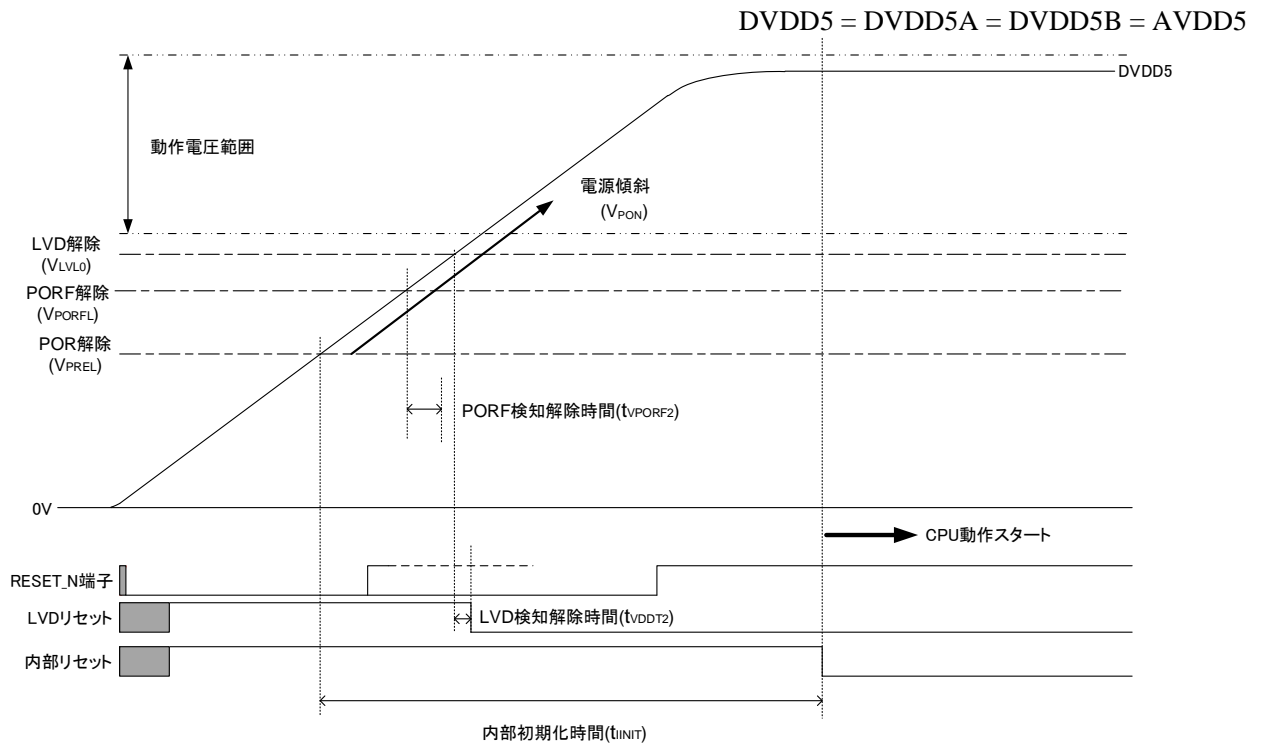


図 3.3 RESET_N端子によるリセット動作(2)

3.2.1.3. LVDによるリセットの継続

"内部初期化時間"が経過しても電源電圧が LVD 解除電圧を超えていない場合は、LVD がリセットを出力してリセット状態を継続します。電源電圧が LVD 解除電圧を越えたら"LVD 検知解除時間" + "CPU 動作待ち時間"の後内部リセットが解除されて CPU は動作を開始します。LVD の詳細はリファレンスマニュアル「電圧検知回路」を参照してください。

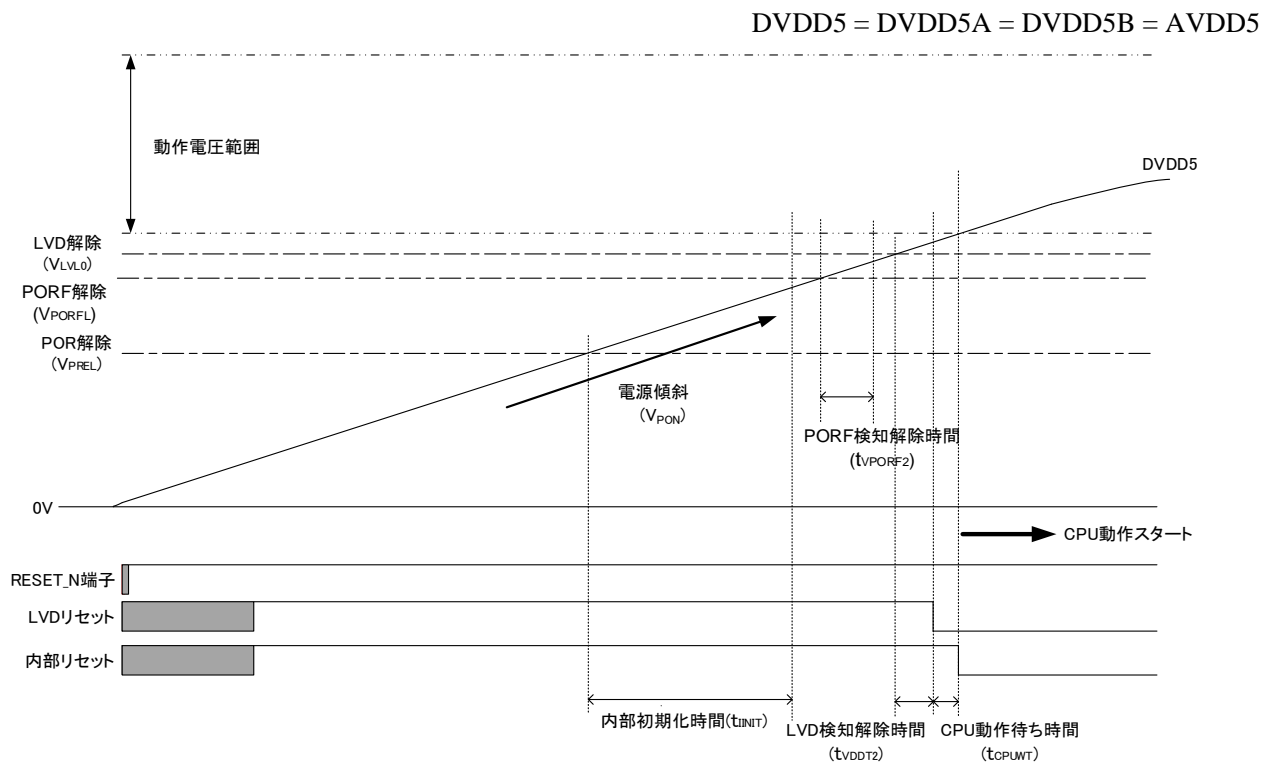


図 3.4 LVDリセットによるリセット動作

3.2.2. ウォームリセット

3.2.2.1. RESET_N 端子によるウォームリセット

RESET_N 端子でリセットをかける場合には、電源電圧が動作範囲内である状態で RESET_N 端子を少なくとも 17.2μs 以上の期間 "Low" にしてください。

RESET_N 端子の "Low" 期間が "内部処理時間" より長い場合、RESET_N 端子が "High" になってから "CPU 動作待ち時間" 経過後に内部リセットは解除されます。

RESET_N 端子の "Low" 期間が "内部処理時間" より短い場合、内部リセットが引き伸ばされ、RESET_N 端子が "Low" になってから "内部処理時間" + "CPU 動作待ち時間" 経過後に内部リセットは解除されます。

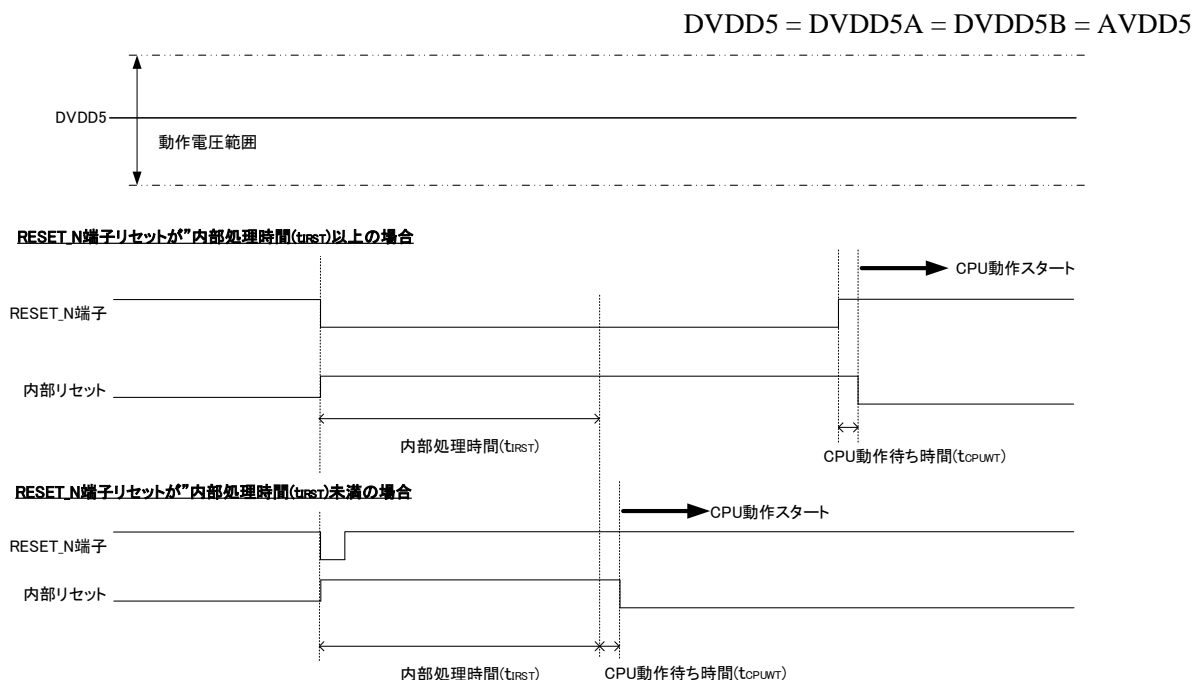


図 3.5 ウォームリセット動作

3.2.2.2. 内部リセットによるウォームリセット

SIWDT、OFD、LVD、LOCKUP および <SYSRESETREQ> などの内部要因によるリセットでは、"内部処理時間" + "CPU 動作待ち時間" 経過後に内部リセットは解除されます。

3.2.3. STOP2 モード解除によるリセット

STOP2 モード中に RESET_N 端子が"Low"になる、もしくは LVD リセットが発生すると STOP2 モードは解除され、電源遮断領域に対して電源投入とリセット動作が行われます。RESET_N 端子が"High"になる、もしくは LVD リセットが解除されると NORMAL モードで動作を始めます。この時、*[RLMLOSCCR]*、*[RLMRSTFLG0]*、*[RLMRSTFLG1]*を除き、コールドリセット後と同様の状態となります。

割り込み要求がアサートされた場合は、STOP2モード解除シーケンスの中で内部の電源遮断領域に対して電源が投入され、リセット動作が行われます。STOP2 解除時の動作は、「1.3.3.3. STOP2 モードからの復帰」を参照してください。

3.2.4. リセットとシングルブートモードの起動

BOOT_N 端子に"Low"を入力して RESET_N 端子からリセットをかけるとシングルブートモードを起動します。

電源投入時は、内部初期化時間以上の間 RESET_N 端子に"Low"を入力してリセットをかけてください。電源電圧が動作電圧範囲まで上がってからリセットを解除してください。

シングルブートモードの詳細はリファレンスマニュアル「フラッシュメモリー」を参照してください。

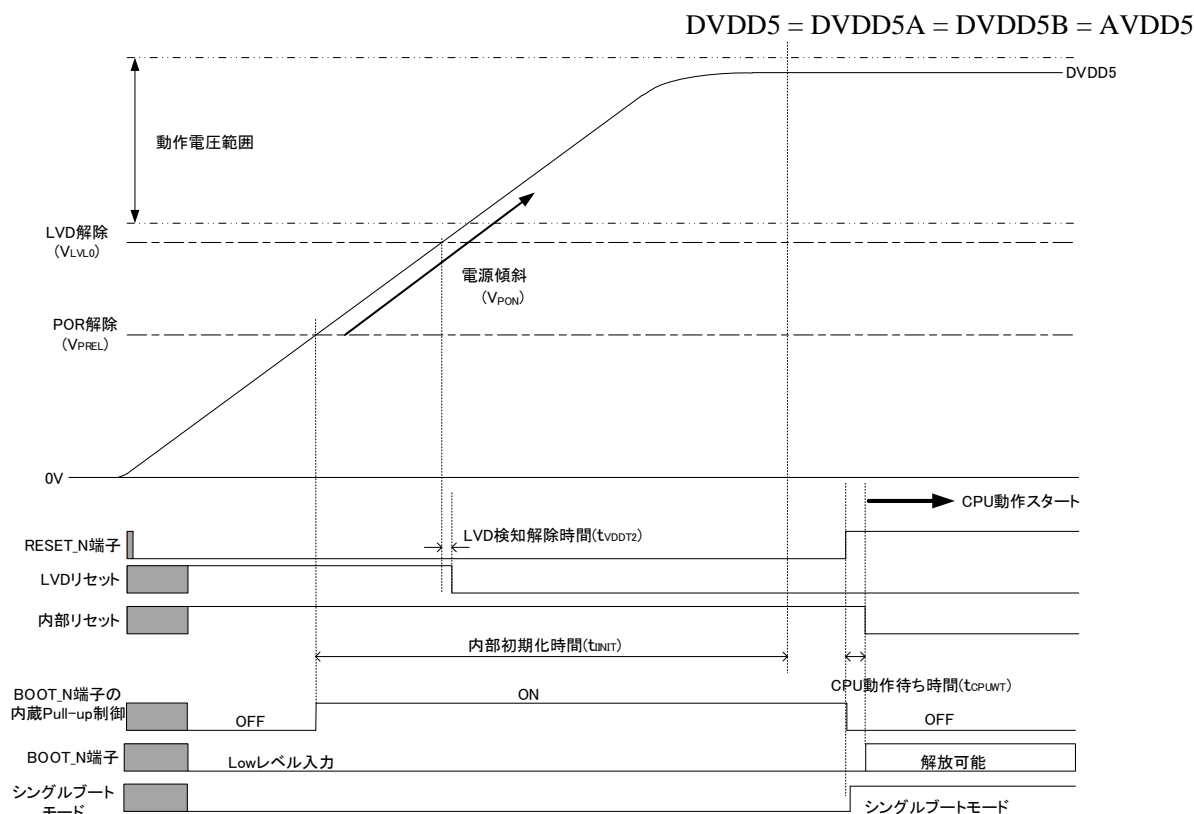


図 3.6 電源オンとシングルブートモードの起動

電源電圧が動作電圧範囲内で安定している場合は、BOOT_N 端子に"Low"を入力した状態で、内部処理時間以上の間 RESET_N 端子を"Low"にしてリセットをかけてください。

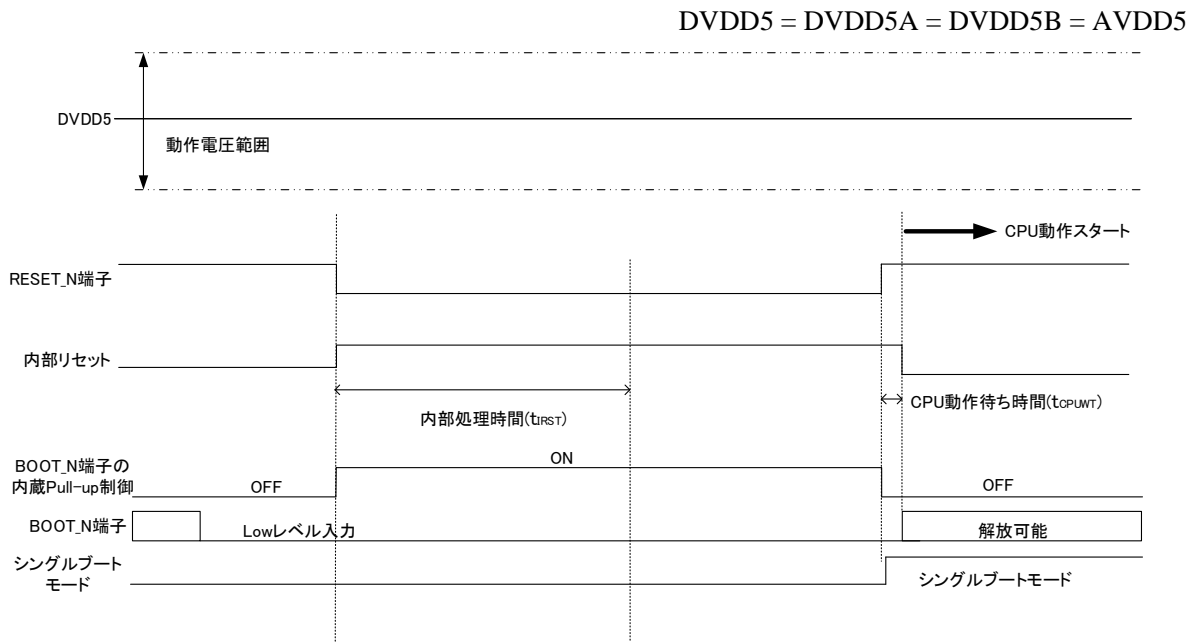


図 3.7 電源安定時のシングルブートモードの起動

3.2.5. パワーオンリセット回路

パワーオンリセット回路(POR)は、電源投入時または切断時にリセット信号を発生する回路です。

注) 電源電圧の変動によりパワーオンリセット回路が完全な動作をしないことがあります。回路設計時には電気的特性を参照のうえ十分な考慮をしてください。

パワーオンリセット回路は、検知電圧発生回路、基準電圧発生回路、コンパレータから構成されます。

電源電圧とは、DVDD5(= DVDD5A = DVDD5B)を指しています。

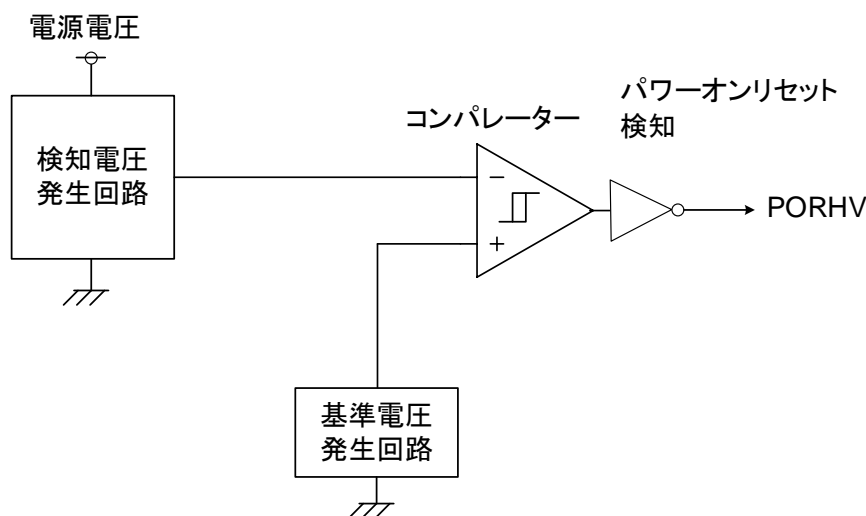


図 3.8 パワーオンリセット回路

3.2.5.1. 電源投入時の動作

電源投入時、電源電圧がパワーオンリセット解除電圧(V_{PREL})以下の間、パワーオンリセットが発生します。詳細は「図 3.1 パワーオンリセット回路によるリセット動作」を参照ください。

パワーオンリセットが発生している間、CPU および周辺機能はリセットされます。

3.2.5.2. 電源切断時の動作

電源切断時、電源電圧がパワーオンリセット検出電圧(V_{PDET})以下になると、パワーオンリセットが発生します。

パワーオンリセットが発生している間、CPU および周辺機能はリセットされます。

3.2.6. 電源切断と再投入

電源切断時は、「電気的特性」に定める「電源傾斜(V_{POFF})」の Max 条件より緩やかな傾斜で電源電圧を下げてください。

3.2.6.1. 外部のリセット回路または内蔵 LVD のリセット出力を使用している場合

電源が切断され電源電圧が動作保証電圧を下回った場合は、電源電圧が外部のリセット回路または内蔵 LVD の設定電圧以下となりリセットがかかっている状態から、電源投入時と同じ制約を守って電源電圧を立ち上げてください。

3.2.6.2. 外部のリセット回路/内蔵 LVD のリセット出力を使用しない場合

電源が切断され電源電圧が動作保証電圧を下回った場合は、必ず電源電圧をパワーオンリセット検出電圧(V_{PDET})以下まで下げて 200 μ s 以上保持してください。その後、電源投入時と同じ制約を守って電源電圧を立ち上げてください。

電源電圧がパワーオンリセット検出電圧(V_{PDET})以下まで下がって 200 μ s 以上保持できない場合や、再投入時の電源電圧上昇が電源投入時と同じ制約が守られない場合、CPU は正常に動作しないことがあります。

3.2.7. リセット解除後

リセット解除後は、Cortex[®]-M3 コアの制御レジスタや周辺機能の制御レジスタ(SFR)は初期化されますが、リセットの要因により初期化される範囲が異なります。

リセット要因ごとの初期化される範囲については、「表 3.1 リセット要因と初期化される範囲」を参照してください。

また、リセットが発生したときのリセットの要因は、リセットフラグレジスタの **[RLMRSTFLG0]/[RLMRSTFLG1]** で確認できます。**[RLMRSTFLG0]/[RLMRSTFLG1]** の詳細については、リファレンスマニュアル「例外」を参照してください。

リセット解除後、内蔵高速発振器 1(IHOSC1)のクロックで動作を開始します。必要に応じて外部発振、PLL 逡倍回路の設定を行ってください。

3.2.7.1. リセット要因と初期化範囲

リセット要因と初期化される範囲を「表 3.1 リセット要因と初期化される範囲」に示します。

表 3.1 リセット要因と初期化される範囲

レジスタおよび周辺機能		リセット要因										
		STOP2 モード 解除		コールド リセット	ウォームリセット(注 1)							
		割り込み要 因	リセット 端子 (注 1) (注 4)	POR (注 1)	リセット 端子	OFD リセット	SIWDT リセット	LVD リセット	PORF リセット	CPU <SYSRES ETREQ> リセット	CPU LOCKUP リセット	
リセット信 号名	STOP2 REQ	RESET_N	PORHV	RESET_N	OFD RSTOUT	WDT RSTOUT	LVD RSTOUT	PORF RESET	SYS RESET REQ	LOCKUP RESET REQ		
RTC	[RTCSECR] [RTCMINR] [RTCHOURR] [RTCDAYR] [RTCDATER] [RTCMONTHR] [RTCYEARR] [RTCADJCTL] [RTCADJDAT] [RTCADJSIGN] [RTCPAGER](注 2)	×	×	×	×	×	×	×	×	×	×	
	上記以外	×	○	○	○	○	○	○	○	○	○	
低速発振 電源制御 リセットフラグ	[RLMSHTDNOP] [RLMPROTECT]	×	○	○	○	○	○	○	○	○	○	
	[RLMLOSCCR] [RLMRSTFLG0] [RLMRSTFLG1]	×	×	○	×	×	×	×	×	×	×	
割り込み 制御	[IAIMCxx] [IANIC00]	×	○	○	○	○	○	○	○	○	○	
	[IBIMCxxx] [IBNIC00]	○	○	○	○	○	○	○	○	○	○	
Flash	[FCSBMR]	○	○	○	×	×	×	×	○	×	×	
ポート	全レジスター	○	○	○	○	○	○	○	○	○	○	
LCD(注 3)		×	○	○	○	○	○	○	○	○	○	
OFD		○	○	○	○	○	○	○	○	○	○	
LVD		×	○	○	○	×	×	×	×	×	×	
デバッグインターフェース		○	○	○	×	×	×	×	○	×	×	
上記以外		○	○	○	○	○	○	○	○	○	○	

○: 初期化される
 ×: 初期化されない

注 1) リセット動作を行うと内蔵 RAM のデータは保証されません。

注 2) [RTCPAGER]<ENATMR><ENAALM>は初期化されません。その他ビットシンボルは初期化され
 ます。

注 3) [DLCDBUFn]表示バッファは初期化されません。

注 4) LVD リセットで STOP2 モードが解除された場合の初期化範囲は、ウォームリセットで示される
 範囲となります。

注 5) NORMAL/IDLE/STOP2 モード時のリセットでは初期化されませんが、STOP1 モード時のリセッ
 トでは初期化されます。

4. 改訂履歴

表 4.1 改訂履歴

Revision	日付	内容
1.0	2021-05-21	新規
1.1	2021-09-07	<ul style="list-style-type: none"> ・図 1.3 を修正 ・1.3.3.1. 低消費電力モードの解除ソース説明を修正 ・1.3.3.3. STOP2 モードからの復帰注 2 を注 3 に変更し、修正注 2 を追加 ・1.3.4.2. NORMAL→STOP1→NORMAL 動作モード遷移注を追加 ・1.3.4.3. NORMAL→STOP2→RESET→NORMAL 動作モード遷移注を追加 ・1.4.2.11. [CGFSYSENB] (fsys 供給停止レジスター-B)注 2 に TMPM3HL を追加 ・3.1. 概要表 STOP2 モード解除によるリセットLVD リセット要因を追加 ・3.2.3. STOP2 モード解除によるリセット説明を修正 ・表 3.1 リセット要因と初期化される範囲STOP2 モード解除 リセット端子に(注 4)を追加 ウォームリセット リセット端子とLVD リセットFLASH の[FCSBMR]に(注 5)を追加 デバッグインターフェースに(注 5)を追加 注 4 と注 5 を追加
1.2	2022-03-31	<ul style="list-style-type: none"> ・表 1.8 解除ソース一覧STOP1 モードからの解除に INTLCDBUSF, INTLCDSTOP を使用できないに修正 ・図 2.1 TMPM3HxFD、図 2.2 TMPM3HxFZ、図 2.3 TMPM3HxFY SRAM、Peripheral、System level の境界線の位置を修正 ・3.2.6. 電源切断時の注意事項を追加
1.3	2022-05-10	<ul style="list-style-type: none"> ・3.2.6. タイトルと本文を変更
1.4	2023-02-10	<ul style="list-style-type: none"> ・3.2.7.1. リセット要因と初期化範囲[RLMGPREG]レジスターを削除
1.5	2024-11-29	<ul style="list-style-type: none"> ・1.2.6.1. システムクロックの設定方法(2) fosc 設定(内蔵発振→外部クロック入力)切り替えシーケンス例の表を変更 ・1.3.2. モード状態遷移 図 1.2 を変更
1.6	2025-02-21	<ul style="list-style-type: none"> ・1.3.2.1. IDLE モード遷移手順注)を追加 ・1.3.2.2. STOP1 モード遷移手順注)を削除 ・1.3.2.3. STOP2 モード遷移手順注 2)を削除

製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍사용途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。