

32 ビット RISC マイクロコントローラー

**TXZ+ファミリー
TMPM4N グループ(1)**

**リファレンスマニュアル
クロック制御と動作モード
(CG-M4N(1)-C)**

Revision 1.3

2024-05

東芝デバイス&ストレージ株式会社

目次

序章	7
関連するリファレンスマニュアル	7
表記規約	8
用語・略語	10
1. クロック制御と動作モード	11
1.1. 概要	11
1.2. クロック制御	11
1.2.1. クロックの種類	11
1.2.2. リセット動作による初期値	12
1.2.3. クロック系統図	13
1.2.4. ウォーミングアップ機能	14
1.2.4.1. 高速発振用ウォーミングアップタイマー	14
1.2.4.2. 低速発振用ウォーミングアップタイマー	15
1.2.4.3. ウォーミングアップタイマーの使用方法	15
1.2.5. クロック通倍回路(PLL)	16
1.2.5.1. リセット解除後の PLL 設定	16
1.2.5.2. PLL 通倍値の計算式と設定例	17
1.2.5.3. 動作中の PLL 通倍値の変更	19
1.2.5.4. PLL 動作開始/停止/切り替えシーケンス	20
1.2.6. システムクロック	21
1.2.6.1. システムクロックの設定方法	23
1.2.7. 低速クロック	25
1.2.8. クロック供給設定機能	26
1.2.9. プリスケラークロック	26
1.3. 動作モード	27
1.3.1. 動作モードの詳細	27
1.3.1.1. 各モードの特長	27
1.3.1.2. 低消費電力モードへの遷移と復帰	28
1.3.1.3. 低消費電力モードの選択	28
1.3.1.4. 低消費電力モードにおける周辺機能状態	29
1.3.2. モード状態遷移	31
1.3.2.1. IDLE モード遷移フロー	31
1.3.2.2. STOP1 モード遷移フロー	32
1.3.2.3. STOP2 モード遷移フロー	33
1.3.3. 低消費電力モードからの復帰	34
1.3.3.1. 低消費電力モードの解除ソース	34
1.3.3.2. 低消費電力モード解除時のウォーミングアップ	35
1.3.3.3. STOP2 モードからの復帰	36

1.3.4. モード遷移によるクロック動作.....	37
1.3.4.1. NORMAL→IDLE→NORMAL 動作モード遷移.....	37
1.3.4.2. NORMAL→STOP1→NORMAL 動作モード遷移.....	37
1.3.4.3. NORMAL→STOP2→RESET→NORMAL 動作モード遷移.....	38
1.4. レジスタの説明.....	39
1.4.1. レジスタ一覧.....	39
1.4.1.1. クロック/モード制御.....	39
1.4.1.2. 低速発振/電源制御 (注 1)(注 2).....	39
1.4.2. レジスタ詳細.....	40
1.4.2.1. [CGPROTECT] (CG ライトプロテクトレジスタ).....	40
1.4.2.2. [CGOSCCR] (発振制御レジスタ).....	40
1.4.2.3. [CGSYSCR] (システムクロック制御レジスタ).....	41
1.4.2.4. [CGSTBYCR] (スタンバイ制御レジスタ).....	42
1.4.2.5. [CGPLLOSEL] (fsys 用 PLL セレクトレジスタ).....	42
1.4.2.6. [CGWUPHCR] (高速発振ウオーミングアップレジスタ).....	43
1.4.2.7. [CGWUPLCR] (低速発振ウオーミングアップレジスタ).....	43
1.4.2.8. [CGFSYSMENC] (中速 fsysm 供給停止レジスタ-C).....	44
1.4.2.9. [CGFSYSMENA] (中速 fsysm 供給停止レジスタ-A).....	45
1.4.2.10. [CGFSYSMENB] (中速 fsysm 供給停止レジスタ-B).....	47
1.4.2.11. [CGFSYSENA] (高速 fsysh 供給停止レジスタ-A).....	49
1.4.2.12. [CGFCEN] (fc 供給停止レジスタ).....	50
1.4.2.13. [CGSPCLKEN] (ADC、デバッグ回路用クロック供給停止レジスタ).....	50
1.4.2.14. [CGEXTEND2] (機能拡張レジスタ-2).....	51
1.4.2.15. [RLMLOSCCR] (低速発振&内蔵高速発振 2 クロック制御レジスタ).....	51
1.4.2.16. [RLMSHTDNOP] (電源遮断制御レジスタ).....	52
1.4.2.17. [RLMPROTECT] (RLM ライトプロテクトレジスタ).....	52
1.5. 製品別情報.....	53
1.5.1. [CGFSYSENA].....	53
1.5.2. [CGFSYSMENA].....	54
1.5.3. [CGFSYSMENB].....	55
1.5.4. [CGFSYSMENC].....	56
1.5.5. [CGFCEN].....	57
2. メモリーマップ.....	58
2.1. 概要.....	58
2.1.1. TPM4Nx20.....	59
2.1.2. TPM4Nx15.....	60
2.1.3. TPM4Nx10.....	61
2.1.4. TPM4NxFD.....	62
2.2. バスマトリックス.....	63
2.2.1. 構成.....	64
2.2.1.1. シングルチップモード.....	64
2.2.1.2. シングルブートモード.....	65

2.2.2. 接続表	66
2.2.2.1. Code 領域/ SRAM 領域/ SMIF 領域/ 外部バス 領域	66
2.2.2.2. Peripheral 領域	74
2.2.3. RAM アクセス	75
2.2.3.1. レジスター一覧	75
2.2.3.2. レジスター詳細	76
3. リセットと電源制御	77
3.1. 概要	77
3.2. 機能説明・動作説明	78
3.2.1. コールドリセット	78
3.2.1.1. パワーオンリセット回路によるリセット(RESET_N 端子を使用しない場合)	79
3.2.1.2. RESET_N 端子によるリセット	80
3.2.1.3. LVD によるリセットの継続	82
3.2.2. ウォームリセット	83
3.2.2.1. RESET_N 端子によるウォームリセット	83
3.2.2.2. 内部リセットによるウォームリセット	83
3.2.3. STOP2 モード解除によるリセット	84
3.2.4. シングルブートモードの起動	85
3.2.4.1. RESET_N 端子を使った起動	85
3.2.4.2. パワーオンリセットによる起動(RESET_N 端子を使用しない場合)	86
3.2.4.3. 電源安定時のシングルブートモードの起動	87
3.2.5. パワーオンリセット回路	88
3.2.5.1. 電源投入時の動作	88
3.2.5.2. 電源切断時の動作	88
3.2.6. 電源切断時の注意事項	89
3.2.7. 電源切断後の再投入について	90
3.2.7.1. 外部のリセット回路または内蔵 LVD のリセット出力を使用している場合	90
3.2.7.2. 外部のリセット回路/内蔵 LVD のリセット出力を使用しない場合	90
3.2.7.3. バウンダリースキャンを使用する場合	90
3.2.8. リセット解除後	90
3.2.8.1. リセット要因と初期化範囲	91
4. 改訂履歴	92
製品取り扱い上のお願い	94

図目次

図 1.1	クロック系統図.....	13
図 1.2	状態遷移	31
図 1.3	STOP2 モード復帰フロー	36
図 1.4	NORMAL→STOP1→NORMAL 動作モード遷移	37
図 1.5	NORMAL→STOP2→RESET→NORMAL 動作モード遷移.....	38
図 2.1	TMPM4NxF20.....	59
図 2.2	TMPM4NxF15.....	60
図 2.3	TMPM4NxF10.....	61
図 2.4	TMPM4NxFD	62
図 2.5	シングルチップモード.....	64
図 2.6	シングルブートモード.....	65
図 3.1	パワーオンリセット回路によるリセット動作	79
図 3.2	RESET_N 端子によるリセット動作(1).....	80
図 3.3	RESET_N 端子によるリセット動作(2).....	81
図 3.4	LVD リセットによるリセット動作.....	82
図 3.5	ウォームリセット動作.....	83
図 3.6	RESET_N 端子を使用してシングルブートモードの起動.....	85
図 3.7	パワーオンリセットによる起動(RESET_N 端子を使用しない場合).....	86
図 3.8	電源安定時のシングルブートモードの起動	87
図 3.9	パワーオンリセット回路	88
図 3.10	電源切断時の電源傾斜.....	89

表目次

表 1.1	[CGPLL0SEL]<PLL0SET[23:0]>設定詳細	17
表 1.2	PLL 補正值(例)	18
表 1.3	PLL0SET 設定値(例)	18
表 1.4	クロックドメインと周辺機能	21
表 1.5	システムクロック切り替え時間	21
表 1.6	動作周波数例	22
表 1.7	高速/中速システムクロック動作周波数例	22
表 1.8	プリスケラークロック切り替え時間	26
表 1.9	低消費電力モード選択	28
表 1.10	低消費電力モード別 ブロック動作状態一覧	29
表 1.11	解除ソース一覧	34
表 1.12	ウォーミングアップ	35
表 1.13	[CGFSYSENA]の製品別割り当て	53
表 1.14	[CGFSYSMENA]の製品別割り当て	54
表 1.15	[CGFSYSMENB]の製品別割り当て	55
表 1.16	[CGFSYSMENC]の製品別割り当て	56
表 1.17	[CGFCEN]の製品別割り当て	57
表 2.1	TMPM4NxF20 シングルチップモード	66
表 2.2	TMPM4NxF20 シングルブートモード	67
表 2.3	TMPM4NxF15 シングルチップモード	68
表 2.4	TMPM4NxF15 シングルブートモード	69
表 2.5	TMPM4NxF10 シングルチップモード	70
表 2.6	TMPM4NxF10 シングルブートモード	71
表 2.7	TMPM4NxFD シングルチップモード	72
表 2.8	TMPM4NxFD シングルブートモード	73
表 2.9	Peripheral 領域	74
表 2.10	各 RAM とアクセスクロック数	75
表 3.1	リセット要因と初期化される範囲	91
表 4.1	改訂履歴	92

序章

関連するリファレンスマニュアル

文書名
Arm® Cortex®-M4 プロセッサータクニカルリファレンスマニュアル
各製品のデータシート(電気的特性)
例外
電圧検知回路
フラッシュメモリー

表記規約

- 数値表記は以下の規則に従います。
16 進数表記: 0xABC
10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は[m: n]とまとめて表記する場合があります。
例: S[3:0] は S3、S2、S1、S0 の 4 つの信号名をまとめて表記しています。
- 本文中[]で囲まれたものはレジスターを定義しています。
例: [ABCD]
- 同種で複数のレジスター、フィールド、ビット名は「n」で一括表記する場合があります。
例: [XYZ1]、[XYZ2]、[XYZ3] → [XYZn]
- 「レジスター一覧」中のレジスター名でユニットまたはチャンネルは「x」で一括表記しています。
ユニットの場合、「x」は A、B、C...を表します。
例: [ADACR0]、[ADBCR0]、[ADCCR0] → [ADxCr0]
チャンネルの場合、「x」は 0、1、2、..を表します。
例: [T32A0RUNA]、[T32A1RUNA]、[T32A2RUNA] → [T32AxRUNA]
- レジスターのビット範囲は [m: n] と表記します。
例: [3:0] はビット 3 から 0 の範囲を表します。
レジスターの設定値は 16 進数または 2 進数のどちらかで表記されています。
例: [ABCD]<EFG> = 0x01 (16 進数)、[XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
バイト: 8 ビット
ハーフワード: 16 ビット
ワード: 32 ビット
ダブルワード: 64 ビット
- レジスター内の各ビットの属性は以下の表記を使用しています。
R: リードオンリー
W: ライトオンリー
R/W: リード/ライト
- 断りのない限り、レジスターアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスターは書き換えを行わないでください。
また、読み出した値を使用しないでください。
- Default 値が「-」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスターに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
Default 値が「-」となっている場合は、個々のレジスターの定義に従ってください。
- ライトオンリーのレジスターの Reserved ビットフィールドには Default 値を書き込んでください。
Default 値が「-」となっている場合は、個々のレジスターの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスターへのリードモディファイライト処理は行わないでください。

Arm および Cortex は Arm Limited(またはその子会社)の US またはその他の国における
登録商標です。 All rights reserved.



本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

ADC	Analog to Digital Converter
APB	Advanced Peripheral Bus
A-PMD	Advanced Programmable Motor Control Circuit
CAN	Controller Area Network
CEC	Consumer Electronics Control
CG	Clock Control and Operation Mode
DAC	Digital to Analog Converter
DNF	Digital Noise Filter
ELOSC	External Low-speed Oscillator
EHOSC	External High-speed Oscillator
ETHM	Ether MAC
EI2C	I ² C Interface Version A
FIR	Finite Impulse Response
fsys	Frequency of SYSTEM Clock
HDMAC	High-speed Direct Memory Access Controller
I2C	Inter-integrated Circuit
I2CS	Wake-up Function by Address Matching
I2S	Inter-IC Sound
IHOSC	Internal High-speed Oscillator
IA(INTIF)	Interrupt Control Register A
IB(INTIF)	Interrupt Control Register B
I-Bus	Icode Memory Interface
ISD	Interval Sensing Detector
IMN	Interrupt Monitor
INT	Interrupt
IO	IO Bus (32-bit Peripheral Bus)
LTMR	Long Term Timer
LVD	Voltage Detection Circuit
MDMAC	Multi-function Direct Memory Access Controller
NBDIF	Non-break Debug Interface
NMI	Non-Maskable Interrupt
OFD	Oscillation Frequency Detector
POR	Power-on Reset Circuit
PORF	Power-on Reset Circuit for Flash and Debug
RLM	Low-speed Oscillation/Power Supply Control/reset
RMC	Remote Control Signal Preprocessor
RTC	Real Time Clock
S-Bus	System Interface
SCOUT	Source Clock Output
SIWDT	Clock Selective Watchdog Timer
SMIF	Serial Memory Interface
TPIU	Trace Port Interface Unit
TRGSEL	Trigger Selection Circuit
TRM	Trimming Circuit
TSPI	Serial Peripheral Interface
TSSI	Serial Synchronous Interface
T32A	32-Bit Timer Event Counter
UART	Universal Asynchronous Receiver Transmitter
USB	Universal Serial Bus

1. クロック制御と動作モード

1.1. 概要

クロック/モード制御ブロックでは、クロックギアやプリスケークロックの選択、発振器のウォーミングアップなどを設定することが可能です。

また、動作モードとして **NORMAL** モードと低消費電力モードがあり、使用方法に応じモード遷移を行うことで消費電力を抑えることができます。

クロックに関連する機能としては以下のようなものがあります。

- システムクロックの制御
- プリスケークロックの制御

1.2. クロック制御

1.2.1. クロックの種類

クロックの一覧を以下に示します。

EHCLKIN:	外部から入力される高速クロック
fosc:	内部発振回路で生成されるクロックと X1、X2 端子より入力されるクロックの選択後のクロック
f _{PLL} :	PLL0 により逡倍されたクロック
fc:	[CGPLL0SEL]<PLL0SEL>で選択されたクロック(高速クロック)
ELCLKIN:	外部から入力される低速クロック
fs:	外部低速発振器から出力されるクロック
fsysh:	[CGSYSCR]<GEAR[2:0]>で選択された高速システムクロック
fsysm:	[CGSYSCR]<GEAR[2:0]><MCKSEL[1:0]>で選択された中速システムクロック
ΦT0h:	[CGSYSCR]<PRCK[3:0]>で選択された高速クロック (高速プリスケークロック)
ΦT0m:	[CGSYSCR]<PRCK[3:0]><MCKSEL[1:0]>で選択された中速クロック (中速プリスケークロック)
f _{IHOSC1} :	内蔵高速発振器 1 で生成されるクロック
f _{IHOSC2} :	内蔵高速発振器 2 で生成されるクロック
ADCLK:	AD コンバーター用変換クロック
TRCLKIN:	デバッグ回路(トレースまたは SWV)の機能用クロック

注) 高速システムクロック、中速システムクロックを総称する場合は、システムクロック(fsys)と表します。また、高速プリスケークロック、中速プリスケークロックを総称する場合は、プリスケークロック(ΦT0)で表します。

1.2.2. リセット動作による初期値

リセット動作により、クロック設定は下記のような状態に初期化されます。

外部高速発振器:	停止
内蔵高速発振器 1:	発振
内蔵高速発振器 2:	停止(注)
外部低速発振器:	停止
PLL(逡倍回路):	停止
ギアクロック:	fc(分周なし)

注) 端子リセットによる初期化は、**[RLMLOSCCR]**<POSCEN>の設定状態に依存します。

クロック系統図を示します。



図 1.1 クロック系統図

1.2.4. ウォーミングアップ機能

ウォーミングアップ機能は、自動で高速発振用ウォーミングアップタイマーを起動して、STOP1 モード解除時の発振安定時間を確保するための機能の他、外部発振器や内蔵発振器の安定待ちのために高速発振/低速発振それぞれの専用ウォーミングアップタイマーを使用したカウントアップタイマーとしても使用可能です。

この章では、ウォーミングアップタイマー用レジスターへの設定方法と、カウントアップタイマーとして使用する場合について説明しています。STOP1 モード解除時の詳細説明については、「1.3.3.2. 低消費電力モード解除時のウォーミングアップ」を参照してください。

1.2.4.1. 高速発振用ウォーミングアップタイマー

高速発振専用ウォーミングアップタイマーとして、16 ビットのアップカウンタを内蔵しています。STOP1 モードへ遷移前に設定する場合も、下記の計算式で算出し、下位 4 ビットを切り捨てて、上位 12 ビットへ設定します。レジスターは、**[CGWUPHCR]<WUPT[15:4]>**に設定することになります。

<計算式>

(外部高速発振器の場合)

$$\begin{aligned} & \text{ウォーミングアップタイマー設定値(16 ビット)} \\ &= (\text{ウォーミングアップ時間(s)} / \text{クロック周期(s)}) - 16 \end{aligned}$$

(例) 発振器 10MHz(クロック周期 100ns)で、ウォーミングアップ時間 5ms を設定する場合

$$\begin{aligned} \text{ウォーミングアップタイマー設定値(16 ビット)} &= 5\text{ms} / 100\text{ns} - 16 \\ &= 50000 - 16 \\ &= 49984 \\ &= 0xC340 \end{aligned}$$

レジスターへは、上位 12 ビットを設定しますので、下記のように設定します。

$$\mathbf{[CGWUPHCR]<WUPT[15:4]> = 0xC34}$$

(内蔵高速発振器 1 の場合)

$$\begin{aligned} & \text{ウォーミングアップタイマー設定値(16 ビット)} \\ &= (\text{ウォーミングアップ時間(s)} - 63.3(\mu\text{s})) / \text{クロック周期(s)} - 41 \end{aligned}$$

(例) 発振器 10MHz(クロック周期 100ns)で、ウォーミングアップ時間 163.4μs を設定する場合

$$\begin{aligned} \text{ウォーミングアップタイマー設定値(16 ビット)} &= (163.4\mu\text{s} - 63.3\mu\text{s}) / 100\text{ns} - 41 \\ &= 100.1\mu\text{s} / 100\text{ns} - 41 \\ &= 960 \\ &= 0x03C0 \end{aligned}$$

レジスターへは、上位 12 ビットを設定しますので、下記のように設定します。

$$\mathbf{[CGWUPHCR]<WUPT[15:4]> = 0x03C}$$

設定範囲は、 $0x03C \leq \text{<WUPT[15:4]>} \leq 0xFFFF$ で行い、ウォーミングアップ時間は、163.4μs ~ 6.6194ms となります。

1.2.4.2. 低速発振用ウォーミングアップタイマー

低速発振専用ウォーミングアップタイマーとして、19ビットのアップカウンタを内蔵しています。下記の計算式で算出し、下位 4 ビットを切り捨て、上位 15 ビットへ設定します。レジスタは、**[CGWUPLCR]<WUPT[18:4]>**に設定することになります。設定値が 0x0000 の場合でも、下位 4bit 分のカウントを実行するため、16 を減算しています。

<計算式>

ウォーミングアップタイマー設定値(19 ビット)
= (ウォーミングアップ時間(s) / クロック周期(s)) - 16

(例) 発振器 32kHz(クロック周期 31.25 μ s)で、ウォーミングアップ時間 50ms を設定する場合

ウォーミングアップタイマー設定値(19 ビット)	= 50ms / 31.25 μ s - 16
	= 1600 - 16
	= 1584
	= 0x00630

レジスタへは、上位 15 ビットを設定しますので、下記のように設定します。

[CGWUPLCR]<WUPTL[18:4]> = 0x0063

設定範囲は、 $0 \leq \text{WUPTL}[18:4] \leq 0x7FFF$ で、ウォーミングアップ時間は、500 μ s ~ 16.384s となります。

1.2.4.3. ウォーミングアップタイマーの使用法

ウォーミングアップ機能の使用法を説明します。

- (1) クロックの選択
高速発振の場合は、ウォーミングアップタイマーでカウントするクロック種別(内蔵発振/外部発振)を、**[CGWUPHCR]<WUCLK>**で選択します。
- (2) ウォーミングアップタイマー設定値の算出
ウォーミングアップ時間は、高速発振/低速発振用のタイマーへ任意の値が設定可能です。それぞれの計算式から算出し、設定してください。
- (3) ウォーミングアップの開始および終了確認
ソフトウェア(命令)によりウォーミングアップの開始および終了確認を行う場合、**[CGWUPHCR]<WUON>**(または**[CGWUPLCR]<WULON>**)へ"1"を設定することでウォーミングアップタイマーがスタートします。終了は**[CGWUPHCR]<WUEF>**(または**[CGWUPLCR]<WULEF>**) が"1"→"0" になることで判別します。"1"でウォーミングアップ中、"0"で終了を示します。カウント終了後、タイマーはリセットされて初期状態に戻ります。
タイマー動作中に**[CGWUPHCR]<WUON>**(または**[CGWUPLCR]<WULON>**)へ"0"を書き込んでも、強制終了にはなりません。"0"書き込みは無視されます。

注) ウォーミングアップタイマーは発振クロックで動作しているため、発振周波数にゆらぎがある場合は誤差を含みます。従って概略時間としてとらえる必要があります。

1.2.5. クロック逡倍回路(PLL)

f_{sys} 用クロックおよび USB 用クロックで使用する周波数逡倍回路を内蔵しています。高速発振器の出力クロック f_{osc} の周波数(8MHz ~ 24MHz)に最適な条件で逡倍した f_{PLL} クロック(最大 200MHz)を出力する回路です。これにより、発振器への発振周波数は低く内部クロックは高速にすることが可能です。

USB を使用する場合は、f_{sysh}= 任意、f_{sysm}=48MHz となるように設定して使用してください (「表 1.7 高速/中速システムクロック動作周波数例」を参照してください)。

1.2.5.1. リセット解除後の PLL 設定

PLL はリセット解除後、ディセーブルです。

PLL を使用するためには、[CGPLL0SEL]<PLL0ON>が"0"の状態、[CGPLL0SEL]<PLL0SET[23:0]>の逡倍値の設定を行った後、PLL の初期化時間として約 100μs 経過後に、<PLL0ON>を"1" に設定して PLL の動作を開始します。その後、ロックアップ時間約 400μs 経過後に、[CGPLL0SEL]<PLL0SEL>を"1" に設定することにより、f_{osc} を逡倍した f_{PLL} クロックを使用することができます。

なお、PLL 動作が安定するまでの時間は、ウォーミングアップ機能などを用いて確保する必要があります。

1.2.5.2. PLL 通倍値の計算式と設定例

PLL 通倍値を設定する[CGPLL0SEL]<PLL0SET[23:0]>の内訳詳細を下記に示します。

表 1.1 [CGPLL0SEL]<PLL0SET[23:0]>設定詳細

PLL0SET の内訳	機能	
[23:17]	補正值設定	fosc / 450K の商(整数)。表 1.2 を参照してください
[16:14]	fosc 設定	000: Reserved 001: $7 < fosc \leq 8$ 010: $8 < fosc \leq 10$ 011: $10 < fosc \leq 12$ (単位: MHz) 100: $12 < fosc \leq 15$ 101: $15 < fosc \leq 19$ 110: $19 < fosc \leq 24$ 111: Reserved
[13:12]	分周設定	00: Reserved 01: 2 分周 ($\times 1 / 2$) 10: 4 分周 ($\times 1 / 4$) 11: 8 分周 ($\times 1 / 8$)
[11:8]	小数部 通倍設定	0000: 0.0000 0001: 0.0625 0010: 0.1250 0011: 0.1875 0100: 0.2500 0101: 0.3125 0110: 0.3750 0111: 0.4375 1000: 0.5000 1001: 0.5625 1010: 0.6250 1011: 0.6875 1100: 0.7500 1101: 0.8125 1110: 0.8750 1111: 0.9375
[7:0]	整数部 通倍設定	0x00: 0 0x01: 1 0x02: 2 : 0xFD: 253 0xFE: 254 0xFF: 255

注 1) 通倍値は、<PLL0SET[7:0]>(整数部)と<PLL0SET[11:8]>(小数部)の合算です。

f_{PLL} は、以下の計算式で表されます。

$$f_{PLL} = f_{OSC} \times ([CGPLL0SEL]<PLL0SET[7:0]> + [CGPLL0SEL]<PLL0SET[11:8]>) \times ([CGPLL0SEL]<PLL0SET[13:12]>)$$

注 2) 周波数精度は絶対値は保証しません。

注 3) 小数部通倍設定にリニアリティーはありません。

注 4) $f_{PLL} \leq$ 最大動作周波数

表 1.2 PLL補正值(例)

f _{osc} (MHz)	<PLL0SET[23:17]>(10 進、整数値)
8.00	18
10.00	23
12.00	27
16.00	36
20.00	45
24.00	54

PLL 補正值は、以下で求めることができます

f_{osc} = 10.0MHz 時、 $10.0 / 0.45 = 22.22 \rightarrow 23$; 小数部は切り上げ

[CGPLL0SEL]<PLL0SET[23:0]>の主な設定例を、下記に示します。

- (1) 入力周波数(f_{osc})を、PLL で通倍、分周し、目的とするクロック周波数(f_{PLL})を生成します。
- (2) 分周値は、1 / 2、1 / 4、1 / 8 から選択します。
- (3) また、通倍後の周波数は次の範囲で設定してください。
 $200\text{MHz} \leq f_{\text{osc}} \times \text{通倍値} \leq 400\text{MHz}$

表 1.3 PLL0SET 設定値(例)

f _{osc} (MHz)	通倍値	分周値	f _{PLL} (MHz)	<PLL0SET[23:0]>
8.00	50.0000	1 / 2	200	0x245032
10.00	40.0000	1 / 2	200	0x2E9028
12.00	33.3150	1 / 2	199.89	0x36D521
16.00	25.0000	1 / 2	200	0x495019
16.00	12.5000	1 / 2	100	0x49580C
20.00	20.0000	1 / 2	200	0x5B9014
24.00	16.6575	1 / 2	199.89	0x6D9A10
12.00	32.000	1 / 4	96	0x36E020
12.00	32.000	1 / 2	192	0x36D020
16.00	24.000	1 / 4	96	0x496018
16.00	24.000	1 / 2	192	0x495018
24.00	16.000	1 / 2	192	0x6D9010

1.2.5.3. 動作中の PLL 通倍値の変更

PLL 通倍クロック動作中に、通倍値の変更を行う場合、まず[CGPLL0SEL]<PLL0SEL>に"0"を設定し PLL 通倍クロックを使用しない設定に切り替えます。そして、[CGPLL0SEL]<PLL0ST>=0 を読み出し、通倍クロックを使用しない設定に切り替わったことを確認した後、[CGPLL0SEL]<PLL0ON>を"0"として PLL を停止します。

その後、[CGPLL0SEL]<PLL0SET[23:0]>の通倍値を変更し、PLL の初期化時間として約 100 μ s 経過後に、[CGPLL0SEL]<PLL0ON> を"1"に設定して PLL の動作を開始します。

その後、ロックアップ時間として約 400 μ s 経過後に、[CGPLL0SEL]<PLL0SEL>を"1"に設定します。
最後に、[CGPLL0SEL]<PLL0ST>をリードし、切り替わったことを確認します。

1.2.5.4. PLL 動作開始/停止/切り替えシーケンス

(1) fc 設定(PLL 停止→PLL 動作)

fc 設定として、PLL 停止状態から PLL 動作状態への切り替え手順例は、下記のようになります。

《切り替え前の状態》	
[CGPLL0SEL]<PLL0ON> = 0	fsys 用 PLL 動作が停止
[CGPLL0SEL]<PLL0SEL> = 0	fsys 用 PLL 選択が PLL 未使用(fosc)
[CGPLL0SEL]<PLL0ST> = 0	fsys 用 PLL 選択ステータスが PLL 未使用(fosc)
[CGSYSCR]<MCKSEL> = 00	高速システムクロック: 中速システムクロック、 高速プリスケラークロック: 中速システムクロックの比率が 1:1

《切り替えシーケンス例》	
1	[CGSYSCR]<MCKSEL[1:0]> = 01 or 1* 高速システムクロック:中速システムクロック、 高速プリスケラークロック:中速システムクロックの比率を変更する
2	[CGSYSCR]<MCKSELGST>、 <MCKSELPST>をリード 上記 1 で設定した値になるまで待つ
3	[CGPLL0SEL]<PLL0SET[23:0]> = 0xX PLL 通倍値設定を選択する
4	100μs 以上 待つ 通倍設定後の待ち時間
5	[CGPLL0SEL]<PLL0ON> = 1 fsys 用 PLL 動作を発振にする
6	400μs 以上 待つ PLL 出力クロック安定待ち時間
7	[CGPLL0SEL]<PLL0SEL> = 1 fsys 用 PLL 選択を PLL 使用(f _{PLL})にする
8	[CGPLL0SEL]<PLL0ST> を リード fsys 用 PLL 選択ステータスが PLL 使用(f _{PLL})(= 1)になるまで待つ

注 1) 1、2 は、システムクロックの比率を変更する場合に設定します。

注 2) 3～6 は、切り替え前の状態が[CGPLL0SEL]<PLL0ON> = 1 の場合は不要です。

PLL 出力クロックが安定した状態から切り替える場合は、7、8 のみの実行で PLL 動作状態へ切り替え可能です。

(2) fc 設定(PLL 動作→PLL 停止)

fc 設定として、PLL 動作状態から PLL 停止状態への切り替え手順例は、下記のようになります。

《切り替え前の状態》	
[CGPLL0SEL]<PLL0ON> = 1	fsys 用 PLL 選択が発振
[CGPLL0SEL]<PLL0SEL> = 1	fsys 用 PLL 選択が PLL 使用(f _{PLL})
[CGPLL0SEL]<PLL0ST> = 1	fsys 用 PLL 選択ステータスが PLL 使用(f _{PLL})

《切り替えシーケンス例》	
1	[CGPLL0SEL]<PLL0SEL> = 0 fsys 用 PLL 選択を PLL 未使用(fosc)にする
2	[CGPLL0SEL]<PLL0ST> を リード fsys 用 PLL 選択ステータスが PLL 未使用(fosc)(= 0)になるまで待つ
3	[CGPLL0SEL]<PLL0ON> = 0 fsys 用 PLL 動作を停止にする

1.2.6. システムクロック

システムクロックの源振として、内蔵高速発振クロック、外部高速発振クロック(発振子接続またはクロック入力) が使用可能です。

システムクロックは高速で動作する「高速システムクロック(f_{sysh})(最大動作周波数 200MHz)」と、高速システムクロックを分周して動作させる「中速システムクロック(f_{sysm}) (最大動作周波数 100MHz)」があり、中速システムクロックで動作させる周辺機能は、CPU の処理能力を保持したまま消費電力を抑えることができます。周辺機能が動作するクロックドメインは表 1.4 で確認してください。

高速システムクロックは、**[CGSYSCR]<GEAR[2:0]>**(クロックギア)で f_c を分周することが可能です。中速システムクロックはクロックギアで f_c を分周した高速システムクロックを、**[CGSYSCR]<MCKSEL[1:0]>**でさらに分周することができます。設定は動作中に変更可能ですが、レジスタ書き込み後、実際にクロックが切り替わるまでに表 1.5 の時間が必要です。クロック切り替えの完了は、**[CGSYSCR]<GEARST[2:0]><MCKSELGST[1:0]>**で確認してください。

表 1.4 クロックドメインと周辺機能

クロックドメイン	Block
高速システムクロック	CPU、Code Flash、Data Flash、HDMAC、EBIF、SMIF、TSPI(ch0 ~ 5)、CG、INTIF、RAM0 ~ 2、BOOTROM
中速システムクロック	MDMAC、NBDIF、I2C、SIWDT、UART、FUART、DAC、TSPI(ch6 ~ 8)、T32A、ADC、Port、PMD、DNF、LTTMR、LVD、RLM、ISD、TRM、CAN、USB、Flash(SFR)、OFD、EI2C、I2S、FIR、TSSI、TRGSEL、RAM3 ~ 5、Buckup RAM、ETHM

表 1.5 システムクロック切り替え時間

システムクロック	高速(f_{sysh})	中速(f_{sysm})
f_{sys}	f_c で最大 16 クロック	f_c で最大 16 クロック
$f_{\text{sys}}/2$	-	f_c で最大 32 クロック
$f_{\text{sys}}/4$	-	f_c で最大 64 クロック

注 1) タイマーカウンタなどの周辺機能の動作中にクロックギア、システムクロックは切り替えないようにしてください。

注 2) システムクロック切り替え中は、高速システムクロックドメインと中速システムクロックドメインを跨ぐアクセスはできません。

発振周波数、PLL 通倍値などで設定した周波数 f_c に対するクロックギア比($1/1 \sim 1/16$)による動作周波数例を下記 に示します。

表 1.6 動作周波数例

外部 発振 (MHz)	外部 クロック 入力(MHz)	内蔵発振 IHOSC1 (MHz)	PLL 通倍値 (分周後)	最大 周波数 (f_c)(MHz)	クロックギア比による動作周波 数(MHz) PLL = ON 時					クロックギア比による 動作周波数(MHz) PLL = OFF 時				
					1/1	1/2	1/4	1/8	1/16	1/1	1/2	1/4	1/8	1/16
8	8	-	25	200	200	100	50	25	12.5	8	4	2	1	-
10	10	10	20	200	200	100	50	25	12.5	10	5	2.5	1.25	-
12	12	-	16	192	192	96	48	24	12	12	6	3	1.5	-
16	16	-	12	192	192	96	48	24	12	16	8	4	2	1
20	20	-	10	200	200	100	50	25	12.5	20	10	5	2.5	1.25

表 1.7 高速/中速システムクロック動作周波数例

高速 システムクロック f_{sysh} (MHz)	中速 システムクロック f_{sysm} (MHz)		
	1/1	1/2	1/4
200	-	100	50
192	-	96	48
160	-	80	40
100	100	50	25
96	96	48	24
80	80	40	20

注) 中速システムクロックの最大動作周波数は 100MHz です。

1.2.6.1. システムクロックの設定方法

(1) fosc 設定(内蔵発振→外部発振)

fosc 設定として、内蔵高速発振 1(IHOSC1)から外部高速発振(EHOSC)への切り替え手順例を下記に示します。

《切り替え前の状態》	
[CGOSCCR]<IHOSC1EN> = 1	内蔵高速発振器 1 が発振
[CGOSCCR]<OSCSEL> = 0	fosc 用高速発振選択が内蔵高速発振器 1(IHOSC1)
[CGOSCCR]<OSCF> = 0	fosc 用高速発振選択ステータスが内蔵高速発振器 1(IHOSC1)
X1/X2 端子に発振子を接続(注)	-

注) 発振子以外は接続しないでください。

《切り替えシーケンス例》		
1	[PYPDN]<bit[1:0]> = 00 [PYPUP]<bit[1:0]> = 00 [PYIE]<bit[1:0]> = 00	X1/X2 端子のプルダウンをディセーブル X1/X2 端子のプルアップをディセーブル X1/X2 端子の入力制御をディセーブル
2	[CGOSCCR]<EOSCEN[1:0]> = 01	外部発振器の動作選択を外部高速発振(EHOSC)
3	[CGWUPHCR]<WUCLK> = 1 [CGWUPHCR]<WUPT[15:4]> = 任意値	高速発振ウォーミングアップクロック選択を外部(EHOSC) ウォーミングアップタイマー設定値へ発振器安定時間を設定
4	[CGWUPHCR]<WUON> = 1	高速発振ウォーミングアップをスタートする
5	[CGWUPHCR]<WUEF>をリード	高速発振ウォーミングアップ終了(= 0)になるまで待つ
6	[CGOSCCR]<OSCSEL> = 1	fosc 用高速発振選択を外部高速発振器(EHOSC)へ
7	[CGOSCCR]<OSCF>をリード	fosc 用高速発振選択ステータスが外部高速発振器(EHOSC = 1)になるまで待つ
8	[CGOSCCR]<IHOSC1EN> = 0	内蔵高速発振器 1 を停止

(2) fosc 設定(内蔵発振→外部クロック入力)

fosc 設定として、内蔵高速発振 1(IHOSC1)から外部クロック入力(EHCLKIN)への切り替え手順例を下記に示します。

《切り替え前の状態》	
[CGOSCCR]<IHOSC1EN> = 1	内蔵高速発振器 1 が発振
[CGOSCCR]<OSCSEL> = 0	fosc 用高速発振選択が内蔵高速発振器 1(IHOSC1)
[CGOSCCR]<OSCF> = 0	fosc 用高速発振選択ステータスが内部(IHOSC1)
EHCLKIN へのクロック入力	適正電圧範囲で入力してください。

《切り替えシーケンス例》		
1	[PYPDN]<bit[0]> = 0 [PYPUP]<bit[0]> = 0 [PYIE]<bit[0]> = 0/1	X1/EHCLKIN 端子のプルダウンをディセーブル X1/EHCLKIN 端子のプルアップをディセーブル X1/EHCLKIN 端子の入力制御は任意
2	[CGOSCCR]<EOSCEN[1:0]> = 10	外部発振器の動作選択を外部高速クロック入力(EHCLKIN)にする
3	[CGOSCCR]<OSCSEL> = 1	fosc 用高速発振選択を外部高速発振へ
4	[CGOSCCR]<OSCF>をリード	fosc 用高速発振選択ステータスが外部高速発振(= 1)になるまで待つ
5	[CGOSCCR]<IHOSC1EN> = 0	内蔵高速発振器 1 を停止

(3) fosc 設定(外部発振/外部クロック入力→内蔵発振)

fosc 設定として、外部発振器(EHOSC)動作状態または外部クロック入力(EHCLKIN)動作状態から、内蔵高速発振器 1(IHOSC1)への切り替え手順例を下記に示します。

《切り替え前の状態》	
[CGOSCCR]<EOSCEN[1:0]> = 01 or 10	外部高速発振器の動作選択が外部発振器(EHOSC)か外部高速クロック入力
[CGOSCCR]<OSCSEL> = 1	fosc 用高速発振選択が外部高速発振器(EHOSC)
[CGOSCCR]<OSCF> = 1	fosc 用高速発振選択ステータスが外部高速発振器(EHOSC)

《切り替えシーケンス例》	
1	[CGWUPHCR]<WUCLK> = 0 ウオーミングアップクロック選択を内蔵高速発振器 1(IHOSC1)にする
2	[CGWUPHCR]<WUPT[15:4]> = 0x03C 高速発振ウオーミングアップ設定値に 163.4μs(= 0x03C)以上を設定する
3	[CGOSCCR]<IHOSC1EN> = 1 内蔵高速発振器 1 を発振する
4	[CGWUPHCR]<WUON> = 1 高速発振ウオーミングアップタイマーをスタートする
5	[CGWUPHCR]<WUEF> をリード ウオーミングアップタイマーステータスが終了(= 0)になるまで待つ
6	[CGOSCCR]<OSCSEL> = 0 fosc 用高速発振選択を内蔵高速発振器 1(IHOSC1)にする
7	[CGOSCCR]<OSCF>をリード fosc 用高速発振選択ステータスが内蔵高速発振器 1 (= 0)になるまで待つ
8	[CGOSCCR]<EOSCEN[1:0]> = 00 外部発振器の動作選択を外部発振未使用にする

1.2.7. 低速クロック

- (1) ELOSC の設定(低速クロックを使用しない→外部低速発振器を使用する)
外部低速発振器(ELOSC)を使用する場合の設定手順例を以下に示します。

《切り替え前の状態》	
[RLMLOSCCR]<XTEN> = 0	低速クロックを使用しない
[RLMLOSCCR]<DRCOSCL> = 0	低速クロック選択が外部低速クロック入力(ELCLKIN)

《切り替えシーケンス例》	
1	[PYPDN]<bit[3:2]> = 00 [PYPUP]<bit[3:2]> = 00 [PYIE]<bit[3:2]> = 00 XT1/XT2 端子のプルダウンをディセーブル XT1/XT2 端子のプルアップをディセーブル XT1/XT2 端子の入力制御をディセーブル
2	[RLMLOSCCR]<DRCOSCL> = 1 低速クロックを外部低速発振器(ELOSC)に設定
3	[RLMLOSCCR]<XTEN> = 1 低速クロック使用に設定
4	[RLMLOSCCR]<XTEN>をリード 低速クロック使用(= 1)を確認する
5	[CGWUPLCR]<WUPTL> = 任意値 ウォーミングアップタイマー設定値へ発振器安定時間を設定
6	[CGWUPLCR]<WULON> = 1 低速発振ウォーミングアップをスタートする
7	[CGWUPLCR]<WULEF>をリード 低速発振ウォーミングアップ終了(= 0)になるまで待つ

- (2) ELCLKIN の設定(低速クロックを使用しない→外部低速クロック入力を使用する)
外部低速クロック入力(ELCLKIN)を使用する場合の設定手順例を以下に示します。

《切り替え前の状態》	
[RLMLOSCCR]<XTEN> = 0	低速クロックを使用しない
[RLMLOSCCR]<DRCOSCL> = 0	低速クロック選択が外部低速クロック入力(ELCLKIN)

《切り替えシーケンス例》	
1	[PYPDN]<bit[2]> = 0 [PYPUP]<bit[2]> = 0 [PYIE]<bit[2]> = 1 XT1/ELCLKIN 端子のプルダウンをディセーブル XT1/ELCLKIN 端子のプルアップをディセーブル XT1/ELCLKIN 端子の入力制御をイネーブル
2	[RLMLOSCCR]<DRCOSCL> = 0 低速クロックを外部低速クロック入力(ELCLKIN)に設定
3	[RLMLOSCCR]<XTEN> = 1 低速クロック使用に設定
4	[RLMLOSCCR]<XTEN>をリード 低速クロック使用(= 1)を確認する

1.2.8. クロック供給設定機能

TMPM4N グループ(1)は、周辺機能に対してクロック供給 On/Off 機能があり、使用しない周辺機能に対して、クロック供給を停止することで消費電流を削減することができます。

リセット解除後は、一部の周辺機能を除き、クロックが供給されていない状態です。

使用する機能のクロックを供給するには、**[CGFSYSENA]**、**[CGFSYSMENA]**、**[CGFSYSMENB]**、**[CGFSYSMENC]**、**[CGSPCLKEN]**、**[RLMLOSCCR]**の該当のビットを "1" に設定します。

レジスターの詳細は、「1.4 レジスターの説明」を参照してください。

1.2.9. プリスケラークロック

周辺機能には、それぞれにクロック $\Phi T0$ を分周するプリスケラークロックがあります。これらのプリスケラークロックにはプリスケラークロック $\Phi T0h$ または $\Phi T0m$ が入力されます。周辺機能ごとにどちらのクロックが入力されるかについては、「図 1.1 クロック系統図」を参照してください。

$\Phi T0h$ は f_c を**[CGSYSCR]**<PRCK[3:0]>の設定で分周したものです。

$\Phi T0m$ は $\Phi T0h$ を**[CGSYSCR]**<MCKSEL[1:0]>の設定で分周したものです。

リセット後は、 f_c が選択されます。

それぞれのレジスター書き込み後、実際にクロックが切り替わるまでに表 1.8 の時間が必要です。クロック切り替えの完了は、**[CGSYSCR]**<PRCKST[3:0]><MCKSELPST[1:0]>で確認してください。

表 1.8 プリスケラークロック切り替え時間

プリスケラークロック	高速($\Phi T0h$)	中速($\Phi T0m$)
$\Phi T0$	f_c で最大 512 クロック	f_c で最大 512 クロック
$\Phi T0 / 2$	-	f_c で最大 1024 クロック
$\Phi T0 / 4$	-	f_c で最大 2048 クロック

注 1) タイマーカウンタなどの周辺機能の動作中にプリスケラークロックを切り替えないようにしてください。

注 2) プリスケラークロック切り替え中は、高速システムクロックドメインと中速システムクロックドメインを跨ぐアクセスはできません。

1.3. 動作モード

TMPM4N グループ(1)は、動作モードとして NORMAL モードと低消費電力モード(IDLE、STOP1、STOP2)があり、使用方法に応じモード遷移を行うことで消費電力を抑えることができます。

1.3.1. 動作モードの詳細

1.3.1.1. 各モードの特長

NORMAL、低消費電力モードの特長は次のとおりです。

- NORMAL モード
CPU コア、および周辺回路を高速発振クロックで動作させるモードです。リセット解除後は、NORMAL モードとなります。
- 低消費電力モード
低消費電力モードは以下のとおりです。
 - － IDLE モード
CPU が停止するモードです。
周辺機能は各周辺機能のレジスター、クロック供給設定機能などにより、動作/停止を行ってください。

注) IDLE モード中は CPU によるウォッチドッグタイマーのクリアができませんので注意してください。

- － STOP1 モード
内蔵高速発振器も含めて全ての内部回路が停止するモードです。
ただし、外部低速発振器を発振させて STOP1 モードに遷移した場合、RTC、CEC、RMC、ISD は動作します。また、内蔵高速発振器 2(IHOSC2)を発振させ、サンプルクロックに LTTMR を選択し STOP1 モードに遷移した場合、CEC、RMC は動作します。
STOP1 モードが解除されると内蔵高速発振器 1(IHOSC1)が発振を開始し、NORMAL モードへ復帰します。
STOP1 モードに遷移する前に、STOP1 解除に使用しない割り込みは禁止してください。
- － STOP2 モード
一部の機能を保持して内部電源を遮断するモードです。STOP1 モードより大幅な電力の消費を抑えることができます。STOP2 モードが解除されると、電源遮断ブロックに対して電源を投入し、リセットシーケンスが実行され、NORMAL モードへ復帰します。
電源遮断ブロックとは、STOP2 モードで電源供給を遮断する機能です。

STOP2 モードに遷移する前に STOP2 解除要因にしない割り込みは禁止し、**[RLMSHTDNOP]<PTKEEP> = 1** の設定を必ず行い各ポートの状態を保持してください。

出力/Pull up や入力許可は、ポートキープ機能に設定したときの状態を保持します。また、外部割り込みは入力を継続します。

STOP2 モードでは以下の回路を除き電源遮断が行われます。

- 外部低速発振器(ELOSC)
- RTC
- BackUp RAM
- Port 端子状態
- LVD
- RMC
- ISD
- CEC
- LTTMR
- RLM
- IA
- 内蔵高速発振器 2(IHOSC2)

各低消費電力モードでの電源遮断の詳細は、「1.3.1.4 低消費電力モードにおける周辺機能状態」を参照してください。

1.3.1.2. 低消費電力モードへの遷移と復帰

各低消費電力動作へ遷移するには、スタンバイコントロールレジスター[CGSTBYCR]<STBY[1:0]>で IDLE/STOP1/STOP2 モードを選択し、WFI 命令を実行します。WFI 命令によって低消費電力モードへ遷移した場合、低消費電力モードからの復帰はリセットまたは割り込み発生により行われます。割り込みで復帰する場合には、設定を行っておく必要があります。詳細はリファレンスマニュアル「例外」の「割り込み」章を参照してください。

注 1) TMPM4N グループ(1)は、イベントによる復帰はサポートしていないため、WFE (Wait For Event) による低消費電力モードへの遷移は行わないでください。

注 2) TMPM4N グループ(1)は、Cortex-M4(FPU 機能搭載)コアの SLEEPDEEP による低消費電力モードはサポートしていません。システム制御レジスターの<SLEEPDEEP>ビットは設定しないでください。

1.3.1.3. 低消費電力モードの選択

低消費電力モード選択は、[CGSTBYCR]<STBY[1:0]>の設定で選択されます。
下表 に<STBY[1:0]>の設定より選択されるモードを示します。

表 1.9 低消費電力モード選択

モード	[CGSTBYCR]<STBY[1:0]>
IDLE	00
STOP1	01
STOP2	10

注) 上記の設定以外は行わないでください。

1.3.1.4. 低消費電力モードにおける周辺機能状態

各低消費電力モードにおける周辺機能(ブロック)の動作状態を表 1.10 に示します。

なお、リセット解除後は、一部のブロックを除きクロックが供給されない状態となります。

必要に応じて、[CGFSYSENA]、[CGFSYSMENA]、[CGFSYSMENB]、[CGFSYSMENC]、[CGFCEN]、[CGSPCLKEN]を設定しクロック供給を許可してください。

表 1.10 低消費電力モード別 ブロック動作状態一覧

Block		NORMAL	IDLE	STOP1		STOP2 (注 1)	
				ELOSC	ELOSC	ELOSC	ELOSC
				On	Off	On	Off
Processor core(Debug 含む)		○	-	-	-	×	×
I/O port	端子状態	○	○	○	○	○(注 3)	○(注 3)
	レジスター	○	○	-	-	×	×
HDMAC、MDMAC、EBIF、ADC、DAC、UART、FUART、I2C、EI2C、TSPI、SMIF、I2S、FIR、A-PMD、T32A、TRGSEL、CAN		○	○	-	-	×	×
LTTMR		○(注 5)	○(注 5)	○(注 5)	○(注 5)	○(注 5)	○(注 5)
RTC		○	○	○	-	○	-
RMC		○	○	○	-	○	○(注 4)
CEC		○	○	○	-	○	○(注 4)
ISD		○	○	○	-	○	-
SIWDT		○	○(注 2)	○(注 2)	○(注 2)	×	×
LVD		○	○	○	○	○	○
OFD		○	○	-	-	×	×
TRM		○	使用不可	-	-	×	×
CG		○	○	○	○	×	×
PLL		○	○	-	-	×	×
USB、ETHM		○	○	○(注 8)	○(注 8)	×	×
外部高速発振器(EHOSC)		○	○	-	-	×	×
内蔵高速発振器 1(IHOSC1)		○	○	-	-	×	×
内蔵高速発振器 2(IHOSC2)		○(注 5)	○(注 5)	○(注 5)	○(注 5)	○(注 5)	○(注 5)
外部低速発振器(ELOSC)		○	○	○	-	○	-
RLM(注 7)		○	○	○	○	○	○
コードフラッシュ(Code Flash)		アクセス可能	アクセス可能(注 6)	データ保持	データ保持	データ保持	データ保持
データフラッシュ(Data Flash)							
RAM						×	×
Backup RAM						データ保持	データ保持

○: 動作可能

-: 対象のモードに遷移すると自動的に周辺回路へのクロックが停止

×: 対象モードに遷移すると自動的にモジュールへの供給電源が遮断、復帰時はリセットにより初期化

- 注 1) 周辺機能が動作していないことを確認し、STOP2 モードに遷移するようにしてください。
- 注 2) IDLE/STOP1 モードへ遷移する前に SIWDT を停止してください。(プロテクト A モード以外の場合)
- 注 3) ポートの状態は[RLMSHTDNOPI]<PTKEEP>を"1"に設定したときの状態が保持されます。
- 注 4) LTTMR をサンプリングクロックにすることで動作が可能となります。
- 注 5) [RLMLOSCCR]<POSCEN>を"1"に設定した場合に動作可能となります。
- 注 6) CPU 以外のデータアクセス(R/W)する周辺機能(DMA など)がバスマトリックス上で接続されていない場合は、データ保持となります。
- 注 7) RLM とは、電源遮断されない領域に配置されている電源制御/低速発振制御などを行うレジスタ一群です。
- 注 8) USB は INTUSBOTGxWK、ETHM は INTEMAMP を使用可能です。

1.3.2. モード状態遷移

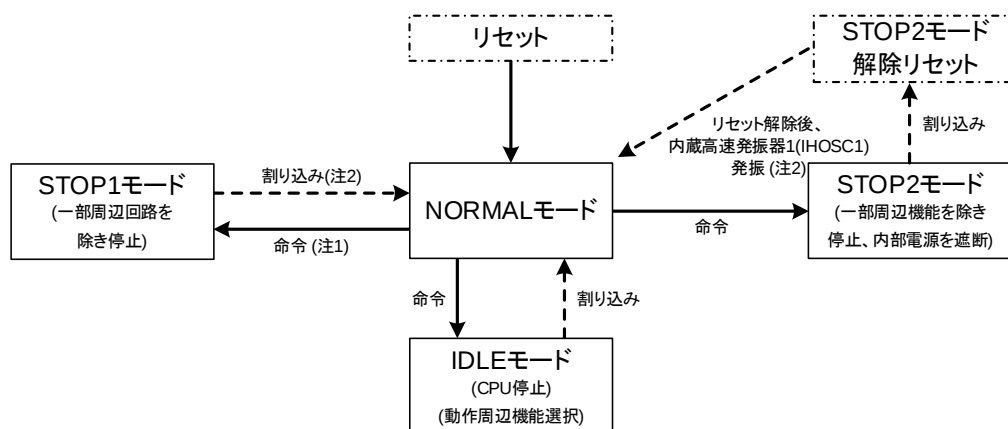


図 1.2 状態遷移

注 1) 復帰時にウォーミングアップが必要となります。ウォーミングアップ時間の設定は STOP1 モードに入る前のモード(NORMAL モード)で設定する必要があります。

注 2) STOP2 モードからの復帰時はリセットの割り込み処理ルーチンに分岐し、STOP1 モードからの復帰時は割り込み起動要因の処理ルーチンに分岐します。

1.3.2.1. IDLE モード遷移フロー

IDLE へ遷移する場合は、以下の順番で設定してください。

IDLE モードは割り込みで解除されますので、IDLE モードへ遷移する前に割り込みの設定を行ってください。IDLE モード解除に使用可能な割り込みは「1.3.3.1 低消費電力モードの解除ソース」を参照してください。解除に使用しない割り込み、および使用できない割り込みは禁止してください。

遷移手順(NORMAL モードから)		
1	[SIWDXEN]<WDTE> = 0	SIWDT をディセーブルにする
2	[SIWDXCR]<WDCR[7:0]> = 0xB1	SIWDT をディセーブルにする
3	[FCSR0]<RDYBSY>をリード	Flash が自動動作終了状態(= 1)になるまで待つ
4	[CGSTBYCR]<STBY[1:0]> = 00	低消費電力モード選択を IDLE にする
5	[CGSTBYCR]<STBY[1:0]>をリード	手順 4 のレジスタライトを確認する(= 00)
6	WFI 命令実行	IDLE へ遷移する

注) SIWDT のプロテクト A モードを使用する場合は、1、2 の処理は不要です。

1.3.2.2. STOP1 モード遷移フロー

STOP1 へ遷移する場合は、以下の順番で設定してください。

STOP1 モードは割り込みで解除されますので、STOP1 モードへ遷移する前に割り込みの設定を行ってください。STOP1 モード解除に使用可能な割り込みは「1.3.3.1 低消費電力モードの解除ソース」を参照してください。解除に使用しない割り込み、および使用できない割り込みは禁止してください。

遷移手順(NORMAL モードから)		
1	[SIWDXEN]<WDTE> = 0	SIWDT をディセーブルにする
2	[SIWDXCR]<WDCR[7:0]> = 0xB1	SIWDT をディセーブルにする
3	[FCSR0]<RDYBSY>をリード	Flash が自動動作終了状態(= 1)になるまで待つ
4	[CGWUPHCR]<WUEF>をリード	高速発振ウオーミングアップ終了(= 0)になるまで待つ
5	[CGWUPHCR]<WUCLK> = 0	高速発振ウオーミングアップクロック選択を内蔵高速発振器 1(IHOSC1)にする
	[CGWUPHCR]<WUPT[15:4]> = 0x03C	高速発振ウオーミングアップタイマー設定値に 163.4 μ s(= 0x03C)以上を設定する
6	[CGSTBYCR]<STBY[1:0]> = 01	低消費電力モード選択を STOP1 にする
7	[CGPLL0SEL]<PLL0SEL> = 0	fsys 用 PLL 選択を PLL 未使用(fosc)にする
8	[CGPLL0SEL]<PLL0ST>をリード	fsys 用 PLL 選択ステータスが PLL 未使用になるまで待つ(= 0)
9	[CGPLL0SEL]<PLL0ON> = 0	fsys 用 PLL 動作を停止する
10	[CGOSCCR]<IHOSC1EN> = 1	内蔵高速発振器 1 を発振にする
11	[CGWUPHCR]<WUON> = 1	高速発振ウオーミングアップタイマーをスタートする
12	[CGWUPHCR]<WUEF>をリード	ウオーミングアップタイマーステータスが終了(= 0)になるまで待つ
13	[CGOSCCR]<OSCSEL> = 0	fosc 用高速発振選択を内部(IHOSC1)にする
14	[CGOSCCR]<OSCF>をリード	fosc 用高速発振選択ステータスが内蔵高速発振器 1(IHOSC1)(= 0)になるまで待つ
15	[CGOSCCR]<EOSCEN[1:0]> = 00	外部発振の動作選択を未使用にする
16	[RLMLOSCCR]<POSCEN> = 0 or 1	内蔵高速発振器 2(IHOSC2)を条件に合わせて設定する。 1: STOP1 モードで LTTMR を動作させる場合 0: 上記以外
17	[CGOSCCR]<EOSCEN[1:0]>をリード	手順 15 のレジスターライトを確認する(= 00)
18	[RLMLOSCCR]<POSCF>をリード	IHOSC2 用内蔵発振安定フラグが手順 16 で設定した値になるまで待つ
19	WFI 命令実行	STOP1 へ遷移する

注) SIWDT のプロテクト A モードを使用する場合は、1、2、16、18 の処理は不要です。

1.3.2.3. STOP2 モード遷移フロー

STOP2 へ遷移する場合は、以下の順番で設定してください。

STOP2 モードは割り込みで解除されますので、STOP2 モードへ遷移する前に割り込みの設定を行ってください。STOP2 モード解除に使用可能な割り込みは「1.3.3.1 低消費電力モードの解除ソース」を参照してください。解除に使用しない割り込み、および使用できない割り込みは禁止してください。

遷移手順(NORMAL モードから)		
1	[SIWDxEN]<WDTE> = 0	SIWDT をディセーブルにする
2	[SIWDxCR]<WDCR[7:0]> = 0xB1	SIWDT をディセーブルにする
3	[FCSR0]<RDYBSY>をリード	Flash が自動動作終了状態(= 1)になるまで待つ
4	[RLMSHTDNOP]<PTKEEP> = 1	IO 制御信号を保持させる
5	[CGSTBYCR]<STBY[1:0]> = 10	低消費電力モード選択を STOP2 にする
6	[CGPLL0SEL]<PLL0SEL> = 0	fsys 用 PLL 選択を PLL 未使用(fosc)にする
7	[CGPLL0SEL]<PLL0ST>をリード	fsys 用 PLL 選択ステータスが PLL 未使用になるまで待つ(= 0)
8	[CGPLL0SEL]<PLL0ON> = 0	fsys 用 PLL 動作を停止する
9	[CGWUPHCR]<WUCLK> = 0 [CGWUPHCR]<WUPT[15:4]> = 0x03C	ウオーミングアップクロック選択を内蔵高速発振器 1(IHOSC1)にする
10	[CGOSCCR]<IHOSC1EN> = 1	高速発振ウオーミングアップタイマー設定値に 163.4 μ s(0x03C)以上を設定する
11	[CGWUPHCR]<WUON> = 1	内蔵高速発振器 1(IHOSC1)を発振にする
12	[CGWUPHCR]<WUEF>をリード	高速発振ウオーミングアップタイマーをスタートする
13	[CGOSCCR]<OSCSEL> = 0	ウオーミングアップタイマーステータスが終了(= 0)になるまで待つ
14	[CGOSCCR]<OSCF>をリード	fosc 用高速発振選択を内蔵高速発振器 1(IHOSC1)にする
15	[CGOSCCR]<EOSCEN[1:0]> = 00	fosc 用高速発振選択ステータスが内蔵高速発振器 1 (IHOSC1)(= 0)になるまで待つ
16	[RLMLOSCCR]<POSCEN> = 0 or 1	内蔵高速発振器 2(IHOSC2)を条件に合わせて設定する。 1: STOP2 モードで LTTMR を動作させる場合 0: 上記以外
17	[CGOSCCR]<EOSCEN[1:0]>をリード	手順 15 のレジスターライトを確認する(= 00)
18	[RLMLOSCCR]<POSCF>をリード	IHOSC2 用内蔵発振安定フラグが手順 16 で設定した値になるまで待つ
19	[RLMRSTFLG0]<STOP2RSTF> = 0 [RLMRSTFLG0]<PINRSTF> = 0	STOP2 リセットフラグ/リセット端子フラグをクリア(注)
20	WFI 命令実行	STOP2 へ遷移する
21	ジャンプ命令	手順 20 へ戻す

注) リセットフラグレジスター[RLMRSTFLG0]については、リファレンスマニュアル「例外」を参照してください。

1.3.3. 低消費電力モードからの復帰

1.3.3.1. 低消費電力モードの解除ソース

低消費電力モードからの復帰は、割り込み、マスク不能割り込み、リセットによって行うことができます。使用できる解除ソースは、低消費電力モードにより決まります。

詳細を下表 に示します。

表 1.11 解除ソース一覧

低消費電力モード			IDLE	STOP1	STOP2
解除 ソース	割り込み	INT00 ~ INT15(注 1)	○	○	○
		INTRTC	○	○	○
		INTCECxRX、INTCECxTX	○	○	○
		INTISDx	○	○	○
		INTRMCx	○	○	○
		INTLTMRx	○	○	○
		INTHDMATC、INTHDMAXERR	○	×	×
		INTMDMATC、INTMDMAXBERR、INTMDMAXDERR	○	×	×
		INT32Ax_A_CT、INT32Ax_B_Cx_CPC	○	×	×
		INTADxCP0、INTADxCP1、INTADxTRG、INTADxSGL、 INTADxCNT、INTADxHP	○	×	×
		INTEMGx、INTOVVx、INTPWMx	○	×	×
		INTTxRX、INTTxTX、INTTxERR	○	×	×
		INTSMIx	○	×	×
		INTUARTxRX、INTUARTxTX、INTUARTxERR	○	×	×
		INTFUARTx	○	×	×
		INTFLCRDY、INTFLDRDY	○	×	×
		INTI2CxNST、INTI2CxATX、INTI2CxBX、INTI2CxNA	○	×	×
		INTI2SxSI、INTI2SxSIERR、INTI2SxSO、INTI2SxSOERR	○	×	×
		INTFIR	○	×	×
		INTISSIxRX、INTSSIxTX、INTSSIxERR	○	×	×
		INTCANxRXD、INTCANxTXD、INTCANxGLB	○	×	×
		INTUSBOTGxWK、INTUSBOTGx	○	○(注 2)	×
		INTEMAMP、INTEMA	○	○(注 2)	×
	SysTick 割り込み		○	×	×
	マスク不能割り込み(INTWDT0)		○	○	×
	マスク不能割り込み(INTLVD)		○	○	○
	リセット(SIWDt)		○	○	×
	リセット(LVD)		○	○	○
	リセット(OFD)		○	×	×
	リセット(RESET_N 端子)		○	○	○

○: 解除後、割り込み処理を開始します

×: 解除に使用できません

注 1) INT00 ~ INT15(外部割り込み 00 ~ 15)は、立ち上がり/立ち下がり/レベルのいずれかを選択することができます。設定の詳細はリファレンスマニュアル「例外」を参照してください。

注 2) USB は INTUSBOTGxWK、ETHM は INTEMAMP を使用可能です。

- 割り込み要求による解除
割り込みによって低消費電力モードを解除する場合、CPU で割り込みが検出されるよう準備しておく必要があります。STOP1、STOP2 モードの解除に使用する割り込みは、CPU の設定の他に INTIF で割り込み検出の設定を行う必要があります。
- マスク不能割り込み(NMI)による解除
WDT 割り込み(INTWDT0、プロテクト A モードのみ)、LVD 割り込み(INTLVD)で解除を行うことができます。
- リセットによる解除
リセットで解除した場合には、解除後 NORMAL モードでレジスタが初期化された状態になります。詳細は「3.2.8.1 リセット要因と初期化範囲」を参照してください。
- SysTick 割り込みによる解除
SysTick 割り込みは IDLE モードでのみ使用可能です。

割り込みの詳細に関しては、リファレンスマニュアル「例外」の「割り込み」章を参照してください。

1.3.3.2. 低消費電力モード解除時のウォーミングアップ

モード遷移時、内部回路の安定のためウォーミングアップが必要な場合があります。

STOP1 モードから NORMAL モードへの復帰では、自動的に内部発振が選択されウォーミングアップ用タイマーが起動されます。ウォーミングアップ時間経過後にシステムクロックの出力が開始されます。

このため、STOP1 モードに遷移する命令を実行する前に、**[CGWUPHCR]** <WUPT[15:4]>でウォーミングアップ時間の設定を行ってください。設定方法については、「1.2.4.1. 高速発振用ウォーミングアップタイマー」を参照してください。

各動作モード遷移時におけるウォーミングアップ設定の要否を下表に示します。

表 1.12 ウォーミングアップ

動作モード遷移	ウォーミングアップ設定
NORMAL → IDLE	不要
NORMAL → STOP1	不要
NORMAL → STOP2	不要
IDLE → NORMAL	不要
STOP1 → NORMAL	必要
STOP2 → RESET → NORMAL	不要

1.3.3.3. STOP2 モードからの復帰

STOP2 モード解除要因割り込み発生からの復帰フローは以下のとおりです。

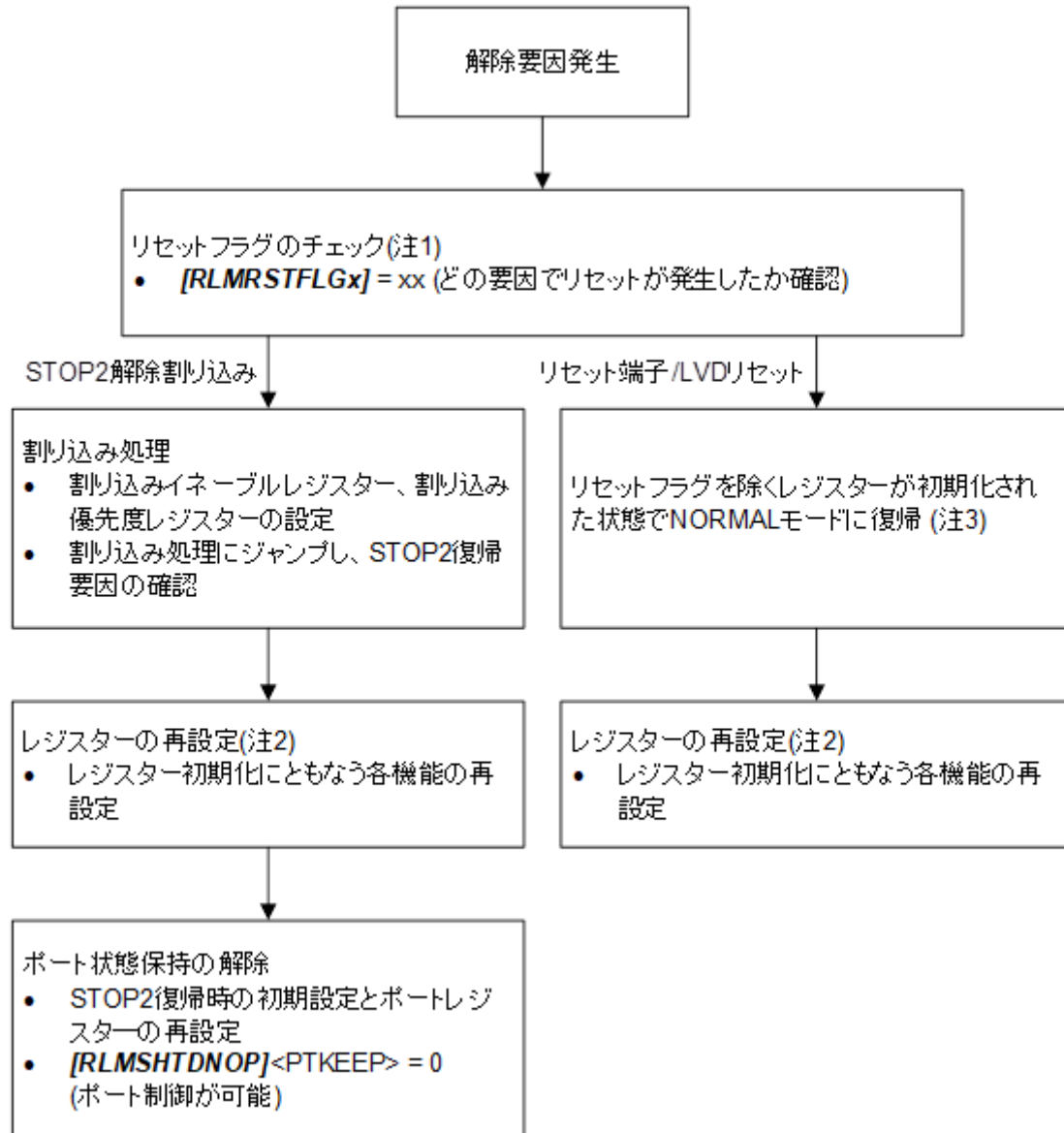


図 1.3 STOP2モード復帰フロー

注 1) STOP2 をリセット端子で解除した場合、リセットフラグは、"STOP2 リセットフラグ"と"リセット端子フラグ"の両方が成立します。

注 2) STOP2 を LVD リセットで解除した場合、リセットフラグは、"STOP2 リセットフラグ"と"LVD/POR リセットフラグ"の両方が成立します。

注 3) レジスター初期化範囲は、割り込みによる STOP2 解除とリセット端子/LVD リセットによる STOP2 解除で異なります。それぞれのリセット範囲の詳細は、「3.2.8.1. リセット要因と初期化範囲」を参照してください。

1.3.4. モード遷移によるクロック動作

モード遷移の際の、クロック動作について以下に示します。

1.3.4.1. NORMAL→IDLE→NORMAL 動作モード遷移

IDLE モードは、CPU が停止するモードです。周辺機能へのクロック供給は、設定状態を保持します。必要に応じて、各周辺機能のレジスタ、クロック供給設定機能などにより、動作/停止を行ってください。IDLE モードから、NORMAL モードへの復帰時にウォーミングアップは行いません。

IDLE モードへ遷移する命令(WFI)実行後、プログラムカウンタは次の命令を示して CPU 停止状態となります。解除ソースにより、CPU 再起動となり、割り込み許可状態の場合、先に解除ソースの割り込み処理を経て、遷移命令(WFI)の次の命令を実行することになります。

1.3.4.2. NORMAL→STOP1→NORMAL 動作モード遷移

STOP1 モードから NORMAL モードへ復帰する場合、ウォーミングアップは自動的に起動します。

STOP1 モードへ遷移する前に[CGWUPHCR]<WUPT[15:4]>へウォーミングアップ時間(163.4μs 以上)の設定を行ってください。

注) RESET_N 端子、LVD リセットが解除要因のとき、内部処理時間と CPU 動作待ち時間が経過した後、CPU 動作がスタートします。

内部処理時間が経過したあとリセットが解除されていないとき、リセットが解除されたあとに CPU 動作待ち時間の計測が始まります。CPU 動作待ち時間が経過すると CPU 動作がスタートします。

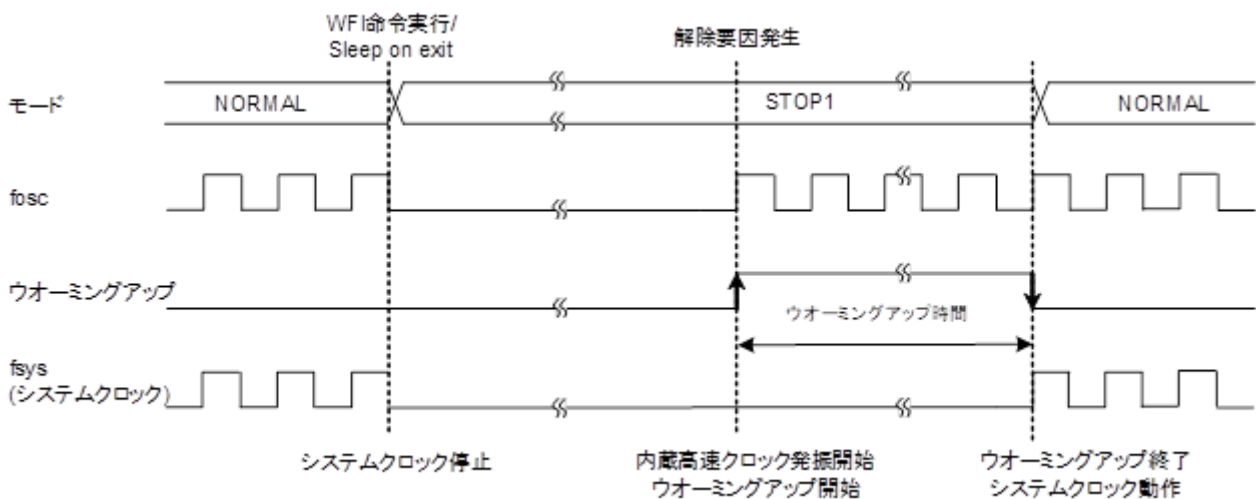


図 1.4 NORMAL→STOP1→NORMAL 動作モード遷移

1.3.4.3. NORMAL→STOP2→RESET→NORMAL 動作モード遷移

NORMAL モードへ復帰する場合、ウォーミングアップは行われません。
リセット以外で NORMAL モードへ復帰する場合でもリセットの割り込み処理ルーチンへ分岐します。
STOP2 モード解除後は電源遮断領域に対してリセット動作が行われます。

注) RESET_N 端子、LVD リセットが解除要因のとき、内部処理時間と CPU 動作待ち時間が経過した後、CPU 動作がスタートします。
内部処理時間が経過したあとリセットが解除されていないとき、リセットが解除されたあとに CPU 動作待ち時間の計測が始まります。CPU 動作待ち時間が経過すると CPU 動作がスタートします。

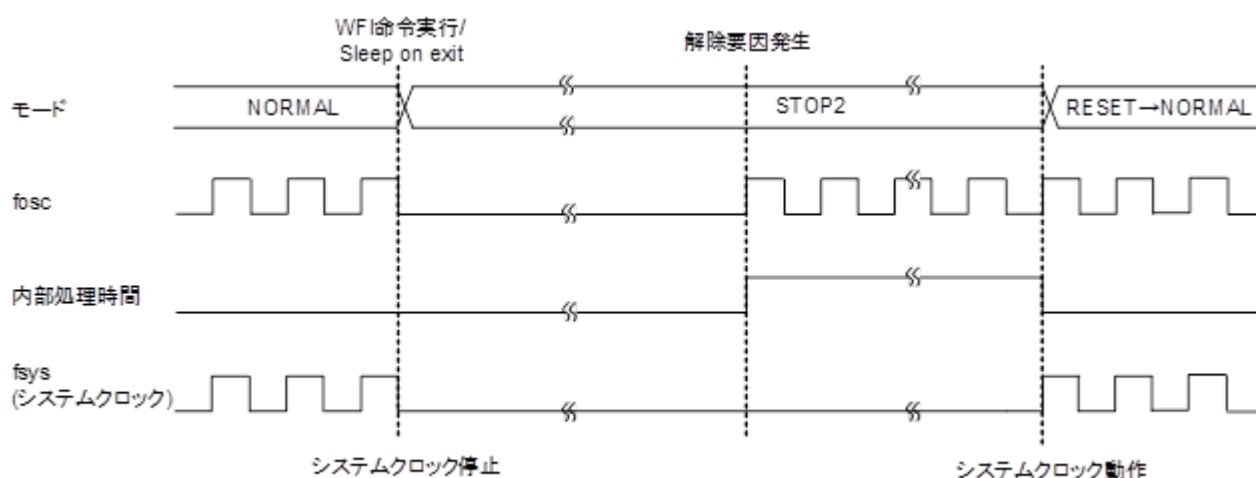


図 1.5 NORMAL→STOP2→RESET→NORMAL 動作モード遷移

1.4. レジスタの説明

1.4.1. レジスタ一覧

クロック制御と動作モードおよび低速発振/電源制御のレジスタとアドレスを以下に示します。

周辺機能		チャンネル/ユニット	ベースアドレス
クロック制御と動作モード	CG	-	0x40083000
低速発振/電源制御	RLM	-	0x4003E400

1.4.1.1. クロック/モード制御

レジスタ名		アドレス(Base+)
CG ライトプロテクトレジスタ	[CGPROTECT]	0x0000
発振制御レジスタ	[CGOSCCR]	0x0004
システムクロック制御レジスタ	[CGSYSCR]	0x0008
スタンバイ制御レジスタ	[CGSTBYCR]	0x000C
fsys 用 PLL セレクトレジスタ	[CGPLL0SEL]	0x0020
高速発振ウオーミングアップレジスタ	[CGWUPHCR]	0x0030
低速発振ウオーミングアップレジスタ	[CGWUPLCR]	0x0034
中速 fsysm 供給停止レジスタC	[CGFSYSMENC]	0x0044
中速 fsysm 供給停止レジスタA	[CGFSYSMENA]	0x0048
中速 fsysm 供給停止レジスタB	[CGFSYSMENB]	0x004C
高速 fsysh 供給停止レジスタA	[CGFSYSENA]	0x0050
fc 供給停止レジスタ	[CGFCEN]	0x0058
ADC、デバッグ回路用クロック供給停止レジスタ	[CGSPCLKEN]	0x005C
機能拡張レジスタ2	[CGEXTEND2]	0x0068

1.4.1.2. 低速発振/電源制御 (注 1)(注 2)

レジスタ名		アドレス(Base+)
低速発振&内蔵高速発振 2 クロック制御レジスタ	[RLMLOSCCR]	0x0000
電源遮断制御レジスタ	[RLMSHTDNOP]	0x0001
RLM ライトプロテクトレジスタ	[RLMPROTECT]	0x000F

注 1) バイト単位でアクセスするレジスタです。ビットバンドアクセスをしてはいけません。

注 2) 書き換えを実施した場合は、同レジスタの読み込みを実施し、書き換えの確認をしてください。

なお、未使用領域へ書き込みを行う場合は、初期値を書き込んでください。

1.4.2. レジスター詳細

1.4.2.1. [CGPROTECT] (CG ライトプロテクトレジスター)

Bit	Bit symbol	リセット後	Type	機能
31:8	-	0	R	リードすると"0"が読めます。
7:0	PROTECT[7:0]	0xC1	R/W	CG レジスターライトプロテクト(本レジスター以外の全て)制御 0xC1: CG レジスターへのライトプロテクト禁止 0xC1 以外: CG レジスターライトプロテクト許可

1.4.2.2. [CGOSCCR] (発振制御レジスター)

Bit	Bit symbol	リセット後	Type	機能
31:17	-	0	R	リードすると"0"が読めます。
16	IHOSC1F	1	R	IHOSC1 用内蔵発振安定フラグ(注 3) 0: 停止またはウォーミングアップ中 1: 発振安定
15:13	-	0	R	リードすると"0"が読めます。
12	-	0	R/W	"0"をライトしてください。
11:10	-	0	R	リードすると"0"が読めます。
9	OSCF	0	R	fosc 用高速発振器選択ステータス 0: 内蔵高速発振器 1(IHOSC1) 1: 外部高速発振器(EHOSC)
8	OSCSEL	0	R/W	fosc 用高速発振器選択(注 1) 0: 内蔵高速発振器 1(IHOSC1) 1: 外部高速発振器(EHOSC)
7:4	-	0	R	リードすると"0"が読めます。
3	-	0	R/W	"0"をライトしてください。
2:1	EOSCEN[1:0]	00	R/W	外部高速発振の動作選択(注 2) 00: 外部発振未使用 01: 外部高速発振器(EHOSC) 10: 外部高速クロック入力(EHCLKIN) 11: Reserved
0	IHOSC1EN	1	R/W	内蔵高速発振器 1(IHOSC1) 0: 停止 1: 発振

注 1) 設定変更した場合、書き込み値が[CGOSCCR]<OSCF>ビットに、反映されていることを確認後、次の操作を行うようにしてください。

注 2) 発振子接続で使用する場合は必ず"01"(外部高速発振)に設定してください。

注 3) 内蔵高速発振器 1(IHOSC1)の発振安定は、<IHOSC1F>を使わず、ウォーミングアップタイマーを設定し[CGWUPHCR]<WUEF>により確認をしてください。

1.4.2.3. [CGSYSCR] (システムクロック制御レジスター)

Bit	Bit symbol	リセット後	Type	機能
31:30	MCKSELPST[1:0]	00	R	中速プリスケラークロック(ΦT0m)選択ステータス 00: <PRCK[3:0]>設定値 (分周なし) 01: <PRCK[3:0]>設定値の 2 分周 上記以外: <PRCK[3:0]>設定値の 4 分周
29:28	-	0	R	リードすると"0"が読めます。
27:24	PRCKST[3:0]	0000	R	高速プリスケラークロック(ΦT0h)選択ステータス 0000: fc 0100: fc/16 1000: fc/256 0001: fc/2 0101: fc/32 1001: fc/512 0010: fc/4 0110: fc/64 0011: fc/8 0111: fc/128 上記以外: Reserved
23:22	MCKSELGST[1:0]	00	R	中速システムクロック(fsysm)のクロック選択ステータス 00: <GEAR[2:0]>設定値(分周なし) 01: <GEAR[2:0]>設定値の 2 分周 上記以外: <GEAR[2:0]>設定値の 4 分周
21:19	-	0	R	リードすると"0"が読めます。
18:16	GEARST[2:0]	000	R	高速システムクロック(fsysh)のギア選択ステータス 000: fc 100: fc/16 001: fc/2 010: fc/4 011: fc/8 上記以外: Reserved
15:12	-	0	R	リードすると"0"が読めます。
11:8	PRCK[3:0]	0000	R/W	高速プリスケラークロック(ΦT0h)選択 0000: fc 0100: fc/16 1000: fc/256 0001: fc/2 0101: fc/32 1001: fc/512 0010: fc/4 0110: fc/64 0011: fc/8 0111: fc/128 上記以外: Reserved 周辺機能に供給するプリスケラークロックを選択します。
7:6	MCKSEL[1:0]	00	R/W	中速システムクロック(fsysm)、中速プリスケラークロック(ΦT0m)の 選択 00: <GEAR[2:0]>、<PRCK[3:0]>設定値 (分周なし) 01: <GEAR[2:0]>、<PRCK[3:0]>設定値の 2 分周 上記以外: <GEAR[2:0]>、<PRCK[3:0]>設定値の 4 分周 中速システムクロックの最大動作周波数は 100MHz です。
5:3	-	0	R	リードすると"0"が読めます。
2:0	GEAR[2:0]	000	R/W	高速システムクロック(fsysh)のギア選択 000: fc 100: fc/16 001: fc/2 010: fc/4 011: fc/8 上記以外: Reserved

1.4.2.4. [CGSTBYCR] (スタンバイ制御レジスター)

Bit	Bit symbol	リセット後	Type	機能
31:2	-	0	R	リードすると"0"が読めます。
1:0	STBY[1:0]	00	R/W	低消費電力モード選定 00: IDLE 01: STOP1 10: STOP2 11: Reserved

1.4.2.5. [CGPLL0SEL] (fsys 用 PLL セレクトレジスター)

Bit	Bit symbol	リセット後	Type	機能
31:8	PLL0SET[23:0]	0x000000	R/W	PLL 通倍設定 通倍設定については、"1.2.5.2. PLL 通倍値の計算式と設定例"を参照してください。
7:3	-	0	R	リードすると"0"が読めます。
2	PLL0ST	0	R	fsys 用 Clock 選択ステータス 0: fosc 1: f _{PLL}
1	PLL0SEL	0	R/W	fsys 用 Clock 選択 0: fosc 1: f _{PLL}
0	PLL0ON	0	R/W	fsys 用 PLL 動作 0: 停止 1: 発振

1.4.2.6. [CGWUPHCR] (高速発振ウオーミングアップレジスター)

Bit	Bit symbol	リセット後	Type	機能
31:20	WUPT[15:4]	0x800	R/W	ウオーミングアップタイマーの計算値 16 ビットの上位 12 ビットの値を設定します。 ウオーミングアップタイマーの設定については、「1.2.4.1. 高速発振用ウオーミングアップタイマー」を参照してください。
19:16	WUPT[3:0]	0x0	R	ウオーミングアップタイマーの計算値 16 ビットの下位 4 ビットの値で、0x0 固定です。
15:9	-	0	R	リードすると"0"が読めます。
8	WUCLK	0	R/W	ウオーミングアップクロック選択 (注 1) 0: 内蔵高速発振器 1(IHOSC1) 1: 外部高速発振器(EHOSC)
7:2	-	0	R	リードすると"0"が読めます。
1	WUEF	0	R	ウオーミングアップタイマーステータス (注 2) 0: ウオーミングアップ終了 1: ウオーミングアップ中
0	WUON	0	W	ウオーミングアップタイマー制御 0: don't care 1: ウオーミングアップスタート

注 1) STOP1 復帰時のウオーミングアップは内蔵発振器で行ってください。外部発振器を選んで STOP1 から遷移することは禁止です。

注 2) ウオーミングアップ中(<WUEF> = 1)は、レジスターの書き換え禁止です。設定は、<WUEF>=0 のときに行ってください。

1.4.2.7. [CGWUPLCR] (低速発振ウオーミングアップレジスター)

Bit	Bit symbol	リセット後	Type	機能
31:27	-	0	R	リードすると"0"が読めます。
26:12	WUPTL[18:4]	0x4000	R/W	ウオーミングアップタイマーの計算値 19 ビットの上位 15 ビットの値を設定します。 ウオーミングアップタイマーの設定については、「1.2.4.2. 低速発振用ウオーミングアップタイマー」を参照してください。
11:8	WUPTL[3:0]	0x0	R	ウオーミングアップタイマーの計算値 19 ビットの下位 4 ビットの値で、0x0 固定です。
7:2	-	0	R	リードすると"0"が読めます。
1	WULEF	0	R	ウオーミングアップタイマーステータス (注 1) 0: ウオーミングアップ終了 1: ウオーミングアップ中
0	WULON	0	W	ウオーミングアップタイマー制御 0: don't care 1: ウオーミングアップスタート

注) ウオーミングアップ中(<WULEF> = 1)は、レジスターの書き換え禁止です。設定は、<WULEF>=0 のときに行ってください。

1.4.2.8. [CGFSYSMENC] (中速 fsysm 供給停止レジスターC)

Bit	Bit symbol	リセット後	Type	機能
31:17	-	0	R	リードすると"0"が読めます。
16	IPMENC16	0	R/W	T32A ch15 クロックイネーブル 0: クロック停止 1: クロック供給
15	IPMENC15	0	R/W	T32A ch14 クロックイネーブル 0: クロック停止 1: クロック供給
14	IPMENC14	0	R/W	USB unit B クロックイネーブル 0: クロック停止 1: クロック供給
13	IPMENC13	0	R/W	USB unit A クロックイネーブル 0: クロック停止 1: クロック供給
12	IPMENC12	0	R/W	CAN unit B クロックイネーブル 0: クロック停止 1: クロック供給
11	IPMENC11	0	R/W	CAN unit A クロックイネーブル 0: クロック停止 1: クロック供給
10	IPMENC10	0	R/W	ETHM unit A クロックイネーブル 0: クロック停止 1: クロック供給
9	IPMENC09	0	R/W	EI2C ch4 クロックイネーブル 0: クロック停止 1: クロック供給
8	IPMENC08	0	R/W	EI2C ch3 クロックイネーブル 0: クロック停止 1: クロック供給
7	IPMENC07	0	R/W	EI2C ch2 クロックイネーブル 0: クロック停止 1: クロック供給
6	IPMENC06	0	R/W	EI2C ch1 クロックイネーブル 0: クロック停止 1: クロック供給
5	IPMENC05	0	R/W	EI2C ch0 クロックイネーブル 0: クロック停止 1: クロック供給
4	IPMENC04	0	R/W	TSSI ch1 クロックイネーブル 0: クロック停止 1: クロック供給
3	IPMENC03	0	R/W	TSSI ch0 クロックイネーブル 0: クロック停止 1: クロック供給
2	IPMENC02	0	R/W	FIR クロックイネーブル 0: クロック停止 1: クロック供給
1	IPMENC01	0	R/W	I2S ch1 クロックイネーブル 0: クロック停止 1: クロック供給
0	IPMENC00	0	R/W	I2S ch0 クロックイネーブル 0: クロック停止 1: クロック供給

注 1) レジスタの初期値がクロック停止でも、リセット期間中は全てクロック供給されています。

注 2) TPM4NQ、TPM4NN で存在しない機能のビットは"0"を書いてください。詳細は "1.5 製品別情報"を参照してください。

1.4.2.9. [CGFSYSMENA] (中速 fsysm 供給停止レジスターA)

Bit	Bit symbol	リセット後	Type	機能
31	IPMENA31	0	R/W	I2C ch2 のクロックイネーブル 0: クロック停止 1: クロック供給
30	IPMENA30	0	R/W	I2C ch1 のクロックイネーブル 0: クロック停止 1: クロック供給
29	IPMENA29	0	R/W	I2C ch0 のクロックイネーブル 0: クロック停止 1: クロック供給
28	IPMENA28	0	R/W	UART ch5 のクロックイネーブル 0: クロック停止 1: クロック供給
27	IPMENA27	0	R/W	UART ch4 のクロックイネーブル 0: クロック停止 1: クロック供給
26	IPMENA26	0	R/W	UART ch3 のクロックイネーブル 0: クロック停止 1: クロック供給
25	IPMENA25	0	R/W	UART ch2 のクロックイネーブル 0: クロック停止 1: クロック供給
24	IPMENA24	0	R/W	UART ch1 のクロックイネーブル 0: クロック停止 1: クロック供給
23	IPMENA23	1	R/W	UART ch0 のクロックイネーブル 0: クロック停止 1: クロック供給
22	IPMENA22	0	R/W	TSPI ch8 のクロックイネーブル 0: クロック停止 1: クロック供給
21	IPMENA21	0	R/W	TSPI ch7 のクロックイネーブル 0: クロック停止 1: クロック供給
20	IPMENA20	0	R/W	TSPI ch6 のクロックイネーブル 0: クロック停止 1: クロック供給
19	IPMENA19	0	R/W	T32A ch13 のクロックイネーブル 0: クロック停止 1: クロック供給
18	IPMENA18	0	R/W	T32A ch12 のクロックイネーブル 0: クロック停止 1: クロック供給
17	IPMENA17	0	R/W	T32A ch11 のクロックイネーブル 0: クロック停止 1: クロック供給
16	IPMENA16	0	R/W	T32A ch10 のクロックイネーブル 0: クロック停止 1: クロック供給
15	IPMENA15	0	R/W	T32A ch09 のクロックイネーブル 0: クロック停止 1: クロック供給
14	IPMENA14	0	R/W	T32A ch08 のクロックイネーブル 0: クロック停止 1: クロック供給

Bit	Bit symbol	リセット後	Type	機能
13	IPMENA13	0	R/W	T32A ch07 のクロックイネーブル 0: クロック停止 1: クロック供給
12	IPMENA12	0	R/W	T32A ch06 のクロックイネーブル 0: クロック停止 1: クロック供給
11	IPMENA11	0	R/W	T32A ch05 のクロックイネーブル 0: クロック停止 1: クロック供給
10	IPMENA10	0	R/W	T32A ch04 のクロックイネーブル 0: クロック停止 1: クロック供給
9	IPMENA09	0	R/W	T32A ch03 のクロックイネーブル 0: クロック停止 1: クロック供給
8	IPMENA08	0	R/W	T32A ch02 のクロックイネーブル 0: クロック停止 1: クロック供給
7	IPMENA07	0	R/W	T32A ch01 のクロックイネーブル 0: クロック停止 1: クロック供給
6	IPMENA06	1	R/W	T32A ch00 のクロックイネーブル 0: クロック停止 1: クロック供給
5	IPMENA05	0	R/W	DAC ch1 のクロックイネーブル 0: クロック停止 1: クロック供給
4	IPMENA04	0	R/W	DAC ch0 のクロックイネーブル 0: クロック停止 1: クロック供給
3	IPMENA03	0	R/W	ADC unit A クロックイネーブル 0: クロック停止 1: クロック供給
2	IPMENA02	0	R/W	FUART ch1 クロックイネーブル 0: クロック停止 1: クロック供給
1	IPMENA01	0	R/W	FUART ch0 クロックイネーブル 0: クロック停止 1: クロック供給
0	IPMENA00	0	R/W	MDMAC unit A クロックイネーブル 0: クロック停止 1: クロック供給

注 1) レジスタの初期値がクロック停止でも、リセット期間中は全てクロック供給されています。

注 2) TMPM4NQ、TMPM4NN で存在しない機能のビットは"0"を書いてください。詳細は"1.5 製品別情報"を参照してください。

1.4.2.10. [CGFSYSMENB] (中速 fsysm 供給停止レジスタ-B)

Bit	Bit symbol	リセット後	Type	機能
31	IPMENB31	1	R/W	SIWDT クロックイネーブル 0: クロック停止 1: クロック供給
30	IPMENB30	1	R/W	NBDIF クロックイネーブル 0: クロック停止 1: クロック供給
29	IPMENB29	1	R/W	"1"をライトしてください。
28	IPMENB28	0	R/W	TRGSEL クロックイネーブル 0: クロック停止 1: クロック供給
27:25	-	0	R	リードすると"0"が読めます。
24	IPMENB24	0	R/W	A-PMD クロックイネーブル 0: クロック停止 1: クロック供給
23	IPMENB23	0	R/W	OFD クロックイネーブル 0: クロック停止 1: クロック供給
22	IPMENB22	0	R/W	TRM クロックイネーブル 0: クロック停止 1: クロック供給
21	IPMENB21	0	R/W	PORT Y クロックイネーブル 0: クロック停止 1: クロック供給
20	IPMENB20	0	R/W	PORT W クロックイネーブル 0: クロック停止 1: クロック供給
19	IPMENB19	0	R/W	PORT V クロックイネーブル 0: クロック停止 1: クロック供給
18	IPMENB18	0	R/W	PORT U クロックイネーブル 0: クロック停止 1: クロック供給
17	IPMENB17	0	R/W	PORT T クロックイネーブル 0: クロック停止 1: クロック供給
16	IPMENB16	0	R/W	PORT R クロックイネーブル 0: クロック停止 1: クロック供給
15	IPMENB15	0	R/W	PORT P クロックイネーブル 0: クロック停止 1: クロック供給
14	IPMENB14	0	R/W	PORT N クロックイネーブル 0: クロック停止 1: クロック供給
13	IPMENB13	0	R/W	PORT M クロックイネーブル 0: クロック停止 1: クロック供給
12	IPMENB12	0	R/W	PORT L クロックイネーブル 0: クロック停止 1: クロック供給
11	IPMENB11	0	R/W	PORT K クロックイネーブル 0: クロック停止 1: クロック供給

Bit	Bit symbol	リセット後	Type	機能
10	IPMENB10	0	R/W	PORT J クロックイネーブル 0: クロック停止 1: クロック供給
9	IPMENB09	1	R/W	PORT H クロックイネーブル 0: クロック停止 1: クロック供給
8	IPMENB08	0	R/W	PORT G クロックイネーブル 0: クロック停止 1: クロック供給
7	IPMENB07	0	R/W	PORT F クロックイネーブル 0: クロック停止 1: クロック供給
6	IPMENB06	0	R/W	PORT E クロックイネーブル 0: クロック停止 1: クロック供給
5	IPMENB05	0	R/W	PORT D クロックイネーブル 0: クロック停止 1: クロック供給
4	IPMENB04	0	R/W	PORT C クロックイネーブル 0: クロック停止 1: クロック供給
3	IPMENB03	0	R/W	PORT B クロックイネーブル 0: クロック停止 1: クロック供給
2	IPMENB02	0	R/W	PORT A クロックイネーブル 0: クロック停止 1: クロック供給
1	IPMENB01	0	R/W	I2C ch4 クロックイネーブル 0: クロック停止 1: クロック供給
0	IPMENB00	0	R/W	I2C ch3 クロックイネーブル 0: クロック停止 1: クロック供給

注 1) レジスタの初期値がクロック停止でも、リセット期間中は全てクロック供給されています。

注 2) TTPM4NQ、TTPM4NN で存在しない機能のビットは"0"を書いてください。詳細は "1.5 製品別情報"を参照してください。

1.4.2.11. [CGFSYSENA] (高速 fsysh 供給停止レジスターA)

Bit	Bit symbol	リセット後	Type	機能
31:10	-	0	R	リードすると"0"が読めます。
9	IPENA09	0	R/W	TSPI ch5 クロックイネーブル 0: クロック停止 1: クロック供給
8	IPENA08	0	R/W	TSPI ch4 クロックイネーブル 0: クロック停止 1: クロック供給
7	IPENA07	0	R/W	TSPI ch3 クロックイネーブル 0: クロック停止 1: クロック供給
6	IPENA06	0	R/W	TSPI ch2 クロックイネーブル 0: クロック停止 1: クロック供給
5	IPENA05	0	R/W	TSPI ch1 クロックイネーブル 0: クロック停止 1: クロック供給
4	IPENA04	0	R/W	TSPI ch0 クロックイネーブル 0: クロック停止 1: クロック供給
3	IPENA03	0	R/W	EBIF クロックイネーブル 0: クロック停止 1: クロック供給
2	IPENA02	0	R/W	SMIF ch0 クロックイネーブル 0: クロック停止 1: クロック供給
1	IPENA01	0	R/W	HDMAC unit B クロックイネーブル 0: クロック停止 1: クロック供給
0	IPENA00	0	R/W	HDMAC unit A クロックイネーブル 0: クロック停止 1: クロック供給

注 1) レジスターの初期値がクロック停止でも、リセット期間中は全てクロック供給されています。

注 2) TPM4NQ、TPM4NN で存在しない機能のビットは"0"を書いてください。詳細は "1.5 製品別情報"を参照してください。

1.4.2.12. [CGFCEN] (fc 供給停止レジスター)

Bit	Bit symbol	リセット後	Type	機能
31:28	-	0	R	リードすると"0"が読めます。
27	FCIPEN27	0	R/W	DNF unit B クロックイネーブル 0: クロック停止 1: クロック供給
26	FCIPEN26	0	R/W	DNF unit A クロックイネーブル 0: クロック停止 1: クロック供給
25:24	-	0	R	リードすると"0"が読めます。
23	FCIPEN23	0	R/W	OFD クロックイネーブル(注 1) 0: クロック停止 1: クロック供給
22:0	-	0	R	リードすると"0"が読めます。

注 1) モニター対象クロックが fc の場合、[CGFSYSMENB]<IPMENB23>および[CGFCEN]<FCIPEN23>を許可してください。

注 2) レジスターの初期値がクロック停止でも、リセット期間中は全てクロック供給されています。

注 3) TMPM4NQ、TMPM4NN で存在しない機能のビットは"0"を書いてください。詳細は "1.5 製品別情報"を参照してください。

1.4.2.13. [CGSPCLKEN] (ADC、デバッグ回路用クロック供給停止レジスター)

Bit	Bit symbol	リセット後	Type	機能
31:17	-	0	R	リードすると"0"が読めます。
16	ADCKEN	0	R/W	AD コンバーター用変換クロックイネーブル 0: クロック停止 1: クロック供給
15:1	-	0	R	リードすると"0"が読めます。
0	TRCKEN	0	R/W	デバッグ回路(トレースまたは SWV)用クロックイネーブル 0: クロック停止 1: クロック供給

注 1) レジスターの初期値がクロック停止でも、リセット期間中は全てクロック供給されています。

注 2) "0"(クロック停止)に設定する場合は、必ず AD 変換が停止または終了していることを確認してください。

1.4.2.14. [CGEXTEND2] (機能拡張レジスター2)

Bit	Bit symbol	リセット後	Type	機能
31:3	-	0	R	リードすると"0"が読めます。
2	RSV22	0	R/W	MDMAC ソフトウェアリセット "0"→"1" →"0"の連続ライトで発生 この 1 ビットを"0"→"1"→"0"の順にライトすると、MDMAC のソフトウェアリセットが発生します。なお、"1"の設定後中速システムクロック(f_{sysm})で 4 クロック以上待って"0"を設定してください。
1	RSV21	0	R/W	MDMAC ディスクリプターエラークリア(注) "0"→"1" →"0"の連続ライトで発生 この 1 ビットを"0"→"1"→"0"の順にライトすると、MDMAC ディスクリプターエラーをクリアします。なお、"1"の設定後中速システムクロック(f_{sysm})で 4 クロック以上待って"0"を設定してください。
0	RSV20	0	R/W	MDMAC バスエラークリア(注) "0"→"1" →"0"の連続ライトで発生 この 1 ビットを"0"→"1"→"0"の順にライトすると、MDMAC バスエラーをクリアします。なお、"1"の設定後中速システムクロック(f_{sysm})で 4 クロック以上待って"0"を設定してください。

注) エラーフラグのクリア時は、ソフトウェアリセット<RSV22>も必要ですので、併せて実施してください。

1.4.2.15. [RLMLOSCCR] (低速発振&内蔵高速発振 2 クロック制御レジスター)

Bit	Bit symbol	リセット後	Type	機能
7:6	-	0	R	リードすると"0"が読めます。
5	POSCF	0	R	IHOSC2 用内蔵発振安定フラグ 0: 停止またはウォーミングアップ中 1: 発振安定
4	POSCEN	0	R/W	内蔵高速発振器 2(IHOSC2) (注 3)(注 5) 0: 停止 1: 発振
3	-	0	R	リードすると"0"が読めます。
2	DRCOSCL	0	R/W	低速クロックの選択 0: 外部低速クロック入力(ELCLKIN) 1: 外部低速発振器(ELOSC)
1	-	0	R/W	"0"をライトしてください
0	XTEN	0	R/W	低速クロックの使用(注 4) 0: 使用しない 1: 使用する

注 1) バイト単位でアクセスするレジスターです。ビットバンドアクセスはできません。

注 2) パワーオンリセットでのみ初期化されます。

注 3) 設定を変更した場合、[RLMLOSCCR]<POSCF>が"1"になったことを確認後、次の操作を行うようにしてください。

注 4) 書き換えを実施した場合は、同レジスターの読み込みを実施し、書き換えの確認をしてください。

注 5) <POSCEN>は[RLMPROTECT]がライト許可状態であっても、[SIWDxOSCCR]<OSCPRO> = 1 のときはライトできません。

1.4.2.16. [RLMSHTDNOP](電源遮断制御レジスター)

Bit	Bit symbol	リセット後	Type	機能
7	-	0	R/W	"0"をライトしてください。
6:1	-	0	R	リードすると"0"が読めます。
0	PTKEEP	0	R/W	STOP2 モード中の I/O 制御信号を保持 0: Port による制御 1: 0→1 設定時の状態の保持 STOP2 モード遷移時前に設定が必要です。

注 1) バイト単位でアクセスするレジスターです。ビットバンドアクセスはできません。

注 2) 書き換えを実施した場合は、同レジスターの読み込みを実施し、書き換えの確認をしてください。

1.4.2.17. [RLMPROTECT](RLM ライトプロテクトレジスター)

Bit	Bit symbol	リセット後	Type	機能
7:0	PROTECT[7:0]	0xC1	R/W	RLM レジスターライトプロテクト(本レジスター以外の全て)制御 0xC1: RLM レジスターへのライトプロテクト禁止 0xC1 以外: RLM レジスターライトプロテクト許可

注 1) バイト単位でアクセスするレジスターです。ビットバンドアクセスはできません。

注 2) 書き換えを実施した場合は、同レジスターの読み込みを実施し、書き換えの確認をしてください。

1.5. 製品別情報

各製品別で異なる [CGFSYSENA]、[CGFSYSMENA]、[CGFSYSMENB]、[CGFSYSMENC] および [CGFCEN] に関する情報を以下に示します。

1.5.1. [CGFSYSENA]

表 1.13 [CGFSYSENA]の製品別割り当て

Bit	Bit symbol	接続先	チャネル番号/ ユニット名/ 入出力ポート名	M4NR	M4NQ	M4NN
31	IPENA31	-	-	×	×	×
30	IPENA30	-	-	×	×	×
29	IPENA29	-	-	×	×	×
28	IPENA28	-	-	×	×	×
27	IPENA27	-	-	×	×	×
26	IPENA26	-	-	×	×	×
25	IPENA25	-	-	×	×	×
24	IPENA24	-	-	×	×	×
23	IPENA23	-	-	×	×	×
22	IPENA22	-	-	×	×	×
21	IPENA21	-	-	×	×	×
20	IPENA20	-	-	×	×	×
19	IPENA19	-	-	×	×	×
18	IPENA18	-	-	×	×	×
17	IPENA17	-	-	×	×	×
16	IPENA16	-	-	×	×	×
15	IPENA15	-	-	×	×	×
14	IPENA14	-	-	×	×	×
13	IPENA13	-	-	×	×	×
12	IPENA12	-	-	×	×	×
11	IPENA11	-	-	×	×	×
10	IPENA10	-	-	×	×	×
9	IPENA09	TSPI	5	○	○	×
8	IPENA08		4	○	○	○
7	IPENA07		3	○	○	○
6	IPENA06		2	○	○	○
5	IPENA05		1	○	○	○
4	IPENA04		0	○	○	○
3	IPENA03	EBIF	-	○	○	○
2	IPENA02	SMIF	0	○	○	○
1	IPENA01	HDMAC	B	○	○	○
0	IPENA00		A	○	○	○

○: 搭載、×: 非搭載

1.5.2. [CGFSYSMENA]

表 1.14 [CGFSYSMENA]の製品別割り当て

Bit	Bit symbol	接続先	チャンネル番号/ ユニット名/ 入出力ポート名	M4NR	M4NQ	M4NN
31	IPMENA31	I2C	2	○	○	○
30	IPMENA30		1	○	○	○
29	IPMENA29		0	○	○	○
28	IPMENA28	UART	5	○	×	×
27	IPMENA27		4	○	○	×
26	IPMENA26		3	○	○	×
25	IPMENA25		2	○	○	○
24	IPMENA24		1	○	○	○
23	IPMENA23		0	○	○	○
22	IPMENA22	TSPI	8	○	×	×
21	IPMENA21		7	○	○	×
20	IPMENA20		6	○	○	×
19	IPMENA19	T32A	13	○	○	○
18	IPMENA18		12	○	○	○
17	IPMENA17		11	○	○	○
16	IPMENA16		10	○	○	○
15	IPMENA15		9	○	○	○
14	IPMENA14		8	○	○	○
13	IPMENA13		7	○	○	○
12	IPMENA12		6	○	○	○
11	IPMENA11		5	○	○	○
10	IPMENA10		4	○	○	○
9	IPMENA09		3	○	○	○
8	IPMENA08		2	○	○	○
7	IPMENA07		1	○	○	○
6	IPMENA06		0	○	○	○
5	IPMENA05	DAC	1	○	○	○
4	IPMENA04		0	○	○	○
3	IPMENA03	ADC	A	○	○	○
2	IPMENA02	FUART	1	○	○	×
1	IPMENA01		0	○	○	○
0	IPMENA00	MDMAC	A	○	○	○

○: 搭載、×: 非搭載

1.5.3. [CGFSYSMENB]

表 1.15 [CGFSYSMENB]の製品別割り当て

Bit	Bit symbol	接続先	チャンネル番号/ ユニット名/ 入出力ポート名	M4NR	M4NQ	M4NN
31	IPMENB31	SIWDT	0	○	○	○
30	IPMENB30	NBDIF	-	○	○	○
29	IPMENB29	-(注)	-	×	×	×
28	IPMENB28	TRGSEL	0	○	○	○
27	IPMENB27	-	-	×	×	×
26	IPMENB26	-	-	×	×	×
25	IPMENB25	-	-	×	×	×
24	IPMENB24	A-PMD	0	○	○	○
23	IPMENB23	OFD	-	○	○	○
22	IPMENB22	TRM	-	○	○	○
21	IPMENB21	PORT	Y	○	○	○
20	IPMENB20		W	○	×	×
19	IPMENB19		V	○	○	×
18	IPMENB18		U	○	×	×
17	IPMENB17		T	○	○	○
16	IPMENB16		R	○	○	×
15	IPMENB15		P	○	○	○
14	IPMENB14		N	○	○	○
13	IPMENB13		M	○	○	×
12	IPMENB12		L	○	○	○
11	IPMENB11		K	○	○	○
10	IPMENB10		J	○	×	×
9	IPMENB09		H	○	○	○
8	IPMENB08		G	○	○	○
7	IPMENB07		F	○	○	○
6	IPMENB06		E	○	○	○
5	IPMENB05		D	○	○	○
4	IPMENB04		C	○	○	×
3	IPMENB03		B	○	○	○
2	IPMENB02		A	○	○	○
1	IPMENB01	I2C	4	○	○	×
0	IPMENB00		3	○	○	×

○: 搭載、×: 非搭載

注) "1"を書いてください(クロック供給)。

1.5.4. [CGFSYSMENC]

表 1.16 [CGFSYSMENC]の製品別割り当て

Bit	Bit symbol	接続先	チャンネル番号/ ユニット名/ 入出力ポート名	M4NR	M4NQ	M4NN
31	IPMENC31	-	-	×	×	×
30	IPMENC30	-	-	×	×	×
29	IPMENC29	-	-	×	×	×
28	IPMENC28	-	-	×	×	×
27	IPMENC27	-	-	×	×	×
26	IPMENC26	-	-	×	×	×
25	IPMENC25	-	-	×	×	×
24	IPMENC24	-	-	×	×	×
23	IPMENC23	-	-	×	×	×
22	IPMENC22	-	-	×	×	×
21	IPMENC21	-	-	×	×	×
20	IPMENC20	-	-	×	×	×
19	IPMENC19	-	-	×	×	×
18	IPMENC18	-	-	×	×	×
17	IPMENC17	-	-	×	×	×
16	IPMENC16	T32A	15	○	○	○
15	IPMENC15		14	○	○	○
14	IPMENC14	USB	B	○	○	×
13	IPMENC13		A	○	○	○
12	IPMENC12	CAN	B	○	○	○
11	IPMENC11		A	○	○	○
10	IPMENC10	ETHM	A	○	○	○
9	IPMENC09	EI2C	4	○	○	×
8	IPMENC08		3	○	○	×
7	IPMENC07		2	○	○	○
6	IPMENC06		1	○	○	○
5	IPMENC05		0	○	○	○
4	IPMENC04	TSSI	1	○	×	×
3	IPMENC03		0	○	○	○
2	IPMENC02	FIR	-	○	○	○
1	IPMENC01	I2S	1	○	○	○
0	IPMENC00		0	○	○	○

○: 搭載、×: 非搭載

1.5.5. [CGFCEN]

表 1.17 [CGFCEN]の製品別割り当て

Bit	Bit symbol	接続先	チャンネル番号/ ユニット名/ 入出力ポート名	M4NR	M4NQ	M4NN
31	FCIPEN31	-	-	×	×	×
30	FCIPEN30	-	-	×	×	×
29	FCIPEN29	-	-	×	×	×
28	FCIPEN28	-	-	×	×	×
27	FCIPEN27	DNF	B	○	○	○
26	FCIPEN26		A	○	○	○
25	FCIPEN25	-	-	×	×	×
24	FCIPEN24	-	-	×	×	×
23	FCIPEN23	OFD	-	○	○	○
22	FCIPEN22	-	-	×	×	×
21	FCIPEN21	-	-	×	×	×
20	FCIPEN20	-	-	×	×	×
19	FCIPEN19	-	-	×	×	×
18	FCIPEN18	-	-	×	×	×
17	FCIPEN17	-	-	×	×	×
16	FCIPEN16	-	-	×	×	×
15	FCIPEN15	-	-	×	×	×
14	FCIPEN14	-	-	×	×	×
13	FCIPEN13	-	-	×	×	×
12	FCIPEN12	-	-	×	×	×
11	FCIPEN11	-	-	×	×	×
10	FCIPEN10	-	-	×	×	×
9	FCIPEN09	-	-	×	×	×
8	FCIPEN08	-	-	×	×	×
7	FCIPEN07	-	-	×	×	×
6	FCIPEN06	-	-	×	×	×
5	FCIPEN05	-	-	×	×	×
4	FCIPEN04	-	-	×	×	×
3	FCIPEN03	-	-	×	×	×
2	FCIPEN02	-	-	×	×	×
1	FCIPEN01	-	-	×	×	×
0	FCIPEN00	-	-	×	×	×

○: 搭載、×: 非搭載

2. メモリーマップ

2.1. 概要

TMPM4N グループ(1)は、Cortex-M4(FPU 機能搭載)コアのメモリーマップに沿って作られており、内蔵 ROM 領域は Cortex-M4(FPU 機能搭載)コアメモリーマップの Code 領域、内蔵 RAM 領域は SRAM 領域、特殊機能レジスター(SFR)領域は Peripheral 領域に割り付けられています。特殊機能レジスター(SFR: Special function register)とは、入出力ポートおよび周辺機能のコントロールレジスターを示します。

CPU Register Region はコア内部のレジスター領域です。

各領域の詳細については、「ARM Cortex-M4 プロセッサテクニカルリファレンスマニュアル」を参照してください。

"Fault"と記載された領域では、アクセスするとバスフォールトが有効な場合にはバスフォールト、無効な場合にはハードフォールトが発生します。また、ベンダー固有領域にはアクセスしないでください。

2.1.1. TPM4Nx20

- Code Flash: 2048KB
- RAM: 256KB + 2KB (Backup RAM)
- Data Flash: 32KB
- 対象製品: TPM4NRF20FG、TPM4NRF20XBG、TPM4NQF20FG、TPM4NQF20XBG、TPM4NNF20FG

0xFFFFFFFF	Vendor-Specific	System level	0xFFFFFFFF	Vendor-Specific
0xE0100000			0xE0100000	
0xE0000000	CPU Register Region		0xE0000000	CPU Register Region
0xA8000000	Fault		0xA8000000	Fault
0xA0000000	Serial memory interface area		0xA0000000	Serial memory interface area
0x80000000	Fault		0x80000000	Fault
0x60000000	External bus interface area	Peripheral	0x60000000	External bus interface area
0x5E200000	Fault		0x5E200000	Fault
	Code FLASH (Mirror 2048KB)			Code FLASH (Mirror 2048KB)
0x5E000000			0x5E000000	
0x5DFF0000	FLASH (SFR)		0x5DFF0000	FLASH (SFR)
0x44000000	Fault		0x44000000	Fault
	Bit Band Alias (SFR)			Bit Band Alias (SFR)
0x42000000			0x42000000	
0x40180000	Fault		0x40180000	Fault
0x40000000	SFR		0x40000000	SFR
0x3F7F9800	Fault	SRAM	0x3F800000	Fault
0x30008000			0x3F7F8000	BOOT ROM (Mirror)
	Data FLASH (32KB)		0x30008000	Fault
0x30000000			0x30000000	Data FLASH (32KB)
0x221C0000	Fault		0x221C0000	Fault
	Bit Band Alias (RAM/Backup RAM)			Bit Band Alias (RAM/Backup RAM)
0x22000000			0x22000000	
0x20040800	Fault		0x20040800	Fault
0x20040000	Backup RAM (2KB)		0x20040000	Backup RAM (2KB)
0x20038000	RAM5 (32KB)		0x20038000	RAM5 (32KB)
0x20030000	RAM4 (32KB)	Code	0x20030000	RAM4 (32KB)
0x20002800	RAM3 (32KB)		0x20002800	RAM3 (32KB)
0x20002000	RAM2 (32KB)		0x20002000	RAM2 (32KB)
0x20010000	RAM1 (64KB)		0x20010000	RAM1 (64KB)
0x20000000	RAM0 (64KB)		0x20000000	RAM0 (64KB)
0x00200000	Fault			Fault
	Code FLASH (2048KB)		0x00008000	
0x00000000			0x00000000	BOOT ROM (32KB)

Single chip mode

Single BOOT mode

2.1 TPM4Nx20

2.1.2. TPM4Nx15

- Code Flash: 1536KB
- RAM: 256KB + 2KB (Backup RAM)
- Data Flash: 32KB
- 対象製品: TPM4NRF15FG、TPM4NRF15XBG、TPM4NQF15FG、TPM4NQF15XBG、TPM4NNF15FG

0xFFFFFFFF	Vendor-Specific	System level	0xFFFFFFFF	Vendor-Specific
0xE0100000			0xE0100000	
0xE0000000	CPU Register Region		0xE0000000	CPU Register Region
0xA8000000	Fault		0xA8000000	Fault
0xA0000000	Serial memory interface area	Peripheral	0xA0000000	Serial memory interface area
0x80000000	Fault		0x80000000	Fault
0x60000000	External bus interface area		0x60000000	External bus interface area
0x5E200000	Fault		0x5E200000	Fault
0x5E180000	Reserved		0x5E180000	Reserved
0x5E000000	Code FLASH (Mirror 1536KB)		0x5E000000	Code FLASH (Mirror 1536KB)
0x5DFF0000	FLASH (SFR)		0x5DFF0000	FLASH (SFR)
0x44000000	Fault		0x44000000	Fault
0x42000000	Bit Band Alias (SFR)		0x42000000	Bit Band Alias (SFR)
0x40180000	Fault		0x40180000	Fault
0x40000000	SFR	SRAM	0x40000000	SFR
0x3F7F9800	Fault		0x3F800000	Fault
0x30008000			0x3F7F8000	BOOT ROM (Mirror)
0x30000000	Data FLASH (32KB)		0x30008000	Fault
0x221C0000	Fault		0x30000000	Data FLASH (32KB)
0x22000000	Bit Band Alias (RAM/Backup RAM)		0x221C0000	Fault
0x20040800	Fault		0x22000000	Bit Band Alias (RAM/Backup RAM)
0x20040000	Backup RAM (2KB)		0x20040800	Fault
0x20038000	RAM5 (32KB)		0x20040000	Backup RAM (2KB)
0x20030000	RAM4 (32KB)		0x20038000	RAM5 (32KB)
0x20002800	RAM3 (32KB)	Code	0x20030000	RAM4 (32KB)
0x20002000	RAM2 (32KB)		0x20002800	RAM3 (32KB)
0x20010000	RAM1 (64KB)		0x20002000	RAM2 (32KB)
0x20000000	RAM0 (64KB)		0x20010000	RAM1 (64KB)
0x00200000	Fault	Code	0x20000000	RAM0 (64KB)
0x00180000	Reserved			
0x00000000	Code FLASH (1536KB)		0x00008000	Fault
			0x00000000	BOOT ROM (32KB)

Single chip mode

Single BOOT mode

2.2 TPM4Nx15

2.1.3. TPM4Nx10

- Code Flash: 1024KB
- RAM: 256KB + 2KB (Backup RAM)
- Data Flash: 32KB
- 対象製品: TPM4NRF10FG、TPM4NRF10XBG、TPM4NQF10FG、TPM4NQF10XBG、TPM4NNF10FG

0xFFFFFFFF	Vendor-Specific	System level	0xFFFFFFFF	Vendor-Specific
0xE0100000			0xE0100000	
0xE0000000	CPU Register Region		0xE0000000	CPU Register Region
0xA8000000	Fault		0xA8000000	Fault
0xA0000000	Serial memory interface area		0xA0000000	Serial memory interface area
0x80000000	Fault		0x80000000	Fault
0x60000000	External bus interface area	Peripheral	0x60000000	External bus interface area
	Fault			Fault
0x5E100000			0x5E100000	
0x5E000000	Code FLASH (Mirror 1024KB)		0x5E000000	Code FLASH (Mirror 1024KB)
0x5DFF0000	FLASH (SFR)		0x5DFF0000	FLASH (SFR)
0x44000000	Fault		0x44000000	Fault
	Bit Band Alias (SFR)			Bit Band Alias (SFR)
0x42000000			0x42000000	
0x40180000	Fault		0x40180000	Fault
0x40000000	SFR		0x40000000	SFR
0x3F7F9800	Fault	SRAM	0x3F800000	Fault
0x30008000			0x3F7F8000	BOOT ROM (Mirror)
	Data FLASH (32KB)		0x30008000	Fault
0x30000000			0x30000000	Data FLASH (32KB)
0x221C0000	Fault		0x221C0000	Fault
	Bit Band Alias (RAM/Backup RAM)			Bit Band Alias (RAM/Backup RAM)
0x22000000			0x22000000	
0x20040800	Fault		0x20040800	Fault
0x20040000	Backup RAM (2KB)		0x20040000	Backup RAM (2KB)
0x20038000	RAM5 (32KB)		0x20038000	RAM5 (32KB)
0x20030000	RAM4 (32KB)	Code	0x20030000	RAM4 (32KB)
0x20002800	RAM3 (32KB)		0x20002800	RAM3 (32KB)
0x20002000	RAM2 (32KB)		0x20002000	RAM2 (32KB)
0x20010000	RAM1 (64KB)		0x20010000	RAM1 (64KB)
0x20000000	RAM0 (64KB)		0x20000000	RAM0 (64KB)
	Fault			Fault
0x00100000		Code	0x00008000	
0x00000000	Code FLASH (1024KB)		0x00000000	BOOT ROM (32KB)

Single chip mode

Single BOOT mode

図 2.3 TPM4Nx10

2.1.4. TPM4NxFD

- Code Flash: 512KB
- RAM: 192KB + 2KB (Backup RAM)
- Data Flash: 32KB
- 対象製品: TPM4NRFDFG、TPM4NRFDXBG、TPM4NQFDFG、TPM4NQFDXBG、TPM4NNFDFG

0xFFFFFFFF	Vendor-Specific	System level	0xFFFFFFFF	Vendor-Specific
0xE0100000			0xE0100000	
0xE0000000	CPU Register Region		0xE0000000	CPU Register Region
0xA8000000	Fault		0xA8000000	Fault
0xA0000000	Serial memory interface area		0xA0000000	Serial memory interface area
0x80000000	Fault	Peripheral	0x80000000	Fault
0x60000000	External bus interface area		0x60000000	External bus interface area
	Fault			Fault
0x5E100000			0x5E100000	
0x5E080000	Reserved		0x5E080000	Reserved
0x5E000000	Code FLASH (Mirror 512KB)		0x5E000000	Code FLASH (Mirror 512KB)
0x5DFF0000	FLASH (SFR)		0x5DFF0000	FLASH (SFR)
0x44000000	Fault		0x44000000	Fault
	Bit Band Alias (SFR)			Bit Band Alias (SFR)
0x42000000			0x42000000	
0x40180000	Fault	SRAM	0x40180000	Fault
0x40000000	SFR		0x40000000	SFR
	Fault			Fault
0x3F7F9800			0x3F800000	BOOT ROM (Mirror)
0x30008000			0x30008000	Fault
0x30000000	Data FLASH (32KB)		0x30000000	Data FLASH (32KB)
0x221C0000	Fault		0x221C0000	Fault
	Bit Band Alias (RAM/Backup RAM)			Bit Band Alias (RAM/Backup RAM)
0x22000000			0x22000000	
0x20040800	Fault		0x20040800	Fault
0x20040000	Backup RAM (2KB)	Code	0x20040000	Backup RAM (2KB)
0x20038000	RAM5 (32KB)		0x20038000	RAM5 (32KB)
0x20030000	RAM4 (32KB)		0x20030000	RAM4 (32KB)
	Reserved			Reserved
0x20002000			0x20002000	
0x20010000	RAM1 (64KB)	Code	0x20010000	RAM1 (64KB)
0x20000000	RAM0 (64KB)		0x20000000	RAM0 (64KB)
	Fault			Fault
0x00100000				
0x00080000	Reserved			
0x00000000	Code FLASH (512KB)		0x00008000	
			0x00000000	BOOT ROM (32KB)

Single chip mode

Single BOOT mode

図 2.4 TPM4NxFD

2.2. バスマトリックス

TMPM4N グループ(1)では、メインマスターの CPU コア、高速 DMA コントローラー(HDMAC)と、サブマスターの多機能 DMA コントローラー(MDMAC)と NBDIF で構成されています。

メインマスターは、バスマトリックスのスレーブポート(S1～S5)に接続され、バスマトリックス内で、接続を示す記号(○、●)を経由して、マスターポート(M0～M15)から、周辺機能および中速クロックドメインに接続されます。

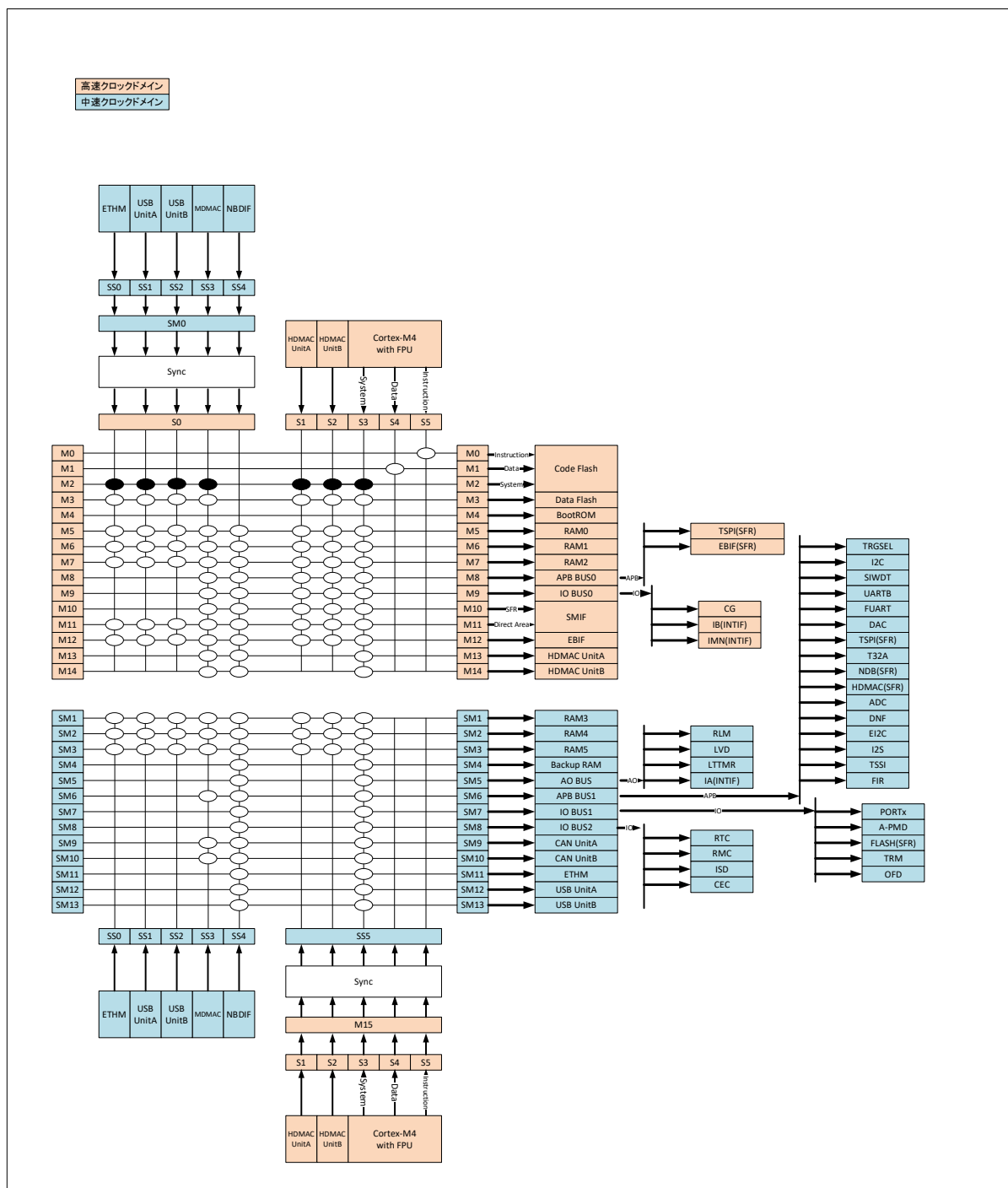
サブマスターは、バスマトリックスのスレーブポート(SS0～SS4)に接続され、バスマトリックス内で、接続を示す記号(○、●)を経由して、マスターポート(SM0～SM13)から、周辺機能および高速クロックドメインに接続されます。

●は、ミラー領域への接続を示します。

バスマトリックス内の同一マスターライン上に、複数のスレーブが接続されている場合で、同一タイミングで複数のスレーブにアクセスが発生した場合は、スレーブ番号の小さいマスターのアクセスが優先されます。

2.2.1. 構成

2.2.1.1. シングルチップモード

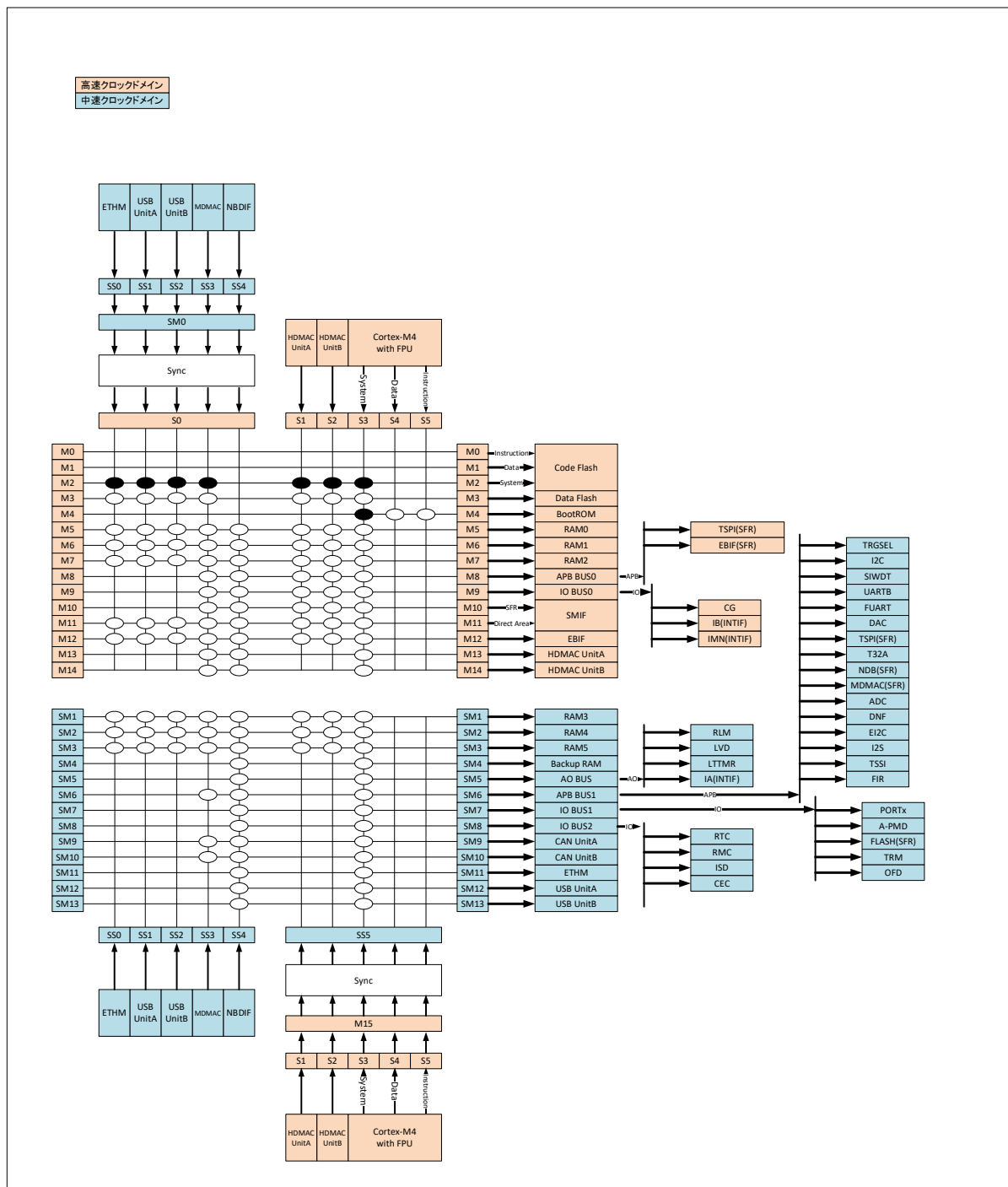


注 1) NBDIF は M2/M3 に接続していません。

注 2) 高速ドメインと中速ドメインを跨いだアクセスではドメイン間の同期時間がかかります。

図 2.5 シングルチップモード

2.2.1.2. シングルブートモード



注 1) NBDIF は M2/M3 に接続していません。

注 2) 高速ドメインと中速ドメインを跨いだアクセスではドメイン間の同期時間がかかります。

図 2.6 シングルブートモード

2.2.2. 接続表

2.2.2.1. Code 領域/ SRAM 領域/ SMIF 領域/ 外部バス 領域

(1) TPM4Nx20

- シングルチップモード

表 2.1 TPM4Nx20シングルチップモード

スタートアドレス	スレーブ		サブマスター					メインマスター				
			ETHM	USB (unit A)	USB (unit B)	MDMAC (unit A)	NBDIF	HDMAC (unit A)	HDMAC (unit B)	Core S-Bus	Core D-Bus	Core I-Bus
			SS0	SS1	SS2	SS3	SS4	S1	S2	S3	S4	S5
0x00000000	Code Flash	M0	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	Fault	○
		M1	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	○	Fault
0x00200000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-	-
0x20000000	RAM0	M5	○	○	○	○	○	○	○	○	-	-
0x20010000	RAM1	M6	○	○	○	○	○	○	○	○	-	-
0x20020000	RAM2	M7	○	○	○	○	○	○	○	○	-	-
0x20028000	RAM3	SM1	○	○	○	○	○	Fault	Fault	○	-	-
0x20030000	RAM4	SM2	○	○	○	○	○	Fault	Fault	○	-	-
0x20038000	RAM5	SM3	○	○	○	○	○	Fault	Fault	○	-	-
0x20040000	Backup RAM	SM4	Fault	Fault	Fault	Fault	○	Fault	Fault	○	-	-
0x20040800	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
0x22000000	Bit band alias	-	Fault	Fault	Fault	○	○	○	○	○	-	-
0x221C0000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
0x30000000	Data Flash	M3	○	○	○	○	Fault	○	○	○	-	-
0x30008000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
この間のアドレスは「表 2.9 Peripheral 領域」を参照願います。												
0x5E000000	Code Flash (Mirror)	M2	○	○	○	○	Fault	○	○	○	-	-
0x5E200000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
0x60000000	External bus interface area (EBIF)	M12	○	○	○	○	○	○	○	○	-	-
0x80000000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
0xA0000000	Serial memory interface area (SMIF)	M11	○	○	○	○	○	○	○	○	-	-

○: アクセス可、-: アクセス不可、Fault: フォールト発生

- シングルブートモード

表 2.2 TPM4Nx20シングルブートモード

スタートアドレス	スレーブ		サブマスター					メインマスター				
			ETHM	USB (unit A)	USB (unit B)	MDMAC (unit A)	NBDIF	HDMAC (unit A)	HDMAC (unit B)	Core S-Bus	Core D-Bus	Core I-Bus
			SS0	SS1	SS2	SS3	SS4	S1	S2	S3	S4	S5
0x00000000	Boot ROM	M4	Fault	Fault	Fault	Fault	Fault	Fault	Fault	○	○	○
0x00008000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	Fault	Fault
0x20000000	RAM0	M5	○	○	○	○	○	○	○	○	-	-
0x20010000	RAM1	M6	○	○	○	○	○	○	○	○	-	-
0x20020000	RAM2	M7	○	○	○	○	○	○	○	○	-	-
0x20028000	RAM3	SM1	○	○	○	○	○	Fault	Fault	○	-	-
0x20030000	RAM4	SM2	○	○	○	○	○	Fault	Fault	○	-	-
0x20038000	RAM5	SM3	○	○	○	○	○	Fault	Fault	○	-	-
0x20040000	Backup RAM	SM4	Fault	Fault	Fault	Fault	○	Fault	Fault	○	-	-
0x20040800	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
0x22000000	Bit band alias	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
0x221C0000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
0x30000000	Data Flash	M3	○	○	○	○	Fault	○	○	○	-	-
0x30008000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
0x3F7F8000	Boot ROM (Mirror)	M4	Fault	Fault	Fault	Fault	Fault	Fault	Fault	○	○	○
0x3F800000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
この間のアドレスは「表 2.9 Peripheral 領域」を参照願います。												
0x5E000000	Code Flash (Mirror)	M2	○	○	○	○	Fault	○	○	○	-	-
0x5E200000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
0x60000000	External Bus Interface area (EBIF)	M11	○	○	○	○	○	○	○	○	-	-
0x80000000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
0xA0000000	Serial memory interface area (SMIF)	M11	○	○	○	○	○	○	○	○	-	-

○: アクセス可、 -: アクセス不可、Fault: フォールト発生

(2) TPM4NxF15

- シングルチップモード

表 2.3 TPM4NxF15シングルチップモード

スタートアドレス	スレーブ		サブマスター					メインマスター				
			ETHM	USB (unit A)	USB (unit B)	MDMAC (unit A)	NBDIF	HDMAC (unit A)	HDMAC (unit B)	Core S-Bus	Core D-Bus	Core I-Bus
			SS0	SS1	SS2	SS3	SS4	S1	S2	S3	S4	S5
0x00000000 Code Flash	(Area0)	M0	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	Fault	○
		M1	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	○	Fault
0x00180000	Reserved	-	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved
0x00200000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-	-
0x20000000	RAM0	M5	○	○	○	○	○	○	○	○	-	-
0x20010000	RAM1	M6	○	○	○	○	○	○	○	○	-	-
0x20020000	RAM2	M7	○	○	○	○	○	○	○	○	-	-
0x20028000	RAM3	SM1	○	○	○	○	○	Fault	Fault	○	-	-
0x20030000	RAM4	SM2	○	○	○	○	○	Fault	Fault	○	-	-
0x20038000	RAM5	SM3	○	○	○	○	○	Fault	Fault	○	-	-
0x20040000	Backup RAM	SM4	Fault	Fault	Fault	Fault	○	Fault	Fault	○	-	-
0x20040800	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
0x22000000	Bit band alias	-	Fault	Fault	Fault	○	○	○	○	○	-	-
0x221C0000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
0x30000000	Data Flash	M3	○	○	○	○	Fault	○	○	○	-	-
0x30008000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
この間のアドレスは「表 2.9 Peripheral 領域」を参照願います。												
0x5E000000	Code Flash (Mirror)	M2	○	○	○	○	Fault	○	○	○	-	-
0x5E180000	Reserved	-	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved
0x5E200000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
0x60000000	External Bus Interface area (EBIF)	M12	○	○	○	○	○	○	○	○	-	-
0x80000000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
0xA0000000	Serial memory interface area (SMIF)	M11	○	○	○	○	○	○	○	○	-	-

○: アクセス可、 -: アクセス不可、Fault: フォールト発生

- シングルブートモード

表 2.4 TPM4Nx15シングルブートモード

スタートアドレス	スレーブ		サブマスター					メインマスター				
			ETHM	USB (unit A)	USB (unit B)	MDMAC (unit A)	NBDIF	HDMAC (unit A)	HDMAC (unit B)	Core S-Bus	Core D-Bus	Core I-Bus
			SS0	SS1	SS2	SS3	SS4	S1	S2	S3	S4	S5
0x00000000	Boot ROM	M4	Fault	Fault	Fault	Fault	Fault	Fault	Fault	○	○	○
0x00008000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	Fault	Fault
0x20000000	RAM0	M5	○	○	○	○	○	○	○	○	-	-
0x20010000	RAM1	M6	○	○	○	○	○	○	○	○	-	-
0x20020000	RAM2	M7	○	○	○	○	○	○	○	○	-	-
0x20028000	RAM3	SM1	○	○	○	○	○	Fault	Fault	○	-	-
0x20030000	RAM4	SM2	○	○	○	○	○	Fault	Fault	○	-	-
0x20038000	RAM5	SM3	○	○	○	○	○	Fault	Fault	○	-	-
0x20040000	Backup RAM	SM4	Fault	Fault	Fault	Fault	○	Fault	Fault	○	-	-
0x20040800	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
0x22000000	Bit band alias	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
0x221C0000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
0x30000000	Data Flash	M3	○	○	○	○	Fault	○	○	○	-	-
0x30008000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault
0x3F7F8000	Boot ROM (Mirror)	M4	Fault	Fault	Fault	Fault	Fault	Fault	Fault	○	○	○
0x3F800000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
この間のアドレスは「表 2.9 Peripheral 領域」を参照願います。												
0x5E000000	Code Flash (Mirror)	M2	○	○	○	○	Fault	○	○	○	-	-
0x5E180000	Reserved	-	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved
0x5E200000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
0x60000000	External bus interface area (EBIF)	M11	○	○	○	○	○	○	○	○	-	-
0x80000000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
0xA0000000	Serial memory interface area (SMIF)	M11	○	○	○	○	○	○	○	○	-	-

○: アクセス可、 -: アクセス不可、Fault: フォールト発生

(3) TPMP4NxF10

- シングルチップモード

表 2.5 TPMP4NxF10シングルチップモード

スタートアドレス	スレーブ		サブマスター					メインマスター				
			ETHM	USB (unit A)	USB (unit B)	MDMAC (unit A)	NBDIF	HDMAC (unit A)	HDMAC (unit B)	Core S-Bus	Core D-Bus	Core I-Bus
			SS0	SS1	SS2	SS3	SS4	S1	S2	S3	S4	S5
0x00000000	Code Flash	M0	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	Fault	○
		M1	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	○	Fault
0x00100000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-	-
0x20000000	RAM0	M5	○	○	○	○	○	○	○	○	-	-
0x20010000	RAM1	M6	○	○	○	○	○	○	○	○	-	-
0x20020000	RAM2	M7	○	○	○	○	○	○	○	○	-	-
0x20028000	RAM3	SM1	○	○	○	○	○	Fault	Fault	○	-	-
0x20030000	RAM4	SM2	○	○	○	○	○	Fault	Fault	○	-	-
0x20038000	RAM5	SM3	○	○	○	○	○	Fault	Fault	○	-	-
0x20040000	Backup RAM	SM4	Fault	Fault	Fault	Fault	○	Fault	Fault	○	-	-
0x20040800	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
0x22000000	Bit band alias	-	Fault	Fault	Fault	○	○	○	○	○	-	-
0x221C0000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
0x30000000	Data Flash	M3	○	○	○	○	Fault	○	○	○	-	-
0x30008000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
この間のアドレスは「表 2.9 Peripheral 領域」を参照願います。												
0x5E000000	Code Flash (Area0)(Mirror)	M2	○	○	○	○	Fault	○	○	○	-	-
0x5E100000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
0x60000000	External bus interface area (EBIF)	M12	○	○	○	○	○	○	○	○	-	-
0x80000000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
0xA0000000	Serial memory interface area (SMIF)	M11	○	○	○	○	○	○	○	○	-	-

○: アクセス可、-: アクセス不可、Fault: フォールト発生

- シングルブートモード

表 2.6 TPM4Nx10シングルブートモード

スタートアドレス	スレーブ		サブマスター					メインマスター				
			ETHM	USB (unit A)	USB (unit B)	MDMAC (unit A)	NBDIF	HDMAC (unit A)	HDMAC (unit B)	Core S-Bus	Core D-Bus	Core I-Bus
			SS0	SS1	SS2	SS3	SS4	S1	S2	S3	S4	S5
0x00000000	Boot ROM	M4	Fault	Fault	Fault	Fault	Fault	Fault	Fault	○	○	○
0x00008000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	Fault	Fault
0x20000000	RAM0	M5	○	○	○	○	○	○	○	○	-	-
0x20010000	RAM1	M6	○	○	○	○	○	○	○	○	-	-
0x20020000	RAM2	M7	○	○	○	○	○	○	○	○	-	-
0x20028000	RAM3	SM1	○	○	○	○	○	Fault	Fault	○	-	-
0x20030000	RAM4	SM2	○	○	○	○	○	Fault	Fault	○	-	-
0x20038000	RAM5	SM3	○	○	○	○	○	Fault	Fault	○	-	-
0x20040000	Backup RAM	SM4	Fault	Fault	Fault	Fault	○	Fault	Fault	○	-	-
0x20040800	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
0x22000000	Bit band alias	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
0x221C0000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
0x30000000	Data Flash	M3	○	○	○	○	Fault	○	○	○	-	-
0x3F7F8000	Boot ROM (Mirror)	M4	Fault	Fault	Fault	Fault	Fault	Fault	Fault	○	○	○
0x3F800000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
この間のアドレスは「表 2.9 Peripheral 領域」を参照願います。												
0x5E000000	Code Flash (Mirror)	M2	○	○	○	○	Fault	○	○	○	-	-
0x5E100000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
0x60000000	External bus interface area (EBIF)	M11	○	○	○	○	○	○	○	○	-	-
0x80000000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
0xA0000000	Serial memory interface area (SMIF)	M11	○	○	○	○	○	○	○	○	-	-

○: アクセス可、 -: アクセス不可、Fault: フォールト発生

(4) TPM4NxFD

- シングルチップモード

表 2.7 TPM4NxFDシングルチップモード

スタートアドレス	スレーブ		サブマスター					メインマスター				
			ETHM	USB (unit A)	USB (unit B)	MDMAC (unit A)	NBDIF	HDMAC (unit A)	HDMAC (unit B)	Core S-Bus	Core D-Bus	Core I-Bus
			SS0	SS1	SS2	SS3	SS4	S1	S2	S3	S4	S5
0x00000000	Code Flash	M0	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	Fault	○
		M1	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	○	Fault
0x00080000	Reserved	-	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved
0x00100000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-	-
0x20000000	RAM0	M5	○	○	○	○	○	○	○	○	-	-
0x20010000	RAM1	M6	○	○	○	○	○	○	○	○	-	-
0x20020000	Reserved	-	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved
0x20030000	RAM4	SM2	○	○	○	○	○	Fault	Fault	○	-	-
0x20038000	RAM5	SM3	○	○	○	○	○	Fault	Fault	○	-	-
0x20040000	Backup RAM	SM4	Fault	Fault	Fault	Fault	○	Fault	Fault	○	-	-
0x20040800	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
0x22000000	Bit band alias	-	Fault	Fault	Fault	○	○	○	○	○	-	-
0x221C0000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
0x30000000	Data Flash	M3	○	○	○	○	Fault	○	○	○	-	-
0x30008000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
この間のアドレスは「表 2.9 Peripheral 領域」を参照願います。												
0x5E000000	Code Flash (Mirror)	M2	○	○	○	○	Fault	○	○	○	-	-
0x5E080000	Reserved	-	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved
0x5E100000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
0x60000000	External bus interface area (EBIF)	M12	○	○	○	○	○	○	○	○	-	-
0x80000000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
0xA0000000	Serial memory interface area (SMIF)	M11	○	○	○	○	○	○	○	○	-	-

○: アクセス可、 -: アクセス不可、Fault: フォールト発生

- シングルブートモード

表 2.8 TPM4NxFDシングルブートモード

スタートアドレス	スレーブ		サブマスター					メインマスター				
			ETHM	USB (unit A)	USB (unit B)	MDMAC (unit A)	NBDIF	HDMAC (unit A)	HDMAC (unit B)	Core S-Bus	Core D-Bus	Core I-Bus
			SS0	SS1	SS2	SS3	SS4	S1	S2	S3	S4	S5
0x00000000	Boot ROM	M4	Fault	Fault	Fault	Fault	Fault	Fault	Fault	○	○	○
0x00001800	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	Fault	Fault
0x20000000	RAM0	M5	○	○	○	○	○	○	○	○	-	-
0x20010000	RAM1	M6	○	○	○	○	○	○	○	○	-	-
0x20020000	Reserved	-	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved
0x20030000	RAM4	SM2	○	○	○	○	○	Fault	Fault	○	-	-
0x20038000	RAM5	SM3	○	○	○	○	○	Fault	Fault	○	-	-
0x20040000	Backup RAM	SM4	Fault	Fault	Fault	Fault	○	Fault	Fault	○	-	-
0x20040800	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
0x22000000	Bit band alias	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
0x221C0000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
0x30000000	Data Flash	M3	○	○	○	○	Fault	○	○	○	-	-
0x30008000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
0x3F7F8000	Boot ROM (Mirror)	M4	○	○	○	Fault	Fault	Fault	Fault	○	○	○
0x3F800000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
この間のアドレスは「表 2.9 Peripheral 領域」を参照願います。												
0x5E000000	Code Flash (Area0) (Mirror)	M2	○	○	○	○	Fault	○	○	○	-	-
0x5E080000	Reserved	-	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved
0x5E100000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
0x60000000	External bus interface area (EBIF)	M12	○	○	○	○	○	○	○	○	-	-
0x80000000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
0xA0000000	Serial memory interface area (SMIF)	M11	○	○	○	○	○	○	○	○	-	-

○: アクセス可、-: アクセス不可、Fault: フォールト発生

2.2.2.2. Peripheral 領域

表 2.9 Peripheral 領域

スタートアドレス	スレーブ		サブマスター					メインマスター				
			ETHM	USB (unit A)	USB (unit B)	MDMAC (unit A)	NBDIF	HDMAC (unit A)	HDMAC (unit B)	Core S-Bus	Core D-Bus	Core I-Bus
			SS0	SS1	SS2	SS3	SS4	S1	S2	S3	S4	S5
0x40000000	HDMAC (unit A)	M13	Fault	Fault	Fault	○	○	Fault	Fault	○	-	-
0x40001000	HDMAC (unit B)	M14	Fault	Fault	Fault	○	○	Fault	Fault	○	-	-
0x40002000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
0x40005000	CAN (unit A)	SM9	Fault	Fault	Fault	○	○	○	○	○	-	-
0x40006000	CAN (unit B)	SM10	Fault	Fault	Fault	○	○	○	○	○	-	-
0x40007000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
0x4000A000	ETHM	SM11	Fault	Fault	Fault	Fault	○	Fault	Fault	○	-	-
0x4000C000	SMIF (SFR)	M10	Fault	Fault	Fault	○	○	○	○	○	-	-
0x4000D000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
0x4003E000	IA (INTIF)	SM5	Fault	Fault	Fault	Fault	○	Fault	Fault	○	-	-
0x4003E400	RLM	SM5	Fault	Fault	Fault	Fault	○	Fault	Fault	○	-	-
0x4003EC00	LVD	SM5	Fault	Fault	Fault	Fault	○	Fault	Fault	○	-	-
0x4003FF00	LTTMR	SM5	Fault	Fault	Fault	Fault	○	Fault	Fault	○	-	-
0x4006A000	TSPI (ch0 ~ 5)	M8	Fault	Fault	Fault	○	○	○	○	○	-	-
0x40076000	EBIF (SFR)	M8	Fault	Fault	Fault	○	○	○	○	○	-	-
0x40083000	CG	M9	Fault	Fault	Fault	○	○	○	○	○	-	-
0x40083200	IB (INTIF)	M9	Fault	Fault	Fault	○	○	○	○	○	-	-
0x40083300	IMN	M9	Fault	Fault	Fault	○	○	○	○	○	-	-
0x400A0200	DNF (ch0 ~ 1)	SM6	Fault	Fault	Fault	○	○	Fault	Fault	○	-	-
0x400A0400	TRGSEL	SM6	Fault	Fault	Fault	○	○	Fault	Fault	○	-	-
0x400A0600	SIWDT	SM6	Fault	Fault	Fault	○	○	Fault	Fault	○	-	-
0x400A2000	NBDIF	SM6	Fault	Fault	Fault	○	○	Fault	Fault	○	-	-
0x400A4000	MDMAC	SM6	Fault	Fault	Fault	○	○	Fault	Fault	○	-	-
0x400A8000	FUART (ch0 ~ 1)	SM6	Fault	Fault	Fault	○	○	Fault	Fault	○	-	-
0x400BA000	ADC	SM6	Fault	Fault	Fault	○	○	Fault	Fault	○	-	-
0x400BC800	DAC (ch0 ~ 1)	SM6	Fault	Fault	Fault	○	○	Fault	Fault	○	-	-
0x400C1000	T32A (ch0 ~ 15)	SM6	Fault	Fault	Fault	○	○	Fault	Fault	○	-	-
0x400CB800	TSPI (ch6 ~ 8)	SM6	Fault	Fault	Fault	○	○	Fault	Fault	○	-	-
0x400CD000	TSPI (ch0 ~ 1)	SM6	Fault	Fault	Fault	○	○	Fault	Fault	○	-	-
0x400CE000	UART (ch0 ~ 5)	SM6	Fault	Fault	Fault	○	○	Fault	Fault	○	-	-
0x400D0000	I2S (ch0 ~ 1)	SM6	Fault	Fault	Fault	○	○	Fault	Fault	○	-	-
0x400D1000	I2C (ch0 ~ 4)	SM6	Fault	Fault	Fault	○	○	Fault	Fault	○	-	-
0x400D8000	EI2C (ch0 ~ 4)	SM6	Fault	Fault	Fault	○	○	Fault	Fault	○	-	-
0x400DD000	FIR	SM6	Fault	Fault	Fault	○	○	Fault	Fault	○	-	-
0x400E0000	PORT	SM7	Fault	Fault	Fault	Fault	○	Fault	Fault	○	-	-
0x400E3100	TRM	SM7	Fault	Fault	Fault	Fault	○	Fault	Fault	○	-	-
0x400E4000	OFD	SM7	Fault	Fault	Fault	Fault	○	Fault	Fault	○	-	-
0x400E4800	RTC	SM8	Fault	Fault	Fault	Fault	○	Fault	Fault	○	-	-
0x400E8000	CEC	SM8	Fault	Fault	Fault	Fault	○	Fault	Fault	○	-	-
0x400E8100	RMC (ch0 ~ 1)	SM8	Fault	Fault	Fault	Fault	○	Fault	Fault	○	-	-
0x400E9000	A ~ PMD	SM7	Fault	Fault	Fault	Fault	○	Fault	Fault	○	-	-
0x400F0000	ISD	SM8	Fault	Fault	Fault	Fault	○	Fault	Fault	○	-	-
0x40100000	USB (unit A)	SM12	Fault	Fault	Fault	Fault	○	Fault	Fault	○	-	-
0x40140000	USB (unit B)	SM13	Fault	Fault	Fault	Fault	○	Fault	Fault	○	-	-
0x40180000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
0x42000000	Bit Band Alias	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	○	-	-
0x44000000	Fault	-	Fault	Fault	Fault	Fault	Fault	Fault	Fault	Fault	-	-
0x5DFF0000	Flash (SFR)	SM7	Fault	Fault	Fault	Fault	○	Fault	Fault	○	-	-

○: アクセス可、-: アクセス不可、Fault: フォールト発生

2.2.3. RAM アクセス

内蔵 RAM のアクセスに必要なクロック数は下表のようになります。

表 2.10 各RAMとアクセスクロック数

RAM 名	fsys	クロック数	備考
RAM0	fsysh	1	「2.2.3.1. レジスター一覧」を参照してください。
RAM1	fsysh	1 または 2	
RAM2	fsysh	1 または 2	
RAM3	fsysm	1	高速ドメインと中速ドメイン間の同期時間がかかります。
RAM4	fsysm	1	
RAM5	fsysm	1	
Backup RAM	fsysm	5	

2.2.3.1. レジスター一覧

fsysh の周波数に合わせて設定を変更してください。
FC のレジスターとアドレスは下記のとおりです。

周辺機能		チャネル/ユニット	ベースアドレス
			TYPE1
Flash memory	FC	-	0x5DFF0000

レジスター名		アドレス(Base+)
Flash Key Code Register(注)	[FCKCR]	0x0018
RAM Access Control Register	[FCRACCR]	0x1218

注)リファレンスマニュアル「フラッシュメモリー」にあるレジスターと同じレジスターです。

2.2.3.2. レジスター詳細

(1) **[FCKCR]** (Flash Key Code Register)

Bit	Bit symbol	リセット後	Type	機能
31:0	KEYCODE	0x00000000	W	レジスターロック解除用キーコード [FCRACCR] を書き換える場合は、事前に本レジスターに対して特定のコード(0xA74A9D23)を書き、その後 16 クロック以内に当該のレジスター値を書き換えてください。 16 クロック以内に有効な書き込みが行われた場合は、許可状態はリセットされます。

(2) **[FCRACCR]** (RAM Access Control Register)

Bit	Bit symbol	リセット後	Type	機能
31:14	-	0	R	"0"がリードできます
13:12	-	00	R/W	"00"をライトしてください
11:10	-	0	R	"0"がリードできます
9:8	-	00	R/W	"00"をライトしてください
7:6	-	0	R	"0"がリードできます
5:4	RAMLC1[1:0]	00	R/W	RAM1、RAM2 のアクセス制御 00: 1 クロック(fsysh≤160MHz) 01: 2 クロック(fsysh>160MHz) 上記以外は Reserved
3:2	-	0	R	"0"がリードできます
1:0	-	00	R/W	"00"をライトしてください

注 1) このレジスターを書き換える場合はフラッシュメモリー上のプログラムで行ってください。

注 2) このレジスターを書き換える場合は以下の手順で行ってください。

- [FCKCR]**に対して特定のコード(0xA74A9D23)を書き込む。
- (a)の書き込みから 16 クロック以内に**[FCRACCR]**<RAMLC1[1:0]>のデータを書き換える。
- 書き込んだ後、書いた値が読める事を確認してください。

注 3) クロックギア使用時は、アプリケーション上の最大周波数に合わせてこのレジスターを設定してください。クロックギアで周波数を低くしても、設定を変更しないでください。

3. リセットと電源制御

3.1. 概要

電源の立上げ、パワーオンリセットおよびリセットの解除とかけ方について説明します。

機能分類	機能	動作説明
コールドリセット (電源投入を伴うリセット)	パワーオンリセット	電源投入時または切断時に発生するリセット
	LVD リセット	設定した電圧以下で発生するリセット
	リセット端子	RESET_N 端子によるリセット
	PORF リセット	電源投入時または切断時に発生するリセット、フラッシュメモリと、デバッグ回路を優先してリセットする
ウォームリセット (電源投入を伴わないリセット)	内部リセット	SIWDT、OFD、LVD、LOCKUP および<SYSRESETREQ>によるリセット
	リセット端子	RESET_N 端子によるリセット
STOP2 モード解除によるリセット	割り込み	STOP2 モードからの復帰動作の中で行う電源遮断領域に対するリセット(STOP2REQ)
	LVD リセット	設定した電圧以下で発生するリセット
	リセット端子	RESET_N 端子によるリセット
シングルブート起動	-	リセット解除後、内蔵ブート ROM から起動

3.2. 機能説明・動作説明

この章では、電源投入、電源切断、リセット関連の説明をします。

注) 図中のシンボルで記述の時間や電圧は、データシートの「電気的特性」を参照してください。

3.2.1. コールドリセット

電源投入の際には、内蔵レギュレーター、内蔵フラッシュメモリーおよび内蔵高速発振の安定時間を考慮する必要があります。TXZ+ファミリーでは、これらの機能の安定のための時間を内部回路が自動的に挿入します。

電源投入時は、電源電圧の傾斜が右肩上がりとなるようにしてください。POR、PORF 検出近傍で電源電圧の下降と上昇が発生すると、その後電源電圧が動作保証範囲まで上昇しても、正常に動作しない場合があります。

3.2.1.1. パワーオンリセット回路によるリセット(RESET_N 端子を使用しない場合)

電源電圧がパワーオンリセット(POR)の解除電圧を超えてから"内部初期化時間" 経過後に内部リセットが解除されます。"内部初期化時間"が経過するより前に電源電圧を動作電圧範囲内まで上げてください。CPU は内部リセット解除後に動作します。

電源電圧がパワーオンリセット(POR)の解除電圧を超えると LVD 解除電圧まで LVD がリセット継続しますが、"内部初期化時間"内は内部リセットが優先します。電源電圧の立上げが"内部初期化時間"を超える場合は「3.2.1.3LVD によるリセット」を参照してください。

例えば、セットの動作電圧が 2.7V 以上の場合、パワーオンリセット解除後"内部初期化時間" 内に電源電圧を 2.7V まで上げてください。

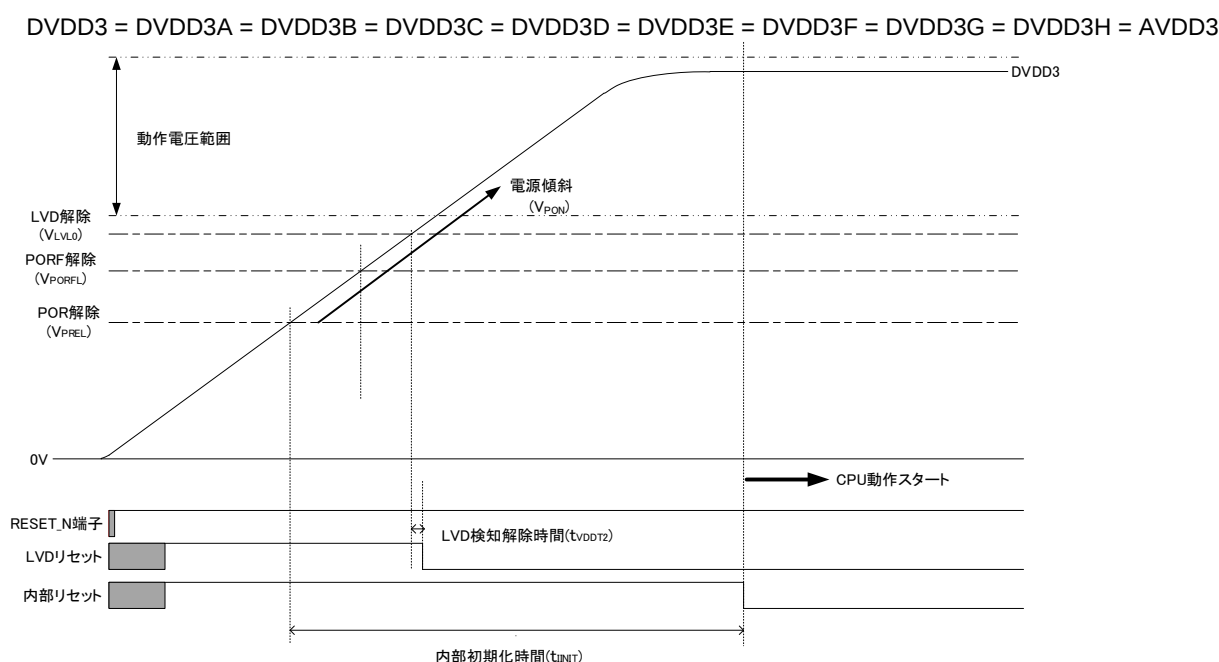


図 3.1 パワーオンリセット回路によるリセット動作

注) RESET_N 端子を使用しないでパワーオンリセット回路だけを使用する場合、RESET_N 端子はオープンまたは"High"レベルを入力してください。

3.2.1.2. RESET_N 端子によるリセット

電源投入時に RESET_N 端子を使用することでリセット解除のタイミングを調整することができます。

電源電圧がパワーオンリセットの解除電圧を超えた後、"内部初期化時間" 経過後も RESET_N 端子が "Low" の場合、内部リセットは引き延ばされます。電源電圧が動作電圧範囲内まで上がった後、RESET_N 端子が "High" になってから "CPU 動作待ち時間" 経過後に内部リセットは解除されます。

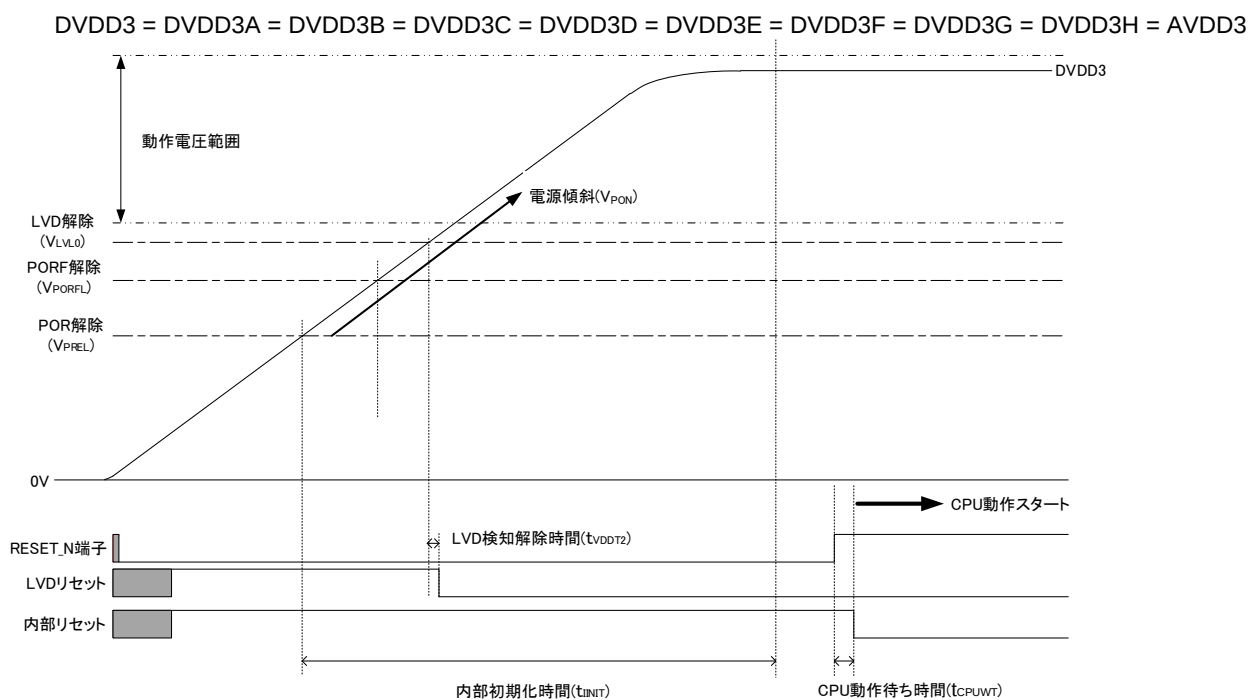


図 3.2 RESET_N端子によるリセット動作(1)

"内部初期化時間" 経過前に RESET_N 端子が "Low" → "High" となった場合、"内部初期化時間" 経過後に内部リセットは解除されます。このような場合は内部初期化時間が経過するより前に電源電圧を動作電圧範囲内まで上げてください。CPU は内部リセット解除後に動作します。

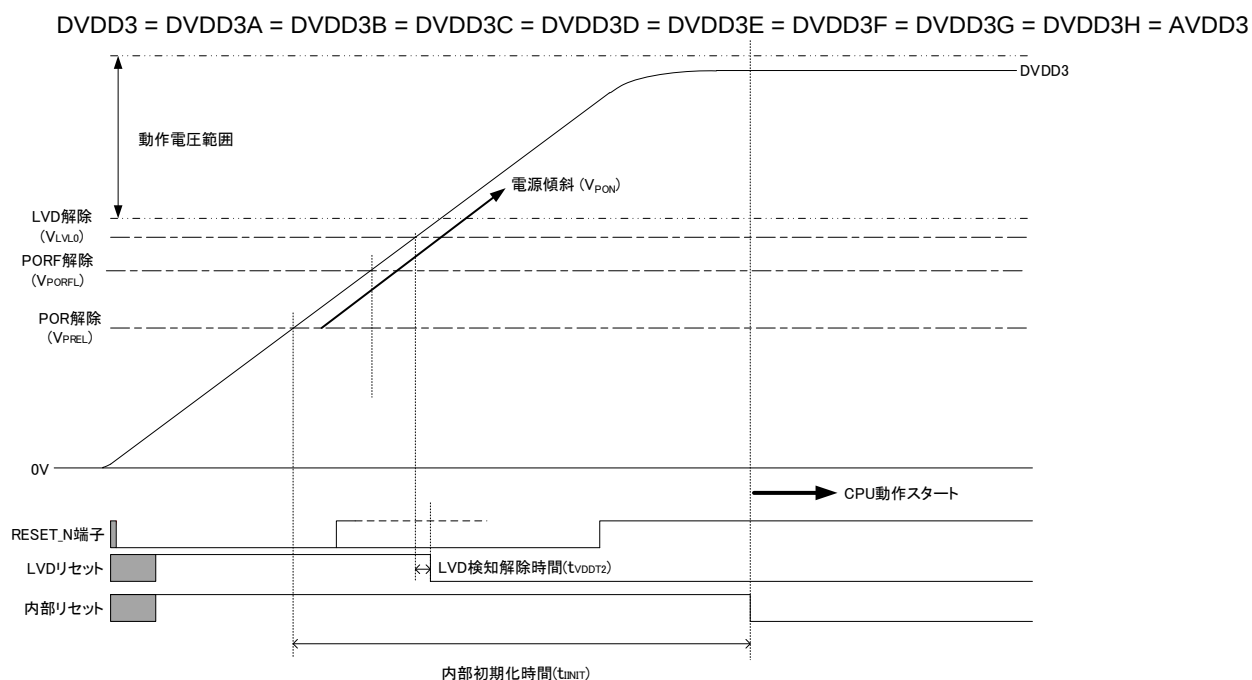


図 3.3 RESET_N端子によるリセット動作(2)

3.2.1.3. LVD によるリセットの継続

"内部初期化時間"が経過しても電源電圧が LVD 解除電圧を超えていない場合は、LVD がリセットを出力してリセット状態を継続します。電源電圧が LVD 解除電圧を越えたら"LVD 検知解除時間"+"CPU 動作待ち時間"の後内部リセットが解除されて CPU は動作を開始します。LVD の詳細はリファレンスマニュアル「電圧検知回路」を参照してください。

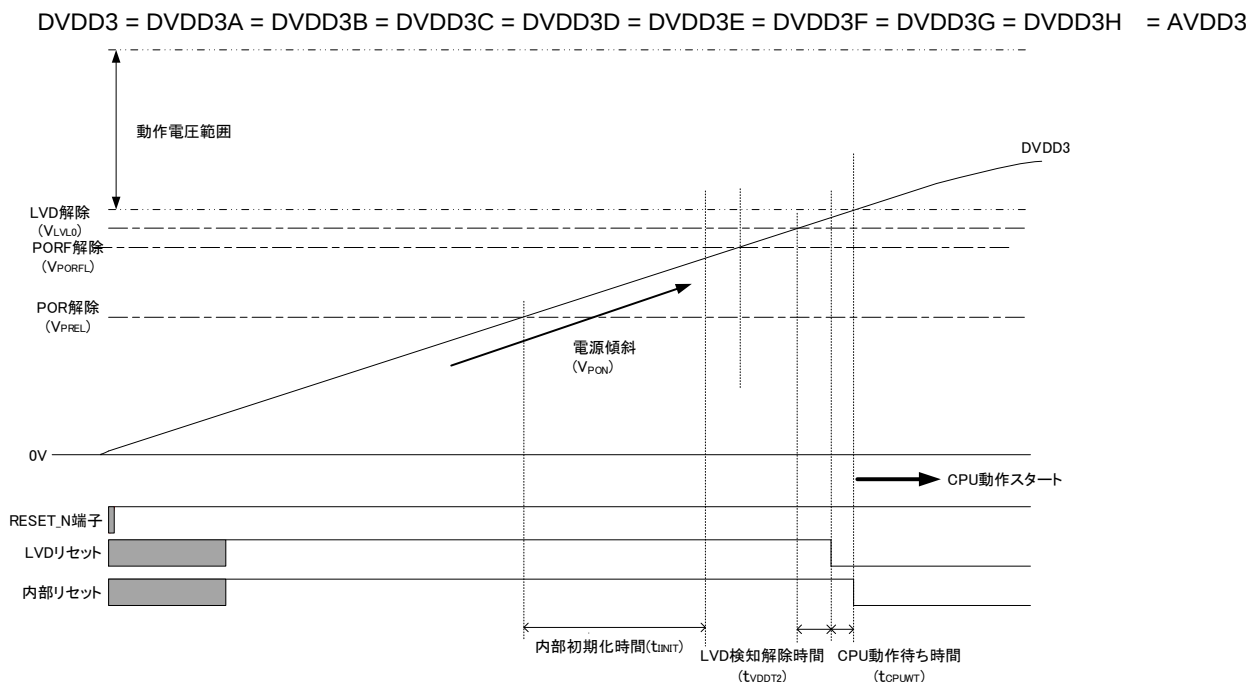


図 3.4 LVDリセットによるリセット動作

3.2.2. ウォームリセット

3.2.2.1. RESET_N 端子によるウォームリセット

RESET_N 端子でリセットをかける場合には、電源電圧が動作範囲内である状態で RESET_N 端子を 17.2μs 以上の期間"Low"にしてください。

RESET_N 端子の"Low"期間が"内部処理時間"より長い場合、RESET_N 端子が"High"になってから"CPU 動作待ち時間" 経過後に内部リセットは解除されます。

RESET_N 端子の"Low"期間が"内部処理時間"より短い場合、内部リセットが引き伸ばされ、RESET_N 端子が"Low"になってから"内部処理時間"+"CPU 動作待ち時間" 経過後に内部リセットは解除されます。

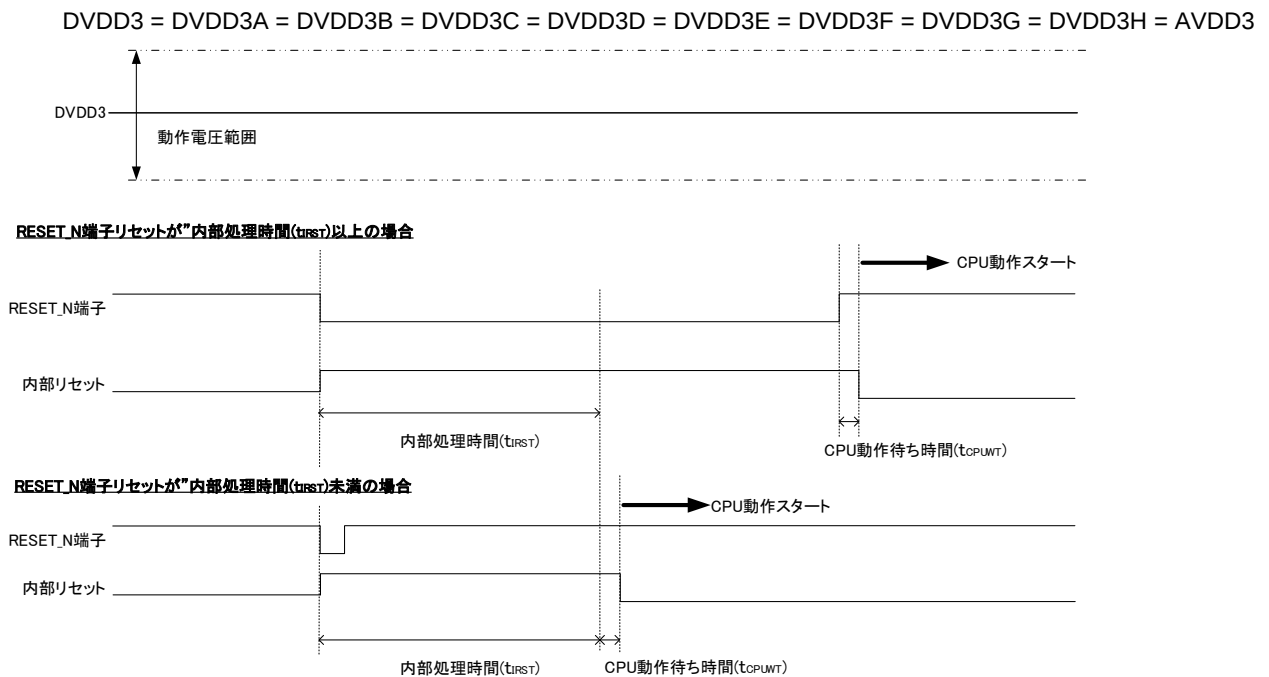


図 3.5 ウォームリセット動作

3.2.2.2. 内部リセットによるウォームリセット

SIWDT、OFD、LVD、LOCKUP および<SYSRESETREQ>などの内部要因によるリセットでは、"内部処理時間"+"CPU 動作待ち時間"経過後に内部リセットは解除されます。

3.2.3. STOP2 モード解除によるリセット

STOP2 モード中に RESET_N 端子が"Low"になる、または LVD リセットが発生すると STOP2 モードは解除され、電源遮断領域に対して電源投入とリセット動作が行われます。RESET_N 端子が"High"になる、または LVD リセットが解除されると NORMAL モードで動作を始めます。この時[RLMLOSCCR]、[RLMRSTFLG0]、[RLMRSTFLG1]を除き、コールドリセット後と同様の状態となります。

割り込み要求がアサートされた場合は、STOP2 モード解除シーケンスの中で内部の電源遮断領域に対して電源が投入され、リセット動作が行われます。STOP2 解除時の動作は、「1.3.3.3. STOP2 モードからの復帰」を参照してください。

3.2.4. シングルブートモードの起動

シングルブートモードの詳細はリファレンスマニュアル「フラッシュメモリー」を参照してください。

3.2.4.1. RESET_N 端子を使った起動

BOOT_N 端子に "Low"を入力して RESET_N 端子からリセットをかけるとシングルブートモードを起動します。

電源投入時は、内部初期化時間以上の間 RESET_N 端子に "Low"を入力してリセットをかけてください。電源電圧が動作電圧範囲まで上がってからリセットを解除してください。

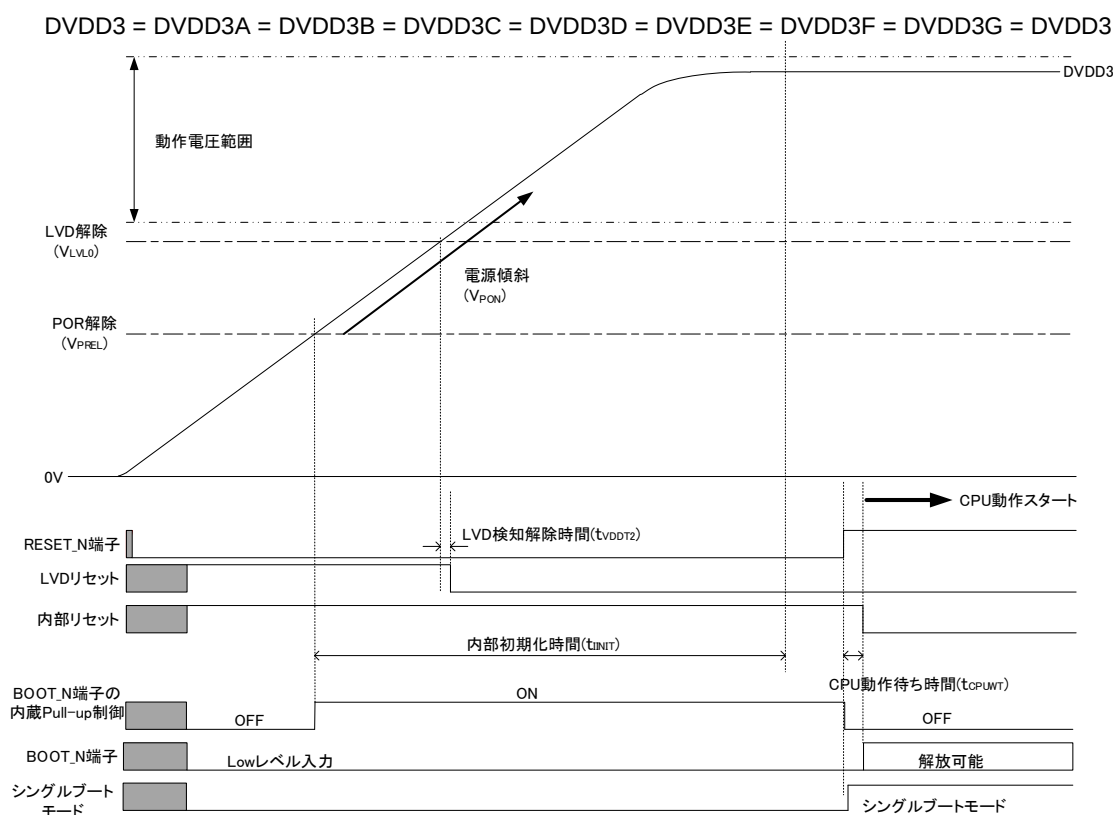


図 3.6 RESET_N端子を使用してシングルブートモードの起動

3.2.4.2. パワーオンリセットによる起動(RESET_N 端子を使用しない場合)

電源投入時、BOOT_N 端子に"Low"を入力して、内部リセットが解除されると CPU 動作スタート後シングルブートモードが起動します。

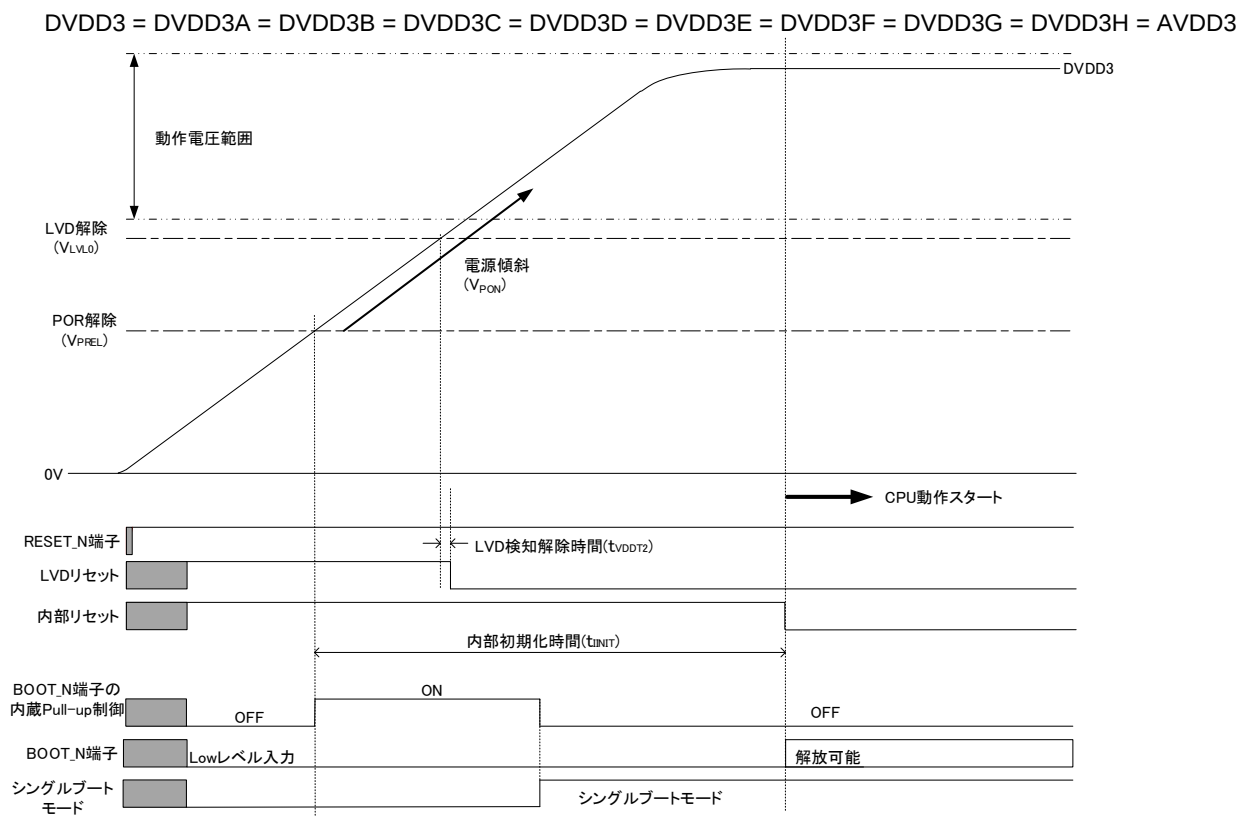


図 3.7 パワーオンリセットによる起動(RESET_N 端子を使用しない場合)

3.2.4.3. 電源安定時のシングルブートモードの起動

電源電圧が動作電圧範囲内で安定している場合は、BOOT_N 端子に"Low"を入力した状態で、内部処理時間以上の間 RESET_N 端子を"Low"にしてリセットをかけてください。

DVDD3 = DVDD3A = DVDD3B = DVDD3C = DVDD3D = DVDD3E = DVDD3F = DVDD3G = DVDD3H = AVDD3

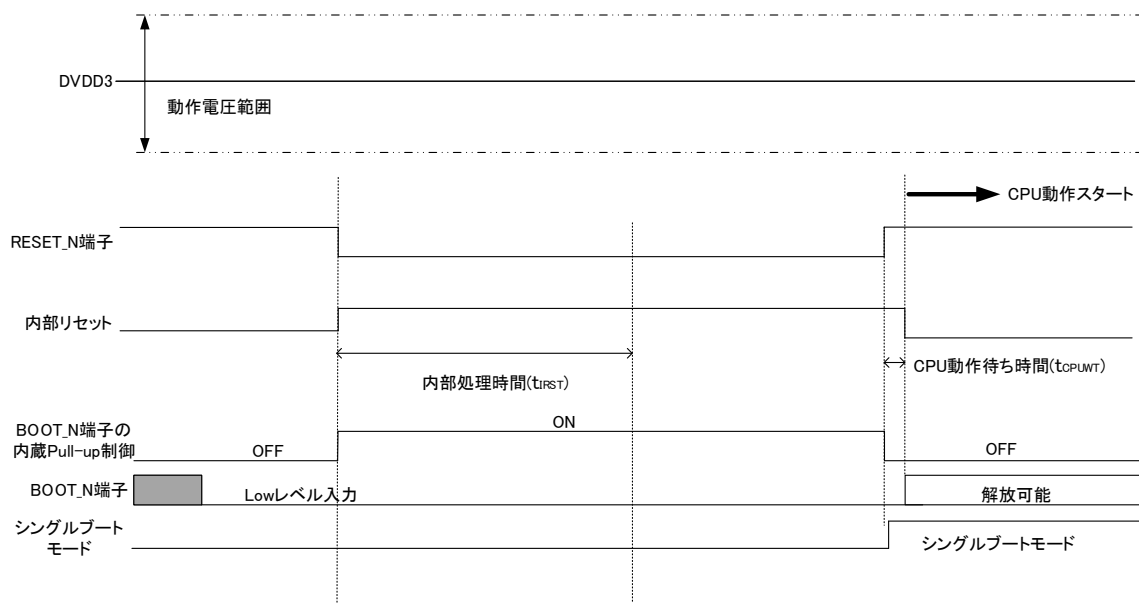


図 3.8 電源安定時のシングルブートモードの起動

3.2.5. パワーオンリセット回路

パワーオンリセット回路(POR)は、電源投入時または切断時にリセット信号を発生する回路です。

注) 電源電圧の変動によりパワーオンリセット回路が動作しないことがあります。回路設計時には電気的特性を参照のうえ十分な考慮をしてください。

パワーオンリセット回路は、検知電圧発生回路、基準電圧発生回路、コンパレータから構成されます。

電源電圧とは、DVDD3(= DVDD3A = DVDD3B = DVDD3C = DVDD3D = DVDD3E = DVDD3F = DVDD3G = DVDD3H)を指しています。

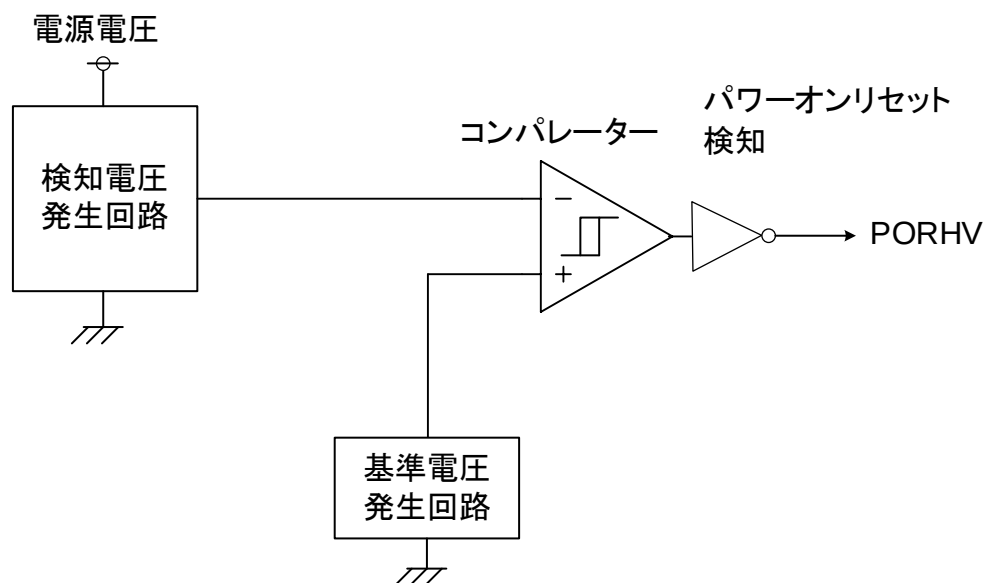


図 3.9 パワーオンリセット回路

3.2.5.1. 電源投入時の動作

電源投入時、電源電圧がパワーオンリセット解除電圧(V_{PREL})以下の間、パワーオンリセットが発生します。詳細は「図 3.1 パワーオンリセット回路によるリセット動作」を参照ください。

パワーオンリセットが発生している間、CPU および周辺機能はリセットされます。

3.2.5.2. 電源切断時の動作

電源切断時、電源電圧がパワーオンリセット検出電圧(V_{PDET})以下になると、パワーオンリセットが発生します。

パワーオンリセットが発生している間、CPU および周辺機能はリセットされます。

3.2.6. 電源切断時の注意事項

電源切断時は必ず既定の手順を守って電圧を下げてください。

DVDD3 = DVDD3A = DVDD3B = DVDD3C = DVDD3D = DVDD3E = DVDD3F = DVDD3G = DVDD3H = AVDD3

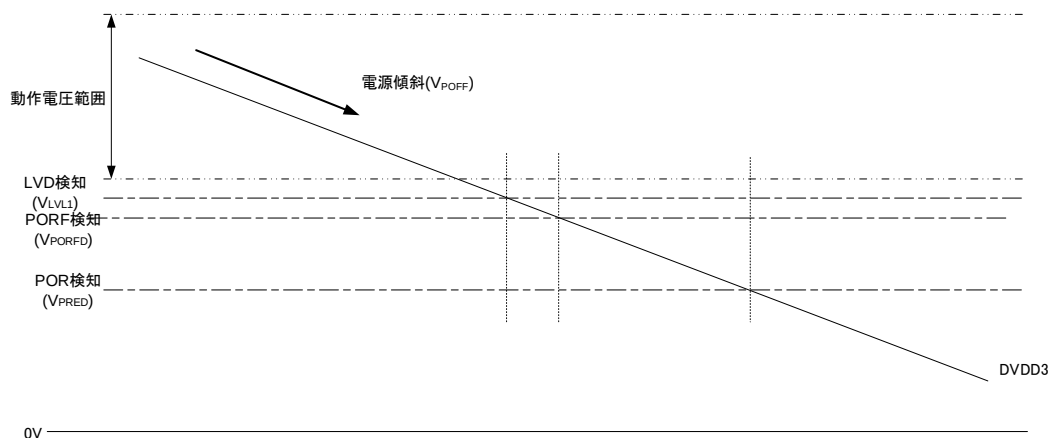


図 3.10 電源切断時の電源傾斜

PORF リセットによって、Flash メモリーとデバッグを含む回路にリセットがかかります。詳細は「3.2.8.1 リセット要因と初期化範囲」を参照してください。

3.2.7. 電源切断後の再投入について

3.2.7.1. 外部のリセット回路または内蔵 LVD のリセット出力を使用している場合

電源が切断され電源電圧が動作保証電圧を下回った場合は、電源電圧が外部のリセット回路または内蔵 LVD の設定電圧以下となりリセットがかかっている状態から、電源投入時と同じ制約を守って電源電圧を立ち上げてください。

3.2.7.2. 外部のリセット回路/内蔵 LVD のリセット出力を使用しない場合

電源が切断され電源電圧が動作保証電圧を下回った場合は、必ず電源電圧をパワーオンリセット検出電圧(V_{PDET})以下まで下げて 200 μ s 以上保持してください。その後、電源投入時と同じ制約を守って電源電圧を立ち上げてください。

電源電圧がパワーオンリセット検出電圧(V_{PDET})以下まで下がって 200 μ s 以上保持できない場合や、再投入時の電源電圧上昇が電源投入時と同じ制約が守られない場合、CPU は正常に動作しないことがあります。

3.2.7.3. バウンダリースキャンを使用する場合

電源が切断され電源電圧が動作保証電圧を下回った場合は、必ず電源電圧を 0V まで下げてください。その後、電源投入時と同じ制約を守って電源電圧を立ち上げてください。

3.2.8. リセット解除後

リセット解除後は、Cortex-M4(FPU 機能搭載)コアの制御レジスタや周辺機能の制御レジスタ(SFR)は初期化されますが、リセットの要因により初期化される範囲が異なります。

リセット要因ごとの初期化される範囲については、「表 3.1 リセット要因と初期化される範囲」を参照してください。

また、リセットが発生したときのリセットの要因は、リセットフラグレジスタの[RLMRSTFLG0]/[RLMRSTFLG1]で確認できます。[RLMRSTFLG0]/[RLMRSTFLG1]の詳細については、リファレンスマニュアル「例外」を参照してください。

リセット解除後、内蔵高速発振器 1(IHOSC1)のクロックで動作を開始します。必要に応じて外部発振、PLL 逡倍回路の設定を行ってください。

3.2.8.1. リセット要因と初期化範囲

リセット要因と初期化される範囲を表 3.1 に示します。

表 3.1 リセット要因と初期化される範囲

レジスターおよび周辺機能		リセット要因								
		STOP2 モード解除		コールド リセット	ウォームリセット(注 1)					
		割り込み 要因	リセット 端子 (注 1) (注 3)	POR (注 1)	リセット 端子	OFD リセット	SIWDT リセット	LVD リセット	CPU <SYS RESET REQ> リセット	CPU LOCKUP リセット
	リセット信号名	STOP2 REQ	RESET_N	PORHV	RESET_N	OFD RSTOUT	WDT RSTOUT	LVD RSTOUT	SYS RESET REQ	LOCKUP RESET REQ
RTC	[RTCSECR] [RTCMINR] [RTCHOURR] [RTCDAYR] [RTCDATER] [RTCMONTHR] [RTCYEARR] [RTCADJCTL] [RTCADJDAT] [RTCADJSIGN] [RTCPAGER](注 2)	×	×	×	×	×	×	×	×	×
	上記以外	×	○	○	○	○	○	○	○	○
低速発振 電源制御 リセットフラグ	[RLMSHTDNOPI] [RLMPROTECT]	×	○	○	○	○	○	○	○	○
	[RLMLOSCCR] [RLMRSTFLG0] [RLMRSTFLG1]	×	×	○	×	×	×	×	×	×
割り込み 制御	[IAIMCxx] [IANIC00]	×	○	○	○	○	○	○	○	○
	[IBIMCxxx] [IBNIC00]	○	○	○	○	○	○	○	○	○
Flash	[FCSBMR]	○	○	○	×	×	×	×	×	×
ポート	全レジスター	○	○	○	○	○	○	○	○	○
OFD		○	○	○	○	○	○	○	○	○
LVD		×	○	○	○	×	×	×	×	×
LTTMR、ISD、RMC、CEC		×	○	○	○	○	○	○	○	○
デバッグインターフェース		○	○	○	×	×	×	×	×	×
上記以外		○	○	○	○	○	○	○	○	○

○: 初期化される

×: 初期化されない

注 1) リセット動作を行うと内蔵 RAM のデータは保証されません。

注 2) [RTCPAGER]<ENATMR><ENAALM>は初期化されません。その他ビットシンボルは初期化します。

注 3) LVD リセットで STOP2 モードが解除された場合の初期化範囲は、ウォームリセットで示される範囲となります。

注 4) NORMAL/IDLE/STOP2 モード時のリセットでは初期化されませんが、STOP1 モード時のリセットでは初期化されます。

4. 改訂履歴

表 4.1 改訂履歴

Revision	Date	Description
1.0	2020-12-22	・新規
1.1	2023-06-14	・1.2.3. クロック系統図 赤字を黒字に修正 内蔵高速発振器 2 の出力先名を SIWDT へ修正 ・表 1.10 低消費電力モード別 ブロック動作状態一覧 SIWDT の STOP1 モードの動作状態を変更 注 2 「IDLE モード」を「IDLE/STOP1 モード」に変更 ・1.3.2.1. IDLE モード遷移フロー 注を追加 ・1.3.2.2. STOP1 モード遷移フロー 注を変更 ・1.3.2.3. STOP2 モード遷移フロー 注を削除 ・図 1.3 STOP2 モード復帰フローを修正 ・1.3.3.3. STOP2 モードからの復帰 注 2 を追加、注 2 を注 3 に変更、内容修正 ・1.3.4.2. NORMAL→STOP1→NORMAL 動作モード遷移に注を追加 ・1.3.4.3. NORMAL→STOP2→RESET→NORMAL 動作モード遷移に注を追加 ・2.2.3.1. 制御レジスタ[FCRACCR]の注 2 の赤字を黒字に修正 ・3.1. 概要 表の「STOP2 モード解除によるリセット」に「LVD リセット」を追加 ・3.2.3. STOP2 モード解除によるリセットの説明を修正 ・表 3.1 リセット要因と初期化される範囲 割り込み要因から「PORF」を削除 割り込み要因の「リセット端子」に「(注 3)」を追加 [FCSBMR]の割り込み要因が「リセット端子」、「LVD リセット」の項目に「(注 4)」を追加 デバッグインターフェースの割り込み要因が「リセット端子」、「LVD リセット」の項目に(注 4) を追加 注 3、注 4 を追加
1.2	2023-09-15	・図 1.1 クロック系統図 変更 ・1.3.1.4. 低消費電力モードにおける周辺機能状態 注 2)を変更 ・1.3.3.1. 低消費電力モードの解除ソース マスク不能割り込み(NMI)による解除の文章を変更

1.3	2024-05-31	・1.2.3. クロック系統図 図 1.1 クロック系統図を変更 ・1.2.6.1. システムクロックの設定方法 (1) fosc 設定(内蔵発振→外部発振) 切り替え前の状態を変更 注を追加 (2) fosc 設定(内蔵発振→外部クロック入力) 切り替えシーケンス例の手順 1 を変更 ・1.2.7. 低速クロック (1) ELOSC の設定(外部低速発振なし→外部低速発振) 切り替えシーケンス例を変更 (2) ELCLKIN の設定(外部低速発振なし→外部低速クロック入力) 切り替えシーケンス例を変更 ・1.4.2.13. [CGSPCLKEN] (ADC、デバッグ回路用クロック供給停止レジスター) 注 1、注 2 を追加 ・1.4.2.15. [RLMLOSCCR] (低速発振&内蔵高速発振 2 クロック制御レジスター) <XTEN>の機能説明を変更 ・2.2. バスマトリクス 説明を変更 ・3.2.7. 電源切断後の再投入について 「3.2.7.3. バウンダリースキャンを使用する場合」を追加 ・3.2.8.1. リセット要因と初期化範囲 表 3.1 リセット要因と初期化される範囲 LVD の初期化条件の変更
-----	------------	---

製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報(本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど)および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器(以下"特定用途"という)に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器(ヘルスケア除く)、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証(機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。)をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。