

32 ビット RISC マイクロコントローラー

TXZ+ファミリー

リファレンスマニュアル

FIR 計算回路

(FIR-A)

Revision 1.0

2020-10

東芝デバイス&ストレージ株式会社

目次

序章	5
関連するリファレンスマニュアル	5
表記規約	6
用語・略語	8
1. 概要	9
2. 構成	10
3. 機能説明	11
3.1. クロック供給	11
3.2. 動作概要	11
3.2.1. I ² S データ受信時の動作	11
3.2.2. I ² S データ送信時の動作	12
3.2.3. FIR 処理のタイミングチャート	13
3.3. 設定	13
3.3.1. FIR 処理開始のトリガー選択	13
3.3.2. データバッファの一括初期化	13
3.3.3. データバッファの任意データへのアクセス	14
3.3.4. データフォーマット	15
3.3.5. 入力データのビットシフト機能	15
3.3.6. 出力データのフォーマット	16
3.4. 割り込み	17
3.4.1. 入力データライト要求割り込み	17
3.4.2. 積和演算結果リード要求割り込み	17
3.4.3. 積和演算オーバーフロー割り込み	17
3.5. DMA 要求	18
3.6. 動作フロー・処理手順	19
3.6.1. 動作フロー	19
3.6.2. 停止手順	21
3.6.3. I ² S 受信時の処理	21
3.6.3.1. 24 ビットおよび 32 ビットステレオデータ受信時の処理	21
3.6.3.2. 16 ビットステレオデータ受信時の処理	21
3.6.3.3. 24 ビットおよび 32 ビットモノラルデータ受信時の処理	22
3.6.3.4. 16 ビットモノラルデータ受信時の処理	22
3.6.4. I ² S 送信時の処理	22
3.6.4.1. 24 ビットおよび 32 ビットステレオデータ送信時の処理	22
3.6.4.2. 16 ビットステレオデータ送信時の処理	23
3.6.4.3. 24 ビットおよび 32 ビットモノラルデータ送信時の処理	23
3.6.4.4. 16 ビットモノラルデータ送信時の処理	23
4. レジスタ説明	24

4.1. レジスタ一覧	24
4.2. レジスタ詳細	24
4.2.1. [FIRSTART](スタートレジスタ)	24
4.2.2. [FIRCTRL](制御レジスタ)	25
4.2.3. [FIRINITIALIZE](初期化レジスタ)	25
4.2.4. [FIRINITDATA](初期化データレジスタ)	26
4.2.5. [FIRINTEN](割り込み制御レジスタ)	26
4.2.6. [FIRDMAEN](DMA 制御レジスタ)	26
4.2.7. [FIRRAWINTSTAT](割り込みステータスレジスタ)	27
4.2.8. [FIRSEQSTAT](シーケンサステータスレジスタ)	27
4.2.9. [FIRDBUFWPTR](データバッファライトポインターレジスタ)	27
4.2.10. [FIRDBUFRPTR](データバッファリードポインターレジスタ)	28
4.2.11. [FIRIDATA](入力データレジスタ)	28
4.2.12. [FIRODATA](出力データレジスタ)	28
4.2.13. [FIRCOEF0](係数レジスタ)	28
5. 改訂履歴	29
製品取り扱い上のお願い	30

図目次

図 2.1	FIR のブロック図.....	10
図 3.1	I ² S データ受信時の動作.....	12
図 3.2	I ² S データ送信時の動作.....	12
図 3.3	FIR 処理のタイミングチャート.....	13
図 3.4	入力データのビットシフト機能.....	15
図 3.5	入力データのフォーマット(MSB 側詰め).....	16
図 3.6	出力データのフォーマット.....	16
図 3.7	割り込みの生成論理.....	17
図 3.8	DMA リクエストの生成論理.....	18
図 3.9	動作フロー(1).....	19
図 3.10	動作フロー(2).....	20
図 3.11	I ² S のデータフォーマット例.....	22
図 3.12	24 ビットおよび 32 ビットステレオデータ送信時の処理.....	23
図 3.13	16 ビットステレオデータ送信時の処理.....	23

表目次

表 1.1	機能概要.....	9
表 2.1	信号一覧表.....	10
表 3.1	データバッファのポインター動作.....	14
表 3.2	データフォーマット.....	15
表 3.3	停止手順.....	21
表 5.1	改訂履歴.....	29

序章

関連するリファレンスマニュアル

文書名
クロック制御と動作モード
製品個別情報
例外
DMA コントローラー
I ² S インターフェース

表記規約

- 数値表記は以下の規則に従います。
 - 16 進数表記: 0xABC
 - 10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
 - 2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は [m:n]とまとめて表記する場合があります。
例: S[3:0] は S3,S2,S1,S0 の 4 つの信号名をまとめて表記しています。
- 本文中 [] で囲まれたものはレジスターを定義しています。
例: [ABCD]
- 同種で複数のレジスター、フィールド、ビット名は「n」で一括表記する場合があります。
例: [XYZ1], [XYZ2], [XYZ3] → [XYZn]
- 「レジスター一覧」中のレジスター名でユニットまたはチャンネルは「x」で一括表記しています。
ユニットの場合、「x」は A,B,C...を表します。
例: [ADACR0], [ADBCR0], [ADCCR0] → [ADxCR0]
チャンネルの場合、「x」は 0,1,2,...を表します。
例: [T32A0RUNA], [T32A1RUNA], [T32A2RUNA] → [T32AxRUNA]
- レジスターのビット範囲は [m:n] と表記します。
例: [3:0] はビット 3 から 0 の範囲を表します。
- レジスターの設定値は 16 進数または 2 進数のどちらかで表記されています。
例: [ABCD]<EFG> = 0x01 (16 進数)、[XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
 - バイト: 8 ビット
 - ハーフワード: 16 ビット
 - ワード: 32 ビット
 - ダブルワード: 64 ビット
- レジスター内の各ビットの属性は以下の表記を使用しています。
 - R: リードオンリー
 - W: ライトオンリー
 - R/W: リード / ライト
- 断りのない限り、レジスターアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスターは書き換えを行わないでください。また、読み出した値を使用しないでください。
- Default 値が「—」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスターに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
Default 値が「—」となっている場合は、個々のレジスターの定義に従ってください。
- ライトオンリーのレジスターの Reserved ビットフィールドには Default 値を書き込んでください。
Default 値が「—」となっている場合は、個々のレジスターの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスターへのリードモディファイライト処理は行わないでください。

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

AHB	Advanced High-performance Bus
DMA	Direct Memory Access
DMAC	Direct Memory Access Controller
FIFO	First-In First-Out
FIR	Finite Impulse Response
I ² S	Inter-IC Sound
LSB	Least Significant Bit
MSB	Most Significant Bit
TRGSEL	Trigger Selection circuit

1. 概要

FIR 計算回路(FIR)は、I²S 専用の機能です。FIR 計算回路の主な機能は、以下のとおりです。

表 1.1 機能概要

機能分類	機能	動作説明
計算	積和演算処理	データバッファ-にデータがライトされるとあらかじめ設定されたフィルタ-係数と積和演算処理を行います。
	タップ数選択	1~128 まで設定可能(設定値+1 がタップ数)
	入力データ処理選択	入力データの計算処理を選択できます。 ・偶数番目 ・奇数番目 ・毎データ
データ形式	入力/出力データ幅選択	入力/出力するデータ幅を選択できます。(固定小数点数)(注) ・16 ビット ・24 ビット ・32 ビット
	入力データビットシフト量選択	設定値量だけ入力データを左シフトした値をデータバッファ-にライトします。(0~16 ビットまで設定可能)
	出力データ詰め選択	出力データの出力形式を選択できます。 ・MSB 詰め ・LSB 詰め
連動機能	DMA 転送	DMA 要求の要因として以下があります。 ・入力データライト要求 ・積和演算結果リード要求
	割り込み	割り込み要因として以下があります。 ・入力データライト ・積和演算結果リード ・オーバ-フロー
	I ² S との連動機能	計算処理開始のトリガ-を TRGSEL で選択できます。 ・I ² S 受信 FIFO がしきい値を上回った場合 ・I ² S 送信 FIFO がしきい値を下回った場合 I ² S 音声データの L と R のうち、片方のデータのみ、計算処理を行います。
特殊機能	一括初期化	計算処理前にタップ数分のデータバッファ-を一括で同じ値に初期化します。

注) 固定小数点数は最上位ビットが符号、それ以下が小数部のデータを表します。

2. 構成

FIR 計算回路は、係数バッファ、データバッファ、積和演算器、DMA/割り込み制御回路と各レジスタから構成されます。

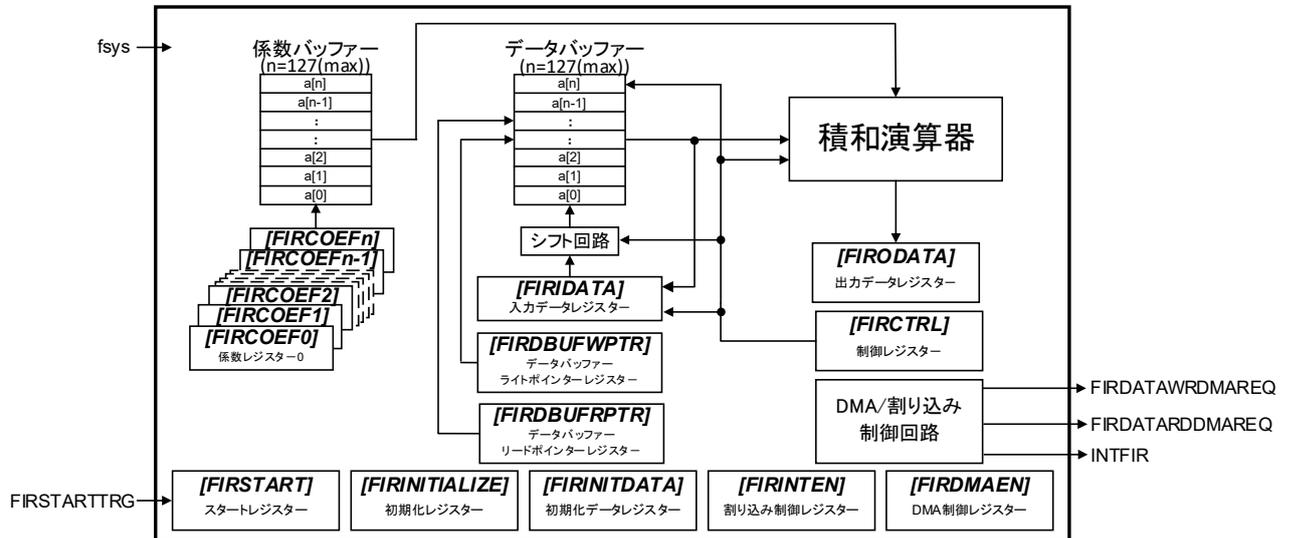


図 2.1 FIRのブロック図

表 2.1 信号一覧表

No	信号名	信号名称	I/O	参照リファレンスマニュアル
1	fsys	システムクロック	I	クロック制御と動作モード
2	FIRDATAWRDMAREQ	入力データライト要求	O	多機能 DMA コントローラ、製品個別情報
3	FIRDATARDDMAREQ	演算結果データリード要求	O	多機能 DMA コントローラ、製品個別情報
4	INTFIR	割り込み要求信号	O	例外
5	FIRSTARTTRG	演算開始トリガー信号	I	製品個別情報

3. 機能説明

3.1. クロック供給

FIR を使用する場合は、f_{sys} 供給停止レジスタA(*[CGFSYSENA]*、*[CGFSYSMENA]*)、f_{sys} 供給停止レジスタB(*[CGFSYSENB]*、*[CGFSYSMENB]*)、f_{sys} 供給停止レジスタC(*[CGFSYSMENC]*)、fc 供給停止レジスタ(*[CGFCEN]*)で該当するクロックイネーブルビットを"1"(クロック供給)に設定してください。

該当レジスタ、ビット位置は製品によって異なります。そのため、製品によってレジスタが存在しない場合があります。詳細はリファレンスマニュアルの「クロック制御と動作モード」を参照してください。

3.2. 動作概要

FIR 計算回路は、タップ数が最大 128 の積和演算処理を行います。また、演算結果はレジスタ経由で読み出すことができます。

3.2.1. I²S データ受信時の動作

例として、DMAC を使用した I²S データ受信時の動作を図 3.1 に示します。

まず、FIR 処理開始のトリガー選択(3.3.1 参照)、各制御レジスタ、フィルター係数を設定し、*[FIRSTART]* <START>に"1"をライトします。これにより入力データを受けられる状態にします。I²S の受信データ FIFO のデータ量がしきい値を上回った場合、

- ① I²S の受信 FIFO ステータス信号をアサート
(このとき FIR 計算回路がデータ入力可能(前の積和演算が終了し、演算結果がリードされた後)であれば)
- ② DMAC に DMA リクエストを送信
- ③ DMAC により I²S のデータ FIFO から FIR 計算回路のデータバッファ(*[FIRIDATA]*<IDATA[31:0]>)にデータを転送
- ④ データバッファにデータがライトされるとあらかじめ設定されたフィルター係数と積和演算(注)実施
- ⑤ 積和演算終了後、FIR 計算回路は DMAC に DMA リクエストを送信
- ⑥ DMAC により演算結果*[FIRODATA]*<ODATA[31:0]>を SRAM に転送

以上の動作を停止指示があるまで繰り返します。

FIR 計算回路を停止するには、*[FIRSTART]* <START>に"0"をライトします。これにより内部処理が終了した後、*[FIRSTART]* <START>は"1"から"0"になります。

注) FIR 計算回路に搭載している乗算器は1つであるため、積和演算の計算にはタップ数分のサイクルがかかります。

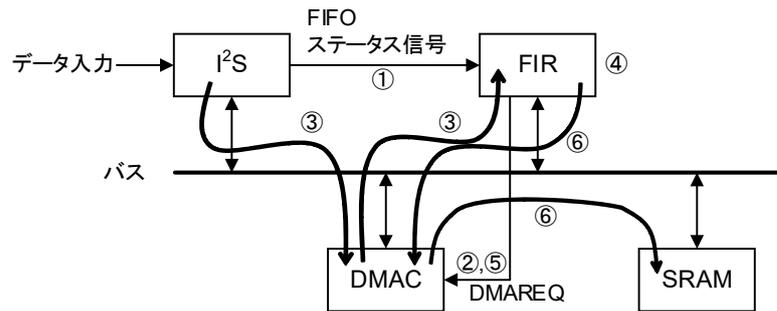


図 3.1 I²Sデータ受信時の動作

3.2.2. I²S データ送信時の動作

例として、DMACを使用したI²Sデータ送信時の動作を示します。

DMACを使用したSRAMからI²Sへの転送までの動作を図3.2に示します。I²Sデータ受信時同様に、設定した後、I²Sからの送信データFIFOがしきい値を下回った場合、

- ① I²S 送信 FIFO ステータス信号がアサート
(I²S データ受信時と同様に FIR 計算回路がデータ入力可能であれば)
- ② DMAC に DMA リクエストを送信
- ③ SRAM に格納してあるデータを DMAC により FIR 計算回路のデータバッファ (*(FIRDATA)<IDATA[31:0]>*) にデータを転送
- ④ データバッファにデータがライトされるとあらかじめ設定されたフィルター係数と積和演算(注)
- ⑤ 積和演算終了後、FIR 計算回路は DMAC に DMA リクエストを送信
- ⑥ 積和演算結果を DMAC により I²S に転送

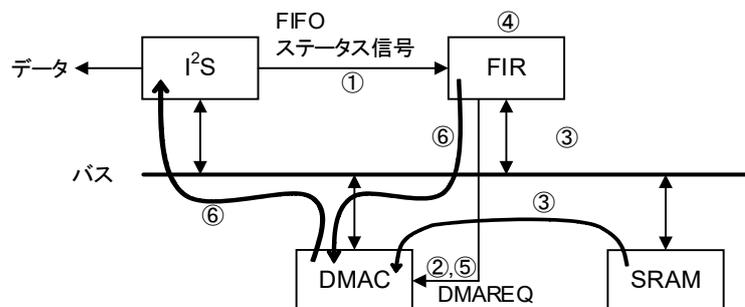


図 3.2 I²Sデータ送信時の動作

注) FIR 計算回路に搭載している乗算器は1つであるため、積和演算の計算にはタップ数分のサイクルがかかります。

3.2.3. FIR 処理のタイミングチャート

図 3.3 に FIR 処理のタイミングチャートを示します。データバッファのリード、積和演算、結果書き込みはパイプライン処理で行います。

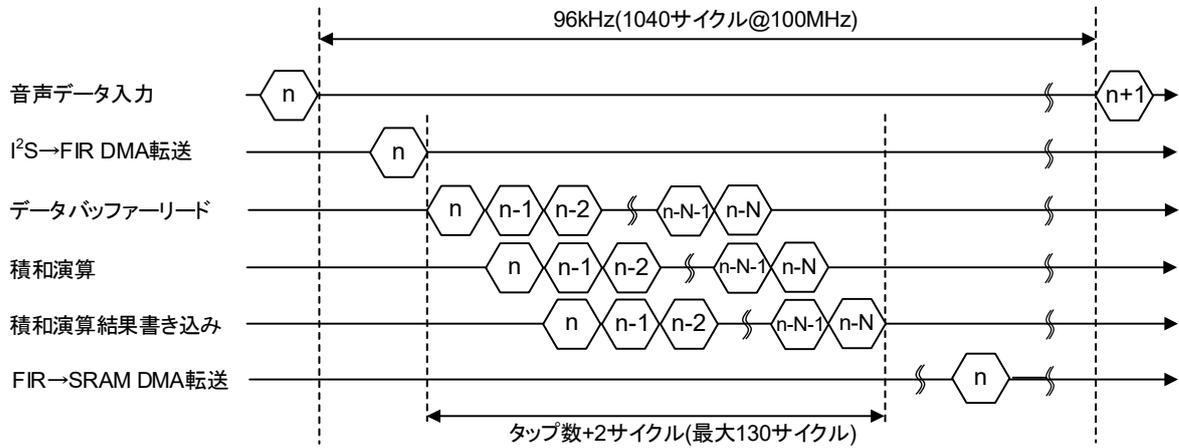


図 3.3 FIR処理のタイミングチャート

3.3. 設定

3.3.1. FIR 処理開始のトリガー選択

TRGSEL(注)の設定により、FIR 処理開始のトリガーを選択できます。

- ・ I²S 受信 FIFO がしきい値を上回った場合(I²S 受信 FIFO ステータス信号)
- ・ I²S 送信 FIFO がしきい値を下回った場合(I²S 送信 FIFO ステータス信号)

注) 詳細はリファレンスマニュアルの「製品個別情報」を参照してください。

FIR は送信と受信で共用されるためこれらを切り替える場合、TRGSEL、FIR、DMAC の設定を都度変更する必要があります。

3.3.2. データバッファの一括初期化

FIR 計算処理前にタップ数分のデータバッファのエントリーを一括で同じ値に初期化することができます。初期化を開始するには、**[FIRINITDATA]**<INITDATA[31:0]>に初期値をライトした後、**[FIRINITIALIZE]** <INITIALISE>に"1"をライトします。初期化中<INITIALISE>は"1"を保持し、初期化が終了すると<INITIALISE>は"0"になります。初期化するエントリー数は**[FIRCTRL]**<TAPNUM[6:0]>の設定値+1 となるので、初期化前に<TAPNUM[6:0]>を確定しておく必要がありますが、確定していない場合に備えて、<TAPNUM[6:0]>の初期値は最大になっています。

なお、**[FIRINITIALIZE]** <INITIALISE>が"1"の間に、**[FIRSTART]** <START>に"1"をライトした場合、初期化終了後に FIR が起動します。このため、ソフトウェアで初期化終了を待つ必要はありません。

3.3.3. データバッファの任意データへのアクセス

データバッファには次にライトするエントリを示すライトポインターと、次にリードするエントリを示すリードポインターが存在しており、これらポインターを操作することで任意のデータを個別にアクセスすることができます。**[FIRIDATA]<IDATA[31:0]>**へのライト後にライトポインターはインクリメントされ、後続のエントリを続けてライトすることができます。また、**[FIRIDATA]<IDATA[31:0]>**へのリード後にリードポインターはデクリメントされ、データが新しい順に次々と読み出すことができます。ライトするとリードポインターはインクリメント前のライトポインターの値、つまりライトしたエントリを示すようになります。

表 3.1 データバッファのポインター動作

	ライト時	リード時
ライトポインター	インクリメント ([FIRCTRL]<TAPNUM[6:0]> 設定値に達した次のライト時に"0x0"となる)	変わらない
リードポインター	インクリメント前のライトポインターの値	デクリメント ("0x0" に達した次のリード時は [FIRCTRL]<TAPNUM[6:0]> 設定値となる)

また、ライトポインターとリードポインターはそれぞれ**[FIRDBUFWPTR]**、**[FIRDBUFRPTR]**レジスタにより直接書き換えることができます(注1)。ポインターを書き換えた後に**[FIRIDATA]<IDATA[31:0]>**をライト/リードすることにより、データバッファの任意のエントリにアクセスすることができます(注2)。

注1) FIR 処理中にデータバッファのポインターへライトしないでください。

注2) データバッファへのアクセスは FIR 処理停止時であっても、“3.3.2. データバッファの一括初期化”の**[FIRINITIALIZE]<INITIALIZE>**による初期化中は行えません。このため、**<INITIALIZE>**によりデータバッファを初期化した後、任意エントリの値を書き換える場合は**<INITIALIZE>**が"0"になってから行ってください。

ライトポインターは FIR 処理起動時に自動的に"0"に初期化されます。このため、最初のデータをライト(注)した後の積和演算は以下の計算式となります。

$$a[0]*x[0]+a[1]*x[N]+\dots+a[N]*x[1]$$

次のデータは x[1]にライトされ、積和演算は以下の計算式となります。

$$a[0]*x[1]+a[1]*x[0]+a[2]*x[N]+\dots+a[N]*x[2]$$

a[n] : 係数バッファの n 番目のエントリの値

x[n] : データバッファの n 番目のエントリの値

N : **[FIRCTRL]<TAPNUM[6:0]>**の値

注) 最初のデータは x[0]にライトされます。このため、x[0]は初期値を設定しておく必要はありません。

FIR 処理終了時、リードポインターは最後にライトしたエントリを示しています。このため、FIR 処理終了後に**[FIRIDATA]<IDATA[31:0]>**をリードすることでライトデータを新しい順に読み出すことができます。

3.3.4. データフォーマット

各データのフォーマットと制御レジスターを表 3.2 に示します。

表 3.2 データフォーマット

データ	フォーマット	制御レジスター
係数 ($[FIRCOEF]<COEF[15:0]>$)	16ビット固定小数点数 (注 1)	-
入力データ ($[FIRIDATA]<IDATA[31:0]>$) (注 2) / 初期値 ($[FIRINITDATA]<INITDATA[31:0]>$)	16/24/32ビット固定小数点数 (注 1)	$[FIRCTRL]<IDATASIZE[2:0]>$
出力データ ($[FIRODATA]<ODATA[31:0]>$) (注 2)	16/24/32ビット固定小数点数 (注 1)	$[FIRCTRL]<ODATASIZE[2:0]>$

注 1) 固定小数点数とは、最上位ビットが符号、それ以下が小数部のデータを表します。

注 2) 係数は 16 ビットですが、入出力データは 24 ビット、32 ビットも選択できます。この場合、演算結果の小数点 16 ビット以下の数値には誤差が含まれます。

3.3.5. 入力データのビットシフト機能

図 3.4 のように、入力データを $[FIRIDATA]<IDATA[31:0]>$ にライトすると、 $[FIRCTRL]<IDATASFTAMT[4:0]>$ で指定した量 (0~16 ビット) だけ左にシフトしたデータがデータバッファに格納されます。 $[FIRIDATA]<IDATA[31:0]>$ をリードするとデータバッファに格納されたデータがリードされます。

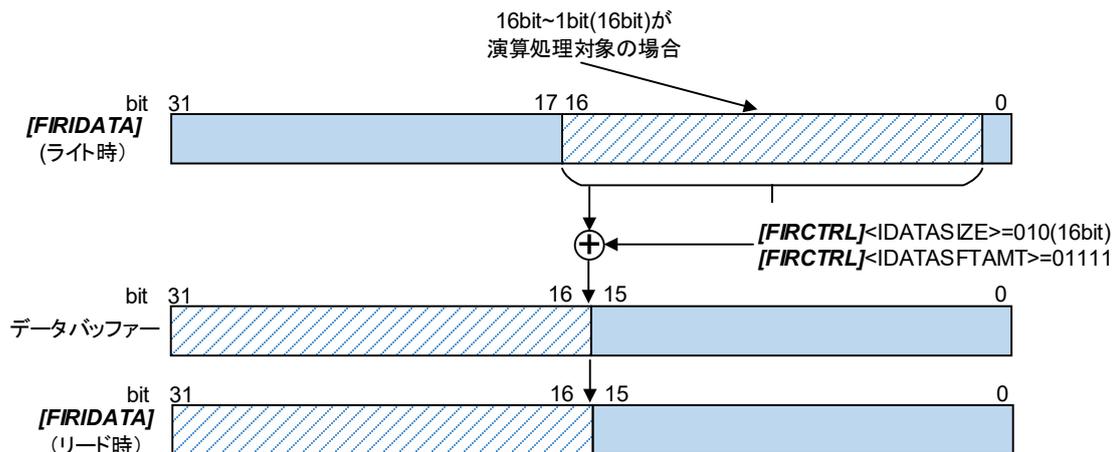


図 3.4 入力データのビットシフト機能

データバッファにライトされたデータが、MSB 側詰めになるように (図 3.5 参照) **[FIRCTRL]** <IDATASFTAMT[4:0]>の設定を行ってください。

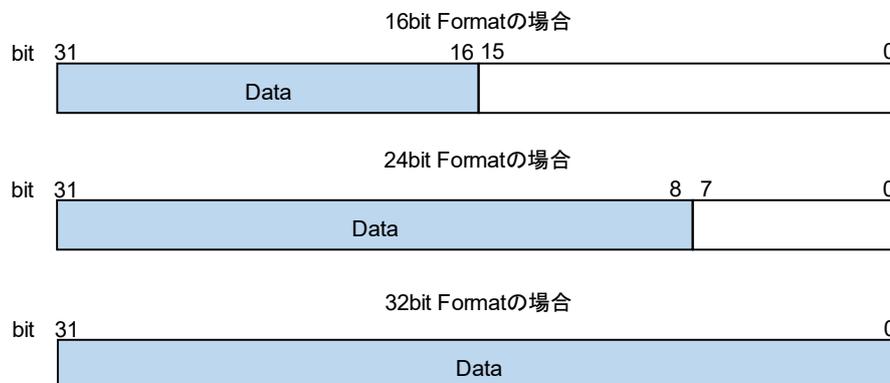


図 3.5 入力データのフォーマット(MSB側詰め)

3.3.6. 出力データのフォーマット

出力データ (**[FIRODATA]**<ODATA[31:0]>)は図 3.6 のように、**[FIRCTRL]**<ODATAFMT>により MSB 側詰めか、LSB 側詰めかを選択できます。

注) LSB 側詰めの場合は、符号拡張されません。

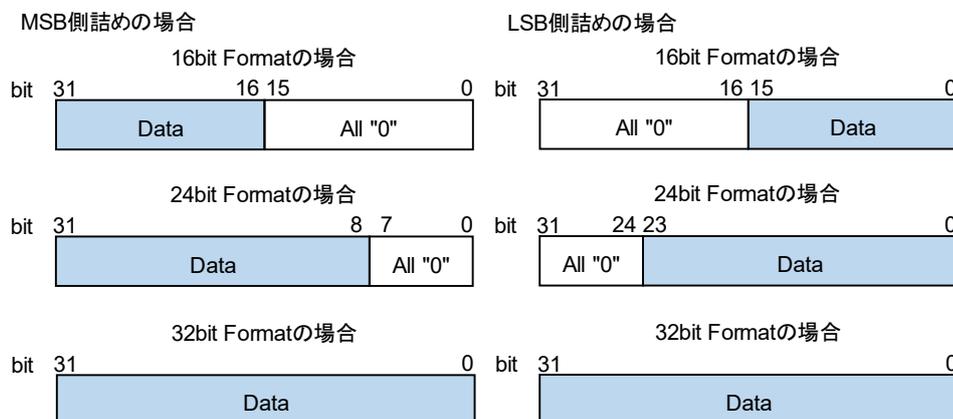


図 3.6 出力データのフォーマット

3.4. 割り込み

以下要因で割り込みを発生させます。

- ・入力データライト要求時
- ・積和演算結果リード要求時
- ・積和演算オーバーフロー発生時

各要因が発生すると **[FIRRAWINTSTAT]** の該当するビットが "1" になります。このとき、**[FIRINTEN]** の対応するビットが "1" であれば、割り込みを発生させます。割り込みはレベル信号です。**[FIRRAWINTSTAT]** の該当するビットへ "1" をライトすることで割り込みはクリアされます。

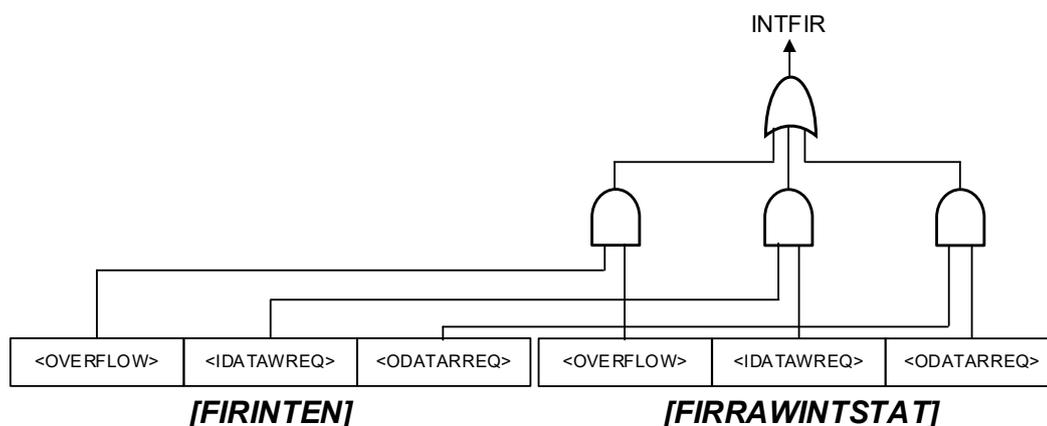


図 3.7 割り込みの生成論理

3.4.1. 入力データライト要求割り込み

[FIRINTEN]<IDATAWREQ> を "1" に設定すると入力データライト要求割り込みが有効となります。I²S の受信および送信 FIFO ステータス信号がアサートされたときに、FIR 計算回路がデータ受け取り可能(初期化中や積和演算中などデータバッファアクセスが発生する場合は受け取り不可)な場合、割り込みを発生させます。

3.4.2. 積和演算結果リード要求割り込み

[FIRINTEN]<ODATARREQ> を "1" に設定すると積和演算結果リード要求割り込みが有効となります。積和演算終了時に割り込みを発生させます。

3.4.3. 積和演算オーバーフロー割り込み

[FIRINTEN]<OVERFLOW> を "1" に設定すると積和演算オーバーフロー割り込みが有効となります。積和演算時にオーバーフローが発生した場合、割り込みを発生させます。

オーバーフローは以下のいずれかの条件で発生します。オーバーフロー割り込みが発生するのは積和演算終了時となります。

- ・積和演算の途中値 ≥ 2
- ・積和演算の途中値 < -2
- ・積和演算結果 ≥ 1
- ・積和演算結果 < -1

オーバーフローが発生した場合の演算結果 (**[JODATA]<ODATA[31:0]>** の値) は上位の桁が消失した誤ったものになるため、使用しないでください。

3.5. DMA 要求

FIR 計算回路は、 $[FIRDMAEN]$ の各ビットと、対応する $[FIRRAWINTSTAT]$ のビットをアサートするための要因(1 サイクルパルス)が共に"1"のときに各 DMA リクエスト信号を発生します。DMA リクエストの要因としては、以下の要求があります。

- ・ 入力データライト要求
- ・ 積和演算結果リード要求

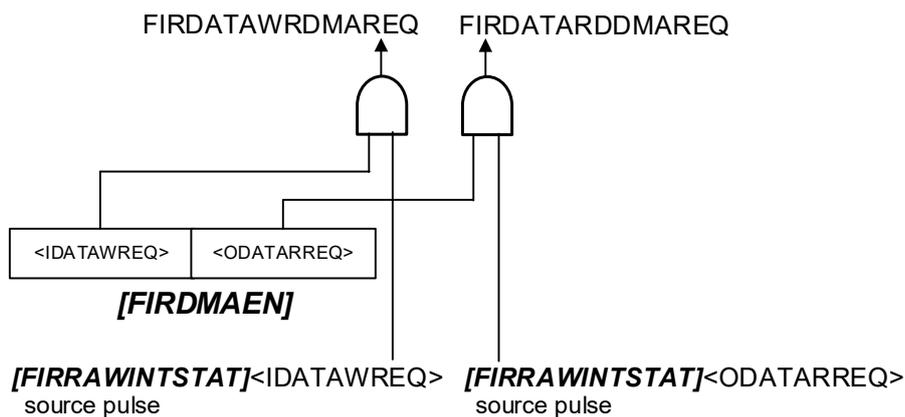


図 3.8 DMAリクエストの生成論理

注) $[FIRDMAEN]$ のビットが"1"のとき、有効に設定された要因が発生しても $[FIRRAWINTSTAT]$ の $\langle IDATAWREQ \rangle$ 、 $\langle ODATARREQ \rangle$ は"1"になりません。

3.6. 動作フロー・処理手順

3.6.1. 動作フロー

図 3.9 と図 3.10 に動作フローを示します。

(1) DMAC で処理する場合

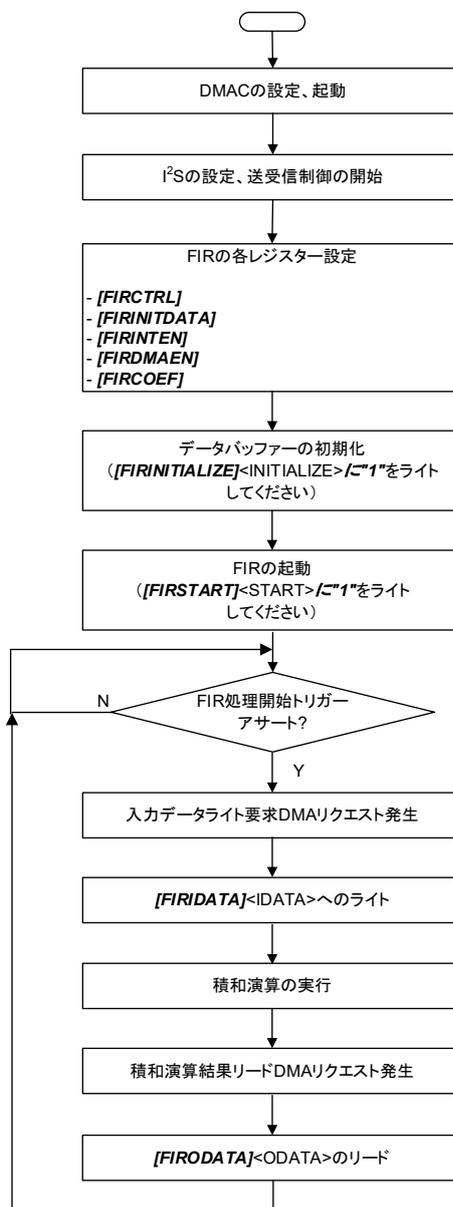


図 3.9 動作フロー(1)

(2) 割り込みで処理する場合

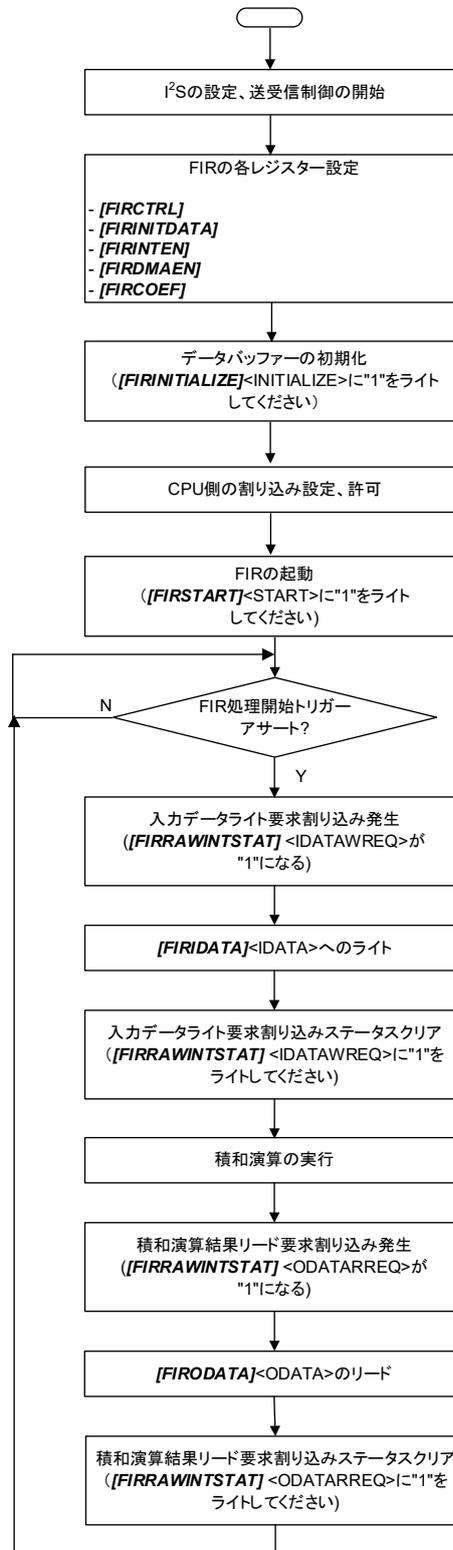


図 3.10 動作フロー(2)

注) 割り込みの詳細はリファレンスマニュアルの「例外」を参照してください。

3.6.2. 停止手順

FIR 計算回路の停止手順を表 3.3 に示します。FIR 計算回路は任意のタイミングで $[FIRSTART]<START>$ に "0" をライトすることで停止します。その際に、入力データライト要求(または積和演算結果リード要求)DMA リクエスト/割り込みが発生され、本モジュールが $[FIRIDATA]<IDATA[31:0]>$ へのライト(または $[FIRODATA]<ODATA[31:0]>$ のリード)を待っている状態であれば、ライト(またはリード)が行われたのちに停止します。その後、DMAC を停止します。

また、DMAC により処理する場合で、 $<IDATA[31:0]>$ へのライト(または $<ODATA[31:0]>$ のリード)を待っている状態で、先に DMAC が停止していた場合、 $<IDATA[31:0]>$ のライト(または $<ODATA[31:0]>$ のリード)を CPU が行う必要があります。この場合、 $[FIRSEQSTAT]<SEQSTAT[2:0]>$ で状態を判別し、適切な処理($<IDATA[31:0]>$ のライト、または $<ODATA[31:0]>$ のリード)を行う必要があります。

表 3.3 停止手順

	処理
1	任意のタイミングで $[FIRSTART]<START>$ に "0" をライト
2	$<START>$ が "0" になるまでポーリング
3	I ² S を停止
4	DMAC を停止(DMAC による処理時)

3.6.3. I²S 受信時の処理

I²S で受信したデータを DMAC により FIR 計算回路に転送する場合、データフォーマットや、データ幅によって処理方法が異なります。

3.6.3.1. 24 ビットおよび 32 ビットステレオデータ受信時の処理

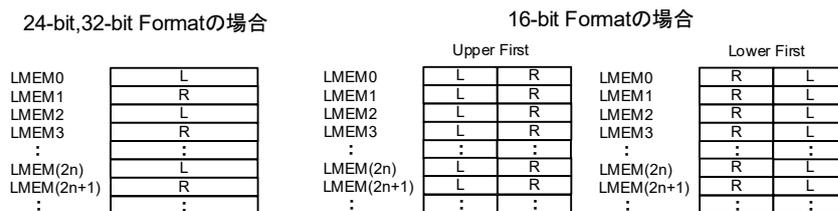
32 ビットおよび 24 ビットステレオフォーマットの場合は、図 3.11 のように L と R が 1 ワードずつ交互に並んでおり、DMAC で 2 ワードを I²S から $[FIRIDATA]<IDATA[31:0]>$ に転送し、そのうちの 1 ワードを積和演算に使用します。

$[FIRCTRL]<IDATASEL[1:0]>$ を "10" に設定し、DMAC の単位転送長を 2 ワード、アドレス固定転送に設定します。I²S 受信データの (0 オリジンで) 偶数番目のデータを処理する場合は LMEM0(L) の転送先アドレスを $[FIRIDATA]$ に設定します。LMEM1(R) は $[FIRIDATA]+0x4$ に転送されますが、 $[FIRIDATA]+0x4$ は $[FIRODATA]$ のアドレスなので、ライトしても何も起きません。奇数番目のデータを処理する場合は LMEM0(L) の転送先アドレスを $[FIRIDATA]-0x4$ に設定します。LMEM0(L) は $[FIRIDATA]-0x4$ に転送されますが、 $[FIRIDATA]-0x4$ のアドレスは reserved アドレスなので、ライトしても何も起きません。これにより、L または R の処理したい方のデータのみが $[FIRIDATA]<IDATA[31:0]>$ にライトされます。

注) 本製品に搭載されている DMAC は、アドレス固定転送設定にしても単位転送内ではアドレスがインクリメントもしくはデクリメントします。

3.6.3.2. 16 ビットステレオデータ受信時の処理

16 ビットステレオフォーマットの場合、図 3.11 のようにワード中の上位または下位 16 ビットが L または R のデータとなります。この場合、「3.3.5. 入力データのビットシフト機能」の入力データのビットシフト機能を利用することでどちらかを選択することができます。例として、Upper First で R データを選択するには、 $[FIRCTRL]<IDATASFTAMT[4:0]>=10000$ に設定 (16 ビット左シフト) してください。

図 3.11 I²S のデータフォーマット例

3.6.3.3. 24 ビットおよび 32 ビットモノラルデータ受信時の処理

[FIRCTRL] <IDATASEL[1:0]>を"10"に設定し、DMAC の単位転送長を 1 ワードに設定します。
[FIRIDATA]<IDATA[31:0]>に 1 ワードずつライトする度に積和演算が行われます。

3.6.3.4. 16 ビットモノラルデータ受信時の処理

I²S のデータ幅設定を 24 ビットまたは 32 ビットにして 1 つのデータを受信し、FIR 計算回路で 16 ビットデータとして処理してください。

3.6.4. I²S 送信時の処理

FIR 計算回路で処理したデータを I²S で送信する場合、データフォーマットや、データ幅によって処理方法が異なります。

3.6.4.1. 24 ビットおよび 32 ビットステレオデータ送信時の処理

32 ビットおよび 24 ビットステレオフォーマットの場合は、図 3.12 のように SRAM から FIR 計算回路へのデータ転送は 1 ワードずつ行い FIR 処理します。

FIR 処理したデータを I²S に転送する際には、DMAC の単位転送長を 2 ワード、アドレス固定転送に設定します。I²S 送信データの(0 オリジンで)偶数番目の送信データ进行处理する場合は、転送元アドレスを**[FIRODATA]**に設定します。**[FIRODATA]+0x4** のアドレスデータは R Data 0 に転送されますが、**[FIRODATA]+0x4** は Reserved アドレスなので、リードしても影響ありません。奇数番目の送信データ进行处理する場合は転送元アドレスを**[FIRODATA]-0x4** に設定します。**[FIRODATA]-0x4** は L Data 0 に転送されますが、**[FIRODATA]-0x4** のアドレスは**[FIRIDATA]**のアドレスなので、FIR 起動後にリードしても影響ありません。これにより、送信する方のデータのみを**[FIRODATA]**<ODATA[31:0]>からリードすることになります。I²S で接続されているデバイス側で処理したい方のデータを選択してください。

注)本製品に搭載されている DMAC は、アドレス固定転送設定にしても単位転送内ではアドレスがインクリメントもしくはデクリメントします。

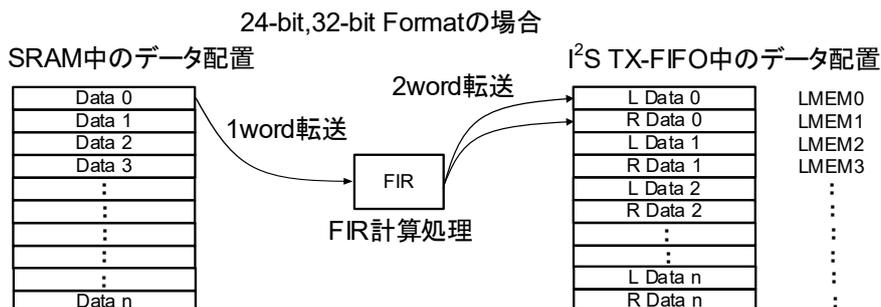


図 3.12 24ビットおよび32ビットステレオデータ送信時の処理

3.6.4.2. 16 ビットステレオデータ送信時の処理

16 ビットステレオフォーマットの場合は、図 3.13 のように SRAM から FIR 計算回路へのデータ転送はハーフワードずつ行い FIR 処理します。

積和演算結果は[FIRCTRL]<ODATAFMT>の設定に従い、MSB または LSB 側に詰められています。そして、これを I²S の TX FIFO に転送する際、演算結果レジスタの値を 1 ワード転送することで I²S TX FIFO は図 3.13 のように L または R だけが並んだデータ配置になり送信されます。I²S で接続されているデバイス側で L か R のうちデータが存在する方を選択してください。

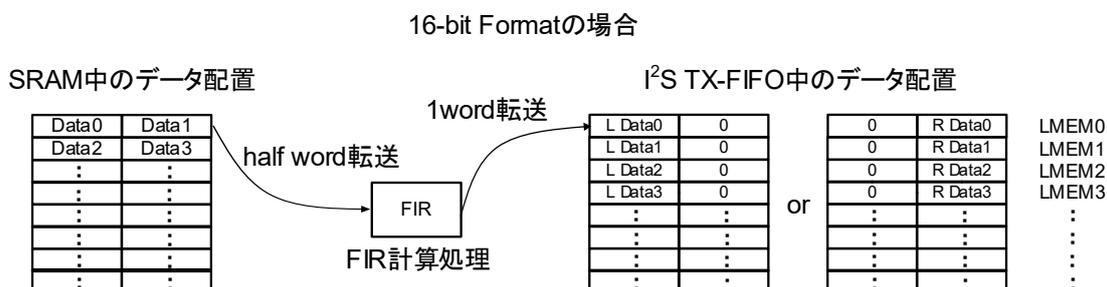


図 3.13 16ビットステレオデータ送信時の処理

3.6.4.3. 24 ビットおよび 32 ビットモノラルデータ送信時の処理

24 ビットおよび 32 ビットのモノラルフォーマットで送信する場合は、16 ビットステレオデータ送信時同様に FIR から I²S への転送を 1 ワードずつ行ってください。

3.6.4.4. 16 ビットモノラルデータ送信時の処理

16 ビットのモノラルフォーマットで送信する場合、I²S のデータ幅設定を 24 ビットまたは 32 ビットにして 1 つのデータを送信し、I²S で接続されているデバイス側で処理したい 16 ビット分のデータを選択してください。

4. レジスタ説明

4.1. レジスタ一覧

FIR のレジスタとアドレスを以下に示します。

周辺機能		チャンネル/ユニット	ベースアドレス		
			TYPE1	TYPE2	TYPE3
FIR 計算回路	FIR	—	—	0x400DD000	—

レジスタ名		ベースアドレス(Base+)
スタートレジスタ	[FIRSTART]	0x0000
制御レジスタ	[FIRCTRL]	0x0004
初期化レジスタ	[FIRINITIALIZE]	0x0008
初期化データレジスタ	[FIRINITDATA]	0x000C
割り込み制御レジスタ	[FIRINTEN]	0x0010
DMA 制御レジスタ	[FIRDMAEN]	0x0014
割り込みステータスレジスタ	[FIRRAWINTSTAT]	0x0018
シーケンサステータスレジスタ	[FIRSEQSTAT]	0x001C
データバッファライトポインタレジスタ	[FIRDBUFWPTR]	0x0020
データバッファリードポインタレジスタ	[FIRDBUFRPTR]	0x0024
入力データレジスタ	[FIRIDATA]	0x0030
出力データレジスタ	[FIRODATA]	0x0034
係数レジスタ	[FIRCOEFn]	0x0040~0x023C

4.2. レジスタ詳細

4.2.1. [FIRSTART](スタートレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:1	-	0	R	リードすると"0"が読めます。
0	START	0	W	FIR 制御 0: FIR 停止 1: FIR 起動
			R	動作状態 0: FIR 停止中 1: FIR 動作中

注) [FIRINITIALIZE] <INITIALISE>が"1"の間に、<START>に"1"をライトした場合、初期化終了後に FIR が起動します。

4.2.2. [FIRCTRL](制御レジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:29	-	0	R	リードすると"0"が読めます。
28	ODATAFMT	0	R/W	出力データ詰め選択 0: MSB 詰め 1: LSB 詰め
27	-	0	R	リードすると"0"が読めます。
26:24	ODATASIZE[2:0]	000	R/W	出力データサイズ選択 010: 16bit 011: 24bit 100: 32bit 他の設定は禁止
23:22	-	0	R	リードすると"0"が読めます。
21:20	IDATASEL[1:0]	00	R/W	入力データ処理選択 00: 偶数番目データを処理 01: 奇数番目データを処理 10: 毎データを処理 他の設定は禁止
19:17	-	0	R	リードすると"0"が読めます。
16:12	IDATASFTAMT [4:0]	00000	R/W	入力データビットシフト量選択 0ビットから16ビットまで設定可能 17ビットから31ビットは設定禁止
11	-	0	R	リードすると"0"が読めます。
10:8	IDATASIZE[2:0]	000	R/W	入力データサイズ選択 010: 16ビット 011: 24ビット 100: 32ビット 他の設定は禁止
7	-	0	R	リードすると"0"が読めます。
6:0	TAPNUM[6:0]	0x7F	R/W	タップ数選択 設定値+1がタップ数(タップ数は1から128まで設定可能)

注) このレジスタは[FIRSTART]<START>=0のときに設定してください。

4.2.3. [FIRINITIALIZE](初期化レジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:1	-	0	R	リードすると"0"が読めます。
0	INITIALIZE	0	W	初期化制御 0: 何も起きない 1: 初期化
			R	動作状態 0: 初期化中ではない 1: 初期化中

注) このレジスタは[FIRSTART]<START>=0のときに設定してください。

4.2.4. [FIRINITDATA](初期化データレジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:0	INITDATA[31:0]	0x00000000	R/W	データ初期値

注) このレジスターは[FIRSTART]<START>=0 のときに設定してください。

4.2.5. [FIRINTEN](割り込み制御レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:3	-	0	R	リードすると"0"が読めます。
2	OVERFLOW	0	R/W	積和演算オーバーフロー割り込み制御 0: 割り込み無効 1: 割り込み有効
1	ODATARREQ	0	R/W	積和演算結果リード要求割り込み制御 0: 割り込み無効 1: 割り込み有効
0	IDATAWREQ	0	R/W	入力データライト要求割り込み制御 0: 割り込み無効 1: 割り込み有効

注) このレジスターは[FIRSTART]<START>=0 のときに設定してください。

4.2.6. [FIRDMAEN](DMA 制御レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:2	-	0	R	リードすると"0"が読めます。
1	ODATARREQ	0	R/W	積和演算結果リード要求 DMA 制御 0: 無効 1: 有効
0	IDATAWREQ	0	R/W	入力データライト要求 DMA 制御 0: 無効 1: 有効

注) このレジスターは[FIRSTART]<START>=0 のときに設定してください。

4.2.7. [FIRRAWINTSTAT](割り込みステータスレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:3	-	0	R	リードすると"0"が読めます。
2	OVERFLOW	0	W	積和演算オーバーフロー割り込みクリア 0: 何も起きない 1: 割り込みクリア
			R	積和演算オーバーフロー割り込みステータス 0: 積和演算オーバーフローは発生していません。 1: 積和演算オーバーフローは発生しています。
1	ODATARREQ	0	W	積和演算結果リード要求割り込みクリア 0: 何も起きない 1: 割り込みクリア
			R	積和演算結果リード要求割り込みステータス 0: 積和演算結果リード要求をしていません。 1: 積和演算結果リード要求をしています。
0	IDATAWREQ	0	W	入力データライト要求割り込みクリア 0: 何も起きない 1: 割り込みクリア
			R	入力データライト要求割り込みステータス 0: 入力データライト要求をしていません。 1: 入力データライト要求をしています。

4.2.8. [FIRSEQSTAT](シーケンサステータスレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:3	-	0	R	リードすると"0"が読めます。
2:0	SEQSTAT[2:0]	000	R	動作状態 000: アイドル状態 001: データ初期化中状態 010: トリガー待ち状態 011: 入力データライト待ち状態 100: 演算中 101: 出力データリード待ち状態 Others: reserved

4.2.9. [FIRDBUFWPTR](データバッファライトポインターレジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:7	-	0	R	リードすると"0"が読めます。
6:0	DBUFWPTR[6:0]	0000000	R/W	データバッファのライトポインター値

注) このレジスタは[FIRSTART]<START>=0 のときに設定してください。

4.2.10. [FIRDBUFRPTR](データバッファリードポインターレジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:7	-	0	R	リードすると"0"が読めます。
6:0	DBUFRPTR[6:0]	0x7F	R/W	データバッファのリードポインター値

注) このレジスターは[FIRSTART]<START>=0 のときに設定してください。

4.2.11. [FIRIDATA](入力データレジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:0	IDATA[31:0]	不定値	W	ライトポインターが記すデータバッファのアドレスへデータをライトします。 (注 1), (注 2)
			R	リードポインターが記すデータバッファのアドレスのデータをリードします。 データはシフト後の値が新しい順にリードすることができます。

注 1) データバッファの段数は、[FIRCTRL]<TAPNUM[6:0]>設定値+1 となり、ライトすると古いデータから破棄されます。

注 2) DMA または割り込みによる入力データライト要求中のライト、または起動前のデータ初期化時のライト以外はライトしないでください。

4.2.12. [FIRODATA](出力データレジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:0	ODATA[31:0]	0x00000000	R	積和演算結果

4.2.13. [FIRCOEF0](係数レジスター)

[FIRCOEF1] ~ [FIRCOEF127] レジスターの Bit 構成は[FIRCOEF0] レジスターと同様です。

Bit	Bit Symbol	リセット後	Type	機能
31:16	COEF[15:0]	不定値	R/W	係数
15:0	-	0	R	リードすると"0"が読めます。

注) このレジスターは[FIRSTART]<START>=0 のときに設定してください。

5. 改訂履歴

表 5.1 改訂履歴

Revision	Date	Description
1.0	2020-10-14	新規

製品取り扱い上のお願ひ

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いいたします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。