

32 ビット RISC マイクロコントローラー

TXZ+ファミリー

リファレンスマニュアル

I²S インターフェース

(I2S-A)

Revision 1.0

2020-11

東芝デバイス&ストレージ株式会社

目次

序章	6
関連するリファレンスマニュアル	6
表記規約	7
用語・略語	9
1. 概要	10
2. 構成	11
3. 動作説明・機能説明	13
3.1. クロック供給	13
3.2. 音声信号	13
3.3. マスター/スレーブ	13
3.4. クロック生成	14
3.4.1. マスタークロック	14
3.4.2. ビットクロック(BCK)	15
3.4.3. LRクロック(LRCK)	16
3.5. 音声データフォーマット	16
3.5.1. 音声データフォーマットの選択	18
3.5.2. SDATA(DI/DO)のフレームサイズ設定	18
3.5.3. データ長	19
3.5.4. クロックエッジ	21
3.5.5. サンプリング周波数	23
3.6. 受信バッファ / 送信バッファ	24
3.6.1. 受信 FIFO	25
3.6.2. 送信 FIFO	26
3.6.3. 送信開始しきい値 ($[I2SxOTX_SSIZE]$)	27
3.6.4. データ格納フォーマット	27
3.6.5. $[I2SxITHRESHOLD]$ / $[I2SxOTHRESHOLD]$ レジスター	30
3.7. 割り込み	31
3.7.1. INTI2SxSI 割り込み、INTI2SxSO 割り込み	33
3.7.2. INTI2SxSIERR 割り込み、INTI2SxSOERR 割り込み	33
3.8. DMA リクエスト	34
3.9. FIR 連動	35
3.10. ミュート機能	36
3.10.1. レジスター設定によるミュート	36
3.10.2. アンダーラン時の強制ミュート	36
4. レジスター説明	37
4.1. レジスター一覧	37
4.2. クロック制御レジスター詳細	39
4.2.1. $[I2SxCSTART]$ (LRCK 生成開始レジスター)	39

4.2.2. [I2SxCBUSY] (LRCK 生成ステータスレジスター).....	39
4.2.3. [I2SxCSTOP] (LRCK 生成停止レジスター).....	40
4.2.4. [I2SxCAUDIOSET] (AUDIOSET レジスター).....	41
4.2.5. [I2SxCREGBUSY] (REGBUSY レジスター).....	42
4.2.6. [I2SxCMODESET] (音声データフォーマット設定レジスター).....	42
4.2.7. [I2SxCMS_SEL] (マスター/スレーブ選択レジスター).....	43
4.2.8. [I2SxCMCLK_IO_SEL] (MCLK 端子入出力選択レジスター).....	43
4.2.9. [I2SxCPHT_DIV] (ΦT0 分周設定レジスター).....	43
4.2.10. [I2SxCPHT_DIVOUT_EN] (ΦT0 分周クロック出力許可レジスター).....	43
4.2.11. [I2SxCBCK_SRC_SEL] (BCK ソースクロック選択レジスター).....	44
4.2.12. [I2SxCBCK_DIV] (BCK 分周設定レジスター).....	44
4.2.13. [I2SxCBCK_DIVOUT_EN] (BCK 出力許可レジスター).....	44
4.3. 受信制御レジスター詳細.....	45
4.3.1. [I2SxISTART] (受信制御開始レジスター).....	45
4.3.2. [I2SxIBUSY] (受信動作ステータスレジスター).....	45
4.3.3. [I2SxISTOP] (データ受信停止レジスター).....	46
4.3.4. [I2SxIAUDIOSET] (受信 AUDIOSET レジスター).....	47
4.3.5. [I2SxIINTSTAT] (受信制御割り込み要因ステータスレジスター).....	48
4.3.6. [I2SxIINTMASK] (受信制御割り込みマスクレジスター).....	49
4.3.7. [I2SxIINTCLR] (受信制御割り込み要因クリアレジスター).....	50
4.3.8. [I2SxIMUTE] (受信ミュート設定レジスター).....	51
4.3.9. [I2SxIEPTR] (受信制御エラー発生ポインター格納レジスター).....	51
4.3.10. [I2SxIREGBUSY] (受信 REGBUSY レジスター).....	51
4.3.11. [I2SxITHRESHOLD] (受信しきい値設定レジスター).....	52
4.3.12. [I2SxIFIFO_STS] (受信 FIFO ステータスレジスター).....	52
4.3.13. [I2SxIMODESET] (受信音声データフォーマット設定レジスター).....	52
4.3.14. [I2SxILMEM00]~[I2SxILMEM63] (受信データレジスター00~63).....	52
4.4. 送信制御レジスター詳細.....	53
4.4.1. [I2SxOSTART] (送信制御開始レジスター).....	53
4.4.2. [I2SxOBUSY] (送信動作ステータスレジスター).....	53
4.4.3. [I2SxOSTOP] (データ送信停止レジスター).....	54
4.4.4. [I2SxOAUDIOSET] (送信 AUDIOSET レジスター).....	55
4.4.5. [I2SxOINTSTAT] (送信制御割り込み要因ステータスレジスター).....	56
4.4.6. [I2SxOINTMASK] (送信制御割り込みマスクレジスター).....	57
4.4.7. [I2SxOINTCLR] (送信制御割り込み要因クリアレジスター).....	58
4.4.8. [I2SxOMUTE] (送信ミュート設定レジスター).....	58
4.4.9. [I2SxOEPTR] (送信制御エラー発生ポインター格納レジスター).....	58
4.4.10. [I2SxOTX_SSIZE] (TX_SSIZE レジスター).....	59
4.4.11. [I2SxOREGBUSY] (送信 REGBUSY レジスター).....	59
4.4.12. [I2SxOTHRESHOLD] (送信しきい値設定レジスター).....	60

4.4.13. [I2SxOFIFO_STS] (送信 FIFO ステータスレジスタ)	60
4.4.14. [I2SxOMODESET] (送信音声データフォーマット設定レジスタ)	60
4.4.15. [I2SxOLMEM00]~ [I2SxOLMEM63] (送信データレジスタ00~63)	60
5. 使用方法の例	61
5.1. 操作手順	61
5.1.1. LRCK 生成開始の操作手順	61
5.1.2. 受信開始の操作手順	63
5.1.3. 送信開始の操作手順	64
5.1.4. 受信停止/送信停止の操作手順	65
5.1.4.1. オーバーランエラー/アンダーランエラー割り込み発生時	65
5.1.4.2. LRCK エラー割り込み発生時	66
5.1.4.3. エラー割り込み発生時以外の受信停止/送信停止	67
5.1.5. 受信再開/送信再開の操作手順	67
5.1.6. 停止手順	67
5.2. CPU 転送時のフロー例	68
5.3. DMA 転送時のフロー例	69
6. 使用上の注意	70
7. 改訂履歴	71
製品取り扱い上のお願ひ	72

図目次

図 2.1	I2Sx インターフェース構成図	11
図 3.1	マスターとスレーブの接続例	13
図 3.2	I2Sx クロック制御	14
図 3.3	I2S ステレオフォーマットの例(ステレオ 64fs のとき)	16
図 3.4	LR ステレオフォーマットの例(ステレオ 64fs のとき)	17
図 3.5	PCM モノラルフォーマットの例(モノラル 32fs)	17
図 3.6	フレームサイズ例(16 サイクルのとき)	18
図 3.7	データ長が 16bit のときの各音声フォーマット(ステレオ 32fs/モノラル 16fs のとき)	19
図 3.8	データ長が 32bit のときの各音声フォーマット(ステレオ 64fs/モノラル 32fs のとき)	19
図 3.9	立ち上がりエッジモードの取り込みタイミング	22
図 3.10	立ち下がりエッジモードの取り込みタイミング	22
図 3.11	<SCLKtoWS>=0 のときのサンプリング周期例	23
図 3.12	受信バッファ/送信バッファの構成	24
図 3.13	受信 FIFO のアクセス	25
図 3.14	送信 FIFO のアクセス	26
図 3.15	[I2SxOTX_SSIZELTxStartSize]=8 の時のデータ転送	27
図 3.16	データ長 32 ビットのときのデータ格納フォーマットとオーディオフォーマット	28
図 3.17	データ長 24 ビットのときのデータ格納フォーマットとオーディオフォーマット	29
図 3.18	データ長 16 ビットのときのデータ格納フォーマットとオーディオフォーマット	29
図 3.19	データ長 8 ビットのときのデータ格納フォーマットとオーディオフォーマット	29
図 3.20	受信割り込み制御	31
図 3.21	送信割り込み制御	31
図 3.22	DMA リクエスト	34
図 3.23	FIR との接続例	35
図 3.24	[I2SxOTHRESHOLDJthreshold[4:0]]=16 の時の I2SxTXFIFOTH 発生タイミング(送信時)	35
図 3.25	ミュート設定 OFF から ON	36
図 3.26	ミュート設定 ON から OFF	36
図 3.27	強制ミュート	36
図 5.1	CPU 転送時のフロー例	68
図 5.2	DMA 転送時のフロー例	69

表目次

表 2.1	信号一覧表	12
表 3.1	マスターデバイス([I2SxCMS_SELJ<SEL>=0)の場合の BCK(Duty 50%)の設定例	15
表 3.2	音声フォーマットのレジスター設定	18
表 3.3	音声フォーマットのレジスター設定例	20
表 3.4	クロックエッジ設定	21
表 3.5	サンプリング周波数の設定例	23
表 3.6	データ格納フォーマットの設定	28
表 3.7	割り込み要因とレジスター	32
表 5.1	LRCK 生成開始設定レジスター	62
表 5.2	受信開始設定レジスター	63
表 5.3	送信開始設定レジスター	64
表 5.4	オーバーランエラー/アンダーランエラー割り込み発生時の受信停止/送信停止設定レジスター	65
表 5.5	LRCK エラー割り込み発生時の受信停止/送信停止設定レジスター	66
表 5.6	エラー割り込み発生時以外の受信停止/送信停止設定レジスター	67
表 7.1	改訂履歴	71

序章

関連するリファレンスマニュアル

文書名
製品個別情報
例外
クロック制御と動作モード
入出力ポート
多機能 DMAC
FIR 計算回路

表記規約

- 数値表記は以下の規則に従います。
 - 16 進数表記: 0xABC
 - 10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
 - 2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は [m:n]とまとめて表記する場合があります。
例: S[3:0] は S3,S2,S1,S0 の 4 つの信号名をまとめて表記しています。
- 本文中 [] で囲まれたものはレジスターを定義しています。
例: [ABCD]
- 同種で複数のレジスター、フィールド、ビット名は「n」で一括表記する場合があります。
例: [XYZ1], [XYZ2], [XYZ3] → [XYZn]
- 「レジスター一覧」中のレジスター名でユニットまたはチャンネルは「x」で一括表記しています。
ユニットの場合、「x」は A,B,C...を表します。
例: [ADACR0], [ADBCR0], [ADCCR0]→[ADxCR0]
チャンネルの場合、「x」は 0,1,2,...を表します。
例: [T32A0RUNA], [T32A1RUNA], [T32A2RUNA]→[T32AxRUNA]
- レジスターのビット範囲は [m:n] と表記します。
例: [3: 0] はビット 3 から 0 の範囲を表します。
- レジスターの設定値は 16 進数または 2 進数のどちらかで表記されています。
例: [ABCD]<EFG> = 0x01 (16 進数)、 [XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
 - バイト: 8 ビット
 - ハーフワード: 16 ビット
 - ワード: 32 ビット
 - ダブルワード: 64 ビット
- レジスター内の各ビットの属性は以下の表記を使用しています。
 - R: リードオンリー
 - W: ライトオンリー
 - R/W: リード / ライト
- 断りのない限り、レジスターアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスターは書き換えを行わないでください。また、読み出した値を使用しないでください。
- Default 値が「—」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスターに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
Default 値が「—」となっている場合は、個々のレジスターの定義に従ってください。
- ライトオンリーのレジスターの Reserved ビットフィールドには Default 値を書き込んでください。
Default 値が「—」となっている場合は、個々のレジスターの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスターへのリードモディファイライト処理は行わないでください。

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

DMA	Direct Memory Access
DMAC	Direct Memory Access Controller
FIFO	First-In First-Out
FIR	Finite Impulse Response
I2S	Inter-IC Sound
PCM	Pulse Code Modulation

1. 概要

I2S は、1ch 単位で音声データの送受信回路として動作することができます。以下に、機能の一覧を示します。

機能分類	機能	動作説明または範囲
マスタークロック	ΦT0 分周	ΦT0→1/2、1/3 ~ 1/254、1/255 分周出力を選択可能
	マスタークロック選択	マスタークロックのソース(内部: ΦT0 分周出力、外部端子 MCKIO からの入力)を選択可能
	マスタークロック出力	マスターデバイス時、MCKIO 端子からマスタークロックを出力可能
通信速度制御	ビットクロック(BCK)	マスタークロックを 1/1、1/2、 ~ 1/254、1/255 に分周し、BCK を生成 LRCK および SDATA(DO/DI)は BCK に同期
	LR クロック(LRCK)	BCK をカウントし、LRCK を生成
	マスター/スレーブ	マスター/スレーブを選択可能
通信フォーマット	音声データフォーマット	I2S ステレオ/LR ステレオ/PCM モノラルの選択可
	BCK 周波数	ステレオ: 32fs、64fs モノラル: 16fs、32fs
	サンプリング周波数(fs)	ステレオ: 最大 192 kHz モノラル: 最大 384 kHz
	フレームサイズ	16 サイクル/32 サイクル
	データ長	1 音声データ (ステレオの場合は L チャンネルまたは R チャンネル)あたり 8、16、24、32 ビットの選択可能
	右寄せ/左寄せ	左寄せ
	データ転送方向	MSB first
	クロックエッジ	LRCK/SDATA が BCK と同期するタイミングを選択可能(立ち上がりエッジまたは立ち下がりエッジ)
送信制御/ 受信制御	FIFO	送信 FIFO: 256 バイト 受信 FIFO: 256 バイト
	データ格納フォーマット	データの格納フォーマットが選択可能(「表 3.6」を参照してください。)
	ミュート機能	ミュート機能の ON/OFF 切り換え
連動制御	割り込み	送信: 送信データ転送要求割り込み、送信エラー割り込み データ転送要求割り込み要因: データ転送要求 エラー割り込み要因: LRCK エラー、アンダーランエラー 受信: 受信データ転送要求割り込み、受信エラー割り込み データ転送要求割り込み要因: データ転送要求 エラー割り込み要因: LRCK エラー、オーバーランエラー
	DMA 要求	送信、受信別に設定可。
	FIR 連動	詳細はリファレンスマニュアルの「製品個別情報」を参照してください。

2. 構成

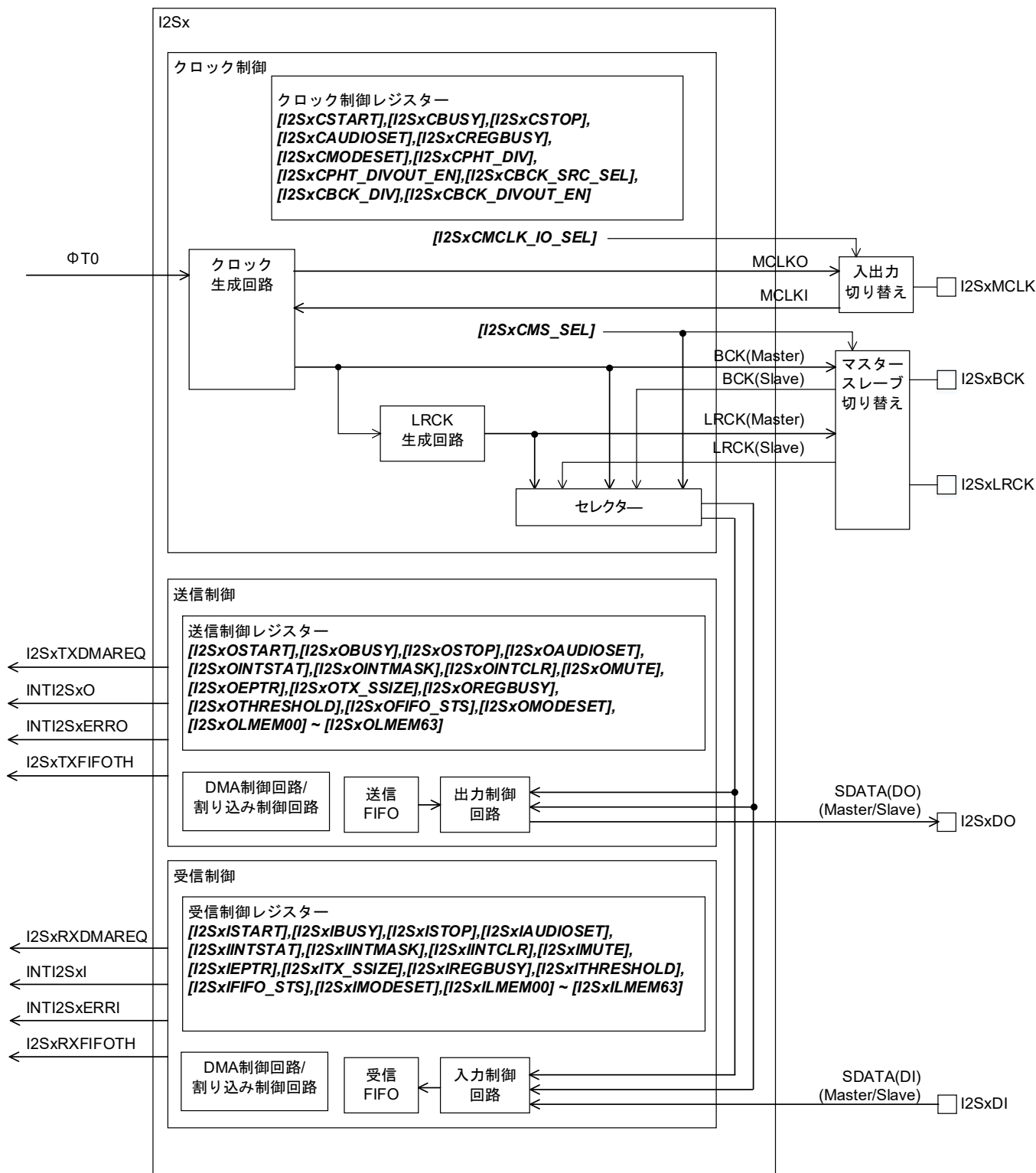


図 2.1 I2Sxインターフェース構成図

表 2.1 信号一覧表

No.	信号名	信号名称	I/O	参照リファレンスマニュアル
1	ΦT0	システムクロック	入力	クロック制御と動作モード
2	I2SxBCK	ビットクロック	入出力	製品個別情報、入出力ポート
3	I2SxLRCK	LR クロック(LRCK)	入出力	製品個別情報、入出力ポート
4	I2SxDI	音声入力シリアルデータ	入力	製品個別情報、入出力ポート
5	I2SxDO	音声出力シリアルデータ	出力	製品個別情報、入出力ポート
6	I2SxMCLK	外部マスタークロック	入出力	製品個別情報、入出力ポート
7	INTI2SxSO	送信データ転送要求割り込み	出力	例外
8	INTI2SxSOERR	送信エラー割り込み	出力	例外
9	INTI2SxSI	受信データ転送要求割り込み	出力	例外
10	INTI2SxSIERR	受信エラー割り込み	出力	例外
11	I2SxTXDMAREQ	送信 DMA リクエスト	出力	製品個別情報
12	I2SxRXDMAREQ	受信 DMA リクエスト	出力	製品個別情報
13	I2SxTXFIFOTH	送信 FIFO しきい値信号	出力	製品個別情報
14	I2SxRXFIFOTH	受信 FIFO しきい値信号	出力	製品個別情報

3. 動作説明・機能説明

3.1. クロック供給

I2S を使用する場合は、fsys 供給停止レジスタA(*[CGFSYSENA]*、*[CGFSYSMENA]*)、fsys 供給停止レジスタB(*[CGFSYSENB]*、*[CGFSYSMENB]*)、fsys 供給停止レジスタC(*[CGFSYSMENC]*)、fc 供給停止レジスタ(*[CGFCEN]*)で該当するクロックイネーブルビットを"1"(クロック供給)に設定してください。

該当レジスタ、ビット位置は製品によって異なります。そのため、製品によってレジスタが存在しない場合があります。詳細はリファレンスマニュアルの「クロック制御と動作モード」を参照してください。

3.2. 音声信号

I2Sx の各チャンネルのインターフェースは BCK、LRCK、SDATA(DI/DO)で構成されています。

サンプリング周波数(fs)は LRCK の周波数によって決まり、1つの音声データに格納できるビット数(フレームサイズ)は BCK の周波数によって決まります。

BCK は LRCK の整数倍の周波数で、LRCK の 32 倍の周波数の場合は 32fs、64 倍の周波数の場合は 64fs と表記します。

3.3. マスター/スレーブ

*[I2SxCMS_SEL]<SEL>*を"0"にクリアすると、I2Sx はマスターデバイスとして動作します。

*[I2SxCMS_SEL]<SEL>*を"1"(初期値)にセットすると、I2Sx はスレーブデバイスとして動作します。

*[I2SxCMS_SEL]<SEL>*に"1"が設定されている場合、送信制御、受信制御ブロックは外部から入力される同期クロック (BCK/LRCK)に従ってオーディオシリアル転送を行います。

内部生成のクロックを使用してオーディオシリアル転送を実施する場合、*[I2SxCMS_SEL]<SEL>*に"0"を設定してください。この*[I2SxCMS_SEL]<SEL>*の設定は I2SxBCK/ I2SxLRCK 端子の出力イネーブル信号としても使用されます。

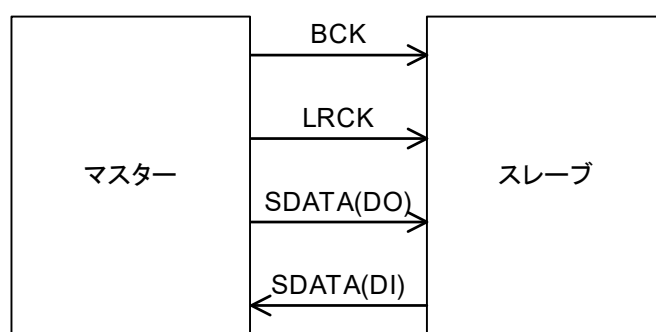
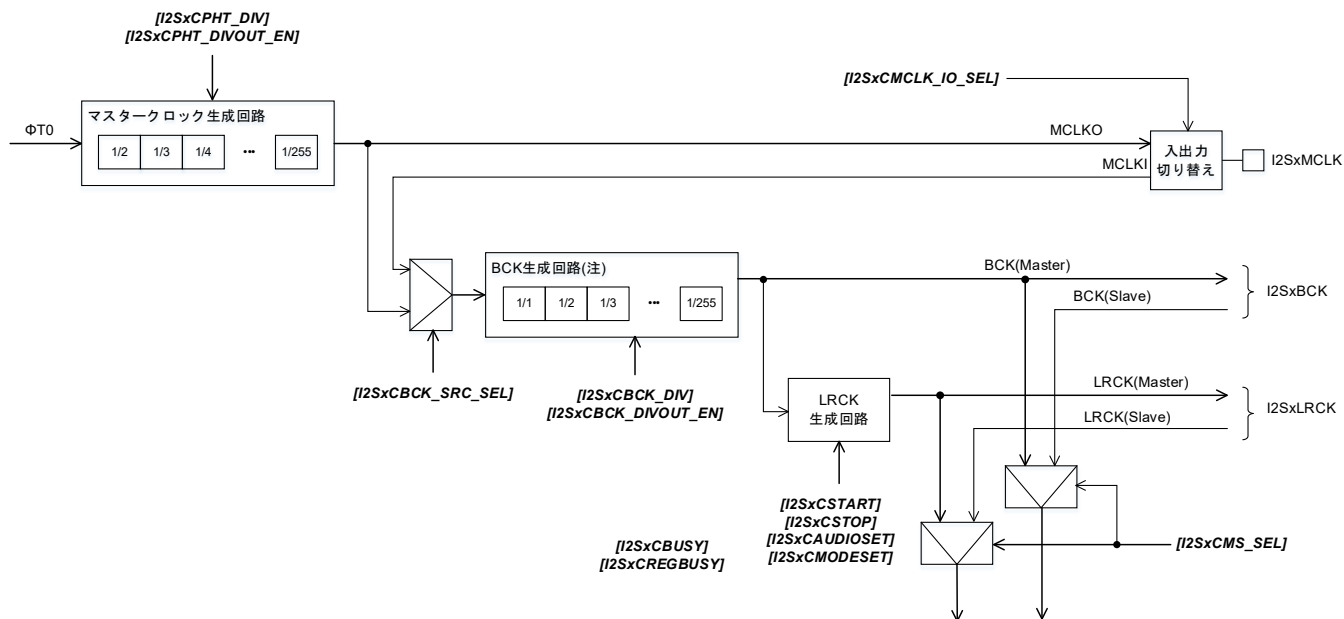


図 3.1 マスターとスレーブの接続例

BCK と LRCK はマスターデバイスが出力します。SDATA(DI/DO)は、マスターがデータを送信し、スレーブが受信する場合と、スレーブが送信し、マスターが受信する場合があります。

3.4. クロック生成



注) $[I2SxCBCK_SRC_SEL]<SEL>$ で選択するクロックが MCLKI(外部クロック)の場合には BCK 生成回路で選択できる分周比は 1/2~1/255 分周、クロックが MCLKO(内部クロック)の場合には 1/1 分周を設定してください。

図 3.2 I2Sxクロック制御

3.4.1. マスタークロック

マスタークロック生成回路は $\Phi T0$ を 1/2 ~ 1/255 に分周し、内部マスタークロック(MCLKO)を生成します。

$\Phi T0$ の分周比は、 $[I2SxCPHT_DIV]<PSCAL[7:0]>$ で設定し、マスタークロック生成回路の出力許可は $[I2SxCPHT_DIVOUT_EN]<EN>$ を"1"に設定します。

$[I2SxCPHT_DIVOUT_EN]<EN>=1$ の場合は、 $[I2SxCPHT_DIV]<PSCAL[7:0]>$ の設定値を変更しないでください。

マスタークロック生成回路での分周が奇数の場合は、生成されるクロックのデューティは 50%になりません。デューティが 50%のクロックが必要な場合は、偶数分周となるように設定してください。

3.4.2. ビットクロック(BCK)

ビットクロック生成回路は、I2Sx がマスターデバイスとして動作するとき([I2SxCMS_SEL]<SEL>=0) マスタークロックを分周し BCK を生成します。

マスタークロックは MCLKO(内部クロック)か MCLKI(外部クロック)のどちらかを選択します。

マスタークロックは[I2SxCBCK_SRC_SEL]<SEL>で選択し、分周比は[I2SxCBCK_DIV]<PSCAL[7:0]>で設定します。[I2SxCBCK_SRC_SEL]<SEL>=0(外部クロック)の場合には[I2SxCBCK_DIV]<PSCAL[7:0]>を 0x01 ~ 0xFE(1/2~1/255 分周)、[I2SxCBCK_SRC_SEL]<SEL>=1(内部クロック)の場合には [I2SxCBCK_DIV]<PSCAL[7:0]>を 0x00(1/1 分周)に設定してください。

ビットクロック生成回路の出力許可は[I2SxCBCK_DIVOUT_EN]<EN>を"1"に設定します。

[I2SxCBCK_DIVOUT_EN]<EN>=1 の場合は、[I2SxCBCK_SRC_SEL]<SEL>および [I2SxCBCK_DIV]<PSCAL[7:0]>の設定値を変更しないでください。

BCK 生成回路での分周が奇数の場合は、生成されるクロックのデューティは 50%になりません。デューティが 50%のクロックが必要な場合は、偶数分周となるように設定してください。設定例は「表 3.1」を参照してください。

表 3.1 マスターデバイス([I2SxCMS_SEL]<SEL>=0)の場合のBCK(Duty 50%)の設定例

[I2SxCMCLK_IO_SEL] <SEL>	[I2SxCBCK_SRC_SEL] <SEL>	[I2SxCPHT_DIV] <PSCAL[7:0]>	[I2SxCBCK_DIV] <PSCAL[7:0]>	MCLKI 周波数 (MHz)	ΦT0 周波数 (MHz)	BCK 周波数 (MHz)
0	0	-	0x01 (1/2 分周)	1.536	-	0.768
0	0	-	0x03 (1/4 分周)	3.072	-	0.768
0	0	-	0x01 (1/2 分周)	3.072	-	1.536
0	0	-	0x03 (1/4 分周)	6.144	-	1.536
0	0	-	0x01 (1/2 分周)	6.144	-	3.072
0	0	-	0x03 (1/4 分周)	12.288	-	3.072
0	0	-	0x01 (1/2 分周)	12.288	-	6.144
0	0	-	0x03 (1/4 分周)	24.576	-	6.144
0	0	-	0x01 (1/2 分周)	24.576	-	12.288
0	0	-	0x03 (1/4 分周)	49.152	-	12.288
-	1	0x03 (1/4 分周)	0x00 (1/1 分周)	-	3.072	0.768
-	1	0x07 (1/8 分周)	0x00 (1/1 分周)	-	6.144	0.768
-	1	0x03 (1/4 分周)	0x00 (1/1 分周)	-	6.144	1.536
-	1	0x0F (1/16 分周)	0x00 (1/1 分周)	-	24.576	1.536
-	1	0x07 (1/8 分周)	0x00 (1/1 分周)	-	24.576	3.072
-	1	0x0F (1/16 分周)	0x00 (1/1 分周)	-	49.152	3.072
-	1	0x03 (1/4 分周)	0x00 (1/1 分周)	-	24.576	6.144
-	1	0x07 (1/8 分周)	0x00 (1/1 分周)	-	49.152	6.144
-	1	0x03 (1/4 分周)	0x00 (1/1 分周)	-	49.152	12.288
-	1	0x0F (1/16 分周)	0x00 (1/1 分周)	-	196.608	12.288

3.4.3. LR クロック(LRCK)

LRCK 生成回路は、I2Sx がマスターデバイスとして動作するとき ($I2SxCMS_SEL<SEL>=0$) の LRCK を生成します。

LRCK 生成ブロックに供給される BCK と $I2SxCAUDIOSET<SCLKtoWS>$ でサンプリングデータ 1 チャンネル当たりのサイクル数を設定します。

$I2SxCAUDIOSET<SCLKtoWS>$ 、 $<WordLen[5:0]>$ および $I2SxCMODESET<WS[2:0]>$ を設定した後に、 $I2SxCSTART<Start>$ に "1" を設定すると LRCK の生成を開始します。

LRCK を出力するタイミングは $I2SxCAUDIOSET<Edge>$ で設定します。

LRCK が Low の期間は L チャンネル、High の期間は R チャンネルを示します。サンプリング周波数(fs) は、LRCK の周波数によって決まります。SDATA(DO/DI) は、BCK/LRCK に同期して出力または入力されます。

3.5. 音声データフォーマット

I2Sx は以下の音声データフォーマットに対応しています。

また、BCK 周波数に対し、データ長が短い場合、有効データを先に出力し、ダミーデータ "0" を挿入する「左寄せ」、データの MSB 側から出力する「MSB-first」に対応しています。「右寄せ」および「LSB-first」が必要な場合はソフトウェアで対応してください。

- I2S ステレオ
- LR ステレオ
- PCM モノラル

I2S ステレオフォーマットは LRCK の各位相に L チャンネル/R チャンネルを配置します。データの先頭には 1 ビットクロック分のオフセットが入ります。

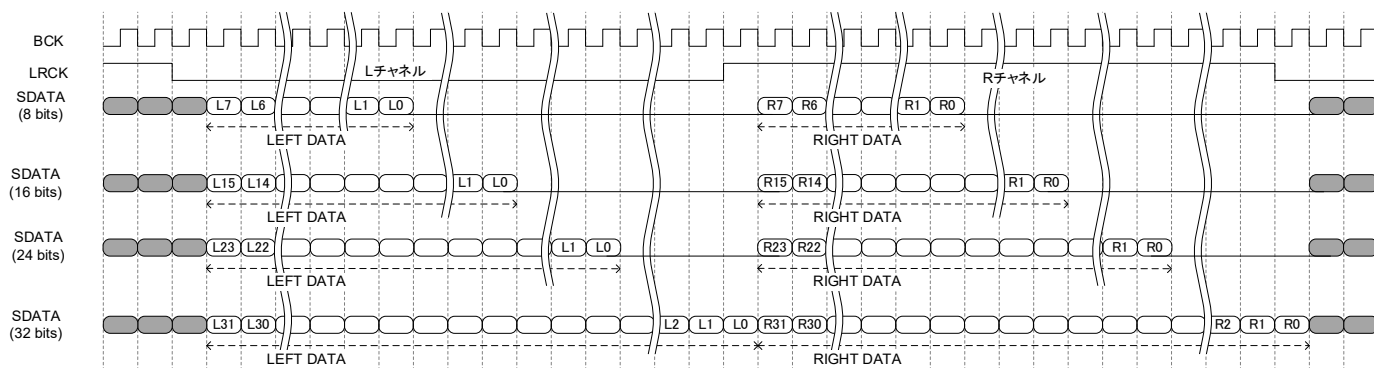


図 3.3 I2Sステレオフォーマットの例(ステレオ64fsのとき)

LR ステレオフォーマットは LRCK の各位相に L チャンネル/R チャンネルを配置します。"図 3.3"のようなオフセットは入りません。

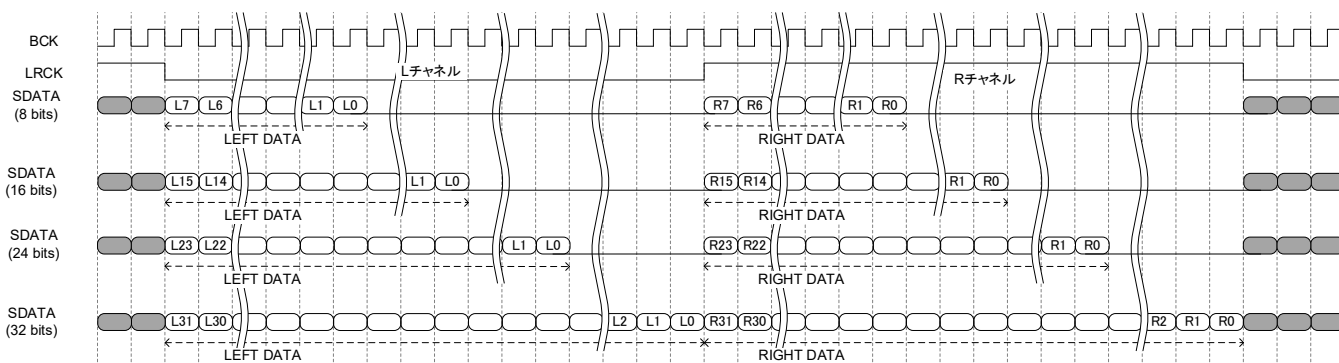


図 3.4 LRステレオフォーマットの例(ステレオ64fsのとき)

PCM モノラルフォーマットは LRCK をデータ開始のイネーブル信号として使用します。PCM モノラルフォーマットでは L チャンネル/R チャンネルの区別はありません。

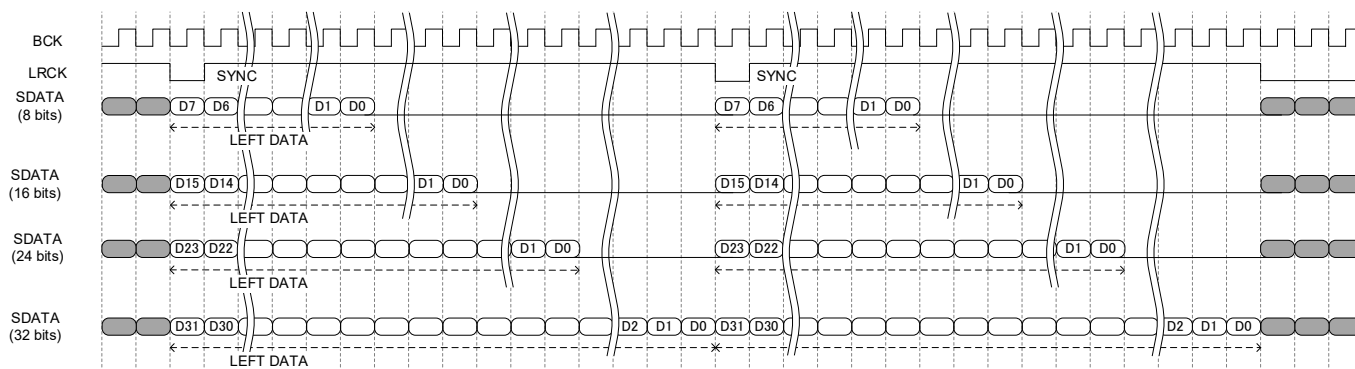


図 3.5 PCMモノラルフォーマットの例(モノラル32fs)

3.5.1. 音声データフォーマットの選択

音声データフォーマットは $[I2SxCMODESET]<WS[2:0]>$ 、 $[I2SxIMODESET]<WS[2:0]>$ 、 $[I2SxOMODESET]<WS[2:0]>$ で設定します。

BCK 周波数は LRCK の整数倍の周波数で、LRCK の 32 倍の周波数の場合は 32fs、64 倍の周波数の場合は 64fs と表記します。

I2S ステレオフォーマットと LR ステレオフォーマットでは 32fs と 64fs が選択可能です。PCM モノラルフォーマットの場合、16fs と 32fs が選択可能です。サンプリング周波数(fs)の設定値は表 3.5 を参照してください。

表 3.2 音声フォーマットのレジスター設定

音声フォーマット	BCK 周波数	$[I2SxCMODESET]<WS[2:0]>$ $[I2SxIMODESET]<WS[2:0]>$ $[I2SxOMODESET]<WS[2:0]>$
I2S ステレオ	32fs/64fs	000
LR ステレオ (LRCK の"Low"期間が L チャンネル)		010
LR ステレオ (LRCK の"High"期間が L チャンネル)		011
PCM モノラル (LRCK の"Low"が同期)	16fs/32fs	100
PCM モノラル (LRCK の"High"が同期)		101

3.5.2. SDATA(DI/DO)のフレームサイズ設定

フレームサイズは音声チャンネルあたりの BCK のサイクル数を意味します。

I2S ステレオフォーマットと LR ステレオフォーマットの場合、1 サンプルデータは 2 チャンネル(L チャンネルと R チャンネル)で構成されるため、1 サンプリング周期の半分が 1 フレームになります。

PCM モノラルの場合、1 サンプリング周期が 1 フレームになります。

SDATA(DI/DO)のフレームサイズは $[I2SxCAUDIOSET]<SCLKtoWS>$ 、 $[I2SxIAUDIOSET]<SCLKtoWS>$ 、 $[I2SxOAUDIOSET]<SCLKtoWS>$ で 16 サイクルまたは 32 サイクルを設定します。

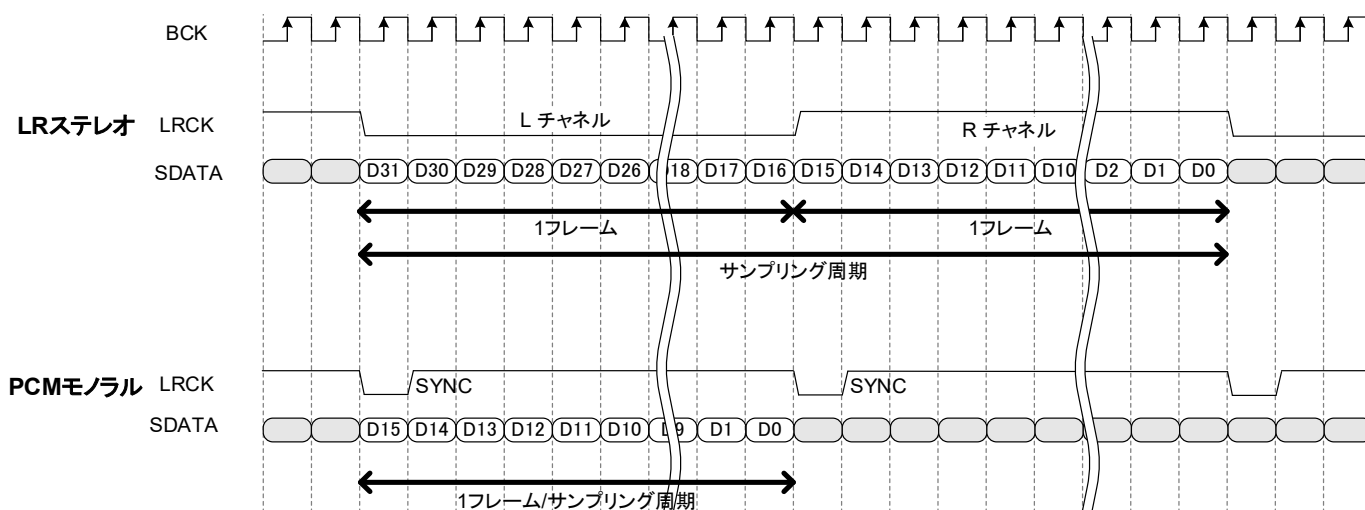


図 3.6 フレームサイズ例(16サイクルのとき)

3.5.3. データ長

I2S ステレオと LR ステレオの場合、L チャンネル/R チャンネルそれぞれの 1 サンプルあたりの SDATA のビット数を表します。PCM モノラルの場合、1 サンプルあたりの SDATA のビット数を表します。

データ長は $[I2SxCAUDIOSET]<WordLen[5:0]>$ 、 $[I2SxIAUDIOSET]<WordLen[5:0]>$ 、 $[I2SxOAUDIOSET]<WordLen[5:0]>$ で設定します。I2S ステレオ/LR ステレオ/PCM モノラルのいずれの場合も、8/16/24/32 の各ビット数を選択可能です。

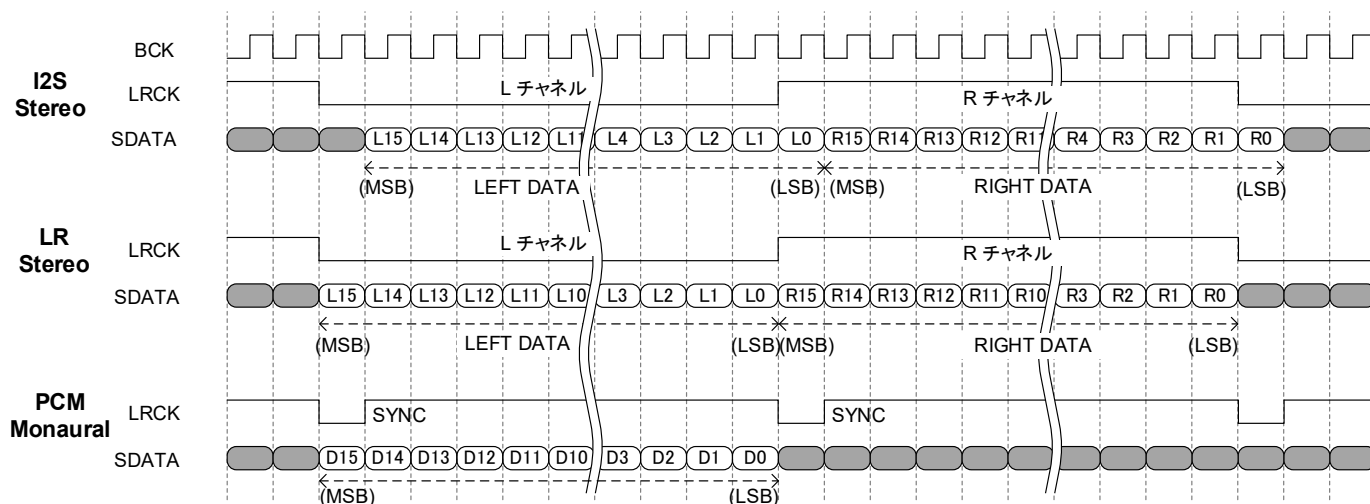


図 3.7 データ長が16bitのときの各音声フォーマット(ステレオ32fs/モノラル16fsのとき)

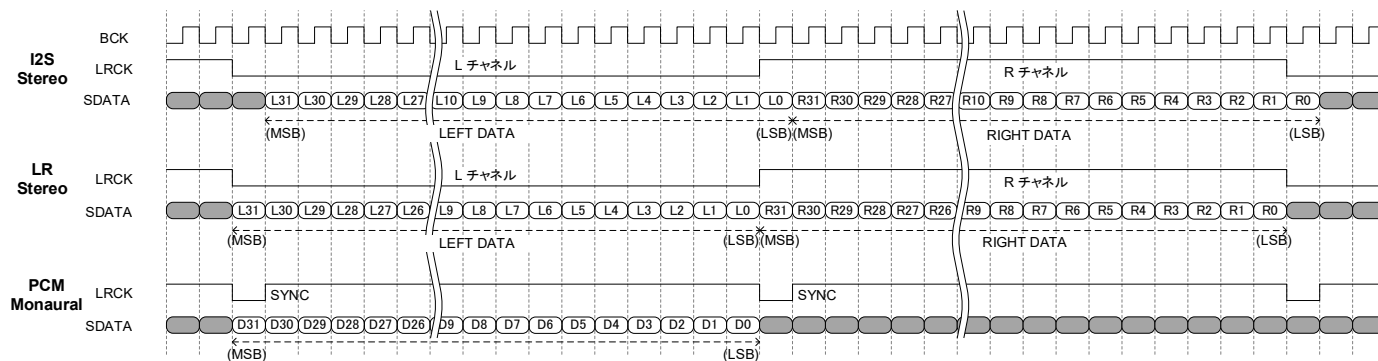


図 3.8 データ長が32bitのときの各音声フォーマット(ステレオ64fs/モノラル32fsのとき)

音声フォーマットのレジスター設定例は表 3.3 となります。

表 3.3 音声フォーマットのレジスター設定例

音声 フォーマット	BCK 周波数	データ長 [bit]	[I2SxCMODESET] [I2SxIMODESET] [I2SxOMODESET]	[I2SxCAUDIOSET] [I2SxIAUDIOSET] [I2SxOAUDIOSET]	[I2SxCAUDIOSET] [I2SxIAUDIOSET] [I2SxOAUDIOSET]
			<WS[2:0]>	<SCLKtoWS>	<WordLen[5:0]>
I2S ステレオ	32fs	8	000	0	001000
		16			010000
	64fs	8		1	001000
		16			010000
		24			011000
		32			100000
LR ステレオ	32fs	8	010	0	001000
		16			010000
	64fs	8		1	001000
		16			010000
		24			011000
		32			100000
PCM モノラル	16fs	8	100	0	001000
		16			010000
	32fs	8		1	001000
		16			010000
		24			011000
		32			100000

3.5.4. クロックエッジ

LRCK/SDATA は BCK の立ち上がりエッジまたは立ち下がりエッジに同期します。

クロック制御部から LRCK を出力するタイミングは $[I2SxCAUDIOSET]<Edge>$ で設定します。
送信制御および受信制御に LRCK を取り込むタイミングは $[I2SxOAUDIOSET]<Edge>$ 、
 $[I2SxIAUDIOSET]<Edge>$ でそれぞれ設定します。

送信制御から SDATA を出力するタイミングは $[I2SxOAUDIOSET]<SDEdge>$ 、受信制御に SDATA を取り込むタイミングは $[I2SxIAUDIOSET]<SDEdge>$ で設定します。

- 立ち上がりエッジモード:
BCK の立ち上がりエッジで、LRCK/SDATA を取り込み(受信：サンプリングタイミング)ます。
LRCK/SDATA は BCK の立ち下がりエッジで変化(送信：出力タイミング)します。
- 立ち下がりエッジモード:
BCK の立ち下がりエッジで、LRCK/SDATA を取り込みます。LRCK/SDATA は BCK の立ち上がりエッジで変化します。

表 3.4 クロックエッジ設定

デバイス動作	モード	クロック制御 $[I2SxCAUDIOSET]$	送信制御 $[I2SxOAUDIOSET]$	受信制御 $[I2SxIAUDIOSET]$
マスター	立ち上がりエッジ	$<Edge>=0$	$<Edge>=1$	$<Edge>=1$
		$<SDEdge>$:設定不要	$<SDEdge>=0$	$<SDEdge>=1$
	立ち下がりエッジ	$<Edge>=1$	$<Edge>=0$	$<Edge>=0$
		$<SDEdge>$:設定不要	$<SDEdge>=1$	$<SDEdge>=0$
スレーブ	立ち上がりエッジ	—	$<Edge>=1$	$<Edge>=1$
		—	$<SDEdge>=0$	$<SDEdge>=1$
	立ち下がりエッジ	—	$<Edge>=0$	$<Edge>=0$
		—	$<SDEdge>=1$	$<SDEdge>=0$

接続するデバイスに合わせて「立ち上がりエッジモード」または「立ち下がりエッジモード」を選択してください。

「図 3.9」と「図 3.10」にそれぞれ「立ち上がりエッジモード」と「立ち下がりエッジモード」の波形を示します。

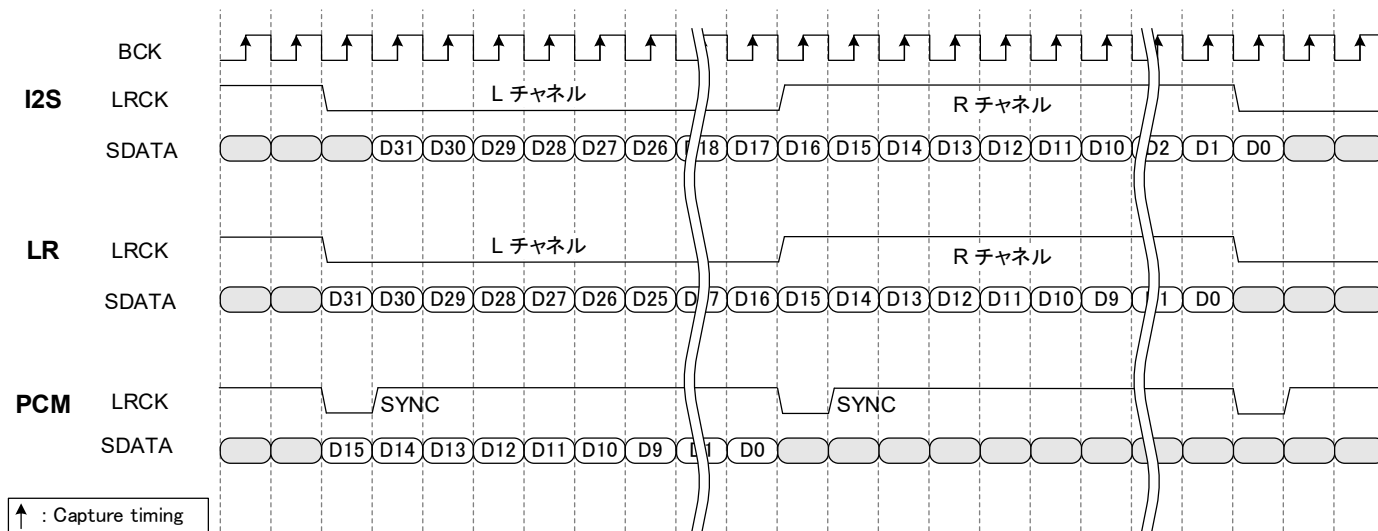


図 3.9 立ち上がりエッジモードの取り込みタイミング

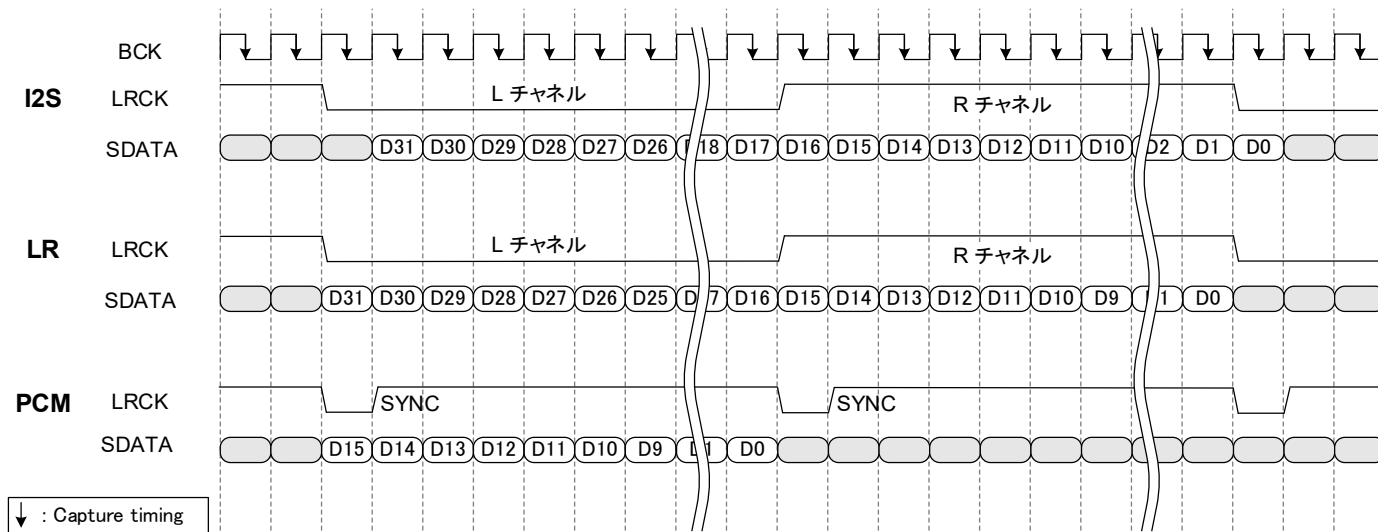


図 3.10 立ち下がりエッジモードの取り込みタイミング

3.5.5. サンプリング周波数

サンプリング周波数は、音声データフォーマットが I2S ステレオ、LR ステレオの時には LRCK の 1 周期、PCM モノラルの時には LRCK の SYNC から次の SYNC までの周期です。

表 3.5 にサンプリング周波数とレジスター設定の例を示します。
出力するマスタークロック周波数の設定は表 3.1 を参照してください。

表 3.5 サンプリング周波数の設定例

サンプリング周波数 (kHz)	BCK 周波数 (ステレオ/モノラル)	[I2SxIAUDIOSET]<SCLKtoWS> [I2SxOAUDIOSET]<SCLKtoWS>	マスタークロック周波数 (MHz)
48	32fs/16fs	0(16 サイクル)	0.768
96	32fs/16fs	0(16 サイクル)	1.536
192	32fs/16fs	0(16 サイクル)	3.072
48	64fs/32fs	1(32 サイクル)	1.536
96	64fs/32fs	1(32 サイクル)	3.072
192	64fs/32fs	1(32 サイクル)	6.144

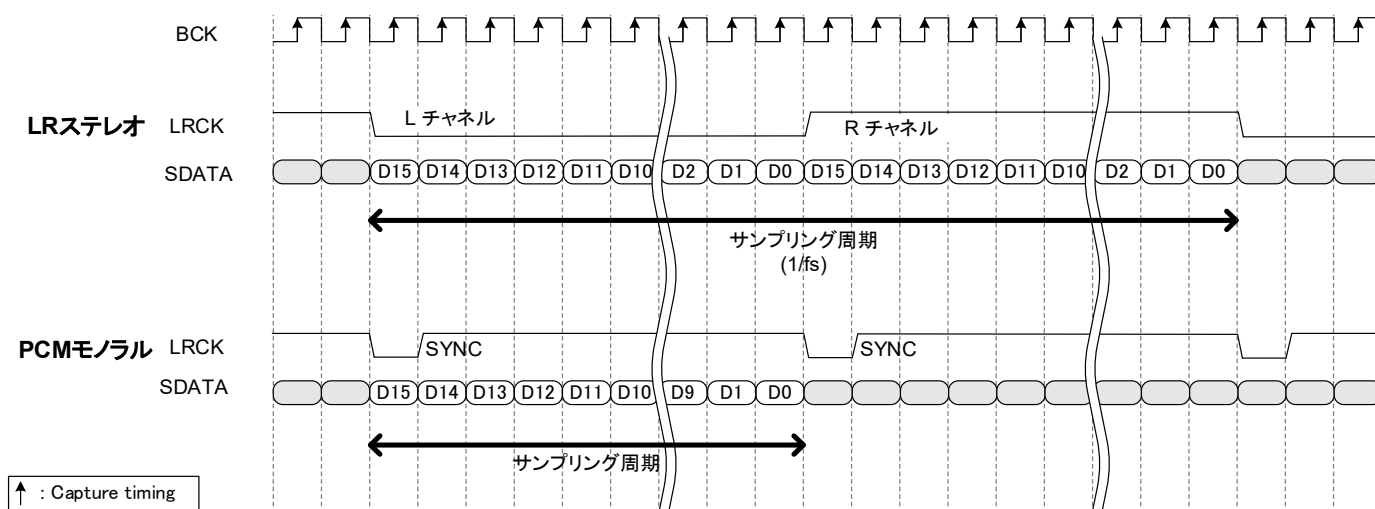


図 3.11 <SCLKtoWS>=0のときのサンプリング周期例

3.6. 受信バッファ / 送信バッファ

受信データ/送信データは受信バッファ/送信バッファに格納されます。

受信バッファは受信シフトレジスタ、受信 FIFO、受信データレジスタ (*[I2SxILMEM00]* ~ *[I2SxILMEM63]*) で構成されています。

送信バッファは送信シフトレジスタ、送信 FIFO、送信データレジスタ (*[I2SxOLMEM00]* ~ *[I2SxOLMEM63]*) で構成されています。

FIFO は、受信用、送信用ともに 64 段です。

FIFO の 1 エントリーのデータ幅は 32 ビットです。受信データレジスタ/送信データレジスタに対して、1 回のライトまたはリードアクセスで FIFO の 1 エントリーの書き込みまたは取り出しを実行します。従って、8 ビットまたは 16 ビット単位でのデータアクセスはできません。

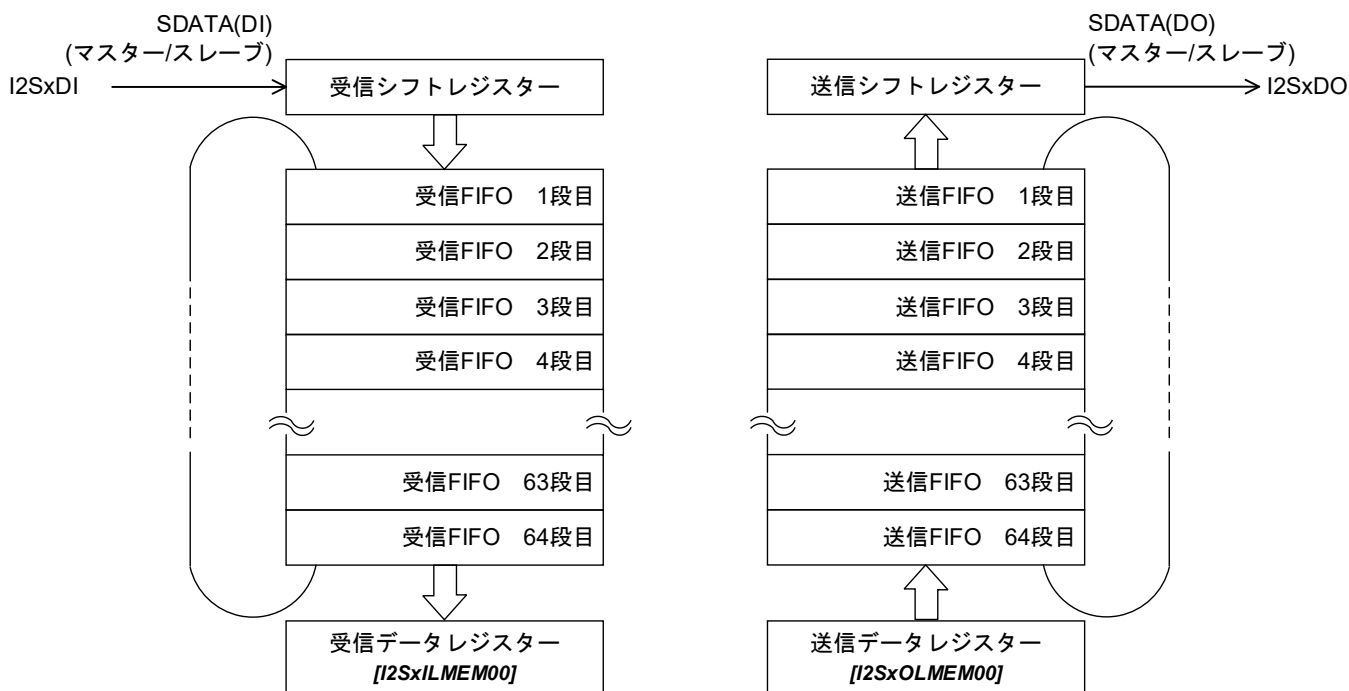


図 3.12 受信バッファ/送信バッファの構成

3.6.1. 受信 FIFO

I2SxDI 端子から入力されたデータが受信シフトレジスタに全ビット(1 フレーム)格納されると受信 FIFO に転送され、受信ライトポインターは次の段に移動します。受信 FIFO をリードすると受信リードポインターが次の段に移動します。受信 FIFO のデータは受信データレジスタ([I2SxILMEM00] ~ [I2SxILMEM63])から読み出します。

データ受信時は、受信データレジスタ([I2SxILMEM00] ~ [I2SxILMEM63])のどの番地からデータをリードしても、FIFO の先頭からデータが取り出されます。

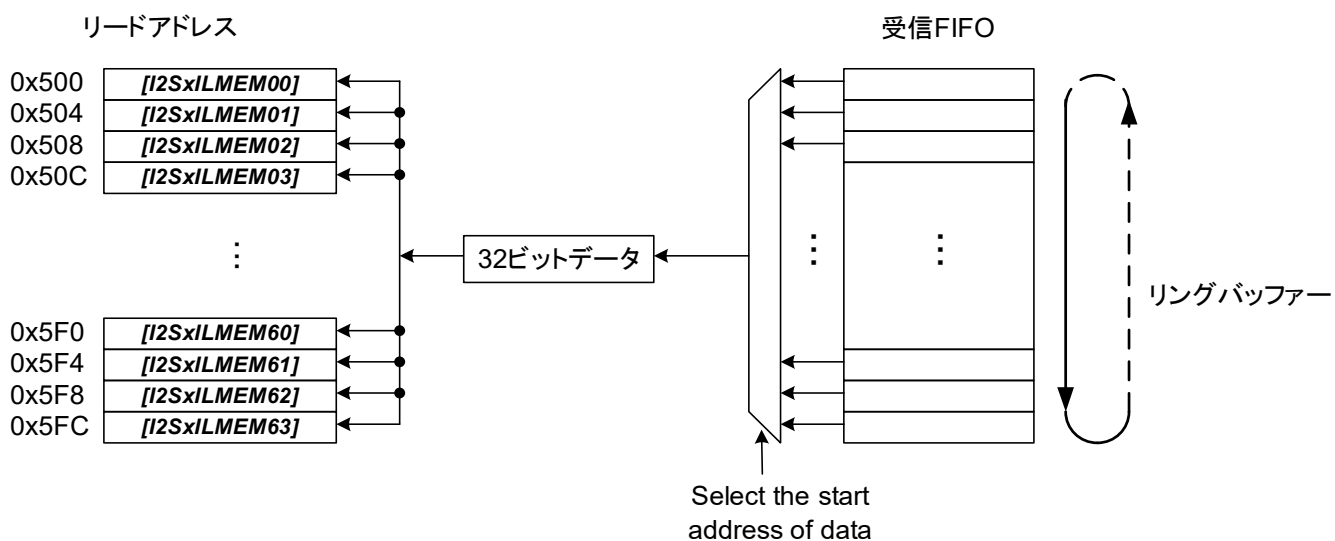


図 3.13 受信FIFOのアクセス

3.6.2. 送信 FIFO

送信シフトレジスタに書き込んだ送信データは送信 FIFO に格納され、送信ライトポインターが次の段に移動します。送信を許可すると送信 FIFO から送信データレジスタ(*[I2SxOLMEM00]* ~ *[I2SxOILMEM63]*)へデータが転送され、I2SxDO 端子から出力されます。

送信 FIFO の格納データ数は、*[I2SxOFIFO_STS]*<FIFOStatus[6:0]>で確認できます。

[I2SxOSTART]<SpkStart>を"1"に設定した時点から、FIFO の空きを通知する割り込みや DMA リクエストが発行されます。

データ送信時は、送信データレジスタ(*[I2SxOLMEM00]* ~ *[I2SxOILMEM63]*)のどの番地へデータをライトしても、データは FIFO の最後尾に積まれます。そのため、例えば*[I2SxOLMEM00]*への連続ライトも、*[I2SxOLMEM00]*から*[I2SxOLMEM63]*までのシーケンシャルなライトも同一に扱われます。

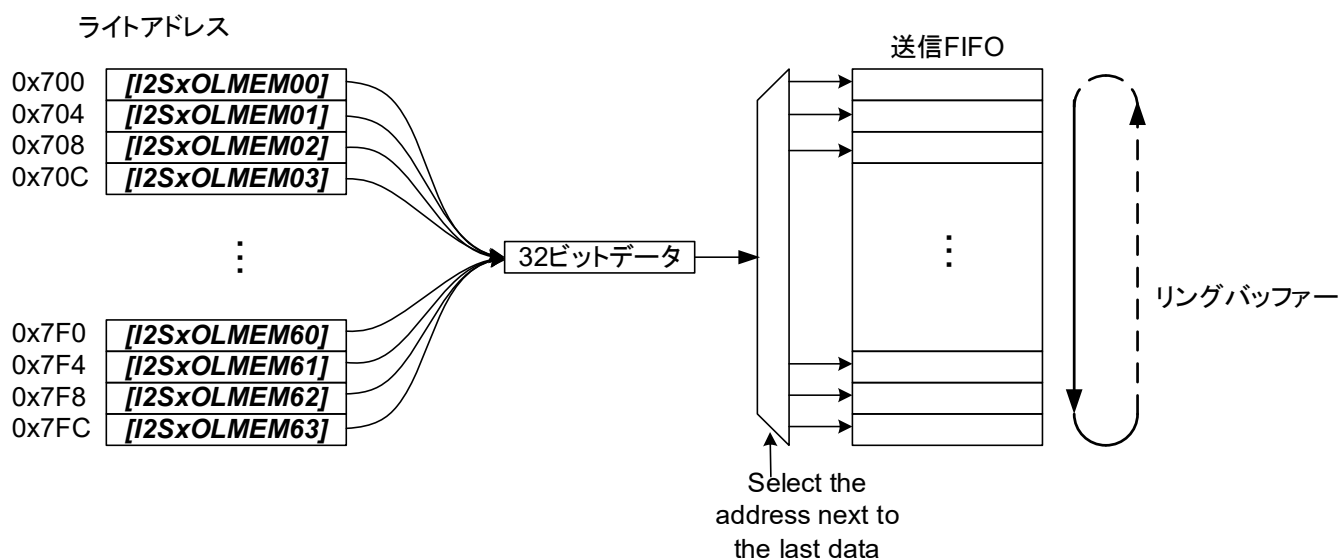


図 3.14 送信FIFOのアクセス

3.6.3. 送信開始しきい値 ([I2SxOTX_SSIZE])

送信 FIFO に指定した数のデータが書き込まれてからシリアル転送を開始する機能があります。この機能は送信側のみ対応します。この機能を使うことで、送信 FIFO が空の状態から動作を開始した場合に、送信 FIFO に指定した以上のデータが格納されたときに自動的にシリアル転送を開始することができます。FIFO に一定以上のデータがある状態からシリアル転送を開始することで、アンダーランエラーを発生しにくくすることができます。

指定された値を超えるデータがバッファに格納されてから、SDATA の送信を開始します。この設定は[I2SxOSTART]<SpkStart>に"1"をライトした後の最初のデータ出力にのみ影響します。

送信 FIFO へのアクセスが完了し、送信 FIFO のエントリー数が[I2SxOTX_SSIZE]<TxStartSize>で設定した値以上になった次のフレーム（フレーム該当する LR）からデータの送信が開始されます。

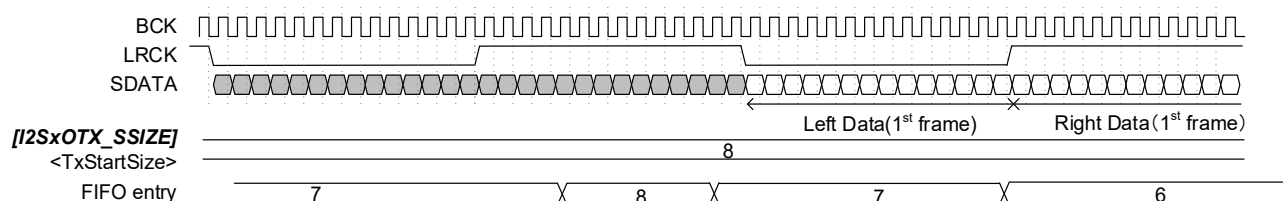


図 3.15 [I2SxOTX_SSIZE]<TxStartSize>=8の時のデータ転送

3.6.4. データ格納フォーマット

送信データレジスタ([I2SxOLMEM00] ~ [I2SxOLMEM63])、受信データレジスタ([I2SxILMEM00] ~ [I2SxILMEM63])は 32 ビット単位でデータアクセスするため、SDATA(DI/DO)が 32 ビットより短い場合、各データレジスタへのデータ格納フォーマットを選択することができます。

データ長は、受信時[I2SxIAUDIOSET]<WordLen[5:0]>、送信時[I2SxOAUDIOSET]<WordLen[5:0]>で設定します。

データ格納フォーマットは、受信時[I2SxIAUDIOSET]<DTFmt>、送信時[I2SxOAUDIOSET]<DTFmt>で設定します。

表 3.6 データ格納フォーマットの設定

データ長	データ長の設定 <WordLen[5:0]>	データ格納 フォーマットの設定 <DTFmt>	データ格納フォーマット
32 ビット	100000	-	<DTFmt>の設定は影響しません。
24 ビット	011000	0	(LSB 詰め) 下位 24 ビットが有効データになります。
		1	(MSB 詰め) 上位 24 ビットが有効データになります。
16 ビット	010000	0	(Lower-first) 出力の場合、下位側から出力されます。 入力の場合、先に来たデータが下位側から格納されます。
		1	(Upper-first) 出力の場合、上位側から出力されます。 入力の場合、先に来たデータが上位側から格納されます。
8 ビット	001000	0	(Lower-first) 出力の場合、下位側から出力されます。 入力の場合、先に来たデータが下位側から格納されます。
		1	(Upper-first) 出力の場合、上位側から出力されます。 入力の場合、先に来たデータが上位側から格納されます。

注) 「右寄せ」および「LSB-first」が必要な場合はソフトウェアで対応してください。

	MSB		LSB
	31		0
$[[2SxILMEM(2n)] / [2SxOLMEM(2n)]]$	L	Left Data	L
	31		0
$[[2SxILMEM(2n+1)] / [2SxOLMEM(2n+1)]]$	R	Right Data	R
	31		0

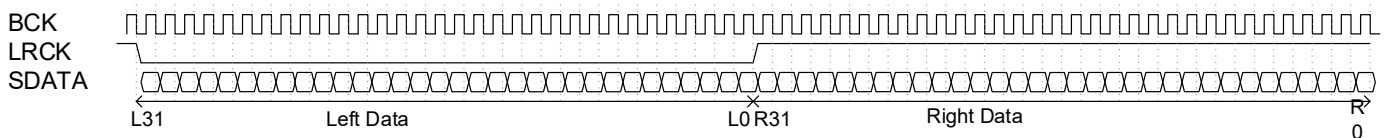


図 3.16 データ長32ビットのときのデータ格納フォーマットとオーディオフォーマット

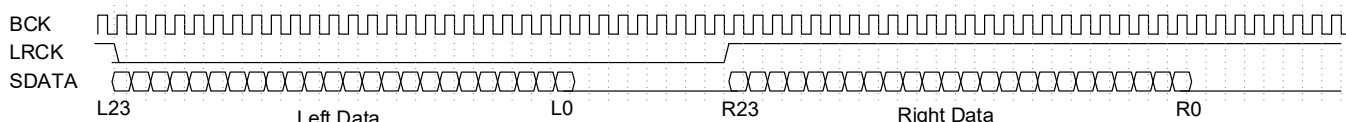
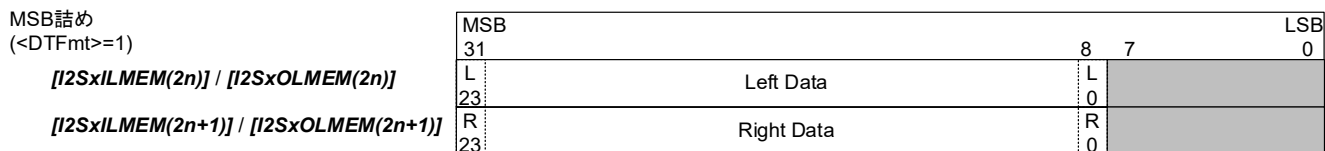
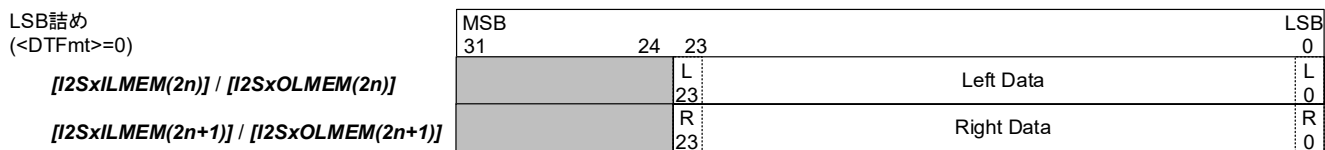


図 3.17 データ長24ビットのときのデータ格納フォーマットとオーディオフォーマット

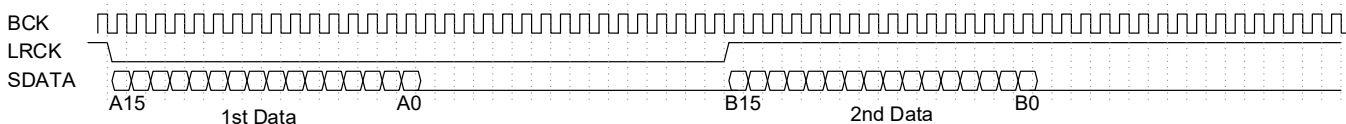
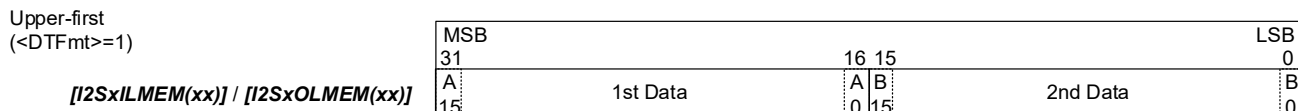
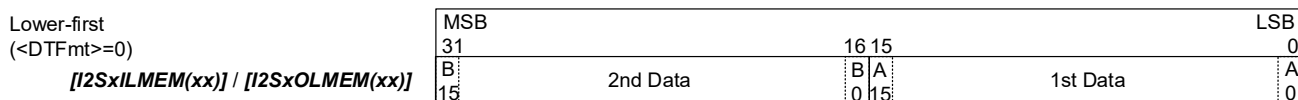


図 3.18 データ長16ビットのときのデータ格納フォーマットとオーディオフォーマット

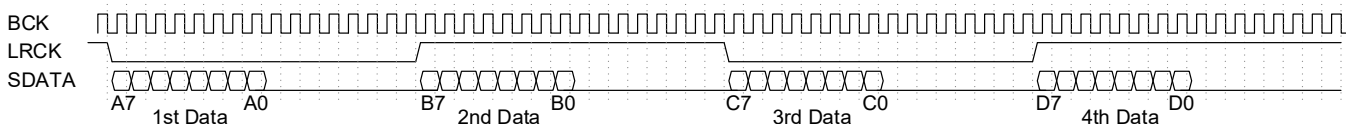
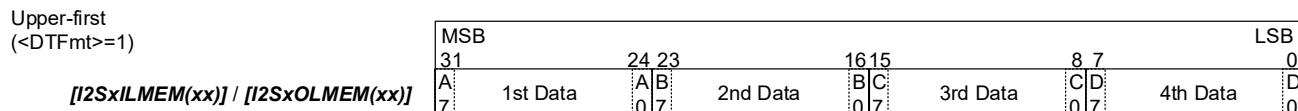
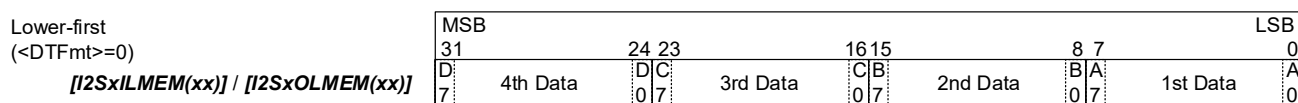


図 3.19 データ長8ビットのときのデータ格納フォーマットとオーディオフォーマット

3.6.5. [I2SxITHRESHOLD] / [I2SxOTHRESHOLD] レジスター

INTI2SxSI 割り込み / INTI2SxSO 割り込み / DMA リクエストを発生するためのデータ転送要求タイミング、または FIR へのデータ転送要求を通知するタイミングを設定することができます。

(1) データ転送要求タイミング設定

受信時、受信 FIFO の格納データが[I2SxITHRESHOLD]<threshold[4:0]>+1 以上になると INTI2SxSI 割り込み、受信 DMA リクエストがアサートされ、アサート後に CPU または DMA から受信 FIFO のリードを行います。次の割り込みを発生させるためには[I2SxITHRESHOLD]<threshold[4:0]>+1 回 FIFO をリードしてください。

送信時、送信 FIFO の空きが[I2SxOTHRESHOLD]<threshold[4:0]>+1 以上になると INTI2SxSO 割り込み、送信 DMA リクエストがアサートされ、アサート後に CPU または DMA から送信 FIFO のライトを行います。次の割り込みを発生させるためには[I2SxITHRESHOLD]<threshold[4:0]>+1 回 FIFO をライトしてください。

(2) FIR への通知タイミング設定

受信 FIFO に[I2SxITHRESHOLD]<threshold[4:0]>+1 以上のデータが格納されている、または送信 FIFO に[I2SxOTHRESHOLD]<threshold[4:0]>+1 以上の空きがある場合に FIR に通知します。

3.7. 割り込み

受信時の割り込みは INTI2SxSIERR 割り込み、INTI2SxSI 割り込み、送信時の割り込みは INTI2SxSOERR 割り込み、INTI2SxSO 割り込みです。

INTI2SxSIERR 割り込み、INTI2SxSOERR 割り込みが発生する要因は LRCK エラー、アンダーランエラー、オーバーランエラーです。

INTI2SxSI 割り込み、INTI2SxSO 割り込みの発生要因はデータ転送要求です。また、データ転送要求は DMAC への DMA リクエスト(I2SxRXDMAREQ、I2SxTXDMAREQ)の発生要因となります。送信/受信データ完了割り込みと送信/受信 DMA リクエストのうち、一方はマスクする必要があります。

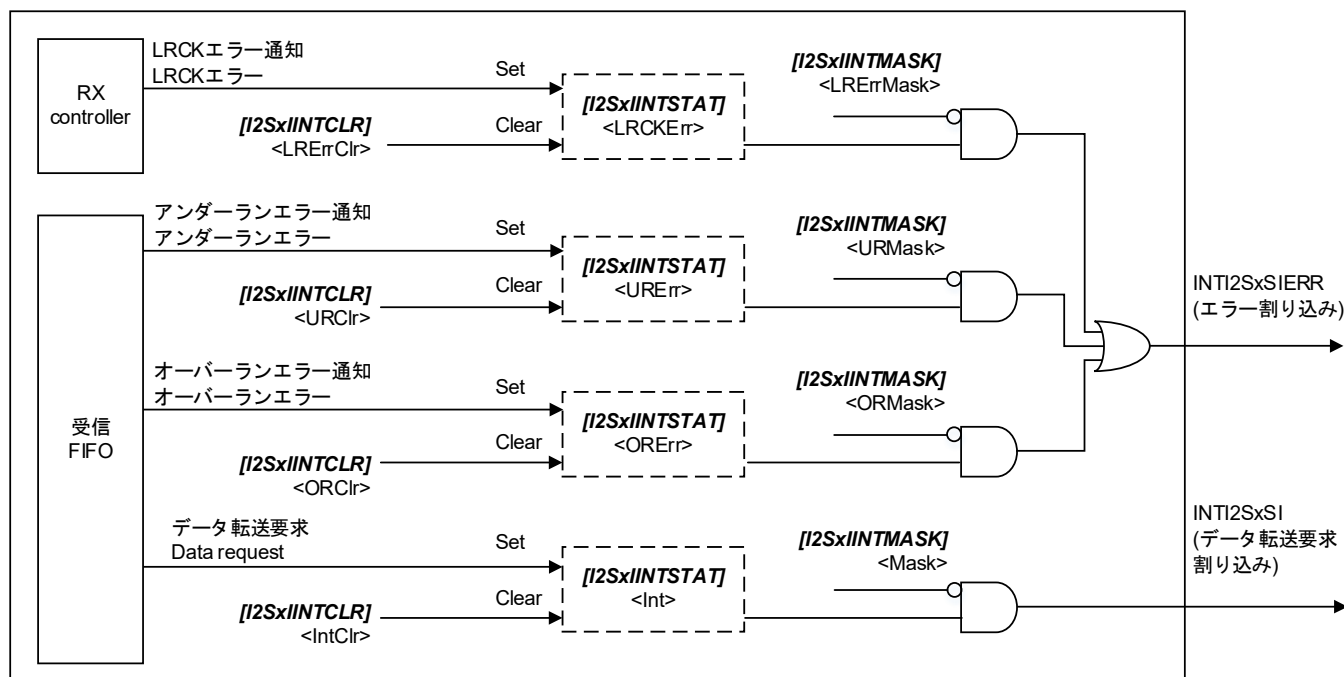


図 3.20 受信割り込み制御

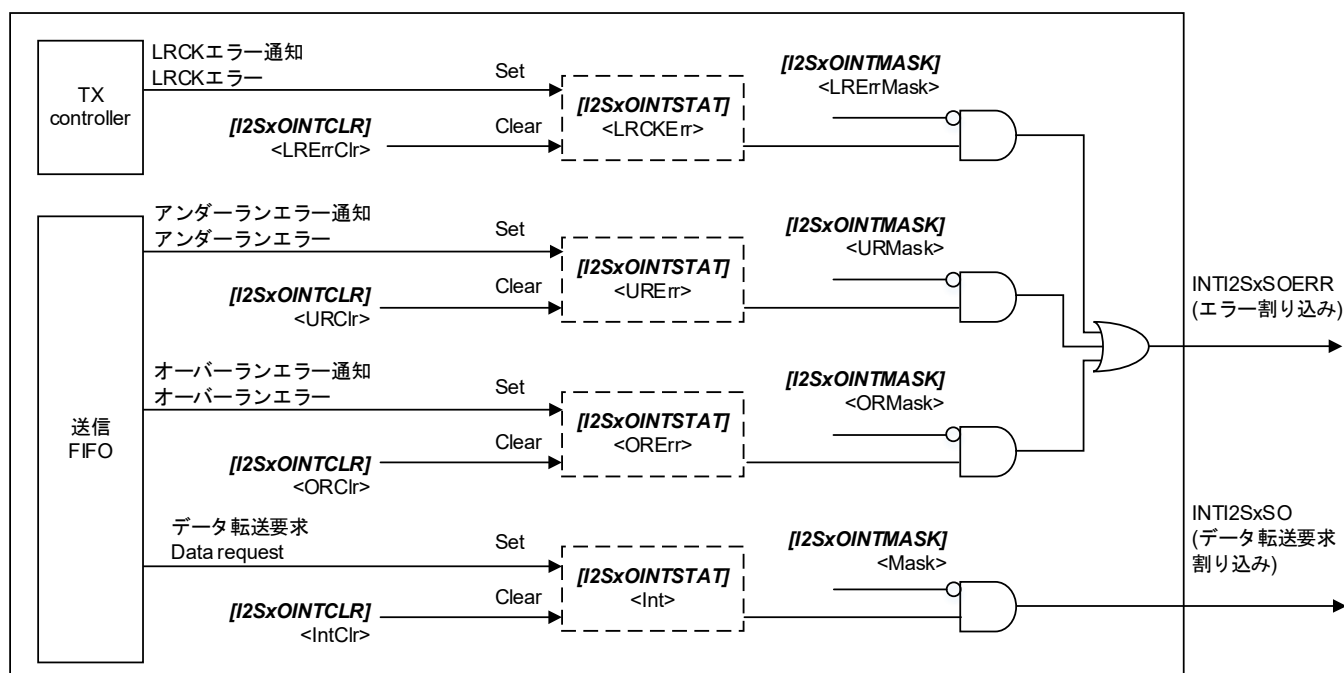


図 3.21 送信割り込み制御

各割り込み要因が検出されると **[I2SxIINTSTAT]**、**[I2SxOINTSTAT]** レジスタの該当ビットが"1"にセットされます。

[I2SxIINTMASK]、**[I2SxOINTMASK]** レジスタの該当ビットを"1"にセットすると、対象となる割り込みはマスクされ割り込みが発生しません。ただし、マスクされた場合でも要因の有無を **[I2SxIINTSTAT]**、**[I2SxOINTSTAT]** レジスタで確認することが可能です。

[I2SxIINTCLR]、**[I2SxOINTCLR]** レジスタの該当ビットに"1"をライトすることで **[I2SxIINTSTAT]**、**[I2SxOINTSTAT]** レジスタの割り込み要因をクリアすることができます。

表 3.7 割り込み要因とレジスタ

モジュール	割り込み信号	割り込みの発生要因	割り込みステータスレジスタ	割り込み要因クリアレジスタ	割り込みマスクレジスタ
受信制御	INTI2SxSI	データ転送要求	[I2SxIINTSTAT] <Int>	[I2SxIINTCLR] <IntClr>	[I2SxIINTMASK] <Mask>
	INTI2SxSIERR	FIFO オーバーラン	[I2SxIINTSTAT] <OErr>	[I2SxIINTCLR] <ORClr>	[I2SxIINTMASK] <ORMask>
		FIFO アンダーラン	[I2SxIINTSTAT] <UErr>	[I2SxIINTCLR] <URClr>	[I2SxIINTMASK] <URMask>
		LRCK エラー	[I2SxIINTSTAT] <LRCKErr>	[I2SxIINTCLR] <LRErrClr>	[I2SxIINTMASK] <LRErrMask>
送信制御	INTI2SxSO	データ転送要求	[I2SxOINTSTAT] <Int>	[I2SxOINTCLR] <IntClr>	[I2SxOINTMASK] <Mask>
	INTI2SxSOERR	FIFO オーバーラン	[I2SxOINTSTAT] <OErr>	[I2SxOINTCLR] <ORClr>	[I2SxOINTMASK] <ORMask>
		FIFO アンダーラン	[I2SxOINTSTAT] <UErr>	[I2SxOINTCLR] <URClr>	[I2SxOINTMASK] <URMask>
		LRCK エラー	[I2SxOINTSTAT] <LRCKErr>	[I2SxOINTCLR] <LRErrClr>	[I2SxOINTMASK] <LRErrMask>

3.7.1. INTI2SxSI 割り込み、INTI2SxSO 割り込み

INTI2SxSI/INTI2SxSO 割り込みの要因は、データ転送要求です。データ転送要求は、受信 FIFO または送信 FIFO がデータ転送可能な状態であるときに発生します。

受信制御では、受信 FIFO に $[I2SxITHRESHOLD] <threshold[4:0]> + 1$ 以上のデータが格納されている場合にデータ転送要求が発生し、 $[I2SxIINTSTAT] <Int> = 1$ となります。 $[I2SxIINTSTAT] <Int>$ が "0" の場合は FIFO からデータをリードできません。

送信制御では、送信 FIFO に $[I2SxOTHRESHOLD] <threshold[4:0]> + 1$ 以上の空きがある場合にデータ転送要求が発生し、 $[I2SxOINTSTAT] <Int> = 1$ となります。 $[I2SxOINTSTAT] <Int>$ が "0" の場合は FIFO へデータをライトできません。

データ転送要求をクリアするには、 $[I2SxIINTCLR] <IntClr>$ 、 $[I2SxOINTCLR] <IntClr>$ に "1" を設定してください。

割り込みステータスレジスターが "1" のときマスクレジスターが "0" に設定されていると、INTI2SxSI 割り込み、INTI2SxSO 割り込みが発生します。

データ転送要求を送信 DMAC リクエスト/受信 DMAC リクエストの要因として使用する場合には、 $[I2SxIINTCLR] <IntClr>$ 、 $[I2SxOINTCLR] <IntClr>$ を "1" に設定しないでください。また、送信/受信データ転送要求割り込みをマスクしてください。(送信/受信 DMAC リクエストについては「3.8. DMA」を参照してください。)

3.7.2. INTI2SxSIERR 割り込み、INTI2SxSOERR 割り込み

INTI2SxSIERR/INTI2SxSOERR 割り込みの要因は LRCK エラー、アンダーランエラー、オーバーランエラーです。

LRCK エラーは LRCK の信号変化タイミングが設定と異なる場合に発生し、 $[I2SxIINTSTAT] <LRCKErr> = 1$ 、 $[I2SxOINTSTAT] <LRCKErr> = 1$ となります。LRCK エラーをクリアするには $[I2SxIINTCLR] <LRErrClr>$ 、 $[I2SxOINTCLR] <LRErrClr>$ に "1" を設定してください。

アンダーランエラーは FIFO にリードすべきデータがない状態で FIFO からデータの取り出し処理が行われたことを示し、 $[I2SxIINTSTAT] <URErr> = 1$ 、 $[I2SxOINTSTAT] <URErr> = 1$ となります。アンダーランエラーをクリアするには $[I2SxIINTCLR] <URClr>$ 、 $[I2SxOINTCLR] <URClr>$ に "1" を設定してください。また、エラー発生番地は、 $[I2SxOEPTR]$ レジスターに格納されます。

オーバーランエラーは FIFO に空きエントリが無い状態で次の FIFO への書き込み処理が実行されたことを示し $[I2SxIINTSTAT] <ORErr> = 1$ 、 $[I2SxOINTSTAT] <ORErr> = 1$ となります。オーバーランエラーをクリアするには $[I2SxIINTCLR] <ORClr>$ 、 $[I2SxOINTCLR] <ORClr>$ に "1" を設定してください。また、エラー発生番地は、 $[I2SxIEPTR]$ レジスターに格納されます。

エラー割り込みを発生させる要因は $[I2SxIINTMASK]$ および $[I2SxOINTMASK]$ レジスターの $<LRErrMask>$ 、 $<URMask>$ 、 $<ORMask>$ でマスク可能です。

LRCK エラー、アンダーランエラー、オーバーランエラーのうちひとつの割り込みステータスレジスターが "1" のときマスクレジスターが "0" に設定されていると、INTI2SxSIERR 割り込み、INTI2SxSOERR 割り込みが発生します。

3.8. DMA リクエスト

I2Sx の送信制御および受信制御は、DMAC に直接転送要求を出すことができ、CPU 負荷を軽減した通信が可能になります。

DMAC は、 $[I2SxILMEM00] \sim [I2SxILMEM63]$ / $[I2SxOLMEM00] \sim [I2SxOLMEM63]$ レジスタにライトまたはリードを発行することで、送信 FIFO または受信 FIFO にアクセスします。

送信制御の場合、送信 FIFO に N エントリー以上の空きがある場合に、送信 DMA リクエスト (I2SxTXDMAREQ)を発行します。受信制御の場合、受信 FIFO に N エントリー以上のデータが格納されている場合に、受信 DMA リクエスト (I2SxRXDMAREQ)を発行します。DMAC は、この転送要求を監視することで、FIFO へのアクセスを開始します。

N の値はデータ転送要求のしきい値で、 $[I2SxITHRESHOLD]$ / $[I2SxOTHRESHOLD]$ レジスタで設定します。N=設定値+1 になります。例えば $[I2SxITHRESHOLD] <threshold[4:0]> = 31$ に設定すると N=32(128 バイト)となります。

DMA リクエスト (I2SxRXDMAREQ、I2SxTXDMAREQ)の発生要因はデータ転送要求です。また、データ転送要求は INTI2SxSI 割り込み、INTI2SxSO 割り込みの発生要因となります。DMA リクエスト (I2SxRXDMAREQ、I2SxTXDMAREQ)を発生する場合、INTI2SxSI 割り込み、INTI2SxSO 割り込みは、 $[I2SxIINTMASK] <Mask>$ 、 $[I2SxOINTMASK] <Mask>$ を用いてマスクする必要があります。

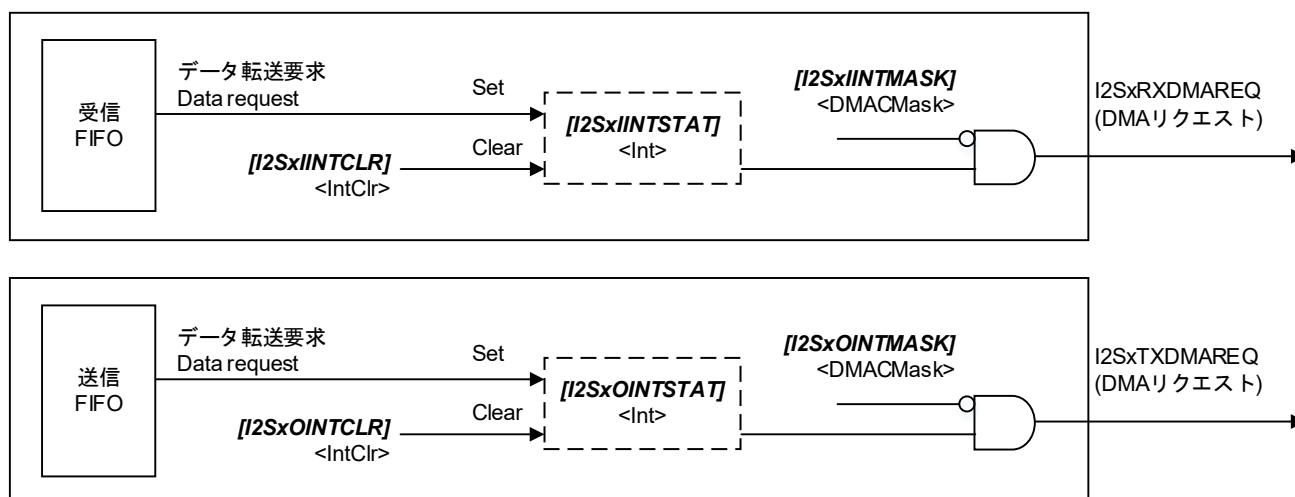
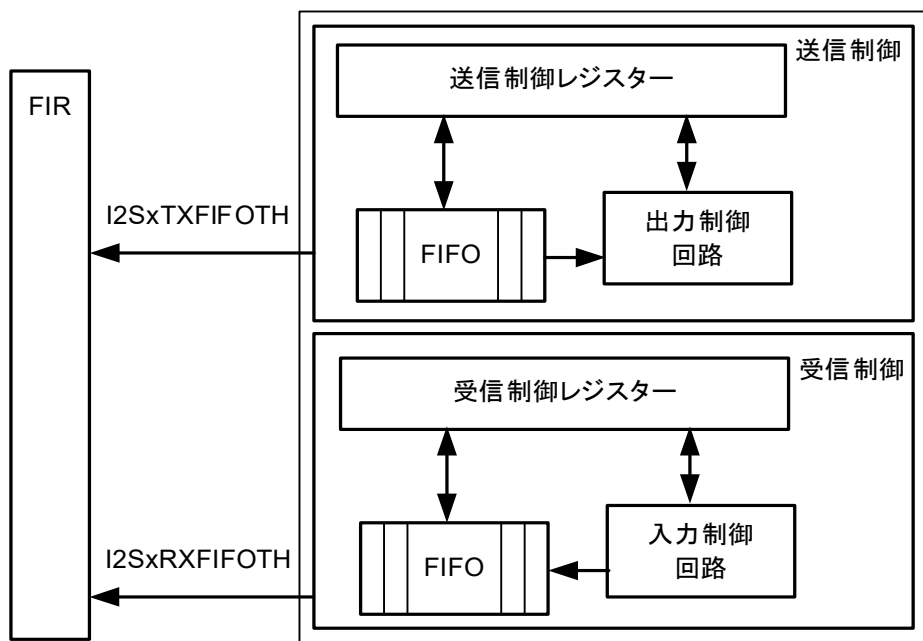


図 3.22 DMAリクエスト

3.9. FIR 連動

送信 FIFO に N エントリ以上空きがある、または受信 FIFO に N エントリ以上のデータが格納されている場合に FIR に通知します。N の値はデータ転送要求のしきい値で、 $[I2SxITHRESHOLD]$ / $[I2SxOTHRESHOLD]$ レジスターで設定します。

FIR は I2Sx からの通知を使って I2Sx との連動を行うことが可能になります。詳細はリファレンスマニュアルの「FIR 計算回路」を参照してください。



注)製品ごとの接続については「製品個別情報」を参照してください。

図 3.23 FIRとの接続例

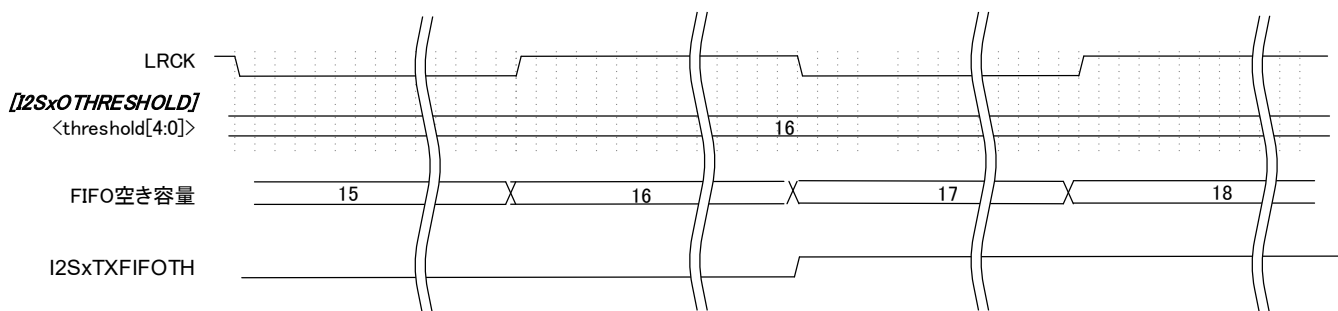


図 3.24 $[I2SxOTHRESHOLD] <threshold[4:0]> = 16$ の時の I2SxTXFIFOTH 発生タイミング (送信時)

3.10. ミュート機能

3.10.1. レジスター設定によるミュート

動作中にミュートレジスター $[I2SxIMUTE]<MuteN>$ 、 $[I2SxOMUTE]<MuteN>$ に書き込みを行うことで、ミュートの On/Off を切り替えることができます。

ミュート状態の反映はレジスター設定後、内部処理を経て LR チャンネルの先頭から有効になります。

ミュートを On にした場合、送信または受信の転送処理は継続されますが、データは強制的に "0" に変換されます。

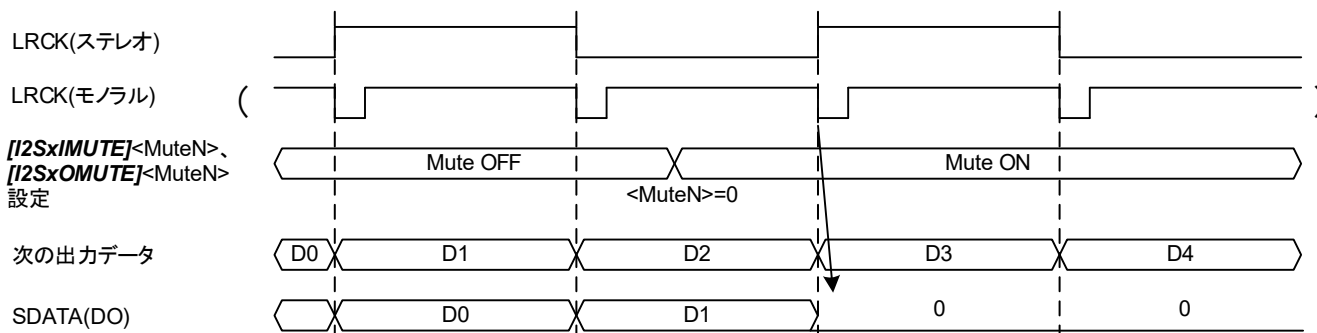


図 3.25 ミュート設定OFFからON

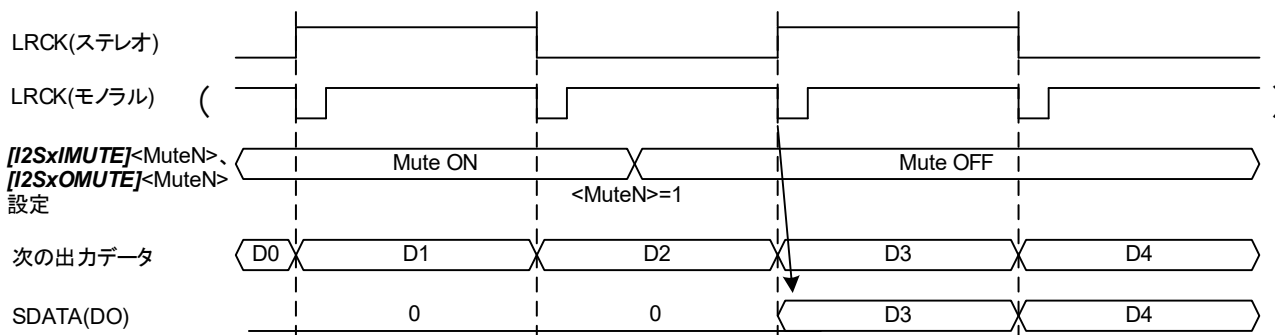


図 3.26 ミュート設定ONからOFF

3.10.2. アンダーラン時の強制ミュート

バッファアンダーランが発生した際、次のチャンネルのデータから強制的に "0" となります。アンダーラン発生時の処理については「5.1.4.1. オーバーランエラー/アンダーランエラー割り込み発生時」を参照してください。

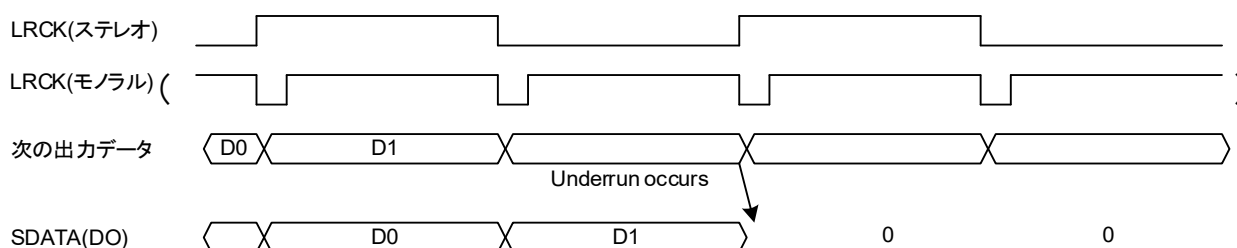


図 3.27 強制ミュート

4. レジスター説明

4.1. レジスター一覧

I2S のレジスターとアドレスを以下に示します。

機能名	チャンネル/ユニット	ベースアドレス			
		Type1	Type2	Type3	
I2S インターフェース	I2S	ch0	-	0x400D0000	-
		ch1	-	0x400D0800	-

注) 製品によって使用されるベースアドレスタイプは異なります。詳細はリファレンスマニュアルの「製品個別情報」を参照してください。

(1) クロック制御レジスター

レジスター名		アドレス(Base+)
LRCK 生成開始レジスター	[I2SxCSTART]	0x0004
LRCK 生成ステータスレジスター	[I2SxCBUSY]	0x0008
LRCK 生成停止レジスター	[I2SxCSTOP]	0x000C
AUDIOSET レジスター	[I2SxCAUDIOSET]	0x0010
REGBUSY レジスター	[I2SxCREGBUSY]	0x0040
音声データフォーマット設定レジスター	[I2SxCMODESET]	0x00F8
マスター/スレーブ選択レジスター	[I2SxCMS_SEL]	0x0200
MCLK 端子入出力選択レジスター	[I2SxCMCLK_IO_SEL]	0x0204
ΦT0 分周設定レジスター	[I2SxCPHT_DIV]	0x0214
ΦT0 分周クロック出力許可レジスター	[I2SxCPHT_DIVOUT_EN]	0x0218
BCK ソースクロック選択レジスター	[I2SxCBCK_SRC_SEL]	0x0220
BCK 分周設定レジスター	[I2SxCBCK_DIV]	0x0224
BCK 出力許可レジスター	[I2SxCBCK_DIVOUT_EN]	0x0228

(2) 受信制御レジスター

レジスター名		アドレス(Base+)
受信制御開始レジスター	[I2SxISTART]	0x0404
受信動作ステータスレジスター	[I2SxIBUSY]	0x0408
データ受信停止レジスター	[I2SxISTOP]	0x040C
受信 AUDIOSET レジスター	[I2SxIAUDIOSET]	0x0410
受信制御割り込み要因ステータスレジスター	[I2SxIINTSTAT]	0x0414
受信制御割り込みマスクレジスター	[I2SxIINTMASK]	0x0418
受信制御割り込み要因クリアレジスター	[I2SxIINTCLR]	0x041C
受信ミュート設定レジスター	[I2SxIMUTE]	0x0424
受信制御エラー発生ポインター格納レジスター	[I2SxIEPTR]	0x0428
受信 REGBUSY レジスター	[I2SxIREGBUSY]	0x0440
受信しきい値設定レジスター	[I2SxITHRESHOLD]	0x0450
受信 FIFO ステータスレジスター	[I2SxIFIFO_STS]	0x0454
受信音声データフォーマット設定レジスター	[I2SxIMODESET]	0x04F8
受信データレジスター00~63	[I2SxILMEM00] ~ [I2SxILMEM63]	0x0500 ~ 0x05FC

(3) 送信制御レジスター

レジスター名		アドレス(Base+)
送信制御開始レジスター	[I2SxOSTART]	0x0604
送信動作ステータスレジスター	[I2SxOBUSY]	0x0608
データ送信停止レジスター	[I2SxOSTOP]	0x060C
送信 AUDIOSET レジスター	[I2SxOAUDIOSET]	0x0610
送信制御割り込み要因ステータスレジスター	[I2SxOINTSTAT]	0x0614
送信制御割り込みマスクレジスター	[I2SxOINTMASK]	0x0618
送信制御割り込み要因クリアレジスター	[I2SxOINTCLR]	0x061C
送信ミュート設定レジスター	[I2SxOMUTE]	0x0624
送信制御エラー発生ポインター格納レジスター	[I2SxOEPTR]	0x0628
TX_SSIZE レジスター	[I2SxOTX_SSIZE]	0x0630
送信 REGBUSY レジスター	[I2SxOREGBUSY]	0x0640
送信しきい値設定レジスター	[I2SxOTHRESHOLD]	0x0650
送信 FIFO ステータスレジスター	[I2SxOFIFO_STS]	0x0654
送信音声データフォーマット設定レジスター	[I2SxOMODESET]	0x06F8
送信データレジスター00~63	[I2SxOLMEM00] ~ [I2SxOLMEM63]	0x0700 ~ 0x07FC

x は ch 番号です。

4.2. クロック制御レジスター詳細

4.2.1. $[I2SxCSTART]$ (LRCK 生成開始レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:9	-	0	R	リードすると"0"が読めます。
8	Start	0	R/W	LRCK の生成開始設定 0: 無視されます 1: LRCK 生成開始 "1"を設定すると、LRCK の生成を開始します。 $[I2SxCBUSY]<Busy>=0$ のとき、"1"の書き込みが有効です。
7:1	-	0	R	リードすると"0"が読めます。
0	-	0	R/W	"0"をライトしてください。

- 注1) 送受信を停止した後、転送を再開する場合には、 $[I2SxCSTOP]$ レジスターをリードして、停止処理が完了している($[I2SxCSTOP]<I2S_STOP>=0$)ことを確認してから<Start>に"1"を設定する必要があります。
- 注2) <Start>に"1"を設定する前に $[I2SxCREGBUSY]$ レジスターが"0x00000000"であることを確認してください。
- 注3) $[I2SxCSTART]$ の連続アクセスはしないでください。設定した場合無視されます。

4.2.2. $[I2SxCBUSY]$ (LRCK 生成ステータスレジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:18	-	0	R	リードすると"0"が読めます。
17	-	0	R	リードすると"0"が読めます。
16	-	0	R	リードすると"0"が読めます。
15:9	-	0	R	リードすると"0"が読めます。
8	Busy	0	R	LRCK 生成動作ステータス 0: 停止中 1: 動作中
7:2	-	0	R	リードすると"0"が読めます。
1	-	0	R	リードすると"0"が読めます。
0	-	0	R	リードすると"0"が読めます。

4.2.3. [I2SxCSTOP] (LRCK 生成停止レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:1	-	0	R	リードすると"0"が読めます。
0	I2S_STOP	0	R	停止動作の内部処理状態 0: 停止動作処理完了 1: 停止動作処理中 <I2S_STOP>に"1"を設定した後、停止動作の処理中は、読み出しデータとして"1"が返されます。停止動作の完了後は、"0"が返されます。
			W	LRCK 生成停止制御 0: 無視されます 1: LRCK 停止 このビットを"1"に設定すると、LRCK の生成を停止し、設定レジスター、エラー割り込み状態を除く内部状態がクリアされます。

注 1) このレジスターへの"1"の書き込みは、LRCK 生成中([I2SxCBUSY]<Busy>=1)に行う必要があります。

注 2) <I2S_STOP>=1 に設定した後、停止動作処理中に再度<I2S_STOP>に"1"を設定しないでください。無視されます。

4.2.4. [I2SxCAUDIOSET] (AUDIOSET レジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:17	-	0	R	リードすると"0"が読めます。
16	-	0	R/W	"0"をライトしてください。
15:13	-	0	R	リードすると"0"が読めます。
12	-	0	R/W	"0"をライトしてください。
11	Edge	0	R/W	LRCK サンプリングエッジの設定 0: BCK の立ち下がリエッジ 1: BCK の立ち上がリエッジ 設定は表 3.4 を参照してください。
10:9	-	0	R	リードすると"0"が読めます。
8	SCLKtoWS	0	R/W	SDATA のフレームサイズを設定 0: 16 サイクル 1: 32 サイクル フレームサイズは音声チャンネルあたりの BCK のサイクル数を意味します。 PCM モノラルフォーマットの場合、1 サンプリング周期が 1 フレームになります。 I2S ステレオフォーマットおよび LR ステレオフォーマットの場合、1 サンプルデータは 2 チャンネル(Left/Right)で構成されるため、1 サンプリング周期の半分が 1 フレームになります。 <WordLen[5:0]>で指定されるワード長はこのフレームサイズを超えることはできません。
7:6	-	0	R	リードすると"0"が読めます。
5:0	WordLen [5:0]	000000	R/W	ワード長 オーディオデータのビット数を指定します。 100000: 32 ビット 011000: 24 ビット 010000: 16 ビット 001000: 8 ビット 上記以外: Reserved

注) このレジスタは[I2SxCREGBUSY]が"0x00000000"以外のときは連続して書き込まないでください。

4.2.5. [I2SxCREGBUSY] (REGBUSY レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:20	—	0	R	リードすると"0"が読めます。
19	MODESET Pend	0	R	[I2SxCMODESET]レジスター更新の内部保留ステータス 0: ビジーでない 1: 保留中
18	—	0	R	リードすると"0"が読めます。
17	—	0	R	リードすると"0"が読めます。
16	AUDIOSET Pend	0	R	[I2SxCAUDIOSET]レジスター更新の内部保留ステータス 0: ビジーでない 1: 保留中
15:4	—	0	R	リードすると"0"が読めます。
3	MODESET Busy	0	R	[I2SxCMODESET]レジスター更新の処理ステータス 0: ビジーでない 1: 処理中
2	—	0	R	リードすると"0"が読めます。
1	—	0	R	リードすると"0"が読めます。
0	AUDIOSET Busy	0	R	[I2SxCAUDIOSET]レジスター更新の処理ステータス 0: ビジーでない 1: 処理中

4.2.6. [I2SxCMODESET] (音声データフォーマット設定レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:3	—	0	R	リードすると"0"が読めます。
2:0	WS[2:0]	000	R/W	オーディオ信号の種類を選択 000: I2S ステレオ 001: Reserved 010: LR ステレオ (LRCK の Low 期間が L チャネル) 011: LR ステレオ (LRCK の High 期間が L チャネル) 100: PCM モノラル (LRCK の Low が同期) 101: PCM モノラル (LRCK の High が同期) 110: Reserved 111: Reserved

注) このレジスターは[I2SxCREGBUSY]が"0x00000000"以外のときは連続して書き込まないでください。

4.2.7. [I2SxCMS_SEL] (マスター/スレーブ選択レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:1	—	0	R	リードすると"0"が読めます。
0	SEL	1	R/W	マスター/スレーブ選択 0: マスター BCK、LRCK を出力 1: スレーブ BCK、LRCK を入力

注) ポートの設定が必要です。リファレンスマニュアルの「入出力ポート」を参照してください。

4.2.8. [I2SxCMCLK_IO_SEL] (MCLK 端子入出力選択レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:1	—	0	R	リードすると"0"が読めます。
0	SEL	0	R/W	MCLK 入力/出力選択 0: 入力(MCLKI) 1: 出力 (MCLKO)

注) ポートの設定が必要です。リファレンスマニュアルの「入出力ポート」を参照してください。

4.2.9. [I2SxCPHT_DIV] (ΦT0 分周設定レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:8	—	0	R	リードすると"0"が読めます。
7:0	PSCAL[7:0]	0x00	R/W	ΦT0 に対する分周設定 0x00: Reserved 0x01: 1/2 0x02: 1/3 ⋮ 0xFE: 1/255 0xFF: Reserved [I2SxCPHT_DIVOUT_EN]<EN> が"1"の場合(クロック出力時)は、設定値を変更しないでください。

注) デューティが 50%のクロックが必要な場合は、偶数分周となるように設定してください。

4.2.10. [I2SxCPHT_DIVOUT_EN] (ΦT0 分周クロック出力許可レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:1	—	0	R	リードすると"0"が読めます。
0	EN	0	R/W	ΦT0 分周クロック出力の許可/禁止 0: 出力禁止 1: 出力許可 BCK のソースとして ΦT0 分周クロックを使用する場合は、“1”を設定します。

4.2.11. **[I2SxCBCK_SRC_SEL]** (BCK ソースクロック選択レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:1	—	0	R	リードすると"0"が読めます。
0	SEL	0	R/W	BCK のソース選択 0: I2SxMCLK 端子入力 1: ΦT0 分周クロック [I2SxCBCK_DIVOUT_EN]<EN> が"1"の場合 (クロック出力時)は、設定値を変更しないでください。

4.2.12. **[I2SxCBCK_DIV]** (BCK 分周設定レジスター)

Bit	Bit Symbol	リセット後	Type	機能																			
31:8	—	0	R	リードすると"0"が読めます。																			
7:0	PSCAL[7:0]	0x00	R/W	BCK に対する分周設定 <ul style="list-style-type: none"> ・[I2SxCBCK_SRC_SEL]<SEL>=0 の場合: 0x01~0xFE を設定 ・[I2SxCBCK_SRC_SEL]<SEL>=1 の場合: 0x00 を設定 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th rowspan="2"><PSCAL[7:0]> の設定値</th> <th colspan="2">[I2SxCBCK_SRC_SEL]</th> </tr> <tr> <th><SEL>=0 (I2SxMCLK 端子入力)</th> <th><SEL>=1 (ΦT0)</th> </tr> </thead> <tbody> <tr> <td>0x00</td> <td>設定禁止</td> <td>1/1</td> </tr> <tr> <td>0x01</td> <td>1/2</td> <td rowspan="5">設定禁止</td> </tr> <tr> <td>0x02</td> <td>1/3</td> </tr> <tr> <td>⋮</td> <td>⋮</td> </tr> <tr> <td>0xFE</td> <td>1/255</td> </tr> <tr> <td>0xFF</td> <td>設定禁止</td> </tr> </tbody> </table> <p>[I2SxCBCK_DIVOUT_EN]<EN>が"1"の場合(クロック出力時)は、設定値を変更しないでください。</p>	<PSCAL[7:0]> の設定値	[I2SxCBCK_SRC_SEL]		<SEL>=0 (I2SxMCLK 端子入力)	<SEL>=1 (ΦT0)	0x00	設定禁止	1/1	0x01	1/2	設定禁止	0x02	1/3	⋮	⋮	0xFE	1/255	0xFF	設定禁止
<PSCAL[7:0]> の設定値	[I2SxCBCK_SRC_SEL]																						
	<SEL>=0 (I2SxMCLK 端子入力)	<SEL>=1 (ΦT0)																					
0x00	設定禁止	1/1																					
0x01	1/2	設定禁止																					
0x02	1/3																						
⋮	⋮																						
0xFE	1/255																						
0xFF	設定禁止																						

注) デューティが 50%のクロックが必要な場合は、偶数分周となるように設定してください。

4.2.13. **[I2SxCBCK_DIVOUT_EN]** (BCK 出力許可レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:1	—	0	R	リードすると"0"が読めます。
0	EN	0	R/W	BCK 出力の許可/禁止 0: 出力禁止 1: 出力許可

注) ポートの設定が必要です。リファレンスマニュアルの「入出力ポート」を参照してください。

4.3. 受信制御レジスター詳細

4.3.1. [I2SxISTART] (受信制御開始レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:9	-	0	R	リードすると"0"が読めます。
8	Start	0	R/W	受信制御部の動作許可設定 0: 無視されます 1: 受信制御部の動作許可 "1"を設定すると、受信制御部の動作が開始します。 [I2SxIBUSY]<Busy>=0 のとき、"1"の書き込みが有効です。
7:1	-	0	R	リードすると"0"が読めます。
0	MicStart	0	R/W	シリアル転送開始設定 0: 無視されます 1: シリアル受信(入力)動作を開始 <MicStart>に"1"を設定すると、シリアル転送が開始します。 [I2SxIBUSY]<MicBusy>=0 のときに、"1"の書き込みが有効です。

- 注1) 受信を停止した後転送を再開する場合には、 [I2SxISTOP]レジスターをリードして、停止処理が完了している([I2SxISTOP]<I2S_STOP>=0)ことを確認してから<Start>に"1"を設定する必要があります。
- 注2) <Start>に"1"を設定する前に[I2SxIREGBUSY]レジスターが"0x00000000"であることを確認してください。
- 注3) [I2SxISTART]の連続アクセスはしないでください。設定した場合無視されます。

4.3.2. [I2SxIBUSY] (受信動作ステータスレジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:18	-	0	R	リードすると"0"が読めます。
17	LRErrBusy	0	R	LRCK エラーの内部処理ステータス 0: 内部エラー処理が完了 1: 内部エラー処理が動作中
16	ErrBusy	0	R	アンダーラン/オーバーランの内部処理ステータス 0: 内部エラー処理が完了 1: 内部エラー処理が動作中
15:9	-	0	R	リードすると"0"が読めます。
8	-	0	R	リードすると"0"が読めます。
7:2	-	0	R	リードすると"0"が読めます。
1	SeriBusy	0	R	ミュートステータス 0: ミュート 1: ミュートしていない
0	MicBusy	0	R	SDATA(DI)入力動作ステータス 0: 停止中 1: 動作中

4.3.3. [I2SxISTOP] (データ受信停止レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:1	-	0	R	リードすると"0"が読めます。
0	I2S_STOP	0	R	停止動作の内部処理状態 0: 停止動作処理完了 1: 停止動作処理中 このビットに"1"を設定した後、停止動作の処理中は、読み出しデータとして"1"が返されます。停止動作の完了後は、"0"が返されます。
			W	データ受信停止制御 0: 無視されます 1: データの受信を停止 このビットを"1"に設定すると、データの受信を停止し、設定レジスター、エラー割り込み状態を除く内部状態がクリアされます。

注 1) このレジスターへの"1"の書き込みは、データ受信中([I2SxIBUSY]<MicBusy>=1)に行う必要があります。

注 2) <I2S_STOP>=1 に設定した後、停止動作処理中に再度<I2S_STOP>に"1"を設定しないでください。無視されます。

4.3.4. [I2SxIAUDIOSET] (受信 AUDIOSET レジスタ-)

Bit	Bit Symbol	リセット後	Type	機能
31:17	-	0	R	リードすると"0"が読めます。
16	DTFmt	0	R/W	データ格納フォーマット 8 または 16 ビット長のデータの場合: 0: Lower-first 1: Upper-first 24 ビット長のデータの場合: 0: LSB 詰め 1: MSB 詰め 32 ビット幅の FIFO に読み書きする際の、データのアライメント方法を選択します。
15:13	-	0	R	リードすると"0"が読めます。
12	SDEdge	0	R/W	SDATA(DI)のサンプリングエッジ 0: BCK の立ち下がリエッジ 1: BCK の立ち上がリエッジ 設定は表 3.4 を参照してください。
11	Edge	0	R/W	LRCK サンプリングエッジ 0: BCK の立ち下がリエッジ 1: BCK の立ち上がリエッジ 設定は表 3.4 を参照してください。
10:9	-	0	R	リードすると"0"が読めます。
8	SCLKtoWS	0	R/W	SDATA(DI)のフレームサイズを指定 0: 16 サイクル 1: 32 サイクル フレームサイズは音声チャンネルあたりの BCK のサイクル数を意味します。 モノラルフォーマットの場合、1 サンプリング周期が 1 フレームになります。 ステレオフォーマットの場合、1 サンプルデータは 2 チャンネル (Left/Right) で構成されるため、1 サンプリング周期の半分が 1 フレームになります。 <WordLen[5:0]>で指定されるワード長はこのフレームサイズを超えることはできません。
7:6	-	0	R	リードすると"0"が読めます。
5:0	WordLen [5:0]	000000	R/W	ワード長 オーディオデータのビット数を指定します。 100000: 32 ビット 011000: 24 ビット 010000: 16 ビット 001000: 8 ビット 上記以外: Reserved

注) このレジスタ-は[I2SxIREGBUSY]が"0x00000000"以外のときは連続して書き込まないでください。

4.3.5. [I2SxIINTSTAT] (受信制御割り込み要因ステータスレジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:4	-	0	R	リードすると"0"が読めます。
3	LRCKErr	0	R	LRCK エラーステータス 0: LRCK エラーなし 1: LRCK エラーが発生 LRCK の周期に異常が検出された場合に"1"になります。マスクされる前のステータスを示します。 [I2SxIINTCLR]<LRErrClr>に"1"を書き込むことで、"0"にクリアされます。
2	URerr	0	R	アンダーランエラーステータス 0: アンダーランエラーなし 1: アンダーランエラーが発生 アンダーランエラーが発生した場合に"1"になります。マスクされる前のステータスを示します。 [I2SxIINTCLR]<URClr>に"1"を書き込むことで、"0"にクリアされます。
1	ORerr	0	R	オーバーランエラーステータス 0: オーバーランエラーなし 1: オーバーランエラーが発生 オーバーランが発生した場合に"1"になります。マスクされる前のステータスを示します。 [I2SxIINTCLR]<ORClr>に"1"を書き込むことで、"0"にクリアされます。
0	Int	0	R	受信データ転送要求ステータス 0: 受信データ転送要求なし 1: 受信データ転送要求発生 FIFO に 1 ワード(4 バイト)以上のデータがあることを示します。これはマスクされる前のステータスを示します。 "0"にクリアされるタイミングは以下です。 ・[I2SxIINTCLR]<IntClr>に"1"を書き込む ・または DMAC 要求が有効 ([I2SxIINTMASK]<DMACMSK> = 0) のときに DMA 肯定応答を受信する ・オーバーランまたはアンダーランが発生する ・[I2SxISTOP]で停止処理を実行したとき

4.3.6. [I2SxIINTMASK] (受信制御割り込みマスクレジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:17	-	0	R	リードすると"0"が読めます。
16	DMACMSK	0	R/W	DMA リクエストのマスク選択(注) 0: マスクしない 1: マスクする DMAC へのデータ転送要求信号をマスクします。DMA を使用する場合はこのビットを"0"にする必要があります。
15:4	-	0	R	リードすると"0"が読めます。
3	LRErrMask	1	R/W	LRCK エラーのマスク選択 0: マスクしない 1: マスクする LRCK エラー(LRCKErr)割り込みをマスクします。
2	URMask	1	R/W	アンダーランエラーのマスク選択 0: マスクしない 1: マスクする アンダーランエラー(URErr)割り込みをマスクします。
1	ORMask	1	R/W	オーバーランエラーのマスク選択 0: マスクしない 1: マスクする オーバーランエラー(ORErr)割り込みをマスクします。
0	Mask	1	R/W	データ転送要求割り込み(注) 0: マスクしない 1: マスクする データ転送要求割り込みをマスクします。DMAC へのデータ転送要求はマスクしません。

注) データ転送割り込みは<Mask>ビット、DMA リクエストは<DMACMSK>ビットを使用してマスクできます。<Mask>と<DMACMSK>の一方はマスクしてください。

4.3.7. [I2SxIINTCLR] (受信制御割り込み要因クリアレジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:4	-	0	R	リードすると"0"が読めます。
3	LRrErrClr	0	W	LRCK エラーステータスをクリア 0: 無視されます 1: クリア このビットに"1"を書き込むと、[I2SxIINTSTAT]<LRCKErr>が"0"にクリアされます。"0"の書き込みは無視されます。読み出し時は、常に"0"を返します。
2	URrClr	0	W	アンダーランエラーステータスをクリア 0: 無視されます 1: クリア このビットに 1 を書き込むと、[I2SxIINTSTAT]<URrErr>が"0"にクリアされます。"0"の書き込みは無視されます。読み出し時は、常に"0"を返します。
1	ORrClr	0	W	オーバーランエラーステータスのクリア 0: 無視されます 1: クリア このビットに 1 を書き込むと、[I2SxIINTSTAT]<ORrErr>が"0"にクリアされます。"0"の書き込みは無視されます。読み出し時は、常に"0"を返します。
0	IntClr	0	W	データ転送要求ステータスのクリア 0: 無視されます 1: クリア このビットに 1 を書き込むと、[I2SxIINTSTAT]<Int>が"0"にクリアされます。"0"の書き込みは無視されます。読み出し時は、常に"0"を返します データ転送要求を DMAC リクエストの要因として使用する場合には、[I2SxIINTCLR]<IntClr>を"1"に設定しないでください。

4.3.8. [I2SxIMUTE] (受信ミュート設定レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:1	-	0	R	リードすると"0"が読めます。
0	MuteN	0	R/W	ミュート設定 0: ミュート ON 1: ミュート OFF

注) このレジスターは[I2SxIREGBUSY]が"0x00000000"以外のときは連続して書き込まないでください。

4.3.9. [I2SxIEPTR] (受信制御エラー発生ポインター格納レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:6	-	0	R	リードすると"0"が読めます。
5:0	ErrPointer [5:0]	000000	R	エラーポインター オーバーランまたはアンダーランエラーが発生したアドレスを示します。

4.3.10. [I2SxIREGBUSY] (受信 REGBUSY レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:20	-	0	R	リードすると"0"が読めます。
19	MODESET Pend	0	R	[I2SxIMODESET]レジスター更新の内部保留ステータス 0: ビジーでない 1: 保留中
18	-	0	R	リードすると"0"が読めます。
17	MutePend	0	R	[I2SxIMUTE]レジスター更新の内部保留ステータス 0: ビジーでない 1: 保留中
16	AUDIOSET Pend	0	R	[I2SxIAUDIOSET]レジスター更新の内部保留ステータス 0: ビジーでない 1: 保留中
15:4	-	0	R	リードすると"0"が読めます。
3	MODESET Busy	0	R	[I2SxIMODESET]レジスター更新の処理ステータス 0: ビジーでない 1: 処理中
2	-	0	R	リードすると"0"が読めます。
1	MuteBusy	0	R	[I2SxIMUTE]レジスター更新の処理ステータス 0: ビジーでない 1: 処理中
0	AUDIOSET Busy	0	R	[I2SxIAUDIOSET]レジスター更新の処理ステータス 0: ビジーでない 1: 処理中

4.3.11. [I2SxITHRESHOLD] (受信しきい値設定レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:5	—	0	R	リードすると"0"が読めます。
4:0	threshold [4:0]	00000	R/W	CPU または DMA へのデータ転送要求のしきい値を設定 0~31 の値を設定してください。 しきい値は<threshold[4:0]>+1 となります。

注1) INTI2SxSI 割り込み、受信 DMA リクエストの場合、次の割り込みを発生させるためには [I2SxITHRESHOLD]<threshold[4:0]>+1 回 FIFO をリードしてください。

注2) FIR との接続がある場合は FIFO の空き容量と<threshold[4:0]>+1 の値との比較結果を FIR へ出力します。

4.3.12. [I2SxIFIFO_STS] (受信 FIFO ステータスレジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:7	—	0	R	リードすると"0"が読めます。
6:0	FIFOStatus [6:0]	0x00	R	動作中の FIFO データ格納状態を示します。

4.3.13. [I2SxIMODESET] (受信音声データフォーマット設定レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:3	—	0	R	リードすると"0"が読めます。
2:0	WS[2:0]	000	R/W	オーディオ信号の種類を選択 000: I2S ステレオ 001: Reserved 010: LR ステレオ (LRCK の Low 期間が L チャネル) 011: LR ステレオ (LRCK の High 期間が L チャネル) 100: PCM モノラル (LRCK の Low が同期) 101: PCM モノラル (LRCK の High が同期) 110: Reserved 111: Reserved

注) このレジスターは [I2SxIREGBUSY] が "0x00000000" 以外のときは連続して書き込まないでください。

4.3.14. [I2SxILMEM00]~ [I2SxILMEM63] (受信データレジスター00~63)

Bit	Bit Symbol	リセット後	Type	機能
31:0	SDAT[31:0]	0x00000 000	R	音声データ 「3.6.1. 受信 FIFO」参照

4.4. 送信制御レジスター詳細

4.4.1. [I2SxOSTART] (送信制御開始レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:9	-	0	R	リードすると"0"が読めます。
8	Start	0	R/W	送信制御の動作開始設定 0: 無視されます 1: 送信制御の動作開始 "1"を設定すると、送信制御の動作が開始します。 [I2SxOBUSY]<Busy>=0 のとき、"1"の書き込みが有効です。
7:1	-	0	R	リードすると"0"が読めます。
0	SpkStart	0	R/W	シリアル転送開始設定 0: 無視されます 1: シリアル送信(出力)動作を開始 <SpkStart>に"1"を設定すると、シリアル転送が開始します。 [I2SxOBUSY]<SpkBusy>=0 のときに、"1"の書き込みが有効です。

- 注1) 送信を停止した後に転送を再開する場合には、[I2SxOSTOP]レジスターをリードして、停止処理が完了している([I2SxOSTOP]<I2S_STOP>=0)ことを確認してから<Start>に"1"を設定する必要があります。
- 注2) <Start>に"1"を設定する前に[I2SxOREGBUSY]レジスターが"0x00000000"であることを確認してください。
- 注3) [I2SxOSTART]の連続アクセスはしないでください。設定した場合無視されます。

4.4.2. [I2SxOBUSY] (送信動作ステータスレジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:18	-	0	R	リードすると"0"が読めます。
17	LRErrBusy	0	R	LRCK エラーの内部処理ステータス 0: 内部エラー処理が完了 1: 内部エラー処理が動作中
16	ErrBusy	0	R	アンダーラン/オーバーランの内部処理ステータス 0: 内部エラー処理が完了 1: 内部エラー処理が動作中
15:9	-	0	R	リードすると"0"が読めます。
8	-	0	R	リードすると"0"が読めます。
7:2	-	0	R	リードすると"0"が読めます。
1	SeriBusy	0	R	シリアル信号ステータス 0: ミュート状態 1: ミュート解除状態
0	SpkBusy	0	R	SDATA(DO)出力動作ステータス 0: 停止中 1: 動作中

4.4.3. [I2SxOSTOP] (データ送信停止レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:1	-	0	R	リードすると"0"が読めます。
0	I2S_STOP	0	R	停止動作の内部処理状態 0: 停止動作処理完了 1: 停止動作処理中 このビットに"1"を設定した後、停止動作の処理中は、読み出しデータとして"1"が返されます。停止動作の完了後は、"0"が返されます。
			W	データ送信停止制御 0: 無視されます 1: データの送信を停止 このビットを"1"に設定すると、データの送信を停止し、設定レジスター、エラー割り込み状態を除く内部状態がクリアされます。

注 1) このレジスターへの"1"の書き込みは、データ送信中(*[I2SxOBUSY]*<SpkBusy>=1)に行う必要があります。

注 2) <I2S_STOP>=1 に設定した後、停止動作処理中に再度<I2S_STOP>に"1"を設定しないでください。無視されます。

4.4.4. [I2SxOAUDIOSET] (送信 AUDIOSET レジスタ)

Bit	Bit Symbol	リセット後	Type	機能
31:17	-	0	R	リードすると"0"が読めます。
16	DTFmt	0	R/W	データ格納フォーマット 8 または 16 ビット長のデータの場合: 0: Lower-first 1: Upper-first 24 ビット長のデータの場合: 0: LSB 詰め 1: MSB 詰め 32 ビット幅の FIFO に読み書きする際の、データのアライメント方法を選択します。
15:13	-	0	R	リードすると"0"が読めます。
12	SDEdge	0	R/W	SDATA(DO)のサンプリングエッジ 0: BCK の立ち下がリエッジ 1: BCK の立ち上がリエッジ 設定は表 3.4 を参照してください。
11	Edge	0	R/W	LRCK サンプリングエッジ 0: BCK の立ち下がリエッジ 1: BCK の立ち上がリエッジ 設定は表 3.4 を参照してください。
10:9	-	0	R	リードすると"0"が読めます。
8	SCLKtoWS	0	R/W	SDATA(DO)のフレームサイズを指定 0: 16 サイクル 1: 32 サイクル フレームサイズは音声チャンネルあたりの BCK のサイクル数を意味します。 モノラルフォーマットの場合、1 サンプリング周期が 1 フレームになります。 ステレオフォーマットの場合、1 サンプルデータは 2 チャンネル (Left/Right) で構成されるため、1 サンプリング周期の半分が 1 フレームになります。 <WordLen[5:0]>で指定されるワード長はこのフレームサイズを超えることはできません。
7:6	-	0	R	リードすると"0"が読めます。
5:0	WordLen [5:0]	000000	R/W	ワード長 オーディオデータのビット数を指定します。 100000: 32 ビット 011000: 24 ビット 010000: 16 ビット 001000: 8 ビット 上記以外: Reserved

注) このレジスタは[I2SxOREGBUSY]が"0x00000000"以外のときは連続して書き込まないでください。

4.4.5. [I2SxOINTSTAT] (送信制御割り込み要因ステータスレジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:4	-	0	R	リードすると"0"が読めます。
3	LRCKErr	0	R	LRCK エラーステータス 0: LRCK エラーなし 1: LRCK エラーが発生 LRCK の周期に異常が検出された場合に"1"になります。マスクされる前のステータスを示します。 [I2SxOINTCLR]<LRErrClr>に"1"を書き込むことで、"0"にクリアされます。
2	URErr	0	R	アンダーランエラーステータス 0: アンダーランエラーなし 1: アンダーランエラーが発生 アンダーランが発生した場合に"1"になります。マスクされる前のステータスを示します。 [I2SxOINTCLR]<URClr>に"1"を書き込むことで、"0"にクリアされます。
1	ORErr	0	R	オーバーランエラーステータス 0: オーバーランエラーなし 1: オーバーランエラーが発生 オーバーランが発生した場合に"1"になります。マスクされる前のステータスを示します。 [I2SxOINTCLR]<ORClr>に"1"を書き込むことで、"0"にクリアされます。
0	Int	0	R	送信データ転送要求 0: 送信データ転送要求なし 1: 送信データ転送要求発生 FIFO に 1 ワード(4 バイト)以上の空きがあることを示します。これはマスクされる前のステータスを示します。 "0"にクリアされるタイミングは以下です。 -[I2SxOINTCLR]<IntClr>に"1"を書き込む -DMAC 要求が有効 ([I2SxOINTMASK]<DMACMSK> = 0) のときに DMA 肯定応答を受信する -オーバーランまたはアンダーランが発生する -[I2SxOSTOP]で停止処理を実行したとき

4.4.6. [I2SxOINTMASK] (送信制御割り込みマスクレジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:17	-	0	R	リードすると"0"が読めます。
16	DMACMSK	0	R/W	DMA リクエストのマスク選択(注) 0: マスクしない 1: マスクする DMAC へのデータ転送要求信号をマスクします。DMA を使用する場合はこのビットを"0"にする必要があります。
15:4	-	0	R	リードすると"0"が読めます。
3	LRErrMask	1	R/W	LRCK エラーのマスク選択 0: マスクしない 1: マスクする LRCK エラー(LRCKErr)割り込みをマスクします。
2	URMask	1	R/W	アンダーランエラーのマスク選択 0: マスクしない 1: マスクする アンダーランエラー(URErr)割り込みをマスクします。
1	ORMask	1	R/W	オーバーランエラーのマスク選択 0: マスクしない 1: マスクする オーバーランエラー(ORErr)割り込みをマスクします。
0	Mask	1	R/W	データ転送要求割り込み(注) 0: マスクしない 1: マスクする データ転送要求割り込みをマスクします。DMAC へのデータ転送要求はマスクしません。

注) データ転送割り込みは<Mask>ビット、DMA リクエストは<DMACMSK>ビットを使用してマスクできます。<Mask>と<DMACMSK>の一方はマスクしてください。

4.4.7. [I2SxOINTCLR] (送信制御割り込み要因クリアレジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:4	-	0	R	リードすると"0"が読めます。
3	LRrErrClr	0	W	LRCK エラーステータスをクリア 0: 無視されます 1: クリア このビットに 1 を書き込むと、[I2SxOINTSTAT]<LRCKErr>が"0"にクリアされます。"0"の書き込みは無視されます。読み出し時は、常に"0"を返します。
2	URrClr	0	W	アンダーランエラーステータスをクリア 0: 無視されます 1: クリア このビットに 1 を書き込むと、[I2SxOINTSTAT]<URrErr>が"0"にクリアされます。"0"の書き込みは無視されます。読み出し時は、常に"0"を返します。
1	ORrClr	0	W	オーバーランエラーステータスのクリア 0: 無視されます 1: クリア このビットに 1 を書き込むと、[I2SxOINTSTAT]<ORrErr>が"0"にクリアされます。"0"の書き込みは無視されます。読み出し時は、常に"0"を返します。
0	IntClr	0	W	データ転送要求ステータスのクリア 0: 無視されます 1: クリア このビットに 1 を書き込むと、[I2SxOINTSTAT]<Int>が"0"にクリアされます。"0"の書き込みは無視されます。読み出し時は、常に"0"を返します DMAC リクエストの要因として使用する場合には、[I2SxOINTCLR]<IntClr>を"1"に設定しないでください。

4.4.8. [I2SxOMUTE] (送信ミュート設定レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:1	-	0	R	リードすると"0"が読めます。
0	MuteN	0	R/W	ミュート設定 0: ミュート ON 1: ミュート OFF

注) このレジスターは[I2SxOREGBUSY]が"0x00000000"以外のときは連続して書き込まないでください。

4.4.9. [I2SxOEPtr] (送信制御エラー発生ポインター格納レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:6	-	0	R	リードすると"0"が読めます。
5:0	ErrPointer [5:0]	000000	R	エラーポインター オーバーランまたはアンダーランエラーが発生したアドレスを示します。

4.4.10. [I2SxOTX_SSIZE] (TX_SSIZE レジスタ-)

Bit	Bit Symbol	リセット後	Type	機能
31:6	-	0	R	リードすると"0"が読めます。
5:0	TxStartSize [5:0]	0x20	R/W	SDATA の送信開始のしきい値を指定 SDATA の送信を開始するデータ量をワード数で設定します (1 ワードは 4 バイト)。 初期値は 0x20 (32 ワード) です。 4 ~ 63 の値を使用できます。0 ~ 3 は使用できません。

- 注1) 指定された値を超えるデータがバッファ-に格納されてから、SDATA の送信を開始します。この設定は[I2SxOSTART]<SpkStart>に"1"をライトした後の最初のデータ出力にのみ影響します。
- 注2) このレジスタ-は[I2SxOREGBUSY]が"0x00000000"以外のときは連続して書き込まないでください。

4.4.11. [I2SxOREGBUSY] (送信 REGBUSY レジスタ-)

Bit	Bit Symbol	リセット後	Type	機能
31:20	-	0	R	リードすると"0"が読めます。
19	MODESET Pend	0	R	[I2SxOMODESET]レジスタ-更新の内部保留ステータス 0: ビジーでない 1: 保留中
18	TXSSize Pend	0	R	[I2SxOTX_SSIZE]レジスタ-更新の内部保留ステータス 0: ビジーでない 1: 保留中
17	Mute Pend	0	R	[I2SxOMUTE]レジスタ-更新の内部保留ステータス 0: ビジーでない 1: 保留中
16	AUDIOSET Pend	0	R	[I2SxOAUDIOSET]レジスタ-更新の内部保留ステータス 0: ビジーでない 1: 保留中
15:4	-	0	R	リードすると"0"が読めます。
3	MODESET Busy	0	R	[I2SxOMODESET]レジスタ-更新の処理ステータス 0: ビジーでない 1: 処理中
2	TXSSize Busy	0	R	[I2SxOTXSSIZE]レジスタ-更新の処理ステータス 0: ビジーでない 1: 処理中
1	MuteBusy	0	R	[I2SxOMUTE]レジスタ-更新の処理ステータス 0: ビジーでない 1: 処理中
0	AUDIOSET Busy	0	R	[I2SxOAUDIOSET]レジスタ-更新の処理ステータス 0: ビジーでない 1: 処理中

4.4.12. [I2SxOTHRESHOLD] (送信しきい値設定レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:5	—	0	R	リードすると"0"が読めます。
4:0	threshold [4:0]	00000	R/W	CPU または DMA へのデータ転送要求のしきい値を設定 0~31 の値を設定してください。 しきい値は<threshold[4:0]>+1 となります。

注1) INTI2SxSO 割り込み、送信 DMA リクエストの場合、次の割り込みを発生させるためには [I2SxOTHRESHOLD]<threshold[4:0]>+1 回 FIFO をライトしてください。

注2) FIR との接続がある場合は FIFO の空き容量と<threshold[4:0]>+1 の値との比較結果を FIR へ出力します。

4.4.13. [I2SxOFIFO_STS] (送信 FIFO ステータスレジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:7	—	0	R	リードすると"0"が読めます。
6:0	FIFOStatus [6:0]	0x40	R	動作中の FIFO データ格納状態を示します。

4.4.14. [I2SxOMODESET] (送信音声データフォーマット設定レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:3	—	0	R	リードすると"0"が読めます。
2:0	WS[2:0]	000	R/W	オーディオ信号の種類を選択 000: I2S ステレオ 001: Reserved 010: LR ステレオ (LRCK の Low 期間が L チャネル) 011: LR ステレオ (LRCK の High 期間が L チャネル) 100: PCM モノラル (LRCK の Low が同期) 101: PCM モノラル (LRCK の High が同期) 110: Reserved 111: Reserved

注) このレジスターは [I2SxOREGBUSY] が "0x00000000" 以外のときは連続して書き込まないでください。

4.4.15. [I2SxOLMEM00]~ [I2SxOLMEM63] (送信データレジスター00~63)

Bit	Bit Symbol	リセット後	Type	機能
31:0	SDAT[31:0]	0x00000 000	W	音声データ 「3.6.2. 送信 FIFO」参照

5. 使用方法の例

5.1. 操作手順

一度、エラーが発生すると、送受信を継続することができません。エラーが発生した場合は、「5.1.4.1. オーバーランエラー/アンダーランエラー割り込み発生時」の手順を実施した後、送受信を再開してください。

意図的に送信のアンダーランを発生させた後、送信を再開する場合には「5.1.4.1. オーバーランエラー/アンダーランエラー割り込み発生時」および「5.1.5. 受信再開/送信再開の操作手順」を実施してください。

[I2SxOSTART]<Start>を"1"にセットした時点から、FIFO の空きを通知する割り込みや DMA リクエストが発行されます。

5.1.1. LRCK 生成開始の操作手順

1. Master/Slave の設定
I2Sx デバイスの動作(マスターかスレーブ)を**[I2SxCMS_SEL]<SEL>**で設定します。
2. ポート設定
必要な機能に応じてポート機能を設定します。
ポートの詳細設定はリファレンスマニュアルの「入出力ポート」を参照してください。
3. 周波数設定
MCLK の入出力設定を**[I2SxCMCLK_IO_SEL]<SEL>**で行います。必要に応じて MCKO (外部マスタークロック出力)の周波数および BCK のソースクロックを**[I2SxCPHT_DIV]<PSCAL[7:0]>**と**[I2SxCPHT_DIVOUT_EN]<EN>**で設定します。
マスターデバイスとして動作する場合には BCK の周波数を**[I2SxCBCK_SRC_SEL]<SEL>**、**[I2SxCBCK_DIV]<PSCAL[7:0]>**、**[I2SxCBCK_DIVOUT_EN]<EN>**で設定します。
4. DMAC 起動(DMA 転送時)
DMAC を使用する場合には DMAC を起動してください。DMAC の詳細設定はリファレンスマニュアルの「多機能 DMAC」を参照してください。
5. クロック制御部のフレームサイズ、ワード長およびクロックエッジ設定(マスター時のみ)
フレームサイズを**[I2SxCAUDIOSET]<SCLKtoWS>**、**[I2SxCAUDIOSET]<WordLen[5:0]>**で設定します。クロックエッジを**[I2SxCAUDIOSET]<Edge>**で設定します。
6. クロック制御部の音声フォーマットの設定(マスター時のみ)
音声フォーマットを**[I2SxCMODESET]<WS[2:0]>**で設定します。
7. LRCK 生成開始設定(マスター時のみ)
[I2SxCREGBUSY]=0x00000000であることを確認した後、**[I2SxCSTART]<Start>**を"1"に設定し、LRCK の生成を開始します。

[I2SxCAUDIOSET]、**[I2SxCMODESET]**は、連続して書き込まないでください。連続してアクセスした場合は、**[I2SxCREGBUSY]=0x00000000** になるまで**[I2SxCSTART]<Start>**を 1 に設定しないでください。

表 5.1 LRCK生成開始設定レジスター

手順	設定概要	設定レジスター	備考
1	Master/Slave の設定	<code>[[I2SxCMS_SEL]<SEL></code>	-
2	ポート設定	リファレンスマニュアルの「入出力ポート」を参照してください。	
3	周波数設定	<code>[[I2SxCMCLK_IO_SEL]<SEL></code>	MCLK の入出力設定
		<code>[[I2SxCPHT_DIV]<PSCAL[7:0]></code> <code>[[I2SxCPHT_DIVOUT_EN]<EN></code>	MCKO(外部マスタークロック出力)の周波数および BCK のソースクロック設定
		<code>[[I2SxCBCK_SRC_SEL]<SEL></code> <code>[[I2SxCBCK_DIV]<PSCAL[7:0]></code> <code>[[I2SxCBCK_DIVOUT_EN]<EN></code>	BCK の周波数を設定 (BCK の設定はマスターモード時のみ必要です)
4	DMAC 起動	リファレンスマニュアルの「多機能 DMAC」を参照してください。	
5	フレームサイズ、 ワード長設定 クロックエッジ設定	<code>[[I2SxCAUDIOSET]<SCLKtoWS></code> <code>[[I2SxCAUDIOSET]<WordLen[5:0]></code> <code>[[I2SxCAUDIOSET]<Edge></code>	マスター時のみ
6	音声フォーマット選択	<code>[[I2SxCMODESET]<WS[2:0]></code>	マスター時のみ
7	LRCK 生成開始	<code>[[I2SxCREGBUSY]</code> <code>[[I2SxCSTART]<Start></code>	マスター時のみ

5.1.2. 受信開始の操作手順

1. 受信制御の音声フォーマット設定(注)
音声フォーマットを $[I2SxIMODESET]<WS[2:0]>$ で設定します。
2. 受信制御部のフレームサイズ、ワード長、クロックエッジおよびデータ格納フォーマットの設定 (マスター時のみ)(注)
フレームサイズを $[I2SxIAUDIOSET]<SCLKtoWS>$ 、 $[I2SxIAUDIOSET]<WordLen[5:0]>$ で設定し、クロックエッジを $[I2SxIAUDIOSET]<Edge>$ 、 $[I2SxIAUDIOSET]<SDEdge>$ で設定します。
 $[I2SxIAUDIOSET]<DTFmt>$ でデータ格納フォーマットを設定します。
3. 割り込み設定(データ転送要求しきい値設定 / 割り込みマスク解除)
 $[I2SxITHRESHOLD]<threshold[4:0]>$ にデータ転送要求しきい値を設定します。
 $[I2SxIINTMASK]$ レジスタの割り込みを発生させたい要因に"0"を設定します。
4. 受信制御ブロック動作開始
 $[I2SxIREGBUSY]=0x00000000$ であることを確認した後、 $[I2SxISTART]<Start>=1$ に設定し、受信制御ブロックの動作をスタートさせます。
5. シリアル転送開始
 $[I2SxIMUTE]<MuteN>=1$ に設定し、ミュートを OFF に設定します。
 $[I2SxISTART]<MicStart>=1$ に設定し、シリアル転送動作をスタートさせます。

注) $[I2SxIREGBUSY]$ の各ビットが"1"のときは $[I2SxIAUDIOSET]$ 、 $[I2SxIMODESET]$ 、 $[I2SxIMUTE]$ を連続して書き込まないでください。

表 5.2 受信開始設定レジスター

手順	設定概要	設定レジスター	備考
1	音声フォーマット選択	$[I2SxIMODESET]<WS[2:0]>$	-
2	データ格納フォーマット、クロックエッジ、フレームサイズ、ワード長設定	$[I2SxIAUDIOSET]<DTFmt>$ $[I2SxIAUDIOSET]<SDEdge>$ $[I2SxIAUDIOSET]<Edge>$ $[I2SxIAUDIOSET]<SCLKtoWS>$ $[I2SxIAUDIOSET]<WordLen[5:0]>$	-
3	割り込み設定 (データ転送要求しきい値設定)	$[I2SxITHRESHOLD]<threshold[4:0]>$	-
	割り込み設定 (割り込みマスク解除)	$[I2SxIINTMASK]<DMACMSK>$ $[I2SxIINTMASK]<LRErrMask>$ $[I2SxIINTMASK]<URMask>$ $[I2SxIINTMASK]<ORMask>$ $[I2SxIINTMASK]<Mask>$	割り込みを発生させたい要因に"0"を設定 (マスクする要因"1"設定、マスクしない要因"0"設定)
4	受信制御ブロック動作開始	$[I2SxISTART]<Start>$	-
5	シリアル転送開始	$[I2SxIMUTE]<MuteN>$	ミュート OFF に設定
		$[I2SxISTART]<MicStart>$	-

5.1.3. 送信開始の操作手順

1. 送信制御の音声フォーマット設定
音声フォーマットを $[I2SxOMODESET]<WS[2:0]>$ で設定します。
2. 送信制御部のフレームサイズ、ワード長、クロックエッジおよびデータ格納フォーマットの設定 (マスター時のみ)
フレームサイズを $[I2SxOAUDIOSET]<SCLKtoWS>$ 、 $[I2SxOAUDIOSET]<WordLen[5:0]>$ で設定し、クロックエッジを $[I2SxOAUDIOSET]<Edge>$ 、 $[I2SxOAUDIOSET]<SDEdge>$ で設定します。
 $[I2SxOAUDIOSET]<DTFmt>$ でデータ格納フォーマットを設定します。
3. 送信開始しきい値の設定
FIFO に格納するデータサイズを $[I2SxOTX_SSIZE]<TxStartSize[5:0]>$ で設定します。
4. 割り込み設定(データ転送要求しきい値設定 / 割り込みマスク解除)
 $[I2SxOTHRESHOLD]<threshold[4:0]>$ にデータ転送要求しきい値を設定します。
 $[I2SxOINTMASK]$ レジスタの割り込みを発生させたい要因に "0" を設定します。
5. 送信制御ブロック動作開始
 $[I2SxOREGBUSY]=0x00000000$ であることを確認した後、 $[I2SxOSTART]<Start>=1$ に設定し、送信制御ブロックの動作をスタートさせます。
6. シリアル転送開始
 $[I2SxOMUTE]<MuteN>=1$ に設定し、ミュートを OFF に設定します。
 $[I2SxOSTART]<SpkStart>=1$ に設定し、シリアル転送動作をスタートさせます。

注) $[I2SxOREGBUSY]$ の各ビットが "1" のときは $[I2SxOAUDIOSET]$ 、 $[I2SxOMODESET]$ 、 $[I2SxOMUTE]$ 、 $[I2SxOTX_SSIZE]$ を連続して書き込まないでください。

表 5.3 送信開始設定レジスタ

手順	設定概要	設定レジスタ	備考
1	音声フォーマット選択	$[I2SxOMODESET]<WS[2:0]>$	-
2	データ格納フォーマット、 クロックエッジ、フレームサイズ、 ワード長設定	$[I2SxOAUDIOSET]<DTFmt>$ $[I2SxOAUDIOSET]<SDEdge>$ $[I2SxOAUDIOSET]<Edge>$ $[I2SxOAUDIOSET]<SCLKtoWS>$ $[I2SxOAUDIOSET]<WordLen[5:0]>$	-
3	送信開始しきい値設定	$[I2SxOTX_SSIZE]<TxStartSize[5:0]>$	-
4	割り込み設定 (データ転送要求しきい値設定)	$[I2SxOTHRESHOLD]<threshold[4:0]>$	-
	割り込み設定 (割り込みマスク解除)	$[I2SxOINTMASK]<DMACMSK>$ $[I2SxOINTMASK]<LRErrMask>$ $[I2SxOINTMASK]<URMask>$ $[I2SxOINTMASK]<ORMask>$ $[I2SxOINTMASK]<Mask>$	割り込みを発生させたい要因に "0" を設定 (マスクする要因 "1" 設定、 マスクしない要因 "0" 設定)
5	送信制御ブロック動作開始	$[I2SxOSTART]<Start>$ (注)	-
6	シリアル転送開始	$[I2SxOMUTE]<MuteN>$	ミュート OFF
		$[I2SxOSTART]<SpkStart>$	-

注) "1" にセットした時点から、FIFO の空きを通知する割り込みや DMA リクエストが発行されます。

5.1.4. 受信停止/送信停止の操作手順

マスター動作/スレーブ動作ともに、受信停止/送信停止を行う場合にはデータ受信/送信停止処理中も ([I2SxISTOP] <I2S_STOP> / [I2SxOSTOP] <I2S_STOP> がリード"0"になるまで) シリアルクロックの供給が必要です。

5.1.4.1. オーバーランエラー/アンダーランエラー割り込み発生時

1. 割り込みをマスク
[I2SxIINTMASK] / [I2SxOINTMASK] レジスターで全ての割り込みをマスクします。
2. オーバーラン/アンダーラン処理の完了確認
[I2SxIBUSY] <ErrBusy> / [I2SxOBUSY] <ErrBusy> が"0"になっていることを確認します。
3. ミュートを ON に設定
[I2SxIMUTE] <MuteN> / [I2SxOMUTE] <MuteN> に"0"を設定し、ミュートを ON にします。
[I2SxISTART] <SeriBusy> / [I2SxOSTART] <SeriBusy> が"0"になり、<MuteN> の設定が内部に反映されたことを確認します。
4. データ転送を停止
[I2SxISTOP] <I2S_STOP> / [I2SxOSTOP] <I2S_STOP> に"1"を設定すると停止動作処理がはじまります。
[I2SxISTOP] <I2S_STOP> / [I2SxOSTOP] <I2S_STOP> が"0"になり、データ転送の停止動作処理が完了したことを確認します。
5. LRCK 生成動作を確認 (LRCK を止めない場合は不要)
[I2SxCBUSY] <Busy> が"1" (生成動作中) になっていることを確認します。
6. LRCK 生成停止 (LRCK を止めない場合は不要)
[I2SxCSTOP] <I2S_STOP> に"1"を設定し、[I2SxCSTOP] <I2S_STOP> が"0"になるまで待ちます。
7. エラー割り込み解除
[I2SxIINTCLR] / [I2SxOINTCLR] レジスターのエラー割り込み要因に"1"を設定します。

表 5.4 オーバーランエラー/アンダーランエラー割り込み発生時の受信停止/送信停止設定レジスター

手順	設定概要	受信時	送信時
1	割り込みをマスク	[I2SxIINTMASK] <DMACMSK>, <LRErrMask>, <URMask>, <ORMask>, <Mask>	[I2SxOINTMASK] <DMACMSK>, <LRErrMask>, <URMask>, <ORMask>, <Mask>
2	オーバーランエラー/アンダーランエラー発生時の内部処理の完了確認	[I2SxIBUSY] <ErrBusy>	[I2SxOBUSY] <ErrBusy>
3	ミュート ON に設定	[I2SxIMUTE] <MuteN>	[I2SxOMUTE] <MuteN>
	<MuteN> に設定した状態が内部に反映されるまで待つ	[I2SxIBUSY] <SeriBusy>	[I2SxOBUSY] <SeriBusy>
4	データ受信/送信停止設定	[I2SxISTOP] <I2S_STOP> ライト	[I2SxOSTOP] <I2S_STOP> ライト
	データ受信/送信停止処理待ち	[I2SxISTOP] <I2S_STOP> リード	[I2SxOSTOP] <I2S_STOP> リード
5	LRCK 生成動作を確認	[I2SxCBUSY] <Busy>	[I2SxCBUSY] <Busy>
6	LRCK 停止	[I2SxCSTOP] <I2S_STOP> ライト	[I2SxCSTOP] <I2S_STOP> ライト
	LRCK 停止処理完了待ち	[I2SxCSTOP] <I2S_STOP> リード	[I2SxCSTOP] <I2S_STOP> リード
7	割り込み要因クリア	[I2SxIINTCLR] <URClr> [I2SxIINTCLR] <ORClr>	[I2SxOINTCLR] <URClr> [I2SxOINTCLR] <ORClr>

5.1.4.2. LRCK エラー割り込み発生時

1. 割り込みをマスク
[[I2SxIINTMASK] / [I2SxOINTMASK] レジスターで全ての割り込みをマスクします。
2. LRCK エラー処理の完了確認
[[I2SxIBUSY]<LRErrBusy> / [I2SxOBUSY]<LRErrBusy> が"0"になっていることを確認します。
3. データ転送を停止
[[I2SxISTOP]<I2S_STOP> / [I2SxOSTOP]<I2S_STOP> に"1"を設定すると停止動作処理がはじまります。
[[I2SxISTOP]<I2S_STOP> / [I2SxOSTOP]<I2S_STOP> が"0"になり、データ転送の停止動作処理が完了したことを確認します。
4. LRCK 生成動作を確認 (LRCK を止めない場合は不要)
[[I2SxCBUSY]<Busy> が"1"(生成動作中)になっていることを確認します。
5. LRCK 生成停止 (LRCK を止めない場合は不要)
[[I2SxCSTOP]<I2S_STOP> に"1"を設定し、*[[I2SxCSTOP]<I2S_STOP>* が"0"になるまで待ちます。
6. エラー割り込み解除
[[I2SxIINTCLR] / [I2SxOINTCLR] レジスターのエラー割り込み要因に"1"を設定します。

表 5.5 LRCKエラー割り込み発生時の受信停止/送信停止設定レジスター

手順	設定概要	受信時	送信時
1	割り込みをマスク	<i>[[I2SxIINTMASK]</i> <DMACMSK>, <LRErrMask>, <URMask>, <ORMask>, <Mask>	<i>[[I2SxOINTMASK]</i> <DMACMSK>, <LRErrMask>, <URMask>, <ORMask>, <Mask>
2	LRCK エラー発生時の内部処理の完了確認	<i>[[I2SxIBUSY]<LRErrBusy></i>	<i>[[I2SxOBUSY]<LRErrBusy></i>
3	データ受信/送信停止設定	<i>[[I2SxISTOP]<I2S_STOP></i> ライト	<i>[[I2SxOSTOP]<I2S_STOP></i> ライト
	データ受信/送信停止処理待ち	<i>[[I2SxISTOP]<I2S_STOP></i> リード	<i>[[I2SxOSTOP]<I2S_STOP></i> リード
4	LRCK 生成動作を確認	<i>[[I2SxCBUSY]<Busy></i>	<i>[[I2SxCBUSY]<Busy></i>
5	LRCK 停止	<i>[[I2SxCSTOP]<I2S_STOP></i> ライト	<i>[[I2SxCSTOP]<I2S_STOP></i> ライト
	LRCK 停止処理完了待ち	<i>[[I2SxCSTOP]<I2S_STOP></i> リード	<i>[[I2SxCSTOP]<I2S_STOP></i> リード
6	割り込み要因クリア	<i>[[I2SxIINTCLR]<LRErrClr></i>	<i>[[I2SxOINTCLR]<LRErrClr></i>

5.1.4.3. エラー割り込み発生時以外の受信停止/送信停止

1. データ転送状態であることを確認
[I2SxIBUSY]<MicBusy> / *[I2SxOBUSY]<SpkBusy>*が"1"であることを確認します。
 スタート後、十分に時間が経過しており、動作が明らかな場合は必要ありません。
2. ミュートを ON に設定
[I2SxIMUTE]<MuteN> / *[I2SxOMUTE]<MuteN>*に"0"を設定し、ミュートを ON にします。
[I2SxISTART]<SeriBusy> / *[I2SxOSTART]<SeriBusy>* が"0"になり、<MuteN>の設定が内部に反映されたことを確認します。
3. データ転送を停止
[I2SxISTOP]<I2S_STOP> / *[I2SxOSTOP]<I2S_STOP>*に"1"を設定します。
[I2SxISTOP]<I2S_STOP> / *[I2SxOSTOP]<I2S_STOP>*が"0"になり、データ転送の停止動作処理が完了したことを確認します。
4. LRCK 生成停止 (LRCK を止めない場合は不要)
*[I2SxCSTOP]<I2S_STOP>*に"1"を設定し、*[I2SxCSTOP]<I2S_STOP>*が"0"になるまで待ちます。

表 5.6 エラー割り込み発生時以外の受信停止/送信停止設定レジスター

手順	設定概要	受信時	送信時
1	データ転送中であることを確認	<i>[I2SxIBUSY]<MicBusy></i>	<i>[I2SxOBUSY]<SpkBusy></i>
2	ミュート ON に設定	<i>[I2SxIMUTE]<MuteN></i>	<i>[I2SxOMUTE]<MuteN></i>
	<MuteN>に設定した状態が内部に反映されるまで待つ	<i>[I2SxIBUSY]<SeriBusy></i>	<i>[I2SxOBUSY]<SeriBusy></i>
3	データ受信/送信停止設定	<i>[I2SxISTOP]<I2S_STOP></i> ライト	<i>[I2SxOSTOP]<I2S_STOP></i> ライト
	データ受信/送信停止処理待ち	<i>[I2SxISTOP]<I2S_STOP></i> リード	<i>[I2SxOSTOP]<I2S_STOP></i> リード
4	LRCK 停止	<i>[I2SxCSTOP]<I2S_STOP></i> ライト	<i>[I2SxCSTOP]<I2S_STOP></i> ライト
	LRCK 停止処理完了待ち	<i>[I2SxCSTOP]<I2S_STOP></i> リード	<i>[I2SxCSTOP]<I2S_STOP></i> リード

5.1.5. 受信再開/送信再開の操作手順

受信/送信を停止させた後、受信/送信を再開する場合は、「5.1.1. LRCK 生成開始の操作手順」手順 4 以降および「5.1.2. 受信開始の操作手順」または「5.1.3. 送信開始の操作手順」を実施してください。また、受信/送信再開時は必ず<I2S_STOP>をリードして、停止処理が完了していることを確認してから<Start>=1 に設定してください。

- *[I2SxCSTOP]<I2S_STOP>*=1 設定後、停止処理中は*[I2SxCSTOP]<I2S_STOP>*=1 がリードできません。*[I2SxCSTOP]<I2S_STOP>*=0 になったことを確認してから*[I2SxCSTART]<Start>*=1 を設定。
- *[I2SxISTOP]<I2S_STOP>*=1 設定後停止処理中は*[I2SxISTOP]<I2S_STOP>*=1 がリードできます。*[I2SxISTOP]<I2S_STOP>*=0 になったことを確認してから*[I2SxISTART]<Start>*=1 を設定。
- *[I2SxOSTOP]<I2S_STOP>*=1 設定後停止処理中は*[I2SxOSTOP]<I2S_STOP>*=1 がリードできます。*[I2SxOSTOP]<I2S_STOP>*=0 になったことを確認してから*[I2SxOSTART]<Start>*=1 を設定。

5.1.6. 停止手順

「5.1.4. 受信停止/送信停止の操作手順」を実施してください。

5.2. CPU 転送時のフロー一例

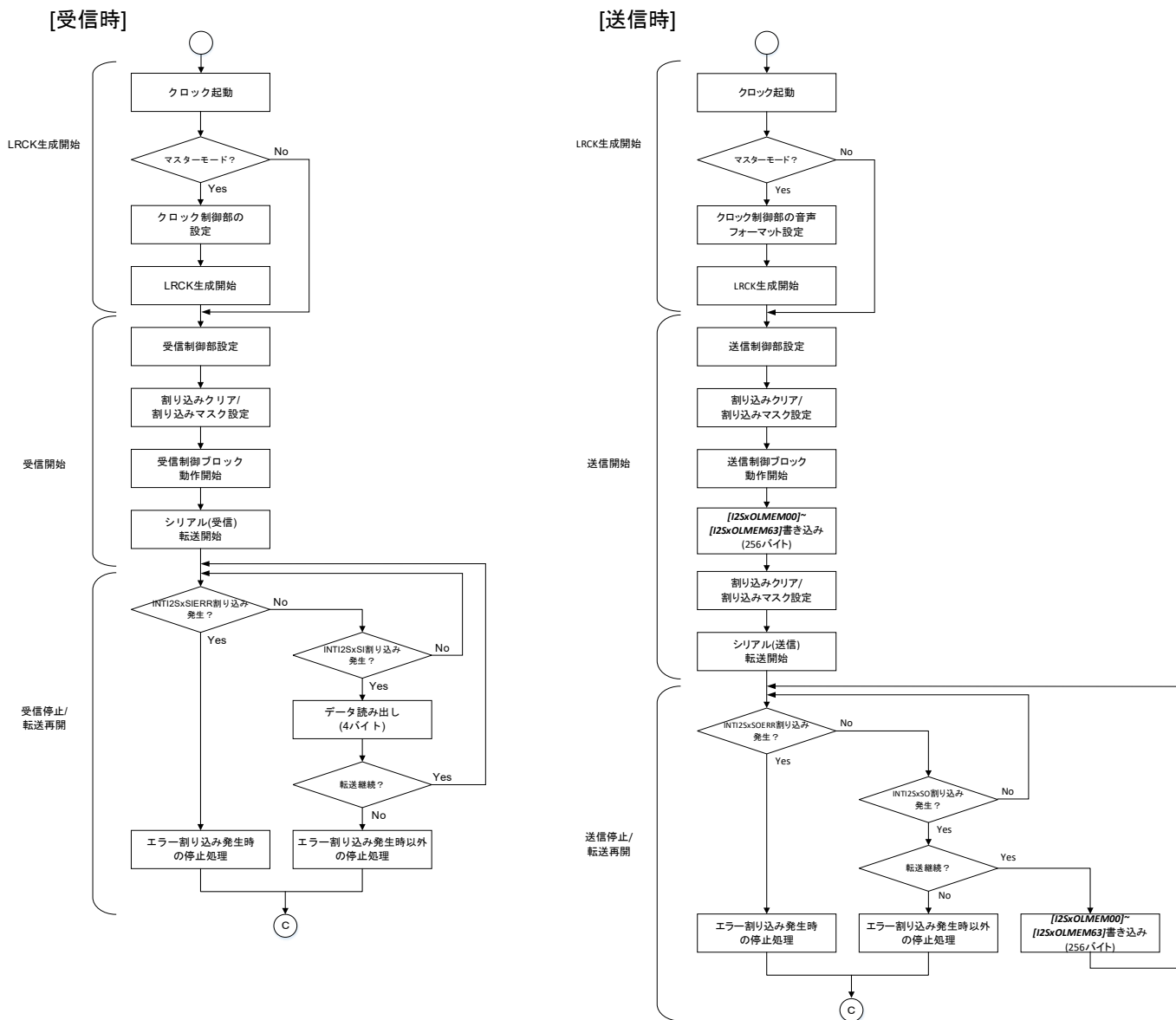


図 5.1 CPU転送時のフロー例

5.3. DMA 転送時のフロー例

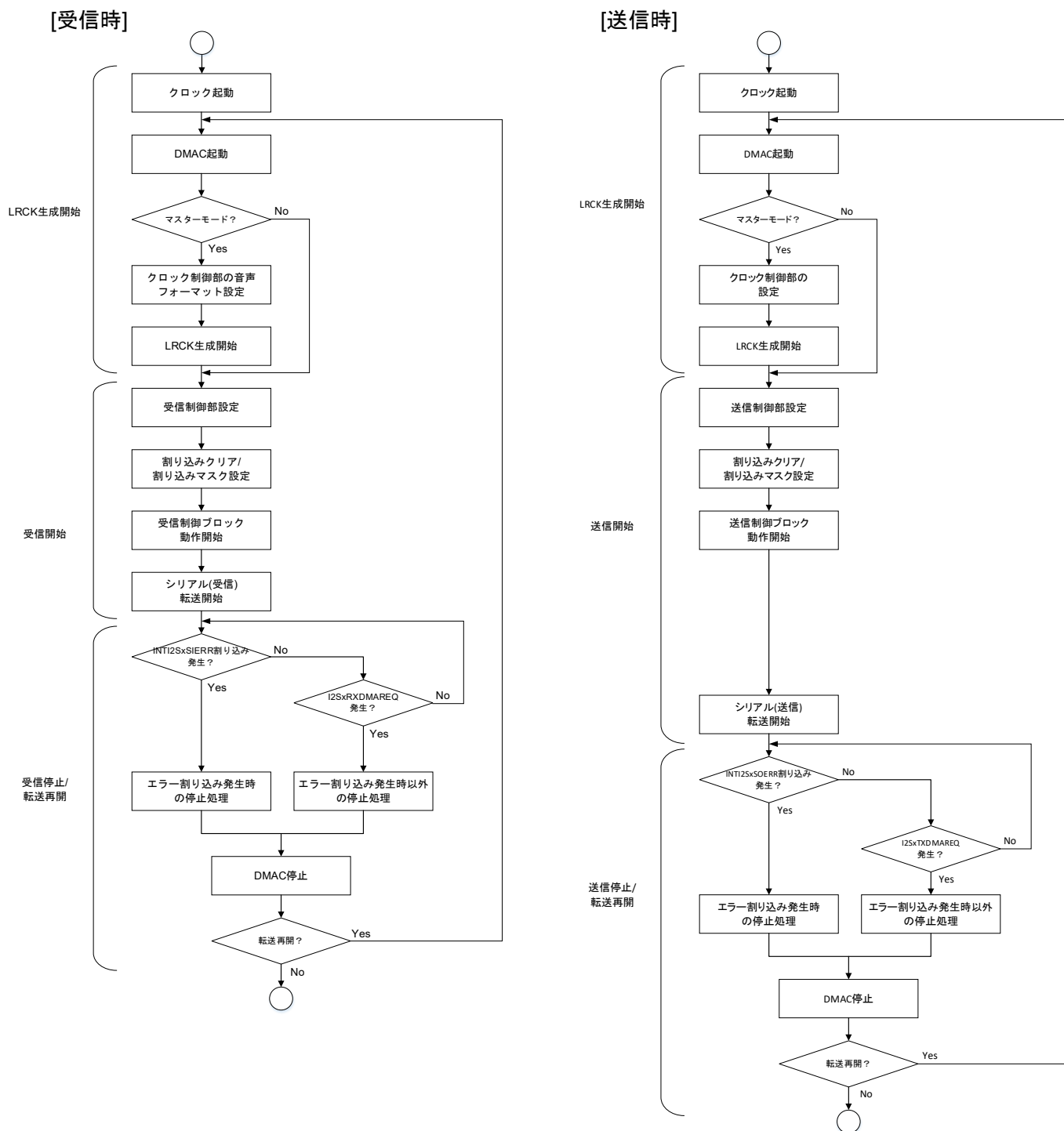


図 5.2 DMA転送時のフロー例

6. 使用上の注意

- レジスターがアサインされていないアドレスはアクセスしないでください。
- マスター動作/スレーブ動作ともに、受信停止/送信停止を行う場合にはデータ受信/送信停止処理中も **[I2SxISTOP]<I2S_STOP>** / **[I2SxOSTOP]<I2S_STOP>** がリード"0"になるまで)シリアルクロックの供給が必要です。
- 下記レジスターの連続アクセスは禁止
[I2SxIAUDIOSET] / **[I2SxOAUDIOSET]**、 **[I2SxIMODESET]** / **[I2SxOMODESET]**、 **[I2SxIMUTE]** / **[I2SxOMUTE]**、 **[I2SxOTX_SSIZE]** レジスターは、 **[I2SxIREGBUSY]** / **[I2SxOREGBUSY]** レジスターのそれぞれのレジスターアクセス状態を示すビットシンボルが"1"の場合は、連続して書き込まないでください。
また、 **[I2SxISTART]<Start>** / **[I2SxOSTART]<Start>** を"1"に設定する前に **[I2SxIREGBUSY]** / **[I2SxOREGBUSY]** レジスターが"0x00000000"であることを確認してください。
- 受信 FIFO または送信 FIFO へのアクセスは、 **[I2SxISTART]<Start>** / **[I2SxOSTART]<Start>** に"1"をセットした後で行ってください。

7. 改訂履歴

表 7.1 改訂履歴

Revision	Date	Description
1.0	2020-11-16	新規作成

製品取り扱い上のお願ひ

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いいたします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事情報の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。