

32 ビット RISC マイクロコントローラー

**TXZ+ファミリー
TMPM4N グループ(1)**

**リファレンスマニュアル
製品個別情報
(PINFO-M4N(1))**

Revision 1.2

2024-05

東芝デバイス&ストレージ株式会社

目次

序章	11
関連するドキュメント	11
表記規約	12
用語・略語	14
1. 概要	15
2. 各周辺機能の情報	15
2.1. レジスターベースアドレス	15
2.2. トリガーセクター(TRGSEL)	18
2.2.1. TRGSEL と製品対応	19
2.2.2. 使用方法と設定	26
2.2.3. レジスター一覧	27
2.2.4. レジスター詳細	28
2.2.4.1. [TSEL0CR0] (コントロールレジスター0)	28
2.2.4.2. [TSEL0CR1] (コントロールレジスター1)	30
2.2.4.3. [TSEL0CR2] (コントロールレジスター2)	32
2.2.4.4. [TSEL0CR3] (コントロールレジスター3)	34
2.2.4.5. [TSEL0CR4] (コントロールレジスター4)	36
2.2.4.6. [TSEL0CR5] (コントロールレジスター5)	38
2.2.4.7. [TSEL0CR6] (コントロールレジスター6)	40
2.2.4.8. [TSEL0CR7] (コントロールレジスター7)	42
2.2.4.9. [TSEL0CR8] (コントロールレジスター8)	44
2.2.4.10. [TSEL0CR9] (コントロールレジスター9)	46
2.2.4.11. [TSEL0CR10] (コントロールレジスター10)	48
2.2.4.12. [TSEL0CR11] (コントロールレジスター11)	50
2.2.4.13. [TSEL0CR12] (コントロールレジスター12)	52
2.2.4.14. [TSEL0CR13] (コントロールレジスター13)	54
2.2.4.15. [TSEL0CR14] (コントロールレジスター14)	56
2.3. クロック選択式ウオッチドッグタイマー(SIWDT)	57
2.3.1. 搭載チャンネル	57
2.3.2. カウントクロック	57
2.3.3. 発振クロックプロテクト機能	57
2.4. 周波数検知回路(OFD)	58
2.4.1. 搭載一覧	58
2.4.2. 基準クロック	58
2.4.3. 検知対象クロック	58
2.5. デバッグインターフェース	59
2.5.1. 製品別デバッグインターフェース一覧	59
2.5.2. トレースクロックの分周比	59
2.6. ノンブレイクデバッグインターフェース(NBDIF)	60

2.6.1. 機能対応	60
2.6.2. 製品別 NBDIF 一覧	60
2.7. フラッシュメモリー	61
2.7.1. 書き込み、消去操作クロック	61
2.7.2. 製品別コードフラッシュブロック構成	61
2.7.3. 製品別データフラッシュブロック構成	63
2.7.4. ID-Read 時のマクロコード値	63
2.7.5. シングルブート使用リソース	64
2.8. 高速 DMA コントローラー(HDMAC)	65
2.8.1. 搭載ユニット	65
2.8.2. DMA 転送要求一覧	65
2.9. 多機能 DMA コントローラー(MDMAC)	67
2.9.1. 搭載ユニット	67
2.9.2. DMA 転送要求一覧	67
2.10. アドバンストプログラマブルモーター制御回路(A-PMD)	72
2.10.1. 搭載チャンネル	72
2.10.2. システムクロック	72
2.10.3. 機能端子とポート	73
2.10.4. DMA 要求	73
2.10.5. 内部信号接続仕様	74
2.10.5.1. ADC 接続	74
2.11. 12 ビットアナログデジタルコンバーター(ADC).....	75
2.11.1. 搭載ユニット	75
2.11.2. 機能端子とポート	75
2.11.3. アナログ基準端子	76
2.11.4. ADC 用変換クロック	76
2.11.5. モード設定レジスター2 の設定値.....	76
2.11.6. DMA 要求	76
2.11.7. 監視機能	77
2.11.8. 内部信号接続仕様	77
2.11.8.1. 起動トリガー接続仕様.....	77
2.12. 8 ビットデジタルアナログコンバーター(DAC).....	79
2.12.1. 搭載チャンネル	79
2.12.2. 機能端子とポート	79
2.13. 電圧検知回路(LVD)	80
2.13.1. 搭載一覧	80
2.13.2. 検知対象電源	80
2.14. 32 ビットタイマーイベントカウンタ(T32A)	81
2.14.1. 搭載チャンネル	81
2.14.2. 機能端子とポート	81
2.14.3. プリスケイラー用クロック	84

2.14.4. 内部信号接続仕様	85
2.14.4.1. キャプチャー/カウンタチャネル間接続仕様	85
2.14.4.2. 同期制御接続仕様	88
2.14.4.3. T32A タイマーチャネル間リロードトリガー接続仕様	91
2.14.4.4. TSPI/UART/RMC-T32A 間接続仕様	92
2.14.4.5. T32A - ISD 間接続仕様	93
2.14.4.6. ELOSC 低速クロック-T32A 間接続仕様	94
2.14.5. 製品別パルスカウント対応一覧	94
2.14.6. DMA 要求	95
2.15. リアルタイムクロック(RTC)	98
2.15.1. 搭載一覧	98
2.15.2. 機能端子とポート	98
2.15.3. 時計カウントクロック	98
2.16. ロングタームタイマー(LTTMR)	99
2.16.1. 搭載チャネル	99
2.16.2. カウントクロック	99
2.16.3. 内部信号接続仕様	99
2.16.3.1. CEC/RMC 接続	99
2.17. 非同期シリアル通信回路(UART)	100
2.17.1. 搭載チャネル	100
2.17.2. 機能端子とポート	100
2.17.3. 製品別ハーフクロックモード対応一覧	101
2.17.4. プリスケラー用クロック	101
2.17.5. DMA 要求	102
2.17.6. 内部信号接続仕様	103
2.17.6.1. トリガー転送信号接続仕様	103
2.18. 高精度非同期シリアル通信回路(FUART)	104
2.18.1. 搭載チャネル	104
2.18.2. 機能端子とポート	104
2.18.3. プリスケラー用クロック	105
2.18.4. DMA 要求	105
2.19. I ² C インターフェース(I2C)	106
2.19.1. 搭載チャネル	106
2.19.2. 機能端子とポート	106
2.19.3. プリスケラー用クロック	106
2.19.4. 通信スピード	107
2.19.5. ウェイクアップ機能対応	107
2.19.6. ノイズフィルター選択	107
2.19.7. DMA 要求	108
2.20. I ² C インターフェース バージョン A (EI2C)	109
2.20.1. 搭載チャネル	109

2.20.2. 機能端子とポート	109
2.20.3. プリスケラー用クロック	109
2.20.4. 通信スピード	110
2.20.5. ウェイクアップ機能対応	110
2.20.6. ノイズフィルター選択	110
2.20.7. DMA 要求	111
2.21. シリアルペリフェラルインターフェース(TSPI).....	112
2.21.1. 搭載チャンネル	112
2.21.2. 機能端子とポート	113
2.21.3. 製品別転送モード対応一覧.....	115
2.21.4. [TSPIxCR2]<RXDLY[2: 0]>の設定値	115
2.21.5. プリスケラー用クロック	115
2.21.6. DMA 要求	116
2.21.7. 内部信号接続仕様	117
2.21.7.1. トリガー送信信号接続仕様.....	117
2.22. 同期シリアルインターフェース(TSSI)	118
2.22.1. 搭載チャンネル	118
2.22.2. 機能端子とポート	118
2.22.3. 分周器用クロック	118
2.22.4. DMA 要求	119
2.23. I ² S インターフェース(I2S).....	120
2.23.1. 搭載チャンネル	120
2.23.2. 機能端子とポート	120
2.23.3. マスタークロック生成回路用ソースクロック	120
2.23.4. DMA 要求	121
2.23.5. 内部信号接続仕様	121
2.23.5.1. FIFO しきい値信号接続仕様	121
2.24. CAN コントローラー(CAN)	122
2.24.1. 搭載ユニット	122
2.24.2. システムクロック	122
2.24.3. 機能端子とポート	122
2.25. Universal Serial Bus (USB).....	123
2.25.1. 搭載ユニット	123
2.25.2. 機能端子とポート	123
2.26. イーサネットコントローラー(ETHM).....	124
2.26.1. 搭載ユニット	124
2.26.2. 機能端子とポート	125
2.27. FIR 計算回路(FIR).....	126
2.27.1. 搭載一覧	126
2.27.2. DMA 要求	126
2.27.3. 内部信号接続仕様	126

2.27.3.1. 演算開始トリガー信号	126
2.28. シリアルメモリーインターフェース(SMIF)	127
2.28.1. 搭載チャンネル	127
2.28.2. 機能端子とポート	127
2.28.3. プライマリー/セカンダリーバッファの容量	128
2.28.4. DMA 要求	128
2.29. CEC 制御回路 (CEC)	129
2.29.1. 搭載チャンネル	129
2.29.2. 機能端子とポート	129
2.29.3. サンプリングクロック	129
2.30. リモコン受信回路(RMC)	130
2.30.1. 搭載チャンネル	130
2.30.2. 機能端子とポート	130
2.30.3. サンプリングクロック	130
2.30.4. 内部信号接続仕様	131
2.30.4.1. T32A 接続	131
2.31. デジタルノイズフィルター回路(DNF)	132
2.31.1. 搭載ユニット	132
2.31.2. 製品別外部割り込みと DNF の対応	132
2.31.3. サンプリングソースクロック	133
2.32. インターバルセンサー検知回路(ISD)	134
2.32.1. 搭載ユニット	134
2.32.2. 機能端子とポート	134
2.32.3. 基準クロック	135
2.32.4. 内部信号接続仕様	135
2.33. バウンダリースキャン(BSC)	136
2.33.1. 機能対応	136
2.33.2. 製品別 JTAG インターフェース一覧	136
2.33.3. バウンダリースキャン順序	137
2.34. トリミング回路(TRM)	141
2.34.1. 搭載一覧	141
2.34.2. 対象発振器	141
2.35. 外部バスインターフェース(EBIF)	142
2.35.1. 機能対応	142
2.35.2. 機能端子とポート	142
3. 改訂履歴	143
製品取り扱い上のお願い	144

図目次

図 2.1	TRGSEL 接続例.....	18
図 2.2	ADC 起動トリガー接続仕様概略図	78

表目次

表 2.1	レジスターベースアドレスタイプ (1/3)	15
表 2.2	レジスターベースアドレスタイプ (2/3)	16
表 2.3	レジスターベースアドレスタイプ (3/3)	17
表 2.4	製品別 TRGSEL 対応一覧 (1/7)	19
表 2.5	製品別 TRGSEL 対応一覧 (2/7)	20
表 2.6	製品別 TRGSEL 対応一覧 (3/7)	21
表 2.7	製品別 TRGSEL 対応一覧 (4/7)	22
表 2.8	製品別 TRGSEL 対応一覧 (5/7)	23
表 2.9	製品別 TRGSEL 対応一覧 (6/7)	24
表 2.10	製品別 TRGSEL 対応一覧 (7/7)	25
表 2.11	SIWDT 搭載チャンネル	57
表 2.12	SIWDT カウントクロック	57
表 2.13	SIWDT 制御出力	57
表 2.14	OFD 搭載一覧	58
表 2.15	OFD 基準クロック	58
表 2.16	OFD 検知対象クロック	58
表 2.17	デバッグインターフェース搭載一覧	59
表 2.18	トレースクロック(TRACECLK)の分周比	59
表 2.19	NBDIF 機能対応	60
表 2.20	NBDIF 搭載一覧	60
表 2.21	書き込み、消去操作クロック	61
表 2.22	製品別コードフラッシュのブロック構成	61
表 2.23	製品別データフラッシュ	63
表 2.24	ID-Read 時のマクロコード	63
表 2.25	シングルブート使用リソース	64
表 2.26	RAM 転送可能最終アドレス	64
表 2.27	HDMAC 搭載ユニット	65
表 2.28	HDMAC DMA 転送要求一覧: ユニット A	65
表 2.29	HDMAC DMA 転送要求一覧: ユニット B	66
表 2.30	MDMAC 搭載ユニット	67
表 2.31	MDMAC DMA 転送要求一覧: ユニット A (1/5)	67
表 2.32	MDMAC DMA 転送要求一覧: ユニット A (2/5)	68
表 2.33	MDMAC DMA 転送要求一覧: ユニット A (3/5)	69
表 2.34	MDMAC DMA 転送要求一覧: ユニット A (4/5)	70
表 2.35	MDMAC DMA 転送要求一覧: ユニット A (5/5)	71
表 2.36	A-PMD 搭載チャンネル	72
表 2.37	A-PMD システムクロック	72
表 2.38	A-PMD 機能端子	73
表 2.39	A-PMD DMA 要求	73
表 2.40	A-PMD 内部信号接続仕様: 出力	74
表 2.41	ADC 搭載ユニット	75
表 2.42	ADC 機能端子とポート	75
表 2.43	ADC 用変換クロック	76
表 2.44	ADC モード設定レジスター2 の設定値	76

表 2.45	ADC DMA 要求	76
表 2.46	ADC 監視機能の対応	77
表 2.47	ADC 起動トリガー接続仕様	77
表 2.48	ADC 起動トリガー接続仕様(TRGSEL37,38 出力).....	78
表 2.49	DAC 搭載チャンネル	79
表 2.50	DAC 機能端子とポート	79
表 2.51	LVD 搭載一覧	80
表 2.52	LVD 検知対象電源	80
表 2.53	T32A 搭載チャンネル	81
表 2.54	T32A 機能端子とポート(1/4)	81
表 2.55	T32A 機能信号とポート(2/4)	82
表 2.56	T32A 機能信号とポート(3/4)	83
表 2.57	T32A 機能信号とポート(4/4)	84
表 2.58	T32A プリスケラー用クロック	84
表 2.59	T32A 入力トリガー接続	85
表 2.60	T32A タイマー出力トリガー接続	87
表 2.61	T32A 同期制御接続仕様(1/3)	88
表 2.62	T32A 同期制御接続仕様(2/3)	89
表 2.63	T32A 同期制御接続仕様(3/3)	90
表 2.64	T32A リロードトリガー接続	91
表 2.65	T32A TSPI/UART/RMC-T32A 間接続仕様	92
表 2.66	T32A - ISD 間接続仕様	93
表 2.67	T32A ELOSC 低速クロック-T32A 間接続仕様	94
表 2.68	T32A 製品別パルスカウント対応一覧	94
表 2.69	T32A DMA 要求(1/3)	95
表 2.70	T32A DMA 要求(2/3)	96
表 2.71	T32A DMA 要求(3/3)	97
表 2.72	RTC 搭載一覧	98
表 2.73	RTC 機能端子とポート	98
表 2.74	RTC 時計カウントクロック	98
表 2.75	LTTMR 搭載チャンネル	99
表 2.76	LTTMR カウントクロック	99
表 2.77	LTTMR CEC/RMC 信号接続仕様: 出力	99
表 2.78	UART 搭載チャンネル	100
表 2.79	UART 端子信号とポート	100
表 2.80	UART ハーフクロックモード(1 端子モード)対応一覧	101
表 2.81	UART プリスケラー用クロック	101
表 2.82	UART DMA 要求	102
表 2.83	UART トリガー転送信号接続仕様: 入力	103
表 2.84	UART 内部信号接続仕様: 出力	103
表 2.85	FUART 搭載チャンネル	104
表 2.86	FUART 端子信号とポート	104
表 2.87	FUART プリスケラー用クロック	105
表 2.88	FUART DMA 要求	105
表 2.89	I2C 搭載チャンネル	106
表 2.90	I2C 機能端子とポート	106
表 2.91	I2C プリスケラー用クロック	106
表 2.92	I2C 通信スピード対応	107
表 2.93	I2C フィルター選択	107
表 2.94	I2C DMA 要求	108
表 2.95	EI2C 搭載チャンネル	109
表 2.96	EI2C 機能端子とポート	109
表 2.97	EI2C プリスケラー用クロック	109

表 2.98	EI2C 通信スピード対応	110
表 2.99	EI2C フィルター選択	110
表 2.100	EI2C DMA 要求	111
表 2.101	TSPI 搭載チャンネル	112
表 2.102	TSPI 機能端子とポート(1/2)	113
表 2.103	TSPI 機能端子とポート(2/2)	114
表 2.104	TSPI モード対応一覧	115
表 2.105	TSPI プリスケラー用クロック	115
表 2.106	TSPI DMA 要求	116
表 2.107	TSPI トリガー送信信号接続仕様: 入力	117
表 2.108	TSSI 搭載チャンネル	118
表 2.109	TSSI 機能端子とポート	118
表 2.110	TSSI 分周器用クロック	118
表 2.111	TSSI DMA 要求	119
表 2.112	I2S 搭載チャンネル	120
表 2.113	I2S 機能端子とポート	120
表 2.114	I2S マスタークロック生成用ソースクロック	120
表 2.115	I2S DMA 要求	121
表 2.116	I2S FIFO しきい値信号接続仕様: 出力	121
表 2.117	CAN 搭載ユニット	122
表 2.118	CAN システムクロック	122
表 2.119	CAN 機能端子とポート	122
表 2.120	USB 搭載ユニット	123
表 2.121	USB 機能端子とポート	123
表 2.122	ETHM 搭載ユニット	124
表 2.123	ETHM 機能端子とポート	125
表 2.124	FIR 搭載一覧	126
表 2.125	FIR DMA 要求	126
表 2.126	FIR 演算開始トリガー信号接続仕様: 入力	126
表 2.127	SMIF 搭載チャンネル	127
表 2.128	SMIF 機能端子とポート	127
表 2.129	SMIF バッファ容量	128
表 2.130	SMIF DMA 要求	128
表 2.131	CEC 搭載チャンネル	129
表 2.132	CEC 機能端子とポート	129
表 2.133	CEC サンプリングクロック	129
表 2.134	RMC 搭載チャンネル	130
表 2.135	RMC 機能端子とポート	130
表 2.136	RMC サンプリングクロック	130
表 2.137	RMC T32A 接続仕様	131
表 2.138	DNF 搭載ユニット	132
表 2.139	外部割り込みと DNF 対応(ユニット A)	132
表 2.140	外部割り込みと DNF 対応(ユニット B)	133
表 2.141	DNF サンプリングソースクロック	133
表 2.142	ISD 搭載ユニット	134
表 2.143	ISD 機能端子とポート	134
表 2.144	ISD 基準クロック	135
表 2.145	ISD 制御接続仕様	135
表 2.146	BSC 機能対応	136
表 2.147	JTAG インターフェース一覧	136
表 2.148	バウンダリースキャン順序	137
表 2.149	TRM 搭載一覧	141
表 2.150	TRM トリミング対象発振器	141

表 2.151	EBIF 機能対応.....	142
表 2.152	EBIF 機能端子とポート	142
表 3.1	改訂履歴.....	143

序章

関連するドキュメント

文書名	IP 記号
入出力ポート(TMPM4N グループ(1))	PORT-M4N(1)
例外(TMPM4N グループ(1))	EXCEPT-M4N(1)
クロック制御と動作モード(TMPM4N グループ(1))	CG-M4N(1)-C
フラッシュメモリー	FLASH20MUD32-D
トリミング回路	TRM-B
周波数検知回路	OFD-A
電圧検知回路	LVD-E
デジタルノイズフィルタ回路	DNF-A
デバッグインターフェース	DEBUG-A
ノンブレイクデバッグインターフェース	NBDIF-A
インターバルセンサー検知回路	ISD-A
多機能 DMA コントローラー	MDMAC-B
高速 DMA コントローラー	HDMAC-A
外部バスインターフェース	EBIF-A
シリアルメモリーインターフェース	SMIF-C
非同期シリアル通信回路	UART-C
高精度非同期シリアル通信回路	FUART-B
シリアルペリフェラルインターフェース	TSPI-E
同期シリアルインターフェース	TSSI-A
I ² C インターフェース	I2C-B
I ² C インターフェース バージョン A	EI2C-A
I ² S インターフェース	I2S-A
CAN コントローラー	CAN-B
Universal Serial Bus	USB-A
イーサネットコントローラー	ETHM-A
CEC 制御回路	CEC-A
FIR 計算回路	FIR-A
12 ビットアナログデジタルコンバーター	ADC-H
8 ビットデジタルアナログコンバーター	DAC-B
アドバンストプログラマブルモーター制御回路	A-PMD-C
32 ビットタイマーイベントカウンタ	T32A-B
ロングタームタイマー	LTTMR-A
リアルタイムクロック	RTC-A
クロック選択式ウォッチドッグタイマー	SIWDT-A
リモコン受信回路	RMC-B
バウンダリースキャン	BSC-A

表記規約

- 数値表記は以下の規則に従います。
 - 16 進数表記: 0xABC
 - 10 進数表記: 123 または 0d123 (10 進表記であることを示す必要のある場合だけ使用)
 - 2 進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は [m: n] とまとめて表記する場合があります。
例: S[3: 0] は S3, S2, S1, S0 の 4 つの信号名をまとめて表記しています。
- 本文中 [] で囲まれたものはレジスターを定義しています。
例: [ABCD]
- 同種で複数のレジスター、フィールド、ビット名は「n」で一括表記する場合があります。
例: [XYZ1], [XYZ2], [XYZ3] → [XYZn]
- 「レジスター一覧」中のレジスター名でユニットまたはチャネルは「x」で一括表記しています。
ユニットの場合、「x」は A, B, C, ... を表します。
例: [ADACR0], [ADBCR0], [ADCCR0] → [ADxCR0]
チャネルの場合、「x」は 0, 1, 2, ... を表します。
例: [T32A0RUNA], [T32A1RUNA], [T32A2RUNA] → [T32AxRUNA]
- レジスターのビット範囲は [m: n] と表記します。
例: [3: 0] はビット 3 から 0 の範囲を表します。
- レジスターの設定値は 16 進数または 2 進数のどちらかで表記されています。
例: [ABCD]<EFG> = 0x01 (16 進数)、[XYZn]<VW> = 1 (2 進数)
- ワード、バイトは以下のビット長を表します。
 - バイト: 8 ビット
 - ハーフワード: 16 ビット
 - ワード: 32 ビット
 - ダブルワード: 64 ビット
- レジスター内の各ビットの属性は以下の表記を使用しています。
 - R: リードオンリー
 - W: ライトオンリー
 - R/W: リード / ライト
- 断りのない限り、レジスターアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスターは書き換えを行わないでください。
また、読み出した値を使用しないでください。
- Default 値が「—」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスターに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
Default 値が「—」となっている場合は、個々のレジスターの定義に従ってください。
- ライトオンリーのレジスターの Reserved ビットフィールドには Default 値を書き込んでください。
Default 値が「—」となっている場合は、個々のレジスターの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスターへのリードモディファイライト処理は行わないでください。

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

ADC	Analog to Digital Converter
A-PMD	Advanced Programmable Motor Control Circuit
CAN	Controller Area Network
CEC	Consumer Electronics Control
CG	Clock Control and Generations
DAC	Digital to Analog Converter
DMA	Direct Memory Access
DMAC	Direct Memory Access Controller
DNF	Digital Noise Filter
EBIF	External Bus Interface
EHOSC	External High-speed Oscillator
EI2C	I ² C Interface Version A
ELOSC	External Low-speed Oscillator
ETHM	Ethernet MAC
FIR	Finite Impulse Response
fsys	Frequency of SYSTEM Clock
FUART	Full Universal Asynchronous Receiver Transmitter
HDMAC	High-speed DMAC
IHOSC	Internal High-speed Oscillator
I2C	Inter-Integrated Circuit
I2S	Inter-IC Sound
INT	Interrupt
ISD	Interval Sensor Detection
LTMR	Long Term Timer
LVD	Voltage Detection Circuit
MDMAC	Multi-function DMA Controller
NBDIF	Non-break Debug Interface
NMI	Non-Maskable Interrupt
OFD	Oscillation Frequency Detector
POR	Power-on Reset Circuit
RLM	Reset LOSC<Low Power> Manager
RMC	Remote Control Signal Preprocessor
RTC	Real Time Clock
SIWDT	Clock Selective Watchdog Timer
SMIF	Serial Memory Interface
T32A	32-bit Timer Event Counter
TRGSEL	Trigger Selection Circuit
TSPI	Serial Peripheral Interface
TSSI	Synchronous Serial Interface
UART	Universal Asynchronous Receiver Transmitter
USB	Universal Serial Bus

1. 概要

この章では、周辺機能に関し、チャンネルまたはユニット数、端子情報、その他の製品固有機能の情報について纏めています。各周辺機能のリファレンスマニュアルと合わせてご使用ください。

2. 各周辺機能の情報

2.1. レジスターベースアドレス

TMPM4N グループ(1)のレジスターベースアドレスタイプを下記に示します。

表 2.1 レジスターベースアドレスタイプ (1/3)

周辺機能			ベースアドレスタイプ (○: 該当、-: 非該当)			Base address
			TYPE1	TYPE2	TYPE3	
高速 DMA コントローラー	HDMAC	ユニット A	○	-	-	0x40000000
		ユニット B				0x40001000
CAN コントローラー	CAN	ユニット A	○	-	-	0x40005000
		ユニット B				0x40006000
イーサネットコントローラー	ETHM	ユニット A	○	-	-	0x4000A000
シリアルメモリーインターフェース	SMIF	ch 0	○	-	-	0x4000C000
電圧検出回路	LVD	-	○	-	-	0x4003EC00
ロングタームタイマー	LTTMR	ch 0	○	-	-	0x4003FF00
シリアルペリフェラルインターフェース	TSPI	ch 0	-	-	○	0x4006A000
		ch 1				0x4006A400
		ch 2				0x4006A800
		ch 3				0x4006AC00
		ch 4				0x4006B000
		ch 5				0x4006B400
外部バスインターフェース	EBIF	-	-	-	○	0x40076000
デジタルノイズフィルター回路	DNF	ユニット A	-	○	-	0x400A0200
		ユニット B				0x400A0300
トリガーセクター	TRGSEL	ch 0	-	○	-	0x400A0400
クロック選択式ウオッチドッグタイマー	SIWDT	ch 0	-	○	-	0x400A0600
ノンブレイクデバッグインターフェース	NBDIF	-	-	○	-	0x400A2000
多機能 DMA コントローラー	MDMAC	ユニット A	-	○	-	0x400A4000
高精度非同期シリアル通信回路	FUART	ch 0	-	○	-	0x400A8000
		ch 1				0x400A9000
12 ビットアナログデジタルコンバーター	ADC	ユニット A	-	○	-	0x400BA000
8 ビットデジタルアナログコンバーター	DAC	ch 0	-	○	-	0x400BC800
		ch 1				0x400BC900

表 2.2 レジスターベースアドレスタイプ (2/3)

周辺機能			ベースアドレスタイプ (○: 該当、-: 非該当)			Base address
			TYPE1	TYPE2	TYPE3	
32 ビットタイマーイベントカウンタ	T32A	ch 0	-	○	-	0x400C1000
		ch 1				0x400C1400
		ch 2				0x400C1800
		ch 3				0x400C1C00
		ch 4				0x400C2000
		ch 5				0x400C2400
		ch 6				0x400C2800
		ch 7				0x400C2C00
		ch 8				0x400C3000
		ch 9				0x400C3400
		ch 10				0x400C3800
		ch 11				0x400C3C00
		ch 12				0x400C4000
		ch 13				0x400C4400
		ch 14				0x400C4800
		ch 15				0x400C4C00
シリアルペリフェラルインターフェース	TSPI	ch 6	-	○	-	0x400CB800
		ch 7				0x400CBC00
		ch 8				0x400CC000
同期シリアルインターフェース	TSSI	ch 0	-	○	-	0x400CD000
		ch 1				0x400CD400
非同期シリアル通信回路	UART	ch 0	-	○	-	0x400CE000
		ch 1				0x400CE400
		ch 2				0x400CE800
		ch 3				0x400CEC00
		ch 4				0x400CF000
		ch 5				0x400CF400
I ² S インターフェース	I2S	ch 0	-	○	-	0x400D0000
		ch 1				0x400D0800
I ² C インターフェース	I2C	ch 0	-	○	-	0x400D1000
		ch 1				0x400D2000
		ch 2				0x400D3000
		ch 3				0x400D4000
		ch 4				0x400D5000
I ² C インターフェース バージョン A	EI2C	ch 0	-	○	-	0x400D8000
		ch 1				0x400D9000
		ch 2				0x400DA000
		ch 3				0x400DB000
		ch 4				0x400DC000
FIR 計算回路	FIR	-	-	○	-	0x400DD000

表 2.3 レジスターベースアドレスタイプ (3/3)

周辺機能			ベースアドレスタイプ (○: 該当、-: 非該当)			Base address
			TYPE1	TYPE2	TYPE3	
トリミング回路	TRM	-	-	○	-	0x400E3100
周波数検知回路	OFD	-	-	○	-	0x400E4000
リアルタイムクロック	RTC	-	-	○	-	0x400E4800
CEC 制御回路	CEC	ch 0	-	○	-	0x400E8000
リモコン受信回路	RMC	ch 0	-	○	-	0x400E8100
		ch 1				0x400E8200
アドバンスプログラムブルモーター制御回路	A-PMD	ch 0	-	○	-	0x400E9000
インターバルセンサー検知回路	ISD	ユニット A	-	○	-	0x400F0000
		ユニット B				0x400F0100
		ユニット C				0x400F0200
Universal Serial Bus	USB	ユニット A	○	-	-	0x40100000
		ユニット B				0x40140000
フラッシュメモリー	FLASH	-	○	-	-	0x5DFF0000

上記のベースアドレスタイプを参照し、各周辺機能の開発を行ってください。

2.2. トリガーセクター(TRGSEL)

トリガーセクター(TRGSEL)は、周辺機能、ポートなどから入力された複数のトリガーから、1つのトリガーを選択し周辺機能にトリガー信号を出力する回路です。

8本のトリガーから[TSEL0CRn]<INSELm>で選択されたトリガーを、接続先の周辺機能に出力します。

図 2.1 は、TSPI、UART、I2C、T32A からのトリガー信号が、TRGSEL 経由で DMA コントローラーに接続されている例です。[TSEL0CR0]<INSEL0>で入力トリガー選択、エッジ検出の許可/禁止とエッジ検出条件の設定および出力トリガーの許可/禁止制御を行います。

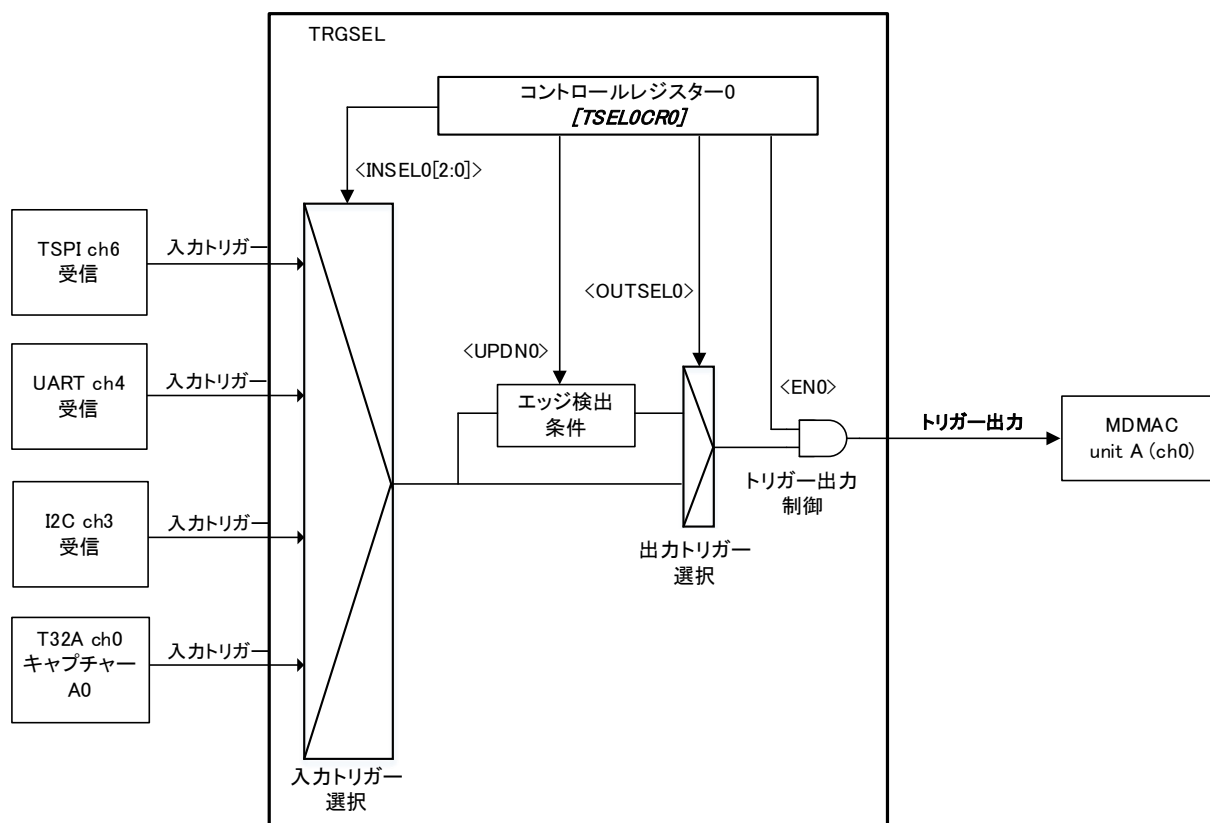


図 2.1 TRGSEL接続例

2.2.1. TRGSEL と製品対応

TMPM4N グループ(1)の TRGSEL は、15 本の制御レジスター([TSEL0CR0] ~ [TSEL0CR14])で構成されており 57 本のトリガーを制御できます。

下記の表にコントロールレジスターと接続先および対応製品を示します。

表 2.4 製品別TRGSEL対応一覧 (1/7)

レジスター	Bit symbol	接続先	入力トリガー	製品対応 (O: あり、×: なし)		
				M4NR	M4NQ	M4NN
[TSEL0CR0]	INSEL0[2: 0]	MDMAC ユニット A ch0	TSPI ch6 受信 DMA 要求	○	○	×
			UART ch4 受信 DMA 要求	○	○	×
			I2C ch3 受信 DMA 要求	○	○	×
			T32A ch0 DMA 要求 キャプチャA0	○	○	○
			EI2C ch3 受信 DMA 要求	○	○	×
			I2S ch0 受信 DMA 要求	○	○	○
	INSEL1[2: 0]	MDMAC ユニット A ch1	TSPI ch6 送信 DMA 要求	○	○	×
			UART ch4 送信 DMA 要求	○	○	×
			I2C ch3 送信 DMA 要求	○	○	×
			T32A ch0 DMA 要求 キャプチャC0	○	○	○
			EI2C ch3 送信 DMA 要求	○	○	×
			I2S ch0 送信 DMA 要求	○	○	○
	INSEL2[2: 0]	MDMAC ユニット A ch2	TSPI ch7 受信 DMA 要求	○	○	×
			FUART ch1 受信 DMA 要求	○	○	×
			I2C ch4 受信 DMA 要求	○	○	×
			EI2C ch4 受信 DMA 要求	○	○	×
			I2S ch1 受信 DMA 要求	○	○	○
	INSEL3[2: 0]	MDMAC ユニット A ch3	TSPI ch7 送信 DMA 要求	○	○	×
			FUART ch1 送信 DMA 要求	○	○	×
			I2C ch4 送信 DMA 要求	○	○	×
			EI2C ch4 送信 DMA 要求	○	○	×
			I2S ch1 送信 DMA 要求	○	○	○
[TSEL0CR1]	INSEL4[2: 0]	MDMAC ユニット A ch4	TSPI ch8 受信 DMA 要求	○	×	×
			T32A ch0 DMA 要求 レジスターA1 一致	○	○	○
			T32A ch0 DMA 要求 レジスターC1 一致	○	○	○
			FIR 入力データライト要求	○	○	○
	INSEL5[2: 0]	MDMAC ユニット A ch5	TSPI ch8 送信 DMA 要求	○	×	×
			T32A ch0 DMA 要求 レジスターB1 一致	○	○	○
			T32A ch0 DMA 要求 キャプチャB0	○	○	○
			FIR 演算結果データリード要求	○	○	○
	INSEL6[2: 0]	MDMAC ユニット A ch6	T32A ch1 DMA 要求 レジスターA1 一致	○	○	○
			T32A ch1 DMA 要求 レジスターC1 一致	○	○	○
			T32A ch1 DMA 要求 キャプチャA0	○	○	○
			T32A ch1 DMA 要求 キャプチャC0	○	○	○
	INSEL7[2: 0]	MDMAC ユニット A ch7	T32A ch1 DMA 要求 レジスターB1 一致	○	○	○
			T32A ch1 DMA 要求 キャプチャB0	○	○	○
			UART ch0 受信 DMA 要求	○	○	○
			I2C ch0 受信 DMA 要求	○	○	○
			EI2C ch0 受信 DMA 要求	○	○	○

表 2.5 製品別TRGSEL対応一覧 (2/7)

レジスター	Bit symbol	接続先	入力トリガー	製品対応 (O: あり, ×: なし)		
				M4NR	M4NQ	M4NN
[TSEL0CR2]	INSEL8[2: 0]	MDMAC ユニット A ch8	T32A ch2 DMA 要求 レジスターA1 一致	○	○	○
			T32A ch2 DMA 要求 レジスターC1 一致	○	○	○
			T32A ch2 DMA 要求 キャプチャーA0	○	○	○
			T32A ch2 DMA 要求 キャプチャーC0	○	○	○
	INSEL9[2: 0]	MDMAC ユニット A ch9	T32A ch2 DMA 要求 レジスターB1 一致	○	○	○
			T32A ch2 DMA 要求 キャプチャーB0	○	○	○
			UART ch0 送信 DMA 要求	○	○	○
			I2C ch0 送信 DMA 要求	○	○	○
			EI2C ch0 送信 DMA 要求	○	○	○
	INSEL10[2: 0]	MDMAC ユニット A ch10	T32A ch3 DMA 要求 レジスターA1 一致	○	○	○
			T32A ch3 DMA 要求 レジスターC1 一致	○	○	○
			T32A ch3 DMA 要求 キャプチャーA0	○	○	○
			T32A ch3 DMA 要求 キャプチャーC0	○	○	○
	INSEL11[2: 0]	MDMAC ユニット A ch11	T32A ch3 DMA 要求 レジスターB1 一致	○	○	○
			T32A ch3 DMA 要求 キャプチャーB0	○	○	○
			UART ch1 受信 DMA 要求	○	○	○
			I2C ch1 受信 DMA 要求	○	○	○
			EI2C ch1 受信 DMA 要求	○	○	○
[TSEL0CR3]	INSEL12[2: 0]	MDMAC ユニット A ch12	T32A ch4 DMA 要求 レジスターA1 一致	○	○	○
			T32A ch4 DMA 要求 レジスターC1 一致	○	○	○
			T32A ch4 DMA 要求 キャプチャーA0	○	○	○
			T32A ch4 DMA 要求 キャプチャーC0	○	○	○
	INSEL13[2: 0]	MDMAC ユニット A ch13	T32A ch4 DMA 要求 レジスターB1 一致	○	○	○
			T32A ch4 DMA 要求 キャプチャーB0	○	○	○
			UART ch1 送信 DMA 要求	○	○	○
			I2C ch1 送信 DMA 要求	○	○	○
			EI2C ch1 送信 DMA 要求	○	○	○
	INSEL14[2: 0]	MDMAC ユニット A ch14	T32A ch5 DMA 要求 レジスターA1 一致	○	○	○
			T32A ch5 DMA 要求 レジスターC1 一致	○	○	○
			T32A ch5 DMA 要求 キャプチャーA0	○	○	○
			T32A ch5 DMA 要求 キャプチャーC0	○	○	○
	INSEL15[2: 0]	MDMAC ユニット A ch15	T32A ch5 DMA 要求 レジスターB1 一致	○	○	○
			T32A ch5 DMA 要求 キャプチャーB0	○	○	○
			FUART ch0 送信 DMA 要求	○	○	○
			I2C ch2 送信 DMA 要求	○	○	○
			EI2C ch2 送信 DMA 要求	○	○	○

表 2.6 製品別TRGSEL対応一覧 (3/7)

レジスター	Bit symbol	接続先	入力トリガー	製品対応 (O: あり、×: なし)		
				M4NR	M4NQ	M4NN
[TSEL0CR4]	INSEL16[2:0]	MDMAC ユニット A ch16	T32A ch6 DMA 要求 レジスターA1 一致	○	○	○
			T32A ch6 DMA 要求 レジスターC1 一致	○	○	○
			T32A ch6 DMA 要求 キャプチャーA0	○	○	○
			T32A ch6 DMA 要求 キャプチャーC0	○	○	○
	INSEL17[2:0]	MDMAC ユニット A ch17	T32A ch6 DMA 要求 レジスターB1 一致	○	○	○
			T32A ch6 DMA 要求 キャプチャーB0	○	○	○
			FUART ch0 受信 DMA 要求	○	○	○
			I2C ch2 受信 DMA 要求	○	○	○
			EI2C ch2 受信 DMA 要求	○	○	○
	INSEL18[2:0]	MDMAC ユニット A ch18	T32A ch7 DMA 要求 レジスターA1 一致	○	○	○
			T32A ch7 DMA 要求 レジスターC1 一致	○	○	○
			T32A ch7 DMA 要求 キャプチャーA0	○	○	○
			T32A ch7 DMA 要求 キャプチャーC0	○	○	○
			UART ch0 受信 DMA 要求	○	○	○
	INSEL19[2:0]	MDMAC ユニット A ch19	T32A ch7 DMA 要求 レジスターB1 一致	○	○	○
			T32A ch7 DMA 要求 キャプチャーB0	○	○	○
			UART ch2 受信 DMA 要求	○	○	○
			ADC ユニット A 汎用トリガーDMA 要求	○	○	○
			TSSI ch0 受信 DMA 要求	○	○	○
[TSEL0CR5]	INSEL20[2:0]	MDMAC ユニット A ch20	T32A ch8 DMA 要求 レジスターA1 一致	○	○	○
			T32A ch8 DMA 要求 レジスターC1 一致	○	○	○
			T32A ch8 DMA 要求 キャプチャーA0	○	○	○
			T32A ch8 DMA 要求 キャプチャーC0	○	○	○
			UART ch0 送信 DMA 要求	○	○	○
	INSEL21[2:0]	MDMAC ユニット A ch21	T32A ch8 DMA 要求 レジスターB1 一致	○	○	○
			T32A ch8 DMA 要求 キャプチャーB0	○	○	○
			UART ch2 送信 DMA 要求	○	○	○
			ADC ユニット A 最優先 DMA 要求	○	○	○
			TSSI ch0 送信 DMA 要求	○	○	○
	INSEL22[2:0]	MDMAC ユニット A ch22	T32A ch9 DMA 要求 レジスターA1 一致	○	○	○
			T32A ch9 DMA 要求 レジスターC1 一致	○	○	○
			T32A ch9 DMA 要求 キャプチャーA0	○	○	○
			T32A ch9 DMA 要求 キャプチャーC0	○	○	○
			UART ch1 受信 DMA 要求	○	○	○
	INSEL23[2:0]	MDMAC ユニット A ch23	T32A ch9 DMA 要求 レジスターB1 一致	○	○	○
			T32A ch9 DMA 要求 キャプチャーB0	○	○	○
			T32A ch9 DMA 要求 キャプチャーA1	○	○	○
			T32A ch9 DMA 要求 キャプチャーB1	○	○	○
			UART ch1 送信 DMA 要求	○	○	○

表 2.7 製品別TRGSEL対応一覧 (4/7)

レジスター	Bit symbol	接続先	入力トリガー	製品対応 (O: あり、×: なし)		
				M4NR	M4NQ	M4NN
[TSEL0CR6]	INSEL24[2:0]	MDMAC ユニット A ch24	T32A ch10 DMA 要求 レジスターA1 一致	O	O	O
			T32A ch10 DMA 要求 レジスターC1 一致	O	O	O
			T32A ch10 DMA 要求 キャプチャーA0	O	O	O
			T32A ch10 DMA 要求 キャプチャーC0	O	O	O
			UART ch2 受信 DMA 要求	O	O	O
	INSEL25[2:0]	MDMAC ユニット A ch25	T32A ch10 DMA 要求 レジスターB1 一致	O	O	O
			T32A ch10 DMA 要求 キャプチャーB0	O	O	O
			T32A ch10 DMA 要求 キャプチャーA1	O	O	O
			T32A ch10 DMA 要求 キャプチャーB1	O	O	O
			UART ch2 送信 DMA 要求	O	O	O
	INSEL26[2:0]	MDMAC ユニット A ch26	T32A ch11 DMA 要求 レジスターA1 一致	O	O	O
			T32A ch11 DMA 要求 レジスターC1 一致	O	O	O
			T32A ch11 DMA 要求 キャプチャーA0	O	O	O
			T32A ch11 DMA 要求 キャプチャーC0	O	O	O
			TSSI ch1 受信 DMA 要求	O	×	×
	INSEL27[2:0]	MDMAC ユニット A ch27	T32A ch11 DMA 要求 レジスターB1 一致	O	O	O
			T32A ch11 DMA 要求 キャプチャーB0	O	O	O
			T32A ch11 DMA 要求 キャプチャーA1	O	O	O
			T32A ch11 DMA 要求 キャプチャーB1	O	O	O
			TSSI ch1 送信 DMA 要求	O	×	×
[TSEL0CR7]	INSEL28[2:0]	MDMAC ユニット A ch28	T32A ch12 DMA 要求 レジスターA1 一致	O	O	O
			T32A ch12 DMA 要求 レジスターC1 一致	O	O	O
			UART ch3 受信 DMA 要求	O	O	×
			T32A ch12 DMA 要求 キャプチャーA0	O	O	O
			T32A ch12 DMA 要求 キャプチャーC0	O	O	O
	INSEL29[2:0]	MDMAC ユニット A ch29	T32A ch12 DMA 要求 レジスターB1 一致	O	O	O
			UART ch3 送信 DMA 要求	O	O	×
			A-PMD ch0 PWM 割り込み	O	O	O
			T32A ch12 DMA 要求 キャプチャーB0	O	O	O
	INSEL30[2:0]	MDMAC ユニット A ch30	T32A ch13 DMA 要求 レジスターA1 一致	O	O	O
			T32A ch13 DMA 要求 レジスターC1 一致	O	O	O
			UART ch5 受信 DMA 要求	O	×	×
			T32A ch13 DMA 要求 キャプチャーA0	O	O	O
			T32A ch13 DMA 要求 キャプチャーC0	O	O	O
	INSEL31[2:0]	MDMAC ユニット A ch31	T32A ch13 DMA 要求 レジスターB1 一致	O	O	O
			UART ch5 送信 DMA 要求	O	×	×
			PT3 端子(TRGIN2)	O	O	O
			T32A ch13 DMA 要求 キャプチャーB0	O	O	O

表 2.8 製品別TRGSEL対応一覧 (5/7)

レジスター	Bit symbol	接続先	入力トリガー	製品対応 (O: あり、×: なし)		
				M4NR	M4NQ	M4NN
[TSEL0CR8]	INSEL32[2:0]	ADC ユニット A	A-PMD ch0 ADC 同期トリガー出力 0	○	○	○
			A-PMD ch0 ADC 同期トリガー出力 1	○	○	○
			A-PMD ch0 ADC 同期トリガー出力 2	○	○	○
			A-PMD ch0 ADC 同期トリガー出力 3	○	○	○
			TRGSEL37 出力(INSEL37)	○	○	○
			TRGSEL38 出力(INSEL38)	○	○	○
	INSEL33[2:0]	ADC ユニット A	A-PMD ch0 ADC 同期トリガー出力 0	○	○	○
			A-PMD ch0 ADC 同期トリガー出力 1	○	○	○
			A-PMD ch0 ADC 同期トリガー出力 2	○	○	○
			A-PMD ch0 ADC 同期トリガー出力 3	○	○	○
			TRGSEL37 出力(INSEL37)	○	○	○
			TRGSEL38 出力(INSEL38)	○	○	○
	INSEL34[2:0]	T32A ch8 タイマーA	ELOSC 低速クロック	○	○	○
			TSPI ch8 送信完了トリガー	○	×	×
			TSPI ch8 受信完了トリガー	○	×	×
	INSEL35[2:0]	T32A ch13 タイマーA	RMC ch0 トリガー出力	○	○	○
			T32A ch2 タイマーレジスターA0 一致トリガー	○	○	○
[TSEL0CR9]	INSEL36[2:0]	T32A ch13 タイマーB	RMC ch1 トリガー出力	○	○	×
			T32A ch2 タイマーレジスターA0 一致トリガー	○	○	○
	INSEL37[2:0]	TRGSEL32、TRGSEL33	T32A ch9 タイマーレジスターA1 一致トリガー	○	○	○
			T32A ch9 タイマーレジスターB1 一致トリガー	○	○	○
			T32A ch10 タイマーレジスターA1 一致トリガー	○	○	○
			T32A ch10 タイマーレジスターB1 一致トリガー	○	○	○
			T32A ch11 タイマーレジスターA1 一致トリガー	○	○	○
			T32A ch11 タイマーレジスターB1 一致トリガー	○	○	○
			PG3 端子(TRGIN0)	○	○	○
			PL7 端子(TRGIN1)	○	×	×
	INSEL38[2:0]	TRGSEL32、TRGSEL33	T32A ch9 タイマーレジスターA1 一致トリガー	○	○	○
			T32A ch9 タイマーレジスターB1 一致トリガー	○	○	○
			T32A ch10 タイマーレジスターA1 一致トリガー	○	○	○
			T32A ch10 タイマーレジスターB1 一致トリガー	○	○	○
			T32A ch11 タイマーレジスターA1 一致トリガー	○	○	○
			T32A ch11 タイマーレジスターB1 一致トリガー	○	○	○
			PG3 端子(TRGIN0)	○	○	○
			PL7 端子(TRGIN1)	○	×	×
	INSEL39[2:0]	T32A ch5 タイマーA	T32A ch9 タイマーレジスターA0 一致トリガー	○	○	○
			T32A ch13 タイマーレジスターA0 一致トリガー	○	○	○
			TSPI ch5 送信完了トリガー	○	○	×
			UART ch5 送信完了トリガー	○	×	×

表 2.9 製品別TRGSEL対応一覧 (6/7)

レジスター	Bit symbol	接続先	入力トリガー	製品対応 (O: あり、×: なし)		
				M4NR	M4NQ	M4NN
[TSEL0CR10]	INSEL40[2:0]	T32A ch5 タイマーB	T32A ch9 タイマーレジスターA0 一致トリガー	O	O	O
			T32A ch13 タイマーレジスターA0 一致トリガー	O	O	O
			TSPI ch5 受信完了トリガー	O	O	×
			UART ch5 受信完了トリガー	O	×	×
			T32A ch5 タイマーレジスターA0 一致トリガー	O	O	O
	INSEL41[2:0]	T32A ch6 タイマーA	T32A ch10 タイマーレジスターA0 一致トリガー	O	O	O
			T32A ch13 タイマーレジスターB0 一致トリガー	O	O	O
			TSPI ch6 送信完了トリガー	O	O	×
	INSEL42[2:0]	T32A ch6 タイマーB	T32A ch10 タイマーレジスターA0 一致トリガー	O	O	O
			T32A ch13 タイマーレジスターB0 一致トリガー	O	O	O
			TSPI ch6 受信完了トリガー	O	O	×
			T32A ch6 タイマーレジスターA0 一致トリガー	O	O	O
	INSEL43[2:0]	T32A ch7 タイマーA	T32A ch11 タイマーレジスターA0 一致トリガー	O	O	O
			T32A ch13 タイマーレジスターB0 一致トリガー	O	O	O
			TSPI ch7 送信完了トリガー	O	O	×
[TSEL0CR11]	INSEL44[2:0]	T32A ch7 タイマーB	T32A ch11 タイマーレジスターA0 一致トリガー	O	O	O
			T32A ch13 タイマーレジスターB0 一致トリガー	O	O	O
			TSPI ch7 受信完了トリガー	O	O	×
			T32A ch7 タイマーレジスターA0 一致トリガー	O	O	O
	INSEL45[2:0]	T32A ch8 タイマーB	T32A ch4 タイマー出力 B	O	O	O
			T32A ch8 タイマー出力 A	O	O	O
	INSEL46[2:0]	T32A ch0 タイマーA	TSPI ch0 送信完了トリガー	O	O	O
			UART ch0 送信完了トリガー	O	O	O
			T32A ch12 タイマーレジスターA0 一致トリガー	O	O	O
	INSEL47[2:0]	T32A ch0 タイマーB	TSPI ch0 受信完了トリガー	O	O	O
			UART ch0 受信完了トリガー	O	O	O
			T32A ch12 タイマーレジスターA0 一致トリガー	O	O	O
			T32A ch0 タイマーレジスターA0 一致トリガー	O	O	O

表 2.10 製品別TRGSEL対応一覧 (7/7)

レジスター	Bit symbol	接続先	入力トリガー	製品対応 (O: あり、×: なし)		
				M4NR	M4NQ	M4NN
[TSEL0CR12]	INSEL48[2:0]	T32A ch1 タイマーA	TSPI ch1 送信完了トリガー	O	O	O
			UART ch1 送信完了トリガー	O	O	O
			T32A ch12 タイマーレジスターA0 一致トリガー	O	O	O
	INSEL49[2:0]	T32A ch1 タイマーB	TSPI ch1 受信完了トリガー	O	O	O
			UART ch1 受信完了トリガー	O	O	O
			T32A ch12 タイマーレジスターA0 一致トリガー	O	O	O
			T32A ch1 タイマーレジスターA0 一致トリガー	O	O	O
	INSEL50[2:0]	T32A ch2 タイマーA	TSPI ch2 送信完了トリガー	O	O	O
			UART ch2 送信完了トリガー	O	O	O
			T32A ch12 タイマーレジスターB0 一致トリガー	O	O	O
	INSEL51[2:0]	T32A ch2 タイマーB	TSPI ch2 受信完了トリガー	O	O	O
			UART ch2 受信完了トリガー	O	O	O
			T32A ch12 タイマーレジスターB0 一致トリガー	O	O	O
			T32A ch2 タイマーレジスターA0 一致トリガー	O	O	O
[TSEL0CR13]	INSEL52[2:0]	T32A ch3 タイマーA	TSPI ch3 送信完了トリガー	O	O	O
			T32A ch12 タイマーレジスターB0 一致トリガー	O	O	O
			UART ch3 送信完了トリガー	O	O	×
	INSEL53[2:0]	T32A ch3 タイマーB	TSPI ch3 受信完了トリガー	O	O	O
			T32A ch12 タイマーレジスターB0 一致トリガー	O	O	O
			UART ch3 受信完了トリガー	O	O	×
			T32A ch3 タイマーレジスターA0 一致トリガー	O	O	O
	INSEL54[2:0]	T32A ch4 タイマーA	TSPI ch4 送信完了トリガー	O	O	O
			T32A ch13 タイマーレジスターA0 一致トリガー	O	O	O
			UART ch4 送信完了トリガー	O	O	×
	INSEL55[2:0]	T32A ch4 タイマーB	TSPI ch4 受信完了トリガー	O	O	O
			T32A ch13 タイマーレジスターA0 一致トリガー	O	O	O
			UART ch4 受信完了トリガー	O	O	×
			T32A ch4 タイマーレジスターA0 一致トリガー	O	O	O
[TSEL0CR14]	INSEL56[2:0]	FIR	I2S ch0 受信 FIFO しきい値信号	O	O	O
			I2S ch0 送信 FIFO しきい値信号	O	O	O
			I2S ch1 受信 FIFO しきい値信号	O	O	O
			I2S ch1 送信 FIFO しきい値信号	O	O	O

2.2.2. 使用方法と設定

TRGSEL を使用する場合は、fsys 供給停止レジスターA (**[CGFSYSENA]**、**[CGFSYSMENA]**)、fsys 供給停止レジスターB (**[CGFSYSENB]**、**[CGFSYSMENB]**)、fsys 供給停止レジスターC (**[CGFSYSMENC]**)、fc 供給停止レジスター(**[CGFCEN]**)で該当するクロックイネーブルビットを "1" (クロック供給)に設定してください。

該当レジスター、ビット位置は製品によって異なります。そのため製品によって、レジスターが存在しない場合があります。詳細はリファレンスマニュアル「クロック制御と動作モード」を参照してください。

TRGSEL の設定は以下の順序で行ってください。

(1) 入力トリガーの選択(**[TSEL0CRn]**<INSELm>)

TRGSEL の接続先に対し、入力トリガーの選択を行います。

入力トリガーの選択はコントロールレジスターの入力トリガー選択ビット(**[TSEL0CRn]**<INSELm>)で設定してください。(n: レジスター番号、m: トリガー番号)

(2) エッジ検出条件の選択(**[TSEL0CRn]**<UPDNm>)

選択された入力トリガー信号に対し、立ち上がりエッジまたは立ち下がりエッジの検出選択を行います。

エッジ検出条件の選択はコントロールレジスターのエッジ検出条件ビット(**[TSEL0CRn]**<UPDNm>)で設定してください。

エッジ検出が必要なトリガー信号は以下となります。

- 外部トリガー入力 (TRGIN0、TRGIN1、TRGIN2)
- ELOSC 低速クロック(fs)
- RMC トリガー出力 (RMC0TRG、RMC1TRG)

(3) トリガー出力の選択 (**[TSEL0CRn]**<OUTSELm>)

出力するトリガー信号に対し、エッジ検出なし出力またはエッジ検出あり出力の選択を行います。

トリガー出力の選択はコントロールレジスターのトリガー出力の選択ビット(**[TSEL0CRn]**<OUTSELm>)で設定してください。

(4) トリガー出力制御の選択 (**[TSEL0CRn]**<ENm>)

選択したトリガー信号の出力許可または禁止を選択します。

出力許可または禁止の選択はコントロールレジスターのトリガー出力制御ビット(**[TSEL0CRn]**<ENm>)を設定してください。**[TSEL0CRn]**<ENm>を"1" に設定するとトリガー出力が許可になります。

2.2.3. レジスター一覧

制御レジスターとアドレスは以下のとおりです。

周辺機能		チャンネル/ユニット	ベースアドレス
			TYPE2
トリガーセクター	TRGSEL	ch0	0x400A0400

レジスター名		アドレス(Base+)
コントロールレジスター0	[TSEL0CR0]	0x0000
コントロールレジスター1	[TSEL0CR1]	0x0004
コントロールレジスター2	[TSEL0CR2]	0x0008
コントロールレジスター3	[TSEL0CR3]	0x000C
コントロールレジスター4	[TSEL0CR4]	0x0010
コントロールレジスター5	[TSEL0CR5]	0x0014
コントロールレジスター6	[TSEL0CR6]	0x0018
コントロールレジスター7	[TSEL0CR7]	0x001C
コントロールレジスター8	[TSEL0CR8]	0x0020
コントロールレジスター9	[TSEL0CR9]	0x0024
コントロールレジスター10	[TSEL0CR10]	0x0028
コントロールレジスター11	[TSEL0CR11]	0x002C
コントロールレジスター12	[TSEL0CR12]	0x0030
コントロールレジスター13	[TSEL0CR13]	0x0034
コントロールレジスター14	[TSEL0CR14]	0x0038

2.2.4. レジスター詳細

2.2.4.1. [TSEL0CR0] (コントロールレジスター0)

Bit	Bit symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30: 28	INSEL3[2: 0]	000	R/W	入力トリガーの選択(MDMAC ユニット A ch3) 000: TSPI ch7 送信 DMA 要求(TSPI7TX_DMA) 001: FUART ch1 送信 DMA 要求(FUART1TX_DMAREQ) 010: I2C ch4 送信 DMA リクエスト(I2C4TXDMAREQ) 011: EI2C ch4 送信 DMA リクエスト(I2C4ATXDMAREQ) 100: I2S ch1 送信 DMA リクエスト(I2S1TXDMAREQ) Others: Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN3	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL3	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN3	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22: 20	INSEL2[2: 0]	000	R/W	入力トリガーの選択(MDMAC ユニット A ch2) 000: TSPI ch7 受信 DMA 要求(TSPI7RX_DMA) 001: FUART ch1 受信 DMA 要求(FUART1RX_DMAREQ) 010: I2C ch4 受信 DMA リクエスト(I2C4RXDMAREQ) 011: EI2C ch4 受信 DMA リクエスト(I2C4ARXDMAREQ) 100: I2S ch1 受信 DMA リクエスト(I2S1RXDMAREQ) Others: Reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN2	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL2	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN2	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。
14: 12	INSEL1[2: 0]	000	R/W	入力トリガーの選択(MDMAC ユニット A ch1) 000: TSPI ch6 送信 DMA 要求(TSPI6TX_DMA) 001: UART ch4 送信 DMA 要求(UART4TX_DMAREQ) 010: I2C ch3 送信 DMA リクエスト(I2C3TXDMAREQ) 011: T32A ch0 DMA 要求キャプチャーC0 (T32A00DMAREQCAPC0) 100: EI2C ch3 送信 DMA リクエスト(I2C3ATXDMAREQ) 101: I2S ch0 送信 DMA リクエスト(I2S0TXDMAREQ) Others: Reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN1	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出

Bit	Bit symbol	リセット後	Type	機能
9	OUTSEL1	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN1	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6: 4	INSEL0[2: 0]	000	R/W	入力トリガーの選択(MDMAC ユニット A ch0) 000: TSPI ch6 受信 DMA 要求(TSPI6RX_DMA) 001: UART ch4 受信 DMA 要求(UART4RX_DMAREQ) 010: I2C ch3 受信 DMA リクエスト(I2C3RXDMAREQ) 011: T32A ch0 DMA 要求キャプチャーA0 (T32A00DMAREQCAPA0) 100: EI2C ch3 受信 DMA リクエスト(I2C3ARXDMAREQ) 101: I2S ch0 受信 DMA リクエスト(I2S0RXDMAREQ) Others: Reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN0	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL0	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN0	0	R/W	トリガー出力制御 0: 禁止 1: 許可

2.2.4.2. [TSEL0CR1] (コントロールレジスター1)

Bit	Bit symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30: 28	INSEL7[2: 0]	000	R/W	入力トリガーの選択(MDMAC ユニット A ch7) 000: T32A ch1 DMA 要求レジスターB1 一致(T32A01DMAREQCMPB1) 001: T32A ch1 DMA 要求キャプチャーB0 (T32A01DMAREQCAPB0) 010: UART ch0 受信 DMA 要求(UART0RX_DMAREQ) 011: I2C ch0 受信 DMA リクエスト(I2C0RXDMAREQ) 100: EI2C ch0 受信 DMA リクエスト(I2C0ARXDMAREQ) Others: Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN7	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL7	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN7	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22: 20	INSEL6[2: 0]	000	R/W	入力トリガーの選択(MDMAC ユニット A ch6) 000: T32A ch1 DMA 要求レジスターA1 一致(T32A01DMAREQCPA1) 001: T32A ch1 DMA 要求レジスターC1 一致(T32A01DMAREQCMPC1) 010: T32A ch1 DMA 要求キャプチャーA0 (T32A01DMAREQCAPA0) 011: T32A ch1 DMA 要求キャプチャーC0 (T32A01DMAREQCAPC0) Others: Reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN6	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL6	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN6	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。
14: 12	INSEL5[2: 0]	000	R/W	入力トリガーの選択(MDMAC ユニット A ch5) 000: TSPI ch8 送信 DMA 要求(TSPI8TX_DMA) 001: T32A ch0 DMA 要求レジスターB1 一致(T32A00DMAREQCMPB1) 010: T32A ch0 DMA 要求キャプチャーB0 (T32A00DMAREQCAPB0) 011: FIR 演算結果データリード要求(FIRDATARDDMAREQ) Others: Reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN5	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL5	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN5	0	R/W	トリガー出力制御 0: 禁止 1: 許可

Bit	Bit symbol	リセット後	Type	機能
7	-	0	R	リードすると"0"が読めます。
6: 4	INSEL4[2: 0]	000	R/W	入力トリガーの選択(MDMAC ユニット A ch4) 000: TSPI ch8 受信 DMA 要求(TSPI8RX_DMA) 001: T32A ch0 DMA 要求レジスターA1 一致(T32A00DMAREQCMPA1) 010: T32A ch0 DMA 要求レジスターC1 一致(T32A00DMAREQCMPC1) 011: FIR 入力データライト要求(FIRDATAWRDMAREQ) Others : Reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN4	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL4	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN4	0	R/W	トリガー出力制御 0: 禁止 1: 許可

2.2.4.3. [TSEL0CR2] (コントロールレジスター2)

Bit	Bit symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30: 28	INSEL11[2: 0]	000	R/W	入力トリガーの選択(MDMAC ユニット A ch11) 000: T32A ch3 DMA 要求レジスターB1 一致(T32A03DMAREQCMPB1) 001: T32A ch3 DMA 要求キャプチャーB0 (T32A03DMAREQCAPB0) 010: UART ch1 受信 DMA 要求(UART1RX_DMAREQ) 011: I2C ch1 受信 DMA リクエスト(I2C1RXDMAREQ) 100: EI2C ch1 受信 DMA リクエスト(I2C1ARXDMAREQ) Others : Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN11	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL11	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN11	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22: 20	INSEL10[2: 0]	000	R/W	入力トリガーの選択(MDMAC ユニット A ch10) 000: T32A ch3 DMA 要求レジスターA1 一致(T32A03DMAREQCMPA1) 001: T32A ch3 DMA 要求レジスターC1 一致(T32A03DMAREQCMPC1) 010: T32A ch3 DMA 要求キャプチャーA0 (T32A03DMAREQCAPA0) 011: T32A ch3 DMA 要求キャプチャーC0 (T32A03DMAREQCAPC0) Others : Reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN10	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL10	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN10	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。
14: 12	INSEL9[2: 0]	000	R/W	入力トリガーの選択(MDMAC ユニット A ch9) 000: T32A ch2 DMA 要求レジスターB1 一致(T32A02DMAREQCMPB1) 001: T32A ch2 DMA 要求キャプチャーB0 (T32A02DMAREQCAPB0) 010: UART ch0 送信 DMA 要求(UART0TX_DMAREQ) 011: I2C ch0 送信 DMA リクエスト(I2C0TXDMAREQ) 100: EI2C ch0 送信 DMA リクエスト(I2C0ATXDMAREQ) Others : Reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN9	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL9	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN9	0	R/W	トリガー出力制御 0: 禁止 1: 許可

Bit	Bit symbol	リセット後	Type	機能
7	-	0	R	リードすると"0"が読めます。
6: 4	INSEL8[2: 0]	000	R/W	入力トリガーの選択(MDMAC ユニット A ch8) 000: T32A ch2 DMA 要求レジスターA1 一致(T32A02DMAREQCMPA1) 001: T32A ch2 DMA 要求レジスターC1 一致(T32A02DMAREQCMPC1) 010: T32A ch2 DMA 要求キャプチャーA0 (T32A02DMAREQCAPA0) 011: T32A ch2 DMA 要求キャプチャーC0 (T32A02DMAREQCAPC0) Others : Reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN8	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL8	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN8	0	R/W	トリガー出力制御 0: 禁止 1: 許可

2.2.4.4. [TSEL0CR3] (コントロールレジスター3)

Bit	Bit symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30: 28	INSEL15[2: 0]	000	R/W	入力トリガーの選択(MDMAC ユニット A ch15) 000: T32A ch5 DMA 要求レジスターB1 一致(T32A05DMAREQCMPB1) 001: T32A ch5 DMA 要求キャプチャーB0 (T32A05DMAREQCAPB0) 010: FUART ch0 送信 DMA 要求(FUART0TX_DMAREQ) 011: I2C ch2 送信 DMA リクエスト(I2C2TXDMAREQ) 100: EI2C ch2 送信 DMA リクエスト(I2C2ATXDMAREQ) Others : Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN15	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL15	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN15	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22: 20	INSEL14[2: 0]	000	R/W	入力トリガーの選択(MDMAC ユニット A ch14) 000: T32A ch5 DMA 要求レジスターA1 一致(T32A05DMAREQCMPA1) 001: T32A ch5 DMA 要求レジスターC1 一致(T32A05DMAREQCMPC1) 010: T32A ch5 DMA 要求キャプチャーA0 (T32A05DMAREQCAPA0) 011: T32A ch5 DMA 要求キャプチャーC0 (T32A05DMAREQCAPC0) Others : Reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN14	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL14	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN14	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。
14: 12	INSEL13[2: 0]	000	R/W	入力トリガーの選択(MDMAC ユニット A ch13) 000: T32A ch4 DMA 要求レジスターB1 一致(T32A04DMAREQCMPB1) 001: T32A ch4 DMA 要求キャプチャーB0 (T32A04DMAREQCAPB0) 010: UART ch1 送信 DMA 要求(UART1TX_DMAREQ) 011: I2C ch1 送信 DMA リクエスト(I2C1TXDMAREQ) 100: EI2C ch1 送信 DMA リクエスト(I2C1ATXDMAREQ) Others : Reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN13	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL13	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN13	0	R/W	トリガー出力制御 0: 禁止 1: 許可

Bit	Bit symbol	リセット後	Type	機能
7	-	0	R	リードすると"0"が読めます。
6: 4	INSEL12[2: 0]	000	R/W	入力トリガーの選択(MDMAC ユニット A ch12) 000: T32A ch4 DMA 要求レジスターA1 一致(T32A04DMAREQCMPC1) 001: T32A ch4 DMA 要求レジスターC1 一致(T32A04DMAREQCMPC1) 010: T32A ch4 DMA 要求キャプチャーA0 (T32A04DMAREQCAPA0) 011: T32A ch4 DMA 要求キャプチャーC0 (T32A04DMAREQCAPC0) Others : Reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN12	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL12	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN12	0	R/W	トリガー出力制御 0: 禁止 1: 許可

2.2.4.5. [TSEL0CR4] (コントロールレジスター4)

Bit	Bit symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30: 28	INSEL19[2: 0]	000	R/W	入力トリガーの選択(MDMAC ユニット A ch19) 000: T32A ch7 DMA 要求レジスターB1 一致(T32A07DMAREQCMPB1) 001: T32A ch7 DMA 要求キャプチャーB0 (T32A07DMAREQCAPB0) 010: UART ch2 受信 DMA 要求(UART2RX_DMAREQ) 011: ADC ユニット A 汎用トリガーDMA 要求(ADATRG_DMAREQ) 100: TSSI ch0 受信 DMA 要求(TSSI1RXDMAREQ) Others : Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN19	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL19	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN19	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22: 20	INSEL18[2: 0]	000	R/W	入力トリガーの選択(MDMAC ユニット A ch18) 000: T32A ch7 DMA 要求レジスターA1 一致(T32A07DMAREQCMPA1) 001: T32A ch7 DMA 要求レジスターC1 一致(T32A07DMAREQCMPC1) 010: T32A ch7 DMA 要求キャプチャーA0 (T32A07DMAREQCAPA0) 011: T32A ch7 DMA 要求キャプチャーC0 (T32A07DMAREQCAPC0) 100: UART ch0 受信 DMA 要求(UART0RX_DMAREQ) Others : Reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN18	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL18	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN18	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。
14: 12	INSEL17[2: 0]	000	R/W	入力トリガーの選択(MDMAC ユニット A ch17) 000: T32A ch6 DMA 要求レジスターB1 一致(T32A06DMAREQCMPB1) 001: T32A ch6 DMA 要求キャプチャーB0 (T32A06DMAREQCAPB0) 010: FUART ch0 受信 DMA 要求(FUART0RX_DMAREQ) 011: I2C ch2 受信 DMA リクエスト(I2C2RXDMAREQ) 100: EI2C ch2 受信 DMA リクエスト(I2C2ARXDMAREQ) Others : Reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN17	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL17	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり

Bit	Bit symbol	リセット後	Type	機能
8	EN17	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6: 4	INSEL16[2: 0]	000	R/W	入力トリガーの選択(MDMAC ユニット A ch16) 000: T32A ch6 DMA 要求レジスターA1 一致(T32A06DMAREQCMPC1) 001: T32A ch6 DMA 要求レジスターC1 一致(T32A06DMAREQCMPC1) 010: T32A ch6 DMA 要求キャプチャーA0 (T32A06DMAREQCAPA0) 011: T32A ch6 DMA 要求キャプチャーC0 (T32A06DMAREQCAPC0) Others : Reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN16	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL16	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN16	0	R/W	トリガー出力制御 0: 禁止 1: 許可

2.2.4.6. [TSEL0CR5] (コントロールレジスター5)

Bit	Bit symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30: 28	INSEL23[2: 0]	000	R/W	入力トリガーの選択(MDMAC ユニット A ch23) 000: T32A ch9 DMA 要求レジスターB1 一致(T32A09DMAREQCMPB1) 001: T32A ch9 DMA 要求キャプチャーB0 (T32A09DMAREQCAPB0) 010: T32A ch9 DMA 要求キャプチャーA1 (T32A09DMAREQCAPA1) 011: T32A ch9 DMA 要求キャプチャーB1 (T32A09DMAREQCAPB1) 100: UART ch1 送信 DMA 要求(UART1TX_DMAREQ) Others: Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN23	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL23	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN23	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22: 20	INSEL22[2: 0]	000	R/W	入力トリガーの選択(MDMAC ユニット A ch22) 000: T32A ch9 DMA 要求レジスターA1 一致(T32A09DMAREQCMPA1) 001: T32A ch9 DMA 要求レジスターC1 一致(T32A09DMAREQCMPC1) 010: T32A ch9 DMA 要求キャプチャーA0 (T32A09DMAREQCAPA0) 011: T32A ch9 DMA 要求キャプチャーC0 (T32A09DMAREQCAPC0) 100: UART ch1 受信 DMA 要求(UART1RX_DMAREQ) Others : Reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN22	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL22	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN22	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。
14: 12	INSEL21[2: 0]	000	R/W	入力トリガーの選択(MDMAC ユニット A ch21) 000: T32A ch8 DMA 要求レジスターB1 一致(T32A08DMAREQCMPB1) 001: T32A ch8 DMA 要求キャプチャーB0 (T32A08DMAREQCAPB0) 010: UART ch2 送信 DMA 要求(UART2TX_DMAREQ) 011: ADC ユニット A 最優先 DMA 要求(ADAHP_DMAREQ) 100: TSSI ch0 送信 DMA 要求(TSSI0TXDMAREQ) Others : Reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN21	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL21	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり

Bit	Bit symbol	リセット後	Type	機能
8	EN21	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6: 4	INSEL20[2: 0]	000	R/W	入力トリガーの選択(MDMAC ユニット A ch20) 000: T32A ch8 DMA 要求レジスターA1 一致(T32A08DMAREQCMPC1) 001: T32A ch8 DMA 要求レジスターC1 一致(T32A08DMAREQCMPC1) 010: T32A ch8 DMA 要求キャプチャーA0 (T32A08DMAREQCAPA0) 011: T32A ch8 DMA 要求キャプチャーC0 (T32A08DMAREQCAPC0) 100: UART ch0 送信 DMA 要求(UART0TX_DMAREQ) Others : Reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN20	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL20	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN20	0	R/W	トリガー出力制御 0: 禁止 1: 許可

2.2.4.7. [TSEL0CR6] (コントロールレジスター6)

Bit	Bit symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30: 28	INSEL27[2: 0]	000	R/W	入力トリガーの選択(MDMAC ユニット A ch27) 000: T32A ch11 DMA 要求レジスターB1 一致(T32A11DMAREQCMPB1) 001: T32A ch11 DMA 要求キャプチャーB0 (T32A11DMAREQCAPB0) 010: T32A ch11 DMA 要求キャプチャーA1 (T32A11DMAREQCAPA1) 011: T32A ch11 DMA 要求キャプチャーB1 (T32A11DMAREQCAPB1) 100: TSSI ch1 送信 DMA 要求(TSSI1TXDMAREQ) Others : Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN27	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL27	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN27	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22: 20	INSEL26[2: 0]	000	R/W	入力トリガーの選択(MDMAC ユニット A ch26) 000: T32A ch11 DMA 要求レジスターA1 一致(T32A11DMAREQCMPA1) 001: T32A ch11 DMA 要求レジスターC1 一致(T32A11DMAREQCMPA1) 010: T32A ch11 DMA 要求キャプチャーA0 (T32A11DMAREQCAPA0) 011: T32A ch11 DMA 要求キャプチャーC0 (T32A11DMAREQCAPC0) 100: TSSI ch1 受信 DMA 要求(TSSI1RXDMAREQ) Others : Reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN26	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL26	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN26	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。
14: 12	INSEL25[2: 0]	000	R/W	入力トリガーの選択(MDMAC ユニット A ch25) 000: T32A ch10 DMA 要求レジスターB1 一致(T32A10DMAREQCMPB1) 001: T32A ch10 DMA 要求キャプチャーB0 (T32A10DMAREQCAPB0) 010: T32A ch10 DMA 要求キャプチャーA1 (T32A10DMAREQCAPA1) 011: T32A ch10 DMA 要求キャプチャーB1 (T32A10DMAREQCAPB1) 100: UART ch2 送信 DMA 要求(UART2TX_DMAREQ) Others : Reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN25	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL25	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり

Bit	Bit symbol	リセット後	Type	機能
8	EN25	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6: 4	INSEL24[2: 0]	000	R/W	入力トリガーの選択(MDMAC ユニット A ch24) 000: T32A ch10 DMA 要求レジスターA1 一致(T32A10DMAREQCMPC1) 001: T32A ch10 DMA 要求レジスターC1 一致(T32A10DMAREQCMPC1) 010: T32A ch10 DMA 要求キャプチャーA0 (T32A10DMAREQCAPA0) 011: T32A ch10 DMA 要求キャプチャーC0 (T32A10DMAREQCAPC0) 100: UART ch2 受信 DMA 要求(UART2RX_DMAREQ) Others : Reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN24	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL24	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN24	0	R/W	トリガー出力制御 0: 禁止 1: 許可

2.2.4.8. [TSEL0CR7] (コントロールレジスター7)

Bit	Bit symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30: 28	INSEL31[2: 0]	000	R/W	入力トリガーの選択(MDMAC ユニット A ch31) 000: T32A ch13 DMA 要求レジスターB1 一致(T32A13DMAREQCMPB1) 001: UART ch5 送信 DMA 要求(UART5TX_DMAREQ) 010: PT3 端子(TRGIN2) 011: T32A ch13 DMA 要求キャプチャーB0 (T32A13DMAREQCAPB0) Others : Reserved "010" (TRGIN2)を選択した場合は、<OUTSEL31>は"1" (エッジ検出あり)に設定してください。
27	-	0	R	リードすると"0"が読めます。
26	UPDN31	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL31	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN31	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22: 20	INSEL30[2: 0]	000	R/W	入力トリガーの選択(MDMAC ユニット A ch30) 000: T32A ch13 DMA 要求レジスターA1 一致(T32A13DMAREQCMPA1) 001: T32A ch13 DMA 要求レジスターC1 一致(T32A13DMAREQCMPC1) 010: UART ch5 受信 DMA 要求(UART5RX_DMAREQ) 011: T32A ch13 DMA 要求キャプチャーA0 (T32A13DMAREQCAPA0) 100: T32A ch13 DMA 要求キャプチャーC0 (T32A13DMAREQCAPC0) Others : Reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN30	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL30	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN30	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。
14: 12	INSEL29[2: 0]	000	R/W	入力トリガーの選択(MDMAC ユニット A ch29) 000: T32A ch12 DMA 要求レジスターB1 一致(T32A12DMAREQCMPB1) 001: UART ch3 送信 DMA 要求(UART3TX_DMAREQ) 010: A-PMD ch0 PWM 割り込み(INTPWM0) 011: T32A ch12 DMA 要求キャプチャーB0 (T32A12DMAREQCAPB0) Others : Reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN29	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL29	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり

Bit	Bit symbol	リセット後	Type	機能
8	EN29	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6: 4	INSEL28[2: 0]	000	R/W	入力トリガーの選択(MDMAC ユニット A ch28) 000: T32A ch12 DMA 要求レジスターA1 一致(T32A12DMAREQCMPA1) 001: T32A ch12 DMA 要求レジスターC1 一致(T32A12DMAREQCMPC1) 010: UART ch3 受信 DMA 要求(UART3RX_DMAREQ) 011: T32A ch12 DMA 要求キャプチャーA0 (T32A12DMAREQCAPA0) 100: T32A ch12 DMA 要求キャプチャーC0 (T32A12DMAREQCAPC0) Others : Reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN28	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL28	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN28	0	R/W	トリガー出力制御 0: 禁止 1: 許可

2.2.4.9. [TSEL0CR8] (コントロールレジスター8)

Bit	Bit symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30: 28	INSEL35[2: 0]	000	R/W	入力トリガーの選択(T32A ch13 タイマーA) 000: RMC ch0 トリガー出力(RMC0TRG) 001: T32A ch2 タイマーレジスターA0 一致トリガー (T32A02TRGOUTCMPA0) Others: Reserved "000" (RMC ch0 トリガー出力)を選択した場合は、<OUTSEL35>は"1" (エッジ検出あり)に設定してください。
27	-	0	R	リードすると"0"が読めます。
26	UPDN35	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL35	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN35	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22: 20	INSEL34[2: 0]	000	R/W	入力トリガーの選択(T32A ch8 タイマーA) 000: ELOSC 低速クロック(fs) 001: Reserved 010: TSPI ch8 送信完了トリガー(TSPI8TXDEND) 011: TSPI ch8 受信完了トリガー(TSPI8RXDEND) Others : Reserved "000" (ELOSC 低速クロック)を選択した場合は、<OUTSEL34>は"1" (エッジ検出あり)に設定してください。
19	-	0	R	リードすると"0"が読めます。
18	UPDN34	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL34	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN34	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。
14: 12	INSEL33[2: 0]	000	R/W	入力トリガーの選択(ADC ユニット A) 000: A-PMD ch0 ADC 同期トリガー出力 0 (PMD0TRG0) 001: A-PMD ch0 ADC 同期トリガー出力 1 (PMD0TRG1) 010: A-PMD ch0 ADC 同期トリガー出力 2 (PMD0TRG2) 011: A-PMD ch0 ADC 同期トリガー出力 3 (PMD0TRG3) 100: Reserved 101: Reserved 110: TRGSEL37 出力(TRGSEL0OUT37) 111: TRGSEL38 出力(TRGSEL0OUT38)
11	-	0	R	リードすると"0"が読めます。
10	UPDN33	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出

Bit	Bit symbol	リセット後	Type	機能
9	OUTSEL33	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN33	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6: 4	INSEL32[2: 0]	000	R/W	入力トリガーの選択(ADC ユニット A) 000: A-PMD ch0 ADC 同期トリガー出力 0 (PMD0TRG0) 001: A-PMD ch0 ADC 同期トリガー出力 1 (PMD0TRG1) 010: A-PMD ch0 ADC 同期トリガー出力 2 (PMD0TRG2) 011: A-PMD ch0 ADC 同期トリガー出力 3 (PMD0TRG3) 100: Reserved 101: Reserved 110: TRGSEL37 出力(TRGSEL0OUT37) 111: TRGSEL38 出力(TRGSEL0OUT38)
3	-	0	R	リードすると"0"が読めます。
2	UPDN32	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL32	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN32	0	R/W	トリガー出力制御 0: 禁止 1: 許可

2.2.4.10. [TSEL0CR9] (コントロールレジスター9)

Bit	Bit symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30: 28	INSEL39[2: 0]	000	R/W	入力トリガーの選択(T32A ch5 タイマー-A) 000: T32A ch9 タイマーレジスターA0 一致トリガー (T32A09TRGOUTCMPA0) 001: T32A ch13 タイマーレジスターA0 一致トリガー (T32A13TRGOUTCMPA0) 010: TSPI ch5 送信完了トリガー(TSPI5TXDEND) 011: UART ch5 送信完了トリガー(UART5TXTRG) Others: Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN39	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL39	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN39	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22: 20	INSEL38[2: 0]	000	R/W	入力トリガーの選択(TRGSEL32, TRGSEL33) 000: T32A ch9 タイマーレジスターA1 一致トリガー (T32A09TRGOUTCMPA1) 001: T32A ch9 タイマーレジスターB1 一致トリガー (T32A09TRGOUTCMPB1) 010: T32A ch10 タイマーレジスターA1 一致トリガー (T32A10TRGOUTCMPA1) 011: T32A ch10 タイマーレジスターB1 一致トリガー (T32A10TRGOUTCMPB1) 100: T32A ch11 タイマーレジスターA1 一致トリガー (T32A11TRGOUTCMPA1) 101: T32A ch11 タイマーレジスターB1 一致トリガー (T32A11TRGOUTCMPB1) 110: PG3 端子(TRGIN0) 111: PL7 端子(TRGIN1) "110" (TRGIN0) / "111" (TRGIN1)を選択した場合は、<OUTSEL38>は"1" (エッジ検出あり)に設定してください。
19	-	0	R	リードすると"0"が読めます。
18	UPDN38	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL38	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN38	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。

Bit	Bit symbol	リセット後	Type	機能
14: 12	INSEL37[2: 0]	000	R/W	入力トリガーの選択(TRGSEL32, TRGSEL33) 000: T32A ch9 タイマーレジスターA1 一致トリガー (T32A09TRGOUTCMPA1) 001: T32A ch9 タイマーレジスターB1 一致トリガー (T32A09TRGOUTCMPB1) 010: T32A ch10 タイマーレジスターA1 一致トリガー (T32A10TRGOUTCMPA1) 011: T32A ch10 タイマーレジスターB1 一致トリガー (T32A10TRGOUTCMPB1) 100: T32A ch11 タイマーレジスターA1 一致トリガー (T32A11TRGOUTCMPA1) 101: T32A ch11 タイマーレジスターB1 一致トリガー (T32A11TRGOUTCMPB1) 110: PG3 端子(TRGIN0) 111: PL7 端子(TRGIN1) "110" (TRGIN0) / "111" (TRGIN1)を選択した場合は、<OUTSEL37>は"1" (エッジ検出あり)に設定してください。
11	-	0	R	リードすると"0"が読めます。
10	UPDN37	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL37	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN37	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6: 4	INSEL36[2: 0]	000	R/W	入力トリガーの選択(T32A ch13 タイマー-B) 000: RMC ch1 トリガー出力(RMC1TRG) 001: T32A ch2 タイマーレジスターA0 一致トリガー (T32A02TRGOUTCMPA0) Others: Reserved "000" (RMC ch1 トリガー出力)を選択した場合は、<OUTSEL36>は"1" (エッジ 検出あり)に設定してください。
3	-	0	R	リードすると"0"が読めます。
2	UPDN36	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL36	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN36	0	R/W	トリガー出力制御 0: 禁止 1: 許可

2.2.4.11. [TSEL0CR10] (コントロールレジスタ-10)

Bit	Bit symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30: 28	INSEL43[2: 0]	000	R/W	入カトリガーの選択(T32A ch7 タイマー-A) 000: T32A ch11 タイマーレジスターA0 一致トリガー (T32A11TRGOUTCMPA0) 001: T32A ch13 タイマーレジスターB0 一致トリガー (T32A13TRGOUTCMPB0) 010: TSPI ch7 送信完了トリガー(TSPI7TXDEND) Others : Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN43	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL43	0	R/W	出カトリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN43	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22: 20	INSEL42[2: 0]	000	R/W	入カトリガーの選択(T32A ch6 タイマー-B) 000: T32A ch10 タイマーレジスターA0 一致トリガー (T32A10TRGOUTCMPA0) 001: T32A ch13 タイマーレジスターB0 一致トリガー (T32A13TRGOUTCMPB0) 010: TSPI ch6 受信完了トリガー(TSPI6RXDEND) 011: T32A ch6 タイマーレジスターA0 一致トリガー (T32A06TRGOUTCMPA0) Others : Reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN42	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL42	0	R/W	出カトリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN42	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。
14: 12	INSEL41[2: 0]	000	R/W	入カトリガーの選択(T32A ch6 タイマー-A) 000: T32A ch10 タイマーレジスターA0 一致トリガー (T32A10TRGOUTCMPA0) 001: T32A ch13 タイマーレジスターB0 一致トリガー (T32A13TRGOUTCMPB0) 010: TSPI ch6 送信完了トリガー(TSPI6TXDEND) Others : Reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN41	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL41	0	R/W	出カトリガーの選択 0: エッジ検出なし 1: エッジ検出あり

Bit	Bit symbol	リセット後	Type	機能
8	EN41	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6: 4	INSEL40[2: 0]	000	R/W	入力トリガーの選択(T32A ch5 タイマー-B) 000: T32A ch9 タイマーレジスターA0 一致トリガー (T32A09TRGOUTCMPA0) 001: T32A ch13 タイマーレジスターA0 一致トリガー (T32A13TRGOUTCMPA0) 010: TSPI ch5 受信完了トリガー(TSPI5RXDEND) 011: UART ch5 受信完了トリガー(UART5RXTRG) 100: T32A ch5 タイマーレジスターA0 一致トリガー (T32A05TRGOUTCMPA0) Others: Reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN40	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL40	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN40	0	R/W	トリガー出力制御 0: 禁止 1: 許可

2.2.4.12. [TSEL0CR11] (コントロールレジスター11)

Bit	Bit symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30: 28	INSEL47[2: 0]	000	R/W	入力トリガーの選択(T32A ch0 タイマー-B) 000: TSPI ch0 受信完了トリガー(TSPI0RXDEND) 001: UART ch0 受信完了トリガー(UART0RXTRG) 010: T32A ch12 タイマーレジスターA0 一致トリガー (T32A12TRGOUTCMPA0) 011: T32A ch0 タイマーレジスターA0 一致トリガー (T32A00TRGOUTCMPA0) Others: Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN47	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL47	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN47	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22: 20	INSEL46[2: 0]	000	R/W	入力トリガーの選択(T32A ch0 タイマー-A) 000: TSPI ch0 送信完了トリガー(TSPI0TXDEND) 001: UART ch0 送信完了トリガー(UART0TXTRG) 010: T32A ch12 タイマーレジスターA0 一致トリガー (T32A12TRGOUTCMPA0) Others: Reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN46	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL46	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN46	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。
14: 12	INSEL45[2: 0]	000	R/W	入力トリガーの選択(T32A ch8 タイマー-B) 000: T32A ch4 タイマー出力 B (T32A04OUTB) 001: T32A ch8 タイマー出力 A (T32A08OUTA) Others: Reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN45	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL45	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
8	EN45	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。

Bit	Bit symbol	リセット後	Type	機能
6: 4	INSEL44[2: 0]	000	R/W	入力トリガーの選択(T32A ch7 タイマー-B) 000: T32A ch11 タイマーレジスターA0 一致トリガー (T32A11TRGOUTCMPA0) 001: T32A ch13 タイマーレジスターB0 一致トリガー (T32A13TRGOUTCMPB0) 010: TSPI ch7 受信完了トリガー(TSPI7RXDEND) 011: T32A ch7 タイマーレジスターA0 一致トリガー (T32A07TRGOUTCMPA0) Others: Reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN44	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL44	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN44	0	R/W	トリガー出力制御 0: 禁止 1: 許可

2.2.4.13. [TSEL0CR12] (コントロールレジスター12)

Bit	Bit symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30: 28	INSEL51[2: 0]	000	R/W	入力トリガーの選択(T32A ch2 タイマー-B) 000: TSPI ch2 受信完了トリガー(TSPI2RXDEND) 001: UART ch2 受信完了トリガー(UART2RXTRG) 010: T32A ch12 タイマーレジスターB0 一致トリガー (T32A12TRGOUTCMPB0) 011: T32A ch2 タイマーレジスターA0 一致トリガー (T32A02TRGOUTCMPA0) Others: Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN51	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL51	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN51	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22: 20	INSEL50[2: 0]	000	R/W	入力トリガーの選択(T32A ch2 タイマー-A) 000: TSPI ch2 送信完了トリガー(TSPI2TXDEND) 001: UART ch2 送信完了トリガー(UART2TXTRG) 010: T32A ch12 タイマーレジスターB0 一致トリガー (T32A12TRGOUTCMPB0) Others: Reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN50	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL50	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN50	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。
14: 12	INSEL49[2: 0]	000	R/W	入力トリガーの選択(T32A ch1 タイマー-B) 000: TSPI ch1 受信完了トリガー(TSPI1RXDEND) 001: UART ch1 受信完了トリガー(UART1RXTRG) 010: T32A ch12 タイマーレジスターA0 一致トリガー (T32A12TRGOUTCMPA0) 011: T32A ch1 タイマーレジスターA0 一致トリガー (T32A01TRGOUTCMPA0) Others: Reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN49	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL49	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり

Bit	Bit symbol	リセット後	Type	機能
8	EN49	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6: 4	INSEL48[2: 0]	000	R/W	入力トリガーの選択(T32A ch1 タイマー-A) 000: TSPI ch1 送信完了トリガー(TSPI1TXDEND) 001: UART ch1 送信完了トリガー(UART1TXTRG) 010: T32A ch12 タイマーレジスターA0 一致トリガー (T32A12TRGOUTCMPA0) Others: Reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN48	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL48	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN48	0	R/W	トリガー出力制御 0: 禁止 1: 許可

2.2.4.14. [TSEL0CR13] (コントロールレジスター13)

Bit	Bit symbol	リセット後	Type	機能
31	-	0	R	リードすると"0"が読めます。
30: 28	INSEL55[2: 0]	000	R/W	入力トリガーの選択(T32A ch4 タイマー-B) 000: TSPI ch4 受信完了トリガー(TSPI4RXDEND) 001: T32A ch13 タイマーレジスターA0 一致トリガー (T32A13TRGOUTCMPA0) 010: UART ch4 受信完了トリガー(UART4RXTRG) 011: T32A ch4 タイマーレジスターA0 一致トリガー (T32A04TRGOUTCMPA0) Others: Reserved
27	-	0	R	リードすると"0"が読めます。
26	UPDN55	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
25	OUTSEL55	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
24	EN55	0	R/W	トリガー出力制御 0: 禁止 1: 許可
23	-	0	R	リードすると"0"が読めます。
22: 20	INSEL54[2: 0]	000	R/W	入力トリガーの選択(T32A ch4 タイマー-A) 000: TSPI ch4 送信完了トリガー(TSPI4TXDEND) 001: T32A ch13 タイマーレジスターA0 一致トリガー (T32A13TRGOUTCMPA0) 010: UART ch4 送信完了トリガー(UART4TXTRG) Others: Reserved
19	-	0	R	リードすると"0"が読めます。
18	UPDN54	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
17	OUTSEL54	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
16	EN54	0	R/W	トリガー出力制御 0: 禁止 1: 許可
15	-	0	R	リードすると"0"が読めます。
14: 12	INSEL53[2: 0]	000	R/W	入力トリガーの選択(T32A ch3 タイマー-B) 000: TSPI ch3 受信完了トリガー(TSPI3RXDEND) 001: T32A ch12 タイマーレジスターB0 一致トリガー (T32A12TRGOUTCMPB0) 010: UART ch3 受信完了トリガー(UART3RXTRG) 011: T32A ch3 タイマーレジスターA0 一致トリガー (T32A03TRGOUTCMPA0) Others: Reserved
11	-	0	R	リードすると"0"が読めます。
10	UPDN53	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
9	OUTSEL53	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり

Bit	Bit symbol	リセット後	Type	機能
8	EN53	0	R/W	トリガー出力制御 0: 禁止 1: 許可
7	-	0	R	リードすると"0"が読めます。
6: 4	INSEL52[2: 0]	000	R/W	入力トリガーの選択(T32A ch3 タイマー-A) 000: TSPI ch3 送信完了トリガー(TSPI3TXDEND) 001: T32A ch12 タイマーレジスターB0 一致トリガー (T32A12TRGOUTCMPB0) 010: UART ch3 送信完了トリガー(UART3TRXTRG) Others: Reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN52	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL52	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN52	0	R/W	トリガー出力制御 0: 禁止 1: 許可

2.2.4.15. [TSEL0CR14] (コントロールレジスター14)

Bit	Bit symbol	リセット後	Type	機能
31: 7	-	0	R	リードすると"0"が読めます。
6: 4	INSEL56[2: 0]	000	R/W	入力トリガーの選択(FIR) 000: I2S ch0 受信 FIFO しきい値信号(I2S0RXFIFOTH) 001: I2S ch0 送信 FIFO しきい値信号(I2S0TXFIFOTH) 010: I2S ch1 受信 FIFO しきい値信号(I2S1RXFIFOTH) 011: I2S ch1 送信 FIFO しきい値信号(I2S1TXFIFOTH) Others: Reserved
3	-	0	R	リードすると"0"が読めます。
2	UPDN56	0	R/W	エッジ検出条件 0: 立ち上がりエッジを検出 1: 立ち下がりエッジを検出
1	OUTSEL56	0	R/W	出力トリガーの選択 0: エッジ検出なし 1: エッジ検出あり
0	EN56	0	R/W	トリガー出力制御 0: 禁止 1: 許可

2.3. クロック選択式ウォッチドッグタイマー(SIWDT)

2.3.1. 搭載チャネル

製品毎の搭載チャネルを下記表に示します。

表 2.11 SIWDT 搭載チャネル

製品	SIWDT 搭載チャネル (○: あり、×: なし)
	ch0
M4NR	○
M4NQ	○
M4NN	○

2.3.2. カウントクロック

SIWDT は、カウントするクロックを選択可能です。以下の表に選択できるクロックを示します。

表 2.12 SIWDT カウントクロック

クロック	信号名	選択
システムクロック	fsysm	[SIWD0MOD]<WDCLS> レジスターで選択します。
内蔵高速発振器 1 クロック (注 1)	f _{IHOSC1}	
内蔵高速発振器 2 クロック (注 2)	f _{IHOSC2}	

注 1) 発振制御レジスターは[CGOSCCR]<IHOSC1EN>です。

注 2) 発振制御レジスターは[RLMLOSCCR]<POSCEN>です。

2.3.3. 発振クロックプロテクト機能

内蔵高速発振器 2 (f_{IHOSC2})を選択した場合、内蔵高速発振器 2 の書き換えを禁止することが可能です。

表 2.13 SIWDT 制御出力

制御出力	信号名	備考
内蔵高速発振器 2 発振制御ビット ([RLMLOSCCR]<POSCEN>)のプ ロテクト信号	OSCPRO	[SIWD0OSCCR]<OSCPRO>レジスターで 設定します。

2.4. 周波数検知回路(OFD)

2.4.1. 搭載一覧

製品毎の搭載一覧を下記表に示します。

表 2.14 OFD 搭載一覧

製品	OFD 搭載 (○: あり、×: なし)
M4NR	○
M4NQ	○
M4NN	○

2.4.2. 基準クロック

OFD は以下の表のクロックを基準クロックとして動作します。

表 2.15 OFD 基準クロック

基準クロック	信号名	分周値
内蔵高速発振器 2 クロック	f _{IHOSC2}	128

注) 発振制御レジスターは[RLMLOSCCR]<POSCEN>です。

2.4.3. 検知対象クロック

OFD は以下の表の検知対象クロックからモニターしたいクロックを選択します。

表 2.16 OFD 検知対象クロック

検知対象クロック		信号名
入力信号	外部高速発振器クロック	f _{EHOSC}
	CG(クロック制御部)の [CGOSCCR]<OSCSEL>と[CGPLL0SEL]<PLL0SEL>で 選択されたクロック	fc

2.5. デバッグインターフェース

2.5.1. 製品別デバッグインターフェース一覧

表 2.17 デバッグインターフェース搭載一覧

デバッグ端子		ポート	端子対応 ○: あり、×: なし)		
			M4NR	M4NQ	M4NN
SWDIO	入出力	PH4	○	○	○
TMS	入力				
SWCLK	入力	PH5	○	○	○
TCK	入力				
SWV	出力	PH6	○	○	○
TDO	出力				
TDI	入力	PH3	○	○	○
TRST_N	入力	PH7	○	○	○
TRACECLK	出力	PG6	○	○	○
TRACEDATA0	出力	PG7	○	○	○
TRACEDATA1	出力	PH0	○	○	○
TRACEDATA2	出力	PH1	○	○	○
TRACEDATA3	出力	PH2	○	○	○

2.5.2. トレースクロックの分周比

表 2.18 トレースクロック(TRACECLK)の分周比

ソースクロック	分周比	出力
fsysh	1/4	TRACECLK

2.6. ノンブレイクデバッグインターフェース(NBDIF)

2.6.1. 機能対応

製品毎の機能対応を下記表に示します。

表 2.19 NBDIF 機能対応

製品	機能対応 (○: あり、×: なし)
M4NR	○
M4NQ	○
M4NN	○

2.6.2. 製品別 NBDIF 一覧

表 2.20 NBDIF 搭載一覧

NBDIF 端子		ポート	端子対応 (○: あり、×: なし)		
			M4NR	M4NQ	M4NN
NBDCLK	入力	PG6	○	○	○
NBDDATA0	入出力	PG7	○	○	○
NBDDATA1	入出力	PH0	○	○	○
NBDDATA2	入出力	PH1	○	○	○
NBDDATA3	入出力	PH2	○	○	○
NBDSYNC	入力	PH3	○	○	○

2.7. フラッシュメモリー

2.7.1. 書き込み、消去操作クロック

フラッシュメモリーは、コードフラッシュまたはデータフラッシュへの書き込み、消去操作に以下の表に示すクロックが使用されます。

表 2.21 書き込み、消去操作クロック

書き込み、消去操作クロック
f _{IHOSC1}

注) 発振制御レジスターは[CGOSCCR]<IHOSC1EN>です。

2.7.2. 製品別コードフラッシュブロック構成

コードフラッシュメモリーは、下記の表のように製品によってメモリーのブロック構成が異なります。

表 2.22 製品別コードフラッシュのブロック構成

エリア	ブロック名称	TMPM4NRF20FG TMPM4NRF20XBG TMPM4NQF20FG TMPM4NQF20XBG TMPM4NNF20FG	TMPM4NRF15FG TMPM4NRF15XBG TMPM4NQF15FG TMPM4NQF15XBG TMPM4NNF15FG	TMPM4NRF10FG TMPM4NRF10XBG TMPM4NQF10FG TMPM4NQF10XBG TMPM4NNF10FG	TMPM4NRDFG TMPM4NRFDXBG TMPM4NQDFG TMPM4NQFDXBG TMPM4NNDFG	ブロック サイズ (KB)
0	Block0	PG0	○	○	○	4
		PG1	○	○	○	4
		PG2	○	○	○	4
		PG3	○	○	○	4
		PG4	○	○	○	4
		PG5	○	○	○	4
		PG6	○	○	○	4
		PG7	○	○	○	4
	Block1	○	○	○	○	32
	Block2	○	○	○	○	32
	Block3	○	○	○	○	32
	Block4	○	○	○	○	32
	Block5	○	○	○	○	32
	Block6	○	○	○	○	32
	Block7	○	○	○	○	32
	Block8	○	○	○	○	32
	Block9	○	○	○	○	32
	Block10	○	○	○	○	32
	Block11	○	○	○	○	32
	Block12	○	○	○	○	32
	Block13	○	○	○	○	32
	Block14	○	○	○	○	32
	Block15	○	○	○	○	32
0	Block16	○	○	○	×	32
	Block17	○	○	○	×	32

	Block18	○	○	○	×	32
	Block19	○	○	○	×	32
	Block20	○	○	○	×	32
	Block21	○	○	○	×	32
	Block22	○	○	○	×	32
	Block23	○	○	○	×	32
	Block24	○	○	○	×	32
	Block25	○	○	○	×	32
	Block26	○	○	○	×	32
	Block27	○	○	○	×	32
	Block28	○	○	○	×	32
	Block29	○	○	○	×	32
	Block30	○	○	○	×	32
	Block31	○	○	○	×	32
1	Block32	○	○	×	×	32
	Block33	○	○	×	×	32
	Block34	○	○	×	×	32
	Block35	○	○	×	×	32
	Block36	○	○	×	×	32
	Block37	○	○	×	×	32
	Block38	○	○	×	×	32
	Block39	○	○	×	×	32
	Block40	○	○	×	×	32
	Block41	○	○	×	×	32
	Block42	○	○	×	×	32
	Block43	○	○	×	×	32
	Block44	○	○	×	×	32
	Block45	○	○	×	×	32
	Block46	○	○	×	×	32
	Block47	○	○	×	×	32
	Block48	○	×	×	×	32
	Block49	○	×	×	×	32
	Block50	○	×	×	×	32
	Block51	○	×	×	×	32
	Block52	○	×	×	×	32
	Block53	○	×	×	×	32
	Block54	○	×	×	×	32
	Block55	○	×	×	×	32
	Block56	○	×	×	×	32
	Block57	○	×	×	×	32
	Block58	○	×	×	×	32
	Block59	○	×	×	×	32
	Block60	○	×	×	×	32
	Block61	○	×	×	×	32
	Block62	○	×	×	×	32
	Block63	○	×	×	×	32

注) ○: Block/PG あり、×: Block/PG なし

2.7.3. 製品別データフラッシュブロック構成

データフラッシュメモリーは、下記の表のように製品によってメモリーのブロック構成が異なります。

表 2.23 製品別データフラッシュ

エリア	ブロック名称	TMPM4NRF20FG TMPM4NRF20XBG TMPM4NQF20FG TMPM4NQF20XBG TMPM4NNF20FG	TMPM4NRF15FG TMPM4NRF15XBG TMPM4NQF15FG TMPM4NQF15XBG TMPM4NNF15FG	TMPM4NRF10FG TMPM4NRF10XBG TMPM4NQF10FG TMPM4NQF10XBG TMPM4NNF10FG	TMPM4NRFDFG TMPM4NRFDXBG TMPM4NQDFG TMPM4NQFDXBG TMPM4NNDFG	ブロック サイズ (KB)
4	Block0	○	○	○	○	4
	Block1	○	○	○	○	4
	Block2	○	○	○	○	4
	Block3	○	○	○	○	4
	Block4	○	○	○	○	4
	Block5	○	○	○	○	4
	Block6	○	○	○	○	4
	Block7	○	○	○	○	4

注) ○: Block あり、×: Block なし

2.7.4. ID-Read 時のマクロコード値

この製品のマクロコード値は、下記のとおりです。

表 2.24 ID-Read時のマクロコード

コード	ID[15: 0]
マクロコード(コードフラッシュ)	0x0403
マクロコード(データフラッシュ)	0x0404

2.7.5. シングルブート使用リソース

シングルブートでは下記表の周辺機能を使用します。

表 2.25 シングルブート使用リソース

ブートインターフェース	周辺機能	チャネル/ユニット	端子名
共通端子	BOOT	-	PY4 (BOOT_N)
UART ブート	UART	ch0	PH4/PH5 (UT0TXDA/UT0RXD)
	T32A	ch0	-
	PORT F	-	PF6(BT3)
USB ブート	USB	ユニット A	PB0(USB_ECLK), UABA_DP, USB_A_DM, USB_A_VBUS
	PORT F	-	PF0(BT0), PF1(BT1), PF4(BT2), PF6(BT3)

シングルブートモードの決定は、RESET_N 端子またはパワーオンリセット(POR)からのリセット解除による設定が可能です。

RAM ロoaderコマンドで転送する RAM アドレスは下表の範囲で行ってください。

表 2.26 RAM転送可能最終アドレス

製品名	RAM 転送可能最終アドレス
TMPM4NRF20FG, TMPM4NRF20XBG, TMPM4NQF20FG, TMPM4NQF20XBG, TMPM4NNF20FG TMPM4NRF15FG, TMPM4NRF15XBG, TMPM4NQF15FG, TMPM4NQF15XBG, TMPM4NNF15FG TMPM4NRF10FG, TMPM4NRF10XBG, TMPM4NQF10FG, TMPM4NQF10XBG, TMPM4NNF10FG	0x20027FFF
TMPM4NRFDG, TMPM4NRFDXBG, TMPM4NQFDG, TMPM4NQFDXBG, TMPM4NNFDG	0x2001FFFF

2.8. 高速 DMA コントローラー(HDMAC)

2.8.1. 搭載ユニット

製品毎の搭載ユニットを下記表に示します。

表 2.27 HDMAC 搭載ユニット

製品	HDMAC 搭載ユニット (○: あり, ×: なし)	
	ユニット A	ユニット B
M4NR	○	○
M4NQ	○	○
M4NN	○	○

2.8.2. DMA 転送要求一覧

下記表に DMA 転送要求一覧を示します。
表内の"-"は該当する機能がありません。

表 2.28 HDMAC DMA転送要求一覧: ユニットA

ch	シングル転送要求		バースト転送要求	
		信号名		信号名
0	TSPI ch0 受信 DMA 要求	TSPI0RX_DMA	TSPI ch0 受信 DMA 要求	TSPI0RX_DMA
1	TSPI ch0 送信 DMA 要求	TSPI0TX_DMA	TSPI ch0 送信 DMA 要求	TSPI0TX_DMA
2	TSPI ch2 受信 DMA 要求	TSPI2RX_DMA	TSPI ch2 受信 DMA 要求	TSPI2RX_DMA
3	TSPI ch2 送信 DMA 要求	TSPI2TX_DMA	TSPI ch2 送信 DMA 要求	TSPI2TX_DMA
4	TSPI ch4 受信 DMA 要求	TSPI4RX_DMA	TSPI ch4 受信 DMA 要求	TSPI4RX_DMA
5	TSPI ch4 送信 DMA 要求	TSPI4TX_DMA	TSPI ch4 送信 DMA 要求	TSPI4TX_DMA
6	-	-	SMIFch0 割り込み	INTSMI0
7	-	-	-	-
8	-	-	-	-
9	-	-	-	-
10	-	-	-	-
11	-	-	-	-
12	-	-	-	-
13	-	-	-	-
14	-	-	-	-
15	-	-	PB1(HDMAREQA) トリガー入力 (注)	PB1(HDMAREQA)

注) DMA 転送要求する場合は、高速システムクロック (fsysh) で 2 サイクル以上の "High" パルスを PB1 ポートへ入力してください。

表 2.29 HDMAC DMA転送要求一覧: ユニットB

ch	シングル転送要求		バースト転送要求	
		信号名		信号名
0	TSPI ch1 受信 DMA 要求	TSPI1RX_DMA	TSPI ch1 受信 DMA 要求	TSPI1RX_DMA
1	TSPI ch1 送信 DMA 要求	TSPI1TX_DMA	TSPI ch1 送信 DMA 要求	TSPI1TX_DMA
2	TSPI ch3 受信 DMA 要求	TSPI3RX_DMA	TSPI ch3 受信 DMA 要求	TSPI3RX_DMA
3	TSPI ch3 送信 DMA 要求	TSPI3TX_DMA	TSPI ch3 送信 DMA 要求	TSPI3TX_DMA
4	TSPI ch5 受信 DMA 要求 (注 1)	TSPI5RX_DMA	TSPI ch5 受信 DMA 要求 (注 1)	TSPI5RX_DMA
5	TSPI ch5 送信 DMA 要求 (注 1)	TSPI5TX_DMA	TSPI ch5 送信 DMA 要求 (注 1)	TSPI5TX_DMA
6	-	-	-	-
7	-	-	-	-
8	-	-	-	-
9	-	-	-	-
10	-	-	-	-
11	-	-	-	-
12	-	-	-	-
13	-	-	-	-
14	-	-	-	-
15	-	-	PK1(HDMAREQB) トリガー入力 (注 2)	PK1(HDMAREQB)

注 1) M4NN 製品には機能はありません。

注 2) DMA 転送要求する場合は、高速システムクロック (fsysh) で 2 サイクル以上の "H" パルスを PK1 ポートへ入力してください。

2.9. 多機能 DMA コントローラー(MDMAC)

2.9.1. 搭載ユニット

製品毎の搭載ユニットを下記表に示します。

表 2.30 MDMAC 搭載ユニット

製品	MDMAC 搭載ユニット (○: あり、×: なし)
	ユニット A
M4NR	○
M4NQ	○
M4NN	○

2.9.2. DMA 転送要求一覧

下記表に DMA 転送要求一覧を示します。

表のトリガーセクター欄にレジスター名のあるチャンネルは、トリガーセクターで使用する要求を選択してください。表内の"-"は該当する機能がありません。

表 2.31 MDMAC DMA転送要求一覧: ユニットA (1/5)

チャンネル	トリガーセクター	シングル転送要求		バースト転送要求	
			信号名		信号名
ch0	[TSEL0CR0] <INSEL0[2: 0]> (注 1)	TSPI ch6 受信 DMA 要求(注 2)	TSPI6RX_DMA	-	-
		UART ch4 受信 DMA 要求(注 2)	UART4RX_DMAREQ		
		I2C ch3 受信 DMA リクエスト(注 2)	I2C3RXDMAREQ		
		T32A ch0 DMA 要求 キャプチャーA0	T32A00DMAREQCAPA0		
		EI2C ch3 受信 DMA リクエスト(注 2)	I2C3ARXDMAREQ		
		I2S ch0 受信 DMA リクエスト	I2S0RXDMAREQ		
ch1	[TSEL0CR0] <INSEL1[2: 0]> (注 1)	TSPI ch6 送信 DMA 要求(注 2)	TSPI6TX_DMA	-	-
		UART ch4 送信 DMA 要求(注 2)	UART4TX_DMAREQ		
		I2C ch3 送信 DMA リクエスト(注 2)	I2C3TXDMAREQ		
		T32A ch0 DMA 要求 キャプチャーC0	T32A00DMAREQCAPC0		
		EI2C ch3 送信 DMA リクエスト(注 2)	I2C3ATXDMAREQ		
		I2S ch0 送信 DMA リクエスト	I2S0TXDMAREQ		
ch2	[TSEL0CR0] <INSEL2[2: 0]> (注 1)	TSPI ch7 受信 DMA 要求(注 2)	TSPI7RX_DMA	-	-
		FUART ch1 受信 DMA 要求(注 2)	FUART1RX_DMAREQ		
		I2C ch4 受信 DMA リクエスト(注 2)	I2C4RXDMAREQ		
		EI2C ch4 受信 DMA リクエスト(注 2)	I2C4ARXDMAREQ		
		I2S ch1 受信 DMA リクエスト	I2S1RXDMAREQ		
ch3	[TSEL0CR0] <INSEL3[2: 0]> (注 1)	TSPI ch7 送信 DMA 要求(注 2)	TSPI7TX_DMA	-	-
		FUART ch1 送信 DMA 要求(注 2)	FUART1TX_DMAREQ		
		I2C ch4 送信 DMA リクエスト(注 2)	I2C4TXDMAREQ		
		EI2C ch4 送信 DMA リクエスト(注 2)	I2C4ATXDMAREQ		
		I2S ch1 送信 DMA リクエスト	I2S1TXDMAREQ		

注 1) ch0 ~ ch31 はトリガーセクターで DMA 転送要求のトリガーソースを選択します。詳細な接続先については、「2.2. トリガーセクター(TRGSEL)」を参照してください。

注 2) M4NN 製品には機能はありません。

表 2.32 MDMAC DMA転送要求一覧: ユニットA (2/5)

チャネル	シングル転送要求			バースト転送要求	
	トリガーセクター		信号名		信号名
ch4	[TSEL0CR1] <INSEL4[2: 0]> (注 1)	TSPI ch8 受信 DMA 要求(注 2)(注 3)	TSPI8RX_DMA	-	-
		T32A ch0 DMA 要求 レジスターA1 一致	T32A00DMAREQCMPA1		
		T32A ch0 DMA 要求 レジスターC1 一致	T32A00DMAREQCMPC1		
		FIR 入力データライト要求	FIRDATAWRDMAREQ		
ch5	[TSEL0CR1] <INSEL5[2: 0]> (注 1)	TSPI ch8 送信 DMA 要求(注 2)(注 3)	TSPI8TX_DMA	-	-
		T32A ch0 DMA 要求 レジスターB1 一致	T32A00DMAREQCMPB1		
		T32A ch0 DMA 要求 キャプチャーB0	T32A00DMAREQCAPB0		
		FIR 演算結果データリード要求	FIRDATARDDMAREQ		
ch6	[TSEL0CR1] <INSEL6[2: 0]> (注 1)	T32A ch1 DMA 要求 レジスターA1 一致	T32A01DMAREQCMPA1	-	-
		T32A ch1 DMA 要求 レジスターC1 一致	T32A01DMAREQCMPC1		
		T32A ch1 DMA 要求 キャプチャーA0	T32A01DMAREQCAPA0		
		T32A ch1 DMA 要求 キャプチャーC0	T32A01DMAREQCAPC0		
ch7	[TSEL0CR1] <INSEL7[2: 0]> (注 1)	T32A ch1 DMA 要求 レジスターB1 一致	T32A01DMAREQCMPB1	-	-
		T32A ch1 DMA 要求 キャプチャーB0	T32A01DMAREQCAPB0		
		UART ch0 受信 DMA 要求	UART0RX_DMAREQ		
		I2C ch0 受信 DMA リクエスト	I2C0RXDMAREQ		
ch8	[TSEL0CR2] <INSEL8[2: 0]> (注 1)	EI2C ch0 受信 DMA リクエスト	EI2C0ARXDMAREQ	-	-
		T32A ch2 DMA 要求 レジスターA1 一致	T32A02DMAREQCMPA1		
		T32A ch2 DMA 要求 レジスターC1 一致	T32A02DMAREQCMPC1		
		T32A ch2 DMA 要求 キャプチャーA0	T32A02DMAREQCAPA0		
ch9	[TSEL0CR2] <INSEL9[2: 0]> (注 1)	T32A ch2 DMA 要求 キャプチャーC0	T32A02DMAREQCAPC0	-	-
		T32A ch2 DMA 要求 レジスターB1 一致	T32A02DMAREQCMPB1		
		T32A ch2 DMA 要求 キャプチャーB0	T32A02DMAREQCAPB0		
		UART ch0 送信 DMA 要求	UART0TX_DMAREQ		
ch10	[TSEL0CR2] <INSEL10[2: 0]> (注 1)	I2C ch0 送信 DMA リクエスト	I2C0TXDMAREQ	-	-
		EI2C ch0 送信 DMA リクエスト	EI2C0ATXDMAREQ		
		T32A ch3 DMA 要求 レジスターA1 一致	T32A03DMAREQCMPA1		
		T32A ch3 DMA 要求 レジスターC1 一致	T32A03DMAREQCMPC1		
ch11	[TSEL0CR2] <INSEL11[2: 0]> (注 1)	T32A ch3 DMA 要求 キャプチャーA0	T32A03DMAREQCAPA0	-	-
		T32A ch3 DMA 要求 キャプチャーC0	T32A03DMAREQCAPC0		
		T32A ch3 DMA 要求 レジスターB1 一致	T32A03DMAREQCMPB1		
		T32A ch3 DMA 要求 キャプチャーB0	T32A03DMAREQCAPB0		
ch11		UART ch1 受信 DMA 要求	UART1RX_DMAREQ	-	-
		I2C ch1 受信 DMA リクエスト	I2C1RXDMAREQ		
		EI2C ch1 受信 DMA リクエスト	EI2C1ARXDMAREQ		

注 1) ch0 ~ ch31 はトリガーセクターで DMA 転送要求のトリガーソースを選択します。詳細な接続先については、「2.2.トリガーセクター(TRGSEL)」を参照してください。

注 2) M4NQ 製品には機能はありません。

注 3) M4NN 製品には機能はありません。

表 2.33 MDMAC DMA転送要求一覧: ユニットA (3/5)

チャネル	シングル転送要求			バースト転送要求	
	トリガーセレクト	信号名		信号名	
ch12	[TSEL0CR3] <INSEL12[2: 0]> (注)	T32A ch4 DMA 要求 レジスターA1 一致	T32A04DMAREQCMPA1	-	-
		T32A ch4 DMA 要求 レジスターC1 一致	T32A04DMAREQCMPC1		
		T32A ch4 DMA 要求 キャプチャーA0	T32A04DMAREQCAPA0		
		T32A ch4 DMA 要求 キャプチャーC0	T32A04DMAREQCAPC0		
ch13	[TSEL0CR3] <INSEL13[2: 0]> (注)	T32A ch4 DMA 要求 レジスターB1 一致	T32A04DMAREQCMPB1	-	-
		T32A ch4 DMA 要求 キャプチャーB0	T32A04DMAREQCAPB0		
		UART ch1 送信 DMA 要求	UART1TX_DMAREQ		
		I2C ch1 送信 DMA リクエスト	I2C1TXDMAREQ		
ch14	[TSEL0CR3] <INSEL14[2: 0]> (注)	EI2C ch1 送信 DMA リクエスト	EI2C1ATXDMAREQ	-	-
		T32A ch5 DMA 要求 レジスターA1 一致	T32A05DMAREQCMPA1		
		T32A ch5 DMA 要求 レジスターC1 一致	T32A05DMAREQCMPC1		
		T32A ch5 DMA 要求 キャプチャーA0	T32A05DMAREQCAPA0		
ch15	[TSEL0CR3] <INSEL15[2: 0]> (注)	T32A ch5 DMA 要求 キャプチャーC0	T32A05DMAREQCAPC0	-	-
		T32A ch5 DMA 要求 レジスターB1 一致	T32A05DMAREQCMPB1		
		T32A ch5 DMA 要求 キャプチャーB0	T32A05DMAREQCAPB0		
		FUART ch0 送信 DMA 要求	FUART0TX_DMAREQ		
ch16	[TSEL0CR4] <INSEL16[2: 0]> (注)	I2C ch2 送信 DMA リクエスト	I2C2TXDMAREQ	-	-
		EI2C ch2 送信 DMA リクエスト	EI2C2ATXDMAREQ		
		T32A ch6 DMA 要求 レジスターA1 一致	T32A06DMAREQCMPA1		
		T32A ch6 DMA 要求 レジスターC1 一致	T32A06DMAREQCMPC1		
ch17	[TSEL0CR4] <INSEL17[2: 0]> (注)	T32A ch6 DMA 要求 キャプチャーA0	T32A06DMAREQCAPA0	-	-
		T32A ch6 DMA 要求 キャプチャーC0	T32A06DMAREQCAPC0		
		T32A ch6 DMA 要求 レジスターB1 一致	T32A06DMAREQCMPB1		
		T32A ch6 DMA 要求 キャプチャーB0	T32A06DMAREQCAPB0		
ch18	[TSEL0CR4] <INSEL18[2: 0]> (注)	FUART ch0 受信 DMA 要求	FUART0RX_DMAREQ	-	-
		I2C ch2 受信 DMA リクエスト	I2C2RXDMAREQ		
		EI2C ch2 受信 DMA リクエスト	EI2C2ARXDMAREQ		
		T32A ch7 DMA 要求 レジスターA1 一致	T32A07DMAREQCMPA1		
ch19	[TSEL0CR4] <INSEL19[2: 0]> (注)	T32A ch7 DMA 要求 レジスターC1 一致	T32A07DMAREQCMPC1	-	-
		T32A ch7 DMA 要求 キャプチャーA0	T32A07DMAREQCAPA0		
		T32A ch7 DMA 要求 キャプチャーC0	T32A07DMAREQCAPC0		
		UART ch0 受信 DMA 要求	UART0RX_DMAREQ		
ch19	[TSEL0CR4] <INSEL19[2: 0]> (注)	T32A ch7 DMA 要求 レジスターB1 一致	T32A07DMAREQCMPB1	-	-
		T32A ch7 DMA 要求 キャプチャーB0	T32A07DMAREQCAPB0		
		UART ch2 受信 DMA 要求	UART2RX_DMAREQ		
		ADC ユニット A 汎用トリガーDMA 要求	ADATRG_DMAREQ		
		TSSI ch0 受信 DMA 要求	TSSI0RXDMAREQ		

注) ch0 ~ ch31 はトリガーセレクトで DMA 転送要求のトリガースースを選択します。詳細な接続先については、「2.2.トリガーセレクト(TRGLSEL)」を参照してください。

表 2.34 MDMAC DMA転送要求一覧: ユニットA (4/5)

チャネル	シングル転送要求			バースト転送要求	
	トリガーセレクト	信号名			信号名
ch20	[TSEL0CR5] <INSEL20[2: 0]> (注 1)	T32A ch8 DMA 要求 レジスターA1 一致	T32A08DMAREQCMAPA1	-	-
		T32A ch8 DMA 要求 レジスターC1 一致	T32A08DMAREQCMPC1		
		T32A ch8 DMA 要求 キャプチャーA0	T32A08DMAREQCAPA0		
		T32A ch8 DMA 要求 キャプチャーC0	T32A08DMAREQCAPC0		
		UART ch0 送信 DMA 要求	UART0TX_DMAREQ		
ch21	[TSEL0CR5] <INSEL21[2: 0]> (注 1)	T32A ch8 DMA 要求 レジスターB1 一致	T32A08DMAREQCMPB1	-	-
		T32A ch8 DMA 要求 キャプチャーB0	T32A08DMAREQCAPB0		
		UART ch2 送信 DMA 要求	UART2TX_DMAREQ		
		ADC ユニット A 最優先 DMA 要求	ADAHP_DMAREQ		
		TSSI ch0 送信 DMA 要求	TSSI0TXDMAREQ		
ch22	[TSEL0CR5] <INSEL22[2: 0]> (注 1)	T32A ch9 DMA 要求 レジスターA1 一致	T32A09DMAREQCMAPA1	-	-
		T32A ch9 DMA 要求 レジスターC1 一致	T32A09DMAREQCMPC1		
		T32A ch9 DMA 要求 キャプチャーA0	T32A09DMAREQCAPA0		
		T32A ch9 DMA 要求 キャプチャーC0	T32A09DMAREQCAPC0		
		UART ch1 受信 DMA 要求	UART1RX_DMAREQ		
ch23	[TSEL0CR5] <INSEL23[2: 0]> (注 1)	T32A ch9 DMA 要求 レジスターB1 一致	T32A09DMAREQCMPB1	-	-
		T32A ch9 DMA 要求 キャプチャーB0	T32A09DMAREQCAPB0		
		T32A ch9 DMA 要求 キャプチャーA1	T32A09DMAREQCAPA1		
		T32A ch9 DMA 要求 キャプチャーB1	T32A09DMAREQCAPB1		
		UART ch1 送信 DMA 要求	UART1TX_DMAREQ		
ch24	[TSEL0CR6] <INSEL24[2: 0]> (注 1)	T32A ch10 DMA 要求 レジスターA1 一致	T32A10DMAREQCMAPA1	-	-
		T32A ch10 DMA 要求 レジスターC1 一致	T32A10DMAREQCMPC1		
		T32A ch10 DMA 要求 キャプチャーA0	T32A10DMAREQCAPA0		
		T32A ch10 DMA 要求 キャプチャーC0	T32A10DMAREQCAPC0		
		UART ch2 受信 DMA 要求	UART2RX_DMAREQ		
ch25	[TSEL0CR6] <INSEL25[2: 0]> (注 1)	T32A ch10 DMA 要求 レジスターB1 一致	T32A10DMAREQCMPB1	-	-
		T32A ch10 DMA 要求 キャプチャーB0	T32A10DMAREQCAPB0		
		T32A ch10 DMA 要求 キャプチャーA1	T32A10DMAREQCAPA1		
		T32A ch10 DMA 要求 キャプチャーB1	T32A10DMAREQCAPB1		
		UART ch2 送信 DMA 要求	UART2TX_DMAREQ		
ch26	[TSEL0CR6] <INSEL26[2: 0]> (注 1)	T32A ch11 DMA 要求 レジスターA1 一致	T32A11DMAREQCMAPA1	-	-
		T32A ch11 DMA 要求 レジスターC1 一致	T32A11DMAREQCMPC1		
		T32A ch11 DMA 要求 キャプチャーA0	T32A11DMAREQCAPA0		
		T32A ch11 DMA 要求 キャプチャーC0	T32A11DMAREQCAPC0		
		TSSI ch1 受信 DMA 要求(注 2)(注 3)	TSSI1RXDMAREQ		
ch27	[TSEL0CR6] <INSEL27[2: 0]> (注 1)	T32A ch11 DMA 要求 レジスターB1 一致	T32A11DMAREQCMPB1	-	-
		T32A ch11 DMA 要求 キャプチャーB0	T32A11DMAREQCAPB0		
		T32A ch11 DMA 要求 キャプチャーA1	T32A11DMAREQCAPA1		
		T32A ch11 DMA 要求 キャプチャーB1	T32A11DMAREQCAPB1		
		TSSI ch1 送信 DMA 要求(注 2)(注 3)	TSSI1TXDMAREQ		

注 1) ch0 ~ ch31 はトリガーセレクトで DMA 転送要求のトリガーソースを選択します。詳細な接続先については、「2.2.トリガーセレクト(TRGSEL)」を参照してください。

注 2) M4NQ 製品には機能はありません。

注 3) M4NN 製品には機能はありません。

表 2.35 MDMAC DMA転送要求一覧: ユニットA (5/5)

チャンネル	シングル転送要求			バースト転送要求	
	トリガーセレクト		信号名		信号名
ch28	[TSEL0CR7] <INSEL28[2: 0]> (注 1)	T32A ch12 DMA 要求 レジスターA1 一致	T32A12DMAREQCMAPA1	-	-
		T32A ch12 DMA 要求 レジスターC1 一致	T32A12DMAREQCMPC1		
		UART ch3 受信 DMA 要求(注 3)	UART3RX_DMAREQ		
		T32A ch12 DMA 要求 キャプチャーA0	T32A12DMAREQCAPA0		
		T32A ch12 DMA 要求 キャプチャーC0	T32A12DMAREQCAPC0		
ch29	[TSEL0CR7] <INSEL29[2: 0]> (注 1)	T32A ch12 DMA 要求 レジスターB1 一致	T32A12DMAREQCMPB1	-	-
		UART ch3 送信 DMA 要求(注 3)	UART3TX_DMAREQ		
		A-PMD ch0 PWM 割り込み	INTPWM0		
		T32A ch12 DMA 要求 キャプチャーB0	T32A12DMAREQCAPB0		
ch30	[TSEL0CR7] <INSEL30[2: 0]> (注 1)	T32A ch13 DMA 要求 レジスターA1 一致	T32A13DMAREQCMAPA1	-	-
		T32A ch13 DMA 要求 レジスターC1 一致	T32A13DMAREQCMPC1		
		UART ch5 受信 DMA 要求(注 2)(注 3)	UART5RX_DMAREQ		
		T32A ch13 DMA 要求 キャプチャーA0	T32A13DMAREQCAPA0		
		T32A ch13 DMA 要求 キャプチャーC0	T32A13DMAREQCAPC0		
ch31	[TSEL0CR7] <INSEL31[2: 0]> (注 1)	T32A ch13 DMA 要求 レジスターB1 一致	T32A13DMAREQCMPB1	-	-
		UART ch5 送信 DMA 要求(注 2)(注 3)	UART5TX_DMAREQ		
		PT3 端子(TRGIN2) (注 4)	TRGIN2		
		T32A ch13 DMA 要求 キャプチャーB0	T32A13DMAREQCAPB0		

注 1) ch0 ~ ch31 はトリガーセレクトで DMA 転送要求のトリガーソースを選択します。詳細な接続先については、「2.2.トリガーセレクト(TRGSEL)」を参照してください。

注 2) M4NQ 製品には機能はありません。

注 3) M4NN 製品には機能はありません。

注 4) DMA 転送要求する場合は、中速システムクロック(fsystm)で3サイクル以上の"H"パルスを PT3 ポートへ入力してください。

2.10. アドバンストプログラマブルモーター制御回路(A-PMD)

2.10.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.36 A-PMD 搭載チャンネル

製品	A-PMD 搭載チャンネル (○: あり、×: なし)
	ch0
M4NR	○
M4NQ	○
M4NN	○

2.10.2. システムクロック

A-PMD は以下の表のクロックをシステムクロックとして動作します。

表 2.37 A-PMD システムクロック

クロック	信号名
システムクロック	fsysm

2.10.3. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。

表 2.38 A-PMD 機能端子

チャンネル	機能端子		ポート	ポートの製品対応 (○: あり、×: なし)		
				M4NR	M4NQ	M4NN
ch0	XO0	出力	PD1	○	○	○
			PV1	○	○	×
	YO0	出力	PD3	○	○	○
			PV3	○	○	×
	ZO0	出力	PD5	○	○	○
			PV5	○	○	×
	UO0	出力	PD0	○	○	○
			PV0	○	○	×
	VO0	出力	PD2	○	○	○
			PV2	○	○	×
	WO0	出力	PD4	○	○	○
			PV4	○	○	×
	EMG0	入力	PD6	○	○	○
			PV6	○	○	×
	OVV0	入力	PD7	○	○	○
			PV7	○	○	×
	PMD0DBG	出力	-	×	×	×

2.10.4. DMA 要求

A-PMD は、以下の表に示す DMA 要求があります。

表 2.39 A-PMD DMA要求

チャンネル	要求		トリガーセレクト	DMA 要求チャンネル(MDMAC ユニット A)		
		信号名			シングル転送	バースト転送
ch0	PWM 割り込み	INTPWM0	[TSEL0CR7] <INSEL29[2: 0]>	29	○	×

注) ○: 対応、×: 非対応

2.10.5. 内部信号接続仕様

A-PMD は、下記表のように内部で周辺機能と接続されている信号があります。

2.10.5.1. ADC 接続

表 2.40 A-PMD 内部信号接続仕様: 出力

チャネル	機能出力		出力先		
		信号名	トリガーセクター		信号名
ch0	ADC 同期トリガー出力 0	PMD0TRG0	<i>[TSEL0CR8]</i> <INSEL32[2: 0]>	ADC ユニット A 最優先トリガー入力	ADAHPTRGIN
	ADC 同期トリガー出力 1	PMD0TRG1			
	ADC 同期トリガー出力 2	PMD0TRG2			
	ADC 同期トリガー出力 3	PMD0TRG3			
	ADC 同期トリガー出力 0	PMD0TRG0	<i>[TSEL0CR8]</i> <INSEL33[2: 0]>	ADC ユニット A 汎用トリガー入力	ADATRGIN
	ADC 同期トリガー出力 1	PMD0TRG1			
	ADC 同期トリガー出力 2	PMD0TRG2			
	ADC 同期トリガー出力 3	PMD0TRG3			

2.11. 12 ビットアナログデジタルコンバーター(ADC)

2.11.1. 搭載ユニット

製品毎の搭載ユニットを下記表に示します。

表 2.41 ADC 搭載ユニット

製品	ADC 搭載ユニット (○: あり、×: なし)
	ユニット A
M4NR	○
M4NQ	○
M4NN	○

2.11.2. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。

表 2.42 ADC 機能端子とポート

ユニット	入力チャンネル	機能端子	ポート	ポートの製品対応 (○: あり、×: なし)		
				M4NR	M4NQ	M4NN
A	ch0	AINA00	PN0	○	○	○
	ch1	AINA01	PN1	○	○	○
	ch2	AINA02	PN2	○	○	○
	ch3	AINA03	PN3	○	○	○
	ch4	AINA04	PN4	○	○	○
	ch5	AINA05	PN5	○	○	○
	ch6	AINA06	PN6	○	○	○
	ch7	AINA07	PN7	○	○	○
	ch8	AINA08	PP0	○	○	○
	ch9	AINA09	PP1	○	○	○
	ch10	AINA10	PP2	○	○	○
	ch11	AINA11	PP3	○	○	○
	ch12	AINA12	PP4	○	○	○
	ch13	AINA13	PP5	○	○	○
	ch14	AINA14	PP6	○	○	○
	ch15	AINA15	PP7	○	○	○
	ch16	AINA16	PR0	○	○	×
	ch17	AINA17	PR1	○	○	×
	ch18	AINA18	PR2	○	○	×
	ch19	AINA19	PR3	○	○	×
	ch20	AINA20	PR4	○	○	×
	ch21	AINA21	PR5	○	○	×
	ch22	AINA22	PR6	○	○	×
	ch23	AINA23	PR7	○	○	×

注) ADAHPTRGIN、ADATRGIN 入力は「2.11.8.1.起動トリガー接続仕様」を参照してください。

2.11.3. アナログ基準端子

アナログ基準端子(VREFHA,VREFLA)は、アナログ電源端子(AVDD3,AVSS)と兼用です。

2.11.4. ADC 用変換クロック

ADC は、AD コンバーター用変換クロックに以下の表に示すクロックが使用されます。

表 2.43 ADC 用変換クロック

クロック
ADCLK

2.11.5. モード設定レジスター2 の設定値

モード設定レジスター2 ([ADxMOD2])の設定値については、以下の表の値を必ず設定してください。

表 2.44 ADC モード設定レジスター2の設定値

レジスター名	値
[ADxMOD2]<MOD2[31: 0]>	0x00000000

2.11.6. DMA 要求

ADC は、以下の表に示す DMA 要求があります。

表 2.45 ADC DMA要求

ユニット	要求		トリガーセクター	DMA 要求チャンネル(MDMAC ユニット A)		
		信号名			シングル転送	バースト転送
A	汎用トリガーDMA 要求	ADATRG_DMAREQ	[TSEL0CR4] <INSEL19[2: 0]>	19	○	×
	最優先 DMA 要求	ADAHP_DMAREQ	[TSEL0CR5] <INSEL21[2: 0]>	21	○	×

注) ○: 対応、×: 非対応

2.11.7. 監視機能

監視機能は以下の表に示す機能に対応しています。

表 2.46 ADC 監視機能の対応

機能	機能対応 (○: あり、×なし)
監視機能 0	○
監視機能 1	○
監視機能 2	×
監視機能 3	×

2.11.8. 内部信号接続仕様

2.11.8.1. 起動トリガー接続仕様

ADC には、トリガー信号による AD 変換機能があります。

表 2.47 ADC 起動トリガー接続仕様

ユニット	トリガー入力		起動トリガー		
		信号名	トリガーセクター		信号名
A	最優先トリガー入力	ADAHPTRGIN	[TSEL0CR8] <INSEL32[2: 0]> (注)	ADC 同期トリガー出力 0	PMD0TRG0
				ADC 同期トリガー出力 1	PMD0TRG1
				ADC 同期トリガー出力 2	PMD0TRG2
				ADC 同期トリガー出力 3	PMD0TRG3
				TRGSEL 37 出力	TRGSEL0OUT37
				TRGSEL 38 出力	TRGSEL0OUT38
	汎用トリガー入力	ADATRGIN	[TSEL0CR8] <INSEL33[2: 0]> (注)	ADC 同期トリガー出力 0	PMD0TRG0
				ADC 同期トリガー出力 1	PMD0TRG1
				ADC 同期トリガー出力 2	PMD0TRG2
				ADC 同期トリガー出力 3	PMD0TRG3
				TRGSEL 37 出力	TRGSEL0OUT37
				TRGSEL 38 出力	TRGSEL0OUT38

注) トリガーセクターで起動トリガーのトリガーソースを選択します。詳細な接続先については、「2.2. トリガーセクター(TRGSEL)」を参照してください。

表 2.48 ADC 起動トリガー接続仕様(TRGSEL37,38出力)

接続元(信号名)	起動トリガー		
	トリガーセクター		信号名
TRGSEL37 出力 (TRGSEL0OUT37)	[TSEL0CR9] <INSEL37[2: 0]> (注)	T32A ch9 タイマーレジスターA1 一致トリガー	T32A09TRGOUTCMPA1
		T32A ch9 タイマーレジスターB1 一致トリガー	T32A09TRGOUTCMPB1
		T32A ch10 タイマーレジスターA1 一致トリガー	T32A10TRGOUTCMPA1
		T32A ch10 タイマーレジスターB1 一致トリガー	T32A10TRGOUTCMPB1
		T32A ch11 タイマーレジスターA1 一致トリガー	T32A11TRGOUTCMPA1
		T32A ch11 タイマーレジスターB1 一致トリガー	T32A11TRGOUTCMPB1
		PG3 端子(TRGIN0)	TRGIN0
		PL7 端子(TRGIN1)	TRGIN1
TRGSEL38 出力 (TRGSEL0OUT38)	[TSEL0CR9] <INSEL38[2: 0]> (注)	T32A ch9 タイマーレジスターA1 一致トリガー	T32A09TRGOUTCMPA1
		T32A ch9 タイマーレジスターB1 一致トリガー	T32A09TRGOUTCMPB1
		T32A ch10 タイマーレジスターA1 一致トリガー	T32A10TRGOUTCMPA1
		T32A ch10 タイマーレジスターB1 一致トリガー	T32A10TRGOUTCMPB1
		T32A ch11 タイマーレジスターA1 一致トリガー	T32A11TRGOUTCMPA1
		T32A ch11 タイマーレジスターB1 一致トリガー	T32A11TRGOUTCMPB1
		PG3 端子(TRGIN0)	TRGIN0
		PL7 端子(TRGIN1)	TRGIN1

注) トリガーセクターで起動トリガーのトリガーソースを選択します。詳細な接続先については、「2.2. トリガーセクター(TRGSEL)」を参照してください。

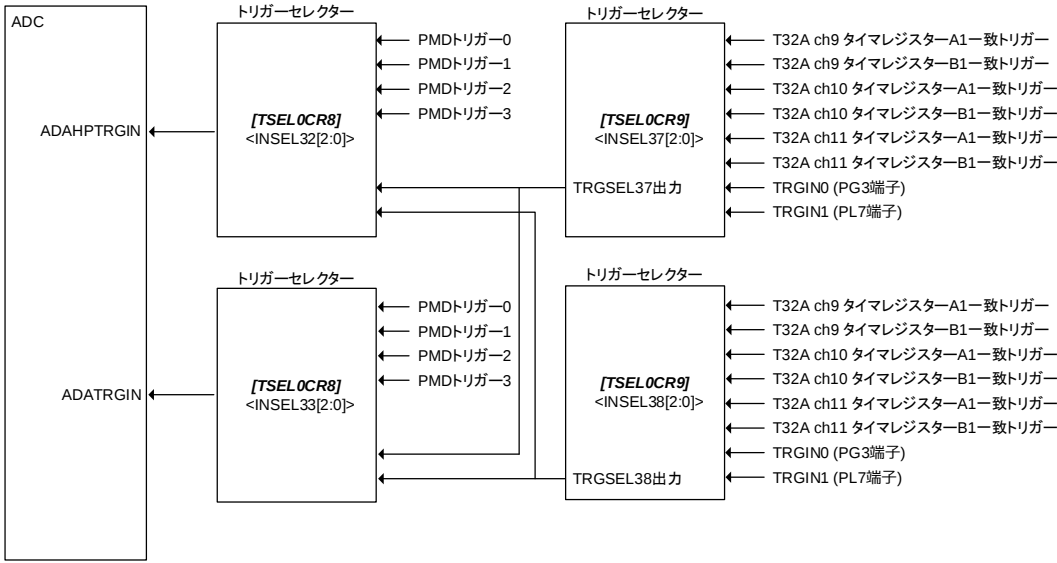


図 2.2 ADC 起動トリガー接続仕様概略図

2.12. 8ビットデジタルアナログコンバーター(DAC)

2.12.1. 搭載チャネル

製品毎の搭載チャネルを下記表に示します。

表 2.49 DAC 搭載チャネル

製品	DAC 搭載チャネル (○: あり、×: なし)	
	ch0	ch1
M4NR	○	○
M4NQ	○	○
M4NN	○	○

2.12.2. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。

表 2.50 DAC機能端子とポート

チャネル	機能端子	ポート	ポートの製品対応 (○: あり、×: なし)		
			M4NR	M4NQ	M4NN
ch0	DAC0	PT0	○	○	○
ch1	DAC1	PT1	○	○	○

2.13. 電圧検知回路(LVD)

2.13.1. 搭載一覧

製品毎の搭載一覧を下記表に示します。

表 2.51 LVD搭載一覧

製品	LVD 搭載 (○: あり、×: なし)
M4NR	○
M4NQ	○
M4NN	○

2.13.2. 検知対象電源

LVD は以下の表の電源をモニターします。

表 2.52 LVD 検知対象電源

検知対象電源	電源名
デジタル用電源端子	DVDD3

2.14. 32 ビットタイマーイベントカウンタ(T32A)

2.14.1. 搭載チャネル

製品毎の搭載チャネルを下記表に示します。

表 2.53 T32A 搭載チャネル

製品	T32A 搭載チャネル (○: あり, ×: なし)															
	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7	ch8	ch9	ch10	ch11	ch12	ch13	ch14	ch15
M4NR	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
M4NQ	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○
M4NN	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○

2.14.2. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。
複数に割り当てられている同一機能端子は排他的に使用してください。

表 2.54 T32A 機能端子とポート(1/4)

チャネル	機能端子		ポート	ポートの製品対応 (○: あり, ×: なし)		
				M4NR	M4NQ	M4NN
ch0	T32A00INA0	入力	PA0/PK0	○/○	○/○	○/○
	T32A00INA1	入力	PA3	○	○	○
	T32A00OUTA	出力	PA1/PW1	○/○	○/×	○/×
	T32A00INB0	入力	PA3/PK1	○/○	○/○	○/○
	T32A00INB1	入力	PA0	○	○	○
	T32A00OUTB	出力	PA2/PW0	○/○	○/×	○/×
	T32A00INC0	入力	PA0/PK0	○/○	○/○	○/○
	T32A00INC1	入力	PA3/PK1	○/○	○/○	○/○
	T32A00OUTC	出力	PA1/PW1	○/○	○/×	○/×
ch1	T32A01INA0	入力	PA4/PK6	○/○	○/○	○/○
	T32A01INA1	入力	PA7	○	○	×
	T32A01OUTA	出力	PA5/PW2	○/○	○/×	○/×
	T32A01INB0	入力	PA7/PK7	○/○	○/○	×/○
	T32A01INB1	入力	PA4	○	○	○
	T32A01OUTB	出力	PA6/PW3	○/○	○/×	○/×
	T32A01INC0	入力	PA4/PK6	○/○	○/○	○/○
	T32A01INC1	入力	PA7/PK7	○/○	○/○	×/○
	T32A01OUTC	出力	PA5/PW2	○/○	○/×	○/×

表 2.55 T32A 機能信号とポート(2/4)

チャンネル	機能端子		ポート	ポートの製品対応 (O: あり, ×: なし)		
				M4NR	M4NQ	M4NN
ch2	T32A02INA0	入力	PB0/PL0	O/O	O/O	O/O
	T32A02INA1	入力	PB1	O	O	O
	T32A02OUTA	出力	PB2/PG5	O/O	O/O	O/O
	T32A02INB0	入力	PB1/PL3	O/O	O/O	O/O
	T32A02INB1	入力	PB0	O	O	O
	T32A02OUTB	出力	PB3/PG4	O/O	O/O	O/O
	T32A02INC0	入力	PB0/PL0	O/O	O/O	O/O
	T32A02INC1	入力	PB1/PL3	O/O	O/O	O/O
	T32A02OUTC	出力	PB2/PG5	O/O	O/O	O/O
ch3	T32A03INA0	入力	PJ4	O	×	×
	T32A03INA1	入力	-	×	×	×
	T32A03OUTA	出力	PT3	O	O	O
	T32A03INB0	入力	PJ5	O	×	×
	T32A03INB1	入力	-	×	×	×
	T32A03OUTB	出力	PT5	O	O	×
	T32A03INC0	入力	PJ4	O	×	×
	T32A03INC1	入力	PJ5	O	×	×
	T32A03OUTC	出力	PT3	O	O	O
ch4	T32A04INA0	入力	PD0/PP0	O/O	O/O	O/O
	T32A04INA1	入力	PD1/PP1	O/O	O/O	O/O
	T32A04OUTA	出力	PD2/PV5	O/O	O/O	O/×
	T32A04INB0	入力	PD1/PP1	O/O	O/O	O/O
	T32A04INB1	入力	PD0/PP0	O/O	O/O	O/O
	T32A04OUTB	出力	PD3/PV4	O/O	O/O	O/×
	T32A04INC0	入力	PD0/PP0	O/O	O/O	O/O
	T32A04INC1	入力	PD1/PP1	O/O	O/O	O/O
	T32A04OUTC	出力	PD2/PV5	O/O	O/O	O/×
ch5	T32A05INA0	入力	PD6/PP2	O/O	O/O	O/O
	T32A05INA1	入力	PD7/PP3	O/O	O/O	O/O
	T32A05OUTA	出力	PD4/PV6	O/O	O/O	O/×
	T32A05INB0	入力	PD7/PP3	O/O	O/O	O/O
	T32A05INB1	入力	PD6/PP2	O/O	O/O	O/O
	T32A05OUTB	出力	PD5/PV7	O/O	O/O	O/×
	T32A05INC0	入力	PD6/PP2	O/O	O/O	O/O
	T32A05INC1	入力	PD7/PP3	O/O	O/O	O/O
	T32A05OUTC	出力	PD4/PV6	O/O	O/O	O/×
ch6	T32A06INA0	入力	PE2/PP4	O/O	O/O	O/O
	T32A06INA1	入力	PE0/PP5	O/O	O/O	O/O
	T32A06OUTA	出力	PE1/PM5	O/O	O/O	O/×
	T32A06INB0	入力	PE3/PP5	O/O	O/O	O/O
	T32A06INB1	入力	PE0/PP4	O/O	O/O	O/O
	T32A06OUTB	出力	PE0/PM4	O/O	O/O	O/×
	T32A06INC0	入力	PE2/PP4	O/O	O/O	O/O
	T32A06INC1	入力	PE3/PP5	O/O	O/O	O/O
	T32A06OUTC	出力	PE1/PM5	O/O	O/O	O/×

表 2.56 T32A 機能信号とポート(3/4)

チャンネル	機能端子		ポート	ポートの製品対応 (O: あり, ×: なし)		
				M4NR	M4NQ	M4NN
ch7	T32A07INA0	入力	PE4/PP6	O/O	O/O	O/O
	T32A07INA1	入力	PE7/PP7	O/O	O/O	O/O
	T32A07OUTA	出力	PE6/PM6	O/O	O/O	O/×
	T32A07INB0	入力	PE5/PP7	O/O	O/O	O/O
	T32A07INB1	入力	PE7/PP6	O/O	O/O	O/O
	T32A07OUTB	出力	PE7/PM7	O/O	O/O	O/×
	T32A07INC0	入力	PE4/PP6	O/O	O/O	O/O
	T32A07INC1	入力	PE5/PP7	O/O	O/O	O/O
	T32A07OUTC	出力	PE6/PM6	O/O	O/O	O/×
ch8	T32A08INA0	入力	PR0	O	O	×
	T32A08INA1	入力	-	×	×	×
	T32A08OUTA	出力	PL4	O	×	×
	T32A08INB0	入力	PR1	O	O	×
	T32A08INB1	入力	-	×	×	×
	T32A08OUTB	出力	PL5	O	×	×
	T32A08INC0	入力	PR0	O	O	×
	T32A08INC1	入力	PR1	O	O	×
	T32A08OUTC	出力	PL4	O	×	×
ch9	T32A09INA0	入力	PR2/PV0	O/O	O/O	×/×
	T32A09INA1	入力	-	×	×	×
	T32A09OUTA	出力	PL6/PV2	O/O	×/O	×/×
	T32A09INB0	入力	PR3/PV1	O/O	O/O	×/×
	T32A09INB1	入力	-	×	×	×
	T32A09OUTB	出力	PL7/PV3	O/O	×/O	×/×
	T32A09INC0	入力	PR2/PV0	O/O	O/O	×/×
	T32A09INC1	入力	PR3/PV1	O/O	O/O	×/×
	T32A09OUTC	出力	PL6/PV2	O/O	×/O	×/×
ch10	T32A10INA0	入力	PR4/PW4	O/O	O/×	×/×
	T32A10INA1	入力	PW7	O	×	×
	T32A10OUTA	出力	PC4/PW5	O/O	×/×	×/×
	T32A10INB0	入力	PR5	O	O	×
	T32A10INB1	入力	-	×	×	×
	T32A10OUTB	出力	PC5/PW4	O/O	×/×	×/×
	T32A10INC0	入力	PR4	O	O	×
	T32A10INC1	入力	PR5	O	O	×
	T32A10OUTC	出力	PC4/PW5	O/O	×/×	×/×
ch11	T32A11INA0	入力	PR6/PW7	O/O	O/×	×/×
	T32A11INA1	入力	PW4	O	×	×
	T32A11OUTA	出力	PM2/PW6	O/O	O/×	×/×
	T32A11INB0	入力	PR7	O	O	×
	T32A11INB1	入力	-	×	×	×
	T32A11OUTB	出力	PM3/PW7	O/O	O/×	×/×
	T32A11INC0	入力	PR6	O	O	×
	T32A11INC1	入力	PR7	O	O	×
	T32A11OUTC	出力	PM2/PW6	O/O	O/×	×/×

表 2.57 T32A 機能信号とポート(4/4)

チャンネル	機能端子		ポート	ポートの製品対応 (○: あり, ×: なし)		
				M4NR	M4NQ	M4NN
ch12	T32A12INA0	入力	PU2	○	○	×
	T32A12INA1	入力	-	×	×	×
	T32A12OUTA	出力	PU0	○	○	×
	T32A12INB0	入力	PU3	○	○	×
	T32A12INB1	入力	-	×	×	×
	T32A12OUTB	出力	-	×	×	×
	T32A12INC0	入力	PU2	○	○	×
	T32A12INC1	入力	PU3	○	○	×
	T32A12OUTC	出力	PU0	○	○	×
ch13	T32A13INA0	入力	PU5	○	×	×
	T32A13INA1	入力	-	×	×	×
	T32A13OUTA	出力	PU6	○	×	×
	T32A13INB0	入力	PU4	○	×	×
	T32A13INB1	入力	-	×	×	×
	T32A13OUTB	出力	PU7	○	×	×
	T32A13INC0	入力	PU5	○	×	×
	T32A13INC1	入力	PU4	○	×	×
	T32A13OUTC	出力	PU6	○	×	×

注) ch14、ch15 の機能端子はポート入出力されません。

2.14.3. プリスケラー用クロック

T32A は、プリスケラー用クロックに以下の表に示すクロックが使用されます。

表 2.58 T32A プリスケラー用クロック

プリスケラー用クロック
ΦT0m

2.14.4. 内部信号接続仕様

T32A は、下記表のように内部で接続されている信号があります。

2.14.4.1. キャプチャー/カウンタチャネル間接続仕様

T32A は、以下の表に示すキャプチャートリガー信号が接続されます。

下記表のトリガーセクター欄にレジスター名のある入力トリガー信号は、トリガーセクターで使用する入力トリガーを選択してください。

表 2.59 T32A 入力トリガー接続

T32A				トリガーセクター	T32A			
チャネル	タイマー	機能入力	信号名		チャネル	タイマー	機能出力	信号名
ch0	A	内部トリガー (レジスターA0 一致)	T32A00TRGOUTCMPA0	[TSEL0CR11] <INSEL47[2: 0]>	ch0	B	内部トリガー 入力	T32A00TRGINBPCK
ch1	A	内部トリガー (レジスターA0 一致)	T32A01TRGOUTCMPA0	[TSEL0CR12] <INSEL49[2: 0]>	ch1	B	内部トリガー 入力	T32A01TRGINBPCK
ch2	A	内部トリガー (レジスターA0 一致)	T32A02TRGOUTCMPA0	[TSEL0CR11] <INSEL51[2: 0]>	ch2	B	内部トリガー 入力	T32A02TRGINBPCK
				-	ch12	A	内部トリガー 入力	T32A12TRGINAPCK
				-	ch12	B		T32A12TRGINBPCK
				[TSEL0CR8] <INSEL35[2: 0]>	ch13	A		T32A13TRGINAPCK
				[TSEL0CR9] <INSEL36[2: 0]>	ch13	B		T32A13TRGINBPCK
ch3	A	内部トリガー (レジスターA0 一致)	T32A03TRGOUTCMPA0	[TSEL0CR13] <INSEL53[2: 0]>	ch3	B	内部トリガー 入力	T32A03TRGINBPCK
ch4	A	内部トリガー (レジスターA0 一致)	T32A04TRGOUTCMPA0	[TSEL0CR13] <INSEL55[2: 0]>	ch4	B	内部トリガー 入力	T32A04TRGINBPCK
ch5	A	内部トリガー (レジスターA0 一致)	T32A05TRGOUTCMPA0	[TSEL0CR10] <INSEL40[2: 0]>	ch5	B	内部トリガー 入力	T32A05TRGINBPCK
ch6	A	内部トリガー (レジスターA0 一致)	T32A06TRGOUTCMPA0	[TSEL0CR10] <INSEL42[2: 0]>	ch6	B	内部トリガー 入力	T32A06TRGINBPCK
ch7	A	内部トリガー (レジスターA0 一致)	T32A07TRGOUTCMPA0	[TSEL0CR11] <INSEL44[2: 0]>	ch7	B	内部トリガー 入力	T32A07TRGINBPCK
ch12	A	内部トリガー (レジスターA0 一致)	T32A12TRGOUTCMPA0	[TSEL0CR11] <INSEL46[2: 0]>	ch0	A	内部トリガー 入力	T32A00TRGINAPCK
				[TSEL0CR11] <INSEL47[2: 0]>	ch0	B		T32A00TRGINBPCK
				[TSEL0CR12] <INSEL48[2: 0]>	ch1	A		T32A01TRGINAPCK
				[TSEL0CR12] <INSEL49[2: 0]>	ch1	B		T32A01TRGINBPCK
ch12	B	内部トリガー (レジスターB0 一致)	T32A12TRGOUTCMPB0	[TSEL0CR12] <INSEL50[2: 0]>	ch2	A	内部トリガー 入力	T32A02TRGINAPCK
				[TSEL0CR12] <INSEL51[2: 0]>	ch2	B		T32A02TRGINBPCK
				[TSEL0CR13] <INSEL52[2: 0]>	ch3	A		T32A03TRGINAPCK
				[TSEL0CR13] <INSEL53[2: 0]>	ch3	B		T32A03TRGINBPCK
ch12	C	内部トリガー (レジスターC0 一致)	T32A12TRGOUTCMPC0	-	ch0	C	内部トリガー 入力	T32A00TRGINCPCK

T32A				トリガーセレクト	T32A			
チャンネル	タイマー	機能入力	信号名		チャンネル	タイマー	機能出力	信号名
				-	ch1	C		T32A01TRGINCPCK
				-	ch2	C		T32A02TRGINCPCK
				-	ch3	C		T32A03TRGINCPCK
ch13	A	内部トリガー (レジスターA0 一致)	T32A13TRGOUTCMPA0	[TSEL0CR13] <INSEL54[2: 0]>	ch4	A	内部トリガー 入力	T32A04TRGINAPCK
				[TSEL0CR13] <INSEL55[2: 0]>	ch4	B		T32A04TRGINBPCK
				[TSEL0CR9] <INSEL39[2: 0]>	ch5	A		T32A05TRGINAPCK
				[TSEL0CR10] <INSEL40[2: 0]>	ch5	B		T32A05TRGINBPCK
ch13	B	内部トリガー (レジスターB0 一致)	T32A13TRGOUTCMPB0	[TSEL0CR10] <INSEL41[2: 0]>	ch6	A	内部トリガー 入力	T32A06TRGINAPCK
				[TSEL0CR10] <INSEL42[2: 0]>	ch6	B		T32A06TRGINBPCK
				[TSEL0CR10] <INSEL43[2: 0]>	ch7	A		T32A07TRGINAPCK
				[TSEL0CR11] <INSEL44[2: 0]>	ch7	B		T32A07TRGINBPCK
ch13	C	内部トリガー (レジスターC0 一致)	T32A13TRGOUTCMPC0	-	ch4	C	内部トリガー 入力	T32A04TRGINCPCK
				-	ch5	C		T32A05TRGINCPCK
				-	ch6	C		T32A06TRGINCPCK
				-	ch7	C		T32A07TRGINCPCK
ch14	A	内部トリガー (レジスターA0 一致)	T32A14TRGOUTCMPA0	-	ch14	B	内部トリガー 入力	T32A14TRGINBPCK
ch15	A	内部トリガー (レジスターA0 一致)	T32A15TRGOUTCMPA0	-	ch15	B	内部トリガー 入力	T32A15TRGINBPCK
ch8	C	内部トリガー (レジスターC0 一致)	T3208TRGOUTCMPC0	-	ch9	C	内部トリガー 入力	T32A09TRGINCPCK
ch10	C	内部トリガー (レジスターC0 一致)	T32A10TRGOUTCMPC0	-	ch11	C	内部トリガー 入力	T32A11TRGINCPCK
ch12	C	内部トリガー (レジスターC0 一致)	T32A12TRGOUTCMPC0	-	ch13	C	内部トリガー 入力	T32A13TRGINCPCK
ch14	C	内部トリガー (レジスターC0 一致)	T32A14TRGOUTCMPC0	-	ch15	C	内部トリガー 入力	T32A15TRGINCPCK

注) -: 非該当

表 2.60 T32A タイマー出力トリガー接続

T32A				トリガーセレクト	T32A			
チャンネル	タイマー	機能出力	信号名		チャンネル	タイマー	機能入力	信号名
ch0	A	タイマー出力	T32A00OUTA	-	ch12	A	他タイマー出力	T32A12TRGINAPHCK
ch0	B	タイマー出力	T32A00OUTB	-	ch12	B	他タイマー出力	T32A12TRGINBPHCK
ch0	C	タイマー出力	T32A00OUTC	-	ch1	C	他タイマー出力	T32A01TRGINCPHCK
ch1	A	タイマー出力	T32A01OUTA	-	ch13	A	他タイマー出力	T32A13TRGINAPHCK
ch1	B	タイマー出力	T32A01OUTB	-	ch13	B	他タイマー出力	T32A13TRGINBPHCK
ch2	A	タイマー出力	T32A02OUTA	-	ch14	A	他タイマー出力	T32A14TRGINAPHCK
ch2	B	タイマー出力	T32A02OUTB	-	ch14	B	他タイマー出力	T32A14TRGINBPHCK
ch2	C	タイマー出力	T32A02OUTC	-	ch3	C	他タイマー出力	T32A03TRGINCPHCK
ch3	A	タイマー出力	T32A03OUTA	-	ch15	A	他タイマー出力	T32A15TRGINAPHCK
ch3	B	タイマー出力	T32A03OUTB	-	ch15	B	他タイマー出力	T32A15TRGINBPHCK
ch4	A	タイマー出力	T32A04OUTA	-	ch8	A	他タイマー出力	T32A08TRGINAPHCK
ch4	B	タイマー出力	T32A04OUTB	[TSEL0CR11] <INSEL45[2: 0]>	ch8	B	他タイマー出力	T32A08TRGINBPHCK
ch4	C	タイマー出力	T32A04OUTC	-	ch5	C	他タイマー出力	T32A05TRGINCPHCK
ch5	A	タイマー出力	T32A05OUTA	-	ch9	A	他タイマー出力	T32A09TRGINAPHCK
ch5	B	タイマー出力	T32A05OUTB	-	ch9	B	他タイマー出力	T32A09TRGINBPHCK
ch6	A	タイマー出力	T32A06OUTA	-	ch10	A	他タイマー出力	T32A10TRGINAPHCK
ch6	B	タイマー出力	T32A06OUTB	-	ch10	B	他タイマー出力	T32A10TRGINBPHCK
ch6	C	タイマー出力	T32A06OUTC	-	ch7	C	他タイマー出力	T32A07TRGINCPHCK
ch7	A	タイマー出力	T32A07OUTA	-	ch11	A	他タイマー出力	T32A11TRGINAPHCK
ch7	B	タイマー出力	T32A07OUTB	-	ch11	B	他タイマー出力	T32A11TRGINBPHCK
ch8	A	タイマー出力	T32A08OUTA	[TSEL0CR11] <INSEL45[2: 0]>	ch8	B	他タイマー出力	T32A08TRGINBPHCK
ch8	C	タイマー出力	T32A08OUTC	-	ch9	C	他タイマー出力	T32A09TRGINCPHCK
ch10	C	タイマー出力	T32A10OUTC	-	ch11	C	他タイマー出力	T32A11TRGINCPHCK
ch12	C	タイマー出力	T32A12OUTC	-	ch13	C	他タイマー出力	T32A13TRGINCPHCK
ch14	C	タイマー出力	T32A14OUTC	-	ch15	C	他タイマー出力	T32A15TRGINCPHCK

注) -: 非該当

2.14.4.2. 同期制御接続仕様

T32A は、以下の表に示すように同じチャンネル内でタイマーが同期接続されています。

表 2.61 T32A 同期制御接続仕様(1/3)

マスター				スレーブ			
チャンネル	タイマー	機能出力	信号名	チャンネル	タイマー	機能入力	信号名
ch0	A	同期スタート出力 A	T32A00SYNCSTARTOUTA	ch0	B	同期スタート B	T32A00SYNCSTARTB
				ch1	A	同期スタート A	T32A01SYNCSTARTA
				ch1	B	同期スタート B	T32A01SYNCSTARTB
		同期ストップ出力 A	T32A00SYNCSTOPOUTA	ch0	B	同期停止 B	T32A00SYNCSTOPB
				ch1	A	同期停止 A	T32A01SYNCSTOPA
				ch1	B	同期停止 B	T32A01SYNCSTOPB
		同期リロード出力 A	T32A00SYNCRELOADOUTA	ch0	B	同期リロード B	T32A00SYNCRELOADB
				ch1	A	同期リロード A	T32A01SYNCRELOADA
				ch1	B	同期リロード B	T32A01SYNCRELOADB
ch0	C	同期スタート出力 C	T32A00SYNCSTARTOUTC	ch1	C	同期スタート C	T32A01SYNCSTARTC
		同期ストップ出力 C	T32A00SYNCSTOPOUTC	ch1	C	同期停止 C	T32A01SYNCSTOPC
		同期リロード出力 C	T32A00SYNCRELOADOUTC	ch1	C	同期リロード C	T32A01SYNCRELOADC
ch2	A	同期スタート出力 A	T32A02SYNCSTARTOUTA	ch2	B	同期スタート B	T32A02SYNCSTARTB
				ch3	A	同期スタート A	T32A03SYNCSTARTA
				ch3	B	同期スタート B	T32A03SYNCSTARTB
		同期ストップ出力 A	T32A02SYNCSTOPOUTA	ch2	B	同期停止 B	T32A02SYNCSTOPB
				ch3	A	同期停止 A	T32A03SYNCSTOPA
				ch3	B	同期停止 B	T32A03SYNCSTOPB
		同期リロード出力 A	T32A02SYNCRELOADOUTA	ch2	B	同期リロード B	T32A02SYNCRELOADB
				ch3	A	同期リロード A	T32A03SYNCRELOADA
				ch3	B	同期リロード B	T32A03SYNCRELOADB
ch2	C	同期スタート出力 C	T32A02SYNCSTARTOUTC	ch3	C	同期スタート C	T32A03SYNCSTARTC
		同期ストップ出力 C	T32A02SYNCSTOPOUTC	ch3	C	同期停止 C	T32A03SYNCSTOPC
		同期リロード出力 C	T32A02SYNCRELOADOUTC	ch3	C	同期リロード C	T32A03SYNCRELOADC

表 2.62 T32A 同期制御接続仕様(2/3)

マスター				スレーブ			
チャンネル	タイマー	機能出力	信号名	チャンネル	タイマー	機能入力	信号名
ch4	A	同期スタート出力 A	T32A04SYNCSTARTOUTA	ch4	B	同期スタート B	T32A04SYNCSTARTB
				ch5	A	同期スタート A	T32A05SYNCSTARTA
				ch5	B	同期スタート B	T32A05SYNCSTARTB
		同期ストップ出力 A	T32A04SYNCSTOPOUTA	ch4	B	同期停止 B	T32A04SYNCSTOPB
				ch5	A	同期停止 A	T32A05SYNCSTOPA
				ch5	B	同期停止 B	T32A05SYNCSTOPB
		同期リロード出力 A	T32A04SYNCRELOADOUTA	ch4	B	同期リロード B	T32A04SYNCRELOADB
				ch5	A	同期リロード A	T32A05SYNCRELOADA
				ch5	B	同期リロード B	T32A05SYNCRELOADB
ch4	C	同期スタート出力 C	T32A04SYNCSTARTOUTC	ch5	C	同期スタート C	T32A05SYNCSTARTC
		同期ストップ出力 C	T32A04SYNCSTOPOUTC	ch5	C	同期停止 C	T32A05SYNCSTOPC
		同期リロード出力 C	T32A04SYNCRELOADOUTC	ch5	C	同期リロード C	T32A05SYNCRELOADC
ch6	A	同期スタート出力 A	T32A06SYNCSTARTOUTA	ch6	B	同期スタート B	T32A06SYNCSTARTB
				ch7	A	同期スタート A	T32A07SYNCSTARTA
				ch7	B	同期スタート B	T32A07SYNCSTARTB
		同期ストップ出力 A	T32A06SYNCSTOPOUTA	ch6	B	同期停止 B	T32A06SYNCSTOPB
				ch7	A	同期停止 A	T32A07SYNCSTOPA
				ch7	B	同期停止 B	T32A07SYNCSTOPB
		同期リロード出力 A	T32A06SYNCRELOADOUTA	ch6	B	同期リロード B	T32A06SYNCRELOADB
				ch7	A	同期リロード A	T32A07SYNCRELOADA
				ch7	B	同期リロード B	T32A07SYNCRELOADB
ch6	C	同期スタート出力 C	T32A06SYNCSTARTOUTC	ch7	C	同期スタート C	T32A07SYNCSTARTC
		同期ストップ出力 C	T32A06SYNCSTOPOUTC	ch7	C	同期停止 C	T32A07SYNCSTOPC
		同期リロード出力 C	T32A06SYNCRELOADOUTC	ch7	C	同期リロード C	T32A07SYNCRELOADC
ch8	A	同期スタート出力 A	T32A08SYNCSTARTOUTA	ch8	B	同期スタート B	T32A08SYNCSTARTB
				ch9	A	同期スタート A	T32A09SYNCSTARTA
				ch9	B	同期スタート B	T32A09SYNCSTARTB
		同期ストップ出力 A	T32A08SYNCSTOPOUTA	ch8	B	同期停止 B	T32A08SYNCSTOPB
				ch9	A	同期停止 A	T32A09SYNCSTOPA
				ch9	B	同期停止 B	T32A09SYNCSTOPB
		同期リロード出力 A	T32A08SYNCRELOADOUTA	ch8	B	同期リロード B	T32A08SYNCRELOADB
				ch9	A	同期リロード A	T32A09SYNCRELOADA
				ch9	B	同期リロード B	T32A09SYNCRELOADB
ch8	C	同期スタート出力 C	T32A08SYNCSTARTOUTC	ch9	C	同期スタート C	T32A09SYNCSTARTC
		同期ストップ出力 C	T32A08SYNCSTOPOUTC	ch9	C	同期停止 C	T32A09SYNCSTOPC
		同期リロード出力 C	T32A08SYNCRELOADOUTC	ch9	C	同期リロード C	T32A09SYNCRELOADC

表 2.63 T32A 同期制御接続仕様(3/3)

マスター				スレーブ			
チャンネル	タイマー	機能出力	信号名	チャンネル	タイマー	機能入力	信号名
ch10	A	同期スタート出力 A	T32A10SYNCSTARTOUTA	ch10	B	同期スタート B	T32A10SYNCSTARTB
				ch11	A	同期スタート A	T32A11SYNCSTARTA
				ch11	B	同期スタート B	T32A11SYNCSTARTB
		同期ストップ出力 A	T32A10SYNCSTOPOUTA	ch10	B	同期停止 B	T32A10SYNCSTOPB
				ch11	A	同期停止 A	T32A11SYNCSTOPA
				ch11	B	同期停止 B	T32A11SYNCSTOPB
		同期リロード出力 A	T32A10SYNCRELOADOUTA	ch10	B	同期リロード B	T32A10SYNCRELOADB
				ch11	A	同期リロード A	T32A11SYNCRELOADA
				ch11	B	同期リロード B	T32A11SYNCRELOADB
ch10	C	同期スタート出力 C	T32A10SYNCSTARTOUTC	ch11	C	同期スタート C	T32A11SYNCSTARTC
		同期ストップ出力 C	T32A10SYNCSTOPOUTC	ch11	C	同期停止 C	T32A11SYNCSTOPC
		同期リロード出力 C	T32A10SYNCRELOADOUTC	ch11	C	同期リロード C	T32A11SYNCRELOADC
ch12	A	同期スタート出力 A	T32A12SYNCSTARTOUTA	ch12	B	同期スタート B	T32A12SYNCSTARTB
				ch13	A	同期スタート A	T32A13SYNCSTARTA
				ch13	B	同期スタート B	T32A13SYNCSTARTB
		同期ストップ出力 A	T32A12SYNCSTOPOUTA	ch12	B	同期停止 B	T32A12SYNCSTOPB
				ch13	A	同期停止 A	T32A13SYNCSTOPA
				ch13	B	同期停止 B	T32A13SYNCSTOPB
		同期リロード出力 A	T32A12SYNCRELOADOUTA	ch12	B	同期リロード B	T32A12SYNCRELOADB
				ch13	A	同期リロード A	T32A13SYNCRELOADA
				ch13	B	同期リロード B	T32A13SYNCRELOADB
ch12	C	同期スタート出力 C	T32A12SYNCSTARTOUTC	ch13	C	同期スタート C	T32A13SYNCSTARTC
		同期ストップ出力 C	T32A12SYNCSTOPOUTC	ch13	C	同期停止 C	T32A13SYNCSTOPC
		同期リロード出力 C	T32A12SYNCRELOADOUTC	ch13	C	同期リロード C	T32A13SYNCRELOADC
ch14	A	同期スタート出力 A	T32A14SYNCSTARTOUTA	ch14	B	同期スタート B	T32A14SYNCSTARTB
				ch15	A	同期スタート A	T32A15SYNCSTARTA
				ch15	B	同期スタート B	T32A15SYNCSTARTB
		同期ストップ出力 A	T32A14SYNCSTOPOUTA	ch14	B	同期停止 B	T32A14SYNCSTOPB
				ch15	A	同期停止 A	T32A15SYNCSTOPA
				ch15	B	同期停止 B	T32A15SYNCSTOPB
		同期リロード出力 A	T32A14SYNCRELOADOUTA	ch14	B	同期リロード B	T32A14SYNCRELOADB
				ch15	A	同期リロード A	T32A15SYNCRELOADA
				ch15	B	同期リロード B	T32A15SYNCRELOADB
ch14	C	同期スタート出力 C	T32A14SYNCSTARTOUTC	ch15	C	同期スタート C	T32A15SYNCSTARTC
		同期ストップ出力 C	T32A14SYNCSTOPOUTC	ch15	C	同期停止 C	T32A15SYNCSTOPC
		同期リロード出力 C	T32A14SYNCRELOADOUTC	ch15	C	同期リロード C	T32A15SYNCRELOADC

2.14.4.3. T32A タイマーチャンネル間リロードトリガー接続仕様

表 2.64 T32A リロードトリガー接続

T32A				トリガーセレクト	T32A			
チャンネル	タイマー	機能出力	信号名		チャンネル	タイマー	機能入力	信号名
ch9	A	内部トリガー (レジスター A0 一致)	T32A09TRGOUTCMPA0	[TSEL0CR9] <INSEL39[2: 0]>	ch5	A	内部トリガー入力	T32A05TRGINAPCK
				[TSEL0CR10] <INSEL40[2: 0]>	ch5	B		T32A05TRGINBPCK
				-	ch9	B		T32A09TRGINBPCK
ch10	A	内部トリガー (レジスター A0 一致)	T32A10TRGOUTCMPA0	[TSEL0CR10] <INSEL41[2: 0]>	ch6	A	内部トリガー入力	T32A06TRGINAPCK
				[TSEL0CR10] <INSEL42[2: 0]>	ch6	B		T32A06TRGINBPCK
				-	ch10	B		T32A10TRGINBPCK
ch11	A	内部トリガー (レジスター A0 一致)	T32A11TRGOUTCMPA0	[TSEL0CR10] <INSEL43[2: 0]>	ch7	A	内部トリガー入力	T32A07TRGINAPCK
				[TSEL0CR11] <INSEL44[2: 0]>	ch7	B		T32A07TRGINBPCK
				-	ch11	B		T32A11TRGINBPCK

注) -: 非該当

2.14.4.4. TSPI/UART/RMC-T32A 間接続仕様

表 2.65 T32A TSPI/UART/RMC-T32A間接続仕様

TSPI、UART、RMC		トリガーセレクター	T32A			
機能出力	信号名		ch	タイマー	機能入力	信号名
TSPI ch0 送信完了トリガー	TSPI0TXDEND	[TSEL0CR11] <INSEL46[2: 0]>	ch0	A	内部トリガー 入力	T32A00TRGINAPCK
UART ch0 送信完了トリガー	UART0TXTRG					
TSPI ch0 受信完了トリガー	TSPI0RXDEND	[TSEL0CR11] <INSEL47[2: 0]>	ch0	B	内部トリガー 入力	T32A00TRGINBPCK
UART ch0 受信完了トリガー	UART0RXTRG					
TSPI ch1 送信完了トリガー	TSPI1TXDEND	[TSEL0CR12] <INSEL48[2: 0]>	ch1	A	内部トリガー 入力	T32A01TRGINAPCK
UART ch1 送信完了トリガー	UART1TXTRG					
TSPI ch1 受信完了トリガー	TSPI1RXDEND	[TSEL0CR12] <INSEL49[2: 0]>	ch1	B	内部トリガー 入力	T32A01TRGINBPCK
UART ch1 受信完了トリガー	UART1RXTRG					
TSPI ch2 送信完了トリガー	TSPI2TXDEND	[TSEL0CR12] <INSEL50[2: 0]>	ch2	A	内部トリガー 入力	T32A02TRGINAPCK
UART ch2 送信完了トリガー	UART2TXTRG					
TSPI ch2 受信完了トリガー	TSPI2RXDEND	[TSEL0CR12] <INSEL51[2: 0]>	ch2	B	内部トリガー 入力	T32A02TRGINBPCK
UART ch2 受信完了トリガー	UART2RXTRG					
TSPI ch3 送信完了トリガー	TSPI3TXDEND	[TSEL0CR13] <INSEL52[2: 0]>	ch3	A	内部トリガー 入力	T32A03TRGINAPCK
UART ch3 送信完了トリガー	UART3TXTRG					
TSPI ch3 受信完了トリガー	TSPI3RXDEND	[TSEL0CR13] <INSEL53[2: 0]>	ch3	B	内部トリガー 入力	T32A03TRGINBPCK
UART ch3 受信完了トリガー	UART3RXTRG					
TSPI ch4 送信完了トリガー	TSPI4TXDEND	[TSEL0CR13] <INSEL54[2: 0]>	ch4	A	内部トリガー 入力	T32A04TRGINAPCK
UART ch4 送信完了トリガー	UART4TXTRG					
TSPI ch4 受信完了トリガー	TSPI4RXDEND	[TSEL0CR13] <INSEL55[2: 0]>	ch4	B	内部トリガー 入力	T32A04TRGINBPCK
UART ch4 受信完了トリガー	UART4RXTRG					
TSPI ch5 送信完了トリガー	TSPI5TXDEND	[TSEL0CR9] <INSEL39[2: 0]>	ch5	A	内部トリガー 入力	T32A05TRGINAPCK
UART ch5 送信完了トリガー	UART5TXTRG					
TSPI ch5 受信完了トリガー	TSPI5RXDEND	[TSEL0CR10] <INSEL40[2: 0]>	ch5	B	内部トリガー 入力	T32A05TRGINBPCK
UART ch5 受信完了トリガー	UART5RXTRG					
TSPI ch6 送信完了トリガー	TSPI6TXDEND	[TSEL0CR10] <INSEL41[2: 0]>	ch6	A	内部トリガー 入力	T32A06TRGINAPCK
TSPI ch6 受信完了トリガー	TSPI6RXDEND	[TSEL0CR10] <INSEL42[2: 0]>	ch6	B	内部トリガー 入力	T32A06TRGINBPCK
TSPI ch7 送信完了トリガー	TSPI7TXDEND	[TSEL0CR10] <INSEL43[2: 0]>	ch7	A	内部トリガー 入力	T32A07TRGINAPCK
TSPI ch7 受信完了トリガー	TSPI7RXDEND	[TSEL0CR11] <INSEL44[2: 0]>	ch7	B	内部トリガー 入力	T32A07TRGINBPCK
TSPI ch8 送信完了トリガー	TSPI8TXDEND	[TSEL0CR8] <INSEL34[2: 0]>	ch8	A	内部トリガー 入力	T32A08TRGINAPCK
TSPI ch8 受信完了トリガー	TSPI8RXDEND					
RMC ch0 トリガー出力	RMC0TRG	[TSEL0CR8] <INSEL35[2: 0]>	ch13	A	内部トリガー 入力	T32A13TRGINAPCK
RMC ch1 トリガー出力	RMC1TRG	[TSEL0CR9] <INSEL36[2: 0]>	ch13	B	内部トリガー 入力	T32A13TRGINBPCK

2.14.4.5. T32A - ISD 間接続仕様

表 2.66 T32A - ISD間接続仕様

T32A					ISD	
チャンネル	タイマー	機能出力	信号名	ユニット	機能入力	信号名
ch9	A	タイマーA 出力	T32A09OUTA	A	クロックソース用タイマートリガーA	ISDACLKTRG
				B	クロックソース用タイマートリガーB	ISDBCLKTRG
				C	クロックソース用タイマートリガーC	ISDCCLKTRG

2.14.4.6. ELOSC 低速クロック-T32A 間接続仕様

表 2.67 T32A ELOSC低速クロック-T32A間接続仕様

ELOSC		トリガーセクター	T32A			
機能出力	信号名		チャンネル	タイマー	機能入力	信号名
ELOSC 低速クロック	fs	[TSEL0CR8] <INSEL34[2: 0]>	8	A	内部トリガー入力	T32A08TRGINAPCK

2.14.5. 製品別パルスカウント対応一覧

T32A は、以下の表に示すように製品によってパルスカウントの対応が異なります。

表 2.68 T32A 製品別パルスカウント対応一覧

チャネル	パルスカウント対応 (×: 対応なし)		
	M4NR	M4NQ	M4NN
ch0	2 相パルスカウント 1 相パルスカウント		
ch1	2 相パルスカウント 1 相パルスカウント		
ch2	2 相パルスカウント 1 相パルスカウント		
ch3	2 相パルスカウント 1 相パルスカウント	×	
ch4	2 相パルスカウント 1 相パルスカウント		
ch5	2 相パルスカウント 1 相パルスカウント		
ch6	2 相パルスカウント 1 相パルスカウント		
ch7	2 相パルスカウント 1 相パルスカウント		
ch8	2 相パルスカウント 1 相パルスカウント	×	
ch9	2 相パルスカウント 1 相パルスカウント	×	
ch10	2 相パルスカウント 1 相パルスカウント	×	
ch11	2 相パルスカウント 1 相パルスカウント	×	
ch12	2 相パルスカウント 1 相パルスカウント	×	
ch13	2 相パルスカウント 1 相パルスカウント	×	
ch14	×		
ch15	×		

2.14.6. DMA 要求

T32A は、以下の表に示す DMA 要求があります。

表のトリガーセレクト欄にレジスター名の記載あるものは、トリガーセレクトで使用する要求を選択してください。

表 2.69 T32A DMA要求(1/3)

チャネル	要求		トリガーセレクト	DMA 要求チャネル (MDMAC ユニット A)		
		信号名			シングル転送	バースト転送
ch0	DMA 要求 キャプチャーA0	T32A00DMAREQCAPA0	[TSEL0CR0] <INSEL0[2: 0]>	0	○	×
	DMA 要求 キャプチャーC0	T32A00DMAREQCAPC0	[TSEL0CR0] <INSEL1[2: 0]>	1	○	×
	DMA 要求 レジスターA1 一致	T32A01DMAREQCMPA1	[TSEL0CR1] <INSEL4[2: 0]>	4	○	×
	DMA 要求 レジスターC1 一致	T32A00DMAREQCMPC1				
	DMA 要求 レジスターB1 一致	T32A00DMAREQCMPB1	[TSEL0CR1] <INSEL5[2: 0]>	5	○	×
	DMA 要求 キャプチャーB0	T32A00DMAREQCAPB0				
ch1	DMA 要求 レジスターA1 一致	T32A01DMAREQCMPA1	[TSEL0CR1] <INSEL6[2: 0]>	6	○	×
	DMA 要求 レジスターC1 一致	T32A01DMAREQCMPC1				
	DMA 要求 キャプチャーA0	T32A01DMAREQCAPA0				
	DMA 要求 キャプチャーC0	T32A01DMAREQCAPC0	[TSEL0CR1] <INSEL7[2: 0]>	7	○	×
	DMA 要求 レジスターB1 一致	T32A01DMAREQCMPB1				
	DMA 要求 キャプチャーB0	T32A01DMAREQCAPB0				
ch2	DMA 要求 レジスターA1 一致	T32A02DMAREQCMPA1	[TSEL0CR2] <INSEL8[2: 0]>	8	○	×
	DMA 要求 レジスターC1 一致	T32A02DMAREQCMPC1				
	DMA 要求 キャプチャーA0	T32A02DMAREQCAPA0				
	DMA 要求 キャプチャーC0	T32A02DMAREQCAPC0	[TSEL0CR2] <INSEL9[2: 0]>	9	○	×
	DMA 要求 レジスターB1 一致	T32A02DMAREQCMPB1				
	DMA 要求 キャプチャーB0	T32A02DMAREQCAPB0				
ch3	DMA 要求 レジスターA1 一致	T32A03DMAREQCMPA1	[TSEL0CR2] <INSEL10[2: 0]>	10	○	×
	DMA 要求 レジスターC1 一致	T32A03DMAREQCMPC1				
	DMA 要求 キャプチャーA0	T32A03DMAREQCAPA0				
	DMA 要求 キャプチャーC0	T32A03DMAREQCAPC0	[TSEL0CR2] <INSEL11[2: 0]>	11	○	×
	DMA 要求 レジスターB1 一致	T32A03DMAREQCMPB1				
	DMA 要求 キャプチャーB0	T32A03DMAREQCAPB0				
ch4	DMA 要求 レジスターA1 一致	T32A04DMAREQCMPA1	[TSEL0CR3] <INSEL12[2: 0]>	12	○	×
	DMA 要求 レジスターC1 一致	T32A04DMAREQCMPC1				
	DMA 要求 キャプチャーA0	T32A04DMAREQCAPA0				
	DMA 要求 キャプチャーC0	T32A04DMAREQCAPC0	[TSEL0CR3] <INSEL13[2: 0]>	13	○	×
	DMA 要求 レジスターB1 一致	T32A04DMAREQCMPB1				
	DMA 要求 キャプチャーB0	T32A04DMAREQCAPB0				
ch5	DMA 要求 レジスターA1 一致	T32A05DMAREQCMPA1	[TSEL0CR3] <INSEL14[2: 0]>	14	○	×
	DMA 要求 レジスターC1 一致	T32A05DMAREQCMPC1				
	DMA 要求 キャプチャーA0	T32A05DMAREQCAPA0				
	DMA 要求 キャプチャーC0	T32A05DMAREQCAPC0	[TSEL0CR3] <INSEL15[2: 0]>	15	○	×
	DMA 要求 レジスターB1 一致	T32A05DMAREQCMPB1				
	DMA 要求 キャプチャーB0	T32A05DMAREQCAPB0				

注) ○: 対応、×: 非対応

表 2.70 T32A DMA要求(2/3)

チャンネル	要求		トリガーセクター	DMA 要求チャンネル (MDMAC ユニット A)		
		信号名			シングル転送	バースト転送
ch6	DMA 要求 レジスターA1 一致	T32A06DMAREQCMAPA1	[TSEL0CR4] <INSEL16[2: 0]>	16	○	×
	DMA 要求 レジスターC1 一致	T32A06DMAREQCMPCA1				
	DMA 要求 キャプチャーA0	T32A06DMAREQCAPA0				
	DMA 要求 キャプチャーC0	T32A06DMAREQCAPC0				
	DMA 要求 レジスターB1 一致	T32A06DMAREQCMPB1	[TSEL0CR4] <INSEL17[2: 0]>	17	○	×
	DMA 要求 キャプチャーB0	T32A06DMAREQCAPB0				
ch7	DMA 要求 レジスターA1 一致	T32A07DMAREQCMAPA1	[TSEL0CR4] <INSEL18[2: 0]>	18	○	×
	DMA 要求 レジスターC1 一致	T32A07DMAREQCMPCA1				
	DMA 要求 キャプチャーA0	T32A07DMAREQCAPA0				
	DMA 要求 キャプチャーC0	T32A07DMAREQCAPC0				
	DMA 要求 レジスターB1 一致	T32A07DMAREQCMPB1	[TSEL0CR4] <INSEL19[2: 0]>	19	○	×
	DMA 要求 キャプチャーB0	T32A07DMAREQCAPB0				
ch8	DMA 要求 レジスターA1 一致	T32A08DMAREQCMAPA1	[TSEL0CR5] <INSEL20[2: 0]>	20	○	×
	DMA 要求 レジスターC1 一致	T32A08DMAREQCMPCA1				
	DMA 要求 キャプチャーA0	T32A08DMAREQCAPA0				
	DMA 要求 キャプチャーC0	T32A08DMAREQCAPC0				
	DMA 要求 レジスターB1 一致	T32A08DMAREQCMPB1	[TSEL0CR5] <INSEL21[2: 0]>	21	○	×
	DMA 要求 キャプチャーB0	T32A08DMAREQCAPB0				
ch9	DMA 要求 レジスターA1 一致	T32A09DMAREQCMAPA1	[TSEL0CR5] <INSEL22[2: 0]>	22	○	×
	DMA 要求 レジスターC1 一致	T32A09DMAREQCMPCA1				
	DMA 要求 キャプチャーA0	T32A09DMAREQCAPA0				
	DMA 要求 キャプチャーC0	T32A09DMAREQCAPC0				
	DMA 要求 レジスターB1 一致	T32A09DMAREQCMPB1	[TSEL0CR5] <INSEL23[2: 0]>	23	○	×
	DMA 要求 キャプチャーB0	T32A09DMAREQCAPB0				
	DMA 要求 キャプチャーA1	T32A09DMAREQCAPA1				
	DMA 要求 キャプチャーB1	T32A09DMAREQCAPB1				
10ch	DMA 要求 レジスターA1 一致	T32A10DMAREQCMAPA1	[TSEL0CR6] <INSEL24[2: 0]>	24	○	×
	DMA 要求 レジスターC1 一致	T32A10DMAREQCMPCA1				
	DMA 要求 キャプチャーA0	T32A10DMAREQCAPA0				
	DMA 要求 キャプチャーC0	T32A10DMAREQCAPC0				
	DMA 要求 レジスターB1 一致	T32A10DMAREQCMPB1	[TSEL0CR6] <INSEL25[2: 0]>	25	○	×
	DMA 要求 キャプチャーB0	T32A10DMAREQCAPB0				
	DMA 要求 キャプチャーA1	T32A10DMAREQCAPA1				
	DMA 要求 キャプチャーB1	T32A10DMAREQCAPB1				
11ch	DMA 要求 レジスターA1 一致	T32A11DMAREQCMAPA1	[TSEL0CR6] <INSEL26[2: 0]>	26	○	×
	DMA 要求 レジスターC1 一致	T32A11DMAREQCMPCA1				
	DMA 要求 キャプチャーA0	T32A11DMAREQCAPA0				
	DMA 要求 キャプチャーC0	T32A11DMAREQCAPC0				
	DMA 要求 レジスターB1 一致	T32A11DMAREQCMPB1	[TSEL0CR6] <INSEL27[2: 0]>	27	○	×
	DMA 要求 キャプチャーB0	T32A11DMAREQCAPB0				
	DMA 要求 キャプチャーA1	T32A11DMAREQCAPA1				
	DMA 要求 キャプチャーB1	T32A11DMAREQCAPB1				

注) ○: 対応、×: 非対応

表 2.71 T32A DMA要求(3/3)

チャンネル	要求		トリガーセレクター	DMA 要求チャンネル (MDMAC ユニット A)		
		信号名			シングル転送	バースト転送
12ch	DMA 要求 レジスターA1 一致	T32A12DMAREQCPA1	[TSEL0CR7] <INSEL28[2: 0]>	28	○	×
	DMA 要求 レジスターC1 一致	T32A12DMAREQCMPC1				
	DMA 要求 キャプチャーA0	T32A12DMAREQCAPA0				
	DMA 要求 キャプチャーC0	T32A12DMAREQCAPC0				
	DMA 要求 レジスターB1 一致	T32A12DMAREQCMPB1	[TSEL0CR7] <INSEL29[2: 0]>	29	○	×
	DMA 要求 キャプチャーB0	T32A12DMAREQCAPB0				
13ch	DMA 要求 レジスターA1 一致	T32A13DMAREQCPA1	[TSEL0CR7] <INSEL30[2: 0]>	30	○	×
	DMA 要求 レジスターC1 一致	T32A13DMAREQCMPC1				
	DMA 要求 キャプチャーA0	T32A13DMAREQCAPA0				
	DMA 要求 キャプチャーC0	T32A13DMAREQCAPC0				
	DMA 要求 レジスターB1 一致	T32A13DMAREQCMPB1	[TSEL0CR7] <INSEL31[2: 0]>	31	○	×
	DMA 要求 キャプチャーB0	T32A13DMAREQCAPB0				

注 1) ○: 対応、×: 非対応

注 2) ch14、ch15 に DMA 要求はありません。

2.15. リアルタイムクロック(RTC)

2.15.1. 搭載一覧

製品毎の搭載一覧を下記表に示します。

表 2.72 RTC 搭載一覧

製品	RTC 搭載 (○: あり、×: なし)
M4NR	○
M4NQ	○
M4NN	○

2.15.2. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。

表 2.73 RTC 機能端子とポート

機能端子		ポート	ポートの製品対応 (○: あり、×: なし)		
			M4NR	M4NQ	M4NN
ALARM_N	出力	PG2	○	○	○
RTCOUNT	出力	PT3	○	○	○

2.15.3. 時計カウントクロック

RTC は、時計カウントクロックに以下の表に示すクロックが使用されます。

表 2.74 RTC 時計カウントクロック

時計カウントクロック
fs

2.16. ロングタームタイマー(LTTMR)

2.16.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.75 LTTMR 搭載チャンネル

製品	LTTMR 搭載チャンネル (○: あり、×: なし)
	ch0
M4NR	○
M4NQ	○
M4NN	○

2.16.2. カウントクロック

LTTMR は以下の表のクロックをカウントクロックとして動作します。

表 2.76 LTTMR カウントクロック

クロック	信号名
内蔵高速発振器 2 クロック (注)	f _{IHOSC2}

注) 発振制御レジスターは[RLMLOSCCR]<POSCEN>です。

2.16.3. 内部信号接続仕様

2.16.3.1. CEC/RMC 接続

表 2.77 LTTMR CEC/RMC信号接続仕様: 出力

チャンネル	機能出力		入力信号		
		信号名	周辺機能		信号名
ch0	LTTMR0 割り込み	INTLTTMR0	CEC ch0	クロックソース用タイマトリガー0	CEC0CLKTRG
			RMC ch0	クロックソース用タイマトリガー0	TB0OUT
			RMC ch1	クロックソース用タイマトリガー1	TB1OUT

2.17. 非同期シリアル通信回路(UART)

2.17.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

TMPM4N グループ(1)製品に搭載している UART の 最大通信速度は 5.0Mbps です。

表 2.78 UART搭載チャンネル

製品	UART 搭載チャンネル (○: あり、×: なし)					
	ch0	ch1	ch2	ch3	ch4	ch5
M4NR	○	○	○	○	○	○
M4NQ	○	○	○	○	○	×
M4NN	○	○	○	×	×	×

2.17.2. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。

複数の割り当てられている同一機能端子は排他的に使用してください。

表 2.79 UART端子信号とポート

チャンネル	機能端子		ポート	ポートの製品対応 (○: あり、×: なし)		
				M4NR	M4NQ	M4NN
ch0	UT0RXD	入力	PE2/PH4/PH5	○/○/○	○/○/○	○/○/○
	UT0TXDA	出力	PE3/PH5/PH4	○/○/○	○/○/○	○/○/○
	UT0CTS_N	入力	PE1/PH7/PH6	○/○/○	○/○/○	○/○/○
	UT0RTS_N	出力	PE0/PH6/PH7	○/○/○	○/○/○	○/○/○
ch1	UT1RXD	入力	PH0/PH1/PV4	○/○/○	○/○/○	○/○/×
	UT1TXDA	出力	PH1/PH0/PV5	○/○/○	○/○/○	○/○/×
	UT1CTS_N	入力	PH3/PH2/PV6	○/○/○	○/○/○	○/○/×
	UT1RTS_N	出力	PH2/PH3/PV7	○/○/○	○/○/○	○/○/×
ch2	UT2RXD	入力	PG0/PG1	○/○	○/○	○/○
	UT2TXDA	出力	PG1/PG0	○/○	○/○	○/○
	UT2CTS_N	入力	PG3/PG2	○/○	○/○	○/○
	UT2RTS_N	出力	PG2/PG3	○/○	○/○	○/○
ch3	UT3RXD	入力	PU6/PV0/PV1	○/○/○	×/○/○	×/×/×
	UT3TXDA	出力	PU7/PV1/PV0	○/○/○	×/○/○	×/×/×
	UT3CTS_N	入力	PU5/PV3/PV2	○/○/○	×/○/○	×/×/×
	UT3RTS_N	出力	PU4/PV2/PV3	○/○/○	×/○/○	×/×/×
ch4	UT4RXD	入力	PM0/PM1	○/○	○/○	×/×
	UT4TXDA	出力	PM1/PM0/PU0	○/○/○	○/○/○	×/×/×
	UT4CTS_N	入力	PM3/PM2/PU2	○/○/○	○/○/○	×/×/×
	UT4RTS_N	出力	PM2/PM3/PU3	○/○/○	○/○/○	×/×/×
ch5	UT5RXD	入力	PJ0/PJ1	○/○	×/×	×/×
	UT5TXDA	出力	PJ1/PJ0	○/○	×/×	×/×
	UT5CTS_N	入力	PJ3/PJ2	○/○	×/×	×/×
	UT5RTS_N	出力	PJ2/PJ3	○/○	×/×	×/×

注) TMPM4N グループ(1)には UTxTXDB 端子はありません。

2.17.3. 製品別ハーフクロックモード対応一覧

ハーフクロックモードの対応を以下の表に示します。
TMPM4N グループ(1)は1端子モードのみの対応です。

表 2.80 UARTハーフクロックモード(1端子モード)対応一覧

チャンネル	製品対応 (○: 対応、-: 非対応)		
	M4NR	M4NQ	M4NN
ch0	○	○	○
ch1	○	○	○
ch2	○	○	○
ch3	○	○	-
ch4	○	○	-
ch5	○	-	-

2.17.4. プリスケーラー用クロック

UART は、プリスケーラー用クロックに以下の表に示すクロックが使用されます。

表 2.81 UARTプリスケーラー用クロック

プリスケーラー用クロック
ΦT0m

2.17.5. DMA 要求

UART は、以下の表に示す DMA 要求があります。

MDMAC の要求は、FIFO の Fill レベルに関わらず常にシングル要求を発生します。

表 2.82 UART DMA要求

チャンネル	要求	信号名	トリガーセレクター	DMA 要求チャンネル(MDMAC ユニット A)		
					シングル転送	バースト転送
ch0	受信 DMA 要求	UART0RX_DMAREQ	[TSEL0CR1] <INSEL7[2: 0]>	7	○	×
			[TSEL0CR4] <INSEL18[2: 0]>	18	○	×
	送信 DMA 要求	UART0TX_DMAREQ	[TSEL0CR2] <INSEL9[2: 0]>	9	○	×
			[TSEL0CR5] <INSEL20[2: 0]>	20	○	×
ch1	受信 DMA 要求	UART1RX_DMAREQ	[TSEL0CR2] <INSEL11[2: 0]>	11	○	×
			[TSEL0CR5] <INSEL22[2: 0]>	22	○	×
	送信 DMA 要求	UART1TX_DMAREQ	[TSEL0CR3] <INSEL13[2: 0]>	13	○	×
			[TSEL0CR5] <INSEL23[2: 0]>	23	○	×
ch2	受信 DMA 要求	UART2RX_DMAREQ	[TSEL0CR4] <INSEL19[2: 0]>	19	○	×
			[TSEL0CR6] <INSEL24[2: 0]>	24	○	×
	送信 DMA 要求	UART2TX_DMAREQ	[TSEL0CR5] <INSEL21[2: 0]>	21	○	×
			[TSEL0CR6] <INSEL25[2: 0]>	25	○	×
ch3	受信 DMA 要求	UART3RX_DMAREQ	[TSEL0CR7] <INSEL28[2: 0]>	28	○	×
	送信 DMA 要求	UART3TX_DMAREQ	[TSEL0CR7] <INSEL29[2: 0]>	29	○	×
ch4	受信 DMA 要求	UART4RX_DMAREQ	[TSEL0CR0] <INSEL0[2: 0]>	0	○	×
	送信 DMA 要求	UART4TX_DMAREQ	[TSEL0CR0] <INSEL1[2: 0]>	1	○	×
ch5	受信 DMA 要求	UART5RX_DMAREQ	[TSEL0CR7] <INSEL30[2: 0]>	30	○	×
	送信 DMA 要求	UART5TX_DMAREQ	[TSEL0CR7] <INSEL31[2: 0]>	31	○	×

注) ○: 対応、×: 非対応

2.17.6. 内部信号接続仕様

UART には、トリガー信号による送信機能があります。

トリガー信号は以下の表に示すトリガーソースをトリガーセクターで選択し使用します。

2.17.6.1. トリガー転送信号接続仕様

表 2.83 UART トリガー転送信号接続仕様: 入力

チャンネル	信号名	入力トリガー信号	
			信号名
ch0	UART0TRGIN	T32A ch0 内部トリガー(レジスター A1 一致)	T32A00TRGOUTCMPA1
ch1	UART1TRGIN	T32A ch1 内部トリガー(レジスター A1 一致)	T32A01TRGOUTCMPA1
ch2	UART2TRGIN	T32A ch2 内部トリガー(レジスター A1 一致)	T32A02TRGOUTCMPA1

表 2.84 UART 内部信号接続仕様: 出力

チャンネル	機能出力		出力先		
		信号名	トリガーセクター		信号名
ch0	送信完了トリガー	UART0TXTRG	[TSEL0CR11] <INSEL46[2: 0]>	T32A ch0 タイマーA	T32A00TRGINAPCK
	受信完了トリガー	UART0RXTRG	[TSEL0CR11] <INSEL47[2: 0]>	T32A ch0 タイマーB	T32A00TRGINBPCK
ch1	送信完了トリガー	UART1TXTRG	[TSEL0CR12] <INSEL48[2: 0]>	T32A ch1 タイマーA	T32A01TRGINAPCK
	受信完了トリガー	UART1RXTRG	[TSEL0CR12] <INSEL49[2: 0]>	T32A ch1 タイマーB	T32A01TRGINBPCK
ch2	送信完了トリガー	UART2TXTRG	[TSEL0CR12] <INSEL50[2: 0]>	T32A ch2 タイマーA	T32A02TRGINAPCK
	受信完了トリガー	UART2RXTRG	[TSEL0CR12] <INSEL51[2: 0]>	T32A ch2 タイマーB	T32A02TRGINBPCK
ch3	送信完了トリガー	UART3TXTRG	[TSEL0CR13] <INSEL52[2: 0]>	T32A ch3 タイマーA	T32A03TRGINAPCK
	受信完了トリガー	UART3RXTRG	[TSEL0CR13] <INSEL53[2: 0]>	T32A ch3 タイマーB	T32A03TRGINBPCK
ch4	送信完了トリガー	UART4TXTRG	[TSEL0CR13] <INSEL54[2: 0]>	T32A ch4 タイマーA	T32A04TRGINAPCK
	受信完了トリガー	UART4RXTRG	[TSEL0CR13] <INSEL55[2: 0]>	T32A ch4 タイマーB	T32A04TRGINBPCK
ch5	送信完了トリガー	UART5TXTRG	[TSEL0CR9] <INSEL39[2: 0]>	T32A ch5 タイマーA	T32A05TRGINAPCK
	受信完了トリガー	UART5RXTRG	[TSEL0CR10] <INSEL40[2: 0]>	T32A ch5 タイマーB	T32A05TRGINBPCK

2.18. 高精度非同期シリアル通信回路(FUART)

2.18.1. 搭載チャネル

製品毎の搭載チャネルを下記表に示します。

TMPM4N グループ(1)製品に搭載している FUART の最大通信速度は 2.5Mbps です。

表 2.85 FUART 搭載チャネル

製品	FUART 搭載チャネル (○: あり、×: なし)	
	ch0	ch1
M4NR	○	○
M4NQ	○	○
M4NN	○	×

2.18.2. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。

複数に割り当てられている同一機能端子は排他的に使用してください。

表 2.86 FUART 端子信号とポート

チャネル	機能端子		ポート	ポートの製品対応 (○: あり、×: なし)		
				M4NR	M4NQ	M4NN
ch0	FUT0RXD	出力	PG5/PJ5	○/○	○/×	○/×
	FUT0TXD	入力	PG4/PJ4	○/○	○/×	○/×
	FUT0CTS_N	入力	PG7	○	○	○
	FUT0RTS_N	出力	PG6	○	○	○
	FUT0IROUT	出力	PG4	○	○	○
	FUT0IRIN	入力	PG5	○	○	○
ch1	FUT1RXD	出力	PJ7/PM6	○/○	×/○	×/×
	FUT1TXD	入力	PJ6/PM7	○/○	×/○	×/×
	FUT1CTS_N	入力	PM4	○	○	×
	FUT1RTS_N	出力	PM5	○	○	×
	FUT1IROUT	出力	PM7	○	○	×
	FUT1IRIN	入力	PM6	○	○	×

2.18.3. プリスケーラー用クロック

FUART は、プリスケーラー用クロックに以下の表に示すクロックが使用されます。

表 2.87 FUART プリスケーラー用クロック

プリスケーラー用クロック
ΦT0m

2.18.4. DMA 要求

FUART は、以下の表に示す DMA 要求があります。
MDMAC の要求は、FIFO の Fill レベルに関わらず常にシングル要求を発生します。

表 2.88 FUART DMA要求

チャンネル		要求	トリガーセクター	DMA 要求チャンネル(MDMAC ユニット A)		
		信号名			シングル転送	バースト転送
ch0	受信 DMA 要求	FUART0RX_DMAREQ	[TSEL0CR4] <INSEL17[2: 0]>	17	○	×
	送信 DMA 要求	FUART0TX_DMAREQ	[TSEL0CR3] <INSEL15[2: 0]>	15	○	×
ch1	受信 DMA 要求	FUART1RX_DMAREQ	[TSEL0CR0] <INSEL2[2: 0]>	2	○	×
	送信 DMA 要求	FUART1TX_DMAREQ	[TSEL0CR0] <INSEL3[2: 0]>	3	○	×

注) ○: 対応、×: 非対応

2.19. I²C インターフェース(I2C)

2.19.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

TMPM4N グループ(1)製品に搭載している I2C は、標準モード、ファストモードに対応します。

表 2.89 I2C 搭載チャンネル

製品	I2C 搭載チャンネル (○: あり、×: なし)				
	ch0	ch1	ch2	ch3	ch4
M4NR	○	○	○	○	○
M4NQ	○	○	○	○	○
M4NN	○	○	○	×	×

2.19.2. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。

複数に割り当てられている同一機能端子は排他的に使用してください。

表 2.90 I2C 機能端子とポート

チャンネル	機能端子		ポート	ポートの製品対応 (○: あり、×: なし)		
				M4NR	M4NQ	M4NN
ch0	I2C0SCL	入出力	PG3	○	○	○
	I2C0SDA	入出力	PG2	○	○	○
ch1	I2C1SCL	入出力	PF3	○	○	○
	I2C1SDA	入出力	PF2	○	○	○
ch2	I2C2SCL	入出力	PG5/PV4	○/○	○/○	○/×
	I2C2SDA	入出力	PG4/PV5	○/○	○/○	○/×
ch3	I2C3SCL	入出力	PJ7/PM1	○/○	×/○	×/×
	I2C3SDA	入出力	PJ6/PM0	○/○	×/○	×/×
ch4	I2C4SCL	入出力	PJ2/PM7	○/○	×/○	×/×
	I2C4SDA	入出力	PJ3/PM6	○/○	×/○	×/×

2.19.3. プリスケラー用クロック

I2C は、プリスケラー用クロックに以下の表に示すクロックが使用されます。

表 2.91 I2C プリスケラー用クロック

プリスケラー用クロック
fsysm

2.19.4. 通信スピード

各チャンネルの通信スピードの対応を下記表に示します。

表 2.92 I2C 通信スピード対応

チャンネル	通信スピード (○: 対応、×: 非対応)	
	標準モード (最大 100kbps)	ファストモード (最大 400kbps)
ch0	○	○
ch1	○	○
ch2	○	○
ch3	○	○
ch4	○	○

2.19.5. ウェイクアップ機能対応

TMPM4N グループ(1)には I2C のウェイクアップ機能はありません。

2.19.6. ノイズフィルター選択

チャンネル 0～4 は、デジタルで使用してください。

表 2.93 I2C フィルター選択

チャンネル	フィルター選択: [I2CxOP]<NFSEL>
ch0	デジタル(0)
ch1	デジタル(0)
ch2	デジタル(0)
ch3	デジタル(0)
ch4	デジタル(0)

2.19.7. DMA 要求

I2C は、以下の表に示す DMA 要求があります。

表 2.94 I2C DMA要求

チャンネル	要求		トリガーセレクター	DMA 要求チャンネル(MDMAC ユニット A)		
		信号名			シングル転送	バースト転送
ch0	受信 DMA リクエスト	I2C0RXDMAREQ	[TSEL0CR1] <INSEL7[2: 0]>	7	○	×
	送信 DMA リクエスト	I2C0TXDMAREQ	[TSEL0CR2] <INSEL9[2: 0]>	9	○	×
ch1	受信 DMA リクエスト	I2C1RXDMAREQ	[TSEL0CR2] <INSEL11[2: 0]>	11	○	×
	送信 DMA リクエスト	I2C1TXDMAREQ	[TSEL0CR3] <INSEL13[2: 0]>	13	○	×
ch2	受信 DMA リクエスト	I2C2RXDMAREQ	[TSEL0CR4] <INSEL17[2: 0]>	17	○	×
	送信 DMA リクエスト	I2C2TXDMAREQ	[TSEL0CR3] <INSEL15[2: 0]>	15	○	×
ch3	受信 DMA リクエスト	I2C3RXDMAREQ	[TSEL0CR0] <INSEL0[2: 0]>	0	○	×
	送信 DMA リクエスト	I2C3TXDMAREQ	[TSEL0CR0] <INSEL1[2: 0]>	1	○	×
ch4	受信 DMA リクエスト	I2C4RXDMAREQ	[TSEL0CR0] <INSEL2[2: 0]>	2	○	×
	送信 DMA リクエスト	I2C4TXDMAREQ	[TSEL0CR0] <INSEL3[2: 0]>	3	○	×

注) ○: 対応、×: 非対応

2.20. I²C インターフェース バージョン A (EI2C)

2.20.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

TMPM4N グループ(1)製品に搭載している EI2C は、標準モード、ファストモード、ファストモードプラスに対応します。

表 2.95 EI2C 搭載チャンネル

製品	EI2C 搭載チャンネル (○: あり, ×: なし)				
	ch0	ch1	ch2	ch3	ch4
M4NR	○	○	○	○	○
M4NQ	○	○	○	○	○
M4NN	○	○	○	×	×

2.20.2. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。

複数の割り当てられている同一機能端子は排他的に使用してください。

表 2.96 EI2C 機能端子とポート

チャンネル	機能端子		ポート	ポートの製品対応 (○: あり, ×: なし)		
				M4NR	M4NQ	M4NN
ch0	EI2C0SCL	入出力	PG3	○	○	○
	EI2C0SDA	入出力	PG2	○	○	○
ch1	EI2C1SCL	入出力	PF3	○	○	○
	EI2C1SDA	入出力	PF2	○	○	○
ch2	EI2C2SCL	入出力	PG5/PV4	○/○	○/○	○/×
	EI2C2SDA	入出力	PG4/PV5	○/○	○/○	○/×
ch3	EI2C3SCL	入出力	PJ7/PM1	○/○	×/○	×/×
	EI2C3SDA	入出力	PJ6/PM0	○/○	×/○	×/×
ch4	EI2C4SCL	入出力	PJ2/PM7	○/○	×/○	×/×
	EI2C4SDA	入出力	PJ3/PM6	○/○	×/○	×/×

2.20.3. プリスケラー用クロック

EI2C は、プリスケラー用クロックに以下の表に示すクロックが使用されます。

表 2.97 EI2C プリスケラー用クロック

プリスケラー用クロック
fsysm

2.20.4. 通信スピード

各チャネルの通信スピードの対応を下記表に示します。

表 2.98 EI2C 通信スピード対応

チャネル	通信スピード (○: 対応、×: 非対応)		
	標準モード (最大 100kbps)	ファストモード (最大 400kbps)	ファストモードプラス (最大 1Mbps)
ch0	○	○	○
ch1	○	○	○
ch2	○	○	×
ch3	○	○	×
ch4	○	○	×

2.20.5. ウェイクアップ機能対応

TMPM4N グループ(1)には EI2C のウェイクアップ機能はありません。

2.20.6. ノイズフィルター選択

表 2.99 EI2C フィルター選択

チャネル	フィルター選択: [I2CxACR0]<NFSEL>
ch0	デジタル(0)/アナログ(1)
ch1	デジタル(0)/アナログ(1)
ch2	デジタル(0)
ch3	デジタル(0)
ch4	デジタル(0)

2.20.7. DMA 要求

EI2C は、以下の表に示す DMA 要求があります。

表 2.100 EI2C DMA要求

チャンネル	要求		トリガーセクター	DMA 要求チャンネル(MDMAC ユニット A)		
		信号名			シングル転送	バースト転送
ch0	受信 DMA リクエスト	I2C0ARXDMAREQ	[TSEL0CR1] <INSEL7[2: 0]>	7	○	×
	送信 DMA リクエスト	I2C0ATXDMAREQ	[TSEL0CR2] <INSEL9[2: 0]>	9	○	×
ch1	受信 DMA リクエスト	I2C1ARXDMAREQ	[TSEL0CR2] <INSEL11[2: 0]>	11	○	×
	送信 DMA リクエスト	I2C1ATXDMAREQ	[TSEL0CR3] <INSEL13[2: 0]>	13	○	×
ch2	受信 DMA リクエスト	I2C2ARXDMAREQ	[TSEL0CR4] <INSEL17[2: 0]>	17	○	×
	送信 DMA リクエスト	I2C2ATXDMAREQ	[TSEL0CR3] <INSEL15[2: 0]>	15	○	×
ch3	受信 DMA リクエスト	I2C3ARXDMAREQ	[TSEL0CR0] <INSEL0[2: 0]>	0	○	×
	送信 DMA リクエスト	I2C3ATXDMAREQ	[TSEL0CR0] <INSEL1[2: 0]>	1	○	×
ch4	受信 DMA リクエスト	I2C4ARXDMAREQ	[TSEL0CR0] <INSEL2[2: 0]>	2	○	×
	送信 DMA リクエスト	I2C4ATXDMAREQ	[TSEL0CR0] <INSEL3[2: 0]>	3	○	×

注) ○: 対応、×: 非対応

2.21. シリアルペリフェラルインターフェース(TSPI)

2.21.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

TMPM4N グループ(1)製品に搭載している TSPI の最大通信速度は ch0 ~ ch3 が 25Mbps、ch4 ~ ch8 が 10Mbps です。

表 2.101 TSPI 搭載チャンネル

製品	TSPI 搭載チャンネル (○: あり、×: なし)								
	ch0	ch1	ch2	ch3	ch4	ch5	ch6	ch7	ch8
M4NR	○	○	○	○	○	○	○	○	○
M4NQ	○	○	○	○	○	○	○	○	×
M4NN	○	○	○	○	○	×	×	×	×

2.21.2. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。
 複数に割り当てられている同一機能端子は排他的に使用してください。

表 2.102 TSPI 機能端子とポート(1/2)

チャネル	機能端子		ポート	ポートの製品対応 (○: あり、×: なし)		
				M4NR	M4NQ	M4NN
ch0	TSPI0CSIN	入力	PA0	○	○	○
	TSPI0CS0	出力	PA0	○	○	○
	TSPI0CS1	出力	PA4	○	○	○
	TSPI0CS2	出力	PA5	○	○	○
	TSPI0CS3	出力	PA6	○	○	○
	TSPI0RXD	入力	PA2	○	○	○
	TSPI0TXD	出力	PA3	○	○	○
	TSPI0SCK	入出力	PA1	○	○	○
ch1	TSPI1CSIN	入力	PL0	○	○	○
	TSPI1CS0	出力	PL0	○	○	○
	TSPI1CS1	出力	PK4	○	○	○
	TSPI1CS2	出力	PK5	○	○	○
	TSPI1CS3	出力	PK6	○	○	○
	TSPI1RXD	入力	PL2	○	○	○
	TSPI1TXD	出力	PL3	○	○	○
	TSPI1SCK	入出力	PL1	○	○	○
ch2	TSPI2CSIN	入力	PA7/PF7	○/○	○/○	×/○
	TSPI2CS0	出力	PA7/PF7	○/○	○/○	×/○
	TSPI2CS1	出力	PA3	○	○	○
	TSPI2CS2	出力	-	×	×	×
	TSPI2CS3	出力	-	×	×	×
	TSPI2RXD	入力	PA5	○	○	○
	TSPI2TXD	出力	PA4	○	○	○
	TSPI2SCK	入出力	PA6	○	○	○
ch3	TSPI3CSIN	入力	PK1/PK7	○/○	○/○	○/○
	TSPI3CS0	出力	PK1/PK7	○/○	○/○	○/○
	TSPI3CS1	出力	PL3	○	○	○
	TSPI3CS2	出力	-	×	×	×
	TSPI3CS3	出力	-	×	×	×
	TSPI3RXD	入力	PK5	○	○	○
	TSPI3TXD	出力	PK4	○	○	○
	TSPI3SCK	入出力	PK6	○	○	○

表 2.103 TSPI 機能端子とポート(2/2)

チャンネル	機能端子		ポート	ポートの製品対応 (O: あり、×: なし)		
				M4NR	M4NQ	M4NN
ch4	TSPI4CSIN	入力	PD0	O	O	O
	TSPI4CS0	出力	PD0	O	O	O
	TSPI4CS1	出力	-	×	×	×
	TSPI4CS2	出力	-	×	×	×
	TSPI4CS3	出力	-	×	×	×
	TSPI4RXD	入力	PD2	O	O	O
	TSPI4TXD	出力	PD3	O	O	O
	TSPI4SCK	入出力	PD1	O	O	O
ch5	TSPI5CSIN	入力	PV7	O	O	×
	TSPI5CS0	出力	PV7	O	O	×
	TSPI5CS1	出力	-	×	×	×
	TSPI5CS2	出力	-	×	×	×
	TSPI5CS3	出力	-	×	×	×
	TSPI5RXD	入力	PV4	O	O	×
	TSPI5TXD	出力	PV5	O	O	×
	TSPI5SCK	入出力	PV6	O	O	×
ch6	TSPI6CSIN	入力	PM3	O	O	×
	TSPI6CS0	出力	PM3	O	O	×
	TSPI6CS1	出力	-	×	×	×
	TSPI6CS2	出力	-	×	×	×
	TSPI6CS3	出力	-	×	×	×
	TSPI6RXD	入力	PM1	O	O	×
	TSPI6TXD	出力	PM0	O	O	×
	TSPI6SCK	入出力	PM2	O	O	×
ch7	TSPI7CSIN	入力	PM4	O	O	×
	TSPI7CS0	出力	PM4	O	O	×
	TSPI7CS1	出力	-	×	×	×
	TSPI7CS2	出力	-	×	×	×
	TSPI7CS3	出力	-	×	×	×
	TSPI7RXD	入力	PM6	O	O	×
	TSPI7TXD	出力	PM7	O	O	×
	TSPI7SCK	入出力	PM5	O	O	×
ch8	TSPI8CSIN	入力	PW0	O	×	×
	TSPI8CS0	出力	PW0	O	×	×
	TSPI8CS1	出力	-	×	×	×
	TSPI8CS2	出力	-	×	×	×
	TSPI8CS3	出力	-	×	×	×
	TSPI8RXD	入力	PW2	O	×	×
	TSPI8TXD	出力	PW3	O	×	×
	TSPI8SCK	入出力	PW1	O	×	×

2.21.3. 製品別転送モード対応一覧

TSPI は、以下の表に示すように製品によって使用できる転送モードが異なります。

表 2.104 TSPI モード対応一覧

チャネル	モード対応 (×: 対応なし)		
	M4NR	M4NQ	M4NN
ch0	SPI モード SIO モード		
ch1	SPI モード SIO モード		
ch2	SPI モード SIO モード		
ch3	SPI モード SIO モード		
ch4	SPI モード SIO モード		
ch5	SPI モード SIO モード		×
ch6	SPI モード SIO モード		×
ch7	SPI モード SIO モード		×
ch8	SPI モード SIO モード	×	×

2.21.4. [TSPIxCR2]<RXDLY[2: 0]>の設定値

TSPI制御レジスター2 ([TSPIxCR2]<RXDLY[2: 0]>)の設定値については、AC タイミング調整用として設定してください。

「データシート」のシリアルペリフェラルインターフェースの AC 電気的特性を参照し、AC タイミングに応じて設定してください。

2.21.5. プリスケーラー用クロック

TSPI は、プリスケーラー用クロックに以下の表に示すクロックが使用されます。

表 2.105 TSPI プリスケーラー用クロック

TSPI チャネル	プリスケーラー用クロック
ch0 ~ 5	ΦT0h
ch6 ~ 8	ΦT0m

2.21.6. DMA 要求

TSPI は、以下の表に示す DMA 要求があります。

MDMAC の要求は、FIFO の Fill レベルに関わらず常にシングル要求を発生します。

表 2.106 TSPI DMA要求

チャンネル	要求		トリガーセクター	DMA 要求チャンネル			
		信号名				シングル転送	バースト転送
ch0	受信 DMA 要求	TSPI0RX_DMA	-	HDMAC ユニット A	0	○	○
	送信 DMA 要求	TSPI0TX_DMA			1	○	○
ch1	受信 DMA 要求	TSPI1RX_DMA	-	HDMAC ユニット B	0	○	○
	送信 DMA 要求	TSPI1TX_DMA			1	○	○
ch2	受信 DMA 要求	TSPI2RX_DMA	-	HDMAC ユニット A	2	○	○
	送信 DMA 要求	TSPI2TX_DMA			3	○	○
ch3	受信 DMA 要求	TSPI3RX_DMA	-	HDMAC ユニット B	2	○	○
	送信 DMA 要求	TSPI3TX_DMA			3	○	○
ch4	受信 DMA 要求	TSPI4RX_DMA	-	HDMAC ユニット A	4	○	○
	送信 DMA 要求	TSPI4TX_DMA			5	○	○
ch5	受信 DMA 要求	TSPI5RX_DMA	-	HDMAC ユニット B	4	○	○
	送信 DMA 要求	TSPI5TX_DMA			5	○	○
ch6	受信 DMA 要求	TSPI6RX_DMA	[TSEL0CR0] <INSEL0[2: 0]>	MDMAC ユニット A	0	○	×
	送信 DMA 要求	TSPI6TX_DMA	[TSEL0CR0] <INSEL1[2: 0]>		1	○	×
ch7	受信 DMA 要求	TSPI7RX_DMA	[TSEL0CR0] <INSEL2[2: 0]>		2	○	×
	送信 DMA 要求	TSPI7TX_DMA	[TSEL0CR0] <INSEL3[2: 0]>		3	○	×
ch8	受信 DMA 要求	TSPI8RX_DMA	[TSEL0CR1] <INSEL4[2: 0]>		4	○	×
	送信 DMA 要求	TSPI8TX_DMA	[TSEL0CR1] <INSEL5[2: 0]>		5	○	×

注) ○: 対応、×: 非対応、-: 非該当

2.21.7. 内部信号接続仕様

2.21.7.1. トリガー送信信号接続仕様

TSPI には、トリガー信号による送信機能があります。

表 2.107 TSPI トリガー送信信号接続仕様: 入力

チャネル	信号名	入力トリガー	
			信号名
ch0	TSPI0TRG	T32A ch0 タイマーレジスターA1 一致トリガー	T32A00TRGOUTCMPA1
ch1	TSPI1TRG	T32A ch1 タイマーレジスターA1 一致トリガー	T32A01TRGOUTCMPA1
ch2	TSPI2TRG	T32A ch2 タイマーレジスターA1 一致トリガー	T32A02TRGOUTCMPA1
ch3	TSPI3TRG	T32A ch3 タイマーレジスターA1 一致トリガー	T32A03TRGOUTCMPA1
ch4	TSPI4TRG	T32A ch4 タイマーレジスターA1 一致トリガー	T32A04TRGOUTCMPA1

注) TSPI ch5 ~ ch8 の接続はありません。

2.22. 同期シリアルインターフェース(TSSI)

2.22.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

TMPM4N グループ(1)製品に搭載している TSSI の最大通信速度は 10Mbps です。

表 2.108 TSSI 搭載チャンネル

製品	TSSI 搭載チャンネル (○: あり、×: なし)	
	ch0	ch1
M4NR	○	○
M4NQ	○	×
M4NN	○	×

2.22.2. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。

表 2.109 TSSI 機能端子とポート

チャンネル	機能端子		ポート	ポートの製品対応 (○: あり、×: なし)		
				M4NR	M4NQ	M4NN
ch0	TSSI0TCK	入力	PD2	○	○	○
	TSSI0TFS	出力	PD3	○	○	○
	TSSI0TXD	出力	PD4	○	○	○
	TSSI0RCK	出力	PD7	○	○	○
	TSSI0RFS	出力	PD6	○	○	○
	TSSI0RXD	入出力	PD5	○	○	○
ch1	TSSI1TCK	入力	PU2	○	×(注)	×
	TSSI1TFS	出力	PU3	○	×(注)	×
	TSSI1TXD	出力	PU4	○	×	×
	TSSI1RCK	出力	PU7	○	×	×
	TSSI1RFS	出力	PU6	○	×	×
	TSSI1RXD	入出力	PU5	○	×	×

注) 端子はありますが対応する機能がありません。

2.22.3. 分周器用クロック

TSSI は、分周器用クロックに以下の表に示すクロックが使用されます。

表 2.110 TSSI 分周器用クロック

分周器用クロック
ΦT0m

2.22.4. DMA 要求

TSSI は、以下の表に示す DMA 要求があります。

表 2.111 TSSI DMA要求

チャンネル	要求		トリガーセレクト	DMA 要求チャンネル(MDMAC ユニット A)		
		信号名			シングル転送	バースト転送
ch0	受信 DMA 要求	TSSI0RXDMAREQ	[TSEL0CR4] <INSEL19[2: 0]>	19	○	×
	送信 DMA 要求	TSSI0TXDMAREQ	[TSEL0CR5] <INSEL21[2: 0]>	21	○	×
ch1	受信 DMA 要求	TSSI1RXDMAREQ	[TSEL0CR6] <INSEL26[2: 0]>	26	○	×
	送信 DMA 要求	TSSI1TXDMAREQ	[TSEL0CR6] <INSEL27[2: 0]>	27	○	×

注) ○: 対応、×: 非対応

2.23. I²S インターフェース(I2S)

2.23.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.112 I2S 搭載チャンネル

製品	I2S 搭載チャンネル (○: あり、×: なし)	
	ch0	ch1
M4NR	○	○
M4NQ	○	○
M4NN	○	○

2.23.2. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。
複数に割り当てられている同一機能端子は排他的に使用してください。

表 2.113 I2S 機能端子とポート

チャンネル	機能端子		ポート	ポートの製品対応 (○: あり、×: なし)		
				M4NR	M4NQ	M4NN
ch0	I2S0LRCK	入出力	PD4	○	○	○
	I2S0BCK	入出力	PD5	○	○	○
	I2S0DI	入力	PD6	○	○	○
	I2S0DO	出力	PD7	○	○	○
	I2S0MCLK	入出力	PB0	○	○	○
ch1	I2S1LRCK	入出力	PE7	○	○	○
	I2S1BCK	入出力	PE6	○	○	○
	I2S1DI	入力	PE5	○	○	○
	I2S1DO	出力	PE4	○	○	○
	I2S1MCLK	入出力	PG6	○	○	○

2.23.3. マスタークロック生成回路用ソースクロック

I2S は、マスタークロック生成回路用ソースクロックに以下の表に示すクロックが使用されます。

表 2.114 I2S マスタークロック生成用ソースクロック

マスタークロック生成用ソースクロック
ΦT0m

2.23.4. DMA 要求

I2S は、以下の表に示す DMA 要求があります。

表 2.115 I2S DMA要求

チャンネル	要求		トリガーセレクター	DMA 要求チャンネル(MDMAC ユニット A)		
		信号名			シングル転送	バースト転送
ch0	受信 DMA リクエスト	I2S0RXDMAREQ	[TSEL0CR0] <INSEL0[2: 0]>	0	○	×
	送信 DMA リクエスト	I2S0TXDMAREQ	[TSEL0CR0] <INSEL1[2: 0]>	1	○	×
ch1	受信 DMA リクエスト	I2S1RXDMAREQ	[TSEL0CR0] <INSEL2[2: 0]>	2	○	×
	送信 DMA リクエスト	I2S1TXDMAREQ	[TSEL0CR0] <INSEL3[2: 0]>	3	○	×

注) ○: 対応、×: 非対応

2.23.5. 内部信号接続仕様

2.23.5.1. FIFO しきい値信号接続仕様

I2S は、FIFO しきい値信号による FIR に演算開始を要求します。

表 2.116 I2S FIFOしきい値信号接続仕様: 出力

チャンネル	機能出力		トリガーセレクター	接続先	
		信号名			信号名
ch0	受信 FIFO しきい値信号	I2S0RXFIFOTH	[TSEL0CR14] <INSEL56[2: 0]>	FIR 演算開始 トリガー信号	FIRSTARTTRG
	送信 FIFO しきい値信号	I2S0TXFIFOTH			
ch1	受信 FIFO しきい値信号	I2S1RXFIFOTH			
	送信 FIFO しきい値信号	I2S1TXFIFOTH			

2.24. CAN コントローラー(CAN)

2.24.1. 搭載ユニット

製品毎の搭載ユニットを下記表に示します。

表 2.117 CAN 搭載ユニット

製品	CAN 搭載ユニット (○: あり、×: なし)	
	ユニット A	ユニット B
M4NR	○	○
M4NQ	○	○
M4NN	○	○

2.24.2. システムクロック

CAN は以下の表のクロックをシステムクロックとして動作します。

表 2.118 CAN システムクロック

クロック	信号名
システムクロック	fsysm

2.24.3. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。
複数に割り当てられている同一機能端子は排他的に使用してください。

表 2.119 CAN 機能端子とポート

ユニット	機能端子		ポート	ポートの製品対応 (○: あり、×: なし)		
				M4NR	M4NQ	M4NN
A	CANARX	入力	PF7/PV5	○/○	○/○	○/×
	CANATX	出力	PF6/PV4	○/○	○/○	○/×
B	CANBRX	入力	PE1/PU6	○/○	○/×	○/×
	CANBTX	出力	PE0/PU7	○/○	○/×	○/×

2.25. Universal Serial Bus (USB)

2.25.1. 搭載ユニット

製品毎の搭載ユニットを下記表に示します。

表 2.120 USB 搭載ユニット

製品	USB 搭載ユニット (○: あり、×: なし)	
	ユニット A	ユニット B
M4NR	○	○
M4NQ	○	○
M4NN	○	×

2.25.2. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。
複数に割り当てられている同一機能端子は排他的に使用してください。

表 2.121 USB 機能端子とポート

ユニット	機能端子		ポート	ポートの製品対応 (○: あり、×: なし)		
				M4NR	M4NQ	M4NN
A	USBA_SOF_TGL	出力	PY4	○	○	○
	USBA_ID	入力	PB3	○	○	○
	USBA_VBUSEN	出力	PB2	○	○	○
	USBA_DP	-	-	○	○	○
	USBA_DM	-	-	○	○	○
	USBA_VBUS	-	-	○	○	○
B	USBB_SOF_TGL	出力	PF5/PM1	○/○	○/○	×/×
	USBB_ID	入力	PU0	○	○	×
	USBB_VBUSEN	出力	PU3	○	○	×
	USBB_DP	-	-	○	○	×
	USBB_DM	-	-	○	○	×
	USBB_VBUS	-	-	○	○	×
共通	USB_ECLK	入力	PB0	○	○	○

2.26. イーサネットコントローラー(ETHM)

2.26.1. 搭載ユニット

製品毎の搭載ユニットを下記表に示します。

表 2.122 ETHM 搭載ユニット

製品	ETHM 搭載ユニット (○: あり、×: なし)
	ユニット A
M4NR	○
M4NQ	○
M4NN	○

2.26.2. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。
 複数の割り当てられている同一機能端子は排他的に使用してください。

表 2.123 ETHM 機能端子とポート

ユニット	機能端子		ポート	ポートの製品対応 (○: あり、×: なし)		
				M4NR	M4NQ	M4NN
A	EMAPPSOUT0	出力	PA2/PE2	○/○	○/○	○/○
	EMAPPSOUT1	出力	PA6/PE3	○/○	○/○	○/○
	EMAMDC	出力	PG7/PK2	○/○	○/○	○/○
	EMAMDIO	入出力	PH0/PK3	○/○	○/○	○/○
	EMACOL	入力	PG3	○	○	○
	EMACRS	入力	PG2	○	○	○
	EMARXDV	入力	PG0	○	○	○
	EMARXER	入力	PG1	○	○	○
	EMATXEN	出力	PK0	○	○	○
	EMARXCLK	入力	PL1	○	○	○
	EMATXCLK	入力	PK4/PT4	○/○	○/○	○/×
	EMARXD0	入力	PL2/PV0	○/○	○/○	○/×
	EMARXD1	入力	PL3/PV1	○/○	○/○	○/×
	EMARXD2	入力	PG4/PV2	○/○	○/○	○/×
	EMARXD3	入力	PG5/PV3	○/○	○/○	○/×
	EMATXD0	出力	PL0/PM3	○/○	○/○	○/×
	EMATXD1	出力	PK7/PM2	○/○	○/○	○/×
	EMATXD2	出力	PK6/PM1	○/○	○/○	○/×
	EMATXD3	出力	PK5/PM0	○/○	○/○	○/×
	EMA_R_CRSDV	入力	PG0	○	○	○
	EMA_R_TXEN	出力	PK0	○	○	○
	EMA_R_REFCLK	入力	PL1	○	○	○
	EMA_R_RXD0	入力	PL2/PV0	○/○	○/○	○/×
	EMA_R_RXD1	入力	PL3/PV1	○/○	○/○	○/×
	EMA_R_TXD0	出力	PL0	○	○	○
	EMA_R_TXD1	出力	PK7	○	○	○

2.27. FIR 計算回路(FIR)

2.27.1. 搭載一覧

製品毎の搭載一覧を下記表に示します。

表 2.124 FIR 搭載一覧

製品	FIR 搭載 (○: あり、×: なし)
M4NR	○
M4NQ	○
M4NN	○

2.27.2. DMA 要求

FIR は、以下の表に示す DMA 要求があります。

表 2.125 FIR DMA要求

要求	信号名	トリガーセクター	DMA 要求チャネル(MDMAC ユニット A)		
				シングル転送	バースト転送
入力データライト要求	FIRDATAWRDMAREQ	[TSEL0CR1] <INSEL4[2: 0]>	4	○	×
演算結果データリード要求	FIRDATARDDMAREQ	[TSEL0CR1] <INSEL5[2: 0]>	5	○	×

注) ○: 対応、×: 非対応

2.27.3. 内部信号接続仕様

2.27.3.1. 演算開始トリガー信号

FIR には、I2S からのトリガー信号により演算開始する機能があります。
トリガー信号は以下の表に示すトリガーソースをトリガーセクターで選択し使用します。

表 2.126 FIR 演算開始トリガー信号接続仕様: 入力

機能入力	信号名	トリガーセクター	トリガーソース	
				信号名
演算開始トリガー信号	FIRSTARTTRG	[TSEL0CR14] <INSEL56[2: 0]>	I2S ch0	I2S0RXFIFOTH
			I2S ch0	I2S0TXFIFOTH
			I2S ch1	I2S0RXFIFOTH
			I2S ch1	I2S0TXFIFOTH

2.28. シリアルメモリーインターフェース(SMIF)

2.28.1. 搭載チャネル

製品毎の搭載チャネルを下記表に示します。

表 2.127 SMIF 搭載チャネル

製品	SMIF 搭載チャネル (○: あり、×: なし)
	ch0
M4NR	○
M4NQ	○
M4NN	○

2.28.2. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。

表 2.128 SMIF 機能端子とポート

チャネル	機能端子		ポート	ポートの製品対応 (○: あり、×: なし)		
				M4NR	M4NQ	M4NN
ch0	SMI0CS1_N	出力	PK0	○	○	○
	SMI0D0	入出力	PK2	○	○	○
	SMI0D1	入出力	PK3	○	○	○
	SMI0D2	入出力	PK4	○	○	○
	SMI0D3	入出力	PK5	○	○	○
	SMI0D4	入出力	PL0	○	○	○
	SMI0D5	入出力	PL1	○	○	○
	SMI0D6	入出力	PL2	○	○	○
	SMI0D7	入出力	PL3	○	○	○
	SMI0CLK	出力	PK6	○	○	○
	SMI0CS0_N	出力	PK7	○	○	○

2.28.3. プライマリー/セカンダリーバッファの容量

TMPM4N グループ(1)製品のプライマリー/セカンダリーバッファの容量を以下の表に示します。

表 2.129 SMIF バッファ容量

チャンネル	プライマリーバッファ	セカンダリーバッファ
ch0	32 バイト	256 バイト

2.28.4. DMA 要求

SMIF は、以下の表に示す DMA 要求があります。

表 2.130 SMIF DMA要求

チャンネル	要求		DMA 要求チャンネル(HDMAC ユニット A)		
		信号名		シングル転送	バースト転送
ch0	SMIF 割り込み	INTSMIO	6	×	○

注) ○: 対応、×: 非対応

2.29. CEC 制御回路 (CEC)

2.29.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.131 CEC 搭載チャンネル

製品	CEC 搭載チャンネル (○: あり、×: なし)
	ch0
M4NR	○
M4NQ	○
M4NN	×

2.29.2. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。

表 2.132 CEC 機能端子とポート

チャンネル	機能端子		ポート	ポートの製品対応 (○: あり、×: なし)		
				M4NR	M4NQ	M4NN
ch0	CEC0	入出力	PT2	○	○	×

2.29.3. サンプルングクロック

CEC は、以下の表に示すサンプルングクロックが選択可能です。

表 2.133 CEC サンプルングクロック

チャンネル	クロック		クロックソース	
		信号名		信号名
ch0	低速クロック	fs	外部低速発振器	fs
	クロックソース用 タイマートリガー0	CEC0CLKTRG	LTTMR0 割り込み	INTLTTMR0

注) サンプルングクロックは[CECxFSSSEL]<CECCLK>で選択してください。

2.30. リモコン受信回路(RMC)

2.30.1. 搭載チャンネル

製品毎の搭載チャンネルを下記表に示します。

表 2.134 RMC 搭載チャンネル

製品	RMC 搭載チャンネル (○: あり、×: なし)	
	ch0	ch1
M4NR	○	○
M4NQ	○	○
M4NN	○	×

2.30.2. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。

表 2.135 RMC 機能端子とポート

チャンネル	機能端子		ポート	ポートの製品対応 (○: あり、×: なし)		
				M4NR	M4NQ	M4NN
ch0	RXIN0	入力	PT3	○	○	○
ch1	RXIN1	入力	PT4	○	○	×

2.30.3. サンプルングクロック

RMC は、以下の表に示すサンプルングクロックが選択可能です。

表 2.136 RMC サンプルングクロック

チャンネル	クロック		クロックソース	
		信号名		信号名
ch0	低速クロック	fs	外部低速発振器	fs
	クロックソース用タイマートリガー0	TB0OUT	LTTMR0 割り込み	INTLTTMR0
ch1	低速クロック	fs	外部低速発振器	fs
	クロックソース用タイマートリガー1	TB1OUT	LTTMR0 割り込み	INTLTTMR0

注) サンプルングクロックは[RMC0FSSEL]<RMCCLK>、[RMC1FSSEL]<RMCCLK>で選択してください。

2.30.4. 内部信号接続仕様

2.30.4.1. T32A 接続

表 2.137 RMC T32A接続仕様

チャンネル	機能出力		出力先		
		信号名	トリガーセクター		信号名
ch0	トリガー出力	RMC0TRG	[TSEL0CR8] <INSEL35[2: 0]>	T32A13 タイマーA 内部トリガー入力	T32A13TRGINAPCK
ch1	トリガー出力	RMC1TRG	[TSEL0CR9] <INSEL36[2: 0]>	T32A13 タイマーB 内部トリガー入力	T32A13TRGINBPCK

2.31. デジタルノイズフィルター回路(DNF)

2.31.1. 搭載ユニット

製品毎の搭載ユニットを下記表に示します。

表 2.138 DNF 搭載ユニット

製品	DNF 搭載ユニット (○: あり、×: なし)	
	ユニット A	ユニット B
M4NR	○	○
M4NQ	○	○
M4NN	○	○

2.31.2. 製品別外部割り込みと DNF の対応

DNF は以下の外部割り込み端子に対応しています。

表 2.139 外部割り込みとDNF対応(ユニットA)

外部割り込み 端子	ポート	ユニット	設定レジスター名	DNF 対応 (○: あり、×: なし)		
				M4NR	M4NQ	M4NN
INT00a	PK7	A	[DNFAENCR]<NFEN0>	○	○	○
INT01a	PL0		[DNFAENCR]<NFEN1>	○	○	○
INT02a	PA0		[DNFAENCR]<NFEN2>	○	○	○
INT03a	PA7		[DNFAENCR]<NFEN3>	○	○	×
INT04a	PB0		[DNFAENCR]<NFEN4>	○	○	○
INT05a	PB1		[DNFAENCR]<NFEN5>	○	○	○
-	-		[DNFAENCR]<NFEN6>	×	×	×
-	-		[DNFAENCR]<NFEN7>	×	×	×
INT08a	PG0		[DNFAENCR]<NFEN8>	○	○	○
INT09a	PG1		[DNFAENCR]<NFEN9>	○	○	○
INT10a	PK0		[DNFAENCR]<NFEN10>	○	○	○
INT11a	PK1		[DNFAENCR]<NFEN11>	○	○	○
-	-		[DNFAENCR]<NFEN12>	×	×	×
-	-		[DNFAENCR]<NFEN13>	×	×	×
INT14a	PC6		[DNFAENCR]<NFEN14>	○	×	×
INT15a	PC7		[DNFAENCR]<NFEN15>	○	×	×

表 2.140 外部割り込みとDNF対応(ユニットB)

外部割り込み 端子	ポート	ユニット	設定レジスター名	DNF 対応 (○: あり、×: なし)		
				M4NR	M4NQ	M4NN
INT00b	PT3	B	[DNFBENCR]<NFEN0>	○	○	○
INT01b	PT4		[DNFBENCR]<NFEN1>	○	○	×
INT02b	PT5		[DNFBENCR]<NFEN2>	○	○	×
INT03b	PL6		[DNFBENCR]<NFEN3>	○	×	×
INT04b	PF0		[DNFBENCR]<NFEN4>	○	○	○
INT05b	PF7		[DNFBENCR]<NFEN5>	○	○	○
INT06b	PU2		[DNFBENCR]<NFEN6>	○	○	×
INT07b	PU3		[DNFBENCR]<NFEN7>	○	○	×
INT08b	PU4		[DNFBENCR]<NFEN8>	○	×	×
INT09b	PU5		[DNFBENCR]<NFEN9>	○	×	×
INT10b	PP6		[DNFBENCR]<NFEN10>	○	○	○
INT11b	PP7		[DNFBENCR]<NFEN11>	○	○	○
INT12b	PL4		[DNFBENCR]<NFEN12>	○	×	×
INT13b	PL5		[DNFBENCR]<NFEN13>	○	×	×
INT14b	PM3		[DNFBENCR]<NFEN14>	○	○	×
INT15b	PM4		[DNFBENCR]<NFEN15>	○	○	×

2.31.3. サンプルングソースクロック

DNF は、サンプルングのソースクロックとして以下の表に示すクロックが使用されます。

表 2.141 DNF サンプルングソースクロック

サンプルングソースクロック
fc

2.32. インターバルセンサー検知回路(ISD)

2.32.1. 搭載ユニット

製品毎の搭載ユニットを下記表に示します。

表 2.142 ISD 搭載ユニット

製品	ISD 搭載ユニット (○: あり, ×: なし)		
	ユニット A	ユニット B	ユニット C
M4NR	○	○	○
M4NQ	○	○	×
M4NN	○	×	×

2.32.2. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。

表 2.143 ISD 機能端子とポート

ユニット	機能端子		ポート	ポートの製品対応 (○: あり, ×: なし)		
				M4NR	M4NQ	M4NN
A	ISDAIN0	入力	PE4	○	○	○
	ISDAIN1	入力	PE5	○	○	○
	ISDAIN2	入力	PE6	○	○	○
	ISDAIN3	入力	PE7	○	○	○
	ISDAOUT	出力	PK0	○	○	○
B	ISDBIN0	入力	PV0	○	○	×
	ISDBIN1	入力	PV1	○	○	×
	ISDBIN2	入力	PV2	○	○	×
	ISDBIN3	入力	PV3	○	○	×
	ISDBOUT	出力	PK1	○	○	× (注)
C	ISDCIN0	入力	PW4	○	×	×
	ISDCIN1	入力	PW5	○	×	×
	ISDCIN2	入力	PW6	○	×	×
	ISDCIN3	入力	PW7	○	×	×
	ISDCOUT	出力	PY4	○	× (注)	× (注)

注) 端子はありますが対応する機能がありません。

2.32.3. 基準クロック

ISD は、以下の表に示す基準クロックが選択可能です。

表 2.144 ISD 基準クロック

ユニット	クロック入力		クロックソース	
		信号名		信号名
A	低速クロック	fs	外部低速発振器	fs
	クロックソース用タイマートリガー	ISDACLKTRG	T32A ch9 タイマーA 出力	T32A09OUTA
B	低速クロック	fs	外部低速発振器	fs
	クロックソース用タイマートリガー	ISDBCLKTRG	T32A ch9 タイマーA 出力	T32A09OUTA
C	低速クロック	fs	外部低速発振器	fs
	クロックソース用タイマートリガー	ISDCCLKTRG	T32A ch9 タイマーA 出力	T32A09OUTA

注) サンプリングクロックは 各ユニットの[ISDxCLKCR]<SC>で選択してください。

2.32.4. 内部信号接続仕様

ISD は、下記表のように内部で接続されている信号があります。

表 2.145 ISD 制御接続仕様

マスター			スレーブ		
ユニット	連携動作出力		ユニット	連携動作入力	
		信号名			信号名
A	スレーブユニットへの出力タイミング接続	ISDASDO	B	マスターユニットからの出力タイミング接続	ISDBSDI
			C	マスターユニットからの出力タイミング接続	ISDCSDI
	スレーブユニットへの検知タイミング接続	ISDATMO	B	マスターユニットからの検知タイミング接続	ISDBTMI
			C	マスターユニットからの検知タイミング接続	ISDCTMI

2.33. バウンダリースキャン(BSC)

2.33.1. 機能対応

製品毎の機能対応を下記表に示します。

表 2.146 BSC 機能対応

製品	機能対応 (○: あり、×: なし)
M4NR	○(注 1)
M4NQ	○(注 2)
M4NN	×

注 1) VFBGA177 パッケージ製品のみ。

注 2) VFBGA145 パッケージ製品のみ。

2.33.2. 製品別 JTAG インターフェース一覧

表 2.147 JTAGインターフェース一覧

デバッグ端子		ポート	端子対応 (○: あり、×: なし)		
			M4NR	M4NQ	M4NN
TMS	入力	PH4	○	○	○
TCK	入力	PH5	○	○	○
TDO	出力	PH6	○	○	○
TDI	入力	PH3	○	○	○
TRST_N	入力	PH7	○	○	○
BSC	入力	-	○ (注 1)	○ (注 2)	×

注 1) VFBGA177 パッケージ製品のみ。

注 2) VFBGA145 パッケージ製品のみ。

2.33.3. バウンダリースキャン順序

本製品のプロセッサ信号に対するバウンダリースキャンの順序は下表のとおりです。

表 2.148 バウンダリースキャン順序

順序	機能名 またはポート名	端子対応 (○: あり、×: なし)	
		M4NR (VFBGA177 ピン 製品のみ)	M4NQ (VFBGA145 ピン 製品のみ)
-	TDI	○	○
1	PH2	○	○
2	PH1	○	○
3	PH0	○	○
4	PG7	○	○
5	PG6	○	○
6	PG5	○	○
7	PG4	○	○
8	PL3	○	○
9	PL2	○	○
10	PL1	○	○
11	PL0	○	○
12	PK7	○	○
13	PK6	○	○
14	PK5	○	○
15	PK4	○	○
16	PK3	○	○
17	PK2	○	○
18	PK1	○	○
19	PK0	○	○
20	PV3	○	○
21	PV2	○	○
22	PV1	○	○
23	PV0	○	○
24	PT4	○	○
25	PW7	○	×
26	PW6	○	×
27	PW5	○	×
28	PW4	○	×
29	PM3	○	○
30	PM2	○	○
31	PM1	○	○
32	PM0	○	○
33	PL5	○	×
34	PL4	○	×
35	PG0	○	○
36	PG1	○	○
37	PG2	○	○
38	PG3	○	○
39	PN0	○	○
40	PN1	○	○

順序	機能名 またはポート名	端子対応 (○: あり、×: なし)	
		M4NR (VFBGA177 ピン 製品のみ)	M4NQ (VFBGA145 ピン 製品のみ)
1	PN2	○	○
42	PN3	○	○
43	PN4	○	○
44	PN5	○	○
45	PN6	○	○
46	PN7	○	○
47	PP0	○	○
48	PP1	○	○
49	PP2	○	○
50	PP3	○	○
51	PP4	○	○
52	PP5	○	○
53	PP6	○	○
54	PP7	○	○
55	PR0	○	○
56	PR1	○	○
57	PR2	○	○
58	PR3	○	○
59	PR4	○	○
60	PR5	○	○
61	PR6	○	○
62	PR7	○	○
63	PT0	○	○
64	PT1	○	○
65	PL7	○	×
66	PL6	○	×
67	PJ3	○	×
68	PJ2	○	×
69	PJ1	○	×
70	PJ0	○	×
71	PT2	○	○
72	PF0	○	○
73	PF1	○	○
74	PF2	○	○
75	PF3	○	○
76	PF4	○	○
77	PF5	○	○
78	PF6	○	○
79	PF7	○	○
80	PC7	○	×
81	PC6	○	×
82	PC5	○	×
83	PC4	○	×
84	PB3	○	○
85	PB2	○	○
86	PB1	○	○
87	PB0	○	○

順序	機能名 またはポート名	端子対応 (○: あり、×: なし)	
		M4NR (VFBGA177 ピン 製品のみ)	M4NQ (VFBGA145 ピン 製品のみ)
88	PA7	○	○
89	PA6	○	○
90	PA5	○	○
91	PA4	○	○
92	PA3	○	○
93	PA2	○	○
94	PA1	○	○
95	PA0	○	○
96	PY4	○	○
97	PT3	○	○
98	PU0	○	○
99	PU2	○	○
100	PU3	○	○
101	PU4	○	×
102	PU5	○	×
103	PU6	○	×
104	PU7	○	×
105	PY3	○	○
106	PY2	○	○
107	PY0	○	○
108	PY1	○	○
109	PD0	○	○
110	PD1	○	○
111	PD2	○	○
112	PD3	○	○
113	PD4	○	○
114	PD5	○	○
115	PD6	○	○
116	PD7	○	○
117	PE0	○	○
118	PE1	○	○
119	PE2	○	○
120	PE3	○	○
121	PE4	○	○
122	PE5	○	○
123	PE6	○	○
124	PE7	○	○
125	PJ7	○	×
126	PJ6	○	×
127	PJ5	○	×
128	PJ4	○	×
129	PT5	○	○
130	PW3	○	×
131	PW2	○	×
132	PW1	○	×
133	PW0	○	×
134	PV7	○	○

順序	機能名 またはポート名	端子対応 (○: あり、×: なし)	
		M4NR (VFBGA177 ピン 製品のみ)	M4NQ (VFBGA145 ピン 製品のみ)
135	PV6	○	○
136	PV5	○	○
137	PV4	○	○
138	PM7	○	○
139	PM6	○	○
140	PM5	○	○
141	PM4	○	○
-	TDO	○	○

2.34. トリミング回路(TRM)

2.34.1. 搭載一覧

製品毎の搭載一覧を下記表に示します。

表 2.149 TRM 搭載一覧

製品	TRM 搭載 (○: あり、×: なし)
M4NR	○
M4NQ	○
M4NN	○

2.34.2. 対象発振器

TRM の対象発振器は以下の表に示す発振器です。

表 2.150 TRM トリミング対象発振器

対象発振器	発振器名
内蔵高速発振器 1	IHOSC1

2.35. 外部バスインターフェース(EBIF)

2.35.1. 機能対応

製品毎の機能対応を下記表に示します。

表 2.151 EBIF 機能対応

製品	機能対応 (○: あり、×: なし)
M4NR	○
M4NQ	○
M4NN	○

2.35.2. 機能端子とポート

機能端子は以下の表のポートに割り当てられています。

表 2.152 EBIF 機能端子とポート

機能端子			ポート	ポートの製品対応 (○: あり、×: なし)		
セパレートバス	マルチプレクスバス			M4NR	M4NQ	M4NN
EA00 ~ EA07	-	出力	PA0 ~ PA6/PA7	○/○	○/○	○/×
EA08 ~ EA15	-	出力	PB0 ~ PB3/ PB4 ~ PB7	○/×	○/×	○/×
			PE7 ~ PE0	○	○	○
EA16 ~ EA23	EA16 ~ EA23	出力	PC0 ~ PC3/ PC4 ~ PC7	×/○	×/×	×/×
			PE7 ~ PE0	○	○	○
ED00 ~ ED15	EAD00 ~ EAD15	入出力	PD0 ~ PD7/ PE0 ~ PE7	○	○	○
-	EALE	出力	PG0	○	○	○
ERD_N		出力	PF0	○	○	○
EWR_N		出力	PF1	○	○	○
ECS0_N		出力	PK2	○	○	○
ECS1_N		出力	PK3	○	○	○
ECS2_N		出力	PF4	○	○	○
ECS3_N		出力	PF5	○	○	×
EBELL_N		出力	PF6	○	○	○
EBELH_N		出力	PF7	○	○	○
EWAIT_N		入力	PG1	○	○	○
EEXBCLK		出力	PY4	○	○	○

3. 改訂履歴

表 3.1 改訂履歴

Revision	Date	Description
1.0	2021-01-18	・新規
1.1	2023-09-15	・序章の表の誤記修正 ・表 2.1 の誤記修正 ・2.10.2. システムクロック 章の追加 ・2.24.2. システムクロック 章の追加
1.2	2024-05-31	・序章 関連するドキュメント フラッシュメモリーとシリアルメモリーインターフェースの IP 名称を変更

製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。