

32 ビット RISC マイクロコントローラー

TXZ+ファミリー

リファレンスマニュアル
同期シリアルインターフェース
(TSSI-A)

Revision 1.0

2020-11

東芝デバイス&ストレージ株式会社

目次

序章	5
関連するドキュメント	5
表記規約	6
用語・略語	8
1. 概要	9
2. 構成	10
3. 機能説明・動作説明	12
3.1. クロック供給	12
3.2. データフレームフォーマット	13
3.3. 転送クロック	14
3.4. 通信モード	15
3.5. FIFO 構成	17
3.5.1. FIFO 動作	17
3.6. 通信動作	18
3.6.1. 送信	19
3.6.2. 受信	20
3.6.3. 送受信(全 2 重通信)	21
3.6.4. 受信データ比較	23
3.6.5. 通信の中断と再開	24
3.7. 転送波形	25
3.8. 割り込み要求	31
3.8.1. 受信割り込み	31
3.8.2. 送信割り込み	32
3.8.3. エラー割り込み	32
3.9. DMA 要求	33
3.10. ソフトウェアリセット	34
4. レジスター説明	35
4.1. レジスター一覧	35
4.2. レジスター詳細	36
4.2.1. [TSSIxCR0] (TSSI 制御レジスター0)	36
4.2.2. [TSSIxCR1] (TSSI 制御レジスター1)	37
4.2.3. [TSSIxCPR] (TSSI クロック分周レジスター)	38
4.2.4. [TSSIxRCMR] (TSSI 受信クロック/モード制御レジスター)	39
4.2.5. [TSSIxRFMR] (TSSI 受信データフレーム制御レジスター)	40
4.2.6. [TSSIxRCR] (TSSI 受信データ比較レジスター)	41
4.2.7. [TSSIxRDMACR] (TSSI 受信 DMA 制御レジスター)	41
4.2.8. [TSSIxRSR] (TSSI 受信ステータスレジスター)	42

4.2.9. [TSSIxRIER] (TSSI 受信割り込み許可レジスター)	43
4.2.10. [TSSIxRFTLR] (TSSI 受信 FIFO しきい値レジスター).....	44
4.2.11. [TSSIxRFLR] (TSSI 受信 FIFO エントリーレジスター)	44
4.2.12. [TSSIxRDR0] (TSSI 受信データレジスター0).....	44
4.2.13. [TSSIxTCMR] (TSSI 送信クロック/モード制御レジスター).....	45
4.2.14. [TSSIxTFMR] (TSSI 送信データフレーム制御レジスター)	46
4.2.15. [TSSIxTDMACR] (TSSI 送信 DMA 制御レジスター)	46
4.2.16. [TSSIxTSR] (TSSI 送信ステータスレジスター)	47
4.2.17. [TSSIxTIER] (TSSI 送信割り込み許可レジスター).....	48
4.2.18. [TSSIxTFTLR] (TSSI 送信 FIFO しきい値レジスター).....	48
4.2.19. [TSSIxTFLR] (TSSI 送信 FIFO エントリーレジスター).....	48
4.2.20. [TSSIxTDR0] (TSSI 送信データレジスター0)	49
5. 使用方法の例.....	50
5.1. マスター送信.....	50
5.2. マスター受信.....	52
5.3. マスター送受信	53
5.4. スレーブ送信.....	55
5.5. スレーブ受信.....	56
5.6. スレーブ送受信	57
5.7. DMAC を用いた転送手順.....	58
5.8. スレーブ受信/送受信における受信データ比較機能.....	59
6. 使用上のご注意およびお願い事項.....	60
7. 改訂履歴.....	61
製品取り扱い上のお願い.....	62

図目次

図 2.1	TSSI のブロック図	10
図 3.1	転送クロック	14
図 3.2	FIFO の動作	17
図 3.3	送信モードの動作例	19
図 3.4	受信モードの動作例	20
図 3.5	全 2 重通信の動作例	22
図 3.6	受信データ比較機能使用時の送受信波形	23
図 3.7	マスター転送のシングル転送波形	25
図 3.8	スレーブ転送のシングル転送波形	26
図 3.9	マスター転送の連続転送波形	27
図 3.10	スレーブ転送の連続転送波形	28
図 3.11	受信データ比較機能使用時の転送波形(一致時)	30
図 3.12	受信データ比較機能使用時の転送波形(不一致時)	30
図 5.1	送信と受信の接続例	50
図 5.2	送受信の接続例	50

表目次

表 2.1	信号一覧	11
表 3.1	動作モードの設定と使用端子の組み合わせ	16
表 3.2	通信開始条件	18
表 3.3	通信完了条件	18
表 3.4	割り込み出力と割り込み要因	31
表 3.5	FIFO に関するエラーの発生の有無	32
表 3.6	ソフトウェアリセットと初期化レジスター	34
表 5.1	マスター送信の設定手順	50
表 5.2	マスター受信の設定手順	52
表 5.3	マスターでの送受信の設定手順	53
表 5.4	スレーブでの送信の設定手順	55
表 5.5	スレーブでの受信の設定手順	56
表 5.6	スレーブでの送受信の設定手順	57
表 7.1	改訂履歴	61

序章

関連するドキュメント

文書名
クロック制御と動作モード
例外
入出力ポート
製品個別情報

表記規約

- 数値表記は以下の規則に従います。
 - 16進数表記: 0xABC
 - 10進数表記: 123 または 0d123 (10進表記であることを示す必要のある場合だけ使用)
 - 2進数表記: 0b111 (ビット数が本文中に明記されている場合は「0b」を省略可)
- ローアクティブの信号は信号名の末尾に「_N」で表記します。
- 信号がアクティブレベルに移ることを「アサート (assert)」アクティブでないレベルに移ることを「デアサート (deassert)」と呼びます。
- 複数の信号名は [m:n]とまとめて表記する場合があります。
例: S[3:0] は S3,S2,S1,S0 の4つの信号名をまとめて表記しています。
- 本文中 [] で囲まれたものはレジスターを定義しています。
例: [ABCD]
- 同種で複数のレジスター、フィールド、ビット名は「n」で一括表記する場合があります。
例: [XYZ1],[XYZ2],[XYZ3] → [XYZn]
- 「レジスター一覧」中のレジスター名でユニットまたはチャンネルは「x」で一括表記しています。
ユニットの場合、「x」は A,B,C, ... を表します。
例: [ADACR0],[ADBCR0],[ADCCR0] → [ADxCR0]
チャンネルの場合、「x」は 0,1,2, ... を表します。
例: [T32A0RUNA],[T32A1RUNA],[T32A2RUNA] → [T32AxRUNA]
- レジスターのビット範囲は [m:n] と表記します。
例: [3:0] はビット3から0の範囲を表します。
- レジスターの設定値は16進数または2進数のどちらかで表記されています。
例: [ABCD]<EFG> = 0x01 (16進数)、[XYZn]<VW> = 1 (2進数)
- ワード、バイトは以下のビット長を表します。
 - バイト: 8ビット
 - ハーフワード: 16ビット
 - ワード: 32ビット
 - ダブルワード: 64ビット
- レジスター内の各ビットの属性は以下の表記を使用しています。
 - R: リードオンリー
 - W: ライトオンリー
 - R/W: リード / ライト
- 断りのない限り、レジスターアクセスはワードアクセスだけをサポートします。
- 本文中の予約領域「Reserved」として定義されたレジスターは書き換えを行わないでください。また、読み出した値を使用しないでください。
- Default 値が「—」となっているビットから読み出した値は不定です。
- 書き込み可能なビットフィールドと、リードオンリー「R」のビットフィールドが共存するレジスターに書き込みを行う場合、リードオンリー「R」のビットフィールドには Default 値を書き込んでください。
Default 値が「—」となっている場合は、個々のレジスターの定義に従ってください。
- ライトオンリーのレジスターの Reserved ビットフィールドには Default 値を書き込んでください。
Default 値が「—」となっている場合は、個々のレジスターの定義に従ってください。
- 書き込みと読み出しで異なる定義のレジスターへのリードモディファイライト処理は行わないでください。

本資料に記載されている社名・商品名・サービス名などは、それぞれ各社が商標として使用している場合があります。

用語・略語

この仕様書で使用されている用語・略語の一部を記載します。

DMA	Direct Memory Access
DMAC	Direct Memory Access Controller
FIFO	First-In First-Out
MSB	Most Significant Bit
LSB	Least Significant Bit
TSSI	Synchronous Serial Interface

1. 概要

同期シリアルインターフェース(TSSI)は、送信部(入出力端子: TSSIxTCK, TSSIxTFS, TSSIxTXD)と受信部(入出力端子: TSSIxRCK, TSSIxRFS, TSSIxRXD)を独立して同期シリアル通信が行えます。また、送信部と受信部が協調動作することで送受信(全2重通信)もできます。

機能分類	機能	動作説明または範囲
クロック生成	クロック分周	マスターデバイス時のシリアルクロック(SCLK)を生成 ΦT0 を 2~256 分周可能
受信部	受信シリアルクロック	マスターデバイス:分周クロック SCLK スレーブデバイス:TSSIxTCK 入力, TSSIxRCK 入力から選択
	データフォーマット	・ビット順序: 最上位ビットから通信 ・データフレームサイズ: 4~32ビット
	フレーム同期	フレーム同期信号、受信データは受信シリアルクロック同期 シリアルクロック立ち上がりで出力更新 シリアルクロック立ち下がりで入力検出
		シリアルクロック 1 周期の H パルスを通信開始のトリガーとする
	受信 FIFO	FIFO 段数 4 段
	動作モード	・マスター受信 ・マスター送受信(受信部協調制御) ・スレーブ受信/スレーブ送受信
	割り込み	受信割り込み: 受信 FIFO ノットエンプティ、FIFO しいき値フラグ、 受信データ比較一致、受信 FIFO 転送完了でパルス割り込み発生 エラー割り込み(注 1): 受信 FIFO のアンダーランとオーバーラン でレベル割り込み発生
	DMA 要求	受信 FIFO ノットエンプティでシングル DMA 要求
	受信データ比較機能	スレーブ動作時、受信データと期待値の一致をトリガーにしてデータフレームの受信、送受信が可能(注 2)
	協調制御	送信部に協調してマスター送受信(全2重通信)が可能
送信部	送信シリアルクロック	マスターデバイス:分周クロック SCLK スレーブデバイス:TSSIxTCK 入力, TSSIxRCK 入力から選択
	データフォーマット	・ビット順序: 最上位ビットから通信 ・データフレームサイズ: 4~32ビット
	フレーム同期	フレーム同期信号、送信データは送信シリアルクロック同期 シリアルクロック立ち上がりで出力更新 シリアルクロック立ち下がりで入力検出
		シリアルクロック 1 周期の H パルスを通信開始のトリガーとする
	送信 FIFO	FIFO 段数 4 段
	動作モード	・マスター送信/マスター送受信 ・スレーブ送信 ・スレーブ送受信(送信部協調制御)
	割り込み	送信割り込み: 送信 FIFO ノットフル、送信 FIFO しいき値フラグで 発生するパルス割り込み エラー割り込み(注 1): 送信 FIFO のアンダーランとオーバーラン で発生するレベル割り込み
	DMA 要求	送信 FIFO ノットフルでシングル DMA 要求
	協調制御	受信部に協調してスレーブ送受信(全2重通信)が可能
	ソフトウェアリセット	全体、受信部、送信部

注 1) エラー割り込みは送信部と受信部で共有します。

注 2) 期待値と比較した受信データは、データフレームとしては扱われません。すなわち、受信 FIFO には格納されません。

2. 構成

TSSI のブロック図と信号一覧を示します。

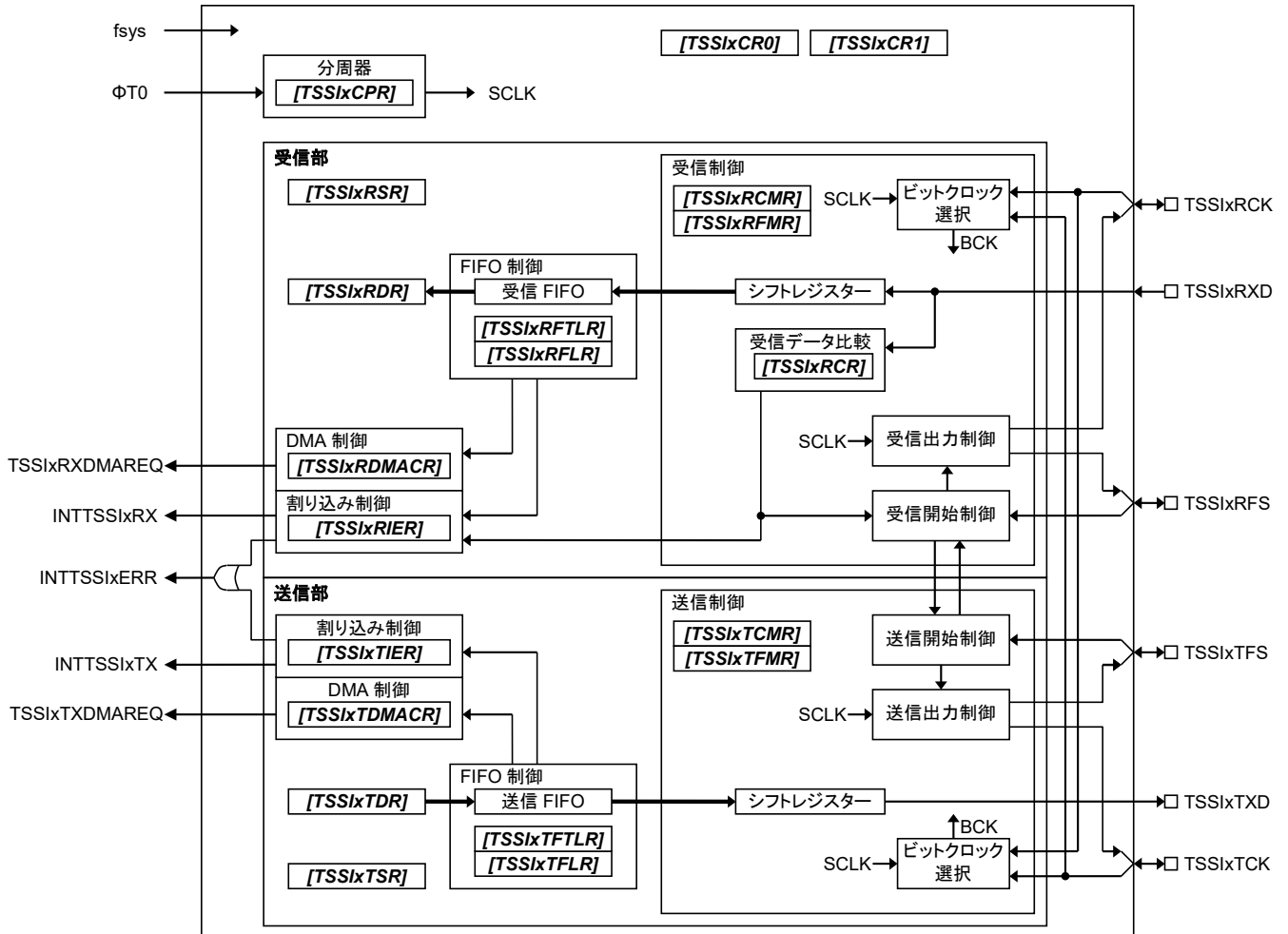


図 2.1 TSSIのブロック図

表 2.1 信号一覧

No	信号名	信号名称	I/O	参照リファレンスマニュアル
1	fsys	システムクロック	入力	クロック制御と動作モード
2	$\Phi T0$	プリスケラークロック	入力	クロック制御と動作モード
3	TSSixTCK	送信クロック	入出力	入出力ポート、製品個別情報
4	TSSixTFS	送信フレーム同期信号	入出力	入出力ポート、製品個別情報
5	TSSixTXD	送信データ	出力	入出力ポート、製品個別情報
6	TSSixRCK	受信クロック	入出力	入出力ポート、製品個別情報
7	TSSixRFS	受信フレーム同期信号	入出力	入出力ポート、製品個別情報
8	TSSixRXD	受信データ	入力	入出力ポート、製品個別情報
9	INTTSSixTX	送信割り込み	出力	例外
10	INTTSSixRX	受信割り込み	出力	例外
11	INTTSSixERR	エラー割り込み	出力	例外
12	TSSixTXDMAREQ	送信 DMA 要求	出力	製品個別情報
13	TSSixRXDMAREQ	受信 DMA 要求	出力	製品個別情報

3. 機能説明・動作説明

3.1. クロック供給

TSSI を使用する場合は、fsys 供給停止レジスタA (*[JCGFSYSENA]*, *[JCGFSYSMENA]*)、fsys 供給停止レジスタB (*[JCGFSYSENB]*, *[JCGFSYSMENB]*)、fsys 供給停止レジスタC (*[JCGFSYSMENC]*)、fc 供給停止レジスタ (*[JCGFCEN]*) で該当するクロックイネーブルビットを"1" (クロック供給) に設定してください。

該当レジスタ、ビット位置は製品によって異なります。そのため、製品によってレジスタが存在しない場合があります。詳細はリファレンスマニュアル「クロック制御と動作モード」を参照してください。

クロックの供給を停止する場合、TSSI が停止していること (*[TSSIxCRI]*<RXSTS>,<TXSTS>=0) を確認してください。また、STOP1/STOP2 モードに遷移する際も同様に TSSI が停止していることを確認してください。

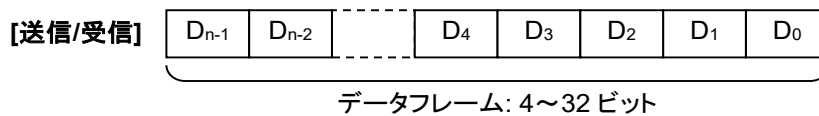
3.2. データフレームフォーマット

TSSI のデータフレームは、4～32 ビット幅で設定可能で、最上位ビット(MSB)から通信開始します。

送信部のデータフレームサイズは $[TSSIxTFMR]/<TDFS[4:0]>$ (送信データフレームサイズ)で受信部のデータフレームサイズは $[TSSIxRFMR]/<RDFS[4:0]>$ (受信データフレームサイズ)で設定します。

また、送受信通信を行う場合、 $<TDFS[4:0]>$ と $<RDFS[4:0]>$ に同じ値を設定して協調制御を行ってください。

- 通常通信フォーマット



データフレームサイズを $[TSSIxRFMR]/<RDFS[4:0]>$, $[TSSIxTFMR]/<TDFS[4:0]>$ に設定してください。

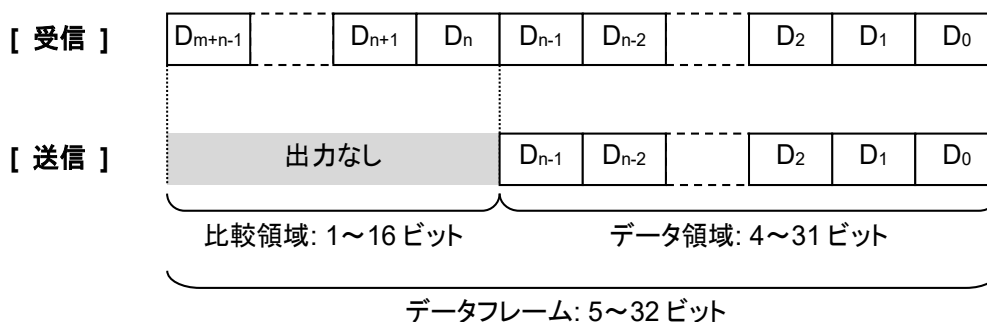
- 受信データ比較フォーマット

受信データ比較フォーマットはスレーブデバイスで受信または送受信で受信データ比較機能を使用する場合のデータフォーマットです。

データフレームは比較領域(MSB 側の m ビット)とデータ領域(LSB 側の n ビット)に分かれます。

比較領域の受信中に $[TSSIxRCR]/<CMPDP[15:0]>$ との比較を行います。データ領域の受信/送受信は比較領域データが $<CMPDP[15:0]>$ と一致する場合のみ行われます。

比較領域データは一致/不一致に関わらず受信 FIFO に保存されません。



受信部の $[TSSIxRFMR]/<CMPDFS[3:0]>$ に比較領域サイズを設定し、 $[TSSIxRFMR]/<RDFS[4:0]>$ に図のデータ領域サイズを設定します。送受信の場合、送信部の $[TSSIxTFMR]/<TDFS[4:0]>$ に $<RDFS[4:0]>$ と同じ値を設定します。

注) マスターデバイスではデータフレームサイズを「比較領域サイズ(m ビット) + データ領域サイズ(n ビット)」にしてください。

3.3. 転送クロック

マスターデバイスの場合、送信部と受信部で共通の分周クロック(SCLK)を設定します。
ビットクロックは受信部と送信部でそれぞれ設定します。

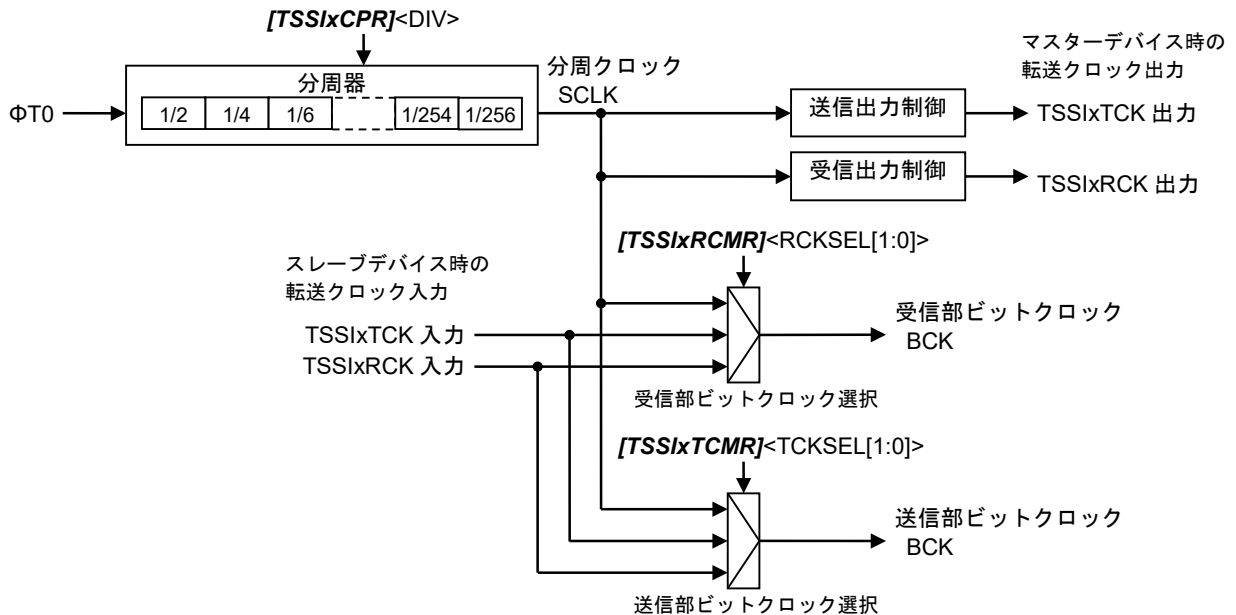


図 3.1 転送クロック

- マスターデバイス

(1) 分周器設定

クロック分周レジスター($[TSSIxCPR]<DIV[7:0]>$)で2~256分周に設定できます。

$$\text{SCLK 周波数} = \Phi T0 \text{ 周波数} / (<DIV[7:0]> + 1)$$

注) SCLK 周波数 $\leq 1/2 \times f_{\text{sys}}$ 周波数にしてください。

(2) クロック選択

クロック選択で分周クロック(SCLK)を選択してください。

送信部: $[TSSIxTCMR]<TCKSEL[1:0]>=00$

受信部: $[TSSIxRCMR]<RCKSEL[1:0]>=00$

- スレーブデバイス

クロック選択で受信シリアルクロック(TSSIxRCK)または送信シリアルクロック(TSSIxTCK)を選択してください。(注1)

送信部: $[TSSIxTCMR]<TCKSEL[1:0]>=01$

受信部: $[TSSIxRCMR]<RCKSEL[1:0]>=10$

注1) 対応可能なシリアルクロック周波数は f_{sys} 周波数の 1/2 以下です。

注2) 送受信の場合は $<TCKSEL[1:0]>=<RCKSEL[1:0]>=10$ にしてください。

3.4. 通信モード

送信/受信それぞれにマスター/スレーブ選択があり、送受信の場合は協調動作を選択します。

スレーブデバイス時の受信部は受信データ比較機能を使用することができます。

- マスター/スレーブ選択

送信部は、送信クロック/モード制御レジスタ (*JTSSIxTCMRJ*) の送信クロック選択 <TCKSEL[1:0]>、送信クロック出力モード選択 <TCKOUT[1:0]>、送信開始トリガー <TSTART[1:0]> で設定します。

受信部は、受信クロック/モード制御レジスタ (*JTSSIxRCMRJ*) の受信クロック選択 <RCKSEL[1:0]>、受信クロック出力モード選択 <RCKOUT[1:0]>、受信開始トリガー <RSTART[1:0]> で設定します。

- マスターデバイス

フレーム同期信号 (TSSIxRFS, TSSIxTFS)、シリアルクロック (TSSIxRCK, TSSIxTCK) を出力して通信動作を行います。

- スレーブデバイス

入力されるフレーム同期信号 (TSSIxRFS, TSSIxTFS)、シリアルクロック (TSSIxRCK, TSSIxTCK) に応じて通信動作を行います。

- 送受信制御

- 送信は送信部で行います。

送信部のフレーム同期信号 (TSSIxTFS) とシリアルクロック (TSSIxTCK) を使用します。

- 受信は受信部で行います。

受信部のフレーム同期信号 (TSSIxRFS) とシリアルクロック (TSSIxRCK) を使用します。

- 送受信は送信部と受信部を協調動作させます。

マスターデバイスの場合、送信部をマスター送信モード (*JTSSIxTCMRJ* <TSTART[1:0]> = 00) に設定し、受信部は送信部に協調動作 (*JTSSIxRCMRJ* <RSTART[1:0]> = 01) に設定します。送信部のフレーム同期信号 (TSSIxTFS) とシリアルクロック (TSSIxTCK) を使用します。

スレーブデバイスの場合、受信部をスレーブ受信モード (*JTSSIxRCMRJ* <RSTART[1:0]> = 10) に設定し、送信部は受信部に協調動作 (*JTSSIxTCMRJ* <TSTART[1:0]> = 01) に設定します。受信部のフレーム同期信号 (TSSIxRFS) とシリアルクロック (TSSIxRCK) を使用します。

- 受信データ比較

スレーブ受信とスレーブ送受信の場合、受信部は受信データ比較機能を使用できます (*JTSSIxRCMRJ* <RSTART[1:0]> = 11)。

表 3.1 動作モードの設定と使用端子の組み合わせ

動作モード		クロック/モード制御レジスター設定			使用端子(注 1)
		受信データ比較	受信部(TSSiRCMR)	送信部(TSSiTCMR)	
マスター	送信	—	—	<TCKSEL[1:0]>=00 <TCKOUT[1:0]>=01,10 <TSTART[1:0]>=00	TSSiXTCK (出力) TSSiXTFS (出力) TSSiXTXD
	受信	—	<RCKSEL[1:0]>=00 <RCKOUT[1:0]>=01,10 <RSTART[1:0]>=00	—	TSSiXRCK (出力) TSSiXRFS (出力) TSSiRXD
	送受信 (全 2 重通信)	—	<RCKSEL[1:0]>=00 <RCKOUT[1:0]>=00 <RSTART[1:0]>=01 (注 2)	<TCKSEL[1:0]>=00 <TCKOUT[1:0]>=01,10 <TSTART[1:0]>=00	TSSiXTCK (出力) TSSiXTFS (出力) TSSiXTXD TSSiRXD
スレーブ	送信	—	—	<TCKSEL[1:0]>=01 <TCKOUT[1:0]>=00 <TSTART[1:0]>=10	TSSiXTCK (入力) TSSiXTFS (入力) TSSiXTXD
	受信	なし	<RCKSEL[1:0]>=10 <RCKOUT[1:0]>=00 <RSTART[1:0]>=10	—	TSSiXRCK (入力) TSSiXRFS (入力) TSSiRXD
		あり	<RCKSEL[1:0]>=10 <RCKOUT[1:0]>=00 <RSTART[1:0]>=11	—	TSSiXRCK (入力) TSSiXRFS (入力) TSSiRXD
	送受信 (全 2 重通信)	なし	<RCKSEL[1:0]>=10 <RCKOUT[1:0]>=00 <RSTART[1:0]>=10	<TCKSEL[1:0]>=10 <TCKOUT[1:0]>=00 <TSTART[1:0]>=01 (注 2)	TSSiXRCK (入力) TSSiXRFS (入力) TSSiRXD TSSiXTXD
		あり	<RCKSEL[1:0]>=10 <RCKOUT[1:0]>=00 <RSTART[1:0]>=11	<TCKSEL[1:0]>=10 <TCKOUT[1:0]>=00 <TSTART[1:0]>=01 (注 2)	TSSiXRCK (入力) TSSiXRFS (入力) TSSiRXD TSSiXTXD

注 1) あらかじめ入出力ポートを設定してください。設定の詳細はリファレンスマニュアル「入出力ポート」を参照してください。

注 2) 送信部または受信部を協調動作に設定します。

3.5. FIFO 構成

送信 FIFO および受信 FIFO はそれぞれ 4 段構成になります。

3.5.1. FIFO 動作

送信データはデータレジスタ $[TSSIxTDRn]$ に書き込み、受信データは $[TSSIxRDRn]$ から読み出します。 $[TSSIxTDRn]$, $[TSSIxRDRn]$ は 32 ビット幅でデータフレームサイズが 32 ビット未満の場合は右詰めになります。

送信 FIFO のデータエントリー数は $[TSSIxTFLR]$ で、受信 FIFO のデータエントリー数は $[TSSIxRFLR]$ で確認できます。

受信 FIFO エントリー数は受信シフトレジスタから 1 フレームデータ転送ごとに +1 され、 $[TSSIxRDR0]$ をリードごとに -1 されます。

送信 FIFO エントリー数は $[TSSIxTDR0]$ にライトごとに +1 され、送信シフトレジスタに 1 フレームデータ転送ごとに -1 されます。

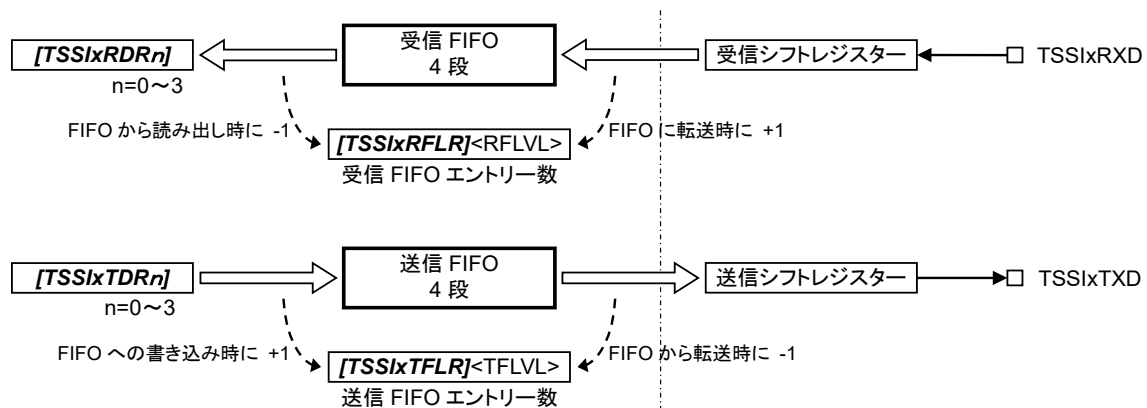


図 3.2 FIFOの動作

受信データのリード時は、受信データレジスタ ($[TSSiXRDR0]$ ~ $[TSSiXRDR3]$) のどの番地からデータリードしても、先に保持されたデータから読み出されます。そのため、例えば $[TSSiXRDR0]$ への連続リードも、 $[TSSiXRDR0]$ から $[TSSiXRDR3]$ までのシーケンシャルなリードも同一に扱われます。

送信データのライト時は、送信データレジスタ ($[TSSiXTDR0]$ ~ $[TSSiXTDR3]$) のどの番地へデータライトしても、データは FIFO の最後尾に積まれます。そのため、例えば $[TSSiXTDR0]$ への連続ライトも、 $[TSSiXTDR0]$ から $[TSSiXTDR3]$ までのシーケンシャルなライトも同一に扱われます。

3.6. 通信動作

表 3.2 通信開始条件

動作モード		記述
マスター	送信	<ul style="list-style-type: none"> ・$[TSSIxCR1]<TXSTS>=1$ で送信 FIFO にデータがない状態で、$[TSSIxTDRn]$ に書き込む。 ・$[TSSIxCR1]<TXSTS>=0$ で送信 FIFO にデータがある状態で、$[TSSIxCR1]<TXEN[1:0]>$ に "01" を書き込む。(再開)
	受信	$[TSSIxCR1]<RXEN[1:0]>$ に "01" を書き込む
	送受信	<ul style="list-style-type: none"> ・$[TSSIxCR1]<TXSTS>$ と $<RXTST>$ が "1" で送信 FIFO にデータがない状態で、$[TSSIxTDRn]$ に書き込む。 ・$[TSSIxCR1]<TXSTS>$ と $<RXSTS>$ が "0" で送信 FIFO にデータがある状態で、$[TSSIxCR1]<TXEN[1:0]>$ と $<RXEN[1:0]>$ に "01" を書き込む(注 3)。(再開)
スレーブ	送信	TSSIxTFS 入力検知
	受信	TSSIxRFS 入力検知(注 1)
	送受信	TSSIxRFS 入力検知(注 1)(注 2)

注 1) 受信データ比較機能を使用する場合、受信データの比較領域が一致しなければデータ領域は受信しません。

注 2) 受信データ比較機能を使用する場合、受信データの比較領域が一致しなければ送信データは出力されません。

注 3) 送信部と受信部は同時に許可する必要があります。

表 3.3 通信完了条件

動作モード		記述
マスター	送信	<ul style="list-style-type: none"> ・フレーム毎の送信後、送信 FIFO が空 ・禁止操作($[TSSIxCR1]<TXEN[1:0]>=10$)時のフレーム送信終了(中断) ・禁止操作($[TSSIxCR1]<TXEN[1:0]>=11$) (強制終了)
	受信	<ul style="list-style-type: none"> ・設定したデータフレーム数($[TSSIxRFMR]<RDFC[3:0]>$)の受信完了 ・禁止操作($[TSSIxCR1]<RXEN[1:0]>=10$)時のフレームの受信終了(中断) ・禁止操作($[TSSIxCR1]<RXEN[1:0]>=11$) (強制終了)
	送受信	<ul style="list-style-type: none"> ・フレーム毎の送受信後、送信 FIFO が空 ・禁止操作($[TSSIxCR1]<RXEN[1:0]>=<TXEN[1:0]>=10$)時のフレームの送受信終了(中断) ・禁止操作($[TSSIxCR1]<RXEN[1:0]>=<TXEN[1:0]>=11$) (強制終了)
スレーブ	送信	<ul style="list-style-type: none"> ・フレーム分($[TSSIxTFMR]<TDFS[4:0]>+1$ ビット)のシリアルクロック入力 ・禁止操作後の $[TSSIxCR1]<TXSTS>=0$
	受信	<ul style="list-style-type: none"> ・フレーム分($[TSSIxRFMR]<RDFS[4:0]>+1$ ビット)のシリアルクロック入力 ・禁止操作後の $[TSSIxCR1]<RXSTS>=0$ (注 2)
	送受信	<ul style="list-style-type: none"> ・フレーム分($[TSSIxRFMR]<RDFS[4:0]>+1$ ビット)のシリアルクロック入力 ・禁止操作後の $[TSSIxCR1]<TXSTS>=<RXSTS>=0$ (注 1)(注 2)

注 1) 送信部と受信部は同時に禁止する必要があります。

注 2) マスターデバイス側の通信を止めてから停止処理を行う必要があります。

3.6.1. 送信

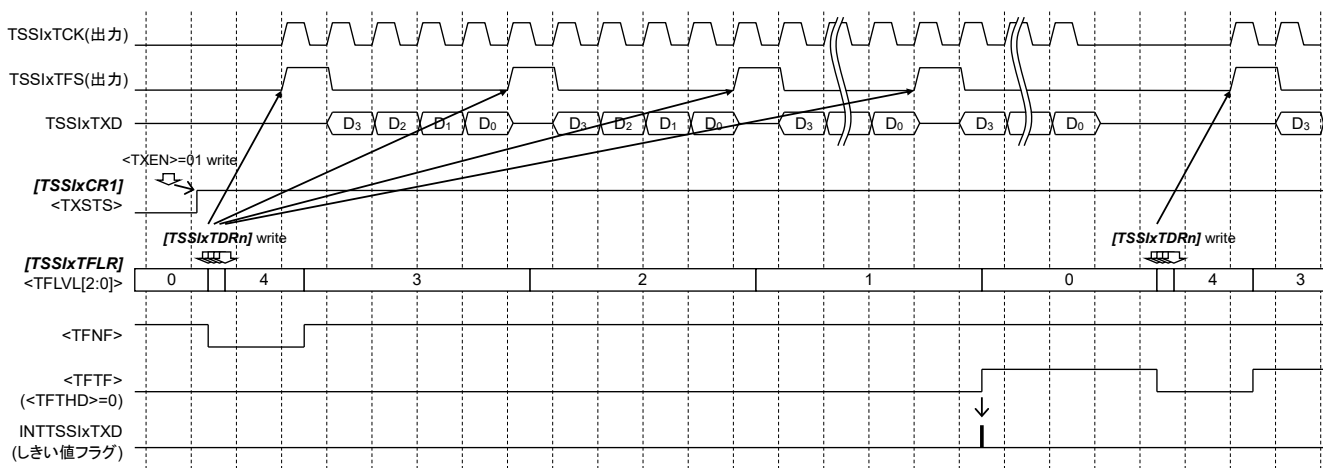
$[TSSIxCR1]<TXSTS>=0$ を確認して送信部を設定してください。
 $[TSSIxTCMR]$, $[TSSIxTFMR]$, $[TSSIxTFTLR]$ を設定します。必要な割り込みや DMA 要求については $[TSSIxTIER]$, $[TSSIxTDMACR]$ に設定します。

- マスター送信

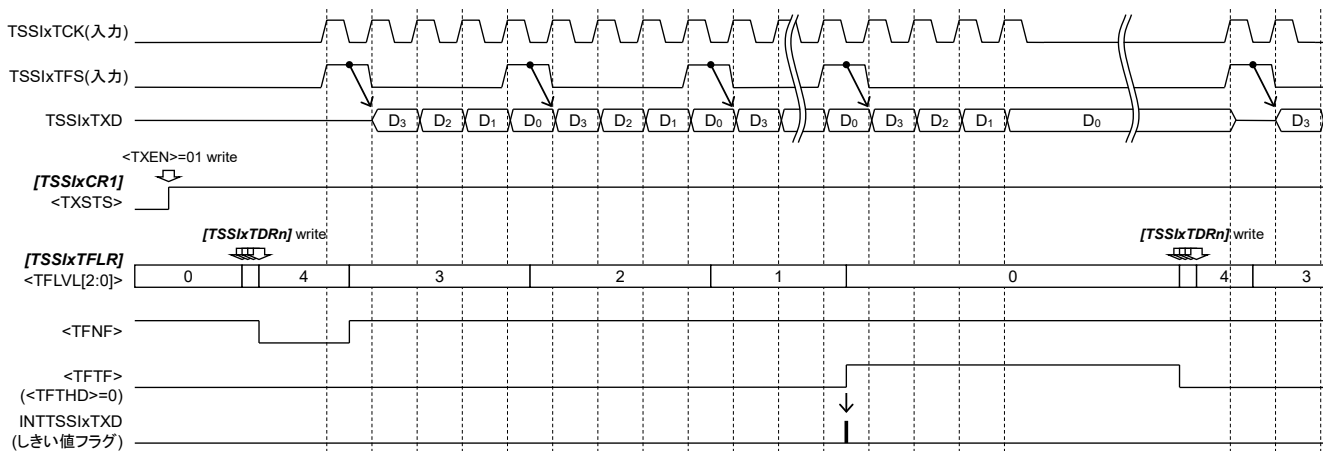
$[TSSIxCR1]<TXEN[1:0]>$ に "01" を設定します。 $[TSSIxCR1]<TXSTS>=1$ を確認してから $[TSSIxTDRn]$ に送信データ書き込むと送信開始します。転送クロック (TSSIxTCK)の出力を開始し、フレーム同期信号 (TSSIxTFS)を出力後の TSSIxTCK の立ち上がりに同期して送信データを TSSIxTXD に出力します。

- スレーブ送信

$[TSSIxCR1]<TXEN[1:0]>$ に "01" を設定します。 $[TSSIxCR1]<TXSTS>=1$ を確認してから $[TSSIxTDRn]$ に送信データ書き込み後、フレーム同期信号 (TSSIxTFS)を検出する送信開始します。フレーム同期信号を検出後、TSSIxTCK の立ち上がりに同期して送信データを TSSIxTXD に出力します。



(a) マスター送信 ($[TSSIxTCMR]<TCKOUT[1:0]>=10$)



(b) スレーブ送信 (転送時のみ転送クロックあり)

図 3.3 送信モードの動作例

3.6.2. 受信

$[TSSIxCR1]<RXSTS>=0$ を確認して受信部を設定してください。

$[TSSIxRCMR]$, $[TSSIxRFMR]$, $[TSSIxRFTLR]$ を設定します。必要な割り込みや DMA 要求について $[TSSIxRIER]$, $[TSSIxRDMACR]$ に設定します。必要に応じて、 $[TSSIxRCR]$ に期待値データを設定します。

- マスター受信

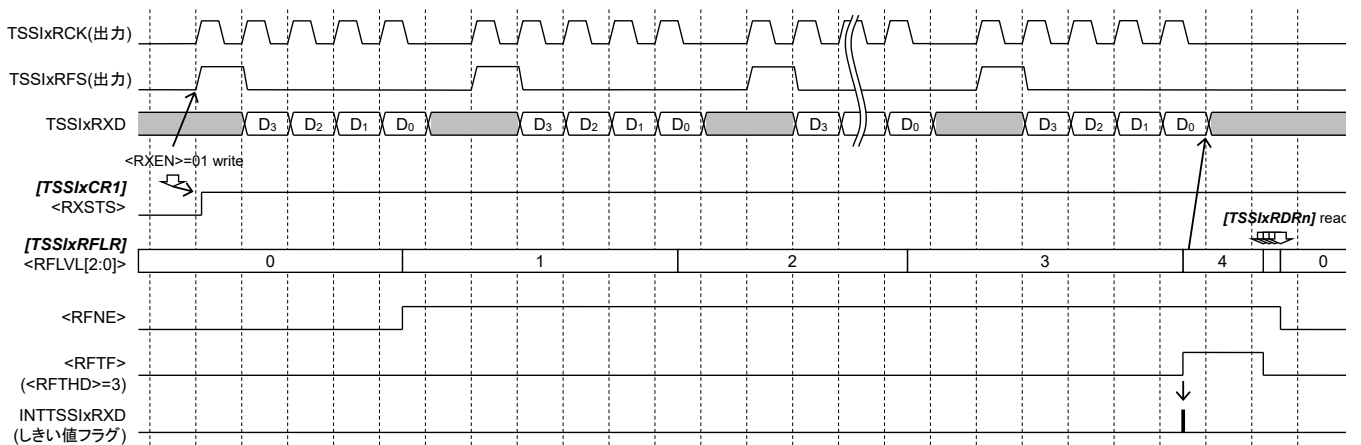
$[TSSIxCR1]<RXEN[1:0]>$ に "01" を設定すると受信開始します。

転送クロック (TSSIxRCK) の出力を開始し、フレーム同期信号 (TSSIxRFS) を出力後の TSSIxRCK の立ち下がりに同期して TSSIxRXD 入力から受信データを検出します。

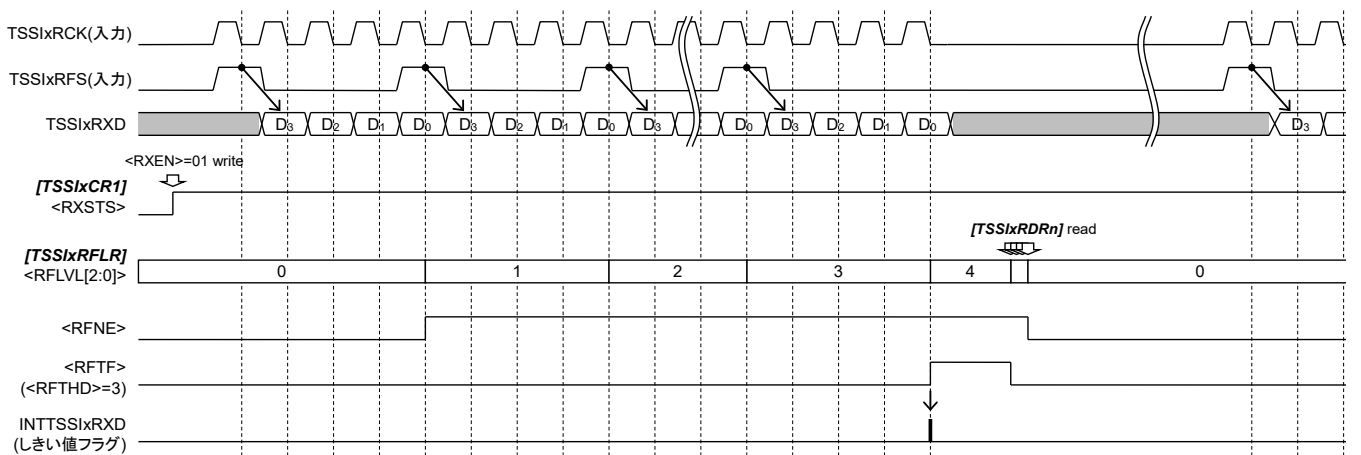
- スレーブ受信

$[TSSIxCR1]<RXEN[1:0]>$ に "01" を設定後、フレーム同期信号 (TSSIxRFS) を検出すると受信開始します。

フレーム同期信号を検出後、TSSIxRCK の立ち下がりに同期して TSSIxRXD 入力から受信データを検出します。



(a) マスター受信 ($[TSSIxRCMR]<RCKOUT[1:0]>=10$, $[TSSIxRFMR]<RDFC[3:0]>=0011$)



(b) スレーブ受信 (転送時のみ転送クロックあり)

図 3.4 受信モードの動作例

3.6.3. 送受信(全 2 重通信)

$[TSSIxCR1]<TXSTS>$ と $[TSSIxCR1]<RXSTS>$ が"0"であることを確認して送信部と受信部を設定してください。

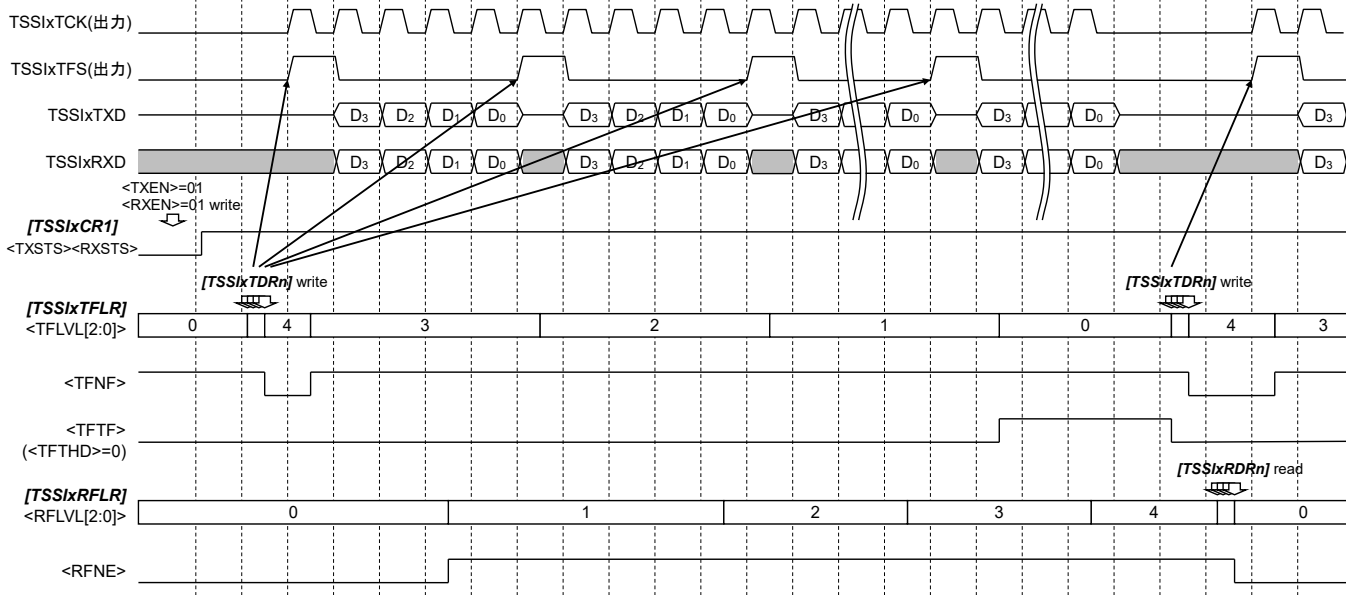
$[TSSIxRCMR]$, $[TSSIxRFMR]$, $[TSSIxRFTLR]$, $[TSSIxTCMR]$, $[TSSIxTFMR]$, $[TSSIxTFTLR]$ を設定します。必要な割り込み、DMA 要求について $[TSSIxRIER]$, $[TSSIxRDMACR]$, $[TSSIxTIER]$, $[TSSIxTDMACR]$ に設定します。必要に応じて、 $[TSSIxRCR]$ に期待値データを設定します。

- マスター送受信

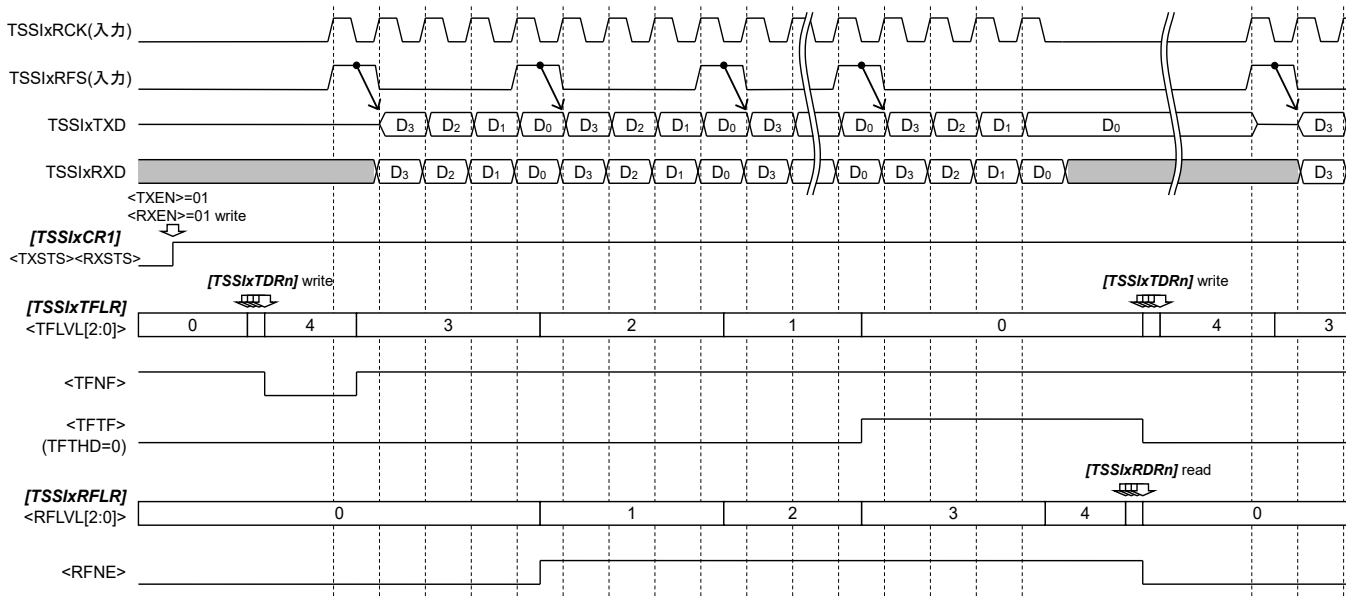
$[TSSIxCR1]<TXEN[1:0]>$ と $[TSSIxCR1]<RXEN[1:0]>$ に"01"を設定します。 $[TSSIxCR1]<TXSTS>$ と $[TSSIxCR1]<RXSTS>$ が"1"になったのを確認してから $[TSSIxTDRn]$ に送信データ書き込むと送受信開始します。転送クロック(TSSIxTCK)の出力を開始し、フレーム同期信号(TSSIxTFS)を出力後の TSSIxTCK の立ち上がりに同期して送信データを TSSIxTXD に出力し、TSSIxTCK の立ち下がりに同期して TSSIxRXD 入力から受信データを検出します。

- スレーブ送受信

$[TSSIxCR1]<TXEN[1:0]>$ と $[TSSIxCR1]<RXEN[1:0]>$ に"01"を設定します。 $[TSSIxCR1]<TXSTS>$ と $[TSSIxCR1]<RXSTS>$ が"1"になったのを確認してから $[TSSIxTDRn]$ に送信データ書き込み後、フレーム同期信号(TSSIxRFS)を検出する送受信を開始します。フレーム同期信号を検出後、TSSIxRCK の立ち上がりに同期して送信データを TSSIxTXD に出力し、TSSIxRCK の立ち下がりに同期して TSSIxRXD 入力から受信データを検出します。



(a) マスター送受信([TSSixTCMR]<TCKOUT[1:0]>=10)



(b) スレーブ送受信(転送時のみ転送クロックあり)

図 3.5 全2重通信の動作例

3.6.4. 受信データ比較

受信データ比較機能はスレーブ受信またはスレーブ送受信の場合に使用できます。

比較領域サイズを $[TSSIxRFMR] < CMPDS[3:0] >$ に設定し、比較データパターンを $[TSSIxRCR] < CMPDP[15:0] >$ に設定してから、受信開始トリガー選択 ($[TSSIxRCMR] < RSTART[1:0] >$) を "11" に設定することで受信データ比較機能を使用できます。

フレーム同期信号入力後の最大 16 ビットの比較領域を比較データパターン ($[TSSIxRCR] < CMPDP[15:0] >$) と比較してデータ領域の送受信の実行を制御できます。

比較領域が一致の場合、データ領域の受信/送受信を行います。

比較領域が不一致の場合、データ領域の受信/送受信は行いません。再度 TSSIxRFS の入力のアサートされた場合、次の受信データの比較をおこないます。

注) 比較領域の受信データは、データとしては扱われず、受信 FIFO には格納されません。

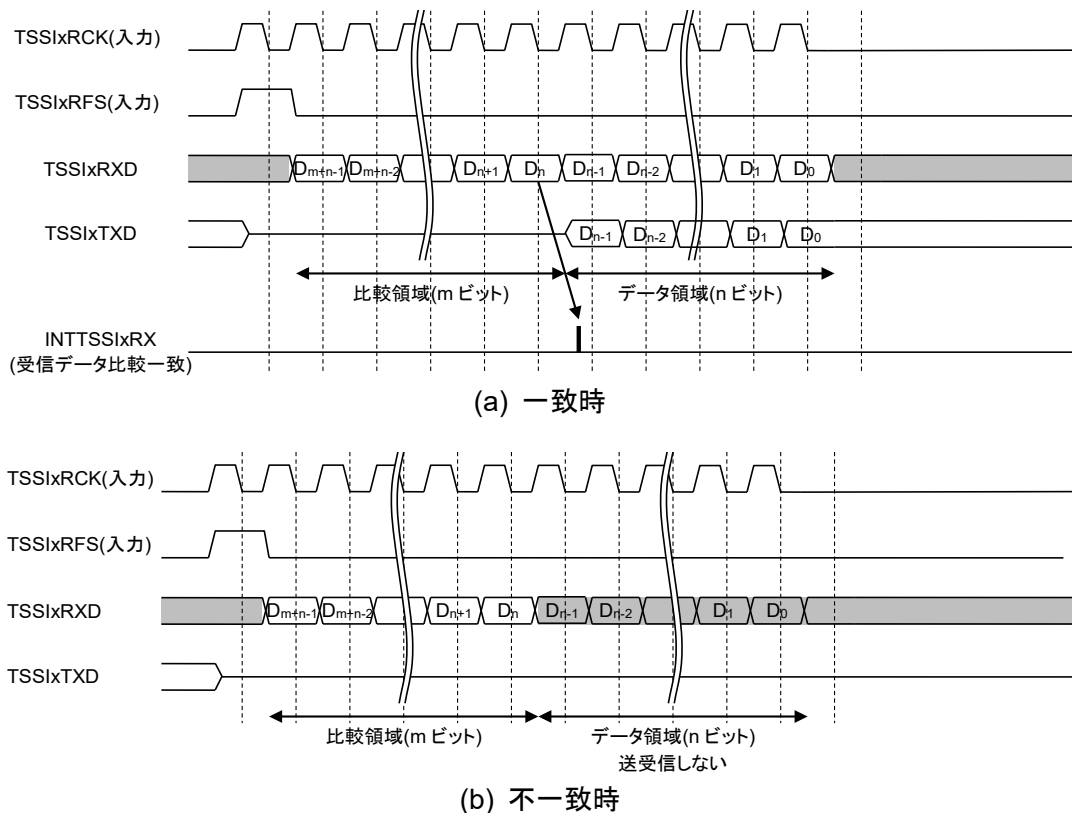


図 3.6 受信データ比較機能使用時の送受信波形

3.6.5. 通信の中断と再開

マスターデバイスの場合、通信を中断/再開することができます。

- 送信

$[TSSIxCR1]<TXEN[1:0]>$ に"10"を書き込むと送信 FIFO のデータの有無に関わらず現フレーム完了で送信部は禁止されます。(中断)

$[TSSIxCR1]<TXEN[1:0]>$ に"01"を書き込むと残りの送信 FIFO のデータを送信します。(再開)

- 受信

$[TSSIxCR1]<RXEN[1:0]>$ に"10"を書き込むと現フレーム完了で受信部は禁止されます。(中断)

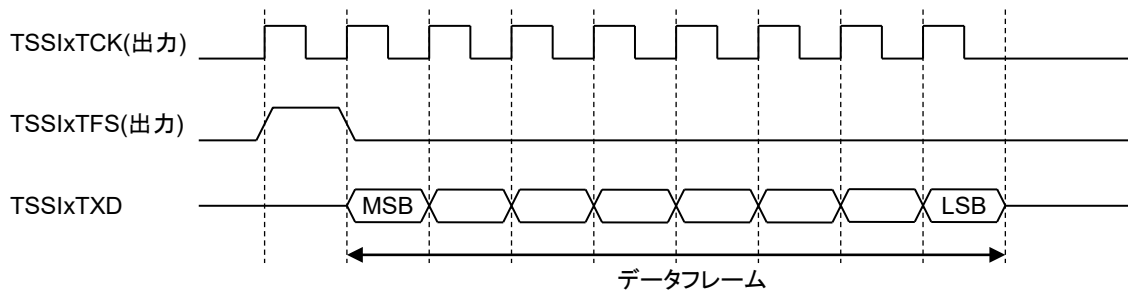
$[TSSIxCR1]<RXEN[1:0]>$ に"01"を書き込むと受信開始します。(再開)

- 送受信

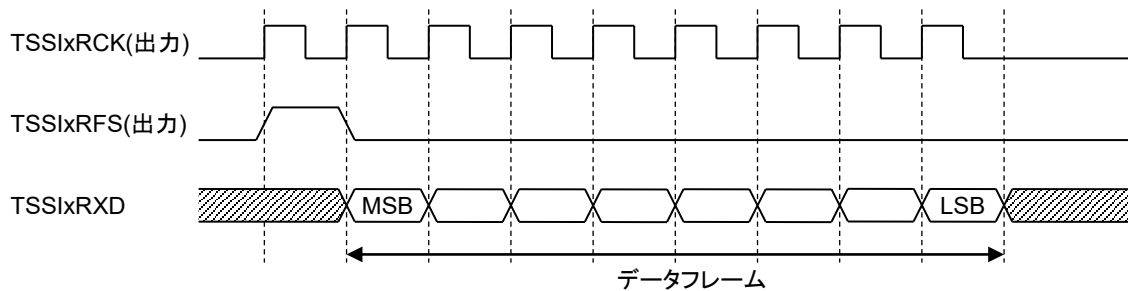
$[TSSIxCR1]<TXEN[1:0]>$ と $[TSSIxCR1]<RXEN[1:0]>$ に同時に"10"を書き込むと送信 FIFO のデータの有無に関わらず現フレーム完了で送信部と受信部が禁止されます。(中断)

$[TSSIxCR1]<TXEN[1:0]>$ と $[TSSIxCR1]<RXEN[1:0]>$ に同時に"01"を書き込むことで残りの送信 FIFO のデータを送信し同時に受信します。(再開)

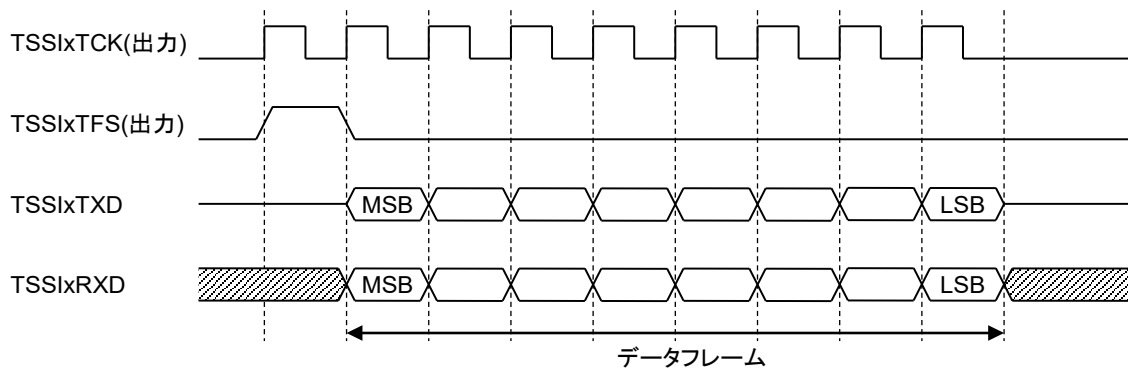
3.7. 転送波形



(a) マスター送信(<TCKOUT[1:0]>=10)

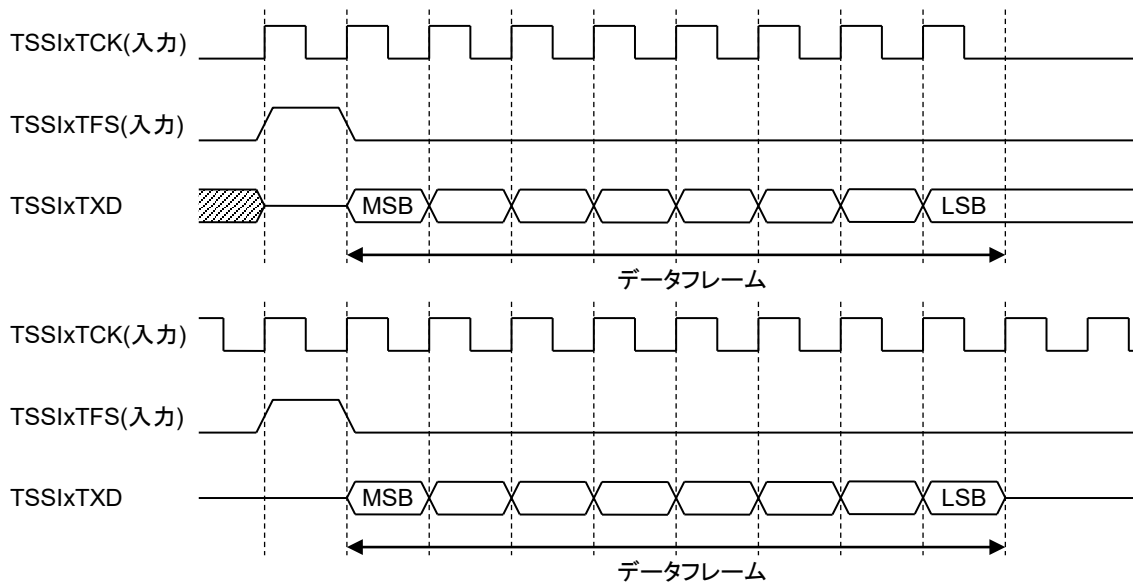


(b) マスター受信(<RCKOUT[1:0]>=10)

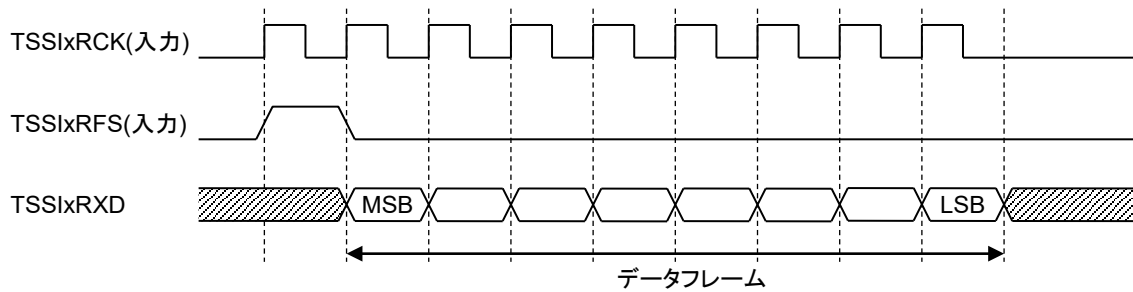


(c) マスター送受信(<TCKOUT[1:0]>=10)

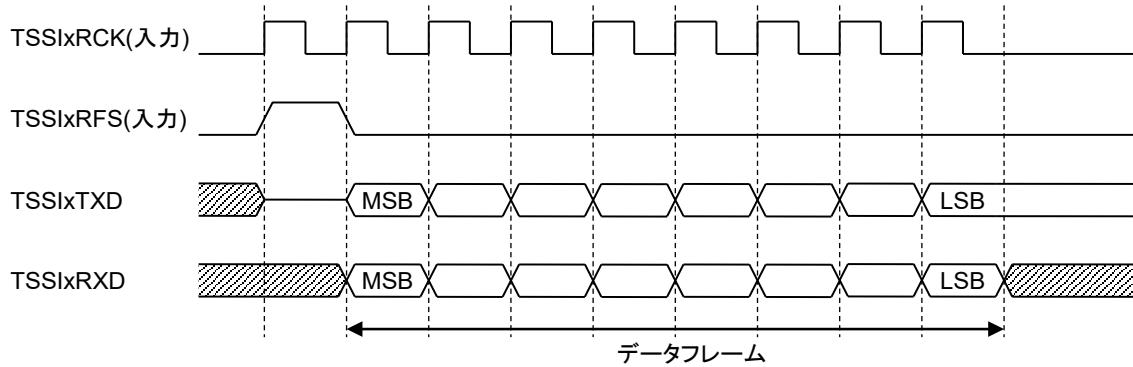
図 3.7 マスター転送のシングル転送波形



(a) スレーブ送信



(b) スレーブ受信



(c) スレーブ送受信

図 3.8 スレーブ転送のシングル転送波形

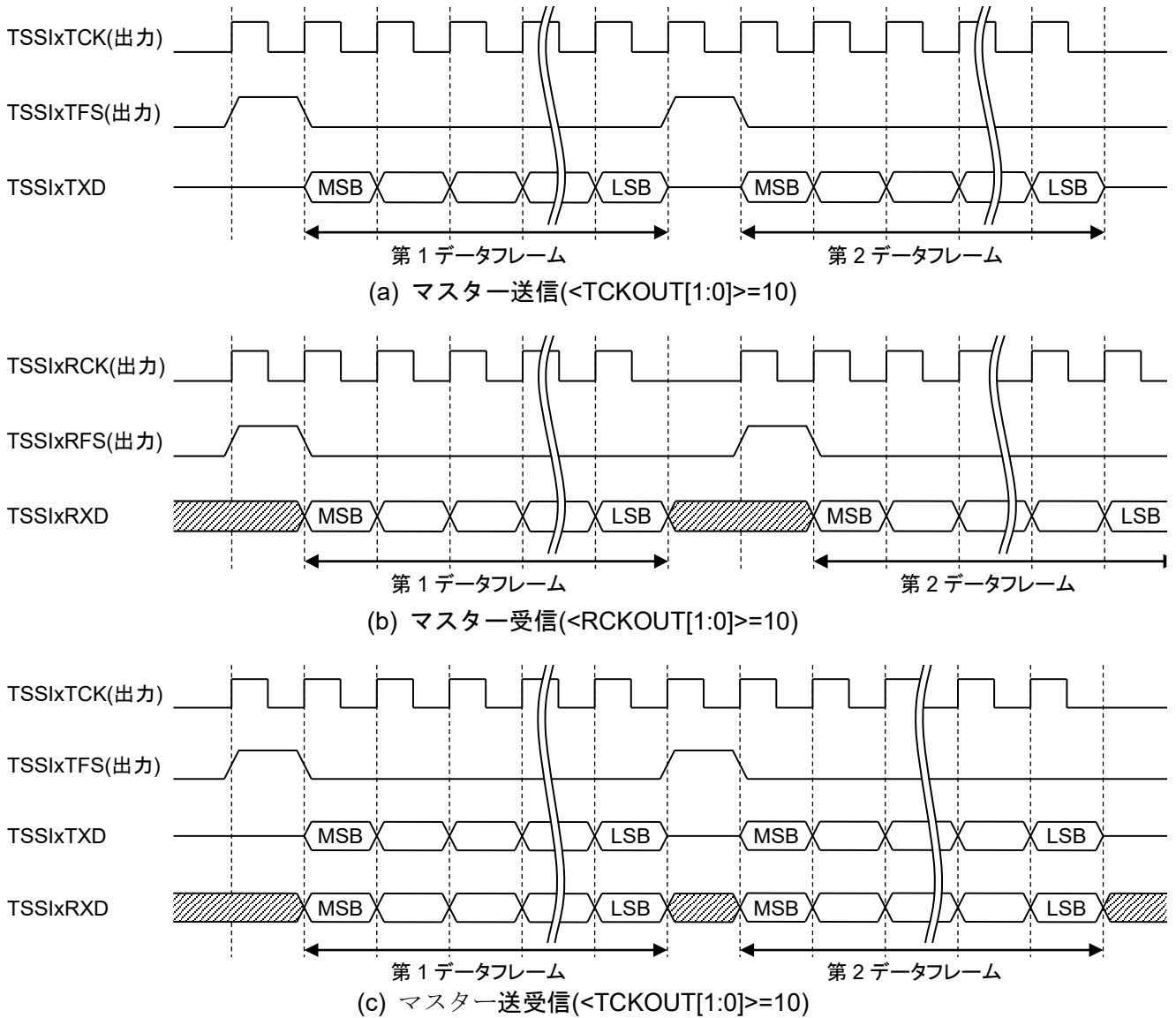
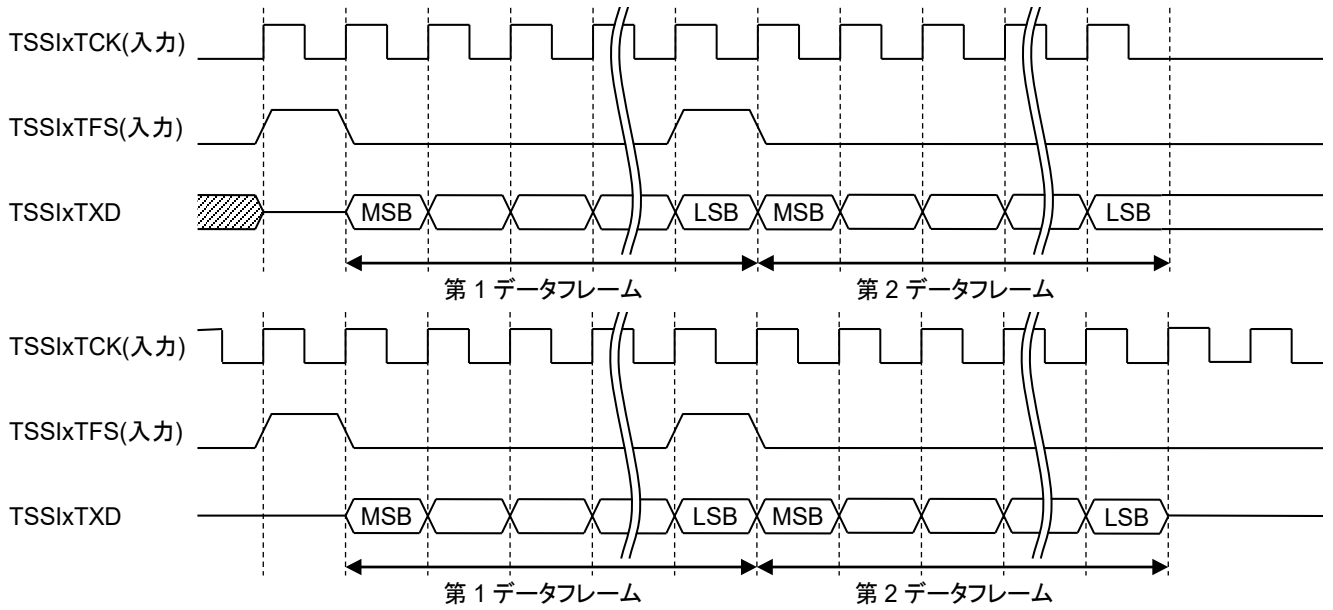
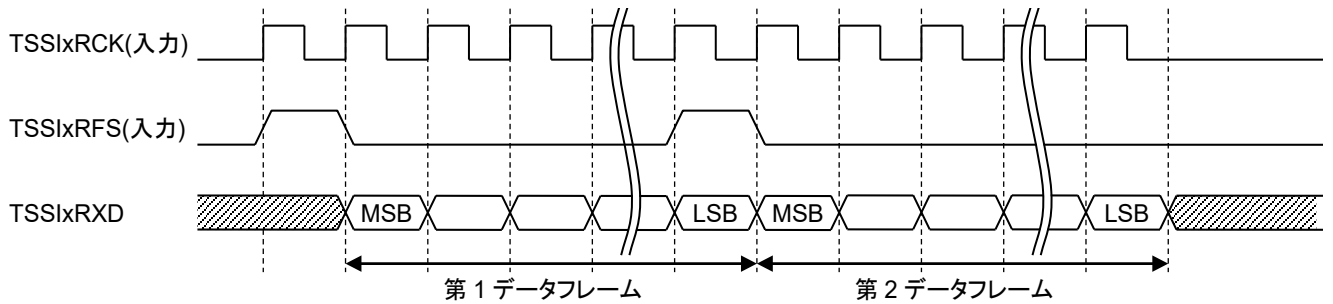


図 3.9 マスター転送の連続転送波形

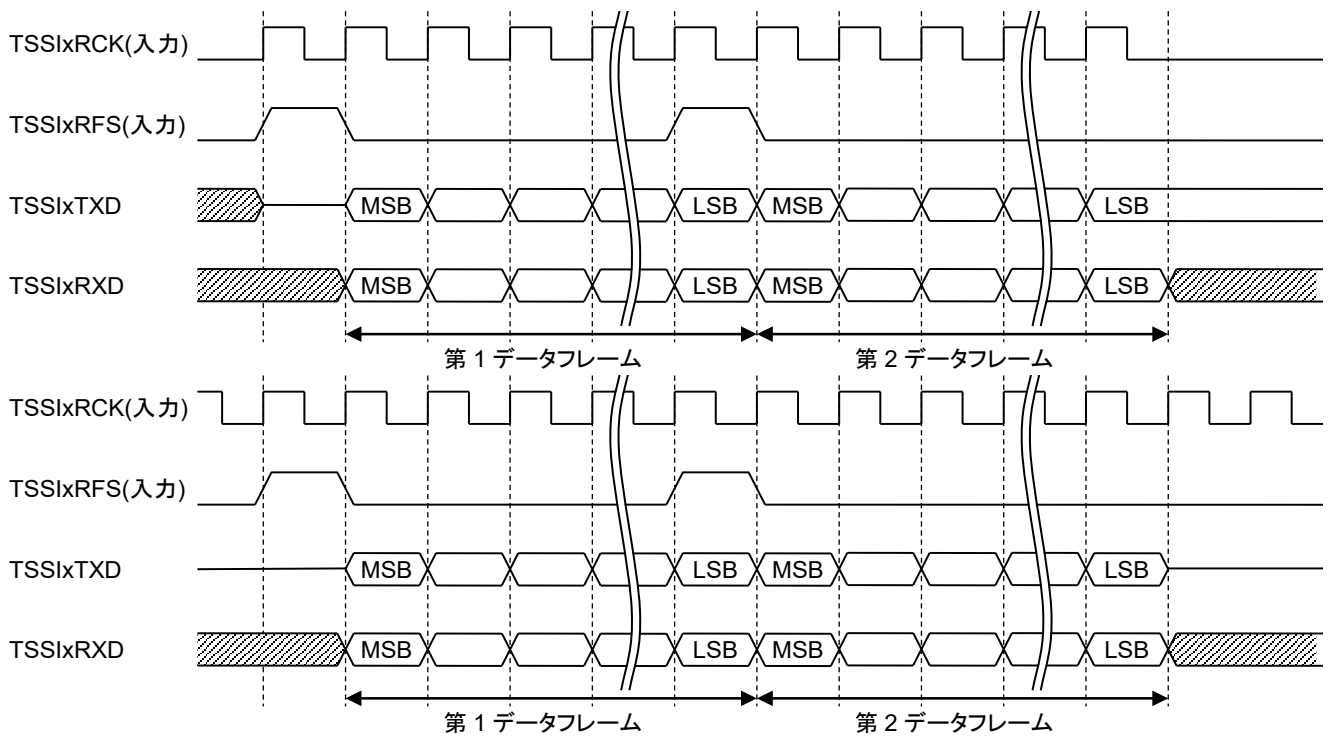
注) マスターでは、データフレーム間に、少なくとも通信用シリアルクロック 1 サイクル分のアイドル期間が入ります。このアイドル期間は、マスターとして FIFO データの処理が間に合わない場合に長くなります。



(a) スレーブ送信



(b) スレーブ受信



(c) スレーブ送受信

図 3.10 スレーブ転送の連続転送波形

注) スレーブでは、アイドル期間のない連続したデータフレームを通信できます。ただし、スレーブでは、外部マスターデバイスが通信を要求する際に、FIFO リソースが適切に管理されている必要があります。そうでなければ、FIFO のオーバーランエラーやアンダーランエラーが発生します。

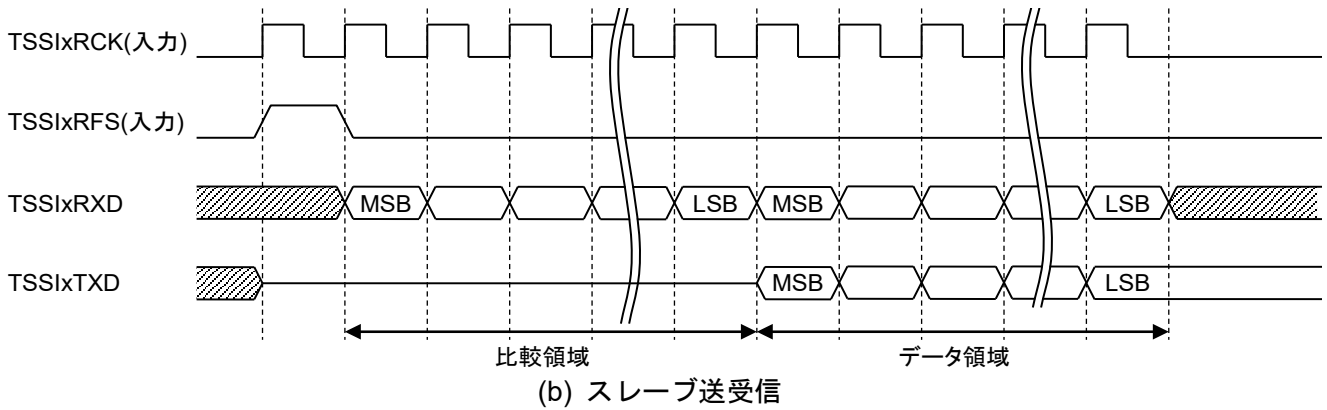
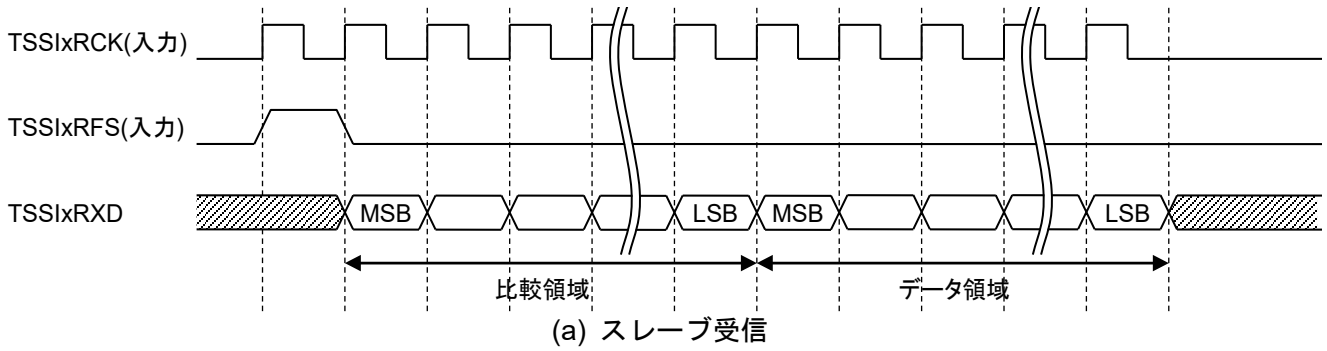


図 3.11 受信データ比較機能使用時の転送波形(一致時)

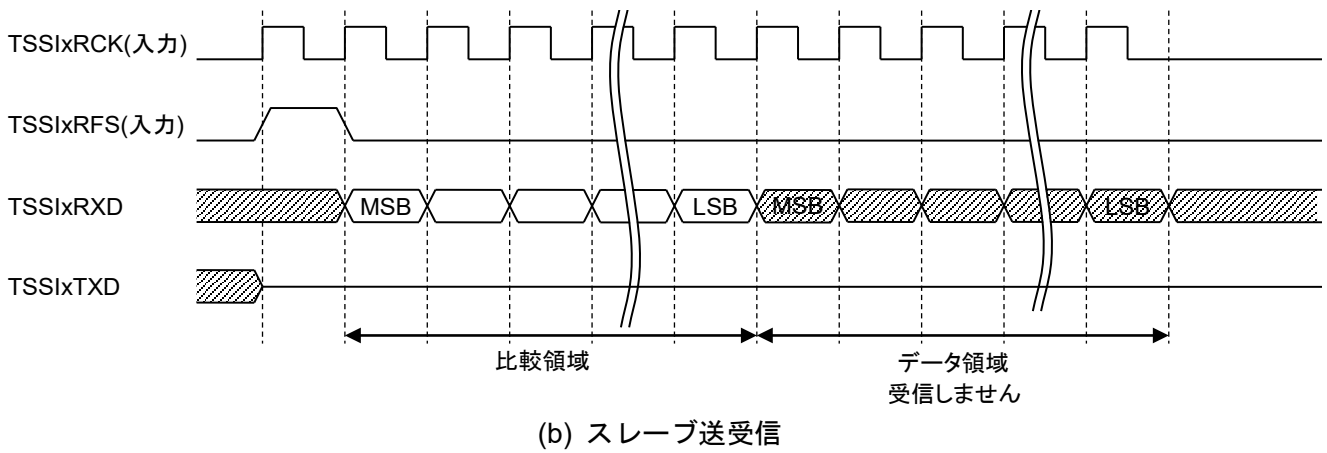


図 3.12 受信データ比較機能使用時の転送波形(不一致時)

注) 受信データ比較機能は、スレーブ受信でも使用できます。その場合、TSSIxTXD は出力されません(出力禁止状態になります)。

3.8. 割り込み要求

TSSIには、受信割り込み(INTTSSIxRX)、送信割り込み(INTTSSIxTX)、エラー割り込み(INTTSSIxERR)の3種類の割り込み出力があります。各割り込みに複数の割り込み要因があり、割り込み要因別に許可/禁止を設定できます。割り込み出力と割り込み要因の関係を表 3.4 に示します。

INTTSSIxRX, INTTSSIxTX はパルス信号で、INTTSSIxERR はレベル信号です

表 3.4 割り込み出力と割り込み要因

割り込み出力	割り込み要因	ステータスレジスター	許可レジスター
受信割り込み INTTSSIxRX	受信 FIFO ノットエンプティ	[TSSIxRSR]<RFNE>	[TSSIxRIER]<RFNEIE>
	受信 FIFO しきい値フラグ	[TSSIxRSR]<RFTF>	[TSSIxRIER]<RFTFIE>
	受信データ比較一致	—	[TSSIxRIER]<RCMIE>
	受信 FIFO 転送完了	—	[TSSIxRIER]<RFTEIE>
送信割り込み INTTSSIxTX	送信 FIFO ノットフル	[TSSIxTSR]<TFNF>	[TSSIxTIER]<TFNFIE>
	送信 FIFO しきい値フラグ	[TSSIxTSR]<TFTF>	[TSSIxTIER]<TFTFIE>
エラー割り込み INTTSSIxERR	受信 FIFO オーバーラン	[TSSIxRSR]<RFOR>	[TSSIxRIER]<RFORIE>
	受信 FIFO アンダーラン	[TSSIxRSR]<RFUR>	[TSSIxRIER]<RFURIE>
	送信 FIFO オーバーラン	[TSSIxTSR]<TFOR>	[TSSIxTIER]<TFORIE>
	送信 FIFO アンダーラン	[TSSIxTSR]<TFUR>	[TSSIxTIER]<TFURIE>

3.8.1. 受信割り込み

- (1) 受信 FIFO ノットエンプティ・・・受信データ FIFO 転送時
受信 FIFO がノットエンプティになると [TSSIxRSR]<RFNE>が"1"にセットされます。
[TSSIxRIER]<RFNEIE>を"1"に設定している場合、受信割り込みが発生します。
- (2) 受信 FIFO しきい値フラグ・・・受信データ FIFO 転送時
受信 FIFO のエントリー数が受信 FIFO しきい値レジスター([TSSIxRFTLR]<RFTHD[2:0]>)より大きい場合、[TSSIxRSR]<RFTF>が"1"にセットされます。[TSSIxRIER]<RFTFIE>を"1"に設定している場合、受信割り込みが発生します。
- (3) 受信データ比較一致・・・比較領域の最終ビット検出時
受信データ比較機能使用時に [TSSIxRIER]<RCMIE>を"1"に設定している場合、受信データの比較領域の値と受信データ比較レジスター([TSSIxRCR]<CMPDP[15:0]>)の値が一致すると受信割り込みが発生します。
- (4) 受信 FIFO 転送完了・・・受信データ FIFO 転送時
[TSSIxRIER]<RFTEIE>を"1"に設定している場合、受信 FIFO エントリー数([TSSIxRFLR]<RFLVL[2:0]>)が [TSSIxRFMR]<RDFC[3:0]>より大きくなると、受信割り込みが発生します。
ただし、<RDFC[3:0]>=1111 の場合は、転送停止処理時に受信割り込みが発生します。

3.8.2. 送信割り込み

(1) 送信 FIFO ノットフル

$[TSSIxTIER]<TFNFIE>$ を"1"に設定すると許可されます。

送信 FIFO ノットフル($[TSSIxTSR]<TFNF>$)が"1"にセットされ、送信割り込みが発生します。

(2) 送信 FIFO しきい値フラグ

送信 FIFO のエンタリー数が送信 FIFO しきい値レジスター($[TSSIxTFTLR]<TFTHD[2:0]>$)以下の場合、 $[TSSIxTSR]<TFTF>$ が"1"にセットされます。 $[TSSIxTIER]<TFTFIE>$ を"1"に設定している場合、送信割り込みが発生します。

3.8.3. エラー割り込み

以下のようなエラー割り込みが発生します。エラーが発生した場合は、適切に処理してください。

エラー割り込みはレベル出力ですので、許可されている全ての割り込み要因のステータスレジスターをクリアしないとエラー割り込みは解除されません。

(1) 受信 FIFO オーバーラン

$[TSSIxRIER]<RFORIE>$ を"1"に設定すると許可されます。

受信 FIFO のオーバーラン検知、 $[TSSIxRSR]<RFOR>$ が"1"にセットされ、エラー割り込みが発生します。 $<RFOR>$ は"1"を書き込むことでクリアされます。

(2) 受信 FIFO アンダーラン

$[TSSIxRIER]<RFURIE>$ を"1"に設定すると許可されます。

受信 FIFO のアンダーラン検知、 $[TSSIxRSR]<RFUR>$ が"1"にセットされ、エラー割り込みが発生します。 $<RFUR>$ は"1"を書き込むことでクリアされます。

(3) 送信 FIFO オーバーラン

$[TSSIxTIER]<TFORIE>$ を"1"に設定すると許可されます。

送信 FIFO のオーバーラン検知、 $[TSSIxTSR]<TFOR>$ が"1"にセットされ、エラー割り込みが発生します。 $<TFOR>$ は"1"を書き込むことでクリアされます。

(4) 送信 FIFO アンダーラン

$[TSSIxTIER]<TFURIE>$ を"1"に設定すると許可されます。

送信 FIFO のアンダーラン検知、 $[TSSIxTSR]<TFUR>$ が"1"にセットされ、エラー割り込みが発生します。 $<TFUR>$ は"1"を書き込むことでクリアされます。

表 3.5 FIFOに関するエラーの発生の有無

動作モード		送信 FIFO オーバーラン	送信 FIFO アンダーラン	受信 FIFO オーバーラン	受信 FIFO アンダーラン
マスター	送信	発生する	発生しない	—	—
	受信	—	—	発生しない	発生する
	送受信	発生する	発生する	発生する	発生する
スレーブ	送信	発生する	発生する	—	—
	受信	—	—	発生する	発生する
	送受信	発生する	発生する	発生する	発生する

3.9. DMA 要求

DMA は送信 DMA 要求と受信 DMA 要求があります。TSSI の DMA 要求はシングル要求です。

- 送信 DMA 要求

[TSSIxTDMACR]<TDMAE>に"1"を設定すると許可されます。送信 FIFO に 1 段以上の空きがある場合、送信 DMA 要求が発生します。

注 1) 送信 DMA 要求を許可している場合、ソフトウェアで送信 FIFO に書き込まないでください。

注 2) 送信 DMA 要求を許可している場合、**[TSSIxTDRn]**へのアクセスが発生する可能性があります。許可する前に、**[TSSIxTFMR]<TDFS[4:0]>**を設定してください。

- 受信 DMA 要求

[TSSIxRDMACR]<RDMAE>に"1"を設定すると許可されます。受信 FIFO に 1 つ以上のデータが存在する場合、受信 DMA 要求が発生します。

注 1) 受信 DMA 要求を許可している場合、ソフトウェアで受信 FIFO を読み出さないでください。

注 2) 受信 DMA 要求を許可している場合、**[TSSIxRDRn]**へのアクセスが発生する可能性があります。許可する前に、**[TSSIxRFMR]<RDFS[4:0]>**を設定してください。

3.10. ソフトウェアリセット

TSSI 制御レジスタ-0 (*[TSSIxCR0]*)の書き込みでソフトウェアリセットすることができます。対象範囲は全体/受信部/受信 FIFO/送信部/送信 FIFO です。各ソフトウェアリセットで初期化されるレジスタを表 3.6 に示します。

ソフトウェアリセットした場合、*[TSSIxCR0]*をリードして対象範囲のソフトウェアリセットの完了を確認してから対象範囲にアクセスしてください。

表 3.6 ソフトウェアリセットと初期化レジスタ

レジスタ	ソフトウェアリセット				
	全体 <i>[TSSIxCR0]</i> <SWRST>	受信部 <i>[TSSIxCR0]</i> <RXSWRST>	受信 FIFO <i>[TSSIxCR0]</i> <RXFCLR>	送信部 <i>[TSSIxCR0]</i> <TXSWRST>	送信 FIFO <i>[TSSIxCR0]</i> <TXFCLR>
<i>[TSSIxCR0]</i>	—	—	—	—	—
<i>[TSSIxCR1]</i>	—	—	—	—	—
<i>[TSSIxCPR]</i>	—	—	—	—	—
<i>[TSSIxRCMR]</i>	○	○	—	—	—
<i>[TSSIxRFMR]</i>	○	○	—	—	—
<i>[TSSIxRCR]</i>	○	○	—	—	—
<i>[TSSIxRDMACR]</i>	○	○	—	—	—
<i>[TSSIxRSR]</i>	○	○	—	—	—
<i>[TSSIxRIER]</i>	○	○	—	—	—
<i>[TSSIxRFTLR]</i>	○	○	—	—	—
<i>[TSSIxRFLR]</i>	○	○	○	—	—
<i>[TSSIxRDRn]</i>	○	○	○	—	—
<i>[TSSIxTCMR]</i>	○	—	—	○	—
<i>[TSSIxTFMR]</i>	○	—	—	○	—
<i>[TSSIxTDMACR]</i>	○	—	—	○	—
<i>[TSSIxTSR]</i>	○	—	—	○	—
<i>[TSSIxTIER]</i>	○	—	—	○	—
<i>[TSSIxTFTLR]</i>	○	—	—	○	—
<i>[TSSIxTFLR]</i>	○	—	—	○	○
<i>[TSSIxTDRn]</i>	○	—	—	○	○

注) ○: 対象、—: 対象外

4. レジスタ—説明

4.1. レジスタ—一覧

制御レジスタ—とアドレスは以下のとおりです。

周辺機能		チャンネル/ユニット	ベースアドレス		
			TYPE1	TYPE2	TYPE3
同期式シリアルインターフェース	TSSI	ch0	—	0x400CD000	0x4006D000
		ch1	—	0x400CD400	0x4006D400

注) 製品によって使用されるチャンネル/ユニットおよびベースアドレスタイプは異なります。詳細はリファレンスマニュアル「製品個別情報」を参照してください。

レジスタ—名		アドレス(Base+)
TSSI 制御レジスタ—0	[TSSIxCR0]	0x0000
TSSI 制御レジスタ—1	[TSSIxCR1]	0x0004
TSSI クロック分周レジスタ—	[TSSIxCPR]	0x0010
TSSI 受信クロック/モード制御レジスタ—	[TSSIxRCMR]	0x0040
TSSI 受信データフレーム制御レジスタ—	[TSSIxRFMR]	0x0044
TSSI 受信データ比較レジスタ—	[TSSIxRCR]	0x0048
TSSI 受信 DMA 制御レジスタ—	[TSSIxRDMA CR]	0x004C
TSSI 受信ステータスレジスタ—	[TSSIxRSR]	0x0060
TSSI 受信割り込み許可レジスタ—	[TSSIxRIER]	0x0064
TSSI 受信 FIFO しきい値レジスタ—	[TSSIxRFTLR]	0x0070
TSSI 受信 FIFO エントリ—レジスタ—	[TSSIxRFLR]	0x0074
TSSI 受信データレジスタ—0	[TSSIxRDR0]	0x0080
TSSI 受信データレジスタ—1	[TSSIxRDR1]	0x0084
TSSI 受信データレジスタ—2	[TSSIxRDR2]	0x0088
TSSI 受信データレジスタ—3	[TSSIxRDR3]	0x008C
TSSI 送信クロック/モード制御レジスタ—	[TSSIxTCMR]	0x00A0
TSSI 送信データフレーム制御レジスタ—	[TSSIxTFMR]	0x00A4
TSSI 送信 DMA 制御レジスタ—	[TSSIxTDMA CR]	0x00AC
TSSI 送信ステータスレジスタ—	[TSSIxTSR]	0x00C0
TSSI 送信割り込み許可レジスタ—	[TSSIxTIER]	0x00C4
TSSI 受信 FIFO しきい値レジスタ—	[TSSIxTFTLR]	0x00D0
TSSI 受信 FIFO エントリ—レジスタ—	[TSSIxTFLR]	0x00D4
TSSI 送信データレジスタ—0	[TSSIxTDR0]	0x00E0
TSSI 送信データレジスタ—1	[TSSIxTDR1]	0x00E4
TSSI 送信データレジスタ—2	[TSSIxTDR2]	0x00E8
TSSI 送信データレジスタ—3	[TSSIxTDR3]	0x00EC

4.2. レジスタ詳細

4.2.1. [TSSIxCR0] (TSSI 制御レジスタ-0)

Bit	Bit Symbol	リセット後	Type	機能
31	SWRST	0	W	全体をソフトウェアリセットします。(注 1) (注 2) このビットで発行する処理は、他のソフトウェアリセットの設定に対して、優先的に実施されます。 0: – 1: 全体ソフトウェアリセット
			R	0: 全体ソフトウェアリセット中ではない 1: 全体ソフトウェアリセット中
30:16	–	0	R	リードすると"0"が読めます。
15	TXSWRST	0	W	送信部をソフトウェアリセットします。(注 1) (注 2) このビットで発行する処理は、<TXFCLR>の設定に対して、優先的に実施されます。 0: – 1: 送信部ソフトウェアリセット
			R	0: 送信部ソフトウェアリセット中ではない 1: 送信部ソフトウェアリセット中
14	TXFCLR	0	W	送信 FIFO をソフトウェアリセットします。(注 1) (注 2) 0: – 1: 送信 FIFO ソフトウェアリセット
			R	0: 送信 FIFO ソフトウェアリセット中ではない 1: 送信 FIFO ソフトウェアリセット中
13:8	–	0	R	リードすると"0"が読めます。
7	RXSWRST	0	W	受信部をソフトウェアリセットします。(注 1) (注 2) このビットで発行する処理は、<RXFCLR>の設定に対して、優先的に実施されます。 0: – 1: 受信部ソフトウェアリセット
			R	0: 受信部ソフトウェアリセット中ではない 1: 受信部ソフトウェアリセット中
6	RXFCLR	0	W	受信 FIFO をソフトウェアリセットします。(注 1) (注 2) 0: – 1: 受信 FIFO ソフトウェアリセット
			R	0: 受信 FIFO ソフトウェアリセット中ではない 1: 受信 FIFO ソフトウェアリセット中
5:0	–	0	R	リードすると"0"が読めます。

注 1) ソフトウェアリセットを実施した場合、リードしてソフトウェアリセットの完了を確認してください。

注 2) ソフトウェアリセットの対象となるレジスタは「表 3.6 ソフトウェアリセットと初期化レジスタ」を参照してください。

4.2.2. [TSSIxCR1] (TSSI 制御レジスター1)

Bit	Bit Symbol	リセット後	Type	機能
31:11	—	0	R	リードすると"0"が読めます。
10	TXSTS	0	R	送信部の許可/禁止状態 送信部の状態を示します。このビットは、<TXEN[1:0]>の影響を受けます。 0: 禁止中 1: 許可中 送信部許可中、以下のレジスターの書き込みは無視されます。 [TSSIxTCMR], [TSSIxTFMR], [TSSIxTFCLR]
9:8	TXEN[1:0]	00	W	送信部許可/禁止制御 送信部を許可または禁止します。(注 1)(注 2) 00: — 01: 送信部許可 10: 送信部禁止 (マスターで通信中のデータフレーム処理の完了を待ちます) 11: 送信部禁止(通信中の処理の完了を待ちません) リードすると"00"が読めます。
7:3	—	0	R	リードすると"0"が読めます。
2	RXSTS	0	R	受信部の許可/禁止状態 受信部の状態を示します。このビットは、<RXEN[1:0]>の影響を受けます。 0: 禁止中 1: 許可中 受信部許可中、以下のレジスターの書き込みは無視されます。 [TSSIxRCMR], [TSSIxRFMR], [TSSIxRFLR], [TSSIxRCR]
1:0	RXEN[1:0]	00	W	受信部の許可/禁止制御 受信部を許可または禁止します。(注 1)(注 2) 00: — 01: 受信部許可 10: 受信部禁止 (マスターで通信中のデータフレーム処理の完了を待ちます) 11: 受信部禁止(通信中の処理の完了を待ちません) リードすると"00"が読めます。

注 1) 送受信モードで<TXEN[1:0]>, <RXEN[1:0]>を使用し、一時中断・再開をする場合は、これらを同時に制御してください。

注 2) <TXEN[1:0]>=11, <RXEN[1:0]>=11 で禁止した場合、再許可する前にソフトウェアリセットしてください。

4.2.3. [TSSIxCPR] (TSSI クロック分周レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:8	—	0	R	リードすると"0"が読めます。
7:0	DIV[7:0]	00000001	R/W	分周器の設定(注 2) ΦT0 を分周して分周クロック(SCLK)を生成します。 0x01~0xFF: SCLK 周波数 = ΦT0 周波数 / (<DIV[7:0]>+1) <DIV[0]>は書き込み値に関わらず"1"です。

注 1) [TSSIxCRI]<RXSTS>= [TSSIxCRI]<TXSTS>=0 時に設定してください。

注 2) SCLK 周波数は fsys 周波数の 1/2 以下にしてください。

4.2.4. [TSSIxRCMR] (TSSI 受信クロック/モード制御レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:10	—	0	R	リードすると"0"が読めます。
9:8	RSTART[1:0]	00	R/W	受信開始トリガーを選択します。 00: [TSSIxCRI]<RXSTS>=1 で受信 FIFO が空きになり次第開始します(マスター受信) 01: 送信部に協調動作(マスター送受信) (注 2) 10: TSSIxRFS 入力をトリガー(スレーブ受信、スレーブ送受信) 11: TSSIxRFS 入力をトリガーにし、受信データ比較機能を使用(スレーブ受信、スレーブ送受信)
7	—	0	R/W	"0"をライトしてください。
6:4	—	0	R	リードすると"0"が読めます。
3:2	RCKOUT[1:0]	00	R/W	受信クロック出力モード選択 TSSIxRCK の入出力方向と出力時のゲーティング方法を選択します。(注 3) 00: TSSIxRCK は入力、TSSIxRFS は入力(スレーブ受信、スレーブ送受信、マスター送受信) 01: TSSIxRCK は常時クロック出力、TSSIxRFS は出力(マスター受信) 10: TSSIxRCK は転送時のみクロック出力、TSSIxRFS は出力(マスター受信) 11: Reserved
1:0	RCKSEL[1:0]	00	R/W	受信クロック選択 受信に使用するクロックを選択します。 00: SCLK (マスター) 01: Reserved 10: TSSIxRCK (スレーブ) 11: Reserved

注 1) このレジスター設定については「表 3.1 動作モードの設定と使用端子の組み合わせ」を参照してください。

注 2) 受信部を協調動作にする場合

- [TSSIxTCMR]<TSTART[1:0]>を"01"に設定しないでください。
- [TSSIxRCMR]<RCKSEL[1:0]> = [TSSIxTCMR]<TCKSEL[1:0]>にしてください。

注 3) ポート部の設定を行ってください。ポート設定の詳細は、リファレンスマニュアル「入出力ポート」を参照してください。

注 4) 受信部許可中([TSSIxCRI]<RXSTS>=1)、このレジスターはライトプロテクトされます。

注 5) [TSSIxRCMR]<RSTART[1:0]>=01 の場合、受信動作時も[TSSIxTCMR]の書き換えは禁止です。

注 6) [TSSIxTCMR]<TSTART[1:0]>=01 の場合、送信動作時も[TSSIxRCMR]、[TSSIxRCR]の書き換えは禁止です。

4.2.5. [TSSIxRFMR] (TSSI 受信データフレーム制御レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:16	—	0	R	リードすると"0"が読めます。
15:12	CMPDS[3:0]	0000	R/W	比較データサイズ 受信データ比較機能で、マッチングをとるデータサイズを制御します。 設定分のビット数、受信データと[TSSIxRCR]の比較を行います。 [TSSIxRCMR]<RSTART[1:0]>=11 のときに有効です。 0x0: 1ビット 0x1: 2ビット 0x2: 3ビット 0x3: 4ビット ... 0xE: 15ビット 0xF: 16ビット
11:8	RDFC[3:0]	0000	R/W	受信データフレーム数 マスター送受信モードまたはマスター受信モードで、転送するデータフレームの数を指定します。送受信モードでは"0xF"を設定してください。受信モードでは、設定可能な範囲で任意の値を選択してください。 0xF: 受信モードでは停止処理がされるまで、受信を続けます。 送受信モードでは、送信モードと同様の通信開始・停止制御になります。 0xF 以外: <RDFC[3:0]>+1 のデータフレームの転送が実施されます。 FIFO 転送完了割り込みは、FIFO への受信数がこのレジスター設定と一致した場合に発生します。ただし、このレジスターに"0xF"を設定した場合は、転送停止処理時に割り込みが発生します。
7:5	—	0	R	リードすると"0"が読めます。
4:0	RDFS[4:0]	00000	R/W	受信データフレームサイズ 受信フレームのデータフレームサイズを設定します。ただし、受信データ比較時([TSSIxRCMR]<RSTART[1:0]>=11)は受信データ比較フォーマット(注 2)のデータ領域サイズを設定してください。 データサイズは、(<RDFS[4:0]>+1)ビットになりますが、3 ビット以下は設定禁止です。 送受信モードの場合は、[TSSIxTFMR]<TDFS[4:0]>と同じ値を設定してください。ただし、受信データ比較時([TSSIxRCMR]<RSTART[1:0]>=11)は、<RDFS[4:0]>にはデータ領域サイズを[TSSIxTFMR]<TDFS[4:0]>にはデータフレームサイズを設定してください。 00000~00010: Reserved 00011: 4ビット 00100: 5ビット ... 11110: 31ビット 11111: 32ビット

注 1) 受信部許可中([TSSIxCRI]<RXSTS>=1)、このレジスターはライトプロテクトされます。

注 2) 受信データ比較フォーマットについては、「3.2. データフレームフォーマット」を参照してください。

注 3) [TSSIxRDRn] (n=0,1,2,3)へのアクセスは、このレジスターを設定した後から可能です。

4.2.6. [TSSIxRCR] (TSSI 受信データ比較レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:16	—	0	R	リードすると"0"が読めます。
15:0	CMPDP[15:0]	0x0000	R/W	比較データパターン 受信データ比較機能使用時に、受信データと比較される値です。 [TSSIxRFMR]<CMPDS[3:0]>設定により比較対象外になった MSB 側からのビット群は 0 をセットしてください。

- 注 1) $L(=[TSSIxRFMR]<CMPDS[3:0]>+1)$ ビットの受信データは受信 FIFO に格納されず、
[TSSIxRCR]<CMPDP[15:0]>[L-1:0]の期待値と比較されます。比較結果が一致した場合は、以降のデータをデータ領域として扱います。
- 注 2) 受信部許可中([TSSIxCRI]<RXSTS>=1)、このレジスターはライトプロテクトされます。
- 注 3) [TSSIxTCMR]<TSTART[1:0]>=01 の場合、送信動作時も書き換えは禁止です。

4.2.7. [TSSIxRDMACR] (TSSI 受信 DMA 制御レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:1	—	0	R	リードすると"0"が読めます。
0	RDMAE	0	R/W	受信 DMA 要求制御。 0: 禁止 1: 許可 受信 FIFO にエントリーがあれば、受信 DMA 要求 (TSSIxRXDMAREQ)を出します。リクエストの種類は、シングル転送要求です。 注) このレジスターを許可にすると、[TSSIxRDRn] (n=0, 1,2,3)へのアクセスが発生する可能性があります。

- 注1) このレジスターは、DMAC によるアクセスが発生していない場合に、書き換えが可能です。
- 注2) このレジスターを許可設定にする前に、[TSSIxRFMR]<RDFS[4:0]>を設定してください。

4.2.8. [TSSiXRSR] (TSSI 受信ステータスレジスター)

割り込み信号は、このレジスターに"1"をライトすることで、割り込みをクリアできます("0"ライトは無効)。

Bit	Bit Symbol	リセット後	Type	機能
31:6	—	0	R	リードすると"0"が読めます。
5	RFUR	0	R	受信 FIFO アンダーラン ソフトウェアによるクリア処理が必要です。 0: アンダーラン発生していない 1: アンダーラン発生
			W	0: — 1: クリア
4	RFOR	0	R	受信 FIFO オーバーラン ソフトウェアによるクリア処理が必要です。 0: オーバーラン発生していない 1: オーバーラン発生 マスター受信時はオーバーランは発生しません。
			W	0: — 1: クリア
3	—	0	R	リードすると"0"が読めます。
2	RFTF	0	R	受信 FIFO しきい値フラグ FIFO エントリー数としきい値設定に応じた状態を示します。 0: [TSSiXRFLR]<RFLVL[2:0]>が[TSSiXRFTLR]<RFTHD[2:0]>以下 1: [TSSiXRFLR]<RFLVL[2:0]>が[TSSiXRFTLR]<RFTHD[2:0]>より大きい
1	RFNE	0	R	受信 FIFO ノットエンプティ 0: 受信 FIFO は空 1: 受信 FIFO は空でない
0	RBSY	0	R	受信部動作状態 0: 待機中 1: 動作中

4.2.9. [TSSIxRIER] (TSSI 受信割り込み許可レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:8	—	0	R	リードすると"0"が読めます。
7	RFTEIE	0	R/W	受信 FIFO 転送完了で受信割り込み(INTTSSIxRX)出力許可 0: 禁止 1: 許可
6	—	0	R	リードすると"0"が読めます。
5	RFURIE	0	R/W	受信 FIFO アンダーランでエラー割り込み(INTTSSIxERR)出力許可 0: 禁止 1: 許可
4	RFORIE	0	R/W	受信 FIFO オーバーランでエラー割り込み(INTTSSIxERR)出力許可 0: 禁止 1: 許可
3	RCMIE	0	R/W	受信データ比較一致で受信割り込み(INTTSSIxRX)出力許可 0: 禁止 1: 許可
2	RFTFIE	0	R/W	受信 FIFO しきい値フラグで受信割り込み(INTTSSIxRX)出力許可 0: 禁止 1: 許可
1	RFNEIE	0	R/W	受信 FIFO ノットエンプティイーで受信割り込み(INTTSSIxRX)出力許可 0: 禁止 1: 許可
0	—	0	R	リードすると"0"が読めます。

注) [TSSIxCRI]<RXSTS>=0 時に設定してください。

4.2.10. [TSSIxRFTLR] (TSSI 受信 FIFO しきい値レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:3	—	0	R	リードすると"0"が読めます。
2:0	RFTHD[2:0]	000	R/W	受信 FIFO しきい値 受信 FIFO エントリー数のしきい値を設定します。 000~011 受信 FIFO のエントリー数([TSSIxRFLR]<RFLVL[2:0]>)が <RFTHD[2:0]>より大きい場合、受信 FIFO しきい値フラグ ([TSSIxRSR]<RFTF>)が"1"になります。 100~111: Reserved

注) 受信部許可中([TSSIxCRI]<RXSTS>=1)、このレジスターはライトプロテクトされます。

4.2.11. [TSSIxRFLR] (TSSI 受信 FIFO エントリーレジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:3	—	0	R	リードすると"0"が読めます。
2:0	RFLVL[2:0]	000	R	受信 FIFO エントリー数 000~100 その他: Reserved

4.2.12. [TSSIxRDR0] (TSSI 受信データレジスター0)

[TSSIxRDR0]の例です。[TSSIxRDR1]~[TSSIxRDR3]も同じ構成です。

受信データのリード時は、受信データレジスター([TSSIxRDR0]~[TSSIxRDR3])のどの番地からデータリードしても、先に保持されたデータから読み出されます。そのため、例えば[TSSIxRDR0]への連続リードも、[TSSIxRDR0]から[TSSIxRDR3]までのシーケンシャルなリードも同一に扱われます。

Bit	Bit Symbol	リセット後	Type	機能
31:0	RDAT0[31:0]	0x00000000	R	受信データ 受信 FIFO から受信データを読み出します。 データフレームサイズが31bit以下の場合、受信データはLSB側に詰められ、MSB側は"0"が読み出されます。 このレジスターへのライトは、無効です。

注1) このレジスターへのアクセスは、[TSSIxRFMR]<RDFS[4:0]>の設定を正しく実施した後に可能です。

注2) 受信 DMA 要求許可時は、ソフトウェアでこのレジスターを読み出さないでください。

4.2.13. [TSSIxTCMR] (TSSI 送信クロック/モード制御レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:10	—	0	R	リードすると"0"が読めます。
9:8	TSTART[1:0]	00	R/W	送信開始トリガーを選択します。 00: [TSSIxCRI]<TSTS>=1 で送信 FIFO にデータが用意され 次第開始(マスター送信モード) 01: 受信部に協調動作(注 2) (スレーブ送受信モード) 10: TSSIxTFS 入力(スレーブ送信モード) 11: Reserved
7	—	0	R/W	"0"をライトしてください。
6:4	—	0	R	リードすると"0"が読めます。
3:2	TCKOUT[1:0]	00	R/W	送信クロック出力モード選択 TSSIxTCK の入出力方向と出力時のゲーティング方法を選択しま す。(注 3) 00: TSSIxTCK は入力、TSSIxTFS は入力(スレーブ) 01: TSSIxTCK は常時クロック出力、TSSIxTFS は出力(マスター) 10: TSSIxTCK は転送時のみクロック出力、TSSIxTFS は出力 (マスター) 11: Reserved
1:0	TCKSEL[1:0]	00	R/W	送信クロック選択 送信信に使用するクロックを選択します。 00: SCLK(マスター) 01: TSSIxTCK(スレーブ) 10: TSSIxRCK(スレーブ) 11: Reserved

注 1) このレジスター設定については「表 3.1 動作モードの設定と使用端子の組み合わせ」を参照して
ください。

注 2) 送信部を協調動作にする場合

- [TSSIxRCMR]<RSTART[1:0]>を"01"に設定しないでください。
- [TSSIxRCMR]<RCKSEL[1:0]> = [TSSIxTCMR]<TCKSEL[1:0]>にしてください。

注 3) ポート部の設定を行ってください。ポート設定の詳細は、リファレンスマニュアル「入出力ポー
ト」を参照してください。

注 4) 送信部許可中([TSSIxCRI]<TXSTS>=1)、このレジスターはライトプロテクトされます。

注 5) [TSSIxRCMR]<RSTART[1:0]>=01 の場合、受信動作時も書き換えは禁止です。

注 6) [TSSIxTCMR]<TSTART[1:0]>=01 の場合、送信動作時も[TSSIxRCMR], [TSSIxRCR]の書き換えは
禁止です。

4.2.14. [TSSIxTFMR] (TSSI 送信データフレーム制御レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:5	—	0	R	リードすると"0"が読めます。
4:0	TDFS[4:0]	00000	R/W	送信データフレーム 送信フレームのデータフレームサイズを設定します。 データサイズは、(<TDFS[4:0]>+1)ビットになりますが、3ビット以下は設定禁止です。 送受信モードの場合は、[TSSIxRFMR]<RDFS[4:0]>と同じ値を設定してください。ただし、受信データ比較時 ([TSSIxRCMR]<RSTART[1:0]>=11)は、 [TSSIxRFMR]<RDFS[4:0]>には受信データ比較フォーマット(注2)のデータ領域のサイズを<TDFS[4:0]>にはデータフレームサイズを設定してください。 00000~00010: Reserved 00011: 4ビット 00100: 5ビット ... 11110: 31ビット 11111: 32ビット

注1) 送信部許可中([TSSIxCRI]<TXSTS>=1)、このレジスターはライトプロテクトされます。

注2) 受信データ比較フォーマットについては、「3.2. データフレームフォーマット」を参照してください。

注3) このレジスターを設定した後から[TSSIxTDRn] (n=0,1,2,3)へアクセスしてください。

4.2.15. [TSSIxTDMACR] (TSSI 送信 DMA 制御レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:1	—	0	R	リードすると"0"が読めます。
0	TDMAE	0	R/W	送信 DMA 要求制御。 0: 禁止 1: 許可 送信 FIFO がフルでなければ、送信 DMA 要求(TSSIxTXDMAREQ)を出します。リクエストの種類は、シングル転送要求です。 注) このレジスターを許可にすると、[TSSIxTDRn] (n=0, 1,2,3)へのアクセスが発生する可能性があります。

注1) このレジスターは、DMAC によるアクセスが発生していない場合に、書き換えが可能です。

注2) このレジスターを許可設定にする前に、[TSSIxTFMR]<TDFS[4:0]>を設定してください。

4.2.16. [TSSiXTSR] (TSSI 送信ステータスレジスター)

割り込み信号は、このレジスターに"1"をライトすることで、割り込みをクリアできます("0"ライトは無効)。

Bit	Bit Symbol	リセット後	Type	機能
31:6	—	0	R	リードすると"0"が読めます。
5	TFUR	0	R	送信 FIFO アンダーラン スレーブ時は、送信部を許可にした段階で送信 FIFO にエントリーがない場合にも、アンダーランを発生します。 0: アンダーラン発生なし 1: アンダーラン発生 マスター送信時はアンダーランは発生しません。
			W	0: — 1: クリア
4	TFOR	0	R	送信 FIFO オーバーラン 0: オーバーラン発生なし 1: オーバーラン発生
			W	0: — 1: クリア
3	—	0	R	リードすると"0"が読めます。
2	TFTF	1	R	送信 FIFO しきい値フラグ FIFO エントリー数としきい値設定に応じた状態を示します。 0: [TSSiXTFLR]<TFLVL[2:0]>が[TSSiXTFLR]<TFTHD[2:0]>より大きい 1: [TSSiXTFLR]<TFLVL[2:0]>が[TSSiXTFLR]<TFTHD[2:0]>以下
1	TFNF	1	R	送信 FIFO ノットフル 0: 送信 FIFO が満杯である 1: 送信 FIFO に 1 つ以上の空きがある
0	TBSY	0	R	送信部動作状態 0: 待機中 1: 動作中

4.2.17. [TSSIxTIER] (TSSI 送信割り込み許可レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:6	—	0	R	リードすると"0"が読めます。
5	TFURIE	0	R/W	送信 FIFO アンダーランでエラー割り込み(INTTSSIxERR)出力許可 0: 禁止 1: 許可
4	TFORIE	0	R/W	送信 FIFO オーバーランでエラー割り込み(INTTSSIxERR)出力許可 0: 禁止 1: 許可
3	—	0	R	リードすると"0"が読めます。
2	TFTFIE	0	R/W	送信 FIFO しきい値フラグで送信割り込み(INTTSSIxTX)出力許可 0: 禁止 1: 許可
1	TFNFIE	0	R/W	送信 FIFO ノットフルで送信割り込み(INTTSSIxTX)出力許可 0: 禁止 1: 許可
0	—	0	R	リードすると"0"が読めます。

注) [TSSIxCRI]<TXSTS>=0 時に設定してください。

4.2.18. [TSSIxTFLR] (TSSI 送信 FIFO しきい値レジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:3	—	0	R	リードすると"0"が読めます。
2:0	TFTHD[2:0]	000	R/W	送信 FIFO しきい値 送信 FIFO エントリー数のしきい値を設定します。 000~011 その他: Reserved 送信 FIFO のエントリー数([TSSIxTFLR]<TFLVL[2:0]>)が <TFTHD[2:0]>以下の場合、送信 FIFO しきい値フラグ ([TSSIxTSR]<TFTF>)が"1"になります。

注) 送信部許可中([TSSIxCRI]<TXSTS>=1)、このレジスターはライトプロテクトされます。

4.2.19. [TSSIxTFLR] (TSSI 送信 FIFO エントリーレジスター)

Bit	Bit Symbol	リセット後	Type	機能
31:3	—	0	R	リードすると"0"が読めます。
2:0	TFLVL[2:0]	000	R	送信 FIFO エントリー数 000~100 その他: Reserved

4.2.20. [TSSIxTDR0] (TSSI 送信データレジスタ-0)

[TSSIxTDR0]の例です。[TSSIxTDR1]～[TSSIxTDR3]も同じ構成です。

送信データのライト時は、送信データレジスタ([TSSIxTDR0]～[TSSIxTDR3])のどの番地へデータライトしても、データはFIFOの最後尾に積まれます。そのため、例えば[TSSIxTDR0]への連続ライトも、[TSSIxTDR0]から[TSSIxTDR3]までのシーケンシャルなライトも同一に扱われます。

Bit	Bit Symbol	リセット後	Type	機能
31:0	TDAT0[31:0]	0x00000000	W	送信データ 送信 FIFO に送信データを書き込みます。 データフレームサイズが 32-bit 未満の場合は、LSB 側に詰めてください。 リードすると"0x00000000"が読めます。

注 1) このレジスタへのアクセスは、[TSSIxTFMR]<TDFS[4:0]>の設定を正しく実施した後に可能です。

注 2) 送信 DMA 要求許可時は、ソフトウェアでこのレジスタに書き込まないでください。

5. 使用方法の例

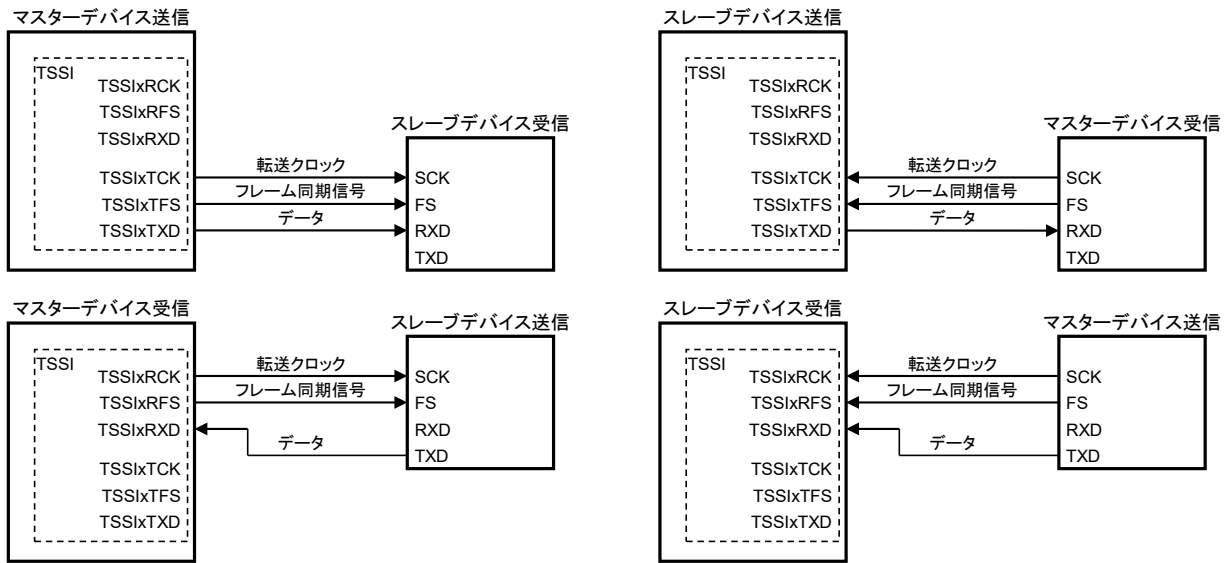


図 5.1 送信と受信の接続例

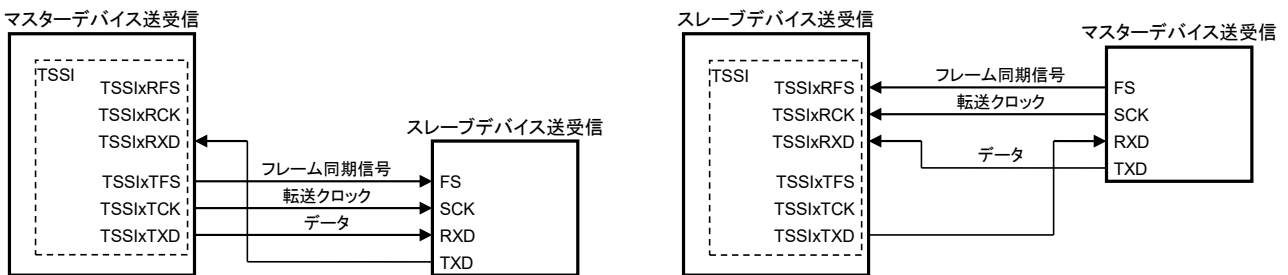


図 5.2 送受信の接続例

5.1. マスター送信

表 5.1 は、TSSI をマスター送信で使用する手順を示します。

表 5.1 マスター送信の設定手順

Step	Operation	Description	Note
1	送信部の禁止確認	[TSSixCR1]<TXSTS>, [TSSixTSR]<TBSY>のどちらかが"1"であれば、Step-1aに進みます。 そうでなければ、Step-2に進みます。	—
1a	送信部の禁止処理	[TSSixCR1]<TXSTS>=1 ならば、[TSSixCR1]<TXEN[1:0]>=10, 11 をライトします。 [TSSixCR1]<TXSTS>=0 かつ [TSSixTSR]<TBSY>=0 になるまで待ちます。 [TSSixCR1]<TXEN[1:0]>に"11"をライトした場合は、送信部ソフトウェアリセットをかけてください	—

2	エラーステータスの確認とクリア	<i>[TSSIxTSR]</i> をリードし"1"となるビットがあれば、必要に応じてエラー処理を実施してください。エラー処理が不要である場合は、このレジスターに"0xFFFFFFFF"をライトして、エラーフラグをクリアしてください。	(注 1)
3	マスターでの送信設定	以下のように設定してください。 <i>[TSSIxCPR]</i> <DIV[7:0]>に分周値を設定 <i>[TSSIxTCMR]</i> <TCKSEL[1:0]>=00 (ビットクロックは SCLK) <i>[TSSIxTCMR]</i> <TCKOUT[1:0]>=01,10 (TSSIxTCK,TFS 出力) <i>[TSSIxTCMR]</i> <TSTART[1:0]>=00 (準備でき次第転送開始) <i>[TSSIxTFMR]</i> <TDFS[4:0]>にデータフレームのサイズを設定 必要に応じて <i>[TSSIxTFTLR]</i> <TFTHD[2:0]>に送信 FIFO しきい値を設定 必要に応じて <i>[TSSIxTIER]</i> で割り込み通知を設定 <i>[TSSIxTDMACR]</i> <TDMAE>=0	—
4	送信部の許可処理	<i>[TSSIxCR1]</i> <TXEN[1:0]>に"01"をライトし、 <i>[TSSIxCR1]</i> <TXSTS>=1を待ちます。	—
5	送信処理	送信 FIFO に空きがあることを確認しながら、必要なデータフレーム数だけ、 <i>[TSSIxTDR0]</i> にライトします。 送信 FIFO の空きは、 <i>[TSSIxTSR]</i> <TFTF>, <TFNF>や、対応する割り込みを利用して確認してください。 TSSI は、送信 FIFO にデータが格納されたことを確認すると、順次外部に通信データを出力します。	(注 2)
6	転送完了確認	<i>[TSSIxTSR]</i> <TBSY>=0 になることを確認してください。	—
7	送信処理 (繰り返し)	再び送信処理をおこなうには、Step-5,6 を繰り返してください。	(注 2)

注 1) エラーが発生していた場合は、該当の機能ブロックに対するソフトウェアリセットが必要です。

注 2) マスター送信では、送信処理を一時中断することができます。*[TSSIxCR1]*<TXEN[1:0]>に"10"をライトすると、送信部は現在処理中のデータフレームを送信した後に停止します。再開するには、*[TSSIxCR1]*<TXEN[1:0]>に"01"をライトしてください。

5.2. マスター受信

表 5.2 は、TSSI マスター受信で使用する場合の手順を示します。

表 5.2 マスター受信の設定手順

Step	Operation	Description	Note
1	受信部の禁止確認	[TSSIxCR1]<RXSTS>, [TSSIxRSR]<RBSY>のどちらかが"1"であれば、Step-1aに進みます。 そうでなければ、Step-2に進みます。	—
1a	受信部の禁止処理	[TSSIxCR1]<RXSTS>=1 ならば、[TSSIxCR1]<RXEN[1:0]>=10,11 をライトします。 [TSSIxCR1]<RXSTS>=0 かつ [TSSIxRSR]<RBSY>=0 になるまで待ちます。 [TSSIxCR1]<RXEN[1:0]>に"11"をライトした場合は、受信部へソフトウェアリセットをかけてください	—
2	エラーステータスの確認とクリア	[TSSIxRSR]をリードし"1"となるビットがあれば、必要に応じてエラー処理を実施してください。エラー処理が不要である場合は、このレジスターに"0xFFFFFFFF"をライトして、エラーフラグをクリアしてください。	(注 1)
3	マスターでの受信設定	以下のように設定してください。 [TSSIxCPR]<DIV[7:0]>に分周値を設定 [TSSIxRCMR]<RCKSEL[1:0]>=00 (ビットクロックは SCLK) [TSSIxRCMR]<RCKOUT[1:0]>=01,10 (TSSIxRCK,RFS 出力) [TSSIxRCMR]<RSTART[1:0]>=00 (準備でき次第転送開始) [TSSIxRFMR]<RDFS[4:0]>にデータフレームのサイズを設定 [TSSIxRFMR]<RDFC[3:0]>にデータフレーム数を設定 必要に応じて [TSSIxRFTLR]<RFTHD[2:0]>に受信 FIFO しきい値を設定 必要に応じて [TSSIxRIER]で割り込み通知を設定 [TSSIxRDMACR]<RDMAE>=0	—
4	受信部の許可処理	[TSSIxCR1]<RXEN[1:0]>に"01"をライトし、[TSSIxCR1]<RXSTS>=1 を待ちます。	—
5	受信処理	TSSI は、受信 FIFO に空きがあり、かつ指定された受信データフレーム数に達していない場合に、外部と通信しデータを受信します。 ソフトウェアは、受信 FIFO にエントリーがあることを確認しながら、必要なデータフレーム数だけ、[TSSIxRDR0]からリードします。 受信 FIFO のエントリーの状態は、[TSSIxRSR]<RFTF>, <RFNE>や、対応する割り込みを利用して確認してください。	(注 2)
6	受信終了処理	[TSSIxRFMR]<RDFC[3:0]>=0xF を設定した場合、受信部は [TSSIxCR1]<RXEN[1:0]>=10 をライトすることで受信処理を完了します。 [TSSIxRFMR]<RDFC[3:0]>≠0xF の場合は、受信部は指定したデータフレーム数分の通信データを受信 FIFO に格納すると停止します。	—
7	受信完了確認	[TSSIxRSR]<RBSY>=0 になることを確認してください。	—
8	受信処理 (繰り返し)	再び受信処理をおこなうには、Step-4,5,6,7 を繰り返してください。	—

注 1) エラーが発生していた場合は、該当の機能ブロックに対するソフトウェアリセットが必要です。

注 2) マスター受信では、受信処理を一時中断することができます。[TSSIxCR1]<RXEN[1:0]>に"10"をライトすると、受信部は現在処理中のデータフレームを受信した後に停止します。再開するには、[TSSIxCR1]<RXEN[1:0]>に"01"をライトしてください。

5.3. マスター送受信

表 5.3 は、TSSI をマスター送受信で使用する場合の手順を示します。

表 5.3 マスターでの送受信の設定手順

Step	Operation	Description	Note
1	送信・受信部の禁止確認	[TSSIxCR1]<TXSTS>, [TSSIxTSR]<TBSY>, [TSSIxCR1]<RXSTS>, [TSSIxRSR]<RBSY>のいずれかが"1"であれば、Step-1a に進みます。そうでなければ、Step-2 に進みます。	—
1a	送信・受信動作の禁止処理	[TSSIxCR1]<TXSTS>=1 ならば、[TSSIxCR1]<TXEN[1:0]>=10,11 をライトします。 [TSSIxCR1]<TXSTS>=0 かつ [TSSIxTSR]<TBSY>=0 になるまで待ちます。 [TSSIxCR1]<TXEN[1:0]>に"11"をライトした場合は、送信部へソフトウェアリセットをかけてください [TSSIxCR1]<RXSTS>=1 ならば、[TSSIxCR1]<RXEN[1:0]>=10,11 をライトします。 [TSSIxCR1]<RXSTS>=0 かつ [TSSIxRSR]<RBSY>=0 になるまで待ちます。 [TSSIxCR1]<RXEN[1:0]>に"11"をライトした場合は、受信部へソフトウェアリセットをかけてください	—
2	エラーステータスの確認とクリア	[TSSIxTSR], [TSSIxRSR]をリードし"1"となるビットがあれば、必要に応じてエラー処理を実施してください。エラー処理が不要である場合は、これらのレジスターに"0xFFFFFFFF"をライトして、エラーフラグをクリアしてください。	(注)
3	マスターでの送受信設定	以下のように設定してください。 [TSSIxCPR]<DIV[7:0]>に分周値を設定 [TSSIxTCMR]<TCKSEL[1:0]>=00 (ビットクロックは SCLK) [TSSIxRCMR]<RCKSEL[1:0]>=00 (同上) [TSSIxTCMR]<TCKOUT[1:0]>=01,10 (TSSIxTCK, TSSIxTFS 出力) [TSSIxRCMR]<RCKOUT[1:0]>=00 (TSSIxRCK,RFS 入力:未使用) [TSSIxTCMR]<TSTART[1:0]>=00 (送信部が準備でき次第転送開始) [TSSIxRCMR]<RSTART[1:0]>=01 (送信部のトリガーを使用) [TSSIxTFMR]<TDFS[4:0]>にデータフレームのサイズを設定 [TSSIxRFMR]<RDFS[4:0]>に[TSSIxTFMR]<TDFS>と同じ値を設定 [TSSIxRFMR]<RDFC[3:0]>=0xF (受信データフレーム数の指定なし) 必要に応じて[TSSIxTFMR]<TFTHD[2:0]>に送信 FIFO しきい値を設定 必要に応じて[TSSIxRFMR]<RFTHD[2:0]>に [TSSIxTFMR]<TFTHD[2:0]>と同じ値を設定 必要に応じて[TSSIxTIER]で割り込み通知を設定 必要に応じて[TSSIxRIER]で割り込み通知を設定 [TSSIxTDMACR]<TDMAE>=0 [TSSIxRDMACR]<RDMAE>=0	—
4	送信・受信部の許可	[TSSIxCR1]<TXEN[1:0]>と<RXEN[1:0]>に、それぞれ"01"をライトします。その後、[TSSIxCR1]<TXSTS>と<RXSTS>の両方が"1"になることを確認してください。	—

5	送受信処理	<p>送信 FIFO に空きがあることを確認しながら、必要なデータフレーム数だけ、[TSSIxTDR0]にライトします。</p> <p>送信 FIFO の空きは、[TSSIxTSR]<TFTF>, <TFNF>や、対応する割り込みを利用して確認してください。</p> <p>TSSI は、送信 FIFO にデータが格納されたことを確認すると、順次外部に通信データを出力します。</p> <p>送受信モードで TSSI は、通信データの送信と同時に受信もおこないます。ソフトウェアは、受信 FIFO にエンタリーがあることを確認しながら、必要なデータフレーム数だけ、[TSSIxRDR0]からリードします。受信 FIFO のエンタリーの状態は、[TSSIxRSR]<RFTF>, <RFNE>や、対応する割り込みを利用して確認してください。</p>	—
6	送受信完了確認	<p>[TSSIxTSR]<TBSY>=0, [TSSIxRSR]<RBSY>=0 になることを確認してください。</p>	—
7	送受信処理 (繰り返し)	<p>再び送受信処理をおこなうには、Step-5,6 を繰り返してください。</p>	—

注) エラーが発生していた場合は、該当の機能ブロックに対するソフトウェアリセットが必要です。

5.4. スレーブ送信

表 5.4 は、TSSI をスレーブ送信で使用する手順を示します。

表 5.4 スレーブでの送信の設定手順

Step	Operation	Description	Note
1	送信部の禁止確認	[TSSIxCR1]<TXSTS>, [TSSIxTSR]<TBSY>のどちらかが"1"であれば、Step-1aに進みます。 そうでなければ、Step-2に進みます。	—
1a	送信部の禁止処理	[TSSIxTSR]<TBSY>=0を待ちます。 [TSSIxCR1]<TXSTS>=1ならば、[TSSIxCR1]<TXEN[1:0]>=10,11をライトします。 [TSSIxCR1]<TXSTS>=0になるまで待ちます。 [TSSIxCR1]<TXEN[1:0]>に"11"をライトした場合は、送信部へソフトウェアリセットをかけてください	(注 1)
2	エラーステータスの確認とクリア	[TSSIxTSR]をリードし"1"となるビットがあれば、必要に応じてエラー処理を実施してください。エラー処理が不要である場合は、このレジスターに"0xFFFFFFFF"をライトして、エラーフラグをクリアしてください。	(注 2)
3	スレーブでの送信設定	以下のように設定してください。 [TSSIxTCMR]<TCKSEL[1:0]>=01 (ビットクロックは TSSIxTCK 入力) [TSSIxTCMR]<TCKOUT[1:0]>=00 (TSSIxTCK, TSSIxTFS 入力) [TSSIxTCMR]<TSTART[1:0]>=10 (TSSIxTFS 検出で転送開始) [TSSIxTFMR]<TDFS[4:0]>にデータフレームのサイズを設定 必要に応じて[TSSIxTFCR]<TFTHD[2:0]>に送信 FIFO しきい値を設定 必要に応じて[TSSIxTIER]で割り込み通知を設定 [TSSIxTDMACR]<TDMAE>=0	—
4	送信部の許可	[TSSIxCR1]<TXEN[1:0]>に"01"をライトし、[TSSIxCR1]<TXSTS>=1を待ちます。	(注 1)
5	送信処理	送信 FIFO に空きがあることを確認しながら、必要なデータフレーム数だけ、[TSSIxTDR0]にライトします。 送信 FIFO の空きは、[TSSIxTSR]<TFTF>, <TFNF>や、対応する割り込みを利用して確認してください。	(注 3)
6	送信完了確認	必要であれば、必要なデータフレーム数だけ送信 FIFO に書き込んだ後に、[TSSIxSR]<TBSY>=0になることを確認してください。	—
7	送信処理 (繰り返し)	外部マスターからの送信要求に繰り返し応じるには、Step-5,6を繰り返してください。	(注 3)

注 1) スレーブでの機能許可/禁止は、外部マスターが停止中に実施してください。

注 2) エラーが発生していた場合は、該当の機能ブロックに対するソフトウェアリセットが必要です。

注 3) スレーブでの送信部は、外部マスターからの通信要求に応じて、送信 FIFO に格納されたデータを送信します。このため、外部マスターの通信要求に対して送信 FIFO の準備が間に合わない場合、アンダーランエラーが発生します。

5.5. スレーブ受信

表 5.5 は、TSSI をスレーブ受信で使用する手順を示します。

表 5.5 スレーブでの受信の設定手順

Step	Operation	Description	Note
1	受信部の禁止確認	[TSSIxCR1]<RXSTS>, [TSSIxRSR]<RBSY>のどちらかが"1"であれば、Step-1a に進みます。 そうでなければ、Step-2 に進みます。	—
1a	受信部の禁止処理	[TSSIxRSR]<RBSY>=0 を待ちます。 [TSSIxCR1]<RXSTS>=1 ならば、[TSSIxCR1]<RXEN[1:0]>=10,11 をライトします。 [TSSIxCR1]<RXSTS>=0 になるまで待ちます。 [TSSIxCR1]<RXEN[1:0]>に"11"をライトした場合は、受信部へソフトウェアリセットをかけてください	(注 1)
2	エラーステータスの確認とクリア	[TSSIxRSR]をリードし"1"となるビットがあれば、必要に応じてエラー処理を実施してください。エラー処理が不要である場合は、このレジスターに"0xFFFFFFFF"をライトして、エラーフラグをクリアしてください。	(注 2)
3	スレーブでの受信設定	以下のように設定してください。 [TSSIxRCMR]<RCKSEL[1:0]>=10 (ビットクロックは TSSIxRCK 入力) [TSSIxRCMR]<RCKOUT[1:0]>=00 (TSSIxRCK, TSSIxRFS 入力) [TSSIxRCMR]<RSTART[1:0]>=10 (TSSIxRFS 検出で転送開始) [TSSIxRFMR]<RDFS[4:0]>にデータフレームのサイズを設定 必要に応じて[TSSIxRFCR]<RFTHD[2:0]>に受信 FIFO しきい値を設定 必要に応じて[TSSIxRIER]で割り込み通知を設定 [TSSIxRDMACR]<RDMAE>=0	—
4	受信部の許可	[TSSIxCR1]<RXEN[1:0]>に"01"をライトし、[TSSIxCR1]<RXSTS>=1 を待ちます。	(注 1)
5	受信処理	ソフトウェアは、受信 FIFO にエントリーがあることを確認しながら、必要なデータフレーム数だけ、[TSSIxRDR0]からリードします。 受信 FIFO のエントリーの状態は、[TSSIxRSR]<RFTF>, <RFNE>や、対応する割り込みを利用して確認してください。	(注 3)
6	受信完了確認	必要であれば、必要なデータフレーム数だけ受信 FIFO からリードした後、[TSSIxRSR]<RBSY>=0 になることを確認してください。	—
7	受信処理 (繰り返し)	外部マスターからの受信要求に繰り返し応じるには、Step-5,6 を繰り返してください。	(注 3)

注 1) スレーブでの機能許可/禁止は、外部マスターが停止中に実施してください。

注 2) エラーが発生していた場合は、該当の機能ブロックに対するソフトウェアリセットが必要です。

注 3) スレーブでの受信部は、外部マスターからの通信要求に応じて、受信 FIFO にデータを格納します。このため、外部マスターの通信要求に対して受信 FIFO の準備が間に合わない場合、オーバーランエラーが発生します

5.6. スレーブ送受信

表 5.6 は、TSSI をスレーブ送受信で使用する場合の手順を示します。

表 5.6 スレーブでの送受信の設定手順

Step	Operation	Description	Note
1	送信・受信部の禁止確認	[TSSIxCR1]<TXSTS>, [TSSIxTSR]<TBSY>, [TSSIxCR1]<RXSTS>, [TSSIxRSR]<RBSY>のいずれかが"1"であれば、Step-1aに進みます。そうでなければ、Step-2に進みます。	—
1a	送信・受信動作の禁止処理	[TSSIxTSR]<TBSY>=0 を待ちます。 [TSSIxCR1]<TXSTS>=1 ならば、[TSSIxCR1]<TXEN[1:0]>=10,11 をライトします。 [TSSIxCR1]<TXSTS>=0 になるまで待ちます。 [TSSIxCR1]<TXEN[1:0]>に"11"をライトした場合は、送信部へソフトウェアリセットをかけてください [TSSIxRSR]<RBSY>=0 を待ちます。 [TSSIxCR1]<RXSTS>=1 ならば、[TSSIxCR1]<RXEN[1:0]>=10,11 をライトします。 [TSSIxCR1]<RXSTS>=0 になるまで待ちます。 [TSSIxCR1]<RXEN[1:0]>に"11"をライトした場合は、受信部へソフトウェアリセットをかけてください	(注 1)
2	エラーステータスの確認とクリア	[TSSIxTSR], [TSSIxRSR]をリードし"1"となるビットがあれば、必要に応じてエラー処理を実施してください。エラー処理が不要である場合は、このレジスターに"0xFFFFFFFF"をライトして、エラーフラグをクリアしてください。	(注 2)
3	スレーブでの送受信設定	以下のように設定してください。 [TSSIxTCMR]<TCKSEL[1:0]>=10 (ビットクロックは TSSIxRCK 入力) [TSSIxRCMR]<RCKSEL[1:0]>=10 (ビットクロックは TSSIxRCK 入力) [TSSIxTCMR]<TCKOUT[1:0]>=00 (TSSIxTCK, SS_TFS 入力:未使用) [TSSIxRCMR]<RCKOUT[1:0]>=00 (TSSIxRCK, TSSIxRFS 入力) [TSSIxTCMR]<TSTART[1:0]>=01 (受信部のトリガーを使用) [TSSIxRCMR]<RSTART[1:0]>=10 (TSSIxRFS 検出で転送開始) [TSSIxTFMR]<TDFS[4:0]>にデータフレームのサイズを設定 [TSSIxRFMR]<RDFS[4:0]>に[TSSIxTFMR]<TDFS[4:0]>と同じ値を設定 必要に応じて[TSSIxTFCR]<TFTHD[2:0]>に送信 FIFO しきい値を設定 必要に応じて[TSSIxRFCR]<RFTHD[2:0]>に[TSSIxTFCR]<TFTHD[2:0]>と同じ値を設定 必要に応じて[TSSIxTIER]で割り込み通知を設定 必要に応じて[TSSIxRIER]で割り込み通知を設定 [TSSIxTDMACR]<TDMAE>=0 [TSSIxRDMACR]<RDMAE>=0	—
4	送信・受信部の許可	[TSSIxCR1]<TXEN[1:0]>と<RXEN[1:0]>に、それぞれ"01"をライトし、[TSSIxCR1]<TXSTS>, <RXSTS>のそれぞれが"1"になるのを待ちます。	(注 1)

5	送受信処理	送信 FIFO に空きがあることを確認しながら、必要なデータフレーム数だけ、 [TSSIxTDR0] にライトします。 送信 FIFO の空きは、 [TSSIxTSR] <TFTF>, <TFNF>や、対応する割り込みを利用して確認してください。 送受信モードで TSSI は、通信データの送信と同時に受信もおこないます。ソフトウェアは、受信 FIFO にエントリーがあることを確認しながら、必要なデータフレーム数だけ、 [TSSIxRDR0] からリードします。受信 FIFO のエントリーの状態は、 [TSSIxRSR] <RFTF>, <RFNE>や、対応する割り込みを利用して確認してください。	(注 3)
6	送受信完了確認	必要であれば、必要なデータフレーム数だけ送信 FIFO に書き込み、必要なデータフレーム数だけ受信 FIFO をリードした後に、 [TSSIxTSR] <TBSY>と [TSSIxRSR] <RBSY>が両方"0"になることを確認してください。	—
7	送受信処理 (繰り返し)	外部マスターからの送受信要求に繰り返し応じるには、Step-5,6 を繰り返してください。	(注 3)

注 1) スレーブでの機能許可/禁止は、外部マスターが停止中に実施してください。

注 2) エラーが発生していた場合は、該当の機能ブロックに対するソフトウェアリセットが必要です。

注 3) スレーブでの送信部と受信部は、外部マスターからの通信要求に応じて、送信 FIFO のデータを送信し、受信 FIFO に受信データを格納します。このため、外部マスターの通信要求に対して FIFO の準備が間に合わない場合、送信 FIFO アンダーランや受信 FIFO オーバーランエラーが発生します。

5.7. DMAC を用いた転送手順

5.1～5.6 章で示した手順との差分を示します。

- (1) 各手順の Step-4 までは、CPU を用いた場合と、基本同じ設定手順です。ただし、通常系の FIFO フル/エンプティに関する割り込みは使用しません。
- (2) Step-5 として、DMAC 側の転送設定をしてください。
- (3) Step-6 として、送信モードでは**[TSSIxTDMACR]**<TDMAE>に"1"をライト、受信モードでは**[TSSIxRDMACR]**<RDMAE>に"1"をライト、送受信モードではそれら両方を実施してください。
- (4) Step-7 として、転送完了の判断があります。受信モードと送受信モードでは、DMAC 側の転送完了を使用して、全体の転送の完了を確認できます。送信モードでは、DMAC 側の転送完了を確認した後に TSSI での送信完了(**[TSSIxTSR]**<TBSY>)を確認してください。

注 1) TSSI は、**[TSSIxTDMACR]**<TDMAE>=1 や**[TSSIxRDMACR]**<RDMAE>=1 の設定により、送信 FIFO と受信 FIFO の空きに応じて DMAC へのシングル転送要求を発行します。この DMA 要求は、送信部や受信部の機能状態(**[TSSIxCRI]**<TXSTS>, <RXSTS>)に依存しません。すなわち、各機能ブロックが禁止の場合でも、**[TSSIxTDMACR]**<TDMAE>や**[TSSIxRDMACR]**<RDMAE>の設定により、DMAC が FIFO にアクセスすることができます。

注 2) マスターの場合、**[TSSIxCRI]**<TXEN[1:0]>, <RXEN[1:0]>を使用して、通信の一時中断ができます。

注 3) スレーブの場合、**[TSSIxCRI]**<TXEN[1:0]>, <RXEN[1:0]>による機能ブロックの許可/禁止処理は、外部マスターが通信を停止しているときに行ってください。

5.8. スレーブ受信/送受信における受信データ比較機能

スレーブの受信モードでは、 $[TSSIxRCMR]<RSTART[1:0]>=11$ (受信データ比較機能を使用)

スレーブモードの送受信モードでは、 $[TSSIxTCMR]<TSTART[1:0]>=01$ (受信部のトリガーを使用)
かつ $[TSSIxRCMR]<RSTART[1:0]>=11$ (受信データ比較機能を使用)

と設定することで、受信データ比較機能を使用できます。

受信データ比較機能は、TSSIxRFS 入力のアサートを検出後、データの受信を行います。ただし、 m ($= [TSSIxRFMR]<CMPDS[3:0]>+1$) ビットの受信データは受信 FIFO に格納されず、受信データ比較レジスター $[TSSIxRCR]<CMPDP[15:0]>$ の $[m-1:0]$ と比較されます。比較結果が一致した場合は、以降のデータをデータ領域として扱います。

不一致となった場合、TSSI は以降のデータを無視します。再度 TSSIxRFS 入力のアサートされると、次の受信データの比較をおこないません。

6. 使用上のご注意およびお願い事項

- レジスターがアサインされていないアドレスはアクセスしないでください。

7. 改訂履歴

表 7.1 改訂履歴

Revision	Date	Description
1.0	2020-11-16	新規

製品取り扱い上のお願い

株式会社東芝およびその子会社ならびに関係会社を以下「当社」といいます。

本資料に掲載されているハードウェア、ソフトウェアおよびシステムを以下「本製品」といいます。

- 本製品に関する情報等、本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。また、文書による当社の事前の承諾を得て本資料を転載複製する場合でも、記載内容に一切変更を加えたり、削除したりしないでください。
- 当社は品質、信頼性の向上に努めていますが、半導体・ストレージ製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いします。なお、設計および使用に際しては、本製品に関する最新の情報（本資料、仕様書、データシート、アプリケーションノート、半導体信頼性ハンドブックなど）および本製品が使用される機器の取扱説明書、操作説明書などをご確認の上、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。
- 本製品は、特別に高い品質・信頼性が要求され、またはその故障や誤作動が生命・身体に危害を及ぼす恐れ、膨大な財産損害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある機器（以下“特定用途”という）に使用されることは意図されていませんし、保証もされていません。特定用途には原子力関連機器、航空・宇宙機器、医療機器（ヘルスケア除く）、車載・輸送機器、列車・船舶機器、交通信号機器、燃焼・爆発制御機器、各種安全関連機器、昇降機器、発電関連機器などが含まれますが、本資料に個別に記載する用途は除きます。特定用途に使用された場合には、当社は一切の責任を負いません。なお、詳細は当社営業窓口まで、または当社 Web サイトのお問い合わせフォームからお問い合わせください。
- 本製品を分解、解析、リバースエンジニアリング、改造、改変、翻案、複製等しないでください。
- 本製品を、国内外の法令、規則及び命令により、製造、使用、販売を禁止されている製品に使用することはできません。
- 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社及び第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。
- 別途、書面による契約またはお客様と当社が合意した仕様書がない限り、当社は、本製品および技術情報に関して、明示的にも黙示的にも一切の保証（機能動作の保証、商品性の保証、特定目的への合致の保証、情報の正確性の保証、第三者の権利の非侵害保証を含むがこれに限らない。）をしておりません。
- 本製品、または本資料に掲載されている技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」、「米国輸出管理規則」等、適用ある輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本製品の RoHS 適合性など、詳細につきましては製品個別に必ず当社営業窓口までお問い合わせください。本製品のご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用ある環境関連法令を十分調査の上、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は一切の責任を負いかねます。